

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2017-517067

(P2017-517067A)

(43) 公表日 平成29年6月22日 (2017.6.22)

(51) Int.Cl. F 1 テーマコード (参考)
G 0 6 F 1 5 / 7 8 (2006.01) G 0 6 F 1 5 / 7 8 5 1 3 5 B 0 6 2

審査請求 未請求 予備審査請求 未請求 (全 13 頁)

(21) 出願番号 特願2016-568911 (P2016-568911)
(86) (22) 出願日 平成27年6月5日 (2015.6.5)
(85) 翻訳文提出日 平成28年12月20日 (2016.12.20)
(86) 国際出願番号 PCT/US2015/034399
(87) 国際公開番号 W02015/188055
(87) 国際公開日 平成27年12月10日 (2015.12.10)
(31) 優先権主張番号 62/008,265
(32) 優先日 平成26年6月5日 (2014.6.5)
(33) 優先権主張国 米国 (US)
(31) 優先権主張番号 14/729,402
(32) 優先日 平成27年6月3日 (2015.6.3)
(33) 優先権主張国 米国 (US)

(71) 出願人 397050741
マイクロチップ テクノロジー インコー
ポレイテッド
MICROCHIP TECHNOLOG
Y INCORPORATED
アメリカ合衆国 85224-6199
アリゾナ チャンドラー ウェスト チャ
ンドラー ブルヴァード 2355
(74) 代理人 100078282
弁理士 山本 秀策
(74) 代理人 100113413
弁理士 森下 夏樹

最終頁に続く

(54) 【発明の名称】 マルチプロセッサコアデバイスのためにデバイスピン機能性を割り当てるためのデバイスおよび方法

(57) 【要約】

内蔵デバイスは、各々が複数の周辺デバイスを伴う複数のプロセッサコアを有し、各周辺デバイスは、出力と、複数の割り当て可能外部ピンを伴う筐体と、各処理コアのための複数の周辺機器ピン選択モジュールとを有し得、各周辺機器ピン選択モジュールは、割り当て可能外部ピンをプロセッサコアのうちの1つの複数の周辺デバイスのうちの1つに割り当てるようにプログラム可能であるように構成される。一実施形態において、各周辺機器ピン選択モジュールは、単一の外部ピンに対して出力信号を提供するマルチプレクサと、単一の処理コアの周辺デバイスの出力と結合された複数の入力とを備えている。

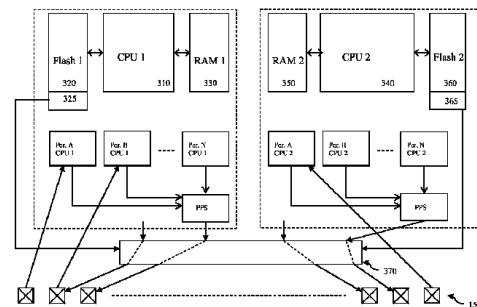


FIG. 3

【特許請求の範囲】

【請求項 1】

内蔵デバイスであって、前記内蔵デバイスは、
複数のプロセッサコアであって、各々は、複数の周辺デバイスを備え、各周辺デバイスは、出力を備え得る、複数のプロセッサコアと、
複数の割り当て可能外部ピンを備えている筐体と、
各処理コアのための複数の周辺機器ピン選択モジュールと
を備え、
各周辺機器ピン選択モジュールは、割り当て可能外部ピンを前記プロセッサコアのうちの 1 つの前記複数の周辺デバイスのうちの 1 つに割り当てるようにプログラム可能であるように構成されている、内蔵デバイス。

10

【請求項 2】

各周辺機器ピン選択モジュールは、関連付けられた処理コアによってのみプログラム可能である、請求項 1 に記載の内蔵デバイス。

【請求項 3】

各周辺機器ピン選択モジュールは、単一の外部ピンに対して出力信号を提供するマルチプレクサと、単一の処理コアの周辺デバイスの出力と結合された複数の入力とを備えている、請求項 2 に記載の内蔵デバイス。

【請求項 4】

各処理コアは、他の処理コアによってアクセス不可能なメモリを備えている、請求項 2 に記載の内蔵デバイス。

20

【請求項 5】

前記メモリは、フラッシュメモリと、ランダムアクセスメモリ (RAM) とを備えている、請求項 4 に記載の内蔵デバイス。

【請求項 6】

各周辺機器ピン選択モジュールは、特殊機能レジスタによって制御される、請求項 4 に記載の内蔵デバイス。

【請求項 7】

前記特殊機能レジスタは、前記 RAM にマッピングされるメモリである、請求項 6 に記載の内蔵デバイス。

30

【請求項 8】

各処理コアは、それに排他的に割り当てられるいくつかの外部ピンを有する、請求項 1 に記載の内蔵デバイス。

【請求項 9】

前記複数の処理コアのうちのいずれかに外部ピンを割り当てるようにプログラム可能な所有権論理をさらに備えている、請求項 1 に記載の内蔵デバイス。

【請求項 10】

外部ピンの所有権は、フラッシュメモリに記憶される構成ビットにプログラムされる、請求項 9 に記載の内蔵デバイス。

【請求項 11】

40

複数の処理コアを備えている内蔵デバイスにおいて外部ピンの出力機能性を選択する方法であって、

複数の外部ピンを有する筐体内の単一チップ上に複数のプロセッサコアおよび関連付けられた複数の周辺デバイスを配置することであって、各周辺デバイスは、出力を備え得る、ことと、

前記単一チップ上に各処理コアのための複数の周辺機器ピン選択モジュールを配置することと、

関連付けられた処理コアによって前記周辺機器ピン選択モジュールのうちの少なくとも 1 つをプログラムすることにより、割り当て可能外部ピンをそれぞれの処理コアの前記複数の周辺デバイスのうちの 1 つに結合することと

50

を含む、方法。

【請求項 1 2】

各周辺機器ピン選択モジュールは、前記関連付けられた処理コアによってのみプログラム可能である、請求項 1 1 に記載の方法。

【請求項 1 3】

各周辺機器ピン選択モジュールは、単一の外部ピンに対して出力信号を提供するマルチプレクサと、単一の処理コアの周辺デバイスの出力と結合された複数の入力とを備えている、請求項 1 2 に記載の方法。

【請求項 1 4】

各処理コアは、他の処理コアによってアクセス不可能なメモリを備えている、請求項 1 2 に記載の方法。

【請求項 1 5】

前記メモリは、フラッシュメモリと、ランダムアクセスメモリ (R A M) を備えている、請求項 1 4 に記載の方法。

【請求項 1 6】

特殊機能レジスタによって、各周辺機器ピン選択モジュールを制御することをさらに含む、請求項 1 4 に記載の方法。

【請求項 1 7】

前記 R A M に前記特殊機能レジスタをメモリマッピングするステップをさらに含む、請求項 1 6 に記載の方法。

【請求項 1 8】

各処理コアは、それに排他的に割り当てられるいくつかの外部ピンを有する、請求項 1 に記載の方法。

【請求項 1 9】

前記複数の処理コアのうちのいずれかに外部ピンを割り当てるようにプログラム可能な所有権論理を提供するステップをさらに含む、請求項 1 に記載の方法。

【請求項 2 0】

フラッシュメモリに記憶される構成ビットに外部ピンの所有権データをプログラムするステップをさらに含む、請求項 1 9 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

(関連特許出願)

本願は、共有に係る米国仮特許出願第 6 2 / 0 0 8 , 2 6 5 号 (2 0 1 4 年 6 月 5 日出願) に対する優先権を主張し、上記出願は、あらゆる目的のために参照により援用される。

【0 0 0 2】

(技術分野)

本開示は、マルチプロセッサコアデバイス、特に、マルチプロセッサコアマイクロコントローラに関する。

【背景技術】

【0 0 0 3】

マイクロコントローラは、チップ上のシステムであり、中央処理ユニット (C P U) だけではなく、メモリ、I / O ポート、および複数の周辺機器も備えている。マルチコアマイクロコントローラ等のマルチプロセッサコアデバイスは、1 つのみの C P U ではなく、2 つ以上の中央処理コアを備えている。そのようなデバイスは、向上した性能、改良されたセキュリティ、およびソフトウェア開発支援を提供する。内蔵デバイスでは、これらのデバイスは、多数のピンを伴う筐体を使用することを要求する。

【0 0 0 4】

大部分のマルチコアデバイスは、対称マルチプロセッサコア動作のために設計され、複

10

20

30

40

50

数のプロセッサコアは、機能または目的が「異なる」ことがないように設計される。そのようなシステムは、特定のデバイスピンの制御を有するために、1つの特定のプロセッサコアを有する必要がない。非対称マルチプロセッサコアを有する他のデバイスは、典型的には、浮動小数点等の専用機能として他の「コア」を使用し、デバイスピンにアクセスする必要がない。

【0005】

しかし、マルチプロセッサコアを伴う他のデバイスは、多数ピンパッケージ内に実装され、特定のデバイスピンが、特定のプロセッサコアに割り当てられることができる。

【発明の概要】

【課題を解決するための手段】

10

【0006】

したがって、外部ピンを種々の内蔵周辺機器に割り当てるために、より高い柔軟性を伴うマルチコアデバイスの必要性がある。

【0007】

ある実施形態によると、内蔵デバイスは、各々が複数の周辺デバイスを備えている、複数のプロセッサコアを備え得、各周辺デバイスは、出力と、複数の割り当て可能外部ピンを備えている筐体と、各処理コアのための複数の周辺機器ピン選択モジュールとを備え得、各周辺機器ピン選択モジュールは、割り当て可能外部ピンをプロセッサコアのうちの1つの複数の周辺デバイスのうちの1つに割り当てるようにプログラム可能であるように構成される。

20

【0008】

さらなる実施形態によると、各周辺機器ピン選択モジュールは、関連付けられた処理コアによってのみプログラム可能であり得る。さらなる実施形態によると、各周辺機器ピン選択モジュールは、単一の外部ピンに対して出力信号を提供するマルチプレクサと、単一の処理コアの周辺デバイスの出力と結合された複数の入力とを備え得る。さらなる実施形態によると、各処理コアは、他の処理コアによってアクセス不可能なメモリを備え得る。さらなる実施形態によると、メモリは、フラッシュメモリと、ランダムアクセスメモリ(RAM)とを備え得る。さらなる実施形態によると、各周辺機器ピン選択モジュールは、特殊機能レジスタによって制御され得る。さらなる実施形態によると、特殊機能レジスタは、RAMにマッピングされるメモリであり得る。さらなる実施形態によると、各処理コアは、それに排他的に割り当てられるいくつかの外部ピンを有し得る。さらなる実施形態によると、内蔵デバイスはさらに、複数の処理コアのうちのいずれかに外部ピンを割り当てるようにプログラム可能な所有権論理を備え得る。さらなる実施形態によると、外部ピンの所有権は、フラッシュメモリに記憶される構成ビットにプログラムされることができる。

30

【0009】

別の実施形態によると、複数の処理コアを備えている内蔵デバイスにおいて外部ピンの出力機能性を選択する方法は、複数の外部ピンを有する筐体内の単一チップ上に複数のプロセッサコアおよび関連付けられた複数の周辺デバイスを配置するステップであって、各周辺デバイスは、出力を備え得る、ステップと、該単一チップ上に各処理コアのための複数の周辺機器ピン選択モジュールを配置するステップと、割り当て可能外部ピンをそれぞれの処理コアの複数の周辺デバイスのうちの1つに結合するために、関連付けられた処理コアによって周辺機器ピン選択モジュールのうちの少なくとも1つをプログラムするステップとを含み得る。

40

【0010】

さらなる実施形態によると、各周辺機器ピン選択モジュールは、関連付けられた処理コアによってのみプログラム可能である。方法のさらなる実施形態によると、各周辺機器ピン選択モジュールは、単一の外部ピンに対して出力信号を提供するマルチプレクサと、単一の処理コアの周辺デバイスの出力と結合された複数の入力とを備え得る。方法のさらなる実施形態によると、各処理コアは、他の処理コアによってアクセス不可能なメモリを備

50

え得る。方法のさらなる実施形態によると、メモリは、フラッシュメモリと、ランダムアクセスメモリ（ＲＡＭ）とを備え得る。方法のさらなる実施形態によると、方法はさらに、特殊機能レジスタによって、各周辺機器ピン選択モジュールを制御するステップを含み得る。方法のさらなる実施形態によると、方法はさらに、ＲＡＭに特殊機能レジスタをメモリマッピングするステップを含み得る。方法のさらなる実施形態によると、各処理コアは、それに排他的に割り当てられるいくつかの外部ピンを有し得る。方法のさらなる実施形態によると、方法はさらに、複数の処理コアのうちのいずれかに外部ピンを割り当てるようにプログラム可能な所有権論理を提供するステップを含み得る。方法のさらなる実施形態によると、方法はさらに、フラッシュメモリに記憶される構成ビットに外部ピンの所有権データをプログラムするステップを含み得る。

10

【図面の簡単な説明】

【００１１】

【図１】図１は、ピン割り当て論理の実施形態のブロック図を示す。

【図２】図２は、図１による周辺機器ピン選択モジュールの実施形態を示す。

【図３】図３は、例示的デュアルコアマイクロコントローラのブロック図を示す。

【図４】図４は、事前に割り当てられた外部ピンを伴うデュアルコアマイクロコントローラの別の実施形態を示す。

【発明を実施するための形態】

【００１２】

したがって、種々の実施形態によると、限定数のデバイスピンが、用途柔軟性を維持しながら、デバイス内の各プロセッサの周辺機器に割り当てられ、別のプロセッサのデバイスピンの機能性に影響を及ぼす１つのプロセッサからの不注意による干渉からの保護を提供することができる。

20

【００１３】

種々の実施形態によると、周辺機器ピン選択（ＰＰＳ）機能モジュールが、ある一定の外部ピンを内部機能に可变的に割り当てることを可能にする。ＰＰＳモジュールは、デバイス上の各プロセッサのために、デバイス内の各機能ピンに対して実装される。

【００１４】

ある実施形態によると、マルチプロセッサマイクロコントローラは、処理コアの各々のバス幅未満のピンを有する筐体内に配置され得るように設計されることができる。したがって、２８本のピン筐体は、例えば、各コアが３２ビットマイクロプロセッサコアであるデュアルコアマイクロコントローラを備え得る。

30

【００１５】

図１は、例えば、４つのプロセッサコア（図１には図示せず）を伴う、単一チップマイクロコントローラの実施形態を示す。複数であるが、限定数の割り当て可能外部ピン１５０が、提供される。加えて、そのようなデバイスは、当然ながら、例えば、電力供給源ピン等、その機能が改変されることができないある一定の固定機能ピンを有し得る。各プロセッサコアは、各外部割り当て可能ピンに対してそれ自身の周辺機器ピン選択（ＰＰＳ）モジュール１２０ a、b、c、dに関連付けられる。各ＰＰＳモジュール１１０ a、b、c、dは、各機能デバイスピン１５０（図１に示される処理コアあたり１つのみ）に対して各プロセッサのための論理１１０を備えている。したがって、各機能デバイスピン１５０および各処理コアに対して、ピン所有権論理（ＰＯＬ）ブロック１１０が、存在する。

40

【００１６】

論理は、例えば、構成レジスタ１３０を備え得、構成レジスタ１３０は、デバイスピン１５０を駆動するように選定される周辺機器の出力を選択するマルチプレクサ１４０を制御する。種々の実施形態によると、出力選択は、他の回路が、どのプロセッサの周辺機器が、実際に、それぞれのデバイスピン１５０へのアクセスを得るかを決定し得るように複製される。

【００１７】

図１は、４つの例示的周辺デバイスを示し、各々は、４つの処理コアのうちの１つによ

50

って所有される。しかしながら、各処理コアは、複数の周辺デバイスまたはモジュールを備え得る。周辺デバイスは、入力および/または出力機能性を有し得る。入力は、種々の周辺機器に（異なる処理コアに関連付けられた周辺機器にさえ）ルーティングされ得るが、1つの選択された周辺デバイスの1つのみの出力機能性が外部ピンに割り当てられることができる（そうでなければ、衝突または競合が生じるであろうため）。処理コアに関連付けられたI/Oポートが、種々の実施形態によると、周辺デバイスまたはモジュールと見なされ得、その出力機能性は、したがって、外部ピンに割り当て可能である。

【0018】

図1の特定の実施形態では、第1の周辺機器170は、CPU1に関連付けられ、第2の周辺機器175は、CPU2に関連付けられ、第3の周辺機器180は、CPU3に関連付けられ、第4の周辺機器は、CPU4に関連付けられる。それぞれの周辺機器ピン選択モジュール120a、b、c、dは、複数の周辺機器のうちの1つを選択するようにプログラムされる。図1は、選択された周辺機器のみを示す。しかしながら、各PPSモジュール120は、実際には、その周辺機器群から周辺デバイスまたはモジュールを選択するように設計されるので、各PPSモジュール120は、図2に関連してより詳細に説明されるであろうように、関連付けられたCPUの複数の周辺デバイスまたはモジュールに接続され得る。

【0019】

図1はさらに、示されるブロック110を用いて、デバイス内の各機能ピン150に関連付けられる、POL（ピン所有権論理）論理の典型的事例を示す。各ピン150は、例えば、保護されたメモリ（フラッシュメモリ等）内に位置する構成ビット130によって制御されるマルチプレクサ140を有する。これらの構成ビット130は、ユーザによって、どのプロセッサが特定のデバイスピン150上に出力するためのアクセスを有するかを規定するようにプログラムされる。構成ビット130は、選択されたプロセッサによって所有される事前に選択された周辺機器からのデータを選択する、それぞれのマルチプレクサ140を制御する。POLブロック110は、各機能デバイスピンに対して複製される。

【0020】

図2は、典型的PPSモジュール120の実施形態の別の略図を示す。これは、単一のPPSモジュール内の例示的論理を示す。各プロセッサは、1つ以上の周辺デバイス210、220、230、240を所有し得る。これらの周辺デバイスの一部または全部は、レジスタ250によって制御されるマルチプレクサ260と結合され得る。いくつかの実施形態によると、レジスタ250は、周辺機器を所有するそれぞれのプロセッサに固有である。マルチプレクサ260の出力270は、マルチプロセッサコアピン所有権論理110と結合される。

【0021】

種々の実施形態によると、マルチプロセッサコアを備えている内蔵システムは、非常に少ない数のピンパッケージのために設計されることができ、例えば、28本のピン筐体が、デュアルコアを伴うマイクロコントローラのために使用され得る。そのような少数ピン筐体では、デバイスピンは、数が乏しい必需品であり、したがって、種々の実施形態によると、ユーザが周辺機器ピン機能性を割り当てることができることを可能にする機構が、提供される。

【0022】

種々の実施形態によると、非対称マルチプロセッサコアデバイス内の各プロセッサコアが、そのうちのどの周辺機能が機能デバイスピンに接続されるかを規定することを可能にする方法論が提供されることができる。用語「非対称」は、各処理コアが、それに関連付けられた異なる周辺デバイスを有し得ることを意味し、ある一定の周辺機器は、1つのみのコアに特有であり得、その他は、2つ以上のまたは全てのコア内に内蔵され得る。この目的のために、マルチコアデバイス内の各プロセッサは、各ピンに対してPPSマルチプレクサ260を有する。各PPSマルチプレクサは、デバイスピンへの周辺機器接続を規定するレジスタ250を有する。レジスタ250は、1つの処理コア、すなわち、それぞ

10

20

30

40

50

れの周辺機器の所有者によってのみアクセスされ得る特殊機能レジスタであり得る。特殊機能レジスタ250は、好ましくは、ランダムアクセスメモリ(RAM)にマッピングされるメモリであり得る。この特殊機能レジスタは、その他の点では、以下に説明されるように、所有権を制御する構成レジスタと同様に動作し得る。

【0023】

加えて、各デバイスピン150に関連付けられたピン所有権構成ビット130は、好ましくは、種々の実施形態によるフラッシュおよび/またはRAMメモリ内に位置する。これらのピン所有権構成ビット130は、どのプロセッサコアが各デバイスピン150上に信号を出力する権限を有するかを制御し得る。例えば、そのようなレジスタは、4処理コアデバイスにおいて4ビットを有し得る。内部制御論理が、1つのビットのみが1度に設定されることを可能にし得る。例えば、1つのビットの設定は、自動的に、全ての他のビットをクリアにし得る。他の機構も、可能性であり得、例えば、2ビットレジスタが、使用され得、記憶された値は、それぞれのコアとの関連付けを表す。構成レジスタが、必要とされるより多いビットを有する場合、無効設定が、単に、それぞれのピンをいずれの特定のプロセッサにも割り当てないであろう。そのようなピンは、次いで、入力のみのために使用され得る。

【0024】

全てのプロセッサコアは、入力機能のためにデバイスピンを同時に使用し得るが、特定のデバイスピン上に信号を出力する能力は、ピン所有権構成ビット130を介して、顧客によって規定される。

【0025】

いくつかの実施形態によると、各機能デバイスピンは、不揮発性フラッシュメモリ内の関連付けられたピン所有権構成ビットと、ピン構成ビットによって制御される関連付けられたピンマルチプレクサとを有する。

【0026】

フラッシュメモリは、偶発的ピン構成変更を防止する書込ロック論理を備え得る。ユーザは、例えば、プログラしている間にピン所有権ビットを構成する。したがって、そのような実施形態によると、ピン所有権は、プログラムしている間のみ、変更されることができ、プログラム制御下で動的に変更されることができない。リセット時、ピン構成情報は、MUX制御に転送される。

【0027】

したがって、種々の実施形態は、どのプロセッサが、出力の目的のために、どのデバイスピンを所有するかを定義するための保護された手段を提供する。

【0028】

さらなる実施形態によると、制御ソフトウェアはさらに、例えば、ロック機構160が、例えば、図1に示されるように、ピンのためにアクティブ化されない場合のみ、割り当ての変更を可能にするルーチンを含み得る。したがって、あるピンの再割り当ては、阻止されることができる。したがって、ピンは、1つのプロセッサコアによるあるタスクが終了した場合のみ、再割り当て可能であり得る。

【0029】

またさらなる実施形態によると、そのような阻止機能は、関連付けられた制御レジスタ160内に確立され得る。例えば、複数のビットが、どのプロセッサコアに阻止機能が提供されるかを示し得る。またさらなる実施形態によると、阻止機能がアクティブ化された割り当てられたプロセッサコアのみが、阻止機能をリセット可能であり得る。したがって、ピン割り当ての阻止は、ピンが現在割り当てられているプロセッサによってのみ解除され得る。

【0030】

図3は、単一の筐体内のデュアルコアマイクロコントローラの実施形態のブロック図を示す。分かり得るように、デバイスは、基本的に、各々が複数の関連付けられた周辺デバ

10

20

30

40

50

イスおよびそれ自身のメモリを有する２つの別個の処理コア３１０および３４０を備えている。処理コアは、別個のプログラムメモリ、例えば、フラッシュメモリおよびデータメモリを伴う、Harvard構造であり得る。しかしながら、他のアーキテクチャが、適用され得る。これらの要素に関して、マイクロコントローラは、それらのリソースのうちのいずれも共有しない。集積回路デバイスは、したがって、基本的に、それぞれ、CPU 310、340と、フラッシュメモリ320、360と、ランダムアクセスメモリ330、350と、それぞれのCPU 310または340に関連付けられた複数の周辺デバイスまたはモジュール(Per. A、Per. B... Per. N)とを備えている２つの別個のマイクロコントローラを備えている。各処理コア３１０、３２０の周辺機器は、好ましくは、それぞれのRAM 330および360にマップされるメモリであり得るそれぞれの特殊機能レジスタを通して制御され得る。特に、図２に示されるようなPPS制御レジスタ250は、RAMにマップされるメモリであり得る。したがって、それぞれのコアに対するプライバシーが、他の処理コアがそれらに割り当てられていない任意のメモリへのアクセスを有しないことを確実にされる。

10

【0031】

図３に示されるように、フラッシュメモリは、それぞれ、PPOモジュール370の設定を制御し得る構成レジスタ325および365を含み得る。PPOモジュールは、１つのブロックとして図３に示され、各々が単一の外部ピンに關与する、複数のPPOユニットを含み得る。図３は、フラッシュメモリ325および365内の構成ビットの設定に従って、ある周辺機器の出力と外部ピン150のうちのいくつかを接続する点線によって、ユニット370にプログラムされる例示的設定を示す。しかしながら、RAM内にまたはメインメモリと別個に配置される揮発性または不揮発性レジスタ等、他の構成方法が、適用され得る。

20

【0032】

図４は、保護されたピン所有権モジュール110を伴わない実施形態を示す。本実施形態では、事前定義された数、例えば、利用可能な割り当て可能外部ピン150の50%が、第１の処理コア３１０に割り当てられ、残りの50%が、第２の処理コア３４０に割り当てられる。各処理コアは、出力機能性を外部ピン150のそれぞれの群内のその周辺機器のいずれかに割り当てることができる。再び、入力機能性は、複数の周辺デバイスの(単一の処理コアによって所有されていない周辺機器にさえ)提供されることができる。図４は、単一のPPSのみを示す。しかしながら、出力機能を提供するように指定された任意の外部ピンが、関連付けられたPPSを有する。さらに、いくつかの実施形態では、各処理コアは、異なる数のPPSを有し得、全ての外部品が、各処理コアに対して利用可能であるわけではない。

30

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2015/034399

A. CLASSIFICATION OF SUBJECT MATTER INV. G06F15/76 G06F1/22 ADD.		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G06F		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EP0-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	US 2013/067259 A1 (FREIWALD AXEL [DE] ET AL) 14 March 2013 (2013-03-14) figure 6	1-8, 11-18 9,10,19, 20
Y	----- Ds70190e: "DS70190E-page 30-1 I/O Ports with Peripheral Pin Select (PPS) 6 CN Operation in Sleep and Idle Modes dsPIC33F/PIC24H Family Reference Manual", 1 January 2012 (2012-01-01), XP055212879, Retrieved from the Internet: URL: http://ww1.microchip.com/downloads/en/DeviceDoc/70190E.pdf [retrieved on 2015-09-11]	1-8, 11-18
A	----- -/--	9,10,19, 20
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
14 September 2015		22/09/2015
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer
		Bosch Vivancos, P

Form PCT/ISA/210 (second sheet) (April 2005)

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2015/034399

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6 496 880 B1 (MA ZHIGANG [US] ET AL) 17 December 2002 (2002-12-17)	1-8, 11-18
A	figure 1 column 1, line 30 - line 38 -----	9,10,19, 20
A	US 2013/080677 A1 (SIMMONS MICHAEL [US]) 28 March 2013 (2013-03-28) the whole document -----	1-20

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2015/034399

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2013067259 A1	14-03-2013	CN 103123579 A	29-05-2013
		DE 102012017780 A1	14-03-2013
		US 2013067259 A1	14-03-2013

US 6496880 B1	17-12-2002	NONE	

US 2013080677 A1	28-03-2013	CN 104011697 A	27-08-2014
		EP 2761485 A1	06-08-2014
		KR 20140081809 A	01-07-2014
		TW 201329729 A	16-07-2013
		US 2013080677 A1	28-03-2013
		WO 2013052334 A1	11-04-2013

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

(72)発明者 クリス , ブライアン

アメリカ合衆国 アリゾナ 8 5 2 9 8 , ギルバート , イー . ビア デル パロ 1 5 4 2
6

Fターム(参考) 5B062 AA02 CC04 EE03