

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4422017号
(P4422017)

(45) 発行日 平成22年2月24日(2010.2.24)

(24) 登録日 平成21年12月11日(2009.12.11)

(51) Int.Cl. F I
G O 6 F 1/26 (2006.01) G O 6 F 1/00 3 3 4 J

請求項の数 34 (全 17 頁)

(21) 出願番号	特願2004-507977 (P2004-507977)	(73) 特許権者	501261300 エヌヴィディア コーポレイション アメリカ合衆国, カリフォルニア 950 50, サンタ クララ, サン トーマス エクスプレスウェイ 2701
(86) (22) 出願日	平成15年5月23日(2003.5.23)	(74) 代理人	100094318 弁理士 山田 行一
(65) 公表番号	特表2005-527906 (P2005-527906A)	(74) 代理人	100107456 弁理士 池田 成人
(43) 公表日	平成17年9月15日(2005.9.15)	(74) 代理人	100123995 弁理士 野田 雅一
(86) 国際出願番号	PCT/US2003/016521	(72) 発明者	ヒコック, グリー, ディー アメリカ合衆国, アリゾナ州, メサ, ノー ス オマハ サークル 1061
(87) 国際公開番号	W02003/100589		
(87) 国際公開日	平成15年12月4日(2003.12.4)		
審査請求日	平成18年5月9日(2006.5.9)		
(31) 優先権主張番号	10/156,706		
(32) 優先日	平成14年5月28日(2002.5.28)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 分離式電源管理状態を提供する方法および装置

(57) 【特許請求の範囲】

【請求項1】

ホストオペレーティングシステム(OS)および基本入出力システム(BIOS)を有するホストコンピュータの複数のホストリソースの電源状態を管理する方法であって、

前記BIOSが、前記ホストオペレーティングシステムから命令を受信して前記複数のホストリソースの少なくとも一つに対して第一の電源状態を設定するステップと、

前記BIOSが、少なくとも一つの電源状態抽象化装置を参照して、前記複数のホストリソースの前記少なくとも一つに対して前記第一の電源状態を第二の電源状態にリアルタイムに変換するステップと

を含み、

前記第一の電源状態と前記第二の電源状態は異なるものである、方法。

【請求項2】

更に、前記BIOSが、前記ホストオペレーティングシステムからの前記命令に反して、前記複数のホストリソースの前記少なくとも一つが前記第二の電源状態に設定されるようにするステップを含む請求項1に記載の方法。

【請求項3】

前記第一の電源状態がACPI(拡張構成および電源インタフェース)の仕様に従うS4である場合には、前記第二の電源状態は前記ACPI(拡張構成および電源インタフェース)の仕様に従うS1である、請求項1に記載の方法。

【請求項4】

前記第一の電源状態が A C P I (拡張構成および電源インタフェース) の仕様に従う S 3 である場合には、前記第二の電源状態は前記 A C P I (拡張構成および電源インタフェース) の仕様に従う S 1 である、請求項 1 に記載の方法。

【請求項 5】

前記第一の電源状態が A C P I (拡張構成および電源インタフェース) の仕様に従う C 4 である場合には、前記第二の電源状態は前記 A C P I (拡張構成および電源インタフェース) の仕様に従う C 2 である、請求項 1 に記載の方法。

【請求項 6】

前記第一の電源状態が A C P I (拡張構成および電源インタフェース) の仕様に従う C 3 である場合には、前記第二の電源状態は前記 A C P I (拡張構成および電源インタフェース) の仕様に従う C 2 である、請求項 1 に記載の方法。

10

【請求項 7】

前記設定されるようにするステップは、前記複数のホストリソースの前記少なくとも一つが前記第二の電源状態に設定されるようにするものであり、その場合、前記第二の電源状態は、前記ホストオペレーティングシステムからの前記命令に部分的にのみ反するものである、請求項 2 に記載の方法。

【請求項 8】

前記複数のホストリソースの前記少なくとも一つが記憶装置である、請求項 1 に記載の方法。

【請求項 9】

前記記憶装置はディスクドライブである、請求項 8 に記載の方法。

20

【請求項 10】

前記記憶装置はランダムアクセスメモリ (R A M) である、請求項 8 に記載の方法。

【請求項 11】

前記複数のホストリソースの前記少なくとも一つは、コンパクトディスク (C D) プレーヤーである、請求項 1 に記載の方法。

【請求項 12】

前記複数のホストリソースの前記少なくとも一つは、デジタルビデオディスク (D V D) プレーヤーである、請求項 1 に記載の方法。

【請求項 13】

前記少なくとも一つの電源状態抽象化装置は、レジスタである、請求項 1 に記載の方法。

30

【請求項 14】

ホストオペレーティングシステム (O S) (2 2 0) を有するホストコンピュータの複数のホストリソースの電源状態を管理する装置であって、

少なくとも一つの電源状態抽象化装置 (1 4 0) と、

前記ホストオペレーティングシステムから命令を受信して、前記複数のホストリソースの少なくとも一つに対して第一の電源状態を設定し前記少なくとも一つの電源状態抽象化装置を参照して、前記複数のホストリソースの前記少なくとも一つに対して前記第一の電源状態を第二の電源状態にリアルタイムに変換する B I O S (1 5 0) と

40

を備え、

前記第一の電源状態と前記第二の電源状態は異なるものである、装置。

【請求項 15】

前記 B I O S は、前記ホストオペレーティングシステムからの前記命令に反して、前記複数のホストリソースの前記少なくとも一つが前記第二の電源状態に設定されるようにする、請求項 1 4 に記載の装置。

【請求項 16】

前記第一の電源状態が A C P I (拡張構成および電源インタフェース) の仕様に従う S 4 である場合には、前記第二の電源状態は前記 A C P I (拡張構成および電源インタフェース) の仕様に従う S 1 である、請求項 1 4 に記載の装置。

50

【請求項 17】

前記第一の電源状態が A C P I (拡張構成および電源インタフェース)の仕様に従う S 3 である場合には、前記第二の電源状態は前記 A C P I (拡張構成および電源インタフェース)の仕様に従う S 1 である、請求項 14 に記載の装置。

【請求項 18】

前記第一の電源状態が A C P I (拡張構成および電源インタフェース)の仕様に従う C 4 である場合には、前記第二の電源状態は前記 A C P I (拡張構成および電源インタフェース)の仕様に従う C 2 である、請求項 14 に記載の装置。

【請求項 19】

前記第一の電源状態が A C P I (拡張構成および電源インタフェース)の仕様に従う C 3 である場合には、前記第二の電源状態は前記 A C P I (拡張構成および電源インタフェース)の仕様に従う C 2 である、請求項 14 に記載の装置。

10

【請求項 20】

前記第二の電源状態は、前記ホストオペレーティングシステムからの前記命令に部分的にのみ反するものである、請求項 15 に記載の装置。

【請求項 21】

前記複数のホストリソースの前記少なくとも一つが記憶装置である、請求項 14 に記載の装置。

【請求項 22】

前記記憶装置はディスクドライブである、請求項 21 に記載の装置。

20

【請求項 23】

前記記憶装置はランダムアクセスメモリ (R A M) である、請求項 21 に記載の装置。

【請求項 24】

前記複数のホストリソースの前記少なくとも一つは、コンパクトディスク (C D) プレーヤーである、請求項 14 に記載の装置。

【請求項 25】

前記複数のホストリソースの前記少なくとも一つは、デジタルビデオディスク (D V D) プレーヤーである、請求項 14 に記載の装置。

【請求項 26】

前記少なくとも一つの電源状態抽象化装置は、レジスタである、請求項 14 に記載の装置。

30

【請求項 27】

複数の命令が記憶されており、ホストコンピュータに含まれる基本入出力システム用読み出し専用メモリ (R O M B I O S) であって、前記複数の命令は、前記ホストコンピュータのプロセッサまたはハードウェア装置によって実行される場合には、前記プロセッサまたはハードウェア装置に、

前記ホストコンピュータのホストオペレーティングシステム (2 2 0) から要求を受信して前記ホストコンピュータの複数のホストリソースの少なくとも一つに対して第一の電源状態を設定するステップと、

少なくとも一つの電源状態抽象化装置 (1 4 0) を参照して、前記複数のホストリソースの前記少なくとも一つに対して前記第一の電源状態を第二の電源状態にリアルタイムに変換するステップと

40

を実行させる命令を含み、前記第一の電源状態と前記第二の電源状態は異なるものである、 R O M B I O S 。

【請求項 28】

更に、前記ホストオペレーティングシステムからの前記要求に反して、前記複数のホストリソースの前記少なくとも一つが前記第二の電源状態に設定されるようにするステップを含む、請求項 27 に記載の R O M B I O S 。

【請求項 29】

前記第一の電源状態が A C P I (拡張構成および電源インタフェース)の仕様に従う S

50

4である場合には、前記第二の電源状態は前記 A C P I (拡張構成および電源インタフェース) の仕様に従う S 1 である、請求項 2 7 に記載の R O M B I O S 。

【請求項 3 0】

前記第一の電源状態が A C P I (拡張構成および電源インタフェース) の仕様に従う S 3 である場合には、前記第二の電源状態は前記 A C P I (拡張構成および電源インタフェース) の仕様に従う S 1 である、請求項 2 7 に記載の R O M B I O S 。

【請求項 3 1】

前記第一の電源状態が A C P I (拡張構成および電源インタフェース) の仕様に従う C 4 である場合には、前記第二の電源状態は前記 A C P I (拡張構成および電源インタフェース) の仕様に従う C 2 である、請求項 2 7 に記載の R O M B I O S 。

10

【請求項 3 2】

前記第一の電源状態が A C P I (拡張構成および電源インタフェース) の仕様に従う C 3 である場合には、前記第二の電源状態は前記 A C P I (拡張構成および電源インタフェース) の仕様に従う C 2 である、請求項 2 7 に記載の R O M B I O S 。

【請求項 3 3】

前記設定されるようにするステップは、前記複数のホストリソースの前記少なくとも一つが前記第二の電源状態に設定されるようにするものであり、その場合、前記第二の電源状態は、前記ホストオペレーティングシステムからの前記要求に部分的にのみ反するものである、請求項 2 8 に記載の R O M B I O S 。

【請求項 3 4】

20

前記複数のホストリソースの前記少なくとも一つが記憶装置である、請求項 2 7 に記載の R O M B I O S 。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、分離式電源管理状態を提供する新規なシステムに関する。より具体的には、本発明は、コンピュータシステムやネットワーク等のシステムに、オペレーティングシステム (O S) がスリープモードまたはスリープ状態にあるときでもホストシステムのリソースが作動しつづけられるようにするひとつ以上の代替電源管理状態を提供する。

【開示内容の背景】

30

【0002】

現在、コンピュータシステムやネットワークは、電源管理機能を実行できる設計となっている。コンピュータシステムやネットワークが企業や家庭の場に急増し続けている中で、こうしたコンピュータシステムやネットワークの多くがアイドル状態にある、すなわちユーザーや他の装置からの命令を待っていることが多いということがわかっている。エネルギーの消費を抑えるために電源管理機能が備えられ、ユーザーが時間等のパラメータを定義すると、コンピュータシステムは、エネルギーを節約するために電源管理状態やスリープモードに入る。

【0003】

この問題への取り組みとして、O S P M (O p e r a t i n g S y s t e m - d i r e c t e d C o n f i g u r a t i o n a n d P o w e r M a n a g e m e n t) を可能にする業界標準インタフェースを確立するため、A C P I (拡張構成および電源インタフェース) の仕様が開発された。A C P I の目的のひとつは、コンピュータのオペレーティングシステムにおける電源管理を一元化し、それによって電源管理状態にある安価なハードウェアでも非常に複雑な電源管理ポリシーをサポートできるようにすることである。

40

【0004】

O S における集中的な電源管理にはいくつかの利点があるものの、ネットワーク環境にコンピューティングデバイスが急速に広がりつつあるなかでは、特にリアルタイムの応答が重んじられる場合には、不都合も生じている。例えば、家庭にあるコンピュータがコン

50

ピュータ、例えば複数のビデオおよび/またはストリームを格納したホストコンピュータやDVDドライブを有するホストコンピュータのそれぞれのリソースを共有できる形でネットワーク化できるような場合である。格納されているビデオおよび/またはストリーム、あるいはDVDドライブにアクセスするには、リモートコンピュータはホストコンピュータのOSに要求を送信しなければならない。運悪く、ホストコンピュータが「オン」になってからしばらく時間が経過していると、OS電源管理の機能が働いてシステムを省電力状態に移行させてしまっている可能性がある。リモートコンピュータの要求に応じるには、ホストコンピュータは作動状態に復旧もしくは復帰しなければならない、それにはかなりの時間が必要な場合もある。

【0005】

10

従って、コンピュータシステムやネットワーク等のシステムに、オペレーティングシステム(OS)がスリープモードまたはスリープ状態にあるときでもホストシステムのリソースが作動しつづけられるようにするひとつ以上の代替電源管理状態を提供する新規な分離式電源管理アプローチが必要とされている。

【発明の概要】

【0006】

本発明は、分離式電源管理状態を提供する新規な方法および装置である。より具体的には、本発明は、電源管理状態についてのオペレーティングシステムの関与範囲をホストリソースのハードウェアの実際の状態についてのオペレーティングシステムの関与範囲から切り離すものである。すなわち、ホストオペレーティングシステムが「オフ」であってもホストコンピュータのリソースは作動し機能し続けることができ、かつホストシステムおよびユーザーにとっては電力の節約になるというものである。

20

【0007】

オペレーティングシステムの機能は一般に、ユーザーをさまざまな用途のホストリソースに接続することである。しかしながら、ホストリソースが、オペレーティングシステムの関与なしにユーザーやその他の外部クライアント(ネットワークを介した操作等)に応じられる場合がある(例えばCDやDVDの再生等)。

【0008】

本発明の一実施形態では、分離式電源管理は、状態が保存/復元される場合にOSの干渉なしにBIOSを呼び出すことができるようにすることによって、電源管理(PM)状態に移行する際および電源管理状態から抜け出す際に、BIOSを介して実行される。このアプローチの下では、システムが一時的に「オフ」状態にあっても、ホストコンピュータの周辺機器の状態管理と制御がリアルタイムに実現できる。オペレーティングシステムが起動またはある状態に復旧するのを待たなければならないというのでは、リアルタイムの応答が必要な用途には役に立たない。

30

【0009】

さらに、新しい電源供給技術と新しいCPUの電圧/周波数の技術によって、コンピューティングシステムのシステムファンは、こうした簡単な作業をごくたまにしか行わないときには作動させる必要がない場合もある。また、システムが自らを危険にさらさぬよう、標準的なハードウェア監視方法を採用することもできる。この新規なアプローチが提供するの、見かけ上システムが「オフ」になった状態とそれに伴う電力の節約であり、同時にホストコンピュータのリソースを作動可能な状態に維持することによるホストコンピュータの有用性の拡大である。この新規な方法は他にも種々多様な用途に応用できるものであり、上記のネットワーク環境は説明のために示した例に過ぎない。

40

【0010】

本発明の教示するところは、図面と以下の詳細な説明によって用意に理解されよう。

【0011】

また、理解を容易にするため、可能な場合には各図に共通な同一要素は同じ符号で表されている。

【詳細説明】

50

【 0 0 1 2 】

図 1 は、本発明の分離式電源管理状態を提供するシステム 1 0 0 のブロック図である。特に、図 1 は、汎用コンピュータを用いて実施した本発明のシステム 1 0 0 を示している。コンピュータシステム 1 0 0 は、プロセッサ (C P U) 1 1 0、ランダムアクセスメモリ (R A M) および / または読み出し専用メモリ (R O M) 等のメモリ 1 2 0、複数の電源状態制御レジスタ 1 4 0、種々の入出力装置 1 3 0 (例えば、テープドライブ、フロッピードライブ、ハードディスクドライブ、コンパクトディスク (C D) ドライブ、デジタルビデオディスク (D V D) ドライブ等を含むが、これらに限定されない記憶装置)、受信機、送信機、スピーカー、ディスプレイ、マイク等の音声信号入力装置、キーボード、キーパッド、マウス、 A / D コンバータ等) および、基本入出力システム (B I O S) 1 5 0 を備えている。

10

【 0 0 1 3 】

簡単に述べるならば、電源状態制御レジスタ 1 4 0 に記憶されているデータや命令は、コンピュータシステム 1 0 0 に分離式電源管理を提供するために用いられる。電源状態制御レジスタ 1 4 0 は、通信チャンネルを介して C P U 1 1 0 に接続されるひとつ以上の物理的デバイス (レジスタ等) として実施されることは理解されよう。あるいは、電源状態制御レジスタ 1 4 0 は、一例としてはひとつ以上のソフトウェアアプリケーション (またはソフトウェアと例えば特定用途向け I C (A S I C) を用いたハードウェアとの組み合わせでもよい) であり、その場合ソフトウェアは記憶媒体 (磁気または光学的ドライブまたはディスク等) から読み込まれてコンピュータのメモリ 1 2 0 内の C P U によって実行される。または、電源状態制御レジスタ 1 4 0 は、制御ビットを有するフィールドプログラマブルゲートアレイ (F P G A) であってもよい。従って、本発明の電源状態制御レジスタ 1 4 0 (それに関連する方法とデータ構造を含む) は、 R A M メモリ、磁気あるいは光学的ドライブまたはディスク等のコンピュータ可読媒体に格納できる。

20

【 0 0 1 4 】

より具体的には、電源状態制御レジスタ 1 4 0 は、本発明の O S 制御標準レジスタ 1 4 0 a (例えば標準 A C P I レジスタ) と電源状態抽象化レジスタ 1 4 0 b を備えている。すなわち、 O S 制御標準レジスタ 1 4 0 a は、電源管理用のイベントモデルを形成する A C P I 状態 / イネーブルレジスタである。それに対し、電源状態抽象化レジスタ 1 4 0 b は、本発明においては標準レジスタに記憶された状態を他のシステムまたは装置が定義する状態へと抽象化するのに用いられる。

30

【 0 0 1 5 】

B I O S 1 5 0 は、コンピュータがディスクからのアクセスプログラムなしで実行できることを判断する内蔵ソフトウェアとして理解される。パーソナルコンピュータでは、 B I O S はキーボード等の入出力装置、ディスプレイ画面、ディスクドライブ、シリアル通信、その他多数の機能を制御するのに必要なコードを全て含んでいる。 B I O S は、通常は R O M チップ (例えば R O M B I O S として知られている) としてコンピュータ内に備えられている。これにより、 B I O S は常に使用可能で、ディスクの不具合によって損傷を受けることがない。また、コンピュータが起動することを可能にする。しかし、本発明では、 B I O S 1 5 0 は、電源状態制御レジスタ 1 4 0 と協働して以下に詳細に説明する分離式電源管理アプローチを提供する。

40

【 0 0 1 6 】

また、ホストシステム 1 0 0 は、ネットワーク内に備えられている。従って、ホストシステム 1 0 0 は、パス 1 0 5 上の外部のクライアントからそのリソースへのアクセス要求を受信することがある。

【 0 0 1 7 】

図 2 は、分離式電源管理状態を提供するコンピュータシステム 1 0 0 のソフトウェアコンポーネントとハードウェアコンポーネントの関係を示すブロック図である。通常、ソフトウェアアプリケーション 2 1 0 は、ホストオペレーティングシステム 2 2 0 を介してホストリソースと通信する。電源管理機能が求められる場合には、ホスト O S 2 2 0 は、電源

50

状態制御レジスタ140と通信してシステムが電源管理状態へと移行するよう導く。電源状態制御レジスタ140は、BIOS150と協働してホストリソース、例えばディスクドライブ、CDドライブ、DVDドライブ等のハードウェア装置をある特定の電源管理状態に移行させる。しかし、ACPI完全対応システムとは異なり、電源状態制御レジスタ140は、BIOS150と協働してホストOS140の要求には選択的に従うに過ぎない。場合によっては、ハードウェア装置はOSが導く電源管理状態には移行されず、作動状態のままとされる。しかし、ホストOSにはこの不履行は通知されず、実際には、ハードウェア装置の作動状態は、ホストOSには秘密にされる。

【0018】

より具体的には、コンピュータシステム（より正確には、そのオペレーティングシステム）は、ある形式の電源管理ポリシーで、例えばACPIまたは他の電源管理規格に従って実現されることが多い。こうした電源管理規格の目的は、コンピュータのオペレーティングシステムにおける電源管理を一元化し、それによって電源管理状態にある安価なハードウェアでも非常に複雑な電源管理ポリシーをサポートできるようにすることである。例えば、ACPIは複数のグローバル状態（G×状態、すなわち、G0：稼働、G1：スリーピング、G2：ソフトオフ、G3：メカニカルオフ）、複数のスリーピング状態（S×状態）および複数のプロセッサの電源状態（C×状態）を規定している。端的に言えば、グローバル状態はシステム全体に適用されるもので、ユーザー可視であり、スリーピング状態は、グローバル状態G1の中の状態の種類である。S×状態は、ACPIにおいては次のように定義されている。

【0019】

スリーピング状態S1（スタンバイ）：スリーピング状態S1は、復帰待ち時間が短いスリーピング状態である。この状態では、システムコンテキスト（CPUやチップセット）は失われず、ハードウェアは全システムコンテキストを維持する。

【0020】

スリーピング状態S2：スリーピング状態S2は、復帰待ち時間が短いスリーピング状態である。この状態はスリーピング状態S1と類似しているが、CPUおよびシステムのキャッシュコンテキストは失われる（OSはキャッシュおよびCPUのコンテキストを維持する責任を負う）。復帰イベント後のプロセッサのリセットベクトルから制御が開始される。

【0021】

スリーピング状態S3（RAMへのサスペンド）：スリーピング状態S3は、復帰待ち時間が短いスリーピング状態で、システムメモリを除く全てのシステムコンテキストが失われる。この状態では、CPU、キャッシュ、およびチップセットのコンテキストは失われる。ハードウェアはメモリコンテキスト維持し、CPUおよびL2構成設定のコンテキストの一部を復元する。復帰イベント後のプロセッサのリセットベクトルから制御が開始される。

【0022】

スリーピング状態S4（ディスクへのサスペンド）：スリーピング状態S4は、ACPIにサポートされた消費電力が最も小さく、復帰待ち時間がもっとも長いスリーピング状態である。消費電力を最小に抑えるため、ハードウェアプラットフォームが全装置の電源をオフにしたものとみなされる。プラットフォームコンテキストは維持される。

【0023】

ソフトオフ状態S5：S5の状態はS4の状態と類似しているが、OSはコンテキストを全く保存しない。システムは「ソフト」オフ状態になり、復帰するには完全に起動させる必要がある。ソフトウェアは異なる状態値を用いてS5とS4の状態を区別し、BIOSにおける保存されたメモリーイメージからの復帰であるかどうかを識別するための初期起動動作を可能にする。

【0024】

プロセッサの電源状態は、グローバル稼働状態G0におけるプロセッサの電力消費およ

10

20

30

40

50

び温度管理状態である。簡単に言えば、ACPIにおいてはCx状態は以下のように定義されている。

【0025】

プロセッサの電源状態C0：この状態にあるとき、プロセッサは命令を実行している。

【0026】

プロセッサの電源状態C1：このプロセッサの電源状態は、待ち時間が最も短い。この状態のハードウェア待ち時間は、オペレーティングソフトウェアがこれを用いるかどうかを決める際に待ち時間を考慮しない程度に短くしなければならない。プロセッサを非実行電源状態にすること以外、ソフトウェア可視効果はない。

【0027】

プロセッサの電源状態C2：C2状態は、C1状態より電力節約効果が高い。この状態にとっての最長のハードウェア待ち時間は、ACPIのシステムファームウェアを介して与えられ、オペレーティングソフトウェアはこの情報を、C2状態に代えてC1状態を用いる時期を判断するのに用いる。プロセッサを非実行電源状態にすること以外、ソフトウェア可視効果はない。

【0028】

プロセッサの電源状態C3：C3状態は、C1およびC2状態より電力節約効果が高い。この状態にとっての最長のハードウェア待ち時間は、ACPIのシステムファームウェアを介して提供され、オペレーティングソフトウェアはこの情報を、C3状態に代えてC2状態を用いる時期を判断するのに用いる。C3状態にあるとき、プロセッサのキャッシュは状態を維持するが、スヌープは無視する。オペレーティングソフトウェアは、キャッシュが一貫性を確実に維持することに責任を負う。

【0029】

Gx、Sx、Cx状態の定義は、ACPI規格に詳細に定められており、参照により本開示に含まれる。

【0030】

ACPIにおいて定義されているように、スリーピング状態が異なれば省電力の程度が異なり、それに伴ってシステムを復帰させる際の待ち時間も異なる。例えば、システムを復帰させるのに必要な時間は、1分以上（例えば最も節電できるS5の状態）のこともあれば、数秒（例えば最も節電効果の低いS1状態）のこともある。さらに重要なのは、システムがスリープ状態にあるときには、そのリソースにアクセスするにはまずコンピュータシステムを復帰させなければならない、すなわち、コンピュータシステム100のOSと通信しなければならないということである。従って、省電力という要求と、省電力によってもたらされる待ち時間というペナルティを受けずにホストコンピュータのリソースにアクセスするという要求とのあいだには、大きな隔りがある。

【0031】

この隔りを埋めるために、本発明は分離式電源管理アプローチを提供する。そこでは、ホストコンピュータのオペレーティングシステムは、その省電力ポリシーが実施されているものと錯覚させられるのである。本発明のもうひとつの観点は、OSPM (Operating System-Directed Configuration and Power Management) を推進するためのACPIの仕様とは正反対に、ハードウェアの状態をホストオペレーティングシステムには意図的に秘密にすることである。すなわち、ホストオペレーティングシステムがACPI規格に定義されているようにシステムをあらかじめ決められたあるスリーピング状態へと導こうとすると、システムはその要求を本発明の電源状態制御レジスタ140に記憶された命令に従って変換する。オペレーティングシステムの電源管理要求は、場合によっては実行されるが、場合によっては部分的にまたは完全に無視される。オペレーティングシステムの電源管理要求がどのように変換されるかは、以下表1を参照して説明する。

【0032】

10

20

30

40

表1

レジスタ名	OSが要求する状態	状態の説明	実際に実施される状態
MCP_APCI_C2_CTL	C 2	クロック停止、キャッシュはスヌープ可能	C 2
MCP_APCI_C3_CTL	C 3	CPU はスリープ、キャッシュはスヌープ不能	C 2
MCP_APCI_C4_CTL	C 4 または VID/FID	CPU 電圧/周波数変更	C 2 または電圧周波数の変更を伴う C 2
MCP_APCI_S1_CTL	S 1	システムスタンバイ (STBY)	S 1
MCP_APCI_S3_CTL	S 3	システムは S T R (Suspend to RAM)	S 1
MCP_APCI_S4_CTL	S 4	システムは S T D (Suspend to Disk)	S 1
MCP_APCI_S5_CTL	S 5	システム一時停止/ソフトオフ	S 5
MCP_APCI_xx_CTL	システム固有	システム固有	システム固有

10

20

【0033】

本発明の一実施形態においては、8つの電源状態制御レジスタ140が配置されている。この8つの32ビット電源状態制御レジスタは、システムの各電源状態がどのように実行されるかを制御する。BIOS150は、必要に応じてこれらを変更できるが、最低限これらのレジスタを、コンピュータシステムがメカニカルパワーオフの状態からオンにされるたびにセットアップする。表1では、これら8つのレジスタを(MCP__APCI__xx__CTL)と表している。各電源状態制御レジスタに対し、表1では、オペレーティングシステムが要求する状態(例えばプロセッサの電源状態Cxやスリーピング状態Sx)、状態の説明、本発明によって実施される実際の状態を示している。

30

【0034】

C0やC1等のプロセッサの電源状態やS2等のスリーピング状態等、表1に示されていない状態もある。こうした状態では、省電力作用が働かないためである。実際、当業者であればわかることだが、本発明では8つの電源状態制御レジスタを配置しているが、ある特定の態様を実施するための要件を満たすのに必要な電源管理状態の数はいくつであっても構わないし、それに対処するために電源状態制御レジスタをいくつ配置しても構わない。

【0035】

表1の第1段目は、オペレーティングシステムが、クロックは停止され、キャッシュはスヌープ可能のままであるC2の状態を要求する場合である。このOSの要求に対し、本発明は要求に従いプロセッサの電源状態をC2に設定する。

40

【0036】

表1の第2段目は、オペレーティングシステムが、CPUはスリープモードになりキャッシュはスヌープ不可になるC3の状態を要求する場合である。このOSの要求に対し、本発明は要求に従わず、プロセッサの電源状態をC2に設定する。

【0037】

表1の第3段目は、オペレーティングシステムが、CPUが電圧/周波数の変更を要求する可能性があるC4の状態またはVID/FIDを要求する場合である。このOSの要

50

求に対し、本発明は要求に従わず、プロセッサの電源状態をC 2に設定する。または、本発明は部分的に要求に従い、プロセッサの電源状態をC 2に設定するが、電圧/周波数を変更させるようにしてもよい。

【0038】

表1の第4段目は、オペレーティングシステムが、システムがスタンバイとなるS 1の状態を要求する場合である。このOSの要求に対し、本発明は要求に従い、スリーピング状態をS 1に設定する。

【0039】

表1の第5段目は、オペレーティングシステムが、システムがSTR(RAMへのサスペンド)状態に入る、すなわち、CPUはその状態を全てRAMメモリに保存するS 3の状態を要求する場合である。このOSの要求に対し、本発明は要求に従わず、スリーピング状態をS 1に設定する。

10

【0040】

表1の第6段目は、オペレーティングシステムが、システムがSTD(ディスクへのサスペンド)状態に入る、すなわち、CPUはその状態を全てディスク保存するS 3の状態を要求する場合である。このOSの要求に対し、本発明は要求に従わず、スリーピング状態をS 1に設定する。

【0041】

表1の第7段目は、オペレーティングシステムが、システムがソフトオフ状態に入るS 5の状態を要求する場合である。このOSの要求に対し、本発明は要求に従い、スリーピング状態をS 5に設定する。

20

【0042】

表1の第8段目は、オペレーティングシステムが要求する状態がシステム固有の状態の場合である。8番目のレジスタは、システム固有の状態を扱う、または状態の拡張を可能にする追加のまたはオプションのレジスタである。

【0043】

こうした電源状態制御レジスタ140は、実際には電源遮断用状態機械を駆動する。すなわち、各状態用のレジスタに基づかない状態機械が、各レジスタに記憶された命令に従って、何をすべきか決定する。32ビットの各レジスタに記憶されている情報を以下表2に示す。

30

【0044】

表2

ビット	説明	
31	予約	
30-28	SMAF. システム管理アクションフィールド。	
27	PME_WAK. PME # イベントで復帰。0=システムを復帰させない。1=システム復帰。	
26	SMI_WAK. SMI # イベントで復帰。0=システムを復帰させない。1=システム復帰。	
25	IRQ_WAK. 割り込みイベントで復帰。0=システムを復帰させない。1=システム復帰。	
24	ARB_REQ_WAK. Bus Master Request イベントで復帰。0=システムを復帰させない。1=システム復帰。	
23-22	RSM_DLY. イベントがあってもシステムは最低時間この状態に留まる。00=最低時間なし、01=250ミリ秒留める、01=500ミリ秒留める、01=1000ミリ秒留める。	10
21-19	SLP_S5_DLY. PCI_RST#の起動からSLP_S5#の起動までの遅れを制御する。SLP_S5#は、通常はメインメモリ電源をオフにするのに用いられる。注: SLP_S5#およびSLP_S3#はどちらも、PCI_RST#からの独立した遅れを持ってプログラムされている。これにより、SLP_S5#とSLP_S3#のどちらかが先にアサートされる。アサートが停止されると、SLP_S5#用の遅れはSLP_S3_DLYによって設定され、SLP_S3#とSLP_S5#は同時にアサートを停止する。後に示す起動遅れの表参照。	
18-16	SLP_S3_DLY. PCI_RST#の起動からSLP_S3#の起動までの遅れを制御する。SLP_S3#は、通常はメイン電源供給レールをオフにするのに用いられる。後に示す起動遅れの表参照。	
15-13	PCIRST_DLY. SLP_S1#の起動からPCI_RST#の起動までの遅れを制御する。PCI_RST#は、システム論理を全てリセットするために用いられる。後に示すPCI_RST#起動遅れの表参照。	
12-10	SLP_S1_DLY. LDT_STP#の起動からSLP_S1#の起動までの遅れを制御する。SLP_S1#は、通常はLEDに電力を供給するために採用されている。後に示す起動遅れの表参照。	20
9	CPUSLP_EN. CPU_SLP#の起動を制御する。CPU_SLP#の起動は、イネーブルされていないLDT_STP#の起動と同時である。CPU_SLP#は、CPUをSTPCLK#で可能な状態より低電力な状態にするのに用いられる。	
8-6	LDTSTP_DLY. Stop Grant Special サイクル (STPCLK#のアサートに対するCPUの応答) の起動からLDT_STP#の起動までの遅れを制御する。LDT_STP#は、LDT Bus を切断するのに用いられる。後に示す起動遅れの表参照。	
5-3	STPCLK_DLY. 電源管理命令からSTPCLK#の起動までの遅れを制御する。STPCLK#は、CPUをStop Grant状態にするのに用いられる。後に示す起動遅れの表参照。	
2	ARB_OVR. Arbiter Disable Overrideは、アービタが使用不能であっても装置が非同期アクセスを実現するためにシステムメモリにアクセスできるようにするのに用いられる。0=MCP ACPI PM2_CNT [ARB_DIS] は有効、1=MCP ACPI PM2_CNT [ARB_DIS] は強制的にバスマスターを許可する。	30
1	SMI. SMI # 有効化。この状態に入ったときにSMI #が発生されるかどうかを決定する。0=SMI #発生されず、1=SMI #発生し、このビットがクリアされ他のイベントがこの状態に入ったことが確認されるまではそれまで可能だった機能を遂行しない。このビットはBIOSが特定の状態でSMI #を発生させるのに用いられる。これにより、BIOSはシステムの状態が変化する前にいつでも呼び出し可能となる。このビットはBIOSおよびある状態へ移行を別のイベントによってクリアされなければならない。	
0	ST_EN. State Enable このビットは、いずれにせよ作動されるSMIビットを除く、このレジスタ内の残りのビットが実行されるように設定されなければならない。SMIビットは、このビットの状態に関係なくいかなる動作も禁止する。0=何もしない、1=SMIが0ならば、このレジスタに規定されている通りに状態を変化させる。	

【0045】

各電源状態制御レジスタの第31ビットは予約されている。この特定のビットは、後に特定の目的に応じて使用される。

【0046】

第30～28ビットは、システム管理アクションフィールド(SMAF)を定義する。このフィールドは、オプションで現在行われている作業について、CPUに通知するのに用いられる。

【0047】

第27ビットは、PME_WAKフィールドを定義する。このフィールドは、システムが電源管理イベント(PME)イベントまたはPMEの入力で復帰するかどうかを定義するのに用いられる。PMEは、Sx状態において、システムを復帰させなければならない

40

50

という信号を伝えるのに用いられる。一実施形態においては、PME_WAKフィールドは、Sx状態に対しては1に、Cx状態に対しては0に設定される。

【0048】

第26ビットは、SMI_WAKフィールドを定義する。このフィールドは、システムがシステム管理割り込み(SMI)イベントで復帰するかどうかを定義するのに用いられる。SMIは、SMMルーチンに制御を渡し、OSから制御を受け取ることが望ましい場合に用いられる。このフィールドはACPI規格に定義されていない代替機能のためにCPUを復帰させるのに用いられる。例えば、SMI#復帰イベントをPMEの代用として用いてもよい。

【0049】

第25ビットは、IRQ_WAKフィールドを定義する。このフィールドは、システムが割り込みイベントで復帰するかどうかを定義するのに用いられる。すなわち、このフィールドは、ACPI規格に定義されていない代替機能のためにCPUを復帰させるのに用いられる。例えば、CPUを割り込みで復帰させる場合等である。

【0050】

第24ビットは、ARB_REQ_WAKフィールドを定義する。このフィールドは、システムがBus Master Requestイベントで復帰するかどうかを定義するのに用いられる。Bus Master Requestイベントは、CPUではないバスマスターのいずれかがバスを使用する必要がある場合である。ACPI規格では、キャッシュがシステムメモリにフラッシュされていない場合にこれをC3で用いる。これによりCPUが復帰し、そのキャッシュはスヌープ可能になる。すなわち、このフィールドは、ACPI規格に定義されていない代替機能のためにCPUを復帰させるのに用いられる。

【0051】

第23～22ビットは、レジュームディレイ(RSM_DLY)フィールドを定義する。このフィールドは、CPUが復帰するのが早すぎないように、CPUが復帰するまでに経過すべき時間の長さを定義するのに使用される。このフィールドは、省電力操作を実施したことによる作用、例えば、電源を急激に入切すると電力供給装置がロックするようなことに対処するのに用いることができる。

【0052】

第21～19ビットは、電力供給レールを制御するSLP_S5_DLYフィールドを定義する。特に、このフィールドは、PCIリセット(PCI_RST#)の起動からSLP_S5#の起動までの遅れを制御する。この場合、SLP_S5#は、通常はメインメモリ電源をオフにするために採用されている。

【0053】

第18～16ビットは、電力供給レールを制御するSLP_S3_DLYフィールドを定義する。特に、このフィールドは、PCIリセット(PCI_RST#)の起動からSLP_S3#の起動までの遅れを制御する。この場合、SLP_S3#は、通常はメイン電源供給レールをオフにする、すなわち、CPUへの電力をオフにするために採用されている。

【0054】

第15～13ビットは、電力供給レールを制御するPCIRST_DLYフィールドを定義する。特に、このフィールドは、SLP_S3#の起動からPCIRST#(PCI_RST#)の起動までの遅れを制御する。この場合、PCIRST#は、システム論理を全てリセットするために採用されている。すなわち、このフィールドは、システムをリセットすべきかどうかを定義する。

【0055】

第12～10ビットは、電力供給レールを制御するSLP_S1_DLYフィールドを定義する。特に、このフィールドは、LDT_STP#の起動からSLP_S1#の起動までの遅れを制御する。この場合、SLP_S1#は、通常はマザーボードが休眠中かど

10

20

30

40

50

うかを示すLEDに電力を供給するために採用されている。LDT__STP#は、CPUバスを切断すべきかどうかを命令するピンである。LDTは、Hyper Transport Busとしても知られている。これは、AMDが設計したポイントツーポイントバスである。LDT__STP#ピンは、このバスプロトコルを「停止」させる。

【0056】

第9ビットは、CPU SLP#の起動を制御するCPUSLP__ENフィールドを定義する。注目すべきは、ACPIは、2つのビットフィールド、すなわちSleep Enable (SLP__EN)とSleep Type (SLP__TYPx)を介して制御されるスリーピング/復帰論理を定義している点である。望ましいスリープ状態のタイプは、SLP__TYPxフィールドにプログラムされ、SLP__ENがアサートされるとすぐにハードウェアはシステムを定義されたスリーピング状態に順序付ける。

10

【0057】

第8～6ビットは、Stop Grant Specialサイクル(STPCLK#のアサートに対するCPUの応答)の起動からLDT__STP#の起動までの遅れを制御するLDTSTP__DLYフィールドを定義する。LDT__STP#は、LDT Busを切断するのに用いられる。

【0058】

第5～3ビットは、電源管理命令からSTPCLK#の起動までの遅れを制御するSTPCLK__DLYフィールドを定義する。この場合、STPCLK#は、CPUをStop Grant状態にするのに用いられる。

20

【0059】

第2ビットは、アービタが使用不能であっても装置が非同期アクセスを実現するためにシステムメモリにアクセスできるようにするのに用いられるアービタオーバーライド(ARB__OVR)フィールドを定義する。特に、ACPI規格に従う標準PM2__CNT__BLKレジスタブロックは、アービタ無効化機能用のシングルビットを含んでいる。すなわち、後者のビットは前者のビットを無効にするために用いられる。

【0060】

第1ビットはシステム管理割り込み(SMI)有効化フィールドを定義する。このフィールドはSMI#が発生されるかどうかを判断する。

【0061】

第0ビットは、ステートイネーブル(ST-EN)フィールドを定義する。このビットは、いずれにせよ作動されるSMIビットを除く、このレジスタ内の残りのビットが実行されるように設定されなければならない。

30

【0062】

表2において各電源状態制御レジスタ140用に定義されたフィールドは、特定の実施形態における例にすぎない。当業者には、こうしたフィールドは、部分的に(すなわち上記フィールドの一部のみを実施する)、上記とは異なる順序で、異なるサイズで、あるいは上記とは異なるパラメータを用いて実施されうことは理解されよう。

【0063】

さらに、各電源状態制御レジスタ140における上記フィールドの多くは(種々のパラメータを含む)、ACPI対応のシステムに配置されていることを前提に実施される。しかし、当業者には、本発明は他の電源管理規格に適合するシステムにも配置できるように変更できることは理解されよう。

40

【0064】

また、本発明は、上記のように状態抽象化レジスタを用いて実施されているが、これに限られるものではない。すなわち、すなわち、抽象化は固定論理に記憶することもできるし、必要なときにROMから読み出すこともできる。本発明の主たるアプローチは、標準レジスタを別のシステムまたは装置が定義した状態へと抽象化することである。

【0065】

本発明の利点の一つは、電源状態制御レジスタ140は、例えばACPIのような特定

50

の電源管理規格に従っているとホストOSが推定するシステムに設置可能であるという点である。こうしたことで、本発明を用いて代替電源管理スキームを実施でき、その際にホストOSを変更する必要がない。これは、重要な利点である。なぜなら、コンピューティングシステムの製造業者は、非互換性の問題を考慮することなく標準のオペレーティングシステムを使用したまま代替電源管理スキームを要求することもできるからである。

【 0 0 6 6 】

表3 aは、プロセッサの電源状態（C x）およびスリーピング状態（S x）に合致した電源状態制御レジスタの各ビットに対する標準的な設定を示している。換言すれば、これらの設定はACPIに対応している。

【 0 0 6 7 】

10

表3 a

ビット	C 2	C 3	S 1	S 3	S 4	S 5	フィールド
31	0	0	0	0	0	0	予約
30:28	000	000	000	000	000	000	SMAF.
27	0	0	1	1	1	1	PME_WAK.
26	0	0	0	0	0	0	SMI_WAK.
25	1	1	0	0	0	0	IRQ_WAK
24	0	1	0	0	0	0	ARB_REQ_WAK.
23:22	00	00	00	00	00	00	RSM_DLY.
21:19	000	000	000	000	001	001	SLP_S5_DLY.
18:16	000	000	000	001	001	001	SLP_S3_DLY.
15:13	000	000	000	001	001	001	PCIRST_DLY.
12:10	000	001	001	001	001	001	SLP_S1_DLY.
9	000	001	001	001	001	001	CPUSLP_EN.
8:6	000	001	001	001	001	001	LDTSTP_DLY.
5:3	001	001	001	001	001	001	STPCLK_DLY.
2	0	0	0	0	0	0	ARB_OVR.
1	0	0	0	0	0	0	SMI.
0	1	1	1	1	1	1	ST_EN.

20

30

【 0 0 6 8 】

一方、表3 bは、プロセッサの電源状態（C x）およびスリーピング状態（S x）に合致した電源状態制御レジスタの各ビットに対する修正された設定を示している。換言すれば、これらの修正された設定は、表1に示した実際に実施される状態を生じることになる。

【 0 0 6 9 】

40

表 3 b

ビット	C 2	C 3	S 1	S 3	S 4	S 5	フィールド
31	0	0	0	0	0	0	予約
30:28	000	000	000	000	000	000	SMAF.
27	0	0	1	1	1	1	PME_WAK.
26	1	1	1	1	1	0	SMI_WAK.
25	1	1	0	0	0	0	IRQ_WAK
24	0	0	0	0	0	0	ARB_REQ_WAK.
23:22	00	00	00	00	00	00	RSM_DLY.
21:19	000	000	000	000	000	001	SLP_S5_DLY.
18:16	000	000	000	000	000	001	SLP_S3_DLY.
15:13	000	000	000	000	000	001	PCIRST_DLY.
12:10	000	000	001	001	001	001	SLP_S1_DLY.
9	000	000	001	001	001	001	CPUSLP_EN.
8:6	000	000	000	000	000	001	LDTSTP_DLY.
5:3	001	001	001	001	001	001	STPCLK_DLY.
2	0	0	1	1	1	0	ARB_OVR.
1	0	0	1	1	1	0	SMI.
0	1	1	1	1	1	1	ST_EN.

10

20

【 0 0 7 0 】

最後に、表 4 および表 5 は、遅れ表の例である。本発明では複数の遅れ値を有する起動遅れの表 4 と P C I _ R S T 起動遅れの表 5 を示しているが、用途によっては他の遅れ値を導入することもできる。

【 0 0 7 1 】

表 4

遅れ値	前の信号からの起動遅れ
0 0 0	信号は起動されず。
0 0 1	前の信号から 1 6 クロック待つ (1 4 . 3 1 8 M H z クロック)。
0 1 0	前の信号から 3 2 クロック待つ (1 4 . 3 1 8 M H z クロック)。
0 1 1	前の信号から 6 4 クロック待つ (1 4 . 3 1 8 M H z クロック)。
1 0 0	前の信号から 1 2 8 クロック待つ (1 4 . 3 1 8 M H z クロック)。
1 0 1	前の信号から 2 5 6 クロック待つ (1 4 . 3 1 8 M H z クロック)。
1 1 0	前の信号から 5 1 2 クロック待つ (1 4 . 3 1 8 M H z クロック)。
1 1 1	前の信号から 1 0 2 4 クロック待つ (1 4 . 3 1 8 M H z クロック)。

30

40

【 0 0 7 2 】

表 5

遅れ値	前の信号からの起動遅れ
0 0 0	信号は起動されず。
0 0 1	前の信号から 1 ミリ秒待つ。
0 1 0	前の信号から 2 ミリ秒待つ。
0 1 1	前の信号から 4 ミリ秒待つ。
1 0 0	前の信号から 8 ミリ秒待つ。
1 0 1	前の信号から 1 6 ミリ秒待つ。
1 1 0	前の信号から 3 2 ミリ秒待つ。
1 1 1	前の信号から 6 4 ミリ秒待つ。

10

【 0 0 7 3 】

本発明の教示を含む種々の実施形態を示し説明したが、当業者であれば本発明の教示を含む更なる実施形態を用意に考案できるであろう。請求項において、方法のクレームの要素は特定の順序で記載されているが、たとえ請求項の要素が数字順またはアルファベット順に列挙されていても、本発明を実施する順序を意味するものではない。

【 図面の簡単な説明 】

【 0 0 7 4 】

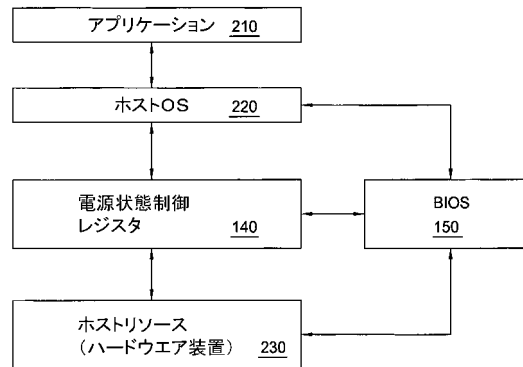
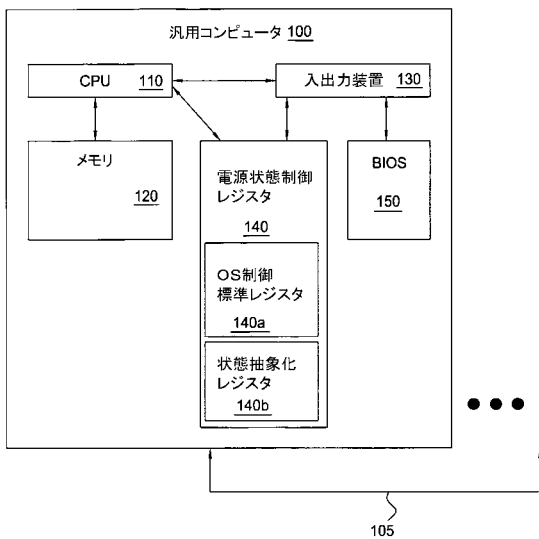
20

【 図 1 】 本発明の分離式電源管理状態を提供するシステムのブロック図である。

【 図 2 】 分離式電源管理状態を提供するコンピュータシステムのソフトウェアコンポーネントとハードウェアコンポーネントの関係を示すブロック図である。

【 図 1 】

【 図 2 】



フロントページの続き

審査官 杉藤 泰子

(56)参考文献 特開2002-073226(JP,A)
特開2000-039937(JP,A)

(58)調査した分野(Int.Cl., DB名)
G06F 1/26