



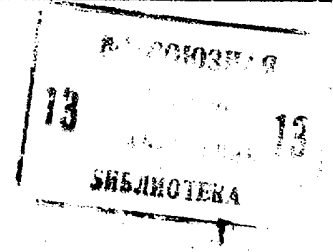
СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) **SU** (11) **1101889** **A**

з (51) G 11 C 9/00

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 3578660/18-24

(22) 08.04.83

(46) 07.07.84. Бюл. № 25

(72) В. С. Лупиков

(53) 681.327.66(088.8)

(56) 1. Авторское свидетельство СССР
№ 822287, кл. G 11 C 9/00, 1979.

2. Авторское свидетельство СССР
по заявке № 3411800/24, кл. G 11 C 9/00,
1982 (прототип).

(54) (57) **БУФЕРНОЕ ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО**, содержащее накопитель, информационные входы и выходы которого соответственно являются информационными входами и выходами устройства, вход управления — первым управляющим входом устройства, а адресные входы соединены с выходами первого сумматора, одни из входов которого подключены к выходам элементов И-ИЛИ первой группы, первые входы которых соединены с выходом первого элемента НЕ и первым входом элемента И, вторые входы объединены с входом первого элемента НЕ и являются вторым управляющим входом устройства, третьи и четвертые входы элементов И-ИЛИ первой группы соответственно соединены с информационными выходами первого и второго счетчиков, счетные входы которых являются соответственно

третьим и четвертым управляющими входами устройства, выходы переполнения первого и второго счетчиков соединены соответственно с первым и вторым входами триггера, выход которого подключен к второму входу элемента И, установочные входы счетчиков и триггера объединены и являются пятым управляющим входом устройства, отличающееся тем, что, с целью повышения надежности устройства, в него введены регистр, второй сумматор, второй элемент НЕ и вторая группа элементов И-ИЛИ, первые входы которых соединены с выходом второго элемента НЕ, вход которого подключен к выходу элемента И и вторым входам элементов И-ИЛИ второй группы, третьи входы которых соединены с выходами второго сумматора и информационными входами регистра, выходы которого подключены к одним из входов второго сумматора и четвертым входам элементов И-ИЛИ второй группы, выходы которых соединены с другими входами первого сумматора, вход записи регистра соединен с выходом переполнения второго счетчика, другие входы второго сумматора являются шестым управляющим входом устройства, вход управления регистра подключен к пятому управляющему входу устройства.

(19) **SU** (11) **1101889** **A**

Изобретение относится к вычислительной технике и может быть использовано в буферных запоминающих устройствах систем ввода информации многоканальных измерительных комплексов.

Известное буферное запоминающее устройство, содержащее накопитель, блоки ввода и вывода, и в нем используется метод перекрестно-последовательного обращения, позволяющий осуществлять двухсторонний обмен информацией и совмещать процессы ввода и вывода информации из него [1].

Однако использование данного устройства в системах ввода информации многоканальных измерительных комплексов, когда последовательность опроса каналов неизменна, а их количество равно или кратно и превышает количество ячеек буферного запоминающего устройства, отказ одной или нескольких ячеек накопителя приводит к потерям информации от одного или нескольких каналов.

Наиболее близким к предлагаемому является буферное запоминающее устройство, содержащее накопитель, адресные входы которого соединены с выходами первого сумматора, первые входы которого подключены к выходам элементов И-ИЛИ первой группы, первые входы которых соединены с выходом первого элемента НЕ и первым входом элемента И, вход первого элемента НЕ подключен к вторым входам элементов И-ИЛИ первой группы, третьи и четвертые входы первой группы элементов И-ИЛИ соответственно соединены с выходами первого и второго счетчиков, выходы переполнения первого и второго счетчиков соединены соответственно с первым и вторым входами триггера, выход которого подключен к второму входу элемента И [2].

Известное устройство при отказах одной или нескольких ячеек накопителя обеспечивает равномерное распределение потерь по каждому из каналов в измерительных системах, формат данных которых не превышает формата ячейки накопителя буферного запоминающего устройства. Однако при невыполнении этого условия, когда формат данных измерительных каналов превышает формат ячейки накопителя, в этом устройстве при отказе ячеек накопителя возможны потери последовательно поступающих измерений информационных каналов, что в некоторых случаях недопустимо, несмотря на избыточность поступающей информации.

Цель изобретения — повышение надежности устройства за счет выравнивания вероятности потерь по каждому из каналов измерительной системы.

Поставленная цель достигается тем, что в буферное запоминающее устройство, содержащее накопитель, информационные входы и выходы которого соответственно являются информационными входами и выходами устройства, вход управления — пер-

вым управляющим входом устройства, а адресные входы накопителя соединены с выходами первого сумматора, одни из входов которого подключены к выходам элементов И-ИЛИ первой группы, первые входы которых соединены с выходом первого элемента НЕ и первым входом элемента И, вторые входы объединены с входом первого элемента НЕ и являются вторым управляющим входом устройства, третьи и четвертые входы элементов И-ИЛИ первой группы соответственно соединены с информационными выходами первого и второго счетчиков, счетные входы которых являются соответственно третьим и четвертым управляющими входами устройства, выходы переполнения первого и второго счетчиков соединены соответственно с первым и вторым входами триггера, выход которого подключен к второму входу элемента И, установочные входы счетчиков и триггера объединены и являются пятым управляющим входом устройства, введены регистр, второй сумматор, второй элемент НЕ и вторая группа элементов И-ИЛИ, первые входы которых соединены с выходом второго элемента НЕ, вход которого подключен к выходу элемента И и вторым входам элементов И-ИЛИ, второй группы, третьи входы которых соединены с выходами второго сумматора информационными входами регистра, выходы которого подключены к одним из входов второго сумматора и четвертым входам элементов И-ИЛИ второй группы, выходы которых соединены с другими входами первого сумматора, вход записи регистра соединен с выходом переполнения второго счетчика, другие входы второго сумматора являются шестым управляющим входом устройства, вход управления регистра подключен к пятому управляющему входу устройства.

На фиг. 1 представлена структурная схема буферного запоминающего устройства; на фиг. 2 — распределение информации в накопителе при коде на входе 18, равном 1 (а, b, c, d — данные измерительных каналов), и при коде на входе 18, равном 4.

Буферное запоминающее устройство (фиг. 1) содержит накопитель 1, вход управления которого является первым управляющим входом 2 устройства, адресные входы которого подключены к выходам первого сумматора 3, первые входы которого подключены к выходам элементов И-ИЛИ 4 первой группы. Первые входы элементов И-ИЛИ 4 соединены с выходом первого элемента НЕ 5 и первым входом элемента И 6. Вход элемента НЕ 5 подключен к вторым входам элементов И-ИЛИ 4 и к второму управляющему входу 7 устройства. Третьи и четвертые входы элементов И-ИЛИ 4 соединены соответственно с выходами первого счетчика 8 и второго счетчика 9, счетные входы которых являются соответственно третьим 10 и четвертым 11 управляющими

входами. Выходы переполнения счетчиков 8 и 9 соединены с входами триггера 12, выход которого подключен к второму входу элемента И 6. Первые входы элементов И-ИЛИ 13 второй группы соединены с выходами второго элемента НЕ 14, вход которого подключен к выходу элемента И 6 и вторым входам элементов И-ИЛИ 13, третьи входы которых соединены с выходами второго сумматора 15 и информационными входами регистра 16.

Установочные входы счетчиков 8 и 9 и триггера 12 объединены и являются пятым управляющим входом 17 устройства, шестым управляющим входом 18 которого являются одни из входов сумматора 15.

Устройство работает следующим образом.

Перед началом работы счетчики 8 и 9, триггер 12 и регистр 16 устанавливаются в нулевые состояния сигналом на входе 17.

При выполнении операции записи информации в накопитель 1 на входе 7 устанавливается низкий уровень сигнала, который воздействуя через элемент НЕ 5 на первые входы элементов И-ИЛИ 4, подключает к первым входам сумматора 3 выходы счетчика 8. Текущий адрес записи формируется на выходах сумматора 3 как сумма содержимого счетчика 8 и кода на выходах элементов И-ИЛИ 13, который, в свою очередь, определяется уровнем сигнала на входе 7 и состоянием триггера 12. К вторым входам первого сумматора 3 подключаются через элементы И-ИЛИ 13 выходы второго сумматора 15 при выполнении операции записи и при единичном состоянии триггера 12. При этом высокий уровень сигнала на выходе триггера 12 и выходе элемента НЕ 5 через открытый элемент И 6 обеспечит подключение на выходы элементов И-ИЛИ 13 сигналов с выходов сумматора 15.

При выполнении операции чтения или записи, но при нулевом состоянии триггера 12 на выходы элементов И-ИЛИ 13 подключаются сигналы с выходов регистра 16. В накопитель 1 по адресу, сформированному на выходе сумматора 3, осуществляется запись информации с входных шин числа с проходом сигнала по входу 2. По окончании записи сигналом на входе 10 добавляется единица к содержимому счетчика 8.

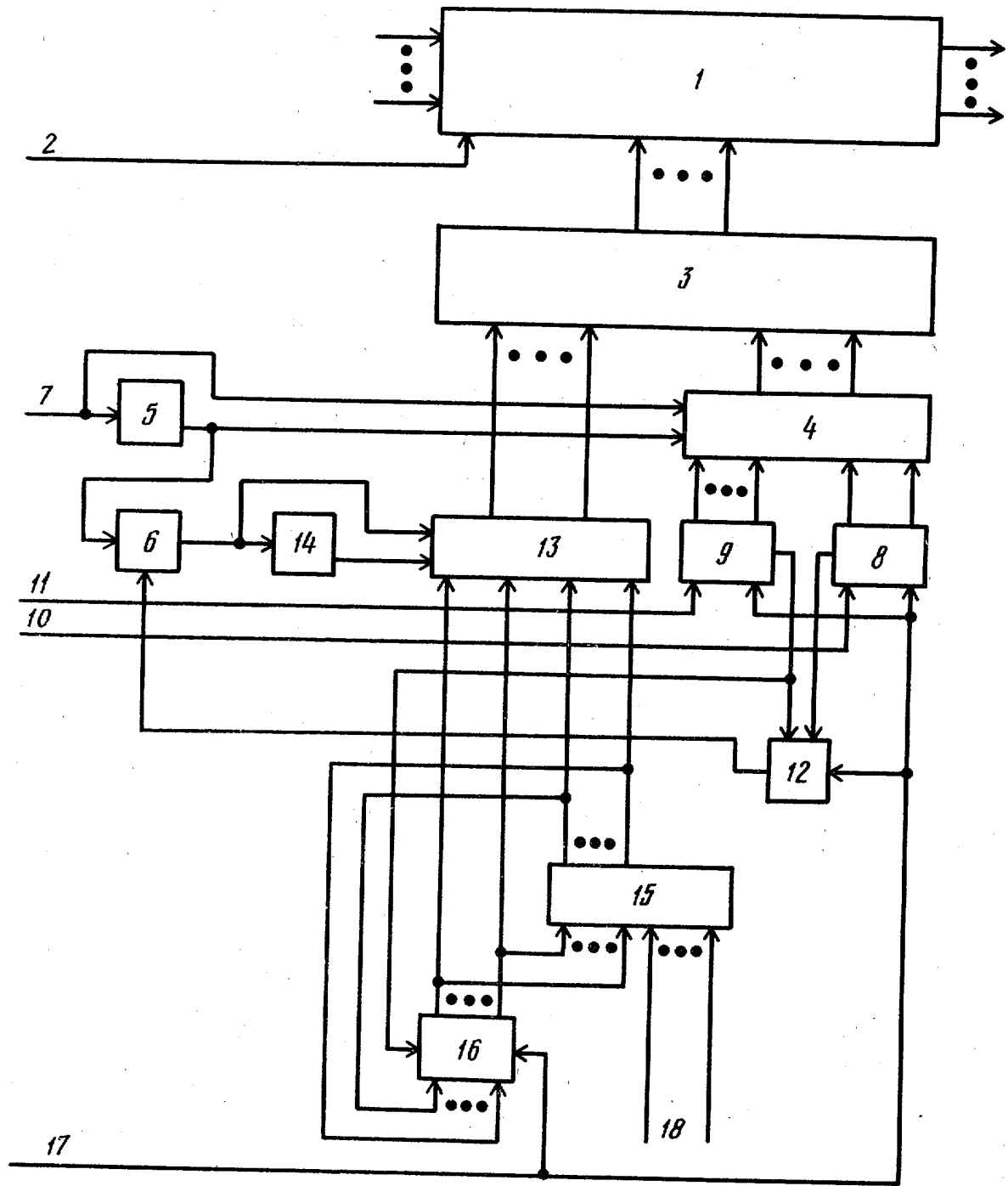
При выполнении операции чтения информации из накопителя 1 на входе 7 устанавливается высокий уровень сигнала, который,

воздействуя на вторые входы элементов И-ИЛИ 4, подключает к первым входам сумматора 3 выходы счетчика 9. Текущий адрес чтения формируется на выходах сумматора 3 как сумма содержимого счетчика 9 и содержимого регистра 16. Производится чтение информации из накопителя 1 по адресу, сформированному на выходах сумматора 3. По окончании чтения сигналом на входе 11 добавляется единица к содержимому счетчика 9, триггер 12 устанавливается в единичное состояние сигналом на выходе переполнения первого счетчика 8 каждый раз после записи в накопитель 12^к (к — разрядность счетчика 8 и 9) слов.

Сигналом на выходе переполнения счетчика 9, т. е. каждый раз после чтения 2^к слов из накопителя 1, триггер 12 устанавливается в нулевое состояние. Одновременно с этим осуществляется запись в регистр 16 выходных сигналов сумматора 15. В регистр 16 записывается сумма предыдущего содержимого регистра 16 и кода на входе 18. Код, присутствующий на входе 18, не превышает максимального из кодов количества ячеек накопителя 1, необходимых для хранения данных измерительного канала, и выбирается из условия получения равномерного распределения вероятности потерь между каналами при отказе ячеек накопителя 1.

На фиг. 2 представлено расположение информации в накопителе 1 при четырех последовательных циклах работы буферного запоминающего устройства при различных кодах на входе 18. Под циклом работы буферного запоминающего устройства подразумевается 2^к-кратное выполнение операций записи и чтения (в примерах, приведенных на фиг. 2, к=4).

Технико-экономическое преимущество предлагаемого буферного запоминающего устройства заключается в том, что его использование позволит уменьшить вероятность потерь информации одних и тех же каналов при распределении этих потерь равномерно между несколькими каналами. Учитывая то обстоятельство, что интенсивность отказов памяти высока по сравнению с другими устройствами, использование в системах обработки измерительной информации предлагаемого устройства позволит существенно повысить надежность и эффективность их работы.



Фиг. 1

№ ячейки	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
1 цикл	a	a	a	a	b	b	b	b	b	c	c	c	d	d	d	d
2 цикл	d	a	a	a	a	b	b	b	b	c	c	c	c	d	d	d
3 цикл	d	d	a	a	a	a	b	b	b	b	c	c	c	c	d	d
4 цикл	d	d	d	a	a	a	a	b	b	b	b	c	c	c	c	d

а
Отказавшие ячейки накопителя

№ ячейки	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
1 цикл	a	a	a	a	b	b	b	b	b	c	c	c	d	d	d	d
2 цикл	d	d	d	d	a	a	a	a	b	b	b	c	c	c	c	c
3 цикл	c	c	c	c	d	d	d	d	a	a	a	a	b	b	b	b
4 цикл	b	b	b	b	c	c	c	c	d	d	d	d	a	a	a	a

б
Отказавшие ячейки накопителя
Фиг. 2

Редактор В. Петраш
Заказ 4685/36

Составитель В. Рудаков
Техред И. Верес
Тираж 575

Корректор О. Билак
Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5
Филиал ППП «Патент», г. Ужгород, ул. Проектная, 4