

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4023861号  
(P4023861)

(45) 発行日 平成19年12月19日(2007.12.19)

(24) 登録日 平成19年10月12日(2007.10.12)

(51) Int. Cl.	F I
<b>G 1 1 C 29/04 (2006.01)</b>	G 1 1 C 29/00 6 O 3 B
<b>G 1 1 C 11/407 (2006.01)</b>	G 1 1 C 11/34 3 5 4 E
<b>G 1 1 C 11/401 (2006.01)</b>	G 1 1 C 11/34 3 7 1 D

請求項の数 5 (全 17 頁)

(21) 出願番号	特願平9-10420	(73) 特許権者	503121103
(22) 出願日	平成9年1月23日(1997.1.23)		株式会社ルネサステクノロジ
(65) 公開番号	特開平10-222997		東京都千代田区大手町二丁目6番2号
(43) 公開日	平成10年8月21日(1998.8.21)	(74) 代理人	100089118
審査請求日	平成16年1月20日(2004.1.20)		弁理士 酒井 宏明
審判番号	不服2006-28154(P2006-28154/J1)	(72) 発明者	市村 徹
審判請求日	平成18年12月14日(2006.12.14)		東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
(31) 優先権主張番号	特願平8-45255	(72) 発明者	沖本 裕美
(32) 優先日	平成8年3月1日(1996.3.1)		東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
(33) 優先権主張国	日本国(JP)	(72) 発明者	林越 正紀
(31) 優先権主張番号	特願平8-198204		東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
(32) 優先日	平成8年7月26日(1996.7.26)		
(33) 優先権主張国	日本国(JP)		
(31) 優先権主張番号	特願平8-321950		
(32) 優先日	平成8年12月2日(1996.12.2)		
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

複数のビット線と複数のワード線との交点に配置されたメモリセルを有するメモリセルアレイと、

前記ワード線を選択するロウデコードと、

選択信号によって前記ビット線を選択するビット線選択手段と、

前記ビット線選択手段に接続されるコラム選択線を選択して該ビット線選択手段に選択信号を供給するコラムデコードと、

前記コラム選択線を挟んで前記コラムデコードの反対側に配置され、前記コラムデコードが動作状態にあるか、待機状態にあるかに関わらず、選択されていない前記コラム選択線の電位を所定の定電位にクランプするクランプ回路と、

を備えたことを特徴とする半導体記憶装置。

【請求項2】

前記クランプ回路は、前記コラムデコードを活性化する制御信号によって制御されることを特徴とする請求項1に記載の半導体記憶装置。

【請求項3】

前記クランプ回路は、前記コラム選択線と接地電位の間に配置され、高電位の信号をゲートに受けることによって導通する第一のトランジスタと、

前記第一のトランジスタのゲートと接地電位の間に配置され、前記コラム選択線にゲートが接続されて該コラム選択線の電位が高電位のときに導通する第二のトランジスタと、

10

20

前記第一のトランジスタのゲートと電源電位の間に配置され、前記コラムデコーダを活性化する制御信号が非活性のときに導通する第三のトランジスタと、

を有することを特徴とする請求項 2 に記載の半導体記憶装置。

【請求項 4】

前記クランプ回路は、高抵抗を介して接地電位に接続されたものであることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 5】

前記クランプ回路は、前記コラム選択線と接地電位との間に配置されたトランジスタによって形成され、該トランジスタのゲートには、所定の電位が与えられて高抵抗となることを特徴とする請求項 1 に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体記憶装置に関し、特に異物等によりコラム選択線またはワード線が断線した場合の誤動作を防止するクランプ回路及び 2 層構造コラム選択線に関するものである。

【0002】

【従来の技術】

図 3 4 は、従来の半導体記憶装置の一つであるダイナミックランダムアクセスメモリ（以下、DRAM と称す）の構成例を示すブロック図である。

図において、1 はメモリセルアレイを分割したサブアレイ、2 は各サブアレイ 1 に配置されワード線 WL を選択するロウデコーダ、3 は各サブアレイ 1 に配置され、コラム選択線 CSL を選択するコラムデコーダである。

図 2 9 は、X 4 構成の DRAM であり、4 つのサブアレイ 1 からなるメモリセルアレイを有している。各サブアレイ 1 は、冗長ワード線を含む複数のワード線 WL と、それらに交差する様に配置された冗長ビット線対を含む複数のビット線対と、それらのビット線対に並行に配置され、ビット線対を選択するための信号を送る冗長コラム選択線を含む複数のコラム選択線 CSL を有しており、ワード線 WL とビット線対との交差点には、メモリセル（図示しない）がそれぞれ接続され、マトリクス状に配列されている。

【0003】

【発明が解決しようとする課題】

コラム選択線 CSL の一方は、コラムデコーダ 3 に接続されているが、他方はオープンになっている。このため、異物等によりコラム選択線 CSL に断線が生じた場合、冗長コラム選択線に置換されるが、断線した先がフローティング状態となり、マルチセレクションが起こり、誤動作してしまう。

また、ワード線についても、ワード線 WL の一方は、ロウデコーダ 2 に接続されているが、他方はオープンになっている。異物等により、ワード線 WL に断線が生じた場合、冗長ワード線に置換されるが、断線した先がフローティング状態になるため、メモリセルのマルチセレクションが起こり、誤動作する。

【0004】

この発明は、このような従来の半導体記憶装置の課題を解決するためになされたもので、異物等によりコラム選択線が断線した場合でも、断線した先がフローティング状態にならないように、コラム選択線をクランプすることを第一の目的とする。

また、電源投入時クランプされるコラム選択線を得ることを第二の目的とする。

また、異物等により、断線が生じても、十分機能できるワード線を得ることを第三の目的とする。

さらに、選択されたワード線に貫通電流が流れないようにすることを第四の目的とする。

また、異物等によりワード線が断線した場合でも、断線した先がフローティング状態にならないように、ワード線をクランプすることを第五の目的とする。

10

20

30

40

50

また、電源投入時クランプされるワード線を得ることを第六の目的とする。

【0005】

【課題を解決するための手段】

本発明にかかる半導体記憶装置においては、複数のビット線と複数のワード線との交点に配置されたメモリセルを有するメモリセルアレイと、前記ワード線を選択するロウデコードと、選択信号によって前記ビット線を選択するビット線選択手段と、前記ビット線選択手段に接続されるコラム選択線を選択して該ビット線選択手段に選択信号を供給するコラムデコードと、前記コラム選択線を挟んで前記コラムデコードの反対側に配置され、前記コラムデコードが動作状態にあるか、待機状態にあるかに関わらず、選択されていない前記コラム選択線の電位を所定の定電位にクランプするクランプ回路と、を備えたことを

10

特徴とする。

また、前記クランプ回路は、前記コラムデコードを活性化する制御信号によって制御されることを特徴とする。

また、前記クランプ回路は、前記コラム選択線と接地電位の間に配置され、高電位の信号をゲートに受けることによって導通する第一のトランジスタと、前記第一のトランジスタのゲートと接地電位の間に配置され、前記コラム選択線にゲートが接続されて該コラム選択線の電位が高電位のときに導通する第二のトランジスタと、前記第一のトランジスタのゲートと電源電位の間に配置され、前記コラムデコードを活性化する制御信号が非活性のときに導通する第三のトランジスタと、を有することを特徴とする。

【0006】

20

また、前記クランプ回路は、高抵抗を介して接地電位に接続されたものであることを特徴とする。

さらに、前記クランプ回路は、前記コラム選択線と接地電位との間に配置されたトランジスタによって形成され、該トランジスタのゲートには、所定の電位が与えられて高抵抗となることを特徴とする。

【0008】

【発明の実施の形態】

実施の形態 1 .

図 1 は、この発明の実施の形態 1 によるコラム選択線を示すブロック図である。図 2 は、その詳細図である。

30

図において、1、3 は上記従来装置と同一のものであり、その説明を省略する。4 はビット線対 B、B (バー) に接続されたセンスアンプ、5 はワード線 WL とビット線対 B、B (バー) の交点に配置されたメモリセル、6、7 は、コラム選択線 CSL の信号により、ビット線対を選択するトランスファゲートである。8 はコラム選択線 CSL をクランプするクランプ回路である。

図 1 は、コラム選択線 CSL の両端にクランプ回路 8 を配置する構成である。

【0009】

図 3 は、コラムデコードの一例を示す回路図である。ここで、YI、YJ、YK はアドレスから作ったプリデコード信号である。

図 4 は、この発明の実施の形態 1 によるクランプ回路を示す回路図である。図 4 において、11 は p チャンネル MOS トランジスタ (以下単に p チャンネルトランジスタという)、12 は n チャンネル MOS トランジスタ (以下単に n チャンネルトランジスタという) である。

40

図 5 は、この発明の実施の形態 1 によるサブアレイのコラム選択線断線時のデータ読出しの動作波形図である。

【0010】

次に動作について説明する。

まず、図 4 のクランプ回路は、コラムデコードイネーブル信号 CDE が非活性状態 L の期間 (即ち CDE (バー) が H の期間) は、p チャンネルトランジスタ 11 がオンし、ノード b の電位が H レベルとなり、n チャンネルトランジスタ 12 がオンする。これにより

50

ノード a の電位が L レベルになる。また信号 C D E が活性状態 H になった時点で、p チャンネルトランジスタ 11 がオフされるため、ノード a の電位は L レベルに保持された状態となり、コラム選択線 C S L が L レベルにクランプされる。

#### 【 0 0 1 1 】

次に図 5 の動作波形図を用いて、図 2 に示すサブアレイの動作を説明する。読み出し動作に入る前（スタンバイ状態の時）、コラムデコードイネーブル信号 C D E は非活性状態 L レベルであり、p チャンネルトランジスタ 11 がオンし、ノード b が H レベルになり、ノード a は L レベルにクランプされる。読み出し動作に入ると、コラムデコードイネーブル信号 C D E は、活性状態 H レベルになり、p チャンネルトランジスタ 11 がオフする。また、ここで、ロウデコーダ 2 により選択されたワード線 W L 2 が立上がり、ワード線 W L 2 に接続されたメモリセル 5 - 2 1、5 - 2 2、5 - 2 n のトランスファゲートがオンし、各メモリセル 5 に書き込まれたデータがビット線対の片側に読み出される。次に、n チャンネルフリップフロップのセンスアンプ駆動信号である S A N（バー）が  $V_{cc}/2$  から G N D に、p チャンネルフリップフロップのセンスアンプ駆動信号である S A P が  $V_{cc}/2$  から  $V_{cc}$  になると、センスアンプ 4 - 1、4 - 2・・・が活性化され、これにより、ビット線対間の電位差が感知され、センス動作が完了する。

#### 【 0 0 1 2 】

図 2 の回路では、クランプ回路 8 により、断線したコラム選択線 C S L 1 の先（C S L 1' とする）は L レベルにクランプされているため、トランスファゲート 6 - 1 a、6 - 1 b、6 - 2 a、6 - 2 b はオフしており、従来の回路で起こるような I / O 線への電位の遷位またはマルチセクションは起こらない。

コラムデコードイネーブル信号 C D E が活性状態になり、コラム選択線 C S L 2 が選択されると、コラム選択線 C S L 2 が H レベルとなり、トランスファゲート 6 - 3 a、6 - 3 b、7 - 3 a、7 - 3 b、6 - 4 a、6 - 4 b、7 - 4 a、7 - 4 b がオンし、ビット線対 B 3、B 3（バー）、B 4、B 4（バー）、B 3'、B 3'（バー）、B 4'、B 4'（バー）と I / O 線が接続され、メモリセルへ書き込まれたデータが、正常に I / O 線からデータバスへと読み出される。

図 3 のコラムデコーダは、L レベルの電位と H レベルの電位にデコードする機能を有しており、選択されないコラム選択線 C S L を L レベルの電位にクランプする機能がある。従って、実施の形態 1 は、コラム選択線 C S L の両端にクランプ回路を設置していることになる。

#### 【 0 0 1 3 】

図 1 のコラム選択線 C S L の端、つまりコラムデコーダと反対側に、クランプ回路 8 を配置することで、必ずコラム選択線 C S L が L レベルにクランプされるため、コラム選択線 C S L が断線した場合でも、断線先がフローティング状態になることを避けられる。

なお、クランプ回路 8 は、コラムデコーダと反対側に設置するのが望ましいが、これに限定される必要はなく、任意の複数箇所に設置してもよく、このことは、以下の実施の形態 2 ~ 4、8 においても同様である。

#### 【 0 0 1 4 】

実施の形態 2 .

図 6 は、この発明の実施の形態 2 によるコラム選択線を示すブロック図であり、図 7 は、この発明の実施の形態 2 によるハーフラッチ回路を示す回路図である。実施の形態 2 では、図 6 に示すように、コラムデコーダ 3 と反対側にハーフラッチ回路 13 を設置することにより、コラム選択線 C S L を L レベルに固定する。

図 7 にハーフラッチ回路の一例を示す。このハーフラッチ回路は、インバータ I 1 と n チャンネルトランジスタ 14 からなり、ノード d の電位が L レベルのとき、インバータ I 1 の出力が H レベルとなり、n チャンネルトランジスタ 14 がオンするので、ノード d の電位は L レベルが保持された状態となる。これにより、コラム選択線 C S L は L レベル（G N D レベル）に固定された状態となる。

従って、実施の形態 2 でも、実施の形態 1 と同様の効果がある。

10

20

30

40

50

## 【0015】

実施の形態3.

図8は、この発明の実施の形態3によるコラム選択線を示すブロック図である。実施の形態3では、図8に示すように、コラムデコーダ3と反対側にパワーオンリセット回路(図9)の出力信号であるパワーオンリセット信号PORを入力とするnチャンネルトランジスタ15及びハーフラッチ回路13を設置することにより、電源投入時に必ずコラム選択線CSLをLレベルにクランプする。

図9は、この発明の実施の形態3によるパワーオンリセット回路を示す回路図である。図9の回路は、抵抗R1とキャパシタC1とで構成される積分回路17と、この積分回路17の出力を入力とするインバータI2とにより構成されている。

10

## 【0016】

図10は、パワーオンリセット回路の動作波形図である。パワーオンリセット回路では、電源投入時にキャパシタC1に抵抗R1を介して電荷が蓄積され、図10に示されるノードQの電位となる。このノードQの電位が、閾値電圧( $V_{th}$ )になるまでは、パワーオンリセット信号PORは電源電位 $V_{dd}$ (= $E_{xt} \cdot V_{cc}$ )すなわちHレベルであり、閾値電圧に達した後はLレベル(GNDレベル)となる。

図8において、ノードP(すなわち図7のノードd)の電位はLレベルであるので、図7のハーフラッチ回路13のインバータI1の出力がHレベルとなり、nチャンネルトランジスタ14がオンし、ノードPの電位はLレベルが保持された状態となる。

従って、電源投入時は必ずコラム選択線CSLがLレベルにクランプされる。

20

## 【0017】

実施の形態4.

図11は、この発明の実施の形態4によるコラム選択線を示すブロック図である。実施の形態4では、図11に示すように、コラムデコーダ3と反対側に、つまりコラム選択線CSLの先端に高抵抗R2を接続することにより、Lレベルにクランプする。

実施の形態4でも、実施の形態1と同様の効果がある。

## 【0018】

参考となる実施の形態5.

図12は、この発明の参考となる実施の形態5によるコラム選択線を示すブロック図である。この実施の形態5では、図12に示すように、コラムデコーダイネーブル信号CDEが活性状態Hの期間、選択されたコラム選択線CSLに貫通電流が流れないように、nチャンネルトランジスタ18のソース側に高抵抗R3を接続する。これにより、選択されたコラム選択線CSLに貫通電流が流れないようにすることができる。なお、この実施の形態5を、他の実施の形態および他の参考となる実施の形態と併用することにより、コラム選択線CSLの信頼性が一層増す。

30

## 【0019】

参考となる実施の形態6.

図13は、この発明の参考となる実施の形態6によるコラム選択線を示すブロック図である。この実施の形態6は、図13に示すように、コラムデコーダ3をコラム選択線CSLの両端に設置する。コラムデコーダ3は、実施の形態1でも説明したごとく、選択しないコラム選択線CSLを、Lレベルに固定する機能があり、この実施の形態6でも、実施の形態1と同様の効果がある。

40

## 【0020】

参考となる実施の形態7.

図14はこの発明の参考となる実施の形態7による2層構造のコラム選択線を示す回路図である。図14のコラム選択線CSLは、アルミニウムの2層構造になっており、任意の箇所でも両層(上下のコラム選択線CSL)が接続できる。図15aは、2層構造のコラム選択線を示す断面構造図である。コラム選択線CSLを2本重ねるため、寄生容量が従来の1層構造よりも増すので、2層目のコラム選択線CSL(A)を、1層目のコラム選択線CSL(B)の真上に重ね、かつ $CSL(A) \leq CSL(B)$ として、できるだけ

50

容量を抑えるようにすることが望ましい。これにより、異物等により、コラム選択線 CSL の一層が断線しても、他方のコラム選択線 CSL への置き換えが可能であり、断線したコラム選択線 CSL がフローティング状態になることで起こるマルチセクションが起こらなくなる。さらに、二層構造の他に、図 15b に示すように平行してコラム選択線 CSL を走らせて、任意の箇所て接続部 20 によって接続しても同様の効果がある。以上の説明はアルミニウムについて行ったが、これに限定されるものではない。

#### 【0021】

実施の形態 8 .

図 16 は、この発明の実施の形態 8 によるコラム選択線を示すブロック図である。実施の形態 8 は、図 16 に示すように、コラムデコーダ 3 と反対側に、つまりコラム選択線 CSL の先端に、信号 V<sub>in</sub> を入力とする n チャンネルトランジスタ 19 を配置することにより、コラム選択線 CSL を高抵抗で L レベルにクランプする。

10

この時、入力信号 V<sub>in</sub> には、予め定められた電位が与えられる。実際には、n チャンネルトランジスタ 19 が、そのゲートにスレッシュホールド電圧が印加されオンする（以下単にすりきれオンするという）レベルが望ましい。

実施の形態 8 でも、実施の形態 1 と同様の効果がある。

以上、すべての場合について、クランプ回路はコラムデコーダと反対側にあることが望ましいがこれに限定されるものではない。また個数のついても限定されることはない。

#### 【0022】

参考となる実施の形態 9 .

20

図 17 は、この発明の参考となる実施の形態 9 によるワード線を示すブロック図である。図 17 において、2 は図 29 におけるものと同じロウデコーダ、22 はワード線 WL に設けられたクランプ回路である。この実施の形態 9 は、図 17 に示すように、ワード線 WL のロウデコーダ 2 の反対側にクランプ回路 22 を設置したものである。図 18 は、ロウデコーダの一例を示す回路図である。図 18 において、X<sub>i</sub>、X<sub>j</sub>、X<sub>k</sub> はアドレスから作ったプリデコード信号である。図 18 のロウデコーダは、L レベルの電位と H レベルの電位にデコードする機能を有しており、非選択のワード線 WL を L レベルの電位にクランプする機能がある。

#### 【0023】

図 19 は、この発明の参考となる実施の形態 9 によるクランプ回路を示す回路図である。図において、23 は p チャンネルトランジスタ、24 は n チャンネルトランジスタである。図 19 のクランプ回路は、ロウアドレス制御信号 RAS が非活性状態 L の期間（即ち RAS（バー）が H の期間）は、p チャンネルトランジスタ 23 がオンし、ノード b<sub>i</sub> の電位が H レベルとなり、n チャンネルトランジスタ 24 がオンする。これによりノード a<sub>i</sub> の電位が L レベルとなる。また、信号 RAS が活性状態 H になった時点で、p チャンネルトランジスタ 23 がオフされるため、ノード a<sub>i</sub> の電位は L レベルに保持された状態となり、ワード線 WL が L レベルにクランプされる。この実施の形態 9 は、ロウデコーダ 2 とクランプ回路 22 により、ワード線 WL の両端がクランプされている。

30

#### 【0024】

参考となる実施の形態 10 .

40

図 17 のワード線 WL の端、つまり、ロウデコーダ 2 と反対側に、クランプ回路 22 を設置することにより、必ずワード線 WL が L レベルにクランプされるため、ワード線 WL が断線した場合でも、断線した先がフローティング状態になることを避けられる。なお、クランプ回路 22 は、ロウデコーダ 2 と反対側に設置するのが望ましいが、これに限定される必要はなく、任意の複数箇所に設置してもよく、このことは、以下に記す参考となる実施の形態 11 ~ 13、15、16 においても同様である。

#### 【0025】

参考となる実施の形態 11 .

図 20 は、この発明の参考となる実施の形態 11 によるワード線を示すブロック図である。図において、25 は、ワード線 WL のロウデコーダ 2 の反対側に設けられたハーフラ

50

ッチ回路である。図 20 のブロック図に示すように、ロウデコーダ 2 と反対側にハーフラッチ回路 25 を設置することにより、ワード線  $WL_n$  を L レベルにクランプする。図 21 は、この発明の参考となる実施の形態 11 によるハーフラッチ回路を示す回路図である。図 21 のハーフラッチ回路は、インバータ  $I_2$  と  $n$  チャンネルトランジスタ 26 からなり、ノード  $d_1$  の電位が L レベルのとき、インバータ  $I_2$  の出力が H レベルとなり、 $n$  チャンネルトランジスタ 26 がオンするので、ノード  $d_1$  の電位は L レベルが保持された状態となる。これにより、ワード線  $WL_n$  は、L レベル (GND レベル) に固定された状態となる。よって、参考となる実施の形態 9、10 と同様の効果がある。

#### 【0026】

参考となる実施の形態 12 .

10

図 22 は、この発明の参考となる実施の形態 12 によるワード線を示すブロック図である。図において、25 は図 20 におけるものと同じハーフラッチ回路である。27 は、パワーオンリセット回路の出力信号 POR を入力とする  $n$  チャンネルトランジスタである。図 22 に示すように、ロウデコーダ 2 と反対側に、パワーオンリセット回路 (図 9) の出力信号 POR を入力とする  $n$  チャンネルトランジスタ 27 及びハーフラッチ回路 25 を設置することにより、電源投入時に必ずワード線を L レベルにクランプする。パワーオンリセット回路の動作については、実施の形態 3 に述べたものと同じである。ハーフラッチ回路は図 21 と同じであり、この図 21 を援用して説明する。図 22 において、ノード  $P_1$  ( $d_1$ ) の電位は、L レベルであるので、インバータ  $I_2$  の出力が H レベルとなり、 $n$  チャンネルトランジスタ 26 がオンし、ノード  $P_1$  の電位は L レベルが保持された状態となる。従って、電源投入時に、必ずワード線  $WL_n$  が L レベルにクランプされる。

20

#### 【0027】

参考となる実施の形態 13 .

図 23 は、この発明の参考となる実施の形態 13 によるワード線を示すブロック図である。図において、R4 はワード線と接地間に設けられた高抵抗である。図 23 に示すように、ロウデコーダ 2 と反対側つまりワード線  $WL$  の先端に、一端が接地された高抵抗 R4 を接続することにより、ワード線  $WL$  を L レベルにクランプする。

#### 【0028】

参考となる実施の形態 14 .

図 24 は、この発明の参考となる実施の形態 14 によるワード線を示すブロック図である。図 24 に示すように、ロウデコーダ 2 をワード線  $WL$  の両端に設置して、ロウデコーダのクランプ機能により、ワード線  $WL$  をクランプする。

30

#### 【0029】

参考となる実施の形態 15 .

図 25 は、この発明の参考となる実施の形態 15 による主副ワード線を示すブロック図である。図において、MWL は主副ワード線構成における主ワード線、SWL は副ワード線である。29 は主ワード線 MWL を低電位にプルダウンさせるクランプ回路 A、30 は主ワード線 MWL (バー) を高電位にプルアップさせるクランプ回路 B である。図 26 は、この発明の参考となる実施の形態 15 による主ワード線 MWL をクランプするクランプ回路を示す回路図、図 27 は、主ワード線 MWL (バー) をクランプするクランプ回路を示す回路図である。主副ワード線構成を使用した場合、ワード線  $WL$  のくい打ちが出来なくなるため、図 25 に示すように、主ワード線対 MWL、MWL (バー) のロウデコーダ 2 と反対側にクランプ回路 29、30 を設置する。これにより、副ワード線 SWL が L レベルにクランプされるため、断線先がフローティング状態になることを避けられる。

40

#### 【0030】

図 26 のクランプ回路では、入力信号  $p$  (バー) が、活性状態 L の期間 (即ち  $p$  が H の期間) は、 $p$  チャンネルトランジスタ 33 がオンし、ノード  $f_1$  の電位が H レベルとなり、 $n$  チャンネルトランジスタ 34 がオンする。これによりノード  $e_1$  の電位が L レベルとなる。また信号  $p$  (バー) が非活性状態 H になった時点で、 $p$  チャンネルトランジスタ 33 がオフされるので、ノード  $e_1$  の電位は L レベルが保持され、主ワード線 MWL

50

はLレベルにプルダウンされる。

また、図27のクランプ回路では、pが活性状態Hの期間は、nチャンネルトランジスタ35がオンし、ノード $h_1$ の電位がLレベルとなり、pチャンネルトランジスタ36がオンする。これにより、ノード $g_1$ の電位がHレベルとなる。

また、信号pが非活性状態Lになった時点で、nチャンネルトランジスタ35がオフされるので、ノード $g_1$ の電位はHレベルが保持され、主ワード線MWL(バー)はHレベルにプルアップされる。

これにより、副ワード線SWLは、Lレベルにクランプされるので、断線先がフローティング状態にはならない。

【0031】

10

参考となる実施の形態16.

図28は、この発明の参考となる実施の形態16によるワード線を示すブロック図である。図において、37は信号 $V_R$ を入力とするnチャンネルトランジスタである。図28に示すように、ロウデコーダ2と反対側に、つまりワード線WLの先端に信号 $V_R$ を入力とするnチャンネルトランジスタ37を設置することにより、ワード線WLを高抵抗でLレベルにクランプする。このとき、入力信号 $V_R$ の電位は、nチャンネルトランジスタ37が、すりきれオンするようなレベルである。

【0032】

実施の形態17.

図29は、この発明の実施の形態17による半導体記憶装置の一部分を示す図である。図において、40はメモリセルアレイ、41はデコーダ、42はデコーダ41によって選択されるコラム選択線やワード線などの信号線、44は信号線42のデコーダ41と反対側の端に配置され、信号線42と接地電位との間に接続されたnチャンネルトランジスタ、45はnチャンネルトランジスタ44のゲートに接続され、出力bがトランジスタ44のゲートに入力する電圧設定回路で、nチャンネルトランジスタ44と電圧設定回路45はクランプ回路を構成する。55は冗長用メモリセルアレイ、56は冗長用デコーダ、57は冗長用信号線で、冗長用メモリセルアレイ55、冗長用デコーダ56と共に冗長回路を構成する。

20

図30は、図29の電圧設定回路の例を示す回路図である。図において、46は一端が接地されているヒューズ、47はヒューズ46と電源との間に接続された高抵抗である。ヒューズ46を切断すると、高抵抗47を介して、出力bにHレベルの信号が出力される。

30

【0033】

図31は、図29の電圧設定回路の別の例を示す回路図である。図において、48は電源とヒューズ46の間に配置され、ゲートに信号cが入力されるトランジスタである。信号cとして、トランジスタ48がすりきれオンするぐらいの電圧あるいはデコーダ41活性時のみHレベルになるクロック信号を入力することにより、ヒューズ46を切断すると、出力bにHレベルの信号が出力される。

図32は、図29の電圧設定回路の更に別の例を示す回路図である。図において、50はヒューズ46と電源との間に配置されたpチャンネルトランジスタ、51はpチャンネルトランジスタ50のゲートに接続されたインバータで、インバータ51はヒューズ46とpチャンネルトランジスタ50との接続点にも接続されている。52はインバータ51と電源との間に配置され、信号dがゲートに入力されるトランジスタである。信号dとして、電源投入時のみHレベルとなるパルス性の信号をトランジスタ52のゲートに入力することにより、ヒューズ46を切断すると、出力bにHレベルの信号が出力される。

40

【0034】

このように構成された半導体記憶装置では、図29に示すように冗長用信号線57に、図示しない置換え手段によって置換えられた信号線42に設けられた電圧設定回路45の中のヒューズを切断することにより、電圧設定回路45の出力bをHレベルにしてトランジスタ44をオンし、冗長用信号線57に置換えられた信号線42のみをLレベルに固定

50



する。

これにより、冗長用信号線 57 に置換えられた信号線 42 が断線していたとしても、信号線 42 はデコーダ 41 及びトランジスタ 44 により L レベルに固定され、フローティングレベルになる部分がなくなり、誤動作が生じることはなくなる。

なお、図 30 ~ 32 において、ヒューズ 46 を切断しないときは、出力 b は L レベルとなっており、図 30 の回路での高抵抗 47 の使用、図 31 の回路での信号 c の入力方法及び図 32 の回路での信号 d の入力方法の規定は、ヒューズ 46 未切断時の電流を低くするためのものである。

【0035】

実施の形態 18 .

10

図 33 は、この発明の実施の形態 18 による半導体記憶装置の一部分を示す図である。図において、40 ~ 42 は図 29 におけるものと同一のものであり、その説明を省略する。54 は信号線 42 のデコーダ 41 と反対側の端に設けられたヒューズである。55 は冗長用メモリセルアレイ、56 は冗長用デコーダ、57 は冗長用信号線で、冗長用メモリセルアレイ 55、冗長用デコーダ 56 と共に冗長回路を構成する。

このように構成された半導体記憶装置においては、図 33 に示すように冗長用信号線 57 に置換えられなかった信号線 42 のヒューズ 54 を全て切断し、置換えられた信号線 42 のヒューズ 54 を切断しないようにする。

これにより、冗長の信号線に置換えられた信号線 42 が断線していたとしても、デコーダ 41 及びヒューズ 54 により、信号線 42 は L レベルに固定され、フローティングレベルになる部分がなくなり、誤動作が生じることはなくなる。

20

【0049】

【発明の効果】

この発明は、複数のビット線と複数のワード線との交点に配置されたメモリセルを有するメモリセルアレイと、前記ワード線を選択するロウデコーダと、選択信号によってビット線を選択するビット線選択手段と、このビット線選択手段に接続されるコラム選択線を選択して該ビット線選択手段に選択信号を供給するコラムデコーダと、コラム選択線を挟んで前記コラムデコーダの反対側に配置され、コラムデコーダが動作状態にあるか、待機状態にあるかに関わらず、選択されていない前記コラム選択線の電位を所定の定電位にクランプするクランプ回路と、を備えたので、コラム選択線が断線しても誤動作しない半導

30

体記憶装置を得ることができる。

【図面の簡単な説明】

【図 1】この発明の実施の形態 1 によるコラム選択線を示すブロック図である。

【図 2】図 1 のコラム選択線を示す詳細図である。

【図 3】コラムデコーダを示す回路図である。

【図 4】この発明の実施の形態 1 によるクランプ回路を示す回路図である。

【図 5】この発明の実施の形態 1 によるサブアレイのコラム選択線断線時のデータ読出しの動作波形図である。

【図 6】この発明の実施の形態 2 によるコラム選択線を示すブロック図である。

【図 7】この発明の実施の形態 2 によるハーフラッチ回路を示す回路図である。

40

【図 8】この発明の実施の形態 3 によるコラム選択線を示すブロック図である。

【図 9】この発明の実施の形態 3 によるパワーオンリセット回路を示す回路図である。

【図 10】この発明の実施の形態 3 によるパワーオンリセット回路の動作波形図である。

【図 11】この発明の実施の形態 4 によるコラム選択線を示すブロック図である。

【図 12】この発明の参考となる実施の形態 5 によるコラム選択線を示すブロック図である。

【図 13】この発明の参考となる実施の形態 6 によるコラム選択線を示すブロック図である。

【図 14】この発明の参考となる実施の形態 7 による二層構造のコラム選択線を示す回路図である。

50

【図 15】この発明の参考となる実施の形態 7による二層構造のコラム選択線を示す断面構造図、および平行配置のコラム選択線の斜視図である。

【図 16】この発明の実施の形態 8 によるコラム選択線を示すブロック図である。

【図 17】この発明の参考となる実施の形態 9によるワード線を示すブロック図である。

【図 18】ロウデコーダを示す回路図である。

【図 19】この発明の参考となる実施の形態 9によるクランプ回路を示す回路図である。

【図 20】この発明の参考となる実施の形態 11によるワード線を示すブロック図である。

。【図 21】この発明の参考となる実施の形態 11によるハーフラッチ回路を示す回路図である。

10

【図 22】この発明の参考となる実施の形態 12によるワード線を示すブロック図である。

。【図 23】この発明の参考となる実施の形態 13によるワード線を示すブロック図である。

。【図 24】この発明の参考となる実施の形態 14によるワード線を示すブロック図である。

。【図 25】この発明の参考となる実施の形態 15による主副ワード線を示すブロック図である。

【図 26】この発明の参考となる実施の形態 15によるクランプ回路を示す回路図である。

20

。【図 27】この発明の参考となる実施の形態 15による別のクランプ回路を示す回路図である。

【図 28】この発明の参考となる実施の形態 16によるワード線を示すブロック図である。

。【図 29】この発明の実施の形態 17 による半導体記憶装置の一部分を示す図である。

【図 30】図 29 における電圧設定回路の例を示す回路図である。

【図 31】図 29 における電圧設定回路の別の例を示す回路図である。

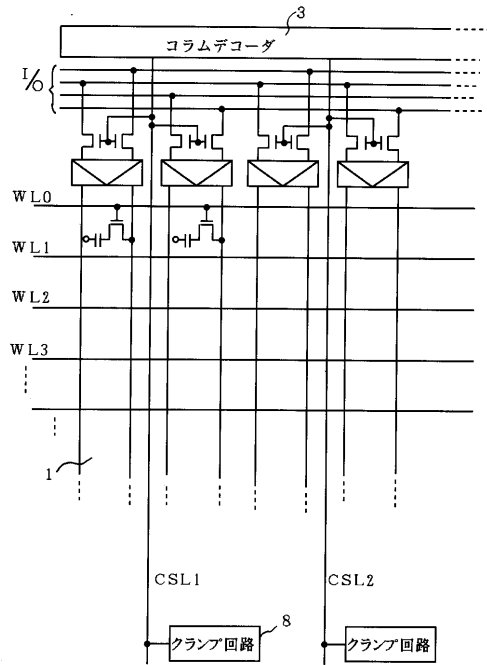
【図 32】図 29 における電圧設定回路のさらに別の例を示す回路図である。

【図 33】この発明の実施の形態 18 による半導体記憶装置の一部分を示す図である。

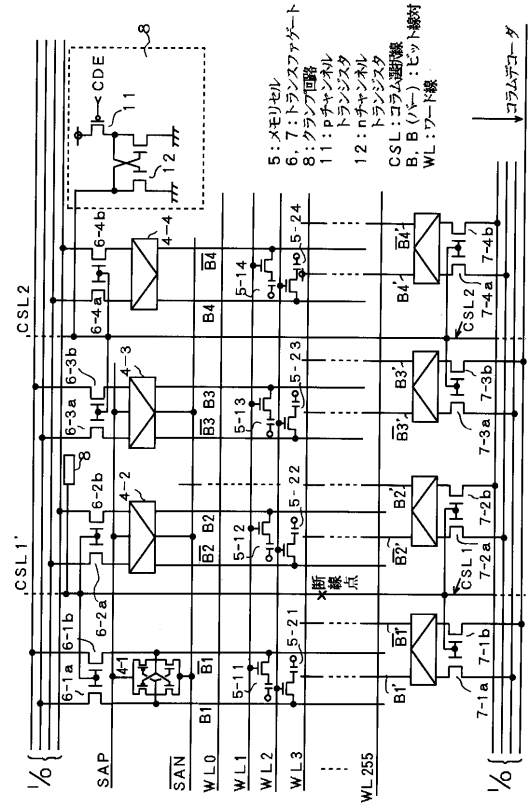
【図 34】従来の半導体記憶装置の構成例を示すブロック図である。

30

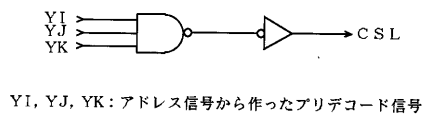
【図 1】



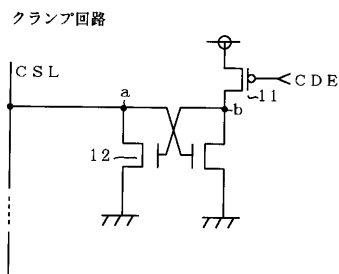
【図 2】



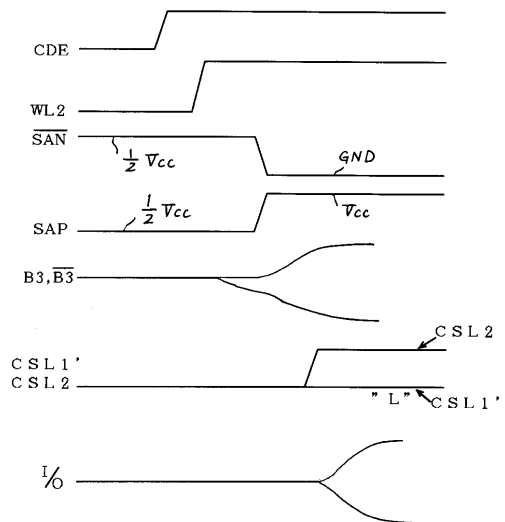
【図 3】



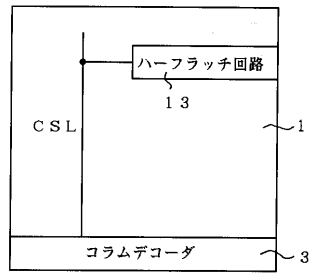
【図 4】



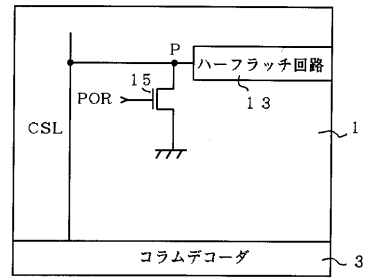
【図 5】



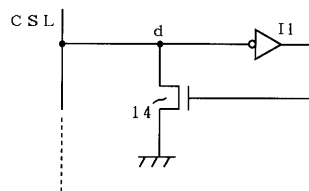
【図 6】



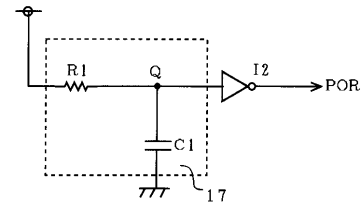
【図 8】



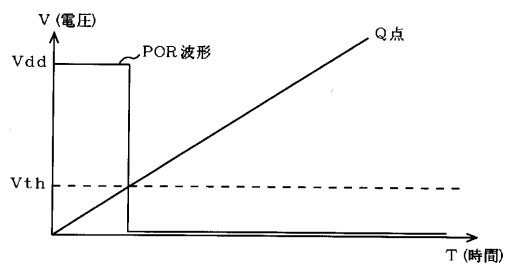
【図 7】



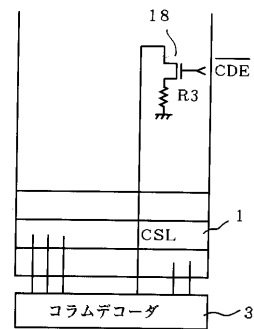
【図 9】



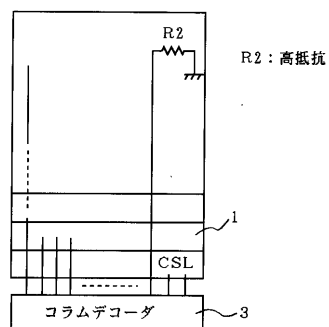
【図 10】



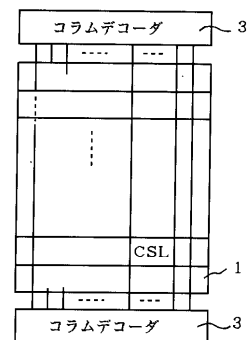
【図 12】



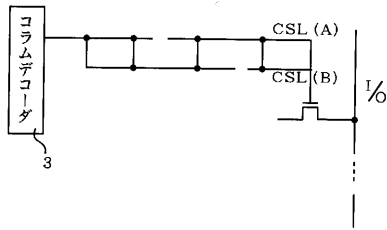
【図 11】



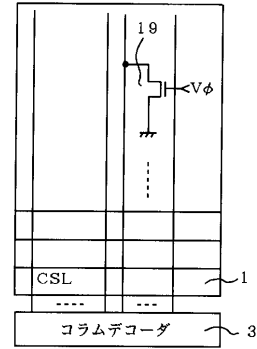
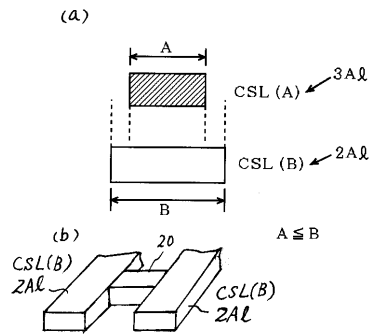
【図 13】



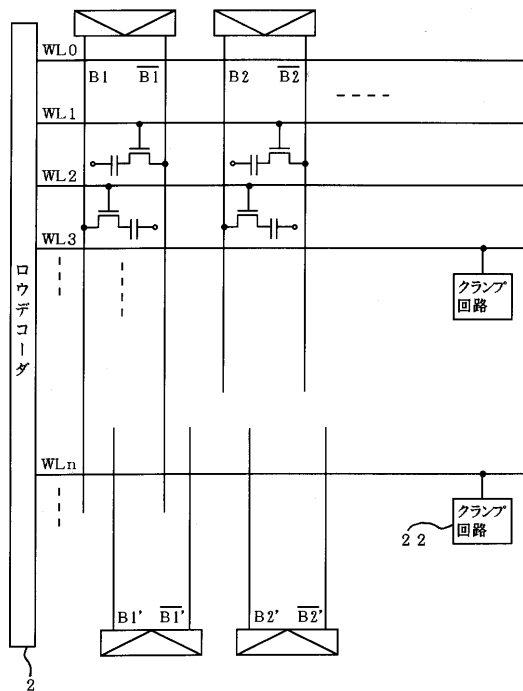
【 図 1 6 】



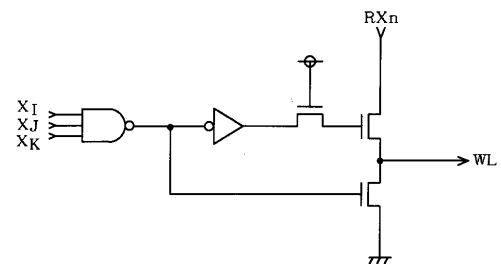
【 図 1 5 】



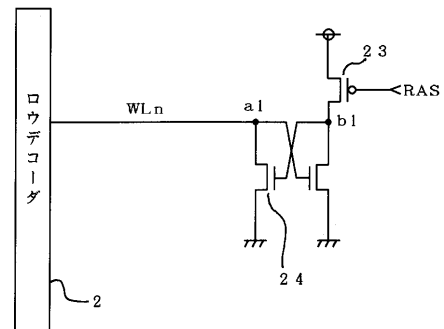
【 図 1 7 】



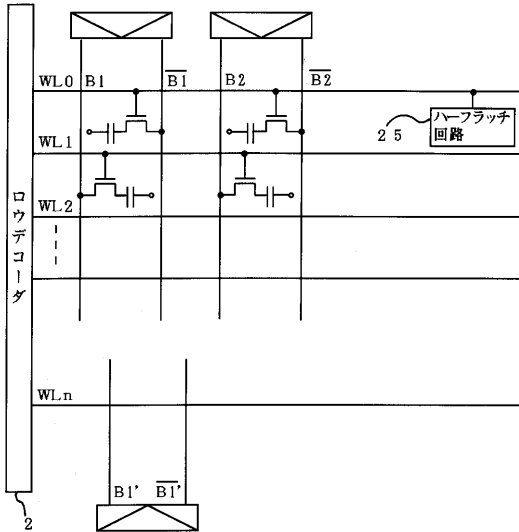
【 図 1 8 】



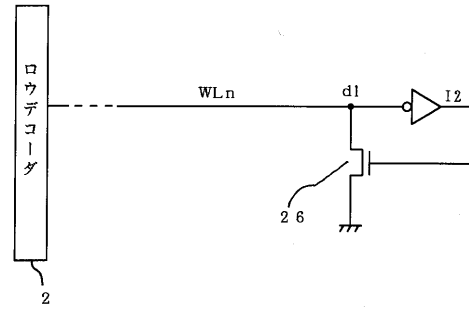
【 ㄨ 1 9 】



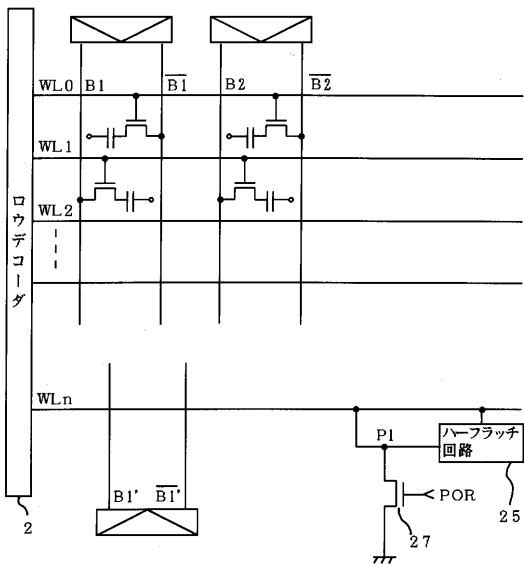
【図 20】



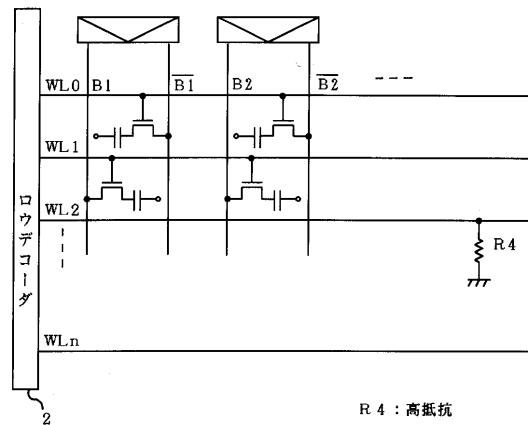
【図 21】



【図 22】

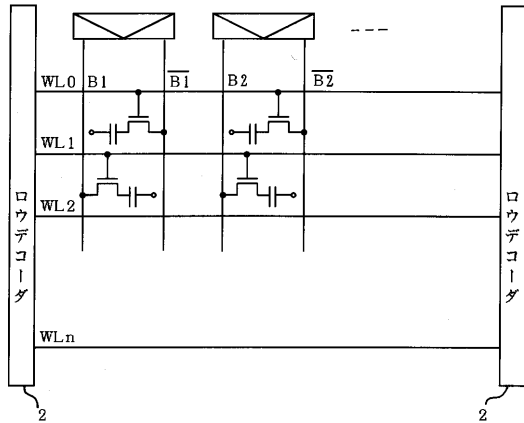


【図 23】

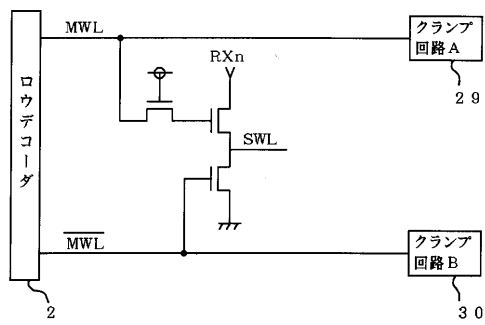


R4: 高抵抗

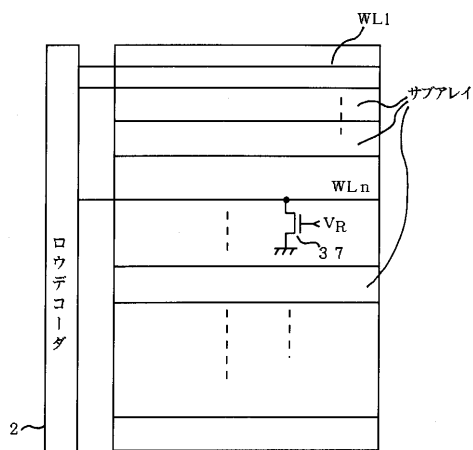
【図 24】



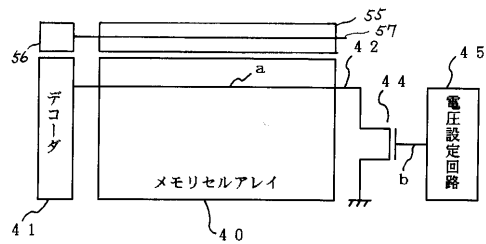
【図 25】



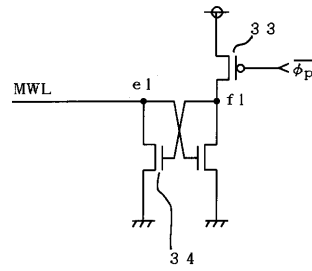
【図 28】



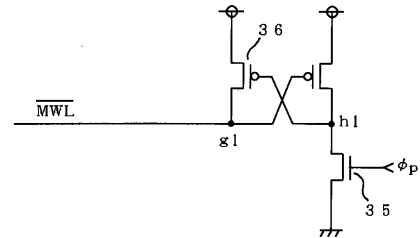
【図 29】



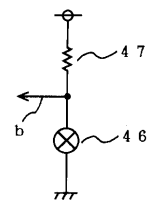
【図 26】



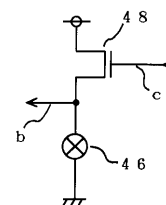
【図 27】



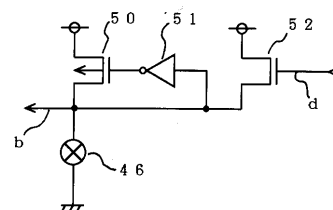
【図 30】



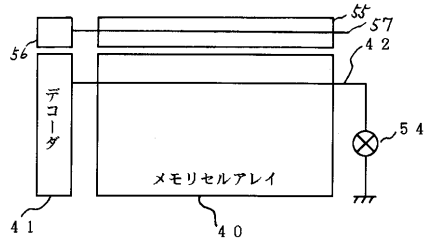
【図 31】



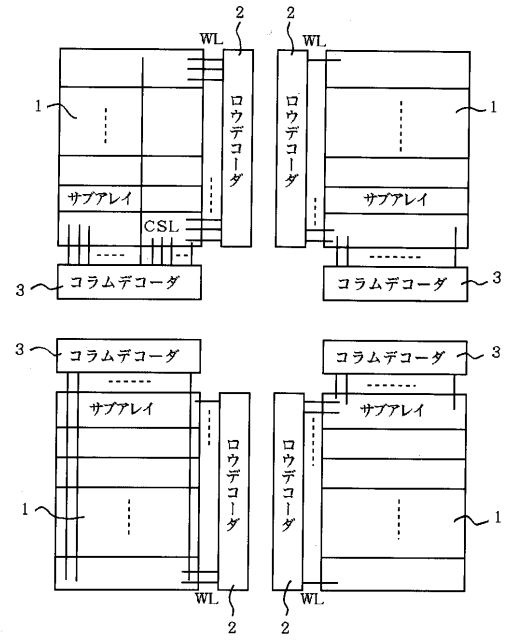
【図 32】



【図 3 3】



【図 3 4】





---

フロントページの続き

(72)発明者 飛田 洋一

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

合議体

審判長 河合 章

審判官 井原 純

審判官 齋藤 恭一

(56)参考文献 特開平 5 - 174597 (JP, A)

特開昭58 - 153294 (JP, A)

特開平 7 - 122098 (JP, A)

特開昭58 - 23389 (JP, A)