

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014年3月13日(13.03.2014)



(10) 国際公開番号

WO 2014/038341 A1

- (51) 国際特許分類:
G11C 15/02 (2006.01) G11C 15/04 (2006.01)
G11C 11/15 (2006.01)
- (21) 国際出願番号: PCT/JP2013/071443
- (22) 国際出願日: 2013年8月1日(01.08.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-195759 2012年9月6日(06.09.2012) JP
- (71) 出願人: 日本電気株式会社(NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 Tokyo (JP). 国立大学法人東北大学(TOHOKU UNIVERSITY) [JP/JP]; 〒9808577 宮城県仙台市青葉区片平二丁目1番1号 Miyagi (JP).
- (72) 発明者: 崎村 昇(SAKIMURA, Noboru); 〒1088001 東京都港区芝五丁目7番1号日本電気株式会社内 Tokyo (JP). 根橋 竜介(NEBASHI, Ryusuke); 〒1088001 東京都港区芝五丁目7番1号日本電気株式会社内 Tokyo (JP). 杉林 直彦(SUGIBAYASHI, Tadahiko); 〒1088001 東京都港区芝五丁目7番1号日本電気株式会社内 Tokyo (JP). 松永

翔雲(MATSUNAGA, Shoun); 〒9808577 宮城県仙台市青葉区片平二丁目1番1号国立大学法人東北大学内 Miyagi (JP). 羽生 貴弘(HANYU, Takahiro); 〒9808577 宮城県仙台市青葉区片平二丁目1番1号国立大学法人東北大学内 Miyagi (JP). 大野 英男(OHNO, Hideo); 〒9808577 宮城県仙台市青葉区片平二丁目1番1号国立大学法人東北大学内 Miyagi (JP).

(74) 代理人: 池田 憲保, 外(IKEDA, Noriyasu et al.); 〒1000011 東京都千代田区内幸町1丁目2番2号 日比谷ダイビル Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: NONVOLATILE CONTENT ADDRESSABLE MEMORY

(54) 発明の名称: 不揮発性連想メモリ

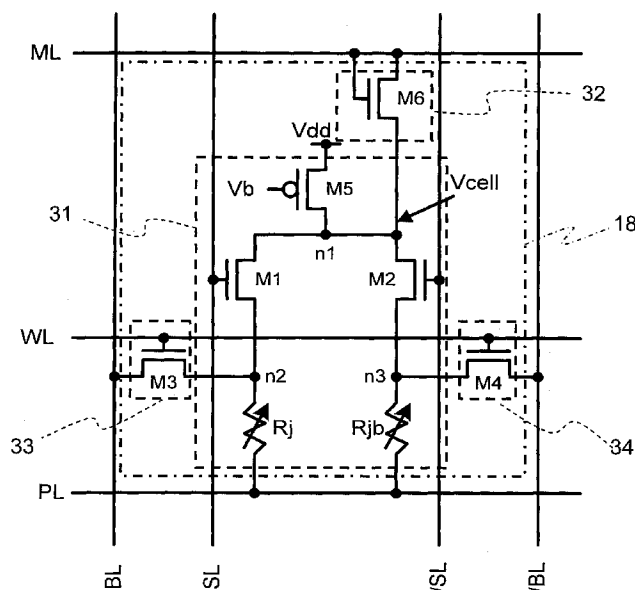


図 3

(57) Abstract: A nonvolatile content addressable memory cell includes first and second resistance change elements (R_j , R_{jb}). Bit lines (BL, /BL) are respectively connected to one terminals (n2, n3) of the first and second resistance change elements via transistors (M3, M4) the gates of which are connected in common to a word line (WL), and a plate line (PL) is connected in common to the other terminals. Transistors (M1, M2) to the gates of which search lines (SL, /SL) are respectively connected are connected to the one terminals of the first and second resistance change elements. A power supply is connected to the transistors (M1, M2) via a transistor (M5), and a match line (ML) that is an output line is connected thereto via a transistor (M6).

(57) 要約: 不揮発性連想メモリセルは、第1及び第2の抵抗変化素子 R_j 、 R_{jb} を含む。第1及び第2の抵抗変化素子の方の端子n2、n3には、ワード線WLにゲートが共通接続されたトランジスタM3、M4を介してビット線BL、/BLがそれぞれ接続され、他方の端子にはプレート線PLが共通接続される。また、第1及び第2の抵抗変化素子の一方の端子には、サーチ線SL、/SLがそれぞれゲートに接続されたトランジスタM1、M2が接続される。トランジスタM1、M2には、トランジスタM5を介して電源が接続されるとともにトランジスタM6を介して出力線であるマッチ線MLに接続される。



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称

不揮発性連想メモリ

5

技術分野

本発明は、連想メモリ（CAM: Content Addressable Memory）に関し、特に、磁気抵抗素子等の抵抗変化素子を利用した不揮発性のCAMに関する。

10 背景技術

CAMは入力データ（検索データ）と記憶データとの比較を行い、一致した記憶データのアドレスを出力する。一般的にCAMは、この比較動作を全ての記憶データに対して並列に行うため、高速にデータを検索できる。こうした機能を有するCAMは、幅広い領域で利用されており、例えば、ネットワークルータやキャッシュメモリなどで利用されている。

15

CAMの記憶素子としては、SRAM（Static Random Access Memory）をベースとしたCAMセルが広く知られている。CAMセルとしては、2つの論理状態“0”、“1”を記憶できるものと、3つの論理状態“0”、“1”、“X”を記憶できるものが知られている。後者は、TCAM（Ternary CAM）セルとも呼ばれている。ここで、“X”状態のビットは“Don't care”を意味し、検索データとして“0”が入力されても“1”が入力されても一致とみなされる。SRAMをベースとしたこれらのCAMセルは、高速に、例えば、数nsでデータ検索を実行できる。

20

しかしながら、SRAMベースのCAMは、電源を遮断するとデータが失われる揮発性の素子である。そのため、揮発性CAMが搭載されたシステムでは、何らかの対策なしには、電源の立ち上げ後に、電源遮断の状態から動作を継続させることはできない。

25

この問題を解決するための1つの手法は、別途用意した不揮発性メモリにデータを退避させることである。具体的には、電源遮断前に、CAMに記憶されたデ

ータを不揮発メモリに転送・保存し、電源立ち上げ後には、不揮発性メモリからデータを読み出してCAMへ書き込む。これにより、電源が遮断されてもデータは保存される。しかしながら、この手法は、CAMと不揮発性メモリとの間のデータのやり取りに時間がかかるという問題がある。CAMと不揮発性メモリとの間のデータのやり取りを高速化するためには、バス幅を広げることも考えられるが、これは配線数を増大させ、チップ面積、及び、コストの増大を招く。更に、停電などの予期せぬ電力低下の場合、CAMに格納されている最新データを不揮発メモリに転送できない恐れもある。

他の手法として、主電源の低下を検知して、主電源からバックアップ用のバッテリーへ切り替える技術がある。これにより、CAMには常に電力が供給されるため、CAMのデータは保存される。しかしながら、データを保存するためにバッテリーの電力が消費され、バッテリーが切れる可能性がある点や、バッテリーなどの追加部品のコストがかさむ点などが問題である。

さらに他の手法は、揮発性素子の代わりに、不揮発性素子をCAMセル自体に適用することである。このような手法は、例えば、不揮発性素子として磁気抵抗変化素子(MTJ (Magnetic Tunnel Junction) 素子とも呼ばれる)をCAMセルに適用した事例が非特許文献1に開示されている。

非特許文献1によれば、不揮発性連想メモリのCAMセルは、MTJ素子のペアを含む比較回路、比較結果をマッチ線に伝送する伝送手段、MTJ素子に書き込み電流を供給するための電流スイッチから構成される。そのCAMセルの回路構成を図14に示す。

図14において、トランジスタM1、M2、M5とMTJ素子のペアRjとRjbは、比較回路を構成する。トランジスタM6は、ダイオード接続されて伝送手段を構成する。トランジスタM3、M4は、電流スイッチを構成する。このCAMセルでは、2本のサーチ線SLと/S�がトランジスタM1とM2のゲートにそれぞれ接続されている。サーチ線SLと/S�には検索したいデータの1ビットを表す信号が相補的に与えられる。サーチ動作では、CAMセルが保持する1ビットの記憶データ、即ち、MTJ素子RjとRjbに格納されるデータと、サーチ線SL及び/S�から入力される1ビットの検索データとが比較され、比

較結果がトランジスタM6を通じてマッチ線MLに伝送される。サーチ動作における真理値表を図15に示す。

非特許文献1に記載された不揮発性CAMは、揮発性CAMの場合に必要なCAMと不揮発性メモリ間のデータの転送時間を無くし、消費電力を大幅に削減できる技術として有望視されている。さらには、SRAMベースの回路で同等の機能を有するTCAMセルを実現しようとする、最低でも14個のトランジスタが必要であることが知られており、非特許文献1に記載された不揮発性TCAMセルは6個のトランジスタと2個のMTJ素子で実現できることから面積コストの削減も期待できる。

10

先行技術文献

非特許文献

非特許文献1：松永翔雲、他6名、“Fully Parallel 6T-2MTJ Nonvolatile TCAM with Single-Transistor-Based Self Match-Line Discharge Control”, Symposium on VLSI Circuits Digest of Technical Papers, 2011

15

発明の概要

発明が解決しようとする課題

非特許文献1に記載のTCAMセルにおける課題は、MTJ素子に記憶データを書き込む際に、複数のセルに対して同時に書き込みを行うことが容易ではないことである。この原因は、ワード線WL、 $\angle$ WLがマッチ線MLと直角な方向(Y方向)に配線され、ビット線BL、 $\angle$ BLがマッチ線MLと平行な方向(X方向)に配線されてCAMセルアレイが構成されることに起因する。

20

図16のようにCAMセルアレイが構成される場合に、ワード2を構成するセル20~23のMTJ素子にデータを書き込む時のタイミングチャートを図17に示す。期間t1~t3のサイクルは、セル20に含まれるMTJ素子Rj、Rjbにデータを書き込むサイクルである。期間t1~t2のサイクルでは、ワード線WL0をハイレベルにして(トランジスタM3を導通状態にして)、ビット線BL2と $\angle$ BL2に電位差を与えることで所望のデータをMTJ素子Rjに書き

25

- 込むことができる。例えば、 R_j に“0”を書き込みたい場合は、BL2にハイレベル、 $\neg BL2$ にローレベルを印加し、“1”を書き込みたい場合は、BL2にローレベル、 $\neg BL2$ にハイレベルを印加することで実現される。期間 $t_2 \sim t_3$ のサイクルでは、ワード線 WL_0 をハイレベルにして（トランジスタ M_4 を導通状態にして）、ビット線BL2と $\neg BL2$ に電位差を与えることで所望のデータをMTJ素子 R_{jb} に書き込むことができる。例えば、 R_{jb} に“0”を書き込みたい場合は、BL2にハイレベル、 $\neg BL2$ にローレベルを印加し、“1”を書き込みたい場合は、BL2にローレベル、 $\neg BL2$ にハイレベルを印加することで実現される。同様の手法で、期間 $t_3 \sim t_5$ のサイクルでは、セル21のMTJ素子への書き込み動作が実行される。期間 $t_5 \sim t_7$ では、セル22のMTJ素子への書き込み動作が実行される。このように、MTJ素子への書き込み動作は、同一ワードにおいて1ビット毎にビットシリアルで実行せざるを得ない。これは、CAMに被検索データを転送して書き込む時間が著しく長くなり実用上不便である。
- 15 この課題を解決する一つの手法として、ワード線WL、 $\neg WL$ をマッチ線MLと平行なX方向に配線し、ビット線BL、 $\neg BL$ をマッチ線MLと直角なY方向に配線する方法が考えられる。同一ワード線上の全てのセルの電流スイッチ（ M_3 又は M_4 ）を同時に導通状態にできるので、複数ビット同時に書き込み動作を実行することが可能となり、非検索データの書き込み時間を短縮できる。しかし、
- 20 この手法では別の問題が発生する。ビット線をY方向に配線すると、複数のワード間でMTJ素子が直接接続されることになる。これは、サーチ動作におけるワード間の干渉を招く恐れがあり、サーチ結果へのデータパターン依存性の出現が懸念される。また、ビット線の寄生抵抗によってサーチ結果の電圧 V_{cell} が変動するため動作マージンが低下する。
- 25 本発明の目的は、サーチ動作の動作マージンを劣化させることなく、ビットパラレルによる書き込み動作を可能とする抵抗変化素子を利用した新たな不揮発性CAMを提供することである。

課題を解決するための手段

本発明の一つの観点として、複数のCAMセルがマトリックス状に配置された不揮発性CAMが提供される。複数のCAMセルの各々は、少なくとも2つの端子を有する第1及び第2の抵抗変化素子と、第1、第2、第3及び第4のトランジスタと、第1の方向に延在する第1及び第2のサーチ線と第1及び第2のビット線と、前記第1の方向と直交する第2の方向に延在するワード線及びプレート線とを含み、前記第1のトランジスタのゲート電極に前記第1のサーチ線が接続され、且つ、ソース電極に前記第1の抵抗変化素子の第1端子が接続され、前記第2のトランジスタのゲート電極に前記第2のサーチ線が接続され、且つ、ソース電極に前記第2の抵抗変化素子の第1端子が接続され、前記第3及び第4のトランジスタのゲート電極に前記ワード線が共通接続され、前記第3のトランジスタのドレイン電極に前記第1のビット線が接続され、前記第4のトランジスタのドレイン電極に前記第2のビット線が接続され、前記第1及び第2の抵抗変化素子の第2端子が共にプレート線に接続されており、前記複数の不揮発性連想メモリセルのうち、前記第2の方向に一行に配列される複数のCAMセルは、ワード回路の一部を形成し、前記ワード回路の一部は前記ワード線及び前記プレート線を共有していることを特徴とする。

また、上記不揮発性CAMにおいて、前記第3のトランジスタのソース電極が、前記第1の抵抗変化素子の前記第1端子に接続され、前記第4のトランジスタのソース電極が、前記第2の抵抗変化素子の前記第1端子が接続されることを特徴とする。

また、上記不揮発性CAMにおいて、前記第3のトランジスタのソース電極が、前記第1の抵抗変化素子の第3端子に接続され、前記第4のトランジスタのソース電極が、前記第2の抵抗変化素子の第3端子に接続されることを特徴とする。

また、上記不揮発性CAMにおいて、前記第1及び第2のトランジスタと電源線との間に負荷回路が接続され、前記第1及び第2のトランジスタのソース電極、あるいはドレイン電極に生じる電位をマッチ線に伝達する伝達手段を有し、前記マッチ線は前記第2の方向に延在し、前記ワード回路の一部で共有されることを特徴とする。

また、上記不揮発性CAMにおいて、前記第1の抵抗変化素子に書き込むデー

タは前記第1のビット線から入力し、前記第2の抵抗変化素子に書き込むデータは前記第2のビット線から入力し、被サーチ対象の1ビットのデータが検索対象に含まれる場合は、そのデータの値に応じて前記第1の抵抗変化素子と前記第2の抵抗変化素子に互いに異なる抵抗値になるように書き込みを行い、検索対象に
5 含まれない場合は、同じ抵抗値になるように書き込みを行うことを特徴とする。

また、上記不揮発性CAMにおいて、前記第1及び第2の抵抗変化素子への書き込み動作は、前記第1及び第2のビット線に書き換えたいデータに対応する電圧を印加し、前記ワード線をハイレベルに活性化させた状態で、前記プレート線
10 にハイレベル及びローレベルの一方のレベルの電圧を一定時間印加した後、他方のレベルの電圧を一定時間印加することで実行されることを特徴とする。

また、上記不揮発性CAMにおいて、サーチ動作は前記ワード線を非活性状態にするとともに、前記プレート線を接地状態にして、外部入力されるサーチデータの1ビットがサーチ対象データである場合は、そのデータに応じて前記第1の
15 サーチ線と前記第2のサーチ線に互いに異なる電圧を一定時間入力することによって実行され、サーチ対象外の場合は、各々のサーチ線に同じ電圧を一定時間入力することによって実行されることを特徴とする。

また、本発明の他の観点によれば、第1及び第2の抵抗変化素子と、前記第1及び第2の抵抗変化素子の第1の書き込み端子にそれぞれスイッチを介して接続された第1及び第2の信号線と、前記第1及び第2の抵抗変化素子の第2の書き込み
20 端子に共通接続された第3の信号線と、前記スイッチの制御端子に共通に接続される第4の信号線と、を含み、前記第4の信号線を制御して前記スイッチを導通させることにより、前記第1の信号線と前記第3の信号線の間の電位差と前記第2の信号線と前記第3の信号線との間の電位差とが、前記第1及び第2の抵抗変化素子に同時に印加されるようにしたことを特徴とする不揮発性連想メモリセル
25 が提供される。

さらにまた、本発明の他の観点によれば、配列形成された複数の不揮発性連想メモリセルを備え、複数の不揮発性連想メモリセルの各々は、第1及び第2の抵抗変化素子と、前記第1及び第2の抵抗変化素子の第1の書き込み端子にそれぞれ
スイッチを介して接続された第1及び第2の信号線と、前記第1及び第2の抵抗

変化素子の第2の書込み端子に共通接続された第3の信号線と、前記スイッチの制御端子に共通に接続される第4の信号線と、を含み、前記第3の信号線及び前記第4の信号線は、前記複数の不揮発性連想メモリセルのうち、一方向に沿って配列された2以上の不揮発性連想メモリセルに共有され、前記第3の信号線及び

5 第4の信号線を共有する前記2以上の不揮発性メモリセルの全てに関して、前記第4の信号線を制御して前記スイッチを導通させることにより、前記第1の信号線と前記第3の信号線との間の電位差と前記第2の信号線と前記第3の信号線との間の電位差とが、前記第1及び第2の抵抗変化素子に同時に印加されるようにしたことを特徴とする不揮発性連想メモリが提供される。

10

発明の効果

本発明によれば、磁気抵抗素子を利用した新たな不揮発性CAMが提供される。本発明に係る不揮発性CAMによれば、サーチ動作の動作マージンを劣化させることなく、ビットパラレルによる書き込み動作を実現することができる。

15

図面の簡単な説明

図1は、本発明の第1の実施の形態に係るCAMの構成を概略的に示すブロック図である。

図2は、本発明の第1の実施の形態に係るCAMにおけるCAMセルアレイの構成を示すブロック図である。

20

図3は、本発明の第1の実施の形態に係るCAMセルの基本回路図である。

図4は、本発明の第1の実施の形態に係るCAMセルに利用される二端子MTJ素子の断面図である。

図5は、本発明の第1の実施の形態に係るCAMのサーチ動作におけるタイミングチャートである。

25

図6は、本発明の第1の実施の形態に係るCAMセルにおける書き込み動作真理値表である。

図7は、本発明の第1の実施の形態に係るCAMの書き込み動作におけるタイミングチャートである。

図 8 は、本発明の第 2 の実施の形態に係る CAM セルの基本回路図である。

図 9 は、本発明の第 2 の実施の形態に係る CAM セルに利用される第 1 の構成を有する三端子 MTJ 素子の断面図である。

図 10 は、本発明の第 2 の実施の形態に係る CAM セルに利用される第 2 の構成を有する三端子 MTJ 素子の断面図である。

図 11 は、本発明の第 3 の実施の形態に係る CAM セルの基本回路図である。

図 12 は、本発明の第 3 の実施の形態に係る CAM セルに利用される四端子 MTJ 素子の断面図である。

図 13 は、本発明の第 3 の実施の形態に係る CAM セルに利用される四端子 MTJ 素子の平面図である。

図 14 は、非特許文献 1 に開示されている CAM セルの回路構成を示す図である。

図 15 は、図 14 の CAM セルにおけるサーチ動作真理値表である。

図 16 は、図 14 の CAM セルを用いた CAM セルアレイの構成を示すブロック図である。

図 17 は、図 16 の CAM セルアレイにおける書き込み動作を説明するためのタイミングチャートである。

発明を実施するための形態

20 本発明に係る不揮発性連想メモリは、複数のメモリセルに対して同時に（ビットパラレルに）データを書き込めるように構成される。即ち、各不揮発性連想メモリは、第 1 及び第 2 の抵抗変化素子 R_j 及び R_{jb} と、第 1 及び第 2 の抵抗変化素子 R_j 及び R_{jb} の第 1 の書き込み端子（二端子素子の端子 n_2 、三端子素子及び四端子素子の下部端子 n_{42} ）にそれぞれトランジスタ（スイッチ） M_3 、
25 M_4 を介して接続されたビット線（第 1 及び第 2 の信号線） BL 及び $\overline{BL}$ と、第 1 及び第 2 の抵抗変化素子 R_j 及び R_{jb} の第 2 の書き込み端子（二端子素子の上部端子、三端子素子及び四端子素子の下部端子 n_{41} ）に共通接続されたプレート線（第 3 の信号線） PL と、トランジスタ M_3 及び M_4 のゲート（制御端子）に共通に接続されるワード線（第 4 の信号線） WL と、を含む。プレート線 PL

とワード線WLとは一方向に配列された複数の不揮発性メモリセルによって共有される。ワード線WLを制御してトランジスタM3及びM4を導通させることにより、ビット線BLとプレート線PLの間の電位差とビット線／BLとプレート線PLとの間の電位差とが、第1及び第2の抵抗変化素子Rj及びRjbに同時に印加される。これにより、プレート線PLとワード線WLとを共有する複数のメモリセルに対して同時にデータを書き込むことが可能になる。なお、プレート線PLの名称は形状を表すものではなく、プレート線PLはライン状に形成されてよい。

以下、図面を参照しながら具体的に本発明の実施の形態について詳述する。

10 ◇第1の実施の形態

図1は、本実施の形態に係るCAM10の構成を概略的に示すブロック図である。本実施の形態に係るCAM10は、CAM(TCAM)アレイ11と、その周辺に配置されるワード線ドライバ12、センスアンプ列13、アドレス・エンコーダ14、ビット線ドライバ15、サーチ線ドライバ16、及び、コントローラ17を備えている。

CAMアレイ11は、図2に示すように複数のCAMセル18がマトリックス状に配置されている。Y方向(第1の方向)に直交するX方向(第2の方向)の一行に配置される複数のCAMセル18によりワード回路19が形成される。各々のCAMセル18には、X方向に延在するマッチ線(ML)、及びワード線(WL)と、Y方向に延在する2本(第1及び第2)のサーチ線(SL、／SL)、及び、2本(第1及び第2)のビット線(BL、／BL)が接続される。マッチ線、及びワード線は、各ワード回路19内で複数のCAMセル18により共有される。

センスアンプ列13は、ワード回路19毎に対応する複数のセンスアンプ(図示せず)を備える。各センスアンプは、サーチ動作時において、マッチ線に生じるサーチ結果に対応する電圧を論理振幅に増幅する機能を有する。

アドレス・エンコーダ14は、センスアンプ列13の出力を入力とし、サーチ動作時において、“一致”判定となったアドレス信号を出力する機能を有する。

ワード線ドライバ12は、書き込み動作時において、外部から入力されるアドレス入力に対応する一選択ワード線にハイレベルの電圧を印加して活性化させ、

非選択ワード線にローレベルの電圧を印加して非活性化させる機能を有する。また、ワード線ドライバ12は、サーチ動作時に、全てのワード線を非活性化させる機能を有する。

ビット線ドライバ15は、書き込み動作時において、外部から入力されるデータ入力とマスクデータ入力から各々のビット線に印加する信号を生成する機能を有する。本実施の形態では、選択セルのMTJ素子を高抵抗化する場合はビット線にハイレベルを印加し、低抵抗化する場合はビット線にローレベルを印加するものとする。任意のデータビットに対してマスクビットが“0”のとき、ビット線BLと／BLにデータビットに応じて相補の電圧を印加する。例えば、データビットが“0”の時は、BLにローレベル、／BLにハイレベルを印加し、“1”の時は、BLにハイレベル、／BLにローレベルを印加する。また、マスクビットが“1”であれば、データビットに関係なく、ビット線BLと／BLの両方に対して、該当するCAMセルのMTJ素子のペア両方を高抵抗化する様に同一の電圧を印加する（すなわち、ビット線BLと／BLの両方をプルアップする）。サーチ動作時においては、データ入力に関係なくBLと／BLの両方をプルアップ、あるいはプルダウンすることが望ましい。

サーチ線ドライバ16は、サーチ動作時において、外部から入力されるデータ入力とマスクデータ入力から各々のサーチ線に印加する信号を生成する機能を有する。具体的には、任意のデータビットに対してマスクビットが“0”であれば、サーチ線SLと／SLにデータビットに応じて相補の電圧を印加する。例えば、データビットが“0”の時は、サーチ線SLにローレベル、サーチ線／SLにハイレベルの電圧を印加し、“1”の時は、サーチ線SLにハイレベル、サーチ線／SLにローレベルの電圧を印加する。また、マスクビットが“1”であれば、データビットに関係なく、サーチ線SLと／SLの両方をプルダウンする（ローレベルを印加する）。書き込み動作時においても、データビットに関係なく、サーチ線SLと／SLの両方をプルダウンする。

コントローラ17は、外部から入力されるコマンド入力に基づき、スタンバイ、サーチ、書き込みの少なくとも3つの動作モードを制御し、それぞれの動作モードに応じてワード線ドライバ12、ビット線ドライバ15及びサーチ線ドライバ

16に制御信号を供給する。スタンバイ・モードでは、ワード線ドライバ12、ビット線ドライバ15及びサーチ線ドライバ16を全て非活性化させる。サーチ・モードでは、サーチ線ドライバ16を活性化させる。書き込みモードでは、ワード線ドライバ12とビット線ドライバ15を活性化させる。書き込みモード
5 においては、外部から入力されるアドレス入力をプリデコードし、プリデコードされた信号をワード線ドライバ12に送る。

図3は、CAMアレイの構成要素であるCAMセル18の回路構成を示している。CAMセル18は、MTJ素子のペア（第1及び第2の抵抗変化素子） R_j 及び R_{jb} を含む比較回路31、比較結果をマッチ線MLに伝送する伝送部32、
10 MTJ素子 R_j 及び R_{jb} に書き込み電流を供給するための電流スイッチ33、34から構成される。

比較回路31は、（第1、第2及び第5の）トランジスタM1、M2、M5と、MTJ素子 R_j と R_{jb} とにより構成される。伝送部（伝達手段）32はダイオード接続された（第6の）トランジスタM6で構成される。電流スイッチ33、
15 34は、（第3及び第4の）トランジスタM3、M4でそれぞれ構成される。

図4は、本実施の形態のCAMセル18に用いられる二端子のMTJ素子 R_j 及び R_{jb} の基本構造を示す断面図である。MTJ素子 R_j 及び R_{jb} は同一構成の素子である。MTJ素子 R_j 及び R_{jb} は、CMOSプロセスの配線工程の一部として配線層の層間膜内に形成することができる。MTJ素子 R_j 及び R_{jb}
20 bは、下部電極層41の上に積層された2枚の磁性層42、43とトンネル絶縁膜44で構成される。トンネル絶縁膜44は2枚の磁性層42、43の間に挟まれている。一方の磁性層（固定磁性層）42の磁化は固定化され、もう一方の磁性層（自由磁性層）43の磁化は書き込み電流の供給により反転され得る。固定磁性層42と自由磁性層43の相対的な磁化が同じ向き（平行状態）のときと、
25 逆向き（反平行状態）のときとでMTJ素子の抵抗値は変化する。この性質を利用してMTJ素子にデータを記憶させ、記憶させたデータを読み出すことができる。具体的には、磁性層磁化が平行状態の時はMTJ素子の抵抗は低抵抗となり、反平行状態の時は高抵抗となる。記憶データの割付は、平行状態（低抵抗状態）の時を“0”、反平行状態（高抵抗状態）の時を“1”に割りつけるのが当業者に

通例であるが、逆でもかまわない。本明細書では通例に従うものとする。

MTJ素子への書き込み方法の一例として、スピン注入方式と呼ばれる磁化反転方法について述べる。上部端子（第1端子、自由磁性層43側）から下部端子（第2端子、固定磁性層42側）の方向に、あるしきい値を超える電流を流すと、

- 5 磁性層磁化が平行状態となってMTJ素子の抵抗値は低抵抗化する。すなわち、図3及び図4において、プレート線PLにハイレベル、端子n2、あるいは端子n3にローレベルの電圧を印加することで“0”をMTJ素子Rj又はRjbに書き込むことが可能である。一方、下部端子（固定磁性層42側）から上部端子（自由磁性層43側）の方向に、あるしきい値を超える電流を流すと、磁性層磁化が反平行状態となってMTJ素子の抵抗値は高抵抗化する。すなわち、プレート線PLにローレベル、端子n2、あるいは端子n3にハイレベルの電圧を印加することでMTJ素子Rj又はRjbに“1”を書き込むことが可能である。

- 次に、図3と図5を参照しながら、CAMセル18のサーチ動作について説明する。MTJ素子RbとRjbに格納されるCAMセルが保持する1ビットの記憶データと、サーチ線SL及び／SLから入力される1ビットの検索データとが比較される。この時の真理値表は、従来のCAMセルの説明に用いた図15と同じである。

- サーチ動作が開始されると、電流源として作用するトランジスタ（負荷回路）M5は、トランジスタM1-MTJ素子RjのパスとトランジスタM2-MTJ素子Rjbのパスのいずれか、あるいは両方に定電流を供給する。検索データが“0”の時（サーチ線SLがローレベル、サーチ線／SLがハイレベル）、トランジスタM2がオンとなり、トランジスタM2-MTJ素子Rjbのパスに定電流が流れる。このとき記憶データが“0”ならば、MTJ素子Rjbは高抵抗状態であるので、端子n1に生じる電圧Vcellはハイレベルとなり、これは“一致”を意味する。記憶データが“1”の場合は、MTJ素子Rjbは低抵抗状態であるので、電圧Vcellはローレベルとなり、これは“不一致”を意味する。検索データが“1”の時（サーチ線SLがハイレベル、サーチ線／SLがローレベル）、トランジスタM1がオンとなり、トランジスタM1-MTJ素子Rjのパスに定電流が流れる。記憶データが“0”の場合、MTJ素子Rjは低抵抗状態

であるので、電圧 V_{cell} はローレベルとなり、これは“不一致”を意味する。
記憶データが“1”の場合は、MTJ素子 R_j は高抵抗状態であるので、電圧 V_{cell} はハイレベルとなり、これは“一致”を意味する。

また、本実施の形態では、CAMセル18の記憶データを“Don't care”にして、
5 検索データによらず強制的に“一致”判定させることができる。記憶データを“Don't care”にするには、MTJ素子 R_j と R_{jb} の両方を高抵抗状態にすればよい。

また、本実施の形態では、検索データを“Don't care”にして、記憶データによらず強制的に“一致”判定させることができる。検索データを“Don't care”
10 にするには、サーチ線SLと $\neg SL$ の両方にローレベルの電圧を印加することで実現可能である。

マッチ線MLは、X方向の一行に位置する複数のCAMセル18で共有されており、1つのワード回路を階層的に形成している。ワード回路内の全てのCAMセル18で“一致”判定がなされない限り、マッチ線MLにはローレベルが出力
15 され、“不一致”となる。

サーチ動作における動作タイミングチャートを図5に示す。サーチ・モードにおいては、2次元に配列される全てのCAMセル18において上記比較動作が同時並列に実行される。従って、検索に要する時間はわずか1サイクルである。図5において、期間 $t_1 \sim t_2$ は、データ D_0 に対してサーチ動作を実行するサイクルである。この時、データ D_0 に一致するデータパターンを保有しているのがワード回路1のみであれば、マッチ線ML1の電位がハイレベルとなり、その他のマッチ線の電位はローレベルとなる。各々のマッチ線の電位はセンスアンプで増幅され、さらにアドレス・エンコーダ14により、一致判定のワード回路1のアドレス1番地を出力する。同様に、期間 $t_2 \sim t_3$ は、データ D_1 に対してサ
20 ーチ動作を実行するサイクル、期間 $t_3 \sim t_4$ はデータ D_2 に対してサーチ動作を実行するサイクルである。 $t_2 \sim t_3$ のサイクルにおいては、データ D_1 と一致するワードのアドレス0番地が出力され、 $t_3 \sim t_4$ のサイクルにおいては、データ D_2 と一致するワードのアドレス2番地が出力される。

次に、本実施の形態におけるCAM10の書き込み動作について説明する。書

き込みモードにおいて、任意の一のワード線WLが活性化されると、トランジスタM3とM4がオン状態となる。つまり、端子n2とビット線BLが導通され、端子n3とビット線／BLが導通された状態となる。この時、ビット線BL、／BLと、プレート線PLの電圧を制御することで、CAMセル18内の2つのMTJ素子Rj及びRjbに任意のデータを書き込むことができる。書き込み動作における真理値表を図6に示す。例えば、MTJ素子Rjに“1”を書き込むには、プレート線PLにローレベル、ビット線BLにハイレベルの電圧を印加すればよい。この時、MTJ素子Rjに下部電極(n2)側から上部電極(PL)の方向に電流が流れ、MTJ素子Rjは高抵抗化する。一方、MTJ素子Rjに“0”を書き込むには、プレート線PLにハイレベル、ビット線BLにローレベルの電圧を印加すればよい。この時、MTJ素子Rjに、上部電極(PL)から下部電極(n2)の方向に電流が流れ、MTJ素子Rjは低抵抗化する。プレート線PLとビット線BLに同電位を印加した場合は、MTJ素子Rjの両端に電位差が生じないため書き込み電流は供給されず、データの書き換えは起きない。もう一方のMTJ素子Rjbに対しても、プレート線PLとビット線／BLに電位差を与える同様の方法で記憶データを書き換えることが可能である。

図7は、本実施の形態のCAM10における書き込みモードのタイミングチャートである。期間t1～t3は、ワード回路0の書き込みサイクルであり、ワード回路0の全てのCAMセル18に対して同時に書き込みを行うことが可能である。期間t1～t2のサイクルでは、プレート線PL0にローレベルが印加されており、MTJ素子Rj、Rjbに“1”を書き込むことができる。期間t2～t3のサイクルでは、プレート線PL0にハイレベルが印加されており、MTJ素子Rj、Rjbに“0”を書き込むことができる。以下、より詳細に本動作を説明する。

データ入力D0の任意のビットiが“0”であり、かつマスクされない(“Don't care”でない)場合、ビット線ドライバ15は、ビット線BLiにローレベル、ビット線／BLiにハイレベルを印加する。期間t1～t2において、MTJ素子Rjbの抵抗値は高抵抗状態に書き換えられ、期間t2～t3において、MTJ素子Rjの抵抗値は低抵抗状態に書き換えられる。すなわち、iビット目のC

AMセル18は“0”を格納する。

データ入力D0の任意のビットiが“1”であり、かつマスクされない場合、ビット線ドライバ15は、ビット線BLiにハイレベル、ビット線／BLiにローレベルを印加する。期間t1～t2において、MTJ素子Rjの抵抗値は高抵抗状態に書き換えられ、期間t2～t3において、MTJ素子Rjbの抵抗値は低抵抗状態に書き換えられる。すなわち、iビット目のCAMセル18は“1”を格納する。

データ入力D0の任意のビットiがマスクされる場合、すなわち、CAMセル18の格納データを“Don't care”にする場合、ビット線ドライバ15は、ビット線BLiと／BLiの両方にハイレベルを印加する。期間t1～t2において、MTJ素子Rj、及びRjbの抵抗値はともに高抵抗状態に書き換えられる。すなわち、iビット目のCAMセル18は“Don't care”を格納する。

BLiと／BLiの両方にローレベルを印加する場合、期間t2～t3において、MTJ素子Rj、及びRjbの抵抗値をともに低抵抗化できる。この場合、iビット目のCAMセル18は強制的に比較結果を“不一致”させる、すなわち、選択対象のワード回路の比較結果を強制“不一致”させることも可能である。

図7において、期間t3～t5は、ワード回路1の書き込みサイクル、期間t5～t7はワード回路2の書き込みサイクルを示している。これらのサイクルにおいても期間t1～t3と同じ方法によってプレート線PLとビット線BL及び／BLの電位が制御され、各々のCAMセル18の記憶データを書き換えることができる。

図14に示した従来のCAMセルでは、nビットのワード回路一つあたりの書き換えに要する時間は2nサイクルであった。本実施の形態によるCAM10、及び、CAMセル18によると、一つのワード回路あたりの書き換えに要する時間はそのビット数によらず2サイクルに短縮することが可能である。典型的なCAMにおいて、nの値は64～256ビットになるため、その時間短縮効果は非常に大きい。

さらに、プレート線PLはワード回路内の各々のCAMセル18で共有されるため、任意のワード回路で消費されるセル電流は全て同じプレート線に終端され

る。つまり、セル電流パスが同一ワード回路で閉じた形になっており、ワード回路間の干渉を防ぐことができる利点も有している。

また、本実施の形態に係るCAM10は、電源遮断時にCAM10が保持するデータを別のストレージデバイスに転送し保存すること無しに、次の電源立ち上げ後、直ちに電源遮断前の状態に復帰することが可能である。

◇第2の実施の形態

本発明の第2の実施の形態は、CAMセル18に三端子のMTJ素子を利用する点で第1の実施の形態と異なる。その他の構成、及びCAMセル18の動作は第1の実施の形態と同様であり、その説明は省略される。

図8は本実施の形態によるCAMセル18の基本回路構成を示している。ここで、MTJ素子Rj1は、上部端子（第1端子）n2と、2つの下部端子（第2及び第3端子）n41、n42の3つの端子を有するMTJ素子である。また、MTJ素子Rjb1も、上部端子（第1端子）n3と、下部端子（第2及び第3端子）n51、n52の3つの端子を有するMTJ素子である。これら三端子MTJ素子Rj1、Rjb1における2つの下部端子n41とn42、及びn51とn52は電氣的に導通している。すなわち、端子n41、n42、n51、n52はプレート線PLと電氣的に同一端子である。電流スイッチであるトランジスタM3は、ビット線BLとMTJ素子Rj1の下部端子n42の間に接続され、トランジスタM4は、ビット線／BLとMTJ素子Rjb1の下部端子n52の間に接続されている。

本実施の形態に利用される三端子MTJ素子Rj1、Rjb1の構造の一例を図9に示す。図9のMTJ素子Rj1、Rjb1は、同一の構成を有し、導電層91の直上に自由磁性層92、トンネル絶縁膜93、固定磁性層94が順次積層される構造となっている。MTJ素子Rj1の導電層91の一方の下部端子n42はトランジスタM3のソースに接続され、もう一方の下部端子n41はプレート線PLに接続される。また、上部端子n2はトランジスタM1のソースに接続される。MTJ素子Rjb1の導電層の一方の下部端子n52はトランジスタM4のソースに接続され、もう一方の下部端子n51はプレート線PLに接続される。また、上部端子n3はトランジスタM2のソースに接続される。

図9に示したMTJ素子Rj1, Rjb1の書き込み原理、方法は第1の実施の形態と異なっている。書き込み電流を導電層91に流すことで発生する磁場により自由磁性層92の磁化を反転させる。例えば、MTJ素子Rj1に“0”を書き込む場合は、端子n41から端子n42の方向に電流を流すことで自由磁性層92にY方向のプラスの磁場が印加され、その磁化を反転させる。これは、ワード線WLを活性化させた状態（トランジスタM3をオンにした状態）で、プレート線PLにハイレベル、ビット線BLにローレベルの電圧を印加することで実行できる。一方、“1”を書き込む場合は、端子n42から端子n41の方向に電流を流すことで自由磁性層92にY方向のマイナスの磁場が印加され、その磁化を反転させる。これは、プレート線PLにローレベル、ビット線BLにハイレベルの電圧を印加することで実行できる。MTJ素子Rjb1の自由磁性層92の磁化を反転させる場合も、プレート線PLやビット線／BLへの電圧の印加方法は同様である。

三端子MTJ素子の他の構造例を図10に示す。このMTJ素子Rj2, Rjb2は、同一の構造を有し、自由磁性層101の中央部の直上にトンネル絶縁膜102、固定磁性層103が順に積層される構造になっている。MTJ素子Rj2の自由磁性層101の両端が下部端子n41、n42であり、下部端子n42はトランジスタM3のソースに接続され、下部端子n41はプレート線PLに接続される。同様に、MTJ素子Rjb2の自由磁性層101の両端が下部端子n51、n52であり、下部端子n52はトランジスタM4のソースに接続され、下部端子n51はプレート線に接続される。

図10に示したMTJ素子Rj2, Rjb2における書き込み動作の原理は、磁壁移動方式による。自由磁性層101の図の左右方向両端部の磁化は常に固定化されており、紙面に向かって左側の磁化と右側の磁化は常に反平行状態にして動作させる。中心部は磁化が変化する領域であり、どちらか一方の両端部との境界には磁化が急激に変化する磁壁104が形成されている。MTJ素子Rj2に“0”を書き込む場合は、端子n41から端子n42の方向に自由磁性層101に電流を流すことで、左側にあった磁壁104が右側に移動し、中央部の磁化が反転する。これは、ワード線WLを活性化させた状態（トランジスタM3をオン

にした状態)で、プレート線PLにハイレベル、ビット線BLにローレベルの電圧を印加することで実行できる。一方、“1”を書き込む場合は、端子n42から端子n41の方向に自由磁性層101に電流を流すことで、右側にあった磁壁104が左側に移動し、中央部の磁化が反転する。これは、プレート線PLにローレベル、ビット線BLにハイレベルの電圧を印加することで実行できる。MTJ素子Rjb2の自由磁性層101の磁化を変化させる場合も、プレート線PLやビット線/BLへの電圧の印加方法は同様である。

本実施の形態の三端子MTJ素子Rj1及びRjb1、もしくはRj2及びRjb2を利用したCAMセル18から構成されるCAM10において、そのサーチモードにおける動作方法は第1実施例と同様であるから説明を省略する。また、書き込みモードにおける動作方法についても第1実施例と同様であるから説明を省略する。

本実施の形態によれば、第1の実施の形態と同じ効果が得られる。さらに、三端子MTJ素子を利用することで、サーチ動作時におけるセル電流で記憶データが書き変わる恐れを排除でき、動作マージンの向上が見込まれる。尚、矛盾しない限りにおいて、本実施の形態と既出の実施の形態とを組み合わせることも可能である。

◇第3の実施の形態

本発明の第3の実施の形態は、CAMセル18に四端子のMTJ素子を利用する点で第1の実施の形態と異なる。その他の構成、及びCAMセル18の動作は第1の実施の形態と同様であり、その説明は省略される。

図11は本実施の形態によるCAMセル18の基本回路構成を示している。ここで、MTJ素子Rj3及びRjb3はそれぞれ4つの端子を有しており、これらの端子は、2つの読み出し用の端子(MTJ素子Rj3においてn20、n21、MTJ素子Rjb3においてn30、n31)と、2つの書き込み用の端子(MTJ素子Rj3においてn41とn42、MTJ素子Rjb3においてn51、n52)とに電氣的に分離されていることが特徴である。読み出し用の端子間(MTJ素子Rj3においてn20-n21間)にMTJ部が形成されている。また、書き込み用の端子間(Rjにおいてn41-n42間)は、書き込み電流

の経路であり、後述するように自由磁性層を介して電氣的に導通している。MTJ素子Rj3の一方の書き込み端子n42は、トランジスタM3のソースに接続され、もう一方の端子n41は、プレート線PLに接続される。MTJ素子Rj3の一方の読み出し端子n20は、トランジスタM1のソースに接続され、もう一方の端子n21は、トランジスタM7のドレインに接続される。MTJ素子Rjb3の一方の書き込み端子n52は、トランジスタM4のソースに接続され、もう一方の端子n51は、プレート線PLに接続される。MTJ素子Rjb3の一方の読み出し端子n30は、トランジスタM2のソースに接続され、もう一方の端子n31は、トランジスタM7のドレインに接続される。すなわち、MTJ素子Rj3の端子n21と、Rjb3の端子n31は電氣的に導通している。

本実施の形態によるCAMセル18には、新たにトランジスタM7が追加されている。このトランジスタM7のゲートには、コントローラ17からのイネーブル信号ENが入力される。サーチ・モードにおいて、イネーブル信号ENを活性化してトランジスタM7をオン状態にすることでCAMセル18は動作する。サーチ動作以外のスタンバイ、書き込みモードでは、イネーブル信号ENは非活性であり、トランジスタM7はオフ状態である。このような制御を行うことで、サーチ動作していない期間において、CAMセル18で生じる漏れ電流を最小限にすることが可能である。

本実施の形態に利用される四端子MTJ素子Rj3、Rjb3の構造の一例として、その断面図を図12に示す。四端子MTJ素子Rj3、Rjb3は同一の構造を有する。第1の自由磁性層121は、Z方向に磁化される性質を有する垂直磁性膜であり、図の左右方向両端が下部端子(n41及びn42、又はn52及びn51)となる。第1の自由磁性層121の図の左右方向両端部の磁化は反平行に固定化された状態であり、中央部のみの磁化が変化する性質を有する。中央部の左右のいずれか一方の端部に磁壁125が形成される。第1の自由磁性層121の上に層間膜(図示せず)が積層され、さらに第1の実施の形態のMTJ素子Rj、Rjbと同様の構造の磁性層122、123がトンネル絶縁膜124を挟んで積層される。第1の自由磁性層121からの漏れ磁場126により、第2の自由磁性層123の磁化を変化させる。ここで、固定磁性層122、及び、

第2の自由磁性層123はY方向に磁化される性質を有する面内磁性膜である。本実施の形態では、説明の便宜上、固定磁性層122の磁化が紙面に対して手前の向きに固定されていると仮定し、さらに第1の自由磁性層121の左端部の磁化が紙面に対し下向きに固定され、右端部の磁化が上向きに固定されていると仮定して説明を行う。

図13は、本実施の形態による四端子MTJ素子Rj3の平面図を示している。面内磁性膜である固定磁性層122、及び第2の自由磁性層123は、垂直磁性膜である第1の自由磁性層121に対してY方向にシフトした状態で配置されている。これにより、第1の自由磁性層121の上面から漏れる磁場のY方向成分によって、第2の自由磁性層123の磁化はY軸方向に反転し、保持される。

本実施の形態による四端子MTJ素子Rj3、Rjb3は、図10で示した第2の実施の形態の三端子MTJ素子Rj2、Rjb2の変形版であり、その書き込み動作について以下に説明する。

MTJ素子Rj3に“0”を書き込む場合は、端子n41から端子n42の向きに、第1の自由磁性層121に電流を流すことで、図12において左側にあった磁壁125が右側に移動し、中央部の磁化が下向きに反転する。第1の自由磁性層121の上面からの漏れ磁場126のY方向成分により、第2の自由磁性層123の磁化が紙面に対して手前向きに変化する。すなわち、固定磁性層122の磁化と第2の自由磁性層123の磁化は平行状態となり、端子n20－端子n21間のMTJ部の抵抗は低抵抗化する。一方、MTJ素子Rj3に“1”を書き込む場合は、端子n42から端子n41の向きに、第1の自由磁性層121に電流を流すことで、図12において右側にあった磁壁125が左側に移動し、中央部の磁化が上向きに反転する。第1の自由磁性層121の上面からの漏れ磁場126のY方向成分により、第2の自由磁性層123の磁化が紙面に対して奥向きに変化する。すなわち、固定磁性層122の磁化と第2の自由磁性層123の磁化は反平行状態となり、端子n20－端子n21間のMTJ部の抵抗は高抵抗化する。以上の書き込みデータに対して第1の自由磁性層121に電流を流すためのビット線BL、／BL、プレート線PLの印加電圧の制御は、第1の実施の形態と同様である。

本実施の形態の四端子MTJ素子Rj3, Rjb3を利用したCAMセル18から構成されるCAM10において、そのサーチモードにおける動作方法は第1の実施の形態と同様であるから説明を省略する。また、書き込みモードにおける動作方法についても第1の実施の形態と同様であるから説明を省略する。

- 5 本実施の形態によれば、第1の実施の形態と同じ効果が得られる。さらに、四端子MTJ素子Rj3, Rjb3を利用することで、サーチ動作時におけるセル電流で記憶データが書き変わる恐れを排除でき、動作マージンの向上が見込まれる。さらに、CAMセルで消費する漏れ電流を大幅に削減できる。尚、矛盾しない限りにおいて、本実施の形態と既出の実施の形態とを組み合わせることも可能である。

以上、本発明の実施の形態が添付の図面を参照することにより説明された。但し、本発明は、上述の実施の形態に限定されず、要旨を逸脱しない範囲で当業者により適宜変更され得る。

15 符号の説明

- | | | |
|----|--------|----------------|
| 10 | 10 | CAM |
| | 11 | CAM (TCAM) アレイ |
| | 12 | ワード線ドライバ |
| | 13 | センスアンプ列 |
| 20 | 14 | アドレス・エンコーダ |
| | 15 | ビット線ドライバ |
| | 16 | サーチ線ドライバ |
| | 17 | コントローラ |
| | 18 | CAMセル |
| 25 | 19 | ワード回路 |
| | 31 | 比較回路 |
| | 32 | 伝送部 |
| | 33, 34 | 電流スイッチ |
| | 41 | 下部電極層 |

- 4 2, 4 3 磁性層
- 4 4 トンネル絶縁膜
- 9 1 導電層
- 9 2 自由磁性層
- 5 9 3 トンネル絶縁膜
- 9 4 固定磁性層
- 1 0 1 自由磁性層
- 1 0 2 トンネル絶縁膜
- 1 0 3 固定磁性層
- 10 1 0 4 磁壁
- 1 2 1 第1の自由磁性層
- 1 2 2, 1 2 3 磁性層
- 1 2 4 トンネル絶縁膜
- 1 2 5 磁壁
- 15 1 2 6 漏れ磁場

この出願は、2012年9月6日に出願された日本出願特願2012-195759号を基礎とする優先権を主張し、その開示の全てをここに取り込む。

請 求 の 範 囲

[請求項 1]

- 少なくとも 2 つの端子を有する第 1 及び第 2 の抵抗変化素子を含む複数の不揮
5 発性連想メモリセルがマトリックス状に配置された不揮発性メモリセルであって、
前記複数の不揮発性連想メモリセルの各々は、
第 1、第 2、第 3 及び第 4 のトランジスタと、
第 1 の方向に延在する第 1 及び第 2 のサーチ線と、第 1 及び第 2 のビット線と、
前記第 1 の方向と直交する第 2 の方向に延在するワード線及びプレート線とを
10 含み、
前記第 1 のトランジスタのゲート電極に前記第 1 のサーチ線が接続され、且つ、
ソース電極に前記第 1 の抵抗変化素子の第 1 端子が接続され、
前記第 2 のトランジスタのゲート電極に前記第 2 のサーチ線が接続され、且つ、
ソース電極に前記第 2 の抵抗変化素子の第 1 端子が接続され、
15 前記第 3 及び第 4 のトランジスタのゲート電極に前記ワード線が共通接続され、
前記第 3 のトランジスタのドレイン電極に前記第 1 のビット線が接続され、
前記第 4 のトランジスタのドレイン電極に前記第 2 のビット線が接続され、
前記第 1 及び第 2 の抵抗変化素子の第 2 端子が共にプレート線に接続されてお
り、
20 前記複数の不揮発性連想メモリセルのうち、前記第 2 の方向に一行に配列され
る複数の不揮発性連想メモリセルは、ワード回路の一部を形成し、
前記ワード回路の一部は前記ワード線及び前記プレート線を共有していること
を特徴とする不揮発性連想メモリ。

[請求項 2]

- 25 請求項 1 に記載の不揮発性連想メモリにおいて、
前記第 3 のトランジスタのソース電極が、前記第 1 の抵抗変化素子の前記第 1
端子に接続され、
前記第 4 のトランジスタのソース電極が、前記第 2 の抵抗変化素子の前記第 1
端子が接続されることを特徴とする不揮発性連想メモリ。

[請求項 3]

請求項 1 に記載の不揮発性連想メモリにおいて、

前記第 3 のトランジスタのソース電極が、前記第 1 の抵抗変化素子の第 3 端子に接続され、

- 5 前記第 4 のトランジスタのソース電極が、前記第 2 の抵抗変化素子の第 3 端子に接続されることを特徴とする不揮発性連想メモリ。

[請求項 4]

請求項 1 に記載の不揮発性連想メモリにおいて、

前記第 1 及び第 2 のトランジスタと電源線との間に負荷回路が接続され、

- 10 前記第 1 及び第 2 のトランジスタのソース電極、あるいはドレイン電極に生じる電位をマッチ線に伝達する伝達手段を有し、

前記マッチ線は前記第 2 の方向に延在し、前記ワード回路の一部で共有されることを特徴とする不揮発性連想メモリ。

[請求項 5]

- 15 請求項 1 に記載の不揮発性連想メモリにおいて、

前記第 1 の抵抗変化素子に書き込むデータは前記第 1 のビット線から入力し、

前記第 2 の抵抗変化素子に書き込むデータは前記第 2 のビット線から入力し、

被サーチ対象の 1 ビットのデータが検索対象に含まれる場合は、そのデータの値に応じて前記第 1 の抵抗変化素子と前記第 2 の抵抗変化素子に互いに異なる抵抗値になるように書き込みを行い、

- 20

検索対象に含まれない場合は、同じ抵抗値になるように書き込みを行うことを特徴とする不揮発性連想メモリ。

[請求項 6]

請求項 1 に記載の不揮発性連想メモリにおいて、

- 25 前記第 1 及び第 2 の抵抗変化素子への書き込み動作は、前記第 1 及び第 2 のビット線に書き換えたいデータに対応する電圧を印加し、前記ワード線をハイレベルに活性化させた状態で、前記プレート線にハイレベル及びローレベルの一方のレベルの電圧を一定時間印加した後、他方のレベルの電圧を一定時間印加することで実行されることを特徴とする不揮発性連想メモリ。

[請求項 7]

請求項 1 に記載の不揮発性連想メモリにおいて、

サーチ動作は前記ワード線を非活性状態にするとともに、前記プレート線を接地状態にして、

- 5 外部入力されるサーチデータの 1 ビットがサーチ対象データである場合は、そのデータに応じて前記第 1 のサーチ線と前記第 2 のサーチ線に互いに異なる電圧を一定時間入力することによって実行され、

サーチ対象外の場合は、各々のサーチ線に同じ電圧を一定時間入力することによって実行されることを特徴とする不揮発性連想メモリ。

10 [請求項 8]

第 1 及び第 2 の抵抗変化素子と、

前記第 1 及び第 2 の抵抗変化素子の第 1 の書込み端子にそれぞれスイッチを介して接続された第 1 及び第 2 の信号線と、

- 15 前記第 1 及び第 2 の抵抗変化素子の第 2 の書込み端子に共通接続された第 3 の信号線と、

前記スイッチの制御端子に共通に接続される第 4 の信号線と、を含み、

- 20 前記第 4 の信号線を制御して前記スイッチを導通させることにより、前記第 1 の信号線と前記第 3 の信号線との間の電位差と前記第 2 の信号線と前記第 3 の信号線との間の電位差とが、前記第 1 及び第 2 の抵抗変化素子に同時に印加されるようにしたことを特徴とする不揮発性連想メモリ。

[請求項 9]

配列形成された複数の不揮発性連想メモリセルを備え、

複数の不揮発性連想メモリセルの各々は、

第 1 及び第 2 の抵抗変化素子と、

- 25 前記第 1 及び第 2 の抵抗変化素子の第 1 の書込み端子にそれぞれスイッチを介して接続された第 1 及び第 2 の信号線と、

前記第 1 及び第 2 の抵抗変化素子の第 2 の書込み端子に共通接続された第 3 の信号線と、

前記スイッチの制御端子に共通に接続される第 4 の信号線と、を含み、

前記第 3 の信号線及び前記第 4 の信号線は、前記複数の不揮発性連想メモリセルのうち、一方向に沿って配列された 2 以上の不揮発性連想メモリセルに共有され、

前記第 3 の信号線及び第 4 の信号線を共有する前記 2 以上の不揮発性メモリセルの全てに関して、

前記第 4 の信号線を制御して前記スイッチを導通させることにより、前記第 1 の信号線と前記第 3 の信号線との間の電位差と前記第 2 の信号線と前記第 3 の信号線との間の電位差とが、前記第 1 及び第 2 の抵抗変化素子に同時に印加されるようにしたことを特徴とする不揮発性連想メモリ。

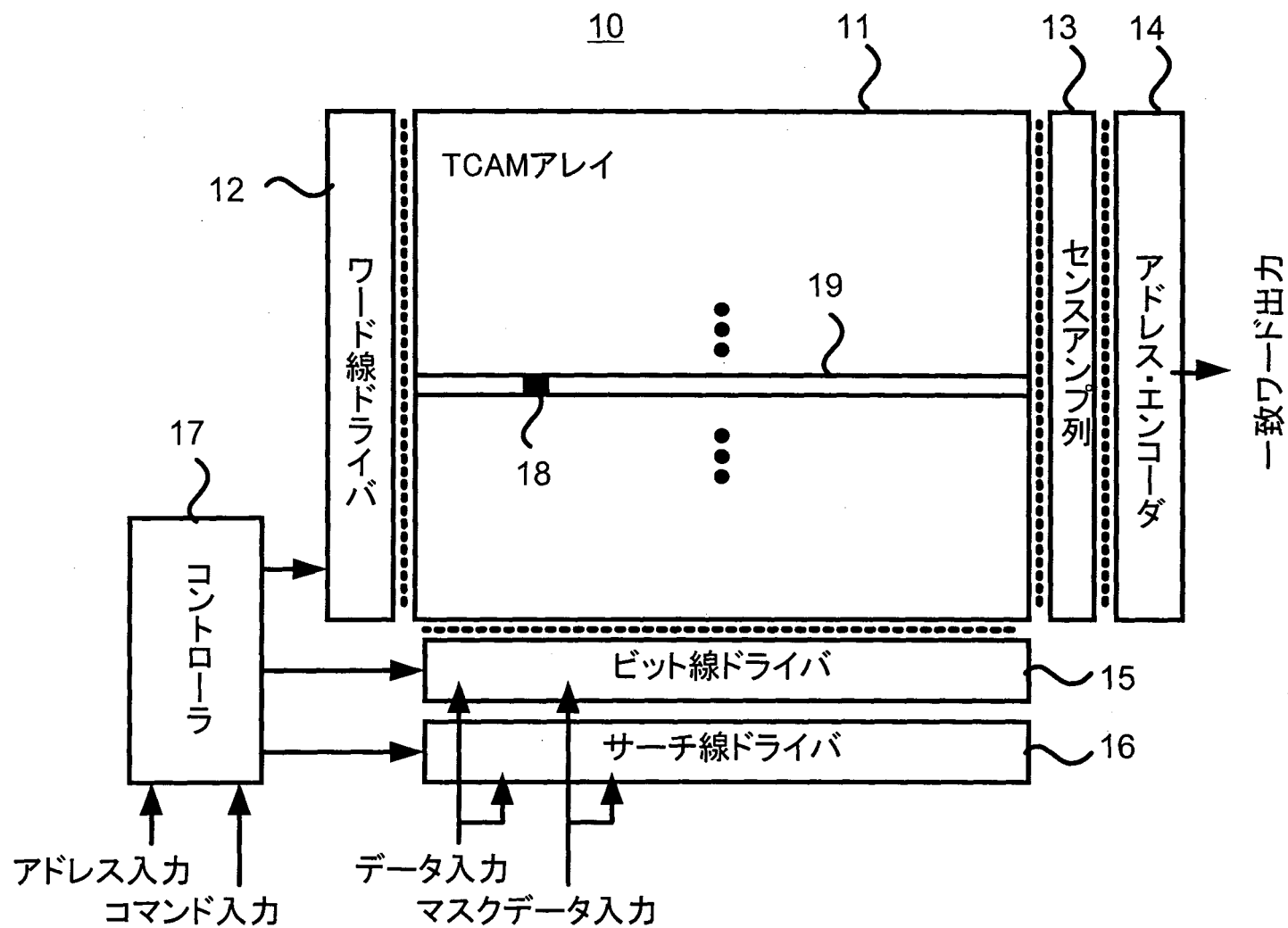


図 1

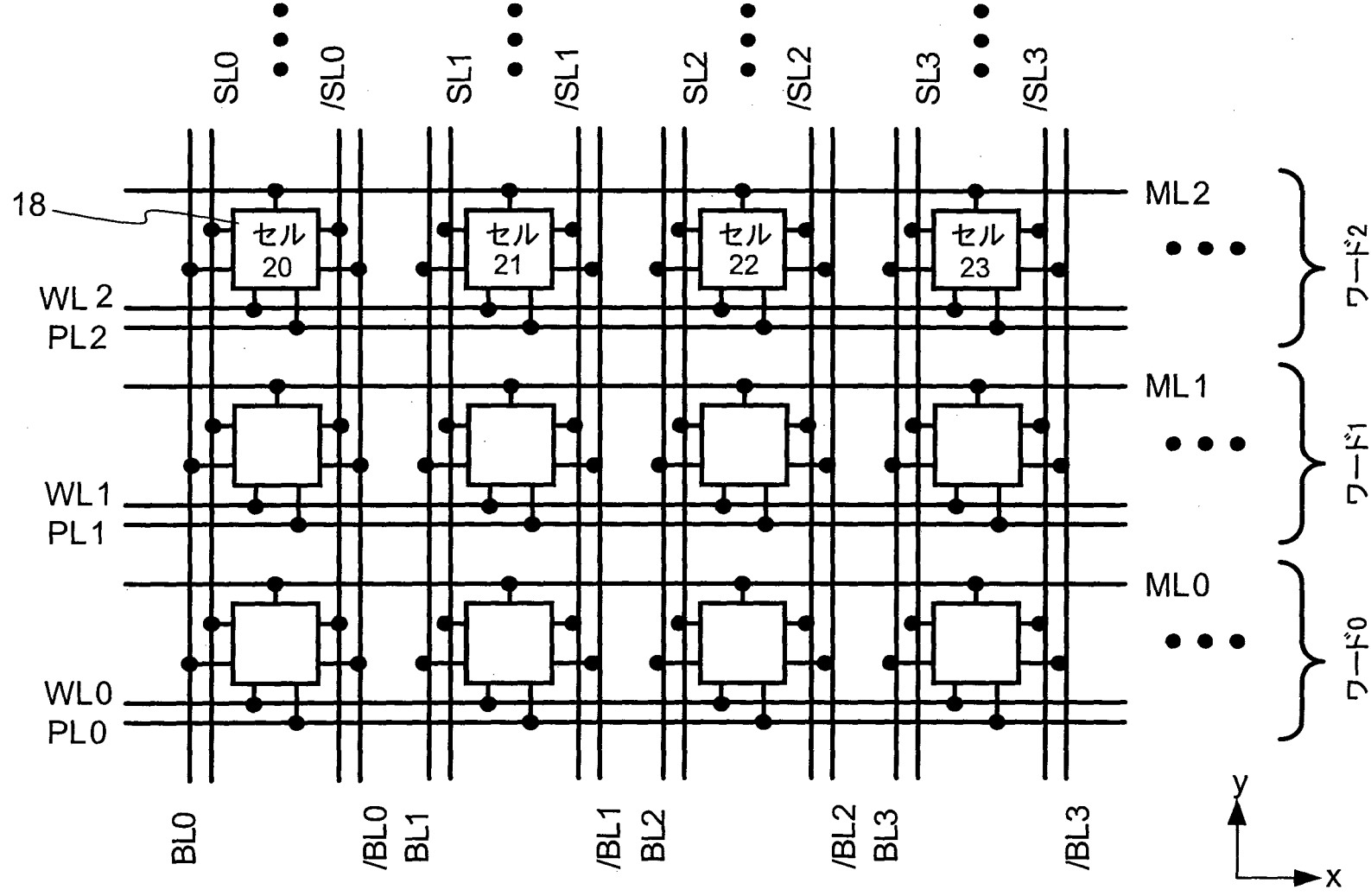


図 2

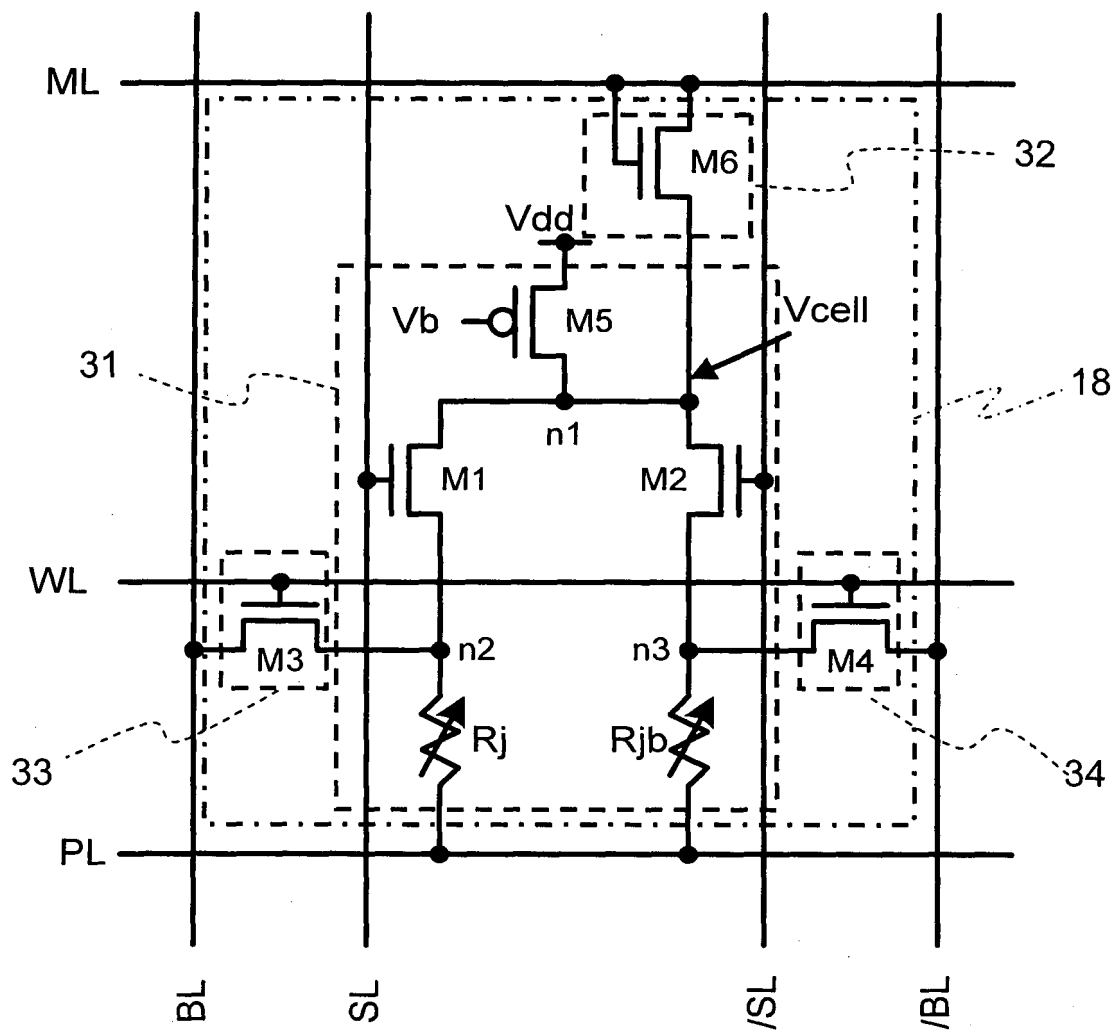


図 3

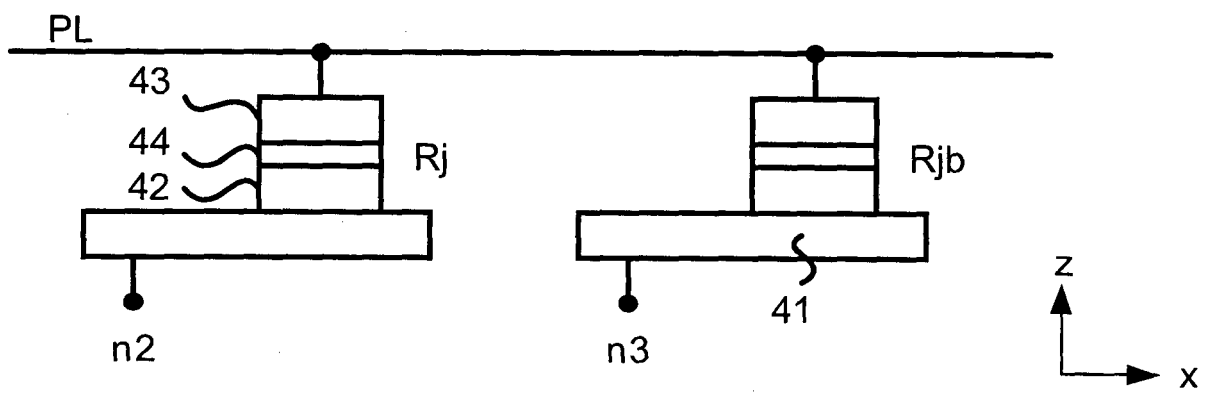


図 4

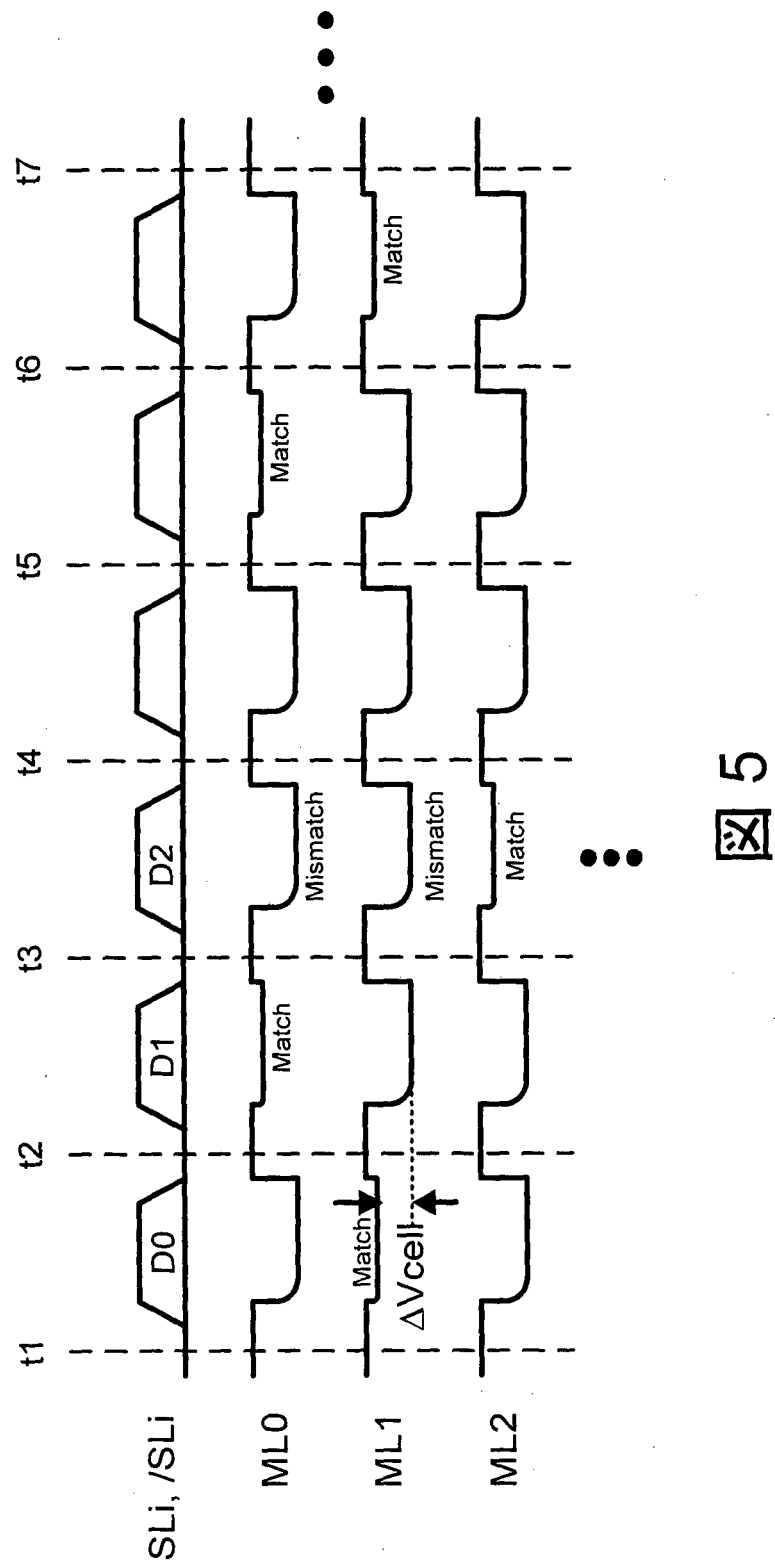


図 5

PL	BL (/BL)	Rj
L	L	変化なし
L	H	高抵抗化
H	L	低抵抗化
H	H	変化なし

図 6

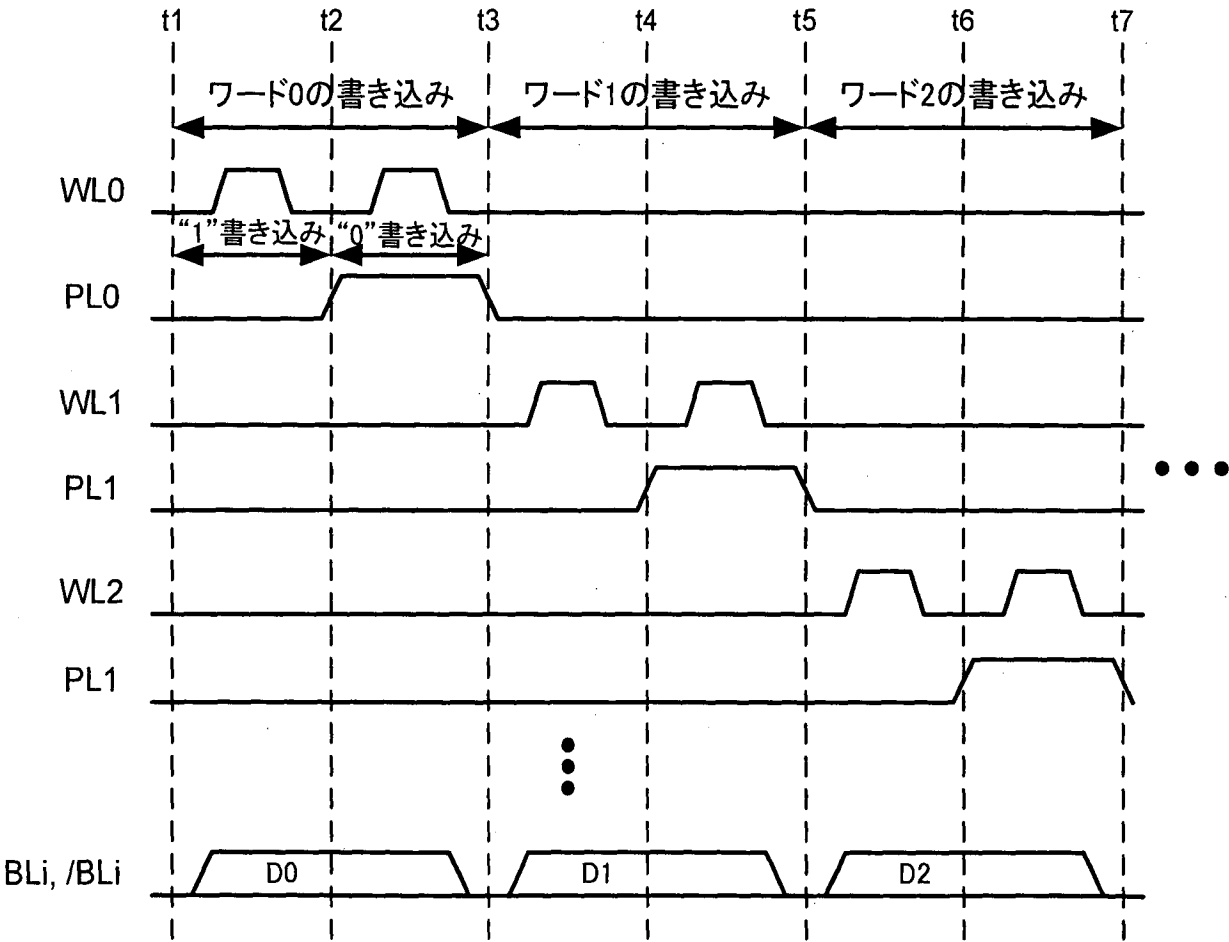


図 7

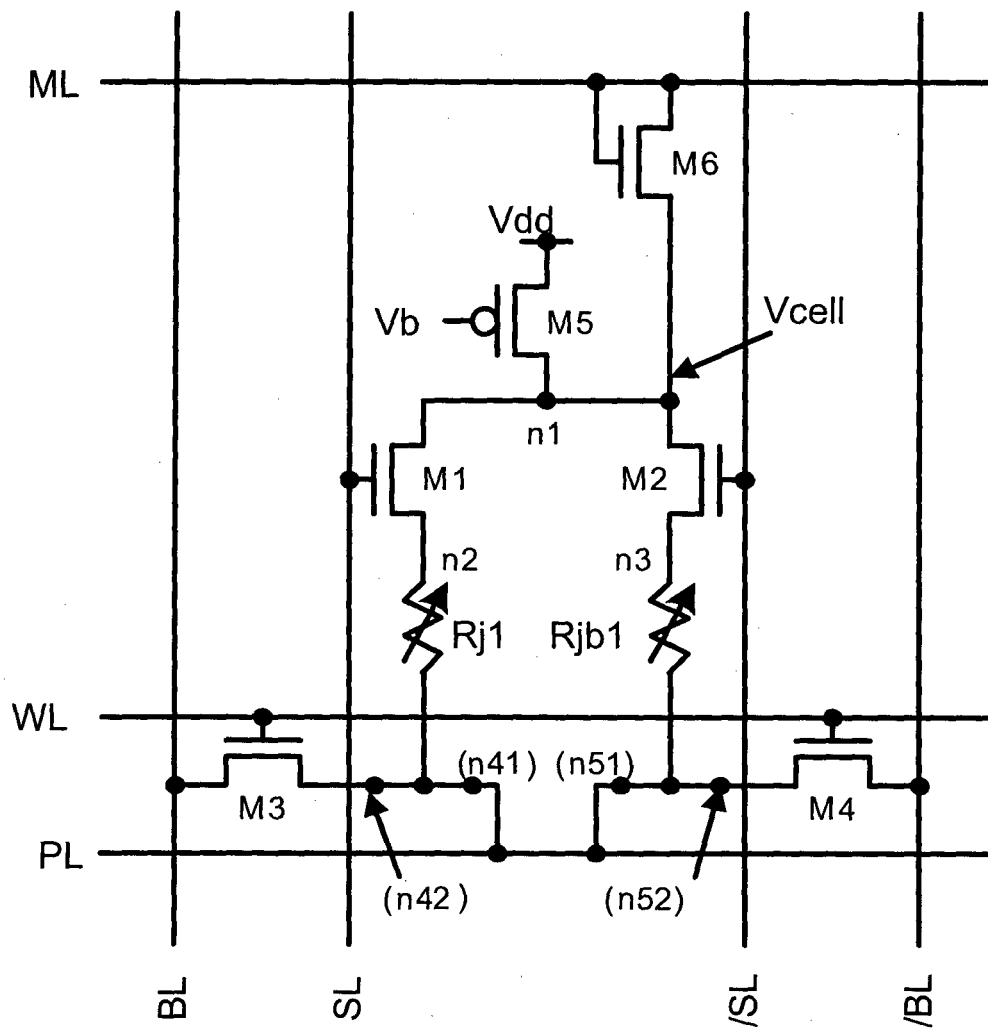


図 8

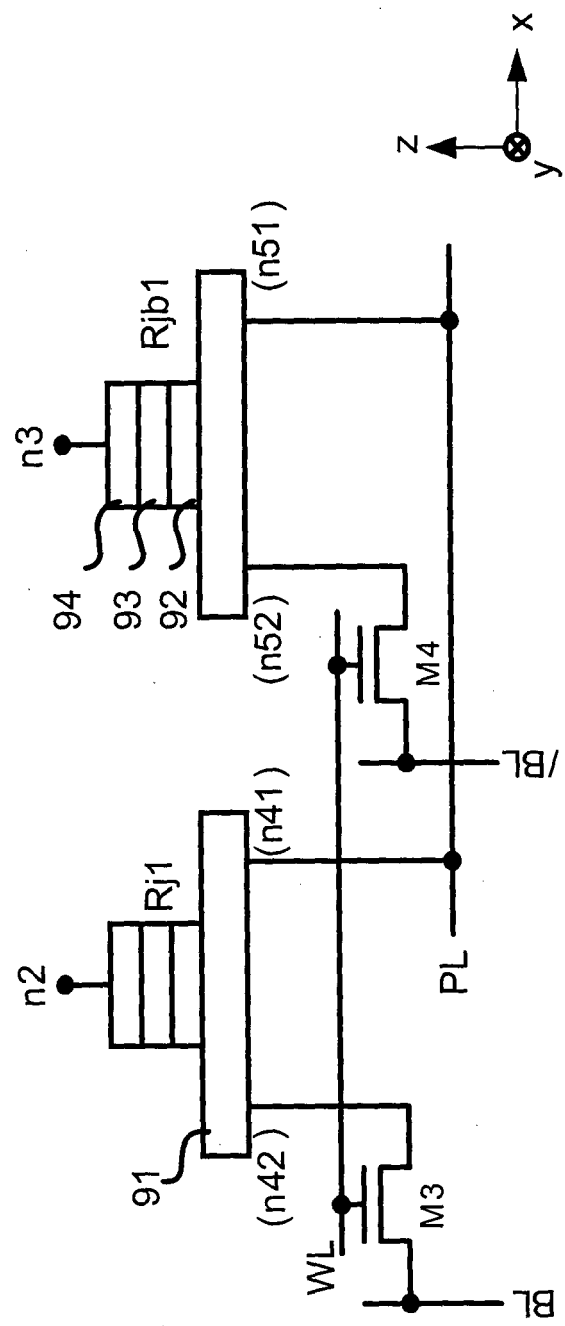


図 9

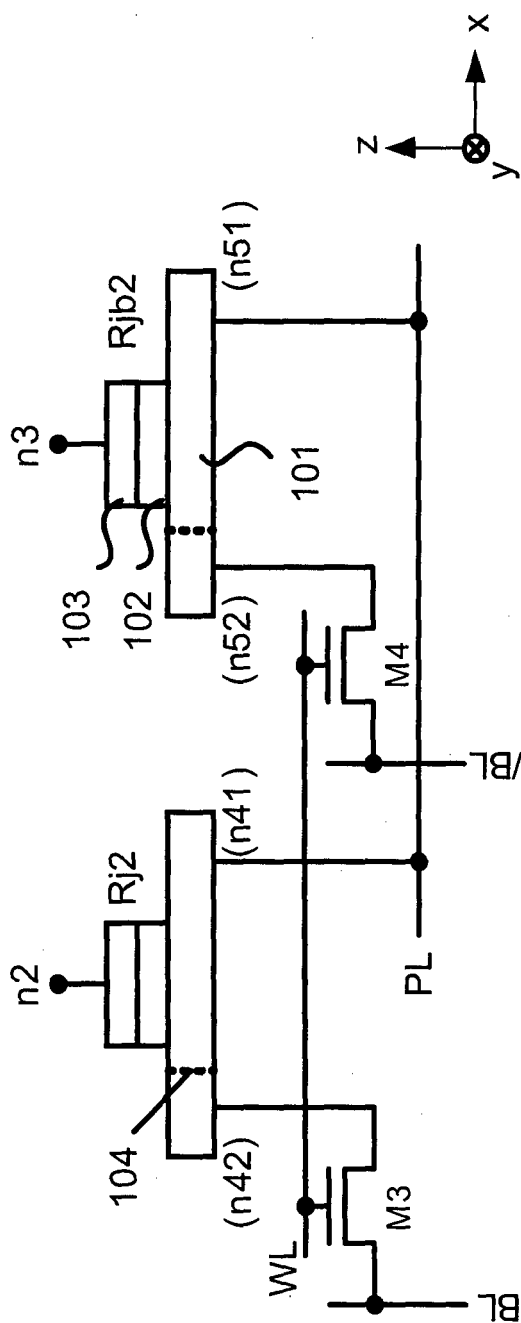


図 10

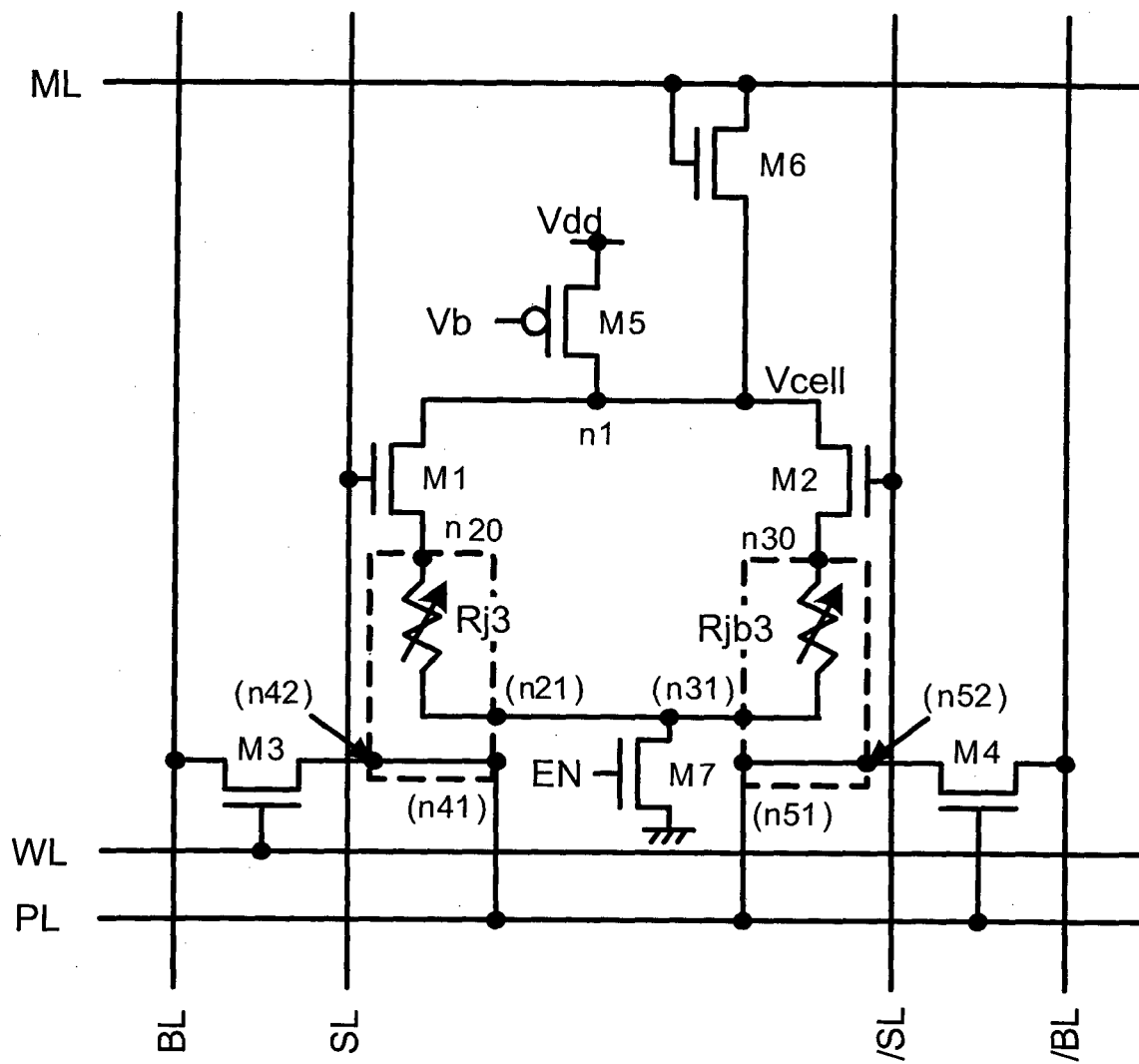
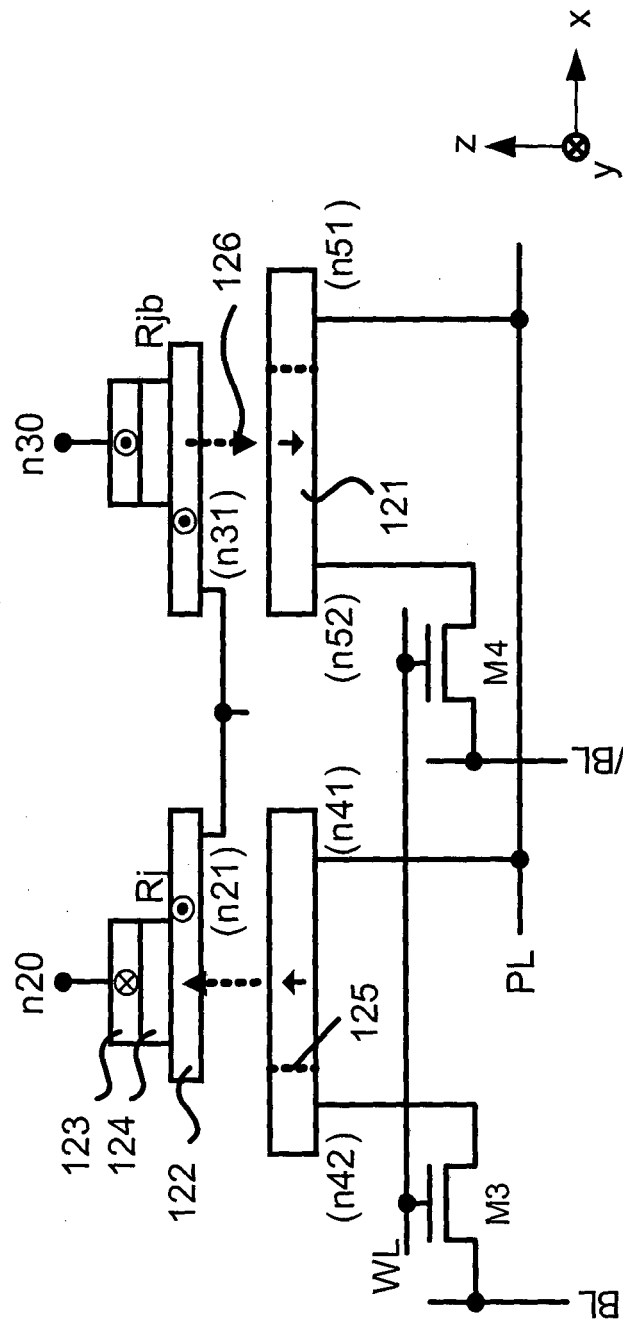


図 11



12

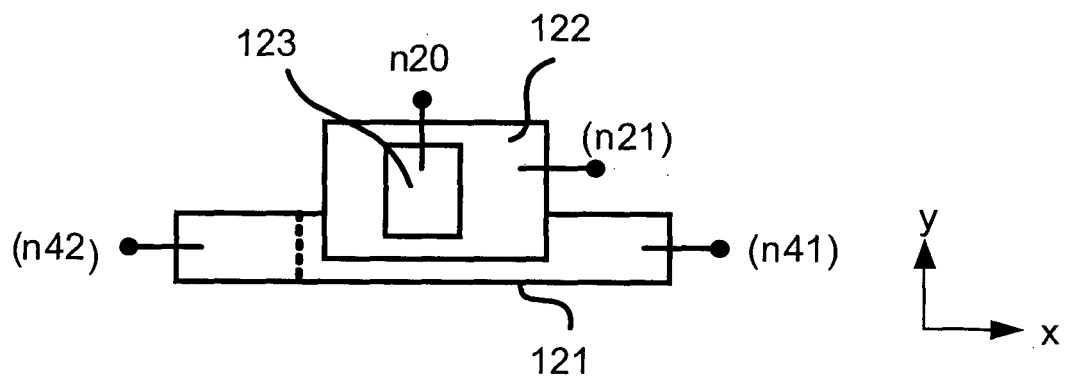


図 13

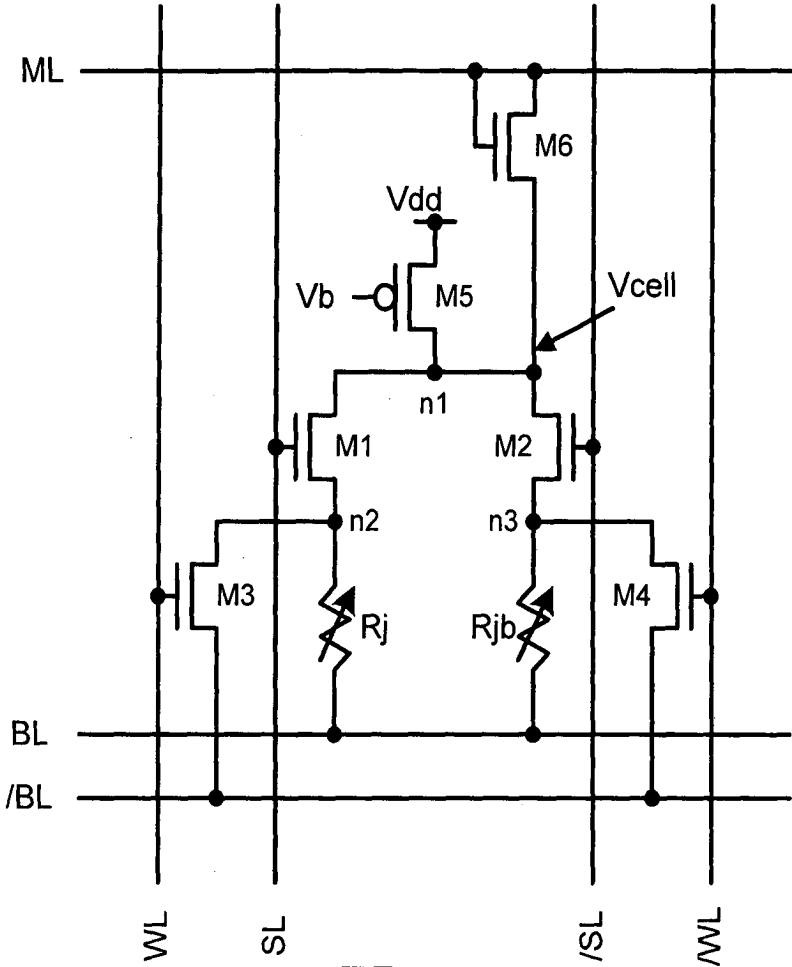


図 14

Search data	Storage data	SL, /SL	Rj, Rjb	ML
0	0	L H	R _L R _H	H (Match)
0	1	L H	R _H R _L	L (Mismatch)
1	0	H L	R _L R _H	L (Mismatch)
1	1	H L	R _H R _L	H (Match)
X	Don't Care	H/L L/H	R _H R _H	H (Match)
Don't Care	X	L L	R _H /R _L R _H /R _L	H (Match)

図 15

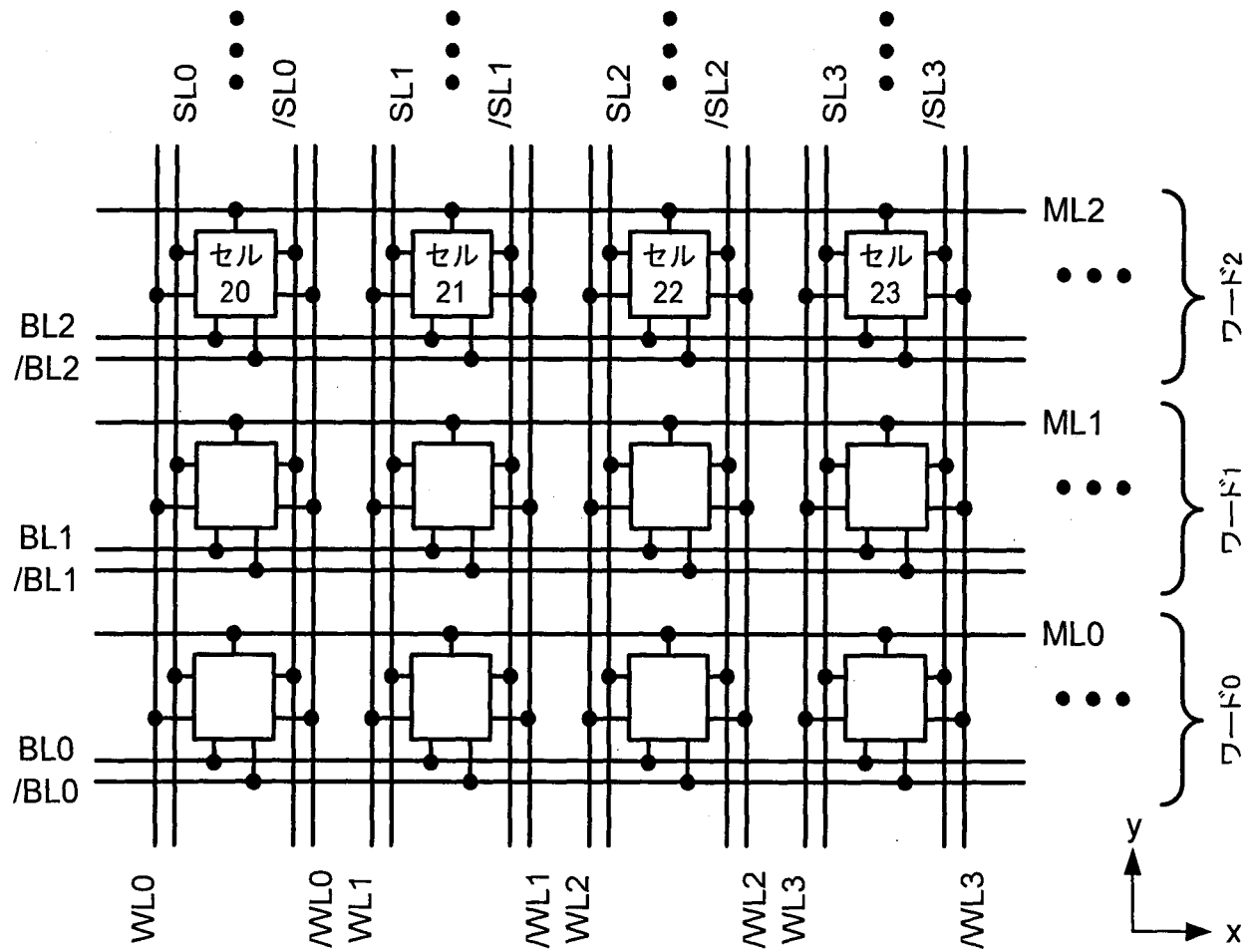


図 16

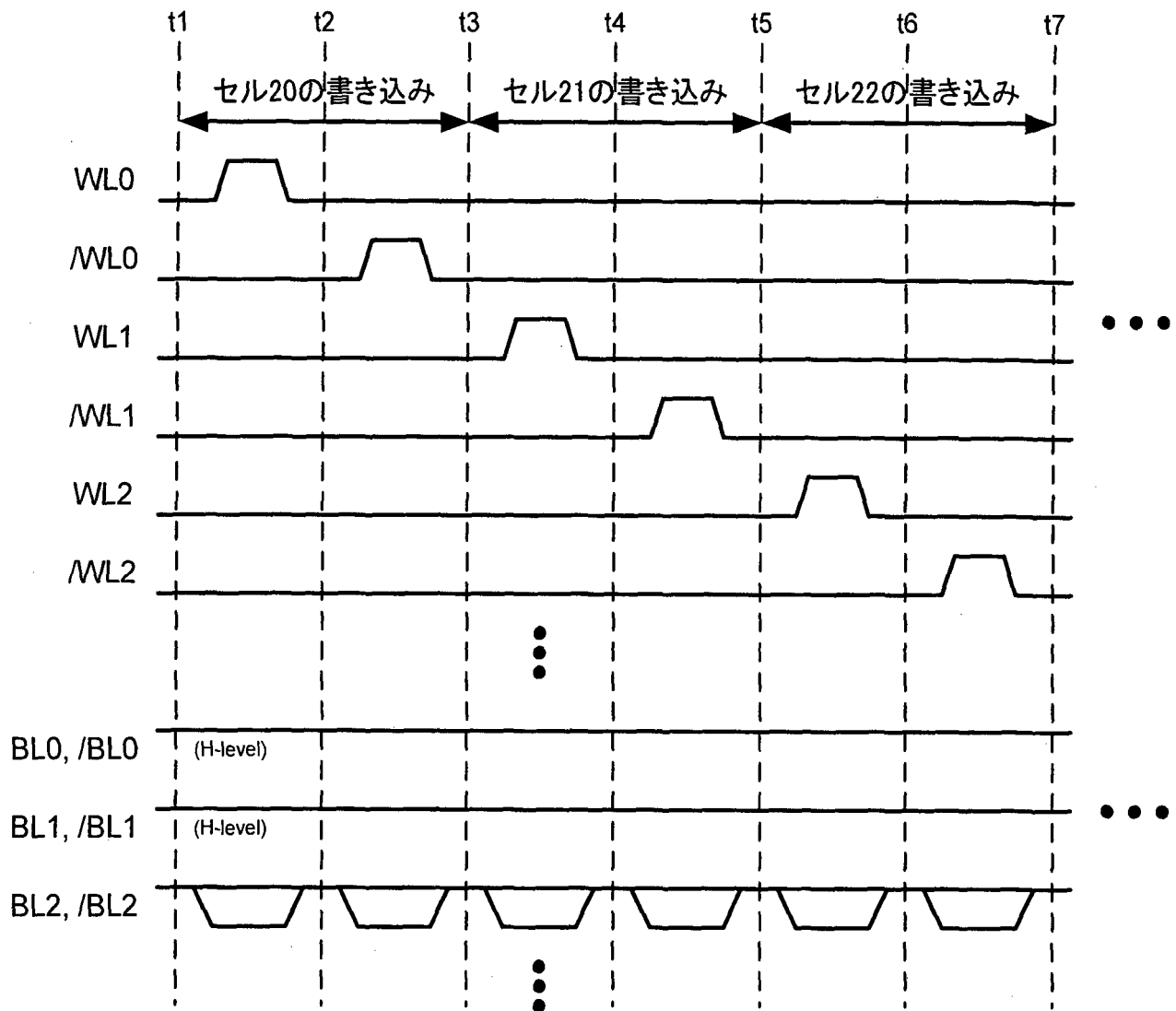


図 17

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/071443

A. CLASSIFICATION OF SUBJECT MATTER

G11C15/02(2006.01)i, G11C11/15(2006.01)i, G11C15/04(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C15/02, G11C11/15, G11C15/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2010/137573 A1 (NEC Corp.), 02 December 2010 (02.12.2010), paragraph [0023]; fig. 1, 2 (Family: none)	1-9
A	JP 2004-525473 A (Motorola, Inc.), 19 August 2004 (19.08.2004), claims 1, 2; fig. 1 & US 6304477 B1 & WO 2002/061755 A1	1-9

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
29 October, 2013 (29.10.13)

Date of mailing of the international search report
12 November, 2013 (12.11.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G11C15/02(2006.01)i, G11C11/15(2006.01)i, G11C15/04(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G11C15/02, G11C11/15, G11C15/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2010/137573 A1（日本電気株式会社）2010.12.02, 段落〔0023〕、図1, 2（ファミリーなし）	1 - 9
A	JP 2004-525473 A（モトローラ・インコーポレイテッド）2004.08.19, 請求項1, 2、図1 & US 6304477 B1 & WO 2002/061755 A1	1 - 9

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 9 . 1 0 . 2 0 1 3

国際調査報告の発送日

1 2 . 1 1 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

小林 紀和

5 U

4 2 4 0

電話番号 03-3581-1101 内線 3565