

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 10 月 11 日(11.10.2012)



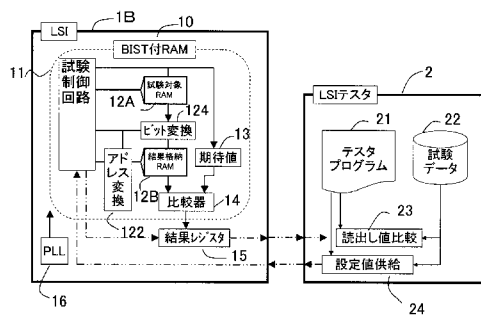
(10) 国際公開番号
WO 2012/137340 A1

- (51) 国際特許分類:
G11C 29/12 (2006.01)
- (21) 国際出願番号: PCT/JP2011/058834
- (22) 国際出願日: 2011 年 4 月 7 日(07.04.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 富士通株式会社(FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中区上小田中 4 丁目 1 番 1 号 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 柳田 昌宏 (YANAGIDA, Masahiro) [JP/JP]; 〒2118588 神奈川県川崎市中区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP).
- (74) 代理人: 松倉 秀実, 外(MATSUKURA, Hidemi et al.); 〒1030004 東京都中央区東日本橋 3 丁目 4 番 10 号 アクロポリス 21 ビル 6 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: TESTING METHOD AND SEMICONDUCTOR INTEGRATED CIRCUIT IMPLEMENTING SAID TESTING METHOD

(54) 発明の名称: 試験方法および前記試験方法が適用される半導体集積回路

[図15]



- 2 LSI tester
- 11 Test control circuit
- 12A RAM to be tested
- 12B Result storage RAM
- 13 Expected value
- 14 Comparator
- 15 Result register
- 21 Tester program
- 22 Test data
- 23 Read value comparison
- 24 Set value supply
- 122 Address conversion
- 124 Bit conversion

(57) Abstract: In this testing method, test data is written to a region to be tested of a memory by means of a testing circuit, the written data is read, the read data is written at a first data disposition to a result storage region of the memory, the data written to the result storage memory is read and compared to reference data, and first comparison results are acquired. Furthermore, in the testing method, while converting the writing destination in a manner so that the data read from the region to be tested of the memory is in a second data disposition differing from the first data disposition in the result storage region of the memory by means of the testing circuit, the data is re-written to the result storage region of the memory, the re-written data is read and compared to the reference data, and second comparison results are acquired. Then, the testing method identifies defective positions of memory in accordance with the first comparison results and the second comparison results.

(57) 要約: この試験方法は、試験回路により、メモリの試験対象領域に試験データを書き込み、書き込んだデータを読み出し、読み出したデータをメモリの結果格納領域に第1のデータ配置で書き込み、結果格納メモリに書き込まれたデータを読み出して、対照データと比較し、第1の比較結果を取得する。さらに、この試験方法は、メモリの試験対象領域から読み出したデータを、試験回路によりメモリの結果格納領域内で第1のデータ配置とは異なる第2のデータ配置となるように書き込み先を変換しながら、メモリの結果格納領域に再度書き込み、再度書き込んだデータを読み出して、対照データと比較し、第2の比較結果を取得する。そして、この試験方法は、第1の比較結果と第2の比較結果に応じて、メモリの不良位置を特定する。

に再度書き込み、再度書き込んだデータを読み出して、対照データと比較し、第2の比較結果を取得する。そして、この試験方法は、第1の比較結果と第2の比較結果に応じて、メモリの不良位置を特定する。

明 細 書

発明の名称：

試験方法および前記試験方法が適用される半導体集積回路

技術分野

[0001] 本発明は、半導体集積回路の試験に関するものである。

背景技術

[0002] 今日、半導体集積回路としては、RAM (Random Access Memory) を搭載したものが多数提供されている。以下、半導体集積回路をLSI (Large Scale Integration) という。RAMを搭載したLSI単体試験では、RAMの試験のために内蔵型自己診断回路が多く使用されている。内蔵型自己診断回路は、BIST (Built In Self Test) 回路、あるいは試験制御回路と呼ばれる。

[0003] 図1に、試験制御回路を有するLSIの構成を例示する。図1の構成では、試験制御回路は、例えば、図示しないLSIテストからの設定にしたがい、書き込むデータと、データの書き込み先となるアドレスを発生させ、RAMにデータを書き込む。次に、試験制御回路は、RAMから書き込んだデータを読み出しデータとして読み出す。さらに、試験制御回路は、RAMに書き込んだデータを読み出したときに得られる期待値を発生させる。そして、試験制御回路は、読み出しデータと期待値とを比較器で比較することでテスト結果を生成する。図1では、テスト結果はエラー情報とされている。そして、試験制御回路は、例えば、LSIテストの設定に応じて、読み出し回路の制御信号にしたがい、エラー情報を出力する。LSI外部の図示しないLSIテストは、以上の手順で生成されるエラー情報をLSIから読み出す。そして、LSIテストは、LSI内の試験制御回路から読み出したエラー情報によりRAMの良否判定を行う。

[0004] LSI内に試験制御回路を設けない従来の試験技術では、LSI外部からすべてのテストパターンをLSIに入力し、例えば、入力されたテストパタン

のRAMへの格納結果を読み出していた。したがって、上記のような試験制御回路を含むLSIの試験では、従来の試験技術に比べて、大幅に試験時間および入力するテストパターン数が縮小できる。

[0005] ところで、LSIの量産では良品と不良品の判定ができれば充分である。このため、通常の試験制御回路は、RAMの良否を判定するための情報を取得する。RAMの良否を判定するための情報は、例えば、最小の情報量では、良品と不良品とを区別する情報となる。このような最小の情報量では、故障の詳細状況を得ることができない。

[0006] 一方、故障解析は、故障原因を突き止めるために行われる。そのため、故障解析では、RAM内の故障しているアドレス、ビットの個数、あるいは分布状況等を示す情報が求められる。そこで、故障解析のために、RAMの故障ビット情報(フェイル・ビット・マップ: 以下FBMという)を取得する手法が用いられる。

[0007] 一般に、FBMを取得するにはRAMの全アドレスの全BITの情報が必要である。しかし、RAMの全アドレスの全BITの情報は膨大な情報量となる。全アドレスの全BITの情報をレジスタに格納すると仮定すると、大容量のリソースを用意することになる。そこでレジスタ量削減のために1アドレス分のレジスタを用意し、アドレスを1つ試験する度に1アドレス分の結果を読み出す手法がとられる。

[0008] 図2に、1アドレス分の結果を読み出す試験制御回路の構成を例示する。図2の構成の場合、アドレスが1つ進む度に読み出し動作が行われるので動作スピードが遅くなり、実速度での測定を行うことができないという問題がある。実速度とは、例えば、LSIの通常動作時のRAMへのアクセス速度ということもできる。このアクセス速度は、例えば、LSI内のRAMアクセスに用いられるクロック周波数で定められる。

[0009] 実速度での測定を行うため、RAMから読み出したデータを格納するレジスタの代わりにLSIに内蔵されているRAMを用いる方法が提案されている。この方法では、試験制御回路は、試験対象RAMの試験結果を別のRA

Mに実速度で格納する。図3に、試験対象RAMの試験結果を別のRAMに格納するLSIの構成を例示する。図3の構成では、試験対象RAMからデータが実速度で読み出される。読み出されたデータは、比較器で期待値と比較され、比較結果が結果格納RAMに書き込まれる。

[0010] しかし、結果格納RAMを用いる場合には、結果格納RAMに故障があると、試験対象RAMの試験ができないという問題がある。そこで、結果格納RAMに予備領域を設ける構成が提案されている。図4に、結果格納RAMに予備領域を設けたLSIの構成を例示する。結果格納RAMに予備領域を設けることにより、結果格納RAMに故障がある場合でも、試験結果を正しく保持することができる。

先行技術文献

特許文献

[0011] 特許文献1：特開2009-266330号公報

特許文献2：特開2003-187594号公報

発明の概要

発明が解決しようとする課題

[0012] 上述のように、実速度でFBMを取得するために試験結果を内蔵の結果格納RAMに実速度で格納する技術が提案されている。そして、試験結果格納RAMの故障に対応するために予備領域を設けることが提案されている。

[0013] しかしながら、LSIに搭載したRAMの試験のための予備領域は、専用の領域、あるいは、無駄なRAMの領域の増加となる。

[0014] そこで、開示技術の目的は、LSIに搭載されたRAMの試験ために、無駄なRAM領域を設けることなく、実速度でFBMを取得することを可能にすることである。

課題を解決するための手段

[0015] 開示の技術の1側面は、試験装置が試験回路を有する半導体集積回路に搭載されたメモリを試験する試験方法として例示できる。この試験方法は、試

験回路により、メモリの試験対象領域に試験データを書き込み、書き込んだデータを読み出し、読み出したデータをメモリの結果格納領域に第1のデータ配置で書き込み、結果格納メモリに書き込まれたデータを読み出して、対照データと比較し、第1の比較結果を取得する。さらに、この試験方法は、メモリの試験対象領域から読み出したデータを、試験回路によりメモリの結果格納領域内で第1のデータ配置とは異なる第2のデータ配置となるように書き込み先を変換しながら、メモリの結果格納領域に再度書き込み、再度書き込んだデータを読み出して、対照データと比較し、第2の比較結果を取得する。そして、この試験方法は、第1の比較結果と第2の比較結果に応じて、メモリの不良位置を特定する。

発明の効果

- [0016] 上記試験方法によれば、LSIに搭載されたRAMの試験ために、無駄なRAM領域を設けることなく、実速度でFBMを取得することができる。

図面の簡単な説明

- [0017] [図1]試験制御回路を有するLSIの構成を例示する図である。
- [図2] 1アドレス分の結果を読み出す試験制御回路の構成を例示する図である。
- [図3]試験対象RAMの試験結果を別のRAMに格納するLSIの構成を例示する図である。
- [図4]結果格納RAMに予備領域を設けたLSIの構成を例示する図である。
- [図5]比較器付BISTによるRAM試験方法の例を示す図である。
- [図6]比較器無しBISTによるRAM試験方法の例を示す図である。
- [図7]比較例に係るRAMの試験方法を例示する図である。
- [図8]単セル故障を例示する図である。
- [図9]ワード線故障を例示する図である。
- [図10]ビット線故障を例示する図である。
- [図11]アドレス変換前のワード線故障の例を示す図である。
- [図12]アドレス変換による処理例を示す図である。

[図13] 結果格納RAMが故障の場合の処理例を示す図である。

[図14] データ変換によるビット線故障を回避する処理例を示す図である。

[図15] 比較器付BISTによるRAM試験方法の例を示す図である。

[図16] アドレス変換部とデータ変換部とを含む結果格納RAMの例である。

[図17] アドレス変換部の構成を例示する図である。

[図18] データ変換部の構成を例示する図である。

[図19] RAM故障の例を示す図である。

[図20] RAM故障時に、試験対象RAMの結果を結果格納RAMに転送して結果格納RAMからデータを読み出したときのデータ例である。

[図21] アドレス反転部によるアドレス反転時の結果格納RAMへの格納結果の例を示す図である。

[図22] ビット故障の例を示す図である。

[図23] 試験対象RAMへの試験パタンの書き込み結果を読み出し、結果格納RAMに転送した結果を例示する図である。

[図24] データ変換部により、2ビット単位での入れ替えを行い、転送した結果を例示する図である。

[図25] 試験の処理フローを例示する図である。

[図26] 比較器無しBISTによるRAM試験の手順を例示する図である。

[図27] ロウとカラムを有するRAM領域を例示する図である。

[図28] RAMアドレスとロウ番号、カラム番号の対応を例示する図である。

[図29] ビット0を反転する構成例を示す図である。

発明を実施するための形態

- [0018] 以下、図面を参照して、技術の一側面として、実施の形態（以下、実施形態という）に係る半導体集積回路と、半導体集積回路の試験方法について説明する。以下の実施形態の構成は例示であり、本半導体集積回路、および本試験方法は実施形態の構成には限定されない。

実施例 1

- [0019] 以下、図5から図14の図面を参照し、実施例1に係る半導体集積回路の

試験装置について説明する。図5、図6に実施例1に係るLSI試験方法で用いられる装置の構成を例示する。

[0020] <LSIとLSIテストの構成>

LSIの試験、あるいは特性の測定等のため、LSIテストと呼ばれる測定装置が用いられる。LSIテストを用いて試験、測定等を行う様に設計されたLSIはLSIテストによる値の設定と値の読出しを行うインターフェースを有している。図5および図6では、LSIテストとLSIとのインターフェースは、二点鎖線で示されている。LSIテストはこのインターフェースを用い、試験に必要な情報をLSI内部に設定し、試験終了後に試験結果を読み出すことができる。

[0021] 図5に比較器付BISTによるRAM試験方法の例を示す。通常、LSIテストからは電源やクロック等、試験に必要な他の信号も供給されることが多い。ただし、図5では、電源やクロック等は省略されている。図5では、試験対象のLSI1と、LSIテスト2とが例示されている。LSI1は、BIST付RAM10と、試験結果を格納する結果レジスタ15とを有する。また、BIST付RAM10は、試験制御回路11と、RAM12と、期待値を格納するレジスタ13と、比較器14とを有する。試験制御回路11が試験回路の一例である。RAM12がメモリの一例である。期待値が対照データの一例である。

[0022] ここで、試験対象のRAM12は、通常は、複数のRAMデバイスを含む。ただし、図5では、複数のRAMデバイスを含むメモリをRAM12としている。以下の実施例では、RAM12に含まれる複数のRAMデバイスのうち、所定個数（例えば、1個）を試験対象RAMとする。試験対象RAMが試験対象領域の一例である。また、RAM12に含まれる複数のRAMデバイスのうち、試験対象RAMと同一容量の他のRAMデバイスを結果格納RAMとする。結果格納RAMが結果格納領域の一例である。したがって、図5の構成では、試験対象RAM、および結果格納RAMがRAM12に含まれる。RAMデバイスがメモリデバイスの一例である。

[0023] 一方、ＬＳＩテスト２は、図示しないＣＰＵと主記憶装置とを有している。ＬＳＩテスト２は、主記憶装置上に実行可能に展開されたテストプログラム２１により、ＬＳＩ１等の試験、特性の測定等を実行する。また、ＬＳＩテスト２は、主記憶装置上に試験データ２２を有している。ただし、試験データ２２は、ハードディスク装置、ＳＳＤ（Solid State Drive）等の補助記憶装置上に保持してもよい。さらに、ＬＳＩテスト２は、試験制御回路１１および結果レジスタ１５等、ＬＳＩ１内の回路とのインターフェースを有している。

[0024] ＬＳＩテスト２は、テストプログラムを実行することにより、このインターフェースを通じて、設定値供給機能２４を提供する。すなわち、ＬＳＩテスト２の設定値提供機能２４は、試験データ２２から設定値を取得し、試験制御回路１１に供給する。また、ＬＳＩテスト２は、テストプログラムを実行することにより、このインターフェースを通じて、読み出し値比較機能２３を提供する。ＬＳＩテスト２の読み出し値比較機能２３は、ＬＳＩ１の結果レジスタ１５から試験結果、測定結果等を読み出す。

[0025] 以下、ＬＳＩ１の試験実行手順の例を説明する。

（１）ＬＳＩテスト２はテストプログラム２１にしたがい、例えば、主記憶装置あるいは補助記憶装置等に内蔵した試験データ２２を試験制御回路１１へ設定する。試験データ２２には、試験対象のＲＡＭ１２に書き込むデータを発生するためのデータ、試験対象のＲＡＭ１２の書き込みアドレスを発生するためのデータ、および、試験対象のＲＡＭ１２から読み出されるデータの期待値を発生させるためのデータ等が含まれる。

（２）試験制御回路１１は、設定された試験データにより試験を実行する。ここでは、ＬＳＩ１内のＲＡＭ１２に含まれる一のＲＡＭデバイスを試験対象ＲＡＭとし、ＬＳＩ１内のＲＡＭ１２に含まれる他のＲＡＭデバイスを結果格納ＲＡＭとする。試験制御回路１１は、試験対象ＲＡＭからデータを実速度で読み出し、結果格納ＲＡＭに格納する。

（３）試験制御回路１１は、試験結果をＲＡＭ１２の結果格納ＲＡＭから読

出し、比較器 14 により、試験データ 22 の期待値と比較する。比較器 14 は、比較結果を結果レジスタ 15 に格納する。なお、比較器 14 の処理、および結果レジスタ 15 への格納は実速度よりも遅い速度でもよい。図 5 のように、LSI 1 内に比較器 14 を設ける場合には、例えば良品 = 0 / 不良品 = 1 などの最小限の結果情報が得られる。このため、LSI テスタ 2 が結果レジスタ 15 から読み出すデータ量は少ない。

[0026] 図 6 に比較器無し BIST による RAM 試験方法の例を示す。図 6 の LSI 1A は、図 5 の LSI 1 と比較して、比較器 14 を有していない。したがって、試験結果と期待値との比較は、LSI テスタ 2 がテストプログラム 21 にしたがって実行する。

(1) ~ (2) までの手順は図 5 の比較器付 BIST による RAM 試験方法と同様であるので省略する。

(4) LSI テスタ 2 は、試験結果を LSI 1 の RAM の結果格納 RAM から読み出し、テストプログラム 21 にしたがって試験データ 22 に基づく期待値と比較する。なお、結果格納 RAM からの試験結果の読み出しは実速度よりも遅い速度でもよい。

[0027] LSI 1A は、比較器 14 を有していないため、LSI 1A から読み出されるデータは RAM ビット幅分の結果になっている。したがって、比較器無し BIST による RAM 試験方法で読み出されるデータ量は、比較器付 BIST による RAM 試験方法に比べて大きくなる。

[0028] 比較器 14 を持つか持たないかは試験内容や LSI の構成に応じて適宜決定できる。以下、実施例 1 では、試験結果と期待値との比較は、図 5 の場合、図 6 場合のいずれかに限定される訳ではない。

[0029] <比較例>

図 7 に、比較例に係る RAM の試験方法を例示する。図 7 では、比較例に係る LSI のうち、試験制御回路 311、および RAM 312 が例示されている。また、RAM 312 は、試験対象 RAM 312A および結果格納 RAM 312B を含む。また、図 7 では、テスト 2 は、省略されている。

[0030] 試験制御回路 3 1 1 による試験の実行手順は以下の通りである。

(1) 試験制御回路 3 1 1 から試験対象 RAM 3 1 2 A に試験データを実速度で書き込む。

(2) 試験制御回路 3 1 1 により試験対象 RAM のデータを実速度で読み出して結果格納 RAM 3 1 2 B へ書き込む。

(3) 結果格納 RAM のデータを L S I 外部に読み出す。この動作は低速でも構わない。

(4) 試験制御回路 3 1 1 によって書き込まれた試験データのデータは予め判っている。そこで、テスト 2 は、試験制御回路 3 1 1 によって書き込まれた試験データと同一の値を期待値とすればよい。テスト 2 は、読み出した結果格納 RAM 3 1 2 B のデータと期待値とを比較をする。

(5) 結果格納 RAM 3 1 2 B のデータと期待値とが一致すれば、試験結果は正常であると判定される。

[0031] RAM の故障は 0 故障 (0 の読み書きができない) と 1 故障 (1 の読み書きができない) がある。このため、試験制御回路 3 1 1 は、RAM 3 1 2 内の各メモリセルに対し、0 と 1 とを上記方法によりそれぞれ少なくとも 1 回以上書き込み、試験する。

[0032] ところで、比較例による方法では試験結果にエラーがあった場合に試験対象 RAM 3 1 2 A と結果格納 RAM 3 1 2 B のどちらの故障であるかを区別することはできない。

[0033] <RAM の故障の分類>

RAM の故障のほとんどは以下の 3 種類に分類される。

(1) RAM セル故障 ;

RAM の故障の第 1 の種類は、RAM 内のセルが故障するケース (RAM セル故障) である。RAM セル故障は、故障箇所が 1 個 (単セル) である場合が多い。図 8 に、単セル故障を例示する。図 8 の黒で塗りつぶしたセルが故障箇所である。図 8 では、1 つのアドレスで指定されるワード上の 1 つのビットが故障している。

(2) ワード線故障；

RAMの故障の第2の種類は、RAMセルが同一アドレスのワード方向に連続して故障するケース（ワード線故障）である。ワード線故障は、RAM内のアドレスを指定する制御線の故障である。RAM内のアドレスを指定する制御線は、ワード線と呼ばれる。ワード線故障は、故障箇所が1つのワード線である場合が多い。図9に、ワード線故障を例示する。図9の黒で塗りつぶしたセルが故障箇所である。図9では、1つのアドレスで指定される1つのワードに含まれる全ビットが故障している。

(3) ビット線故障

RAMの故障の第2の種類は、RAMセルが1つのビット位置で複数のワードに渡って連続して故障するケース（ビット線故障）である。ビット線故障は、RAM内のビット位置を指定する制御線の故障である。RAM内のビット位置を指定する制御線は、ビット線と呼ばれる。ビット線故障は、故障箇所が1つのビット線である場合が多い。図10に、ビット線故障を例示する。図10の黒で塗りつぶしたセルが故障箇所である。図10では、1つのビット線で指定される1つのビット位置上の全ビットが故障している。

[0034] ワード線故障に関して、図9では1ワード線で指定される全ビット（全セル）が故障している。また、ビット線故障に関して、図10では1ビット線で指定されるビット位置の全ビット（全セル）が故障している。ただし、ワード故障において、1ワード線で指定される全セルが故障するとは限らない。また、1ビット線で指定される全セルが故障するとは限らない。例えば、まばらに故障する場合も生じ得る。単セル不良は、最小故障（故障セルが1個）のワード線故障またはビット線故障であると考えれば、ワード線故障またはビット線故障に含めて処理することも可能となる。

[0035] よって、RAM故障においてワード線故障またはビット線故障の2種類の故障に対応すれば、ほとんどの場合について、故障検知、故障解析が可能となる。

[0036] <実施例1の試験方法>

(ワード線故障の回避)

実施例 1 の方法では、ワード故障が 1 箇所である場合は、アドレス変換、すなわち、選択するワード線の変換を行う。アドレス変換前後で同一アドレスに変換されない変換を用いれば、故障箇所のアドレスが他のアドレスに変換される。したがって、複数のワード線が同時に故障しているという状態でない場合には、アドレス変換後には故障していないアドレス線に対応するアドレスに変換される可能性が高い。このため、アドレス変換によって故障箇所を回避できる。図 1 1 に、アドレス変換前のワード線故障の例を示す。図 1 1 の例では、結果格納 RAM 1 2 B のアドレスバス 1 2 1 とアドレスデコーダ 1 2 3 との間に、アドレス変換部 1 2 2 が設けられている。例えば、アドレスバス 1 2 1 は、所定のビット幅でアドレスを指定する。アドレスデコーダ 1 2 3 は、指定されたアドレスに対応する 1 つのアドレス線を選択する。アドレス変換部 1 2 2 が変換部の一例である。

[0037] 図 1 1 は、アドレス変換部 1 2 2 によるアドレス変換のない状態を例示する。いま、アドレス変換部 1 2 2 によるアドレス変換が実行されない状態で、ワード W 1 に対応する全ビットが故障したと仮定する。この時点では、まだ、試験対象 RAM 1 2 A と結果格納 RAM 1 2 B のうち、どちらの RAM の故障かは、判断できない。

[0038] 次にアドレス変換部 1 2 2 によるアドレス変換を行った状態で、図 1 1 と同様の試験を行う。図 1 2 にアドレス変換による処理例を示す。図 1 2 のようにアドレス変換無のときにエラーの状態であったワード W 1 が、アドレス変換有の状態ではエラーがなくなったとする。そして、アドレス変換により、ワード W 2 のアドレス位置にエラー箇所が移動したとする。図 1 2 のように、アドレス変換の有無によって、結果格納 RAM 1 2 B 上で、故障箇所が移動する場合、結果格納 RAM 1 2 B に書き込まれるデータ自体に故障があることが分かる。すなわち、図 1 2 の例では、試験対象 RAM 1 2 A 側に故障あったことが分かる。この場合、結果格納 RAM には故障がないため、アドレス変換無のときの結果格納 RAM 1 2 B のデータが試験対象 RAM の試験

結果となる。アドレス変換無のときの結果格納RAM 12Bのデータの配置が第1のデータ配置の一例である。また、アドレス変換有のときの結果格納RAM 12Bのデータの配置が第2のデータ配置の一例である。

[0039] 図13に、結果格納RAM 12Bが故障の場合の処理例を示す。図13では、アドレス変換の有無によらず、ワード線故障の位置がワードW1に固定されている。アドレス変換ありの場合においても、ワード線故障の位置がアドレス変換なしの状態から変化しない場合、結果格納RAM 12B側に故障があったことが分かる。

[0040] また、アドレス変換前に結果格納RAM 12Bの故障により、正常に取得できていない故障アドレスでの試験対象RAM 12Aでの試験結果は、アドレス変換後のアドレス位置に格納されている。同時に複数のアドレ線故障が生じる可能性が低いとすれば、アドレス変換後のアドレス位置には、故障はないとしてよい。

[0041] したがって、変換前の結果と合わせることで、試験対象RAM 12Aでのすべての試験結果が得られる。具体的にはアドレス変換無での試験結果でエラーを起こしているアドレスの試験結果は、結果格納RAM 12Bの故障に該当し、正しくない。そこで、変換有の試験結果から、アドレス変換前に故障が検知されたアドレス（以下、故障アドレス）が変換されたアドレスに格納されている結果を抜き出せばよい。そして、抜き出した試験結果を変換無の試験結果の故障アドレスの結果と入れ替えることにより、試験対象RAM 12Aについて、すべてが正しい結果が得られる。

（ビット線故障の回避）

ビット線故障が1箇所である場合は、ビット線の変換を行うことにより、ワード線故障の場合と同様に処理できる。ただし、ワード線の変換の場合には、ワード位置を入れ替えた。すなわち、変換前に故障していたワード位置と、他のワード位置とで、データが入れ替わるように全ワードデータにアドレス変換を実行した。

[0042] 一方、ビット線故障の場合に、ビットの変換を行うと、各ワード内で、ビ

ットの入れ替えが生じる。各ワード内でのビットの入れ替えは、データ値の変更となるので、データ変換と呼ぶ。そして、データ変換前後で、故障ビットが変換前と同じビット位置に変換されないような変換を用いればよい。同時に複数のビット位置が故障する状態になる確率が低いと考えれば、故障箇所のビットは変換後に故障していない場所に変換される可能性が高いため故障を回避できる。

[0043] 図14に、データ変換によるビット線故障を回避する処理例を示す。図14の例では、結果格納RAM12Bのビット線にデータ変換部124が付加されている。データ変換部124は、書き込みデータが伝送されるビット線相互の間で、データを入れ替える。例えば、ビットB1とビットB2とが入れ替えられる。データ変換部124が変換部の一例である。

[0044] データ変換の有無によって、ビット線故障の状態が変化した場合、すなわち、故障ビット位置が変化した場合には、LSIテスト2は、結果格納RAM12Bには、故障がないと判断できる。また、LSIテスト2は、試験対象RAM12Aのデータ変換前のビット位置にビット線故障があったと判定できる。

[0045] 一方、データ変換の有無によらず、ビット線故障の状態が変化しない場合、すなわち、故障ビット位置が変化しない場合には、LSIテスト2は、結果格納RAM12Bに、故障があると判断できる。また、LSIテスト2は、結果格納RAM12B上の故障ビット位置からデータ変換によって移動した移動先のビットのデータを取得し、試験対象RAM12Aのデータ変換前のビット位置のデータと置き換えることで、試験対象RAM12Aの全試験データを取得できる。データ変換の無のときの結果格納RAM12Bのデータの配置が第1のデータ配置の一例である。また、データ変換の有のときの結果格納RAM12Bのデータの配置が第2のデータ配置の一例である。

[0046] 以上述べたように、実施例1のLSI1によれば、LSI1に搭載されたRAM12のうち、試験対象RAM12AとなるRAMデバイスと結果格納RAM12BとなるRAMデバイスとを組み合わせることによって、結果格

納RAM 12Bとして専用のRAMデバイス、あるいは、予備領域のような無駄なRAMデバイスを設けることなく、信頼性を確保して、実速度でのRAMの試験を実行できる。すなわち、試験対象RAM 12Aと結果格納RAM 12Bとの間では、データの読み出しと書き込みとを通常のLSI 1の動作周波数で行い、結果格納RAM 12Bの読み出しは、LSI テスタ 2に適した動作周波数で行えばよい。このような構成により、実際の動作周波数での試験と、誤りを低減した状態での試験結果の取得が可能となる。

[0047] その場合に、例えば、RAM 12に含まれる、少なくとも1つのRAMデバイスに、アドレス変換部 122と、データ変換部 124とを設け、結果格納RAM 12Bとすればよい。そして、アドレス変換部 122と、データ変換部 124とを設けた結果格納RAM 12Bと同一容量のRAMデバイスを試験対象RAM 12Aとして選択し、実速度での試験を実行すればよい。そして、ワード線故障が発生した場合には、LSI テスタ 2がテストプログラム 21を実行し、図 11ー図 13に示した手順で、試験対象RAM 12Aと結果格納RAM 12Bのいずれにおいて、故障が発生しているかを特定すればよい。また、ビット線故障が発生した場合には、LSI テスタ 2がテストプログラム 21を実行し、図 14に示した手順で、試験対象RAM 12Aと結果格納RAM 12Bのいずれにおいて、故障が発生しているかを特定すればよい。

[0048] さらに、RAM 12中で、試験対象RAM 12AとなるRAMデバイスの数が、結果格納RAM 12BとなるRAMデバイスの数よりも多い場合には、順次、試験対象RAM 12AとなるRAMデバイスを入れ替え、試験を実行すればよい。

実施例 2

[0049] 以下、図 15から図 25の図面を参照し、実施例 2に係る半導体集積回路の試験装置について説明する。

[0050] <LSI およびLSI テスタの構成>

図 15に、比較器付BISTによるRAM試験方法の例を示す。図 15は

、ＬＳＩ１Ｂにおいて、試験対象ＲＡＭ１２Ａと、結果格納ＲＡＭ１２Ｂと、アドレス変換部１２２と、ビット変換部１２４と、ＰＬＬ（Phase Locked Loop）１６とが明示されている点を除いて、図５のＬＳＩ１と同様である。そこで、以下の実施例２において、実施例１と同一の構成要素については、同一の符号を付してその説明を省略する。

[0051] なお、図１５において、試験対象ＲＡＭ１２Ａと、結果格納ＲＡＭ１２Ｂとが例示されている。実施例２においても、実施例１のＬＳＩ１と同様、ＬＳＩ１Ｂは、複数のＲＡＭデバイスを有している。試験対象ＲＡＭ１２Ａおよび結果格納ＲＡＭ１２Ｂは、それぞれＬＳＩ１Ｂ内のＲＡＭデバイスの１つである。また、基本的には、試験対象ＲＡＭ１２Ａと結果格納ＲＡＭ１２Ｂとは、同一の容量である。ただし、ＬＳＩ１Ｂ内に、複数の試験対象ＲＡＭ１２Ａがあってもよい。また、ＬＳＩ１Ｂ内に、複数の結果格納ＲＡＭ１２Ｂがあってもよい。

[0052] 試験対象ＲＡＭ１２ＡとなるＲＡＭデバイスの数が、結果格納ＲＡＭ１２Ｂよりも多い場合には、順次、試験対象ＲＡＭ１２Ａを変更して、試験を実行すればよい。また、結果格納ＲＡＭ１２ＢとなるＲＡＭデバイスが複数ある場合には、いずれか１つのＲＡＭデバイスを結果格納ＲＡＭ１２Ｂとしてもよい。また、順次、結果格納ＲＡＭ１２ＢとなるＲＡＭデバイスを変更して、試験を実行してもよい。

[0053] 図１５において、ＬＳＩテスト２はテストプログラム２１にしたがい試験データ２２をＬＳＩ１Ｂに書き込む。また、ＬＳＩテスト２はＬＳＩ１Ｂから、結果レジスタ１５等の内部レジスタの値を読み出す。そして、ＬＳＩテスト２は、結果レジスタ１５等から読出し値と、試験データ２２との比較を行う。なお、ＬＳＩテスト２によるＬＳＩ１Ｂへの試験データ２２等の書き込み、ＬＳＩ１Ｂの結果レジスタ１５等からの読出し動作は、ＬＳＩ１Ｂの通常動作時の実速度よりも低速で行っても構わない。

[0054] 試験制御回路１１は試験に関する制御信号、およびテスト２から書き込まれた試験データ２２等を試験対象のＢＩＳＴ付ＲＡＭ１０に供給する。実施

例 2 では、試験制御回路 1 1 の動作は L S I テスタ 2 から書き込まれる設定値によって決定される。

[0055] 試験対象 R A M 1 2 A は試験制御回路 1 1 からの制御信号と試験データ 2 2 により試験動作を行う。試験動作は L S I 1 B の通常動作時の実速度、例えば、P L L 1 6 によるクロック速度で行われる。実速度のクロックは、例えば、P L L 1 6 から供給される。

[0056] 結果格納 R A M 1 2 B、アドレス変換部 1 2 2、ビット変換部 1 2 4 は試験制御回路 1 1 からの制御信号により、試験対象 R A M 1 2 A のデータを結果格納 R A M 1 2 B へ転送する。転送は L S I 1 B の通常動作時の実速度、例えば、P L L 1 6 によるクロック速度で行われる。また、アドレス変換部 1 2 2、ビット変換部 1 2 4 が変換動作を行うかどうかは試験制御回路 1 1 からの制御信号により制御される。

[0057] 比較器 1 4 は結果格納 R A M 1 2 B の読み出し値と、レジスタ 1 3 の期待値とを比較し、比較結果を結果レジスタ 1 5 に格納する。比較器 1 4 の動作は、L S I 1 B の通常動作の実速度、すなわち、P L L 1 6 によるクロック速度よりも低速で行っても構わない。

[0058] 以下、実施例 2 では、試験対象 R A M 1 2 A の不良解析を目的に F B M を作成する。そして、実施例 2 でも実施例 1 と同様、結果格納 R A M 1 2 B の故障をアドレス変換部 1 2 2 とデータ変換部 1 2 4 とによって回避する。なお、試験対象 R A M 1 2 A および結果格納 R A M 1 2 B のうち、いずれかの R A M、もしくは、両方の R A M に不良がない場合でも、以下で説明する手順は問題なく実施可能である。

[0059] また、実施例 2 では、アドレス変換部 1 2 2 は、アドレスのビットパターンを反転することによりアドレス変換を実行する。ただし、アドレス変換部 1 2 2 の処理がアドレス反転に限定される訳ではない。同様に、データ変換部 1 2 4 は、各ワードのデータを 2 ビット単位で入れ替えることにより、データ変換を実行する。ただし、データ変換部 1 2 2 の処理が 2 ビット単位の入れ替えに限定される訳ではない。

- [0060] また、LSI 1 B内のRAMに含まれるRAMデバイスの容量は、例えば、アドレスが1024、ビット幅が32ビットと想定する。したがって、例えば、図15に示した試験対象RAM 12 A、および結果格納RAM 12 Bともに、アドレスが1024、ビット幅が32ビットであると仮定する。ただし、以下の実施例2の処理がRAMデバイスの容量、アドレスの数（ワード数）、ビット幅等に限定される訳ではない。
- [0061] 図16は、アドレス変換部122とデータ変換部124とを含む結果格納RAM 12 Bの例である。図16のように、LSI 1 Bは、アドレスバス121と、アドレスバスのアドレスデータを変換するアドレス変換部122と、アドレスバスのデータをデコードするアドレスデコーダ123と、書き込みデータをデータ変換するデータ変換部124とを有する。ただし、上述のように、アドレス変換部122は、アドレスデータをビット反転することでアドレス変換を実行する。また、データ変換部124は、2ビット単位の入れ替えを実行することで、書き込みデータをデータ変換する。
- [0062] 図17に、アドレス変換部122の構成を例示する。アドレス変換部122は、アドレスバス121の各アドレス信号を排他論理和（Exclusive OR）によって、反転する。以下、排他論理和を実行するゲートをEXORゲートと呼ぶ。ただし、各EXORゲートは、反転制御信号が1の場合に、アドレスバス121の各アドレス信号を反転する。一方、各EXORゲートは、反転制御信号が0の場合に、アドレスバス121の各アドレス信号を反転しない。例えば、試験制御回路11は、図17のアドレス変換部122の反転制御信号を1または0に制御する制御端子を有する。また、試験制御回路11は、図17のアドレス変換部122の反転制御信号を1または0に切り替える指示を保持する反転制御レジスタを有し、反転制御レジスタの値は、LSI テスタ2からの試験データ22によって設定される。
- [0063] 図18に、データ変換部124の構成を例示する。データ変換部124は、例えば、各ワードのビット0とビット1との間、ビット2とビット3との間、ビット2kとビット2k+1との間でビットの反転を実行する。ここで

、 k は0以上の整数で、 $2k+1$ の最大値が最上位ビットを示す。図18では、ビット0からビット31までについて、セクタSL0からSL31が設けられている。また、これらのセクタSL0～SL31に入力されるビットデータがIBIT0～IBIT31で示されている。また、セクタSL0～SL31から出力されるビットデータがOBIT0～OBIT31で示されている。なお、各セクタSL0～SL31の出力端子もOBIT0～OBIT31の符号で識別することにする。

[0064] この場合、例えば、ビット0とビット1のそれぞれが、2つのセクタSL0とSL1に入力される。セクタSL0は、符号0を付された入力端子と、符号1を付された入力端子を有する。切替信号が0のとき、セクタSL0の符号0を付された入力端子が、出力端子OBIT0に接続される。一方、切替信号が1のとき、セクタSL0の符号1を付された入力端子が、出力端子OBIT0に接続される。したがって、セクタSL0は、切替信号が0か1かに応じて、出力端子に接続する信号をIBIT0とIBIT1との間で切り替えることができる。すなわち、セクタSL0は、切替信号が0ときに、IBIT0を出力し、切替信号が1のとき、IBIT1を出力する。一方、セクタSL1は、切替信号が1ときに、IBIT0を出力し、切替信号が0のとき、IBIT1を出力する。以上のように、データ変換部124は、切替信号に応じて、2ビットごとに、各ワードのビットデータを入れ替える。

[0065] 例えば、試験制御回路11は、図18のデータ変換部124の切替信号を1または0に制御する制御端子を有する。また、試験制御回路11は、例えば、図18のデータ変換部124の切替信号を1または0に切り替える指示を保持する反転制御レジスタを有し、反転制御レジスタの値は、LSIテスト2からの試験データ22によって設定される。次に、RAMを測定する手順を説明する。

[0066] <試験データの構成>

LSI1Bの試験に使用する試験パターンは以下の構成とする。ここで、試

験パターンとは、試験対象RAM 12 Aに書き込まれるデータをいう。なお、図15に示した試験データ22は、試験パターンを発生させるための制御データ、あるいは試験パターンを圧縮したデータを含む。また、試験データ22は、試験パターンが試験対象RAM 12 Aから実速度で読み出されときの期待値を発生させるための制御データ、あるいは期待値を圧縮したデータを含む。

[0067] 試験パターンとしては、パターン0とパターン1の2種類のデータが用いられる。パターン0は、1ワード（実施例1では32ビット）がすべて0のデータである。また、パターン1は、1ワードがすべて1のデータである。

[0068] <試験手順>

試験パターンによる試験手順は以下の通りである。

（1）試験制御回路11は、パターン0を試験対象RAM 12 Aの全アドレス（0～1023）に実速度で書き込む。

（2）試験制御回路11は、試験対象RAM 12 Aのデータを実速度で読み出し、アドレス変換およびデータ変換を行わずに結果格納RAM 12 Bにコピーする。すなわち、試験制御回路11は、試験対象RAM 12 Aの全アドレスのデータを実速度で試験対象RAM 12 Aから読み出し、試験対象RAM 12 Aのアドレスと同一の結果格納RAM 12 Bのアドレスに転送する。

（3）試験制御回路11は、試験結果格納RAM 12 Bのデータを読み出す。この場合の読み出し速度は、実速度でなくてもよい。また、試験制御回路11は、パターン0を期待値として、読み出した値を比較器14により比較する。そして、試験制御回路11は、比較の結果、不一致となる箇所を故障箇所として、結果レジスタ15に格納する。結果レジスタ15には、エラーが検出されたアドレスと、比較器14の比較結果を格納すればよい。LSIテスト2は、結果レジスタ15から試験結果を取得する。そして、LSIテスト2は、エラーが検出したアドレスと、比較器14の比較結果を基に、FBMを作成すればよい。

（4）試験制御回路11は、（1）～（3）と同様の手順で、パターン1によ

る試験も行い、故障箇所を結果レジスタ 15 に格納する。

(5) パタン 0 とパタン 1 の故障箇所を合わせて RAM の故障箇所とする。

[0069] 以上の手順により、LSI テスタ 2 は、LSI 1 B に搭載された RAM の試験結果を得る。なお、LSI テスタ 2 は、故障箇所の状態により、同一アドレスのワード方向に連続した故障の場合“ワード線故障”、同一ビット位置で複数ワードに渡る方向に連続した故障の場合“ビット線故障”、特定のアドレスと特定のビットで故障の場合は“単セル故障”と分類する。

[0070] 図 19 に、RAM 故障の例を示す。図 19 では、試験対象 RAM 12 A は、アドレス = 1 にワード線故障を持ち、結果格納 RAM 12 B はアドレス = 3、bit = 1 に単セル故障を持っているとする。図中で試験対象 RAM 12 A のワード線故障の場所は“*”、結果格納 RAM の単セル故障の場所は“X”で表している。

[0071] この状態で、試験対象 RAM 12 A の結果を結果格納 RAM 12 B に転送して結果格納 RAM 12 B のデータを読み出すと図 20 のようなデータが得られる。すなわち、試験対象 RAM 12 A の故障と、結果格納 RAM 12 B の故障とが混在した結果が得られる。したがって、結果格納 RAM 12 B のデータを読み出しただけでは、混在した結果を分離することができない。

[0072] そこで、次に、試験制御回路 11 は、結果格納 RAM 12 B のアドレス反転部 122 によるアドレス変換を行い、試験対象 RAM 12 A から読み出し結果を結果格納 RAM 12 B に転送する。

[0073] 図 21 に、アドレス変換部 122 によるアドレス反転時の結果格納 RAM 12 B への格納結果の例を示す。アドレス変換部 122 のアドレス変換により、アドレス = 1 のワード（上から 2 番目）は、アドレス = 1022 のワード（下から 2 番目）に変換される。図 21 の例では、アドレス変換前にワード 1 にあった故障データのワードがアドレス = 1022 のワードに移動する。このため、アドレス = 1022 に移動した“*”で示される箇所の故障データが試験対象 RAM から転送されてきた故障と判断される。一方、アドレス = 3、ビット 1 にあった故障データは、アドレス変換の前後で移動しない。こ

のため、アドレス変換の前後で移動しなかった“×”で示される箇所の故障が結果格納RAM 12 Bに内在していた故障となる。

[0074] よって、図20の結果格納RAM 12 Bから得られる試験結果から、結果格納RAM 12 Bの故障“×”を取り除いたものが、試験対象RAM 12 Aの試験結果となる。

[0075] 次に、ビット線故障の場合を考える。図22にビット故障の例を示す。図22では、試験対象RAM 12 Aは、ビット=30にビット線故障の箇所を有する。また、結果格納RAM 12 Bは、アドレス=3、bit=1に単セル故障を有する。

[0076] 図23に、試験対象RAM 12 Aへの試験パタンの書き込み結果を読み出し、結果格納RAM 12 Bに転送した結果を例示する。図23のように、試験対象RAM 12 Aの故障と、結果格納RAM 12 Bの故障とが混在したデータが得られる。

図24に、データ変換部124により、2ビット単位での入れ替えを行い、転送した結果を例示する。ビット変換により、ビット=30（図24で右から2番目の列）はビット=31（同図で一番右の列）に変換される。図24では、故障データがビット=30からビット=31移動する。このため、LSIテスト2は、ビット=31に移動した“*”で示される箇所の故障が試験対象RAM 12 Aから転送されてきた故障であると判定できる。一方、図24の故障のうち、アドレス=3、ビット=1の故障は移動しない。このため、LSIテスト2は、移動しなかった“×”で示される箇所の故障が結果格納RAM 12 Bに内在していた故障であると判定できる。よって、LSIテスト2は、図24の結果から、結果格納RAM 12 Bの故障（図24で“×”で示される箇所）を取り除いたものを試験対象RAM 12 Aの試験結果として得ることができる。

[0077] ワード線故障、ビット線故障のどちらの不良でもない、メモリセルの縦横に広がりがあるような故障の場合は変換前後の領域に重なりが発生する可能性がある。メモリセルの縦横に広がりがある故障とは、例えば、複数ワード

線故障および複数のビット線故障の少なくとも一方が生じた場合である。このような場合、試験対象RAM 12 Aの故障と結果格納RAM 12 Bの故障とを区別できない場合がある。

[0078] しかしながら、メモリセルの縦横に広がりを持つ様な故障の場合は、経験的に低速動作でも故障が検出されるケースが多い。そこで、メモリセルの縦横に広がりを持つ様な故障は、結果格納RAM 12 Bへの実速度転送を用いずに、試験対象RAM 12 A単独での低速FBMを実施する場合でも、十分な試験が可能である。ここで、低速FBMとは、PLL 16のような実速度のクロック信号による試験対象RAM 12 Aからの読み出しではなく、LSI テスタ 2 から、LSI 1 Bの内部レジスタ、例えば、結果レジスタ 15 を介した試験対象RAM 12 Aからの読み出しによるFBMの作成をいう。

[0079] 図 25 に、LSI テスタ 2 および試験制御回路 11 による試験の処理フローを例示する。図 25 の処理は、LSI テスタ 2 が試験データ 22 をLSI 1 Bに書き込み、試験を起動することで開始する。図 25 の各処理のうち、例えば、S1－S6 が試験制御回路 11 の処理であり、S7－S16 がLSI テスタ 2 の処理である。試験が起動されると、まず、試験制御回路 11 が試験対象RAM 12 Aへ試験パターン 0 を書き込む（S1）。

[0080] 次に、試験制御回路 11 は、試験対象RAM 12 Aから、格納されているデータを読み出す。そして、試験制御回路 11 は、アドレス変換なし、かつ、データ変換なしで、読み出したデータを結果格納RAM 12 Bへ格納する（S2）。そして、試験制御回路 11 は、結果格納RAMの内容を読み出す。そして、試験制御回路 11 は、パターン 0 が読み出されているか否かを判定する（S3）。この場合、試験制御回路 11 は、パターン 0 を期待値としてレジスタ 13 に保持する。そして、試験制御回路 11 は、比較器 14 により、結果格納RAMから読み出した内容と、期待値とを比較する。比較結果は、結果レジスタを通じて、LSI テスタ 2 に引き渡される。

[0081] 次に、試験制御回路 11 は、試験対象RAM 12 Aへ試験パターン 1 を書き込む（S4）。次に、試験制御回路 11 は、試験対象RAM 12 Aから、格

納されているデータを読み出す。そして、試験制御回路 11 は、アドレス変換なし、かつ、データ変換なしで、読み出したデータを結果格納 RAM 12 B へ格納する (S5)。そして、試験制御回路 11 は、結果格納 RAM の内容を読み出す。そして、試験制御回路 11 は、パターン 1 が読み出されているか否かを判定する (S6)。S6 の判定手順は、S3 と同様である。比較結果は、結果レジスタを通じて、LSI テスタ 2 に引き渡される。

[0082] 次に、LSI テスタ 2 は、パターン 0、パターン 1 の結果を合わせて、RAM 試験結果を判定する (S7)。LSI テスタ 2 は、例えば、同一アドレスのワード方向に複数のエラーが発生しているか否かを判定することにより、ワード線故障の有無を判定する。また、LSI テスタ 2 は、例えば、同一ビット位置において、複数のワードに渡ってエラーが発生しているか否かを判定することにより、ビット線故障の有無を判定する。あるいは、LSI テスタ 2 は、ワード線故障およびビット線故障がまとまって発生し、RAM 領域の一部あるいはすべてが面積を持つ範囲で故障しているか否か等を判定する。

[0083] そして、ワード線故障の場合には (S8 の判定で Yes の場合)、LSI テスタ 2 は、制御を S9 へ進める。ただし、S8 の判定は、ワード線故障のみが発生し、ビット線故障がない場合に、Yes とする。つまり、ワード線故障とビット線故障が混在する場合には、故障は、S14 でさらに判定がなされ、他の処理 (S16) で取り扱われる。

[0084] S8 の判定で Yes の場合、LSI テスタ 2 は、結果格納 RAM 12 B へ格納時にアドレス変換ありとして、パターン 0 とパターン 1 について、再度 S1ーS6 の処理を実行するように、試験データ 22 を設定し、試験制御回路 11 による試験を起動する (S9)。そして、LSI テスタ 2 は、測定結果の状況を判定する (S10)。すなわち、LSI テスタ 2 は、試験対象 RAM から読み出したデータをアドレス変換ありで結果格納 RAM 12 B へ格納した結果、ワード線故障のアドレスが変化したか否かを判定する。

[0085] S10 の結果、ワード線故障の位置が移動しなかった場合、LSI テスタ 2 は、結果格納 RAM 12 B に内在している故障があると判定する (S11

）。したがって、S 7、S 8で特定されたワード線故障は、試験対象RAM 1 2 Aの故障ではないと判定される。一方、S 1 0の結果、ワード線故障の位置が移動した場合、LSI テスタ 2は、試験対象RAM 1 2 Aから転送されたデータに誤りがあると判定する。したがって、LSI テスタ 2は、試験対象RAM 1 2 Aに故障があると判定する。これらは、パターン0およびパターン1の両方で、判定される。次に、LSI テスタ 2は、S 1 1およびS 1 2の結果を合わせて、試験対象RAMの測定結果とする（S 1 3）。なお、S 1 1とS 1 2の結果から、結果格納RAM 1 2 Bの故障個所を特定可能である。すなわち、S 1 0の結果、ワード線故障の位置が移動しなかった場合には、移動しなかったワード線のアドレスでの故障ワード、あるいは故障ビット部分が結果格納RAM 1 2 Bの故障位置と判定できる。

[0086] また、S 8の判定で、ワード線故障がない場合、LSI テスタ 2は、ビット線故障があるか否かを判定する（S 1 4）。ここで、S 1 4の判定では、ワード線故障がなく、ビット線故障だけが発生している場合に、S 1 4でYesの判定となる。つまり、ワード線故障とビット線故障が混在する場合には、故障は、他の処理（S 1 6）で取り扱われる。なお、S 1 4の判定で、ビット線故障には、単一ビットの故障も含まれる。すなわち、LSI テスタ 2は、1つのアドレスの1つビットの故障も、ビット線故障として取り扱う。

[0087] ビット線故障があった場合、LSI テスタ 2は、結果格納RAM 1 2 Bへ格納時にデータ変換ありとして、パターン0とパターン1について、再度S 1 – S 6の処理を実行するように、試験データ 2 2を設定し、試験制御回路 1 1による試験を起動する（S 1 5）。

[0088] そして、LSI テスタ 2は、測定結果の状況を判定する。すなわち、LSI テスタ 2は、試験対象RAM 1 2 Aから読み出したデータをデータ変換ありで結果格納RAM 1 2 Bへ格納した結果、ビット線故障のビット位置が変化したか否かを判定する。判定の結果、ビット線故障のビット位置が移動しなかった場合、LSI テスタ 2は、結果格納RAM 1 2 Bに内在している故

障があると判定する。

[0089] 一方、判定の結果、ビット線故障の位置が移動した場合、ＬＳＩテスト２は、試験対象ＲＡＭ１２Ａから転送されたデータに誤りがあると判定する。したがって、ＬＳＩテスト２は、試験対象ＲＡＭ１２Ａに故障があると判定する。

[0090] また、Ｓ１４の判定で、ビット線故障でも、ワード線故障でもない場合、ＬＳＩテスト２は、Ｓ１６の処理を実行する。Ｓ１６の処理では、ＬＳＩテスト２は、Ｓ１－Ｓ６の処理、すなわち、実速度での試験対象ＲＡＭ１２Ａからの読み出し、実速度での結果格納ＲＡＭ１２Ｂへの格納による試験を起動しない。Ｓ１－Ｓ６の代わりに、ＬＳＩテスト２は、試験対象ＲＡＭ１２Ａを低速ＦＢＭで試験する（Ｓ１６）。低速ＦＢＭとは、例えば、図２に示したように、ＬＳＢ１Ｂの内部レジスタを用いて、試験対象ＲＡＭ１２Ａからデータを読み出し、ＦＢＭを作成する処理をいう。

[0091] 以上述べたように、実施例２の試験制御回路１１を含むＬＳＩ１Ｂでは、ＬＳＩテスト２は、試験制御回路１１によって実速度での試験対象ＲＡＭ１２Ａからのデータの読み出しと、結果格納ＲＡＭ１２Ｂへの格納を行う試験を起動する。そして、ＬＳＩテスト２は、試験結果から、ワード線エラーと、ビット線エラーの有無を判定する。そして、ワード線エラーがあった場合には、ＬＳＩテスト２は、試験制御回路１１によって試験対象ＲＡＭ１２Ａから読み出したデータをアドレス変換して、結果格納ＲＡＭ１２Ｂへ格納する試験を起動する。そして、アドレス変換の有無で、結果格納ＲＡＭ１２Ｂでのエラー箇所のアドレスの移動があった場合には、ＬＳＩテスト２は、試験対象ＲＡＭ１２Ａのエラーであると判定する。

[0092] また、試験結果に、ビット線エラーがあった場合には、ＬＳＩテスト２は、試験制御回路１１によって試験対象ＲＡＭ１２Ａから読み出したデータをデータ変換して、結果格納ＲＡＭ１２Ｂへ格納する試験を起動する。そして、データ変換の有無で、結果格納ＲＡＭ１２Ｂでのエラー箇所のビット位置の移動があった場合には、ＬＳＩテスト２は、試験対象ＲＡＭ１２Ａのエラ

一であると判定する。

[0093] このように、実施例 2 の L S I 1 B によれば、実速度での試験対象 R A M 1 2 A の試験において、結果格納 R A M 1 2 B に専用の予備領域を設けることなく、試験対象 R A M 1 2 A と、結果格納 R A M 1 2 B とでそれぞれ発生したエラーを区別することができる。なお、結果格納 R A M 1 2 B となる R A M デバイスが少なくとも 1 つあれば、結果格納 R A M 1 2 B となる R A M デバイスと同一の容量、または容量が小さい R A M デバイスについて、図 2 5 の処理を繰り返し、実行することで、すべての R A M デバイスの試験を実行できる。すなわち、図 2 5 の処理を実行するため、少なくとも 1 つ、アドレス変換とデータ変換とが可能な R A M デバイスを設ければよい。

[0094] また、結果格納 R A M 1 2 B として用いられる R A M デバイス自体を試験対象とする場合には、さらに、1 つ結果格納 R A M 1 2 B となる R A M デバイスを設けておけばよい。ただし、L S I 1 内蔵の R A M デバイスのすべてに、アドレス変換とデータ変換の回路を設けてもよい。

[0095] また、図 2 5 では、L S I テスタ 2 が S 7 - S 1 6 の処理を実行するものとして説明した。しかし、実施例 2 の R A M 試験方法が、上記図 2 5 で説明した処理に限定される訳ではない。例えば、図 2 5 の S 7 - S 1 6 の処理の一部またはすべてを試験制御回路 1 1 が実行するようにしてもよい。

[0096] 例えば、試験制御回路 1 1 内に、C P U と主記憶装置とを含む、コンピュータプログラムを実行可能な制御部を設ければよい。そして、図 2 5 の S 7 - S 1 6 の処理の一部またはすべてを試験制御回路 1 1 内の制御部で実行してもよい。その場合に、L S I テスタ 2 は、試験制御回路 1 1 内の制御部に、試験データ 2 2 を引き渡し、試験結果を受け取るようにすればよい。

実施例 3

[0097] 実施例 3 では、比較器無し B I S T による R A M 試験方法の例を示す。図 2 6 は、比較器無し B I S T による R A M 試験の手順を例示する。比較器無し B I S T を用いる以外の実施例 3 の構成および手順は、実施例 2 と同様である。そこで、実施例 2 と同一の構成要素については、実施例 2 と同一の符

号を付してその説明を省略する。図 26 のように、実施例 3 では、BIST なし RAM10C を含む LSI1C が例示されている。BIST なし RAM10C は、図 15 と比較して、比較器 14 が無い点が相異なる。以下、図 26 にしたがって、実施例 3 の手順を説明する。

(1) LSI テスタ 2 はテストプログラム 21 にしたがって試験データ 22 を LSI1C に書き込みを行う。また、LSI テスタ 2 は、LSI1C から内部の結果レジスタ 15 の値を読み出し、読出し値と試験データの比較を行う。LSI テスタ 2 の書き込み・読み出し動作は LSI 動作速度ではなく低速で行っても構わない。

(2) 試験制御回路 11 は試験に関する制御信号、試験データを試験対象回路に供給する。試験制御回路 11 の動作は LSI テスタ 2 から書き込まれる設定値により決められる。

(3) 試験対象 RAM12A は試験制御回路 11 からの制御信号と試験データにより試験動作を行う。試験動作は LSI 実速度で行われる。実速度のクロックは PLL16 から供給される。

(4) 結果格納 RAM12B、アドレス変換部 122、ビット変換部 124 は試験制御回路 11 からの制御信号により、試験対象 RAM12A の内容を結果格納 RAM12B へ転送する。転送は LSI 実動作速度で行われる。また、アドレス変換部 122、ビット変換部 124 が変換動作を行うかどうかは試験制御回路 11 からの制御信号により制御される。また、試験制御回路 11 からの制御信号は、LSI テスタ 2 からの試験データ 22 によって設定される。

(5) 結果レジスタ 15 は試験制御回路 11 からの制御信号により結果格納 RAM12B の読み出し値を格納する。LSI テスタ 2 は、結果レジスタ 15 を通じて結果格納 RAM12B からの読み出し値を取得する。結果格納 RAM12B からのデータの読み出し、結果レジスタ 15 への格納、結果レジスタ 15 を通じた LSI テスタ 2 による読み出し値の取得の動作は低速で行っても構わない。

(6) L S I テスタ 2 は、結果レジスタ 1 5 を通じて結果格納 R A M 1 2 B から読み出した試験結果と、試験データ 2 2 に基づく期待値とを比較する。その結果、L S I テスタ 2 は、試験パターン 0 と試験パターン 1 のそれぞれについて、ワード線故障の有無を判定し、ワード線故障がある場合に、アドレス変換の有無によって、ワード線故障のアドレスが変化するか否かを判定する。そして、L S I テスタ 2 は、アドレス変換の有無によって、ワード線故障のアドレスが変化した場合には、試験対象 R A M 1 2 A の故障であると判定する。

[0098] また、L S I テスタ 2 は、試験パターン 0 と試験パターン 1 のそれぞれについて、ビット線故障の有無を判定し、ビット線故障がある場合に、データ変換の有無によって、ビット線故障のビット位置が変化するか否かを判定する。そして、L S I テスタ 2 は、データ変換の有無によって、ビット線故障のビット位置が変化した場合には、試験対象 R A M 1 2 A の故障であると判定する。

[0099] 以上述べたように、B I S T なし R A M 1 0 C を含む L S I 1 C によっても、実施例 2 と同様に、実速度での試験対象 R A M 1 2 A の試験において、結果格納 R A M 1 2 B に専用の予備領域を設けることなく、試験対象 R A M 1 2 A と、結果格納 R A M 1 2 B とでそれぞれ発生したエラーを区別することができる。

実施例 4

[0100] <ロウとカラムの導入>

R A M の容量が大きくなった場合に、R A M 内にセルをワード単位で配置すると、R A M 領域の縦横サイズのバランスが悪くなる。例えば $1024 \times 72 \text{ bit}$ の容量の R A M の場合、単純に 2 次元に R A M セルを配置すると縦に 1024 個、横に 72 個の R A M セルを配置することになり、縦に非常に長い配置になる。

[0101] R A M 領域が長く伸びることを回避するためにアドレスをロウとカラムという 2 つに分ける手法がとられる。例えばアドレスが 1024 の場合にロウ

= 256、カラム=4に分ける。アドレスはロウとカラムの組合せで表現されるため、 $256 \times 4 = 1024$ となり、1024のアドレスが表現できる。図27に、ロウ=256、カラム=4のRAM領域を例示する。

[0102] RAMアドレスの0~1023はロウ番号とカラム番号に分けられて、RAMセル・アレイをアクセスする。すなわち、ロウ・デコーダは、ロウ番号に対応するロウへのアクセス線を決定し、ロウを選択する。また、カラム・デコーダは、カラム番号に対応するカラムへのアクセス線を決定し、カラムを選択する。このようにして、ロウ番号とカラム番号とでアドレスが確定され、該当するアドレスのビット列がアクセスされる。

[0103] 図28に、RAMアドレスとロウ番号、カラム番号の対応を例示する。このような構成をとることにより、RAMセルの配置が縦256個、横288個となり、バランスよく配置できる。以下、実施例4では、図28のロウとカラムを含むRAMに、実施例1~3で説明した、アドレス反転によるアドレス変換と2ビット単位入れ替えによるビット変換を適用した場合を考える。

[0104] <アドレス変換とロウとの関係>

アドレス変換はワード線不良を回避するための手段であるが、ロウ・カラム構成のRAMではワード線不良はロウの不良となる。ここでアドレス変換によりどのようにロウ番号が変換されるかを考える。図28の対応表よりRAMアドレスの0~3に対するアクセスでロウ0が有効となるため、ロウ0の不良はRAMアドレス0~3の不良として現れる。ここでアドレス反転によるアドレス変換を行うと、RAMアドレス0~3はRAMアドレス1023~1020に変換される。RAMアドレス1023~1020はロウ255に対応する。

[0105] よって、ロウ0はロウ255に変換されることとなる。同様にロウ1はロウ254、…、ロウ255はロウ0に変換され、変換前後で同じロウを指すことはなく、アドレス変換の条件を満足する。

[0106] <ビット変換>

ロウ・カラム構成のRAMでは1つのビットは4つのカラムで構成される。ここで2ビット単位入れ替えによるビット変換を行った場合、1ビット＝4カラムの単位で入れ替えが発生する。この4カラムは重なることがない。よって、変換の前後で同じ位置になるカラムはないため、ビット変換の条件を満足する。

- [0107] 以上より、ロウ・カラム構成のRAMにおいても、アドレス反転によるアドレス変換および2ビット単位入れ替えによるビット変換は「変換前後で同じ場所に変換されない変換」という条件を満足するため故障を回避することができる。

実施例 5

- [0108] 上記実施例2では、例えば、図17に示したように、アドレス変換時に、全アドレスのビットを反転した。しかしながら、アドレス変換が、実施例2の構成に限定される訳ではない。要するに、アドレス変換の前後で、RAMデバイスのすべてのアドレス、言い換えると、結果可能RAM12Bの全ワードが移動すればよい。
- [0109] 結果可能RAM12Bの全ワードが移動するアドレス変換として、他の一例を図29に示す。実施例5では、アドレスの変換方法は、アドレスの各ビットのうち任意の1ビットを反転する。図29では、ビット0を反転する構成例を示している。すなわち、ビット0に、排他論理和ゲートが挿入され、反転制御信号によって、反転の有無が制御される。しかし、反転するビットは任意の1ビットでよく、ビット0に限定される訳ではない。また、このような任意の1ビットの反転によるアドレス変換により、変換後のアドレスが変換前と同じ値になることはない。実施例5の構成では、実施例2と比較して、少ないゲート数で、アドレス変換が可能となる。

- [0110] <実施例1～5の発明の効果>

試験対象RAM12Aの結果を結果格納RAM12BへPLL16のクロック信号で書き込むことにより実速度でFBMを取得できる。そのような実速度の試験において、

(1) 試験結果格納RAM 12Bにアドレス変換部122を設けることにより、試験結果格納RAM 12Bのワード線故障を回避する。

(2) 試験結果格納RAM 12Bにデータ変換部124を設けることにより、試験結果格納RAMのビット線故障を回避する。

[0111] 以上の2つの構成の追加により、試験結果格納RAM 12Bの故障回避のために予備領域を持った専用RAMを用いることなく、信頼度の高い実速度試験が回避可能となる。

符号の説明

[0112] 1、1A、1B、1C LSI
 2 LSI テスタ
 10、10C BIST付RAM
 11 試験制御回路
 12 RAM
 12A 試験対象RAM
 12B 結果格納RAM
 13 レジスタ
 14 比較器
 15 結果レジスタ
 16 PLL
 21 テストプログラム
 22 試験データ
 121 アドレスバス
 122 アドレス変換部
 123 アドレスデコーダ
 124 データ変換部

請求の範囲

- [請求項1] 試験装置が、試験回路を有する半導体集積回路に搭載されたメモリを試験する試験方法であって、
- 前記試験回路により前記メモリの試験対象領域に試験データを書き込むステップと、
- 前記メモリの試験対象領域から前記書き込んだデータを前記試験回路により読み出すステップと、
- 前記メモリの試験対象領域から読み出したデータを前記試験回路により前記メモリの結果格納領域に第1のデータ配置で書き込むステップと、
- 前記メモリの結果格納領域に書き込まれたデータを読み出して、対照データと比較し、第1の比較結果を取得するステップと、
- 前記メモリの試験対象領域から読み出したデータを、前記試験回路により前記メモリの結果格納領域内で前記第1のデータ配置とは異なる第2のデータ配置となるように書き込み先を変換しながら、前記メモリの結果格納領域に再度書き込むステップと、
- 前記メモリの結果格納領域に再度書き込んだデータを読み出して、前記対照データと比較し、第2の比較結果を取得するステップと、
- 前記第1の比較結果と第2の比較結果に応じて、前記メモリの不良位置を特定する特定ステップとを実行する試験方法。
- [請求項2] 前記特定ステップは、第1の比較結果での不良位置と第2の比較結果での不良位置が一致した場合には、前記メモリの結果格納領域で不良位置を特定し、第1の比較結果での不良位置と第2の比較結果での不良位置が一致しない場合には、前記メモリの試験対象領域の不良位置を特定するステップを含む、請求項1に記載の試験方法。
- [請求項3] 前記試験対象領域からのデータの読み出し及び結果格納領域へのデータの書き込みは、前記メモリの通常動作時の動作周波数で行われ、
- 前記結果格納領域からのデータの読み出しは、前記結果格納領域へ

のデータ書き込み時の動作周波数よりも低い動作周波数で行われることを特徴とする請求項 1 または 2 に記載の試験方法。

[請求項4]

メモリと、

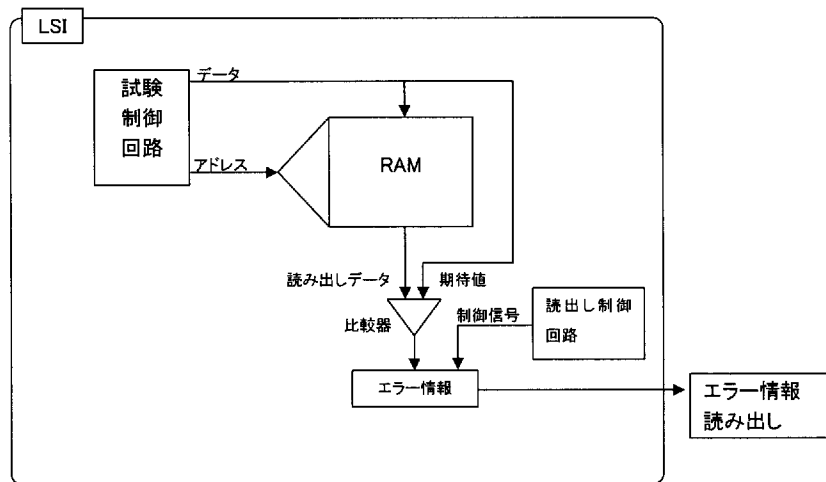
前記メモリの試験を実行する試験回路と、

前記試験回路による前記メモリの試験対象領域から読み出したデータを前記メモリの結果格納領域に書き込む時に、前記結果格納領域内での前記データの配置が第 1 のデータ配置または第 2 データ配置となるように前記データの書き込み先を変換する変換部と、を有する半導体集積回路。

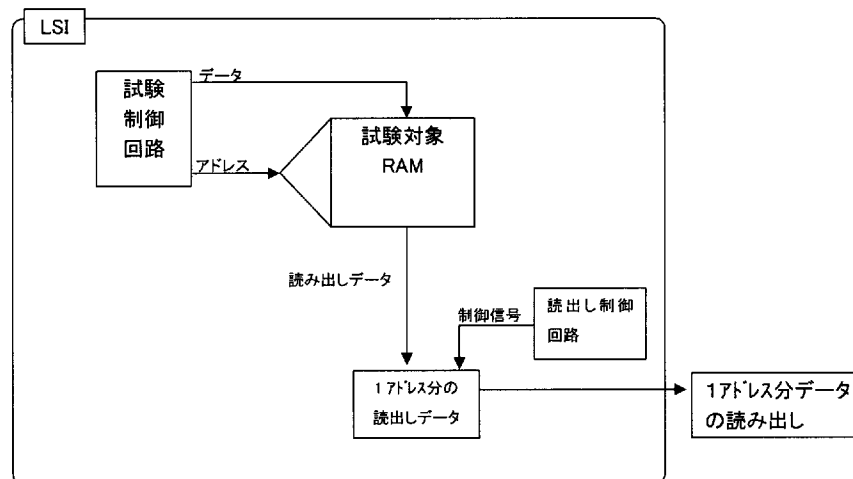
[請求項5]

前記メモリは、複数のメモリデバイスを有し、前記試験対象領域は、前記複数のメモリデバイスの 1 つであり、前記結果格納領域は、前記複数のメモリデバイスの他の 1 つである請求項 4 に記載の半導体集積回路。

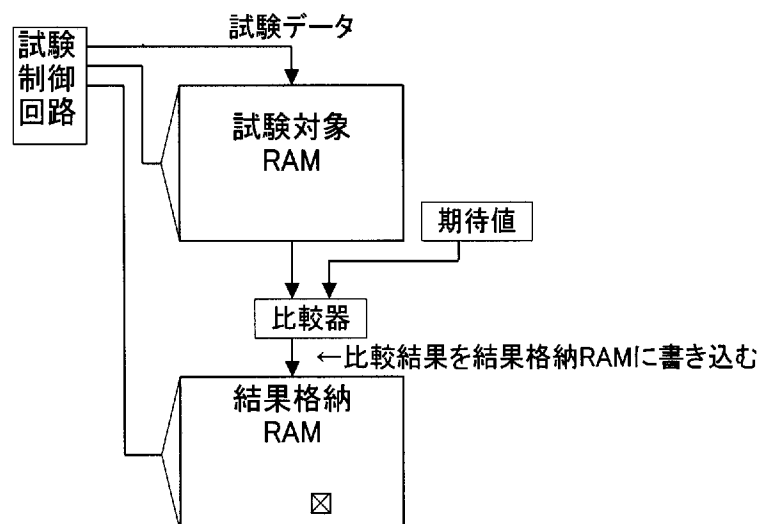
[図1]



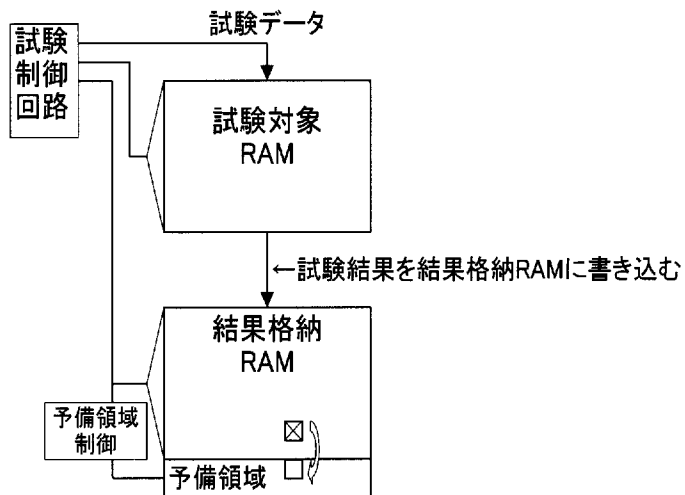
[図2]



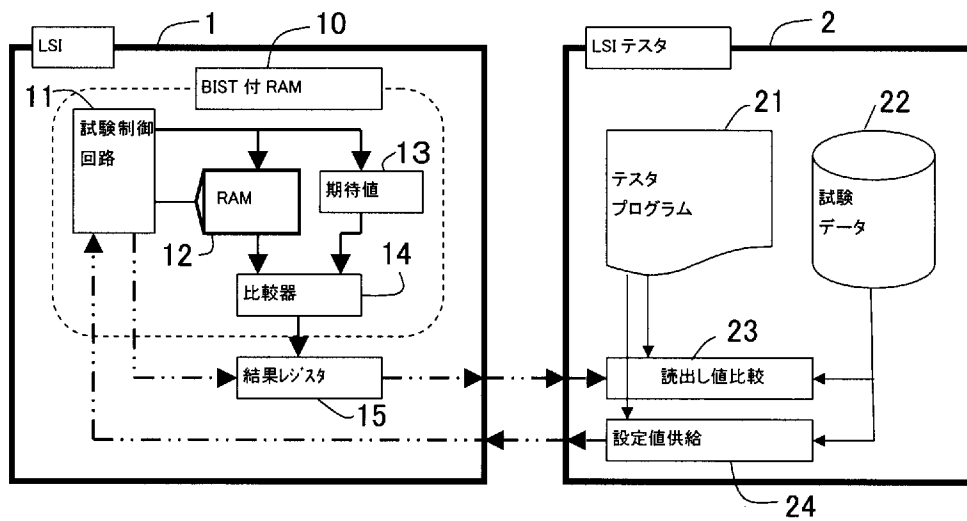
[図3]



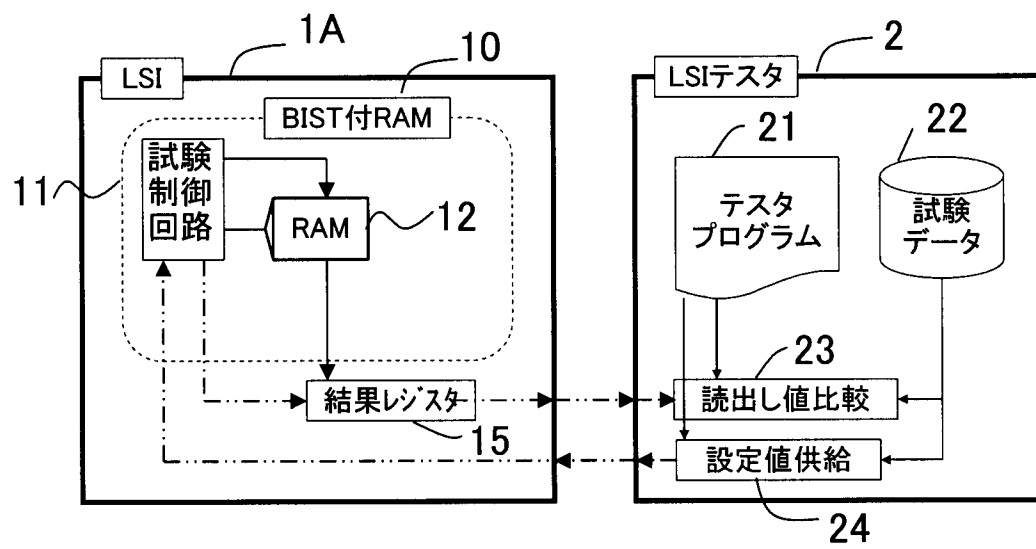
[図4]



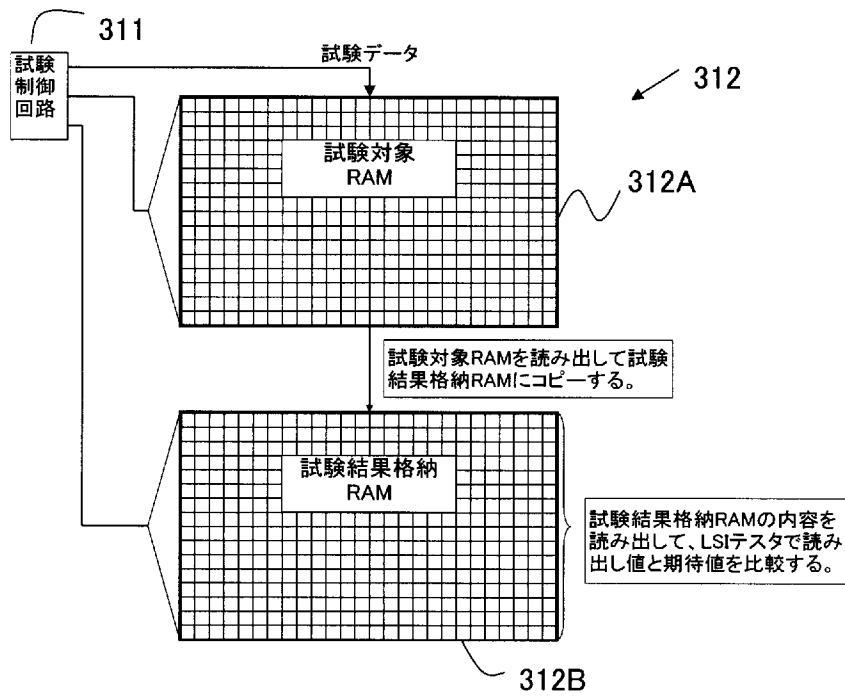
[図5]



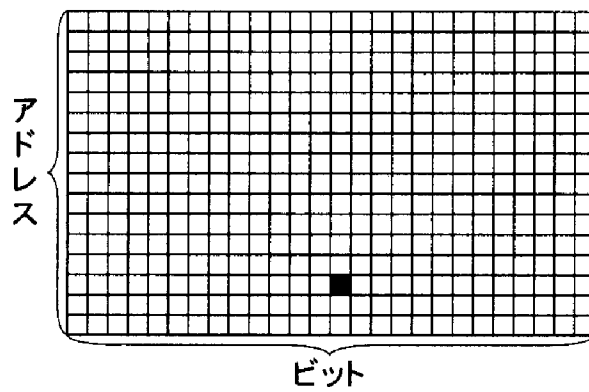
[図6]



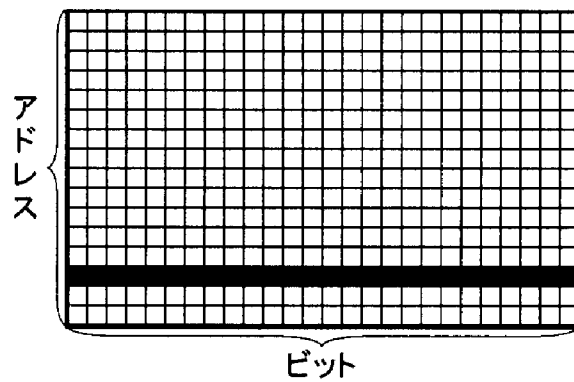
[図7]



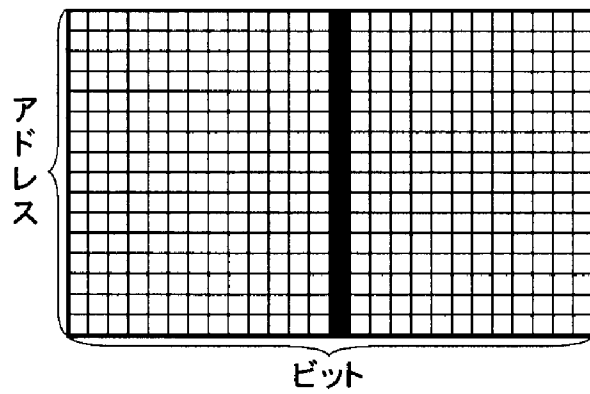
[図8]



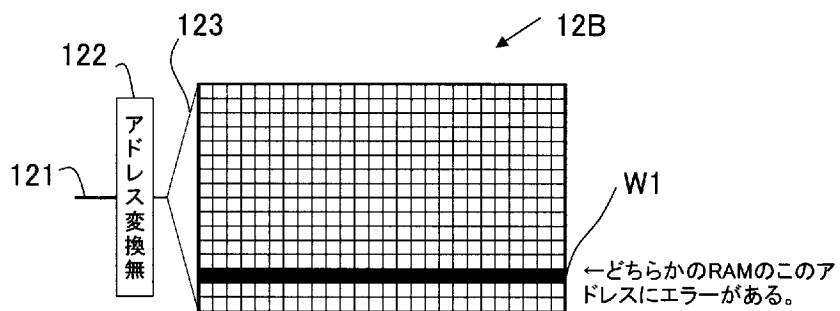
[図9]



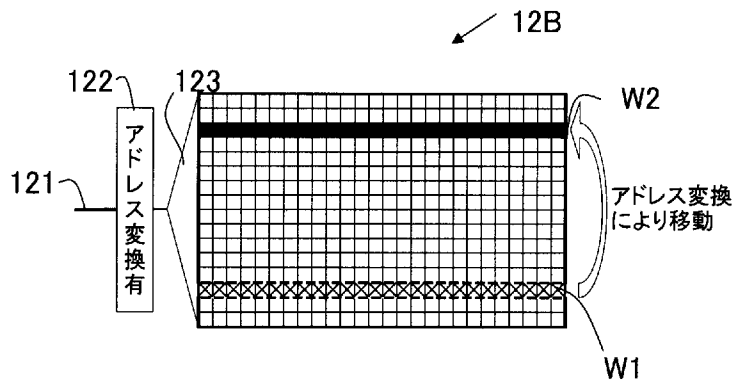
[図10]



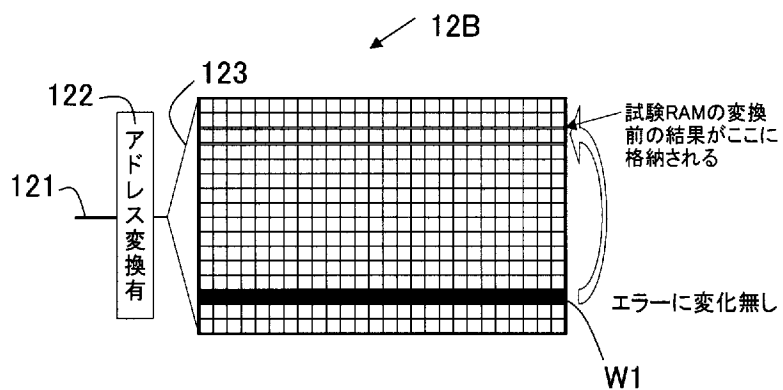
[図11]

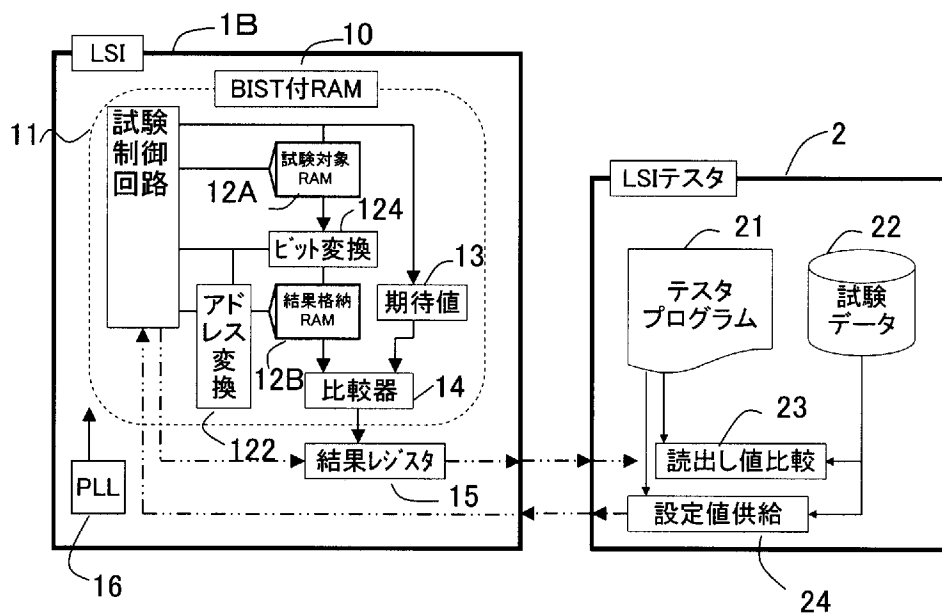
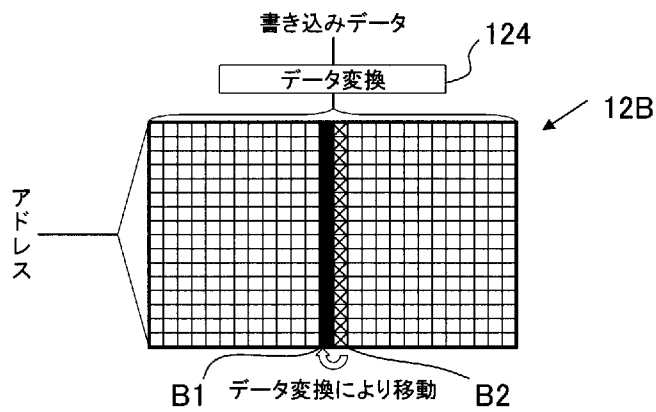


[図12]

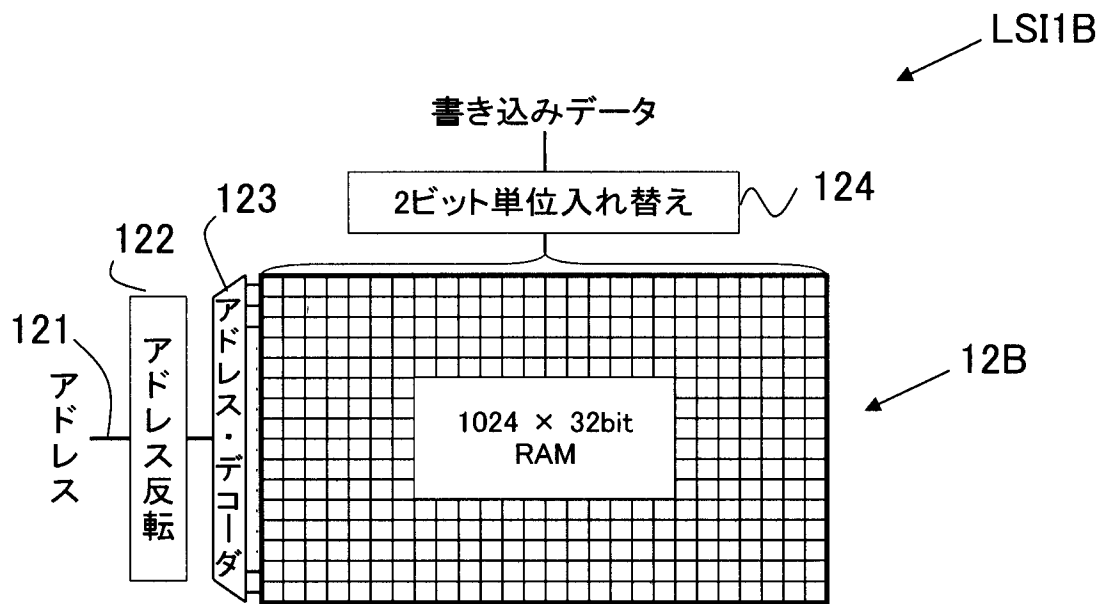


[図13]

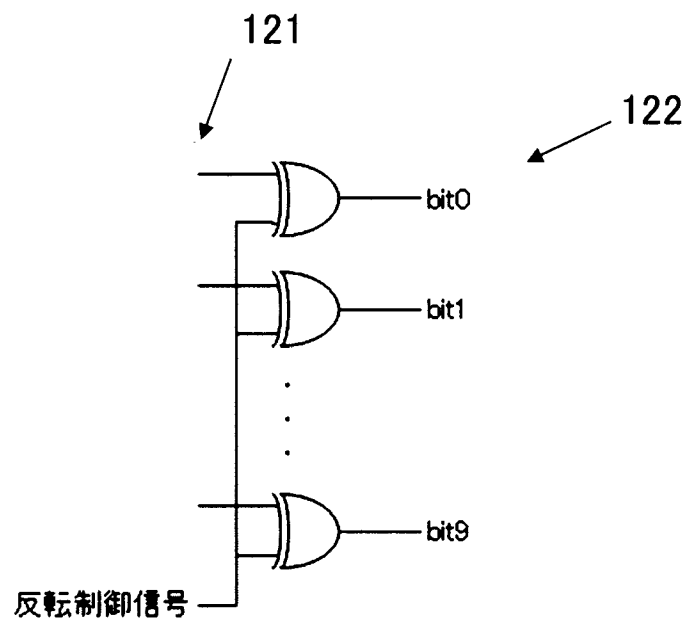




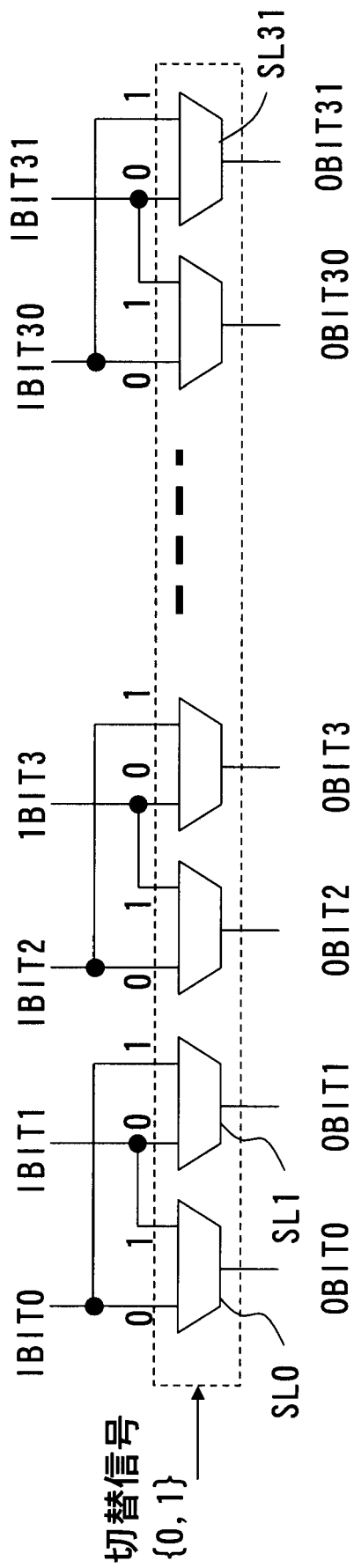
[図16]



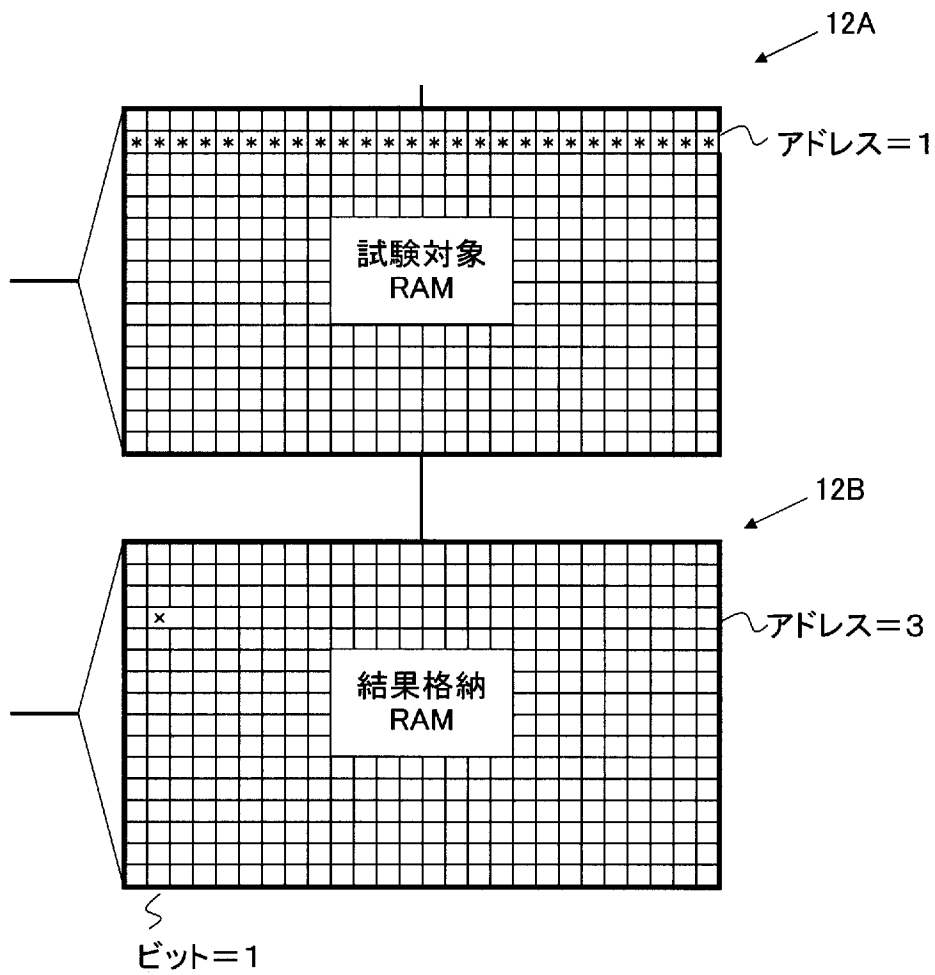
[図17]



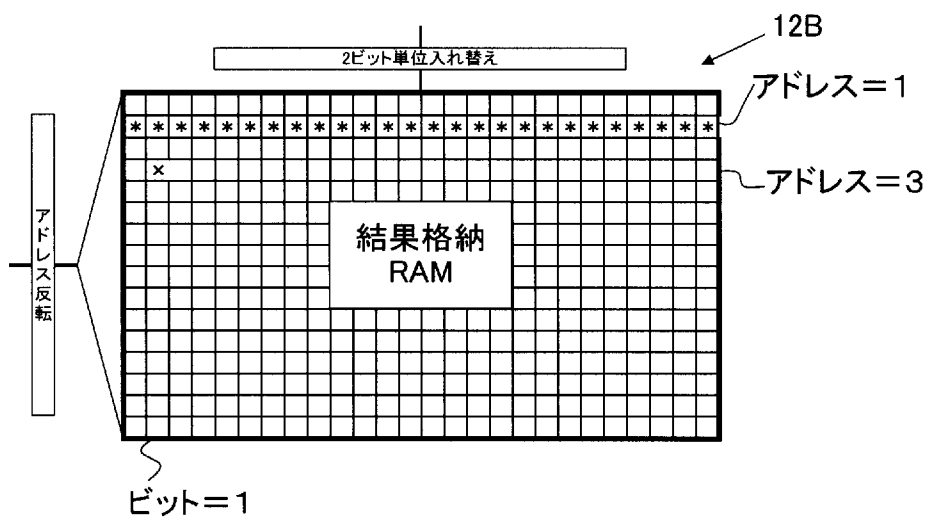
[図18]



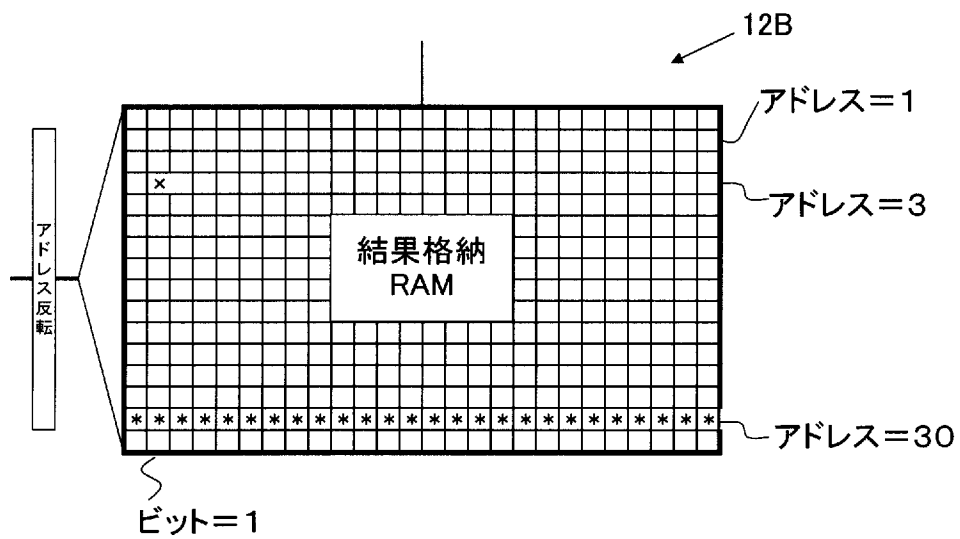
[図19]



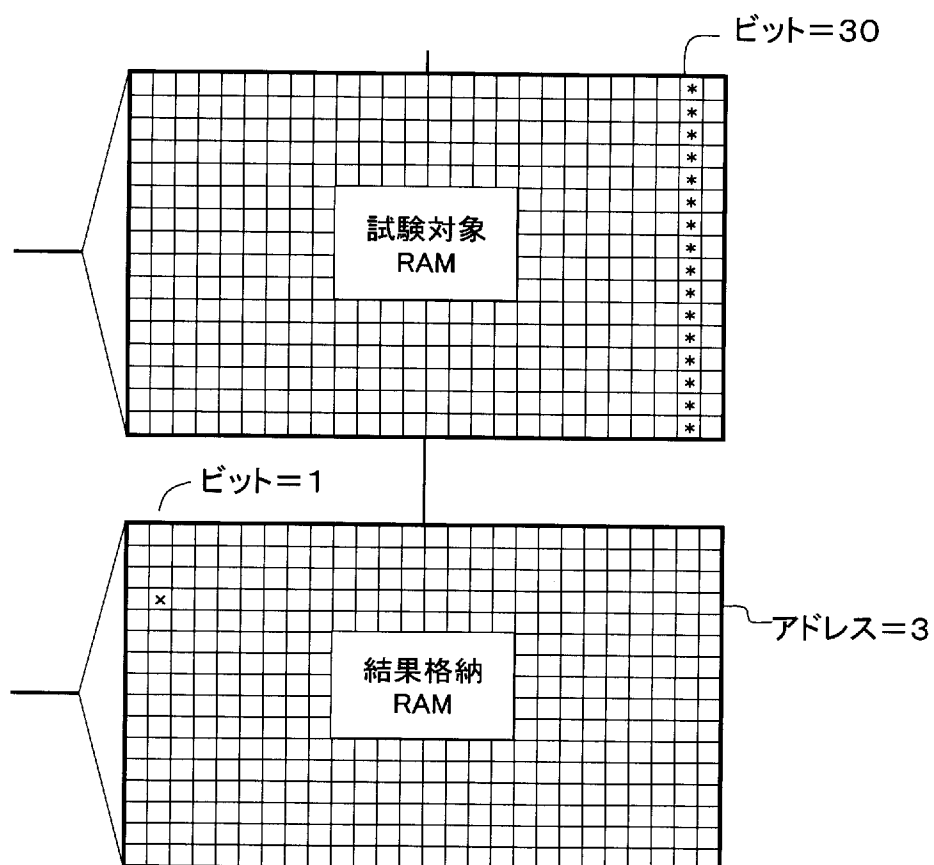
[図20]



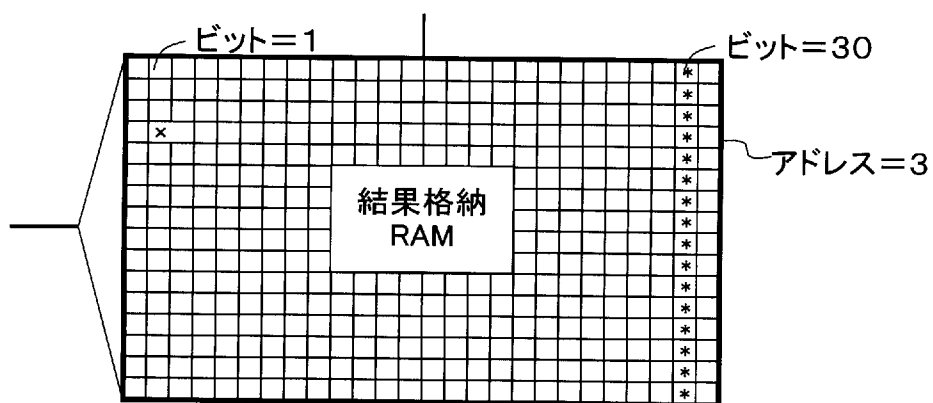
[図21]



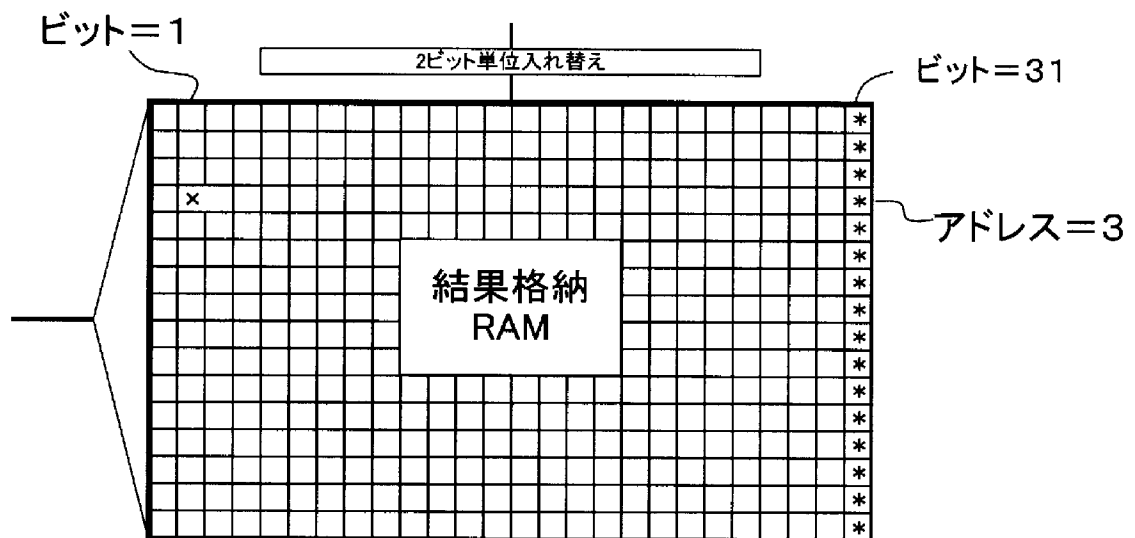
[図22]



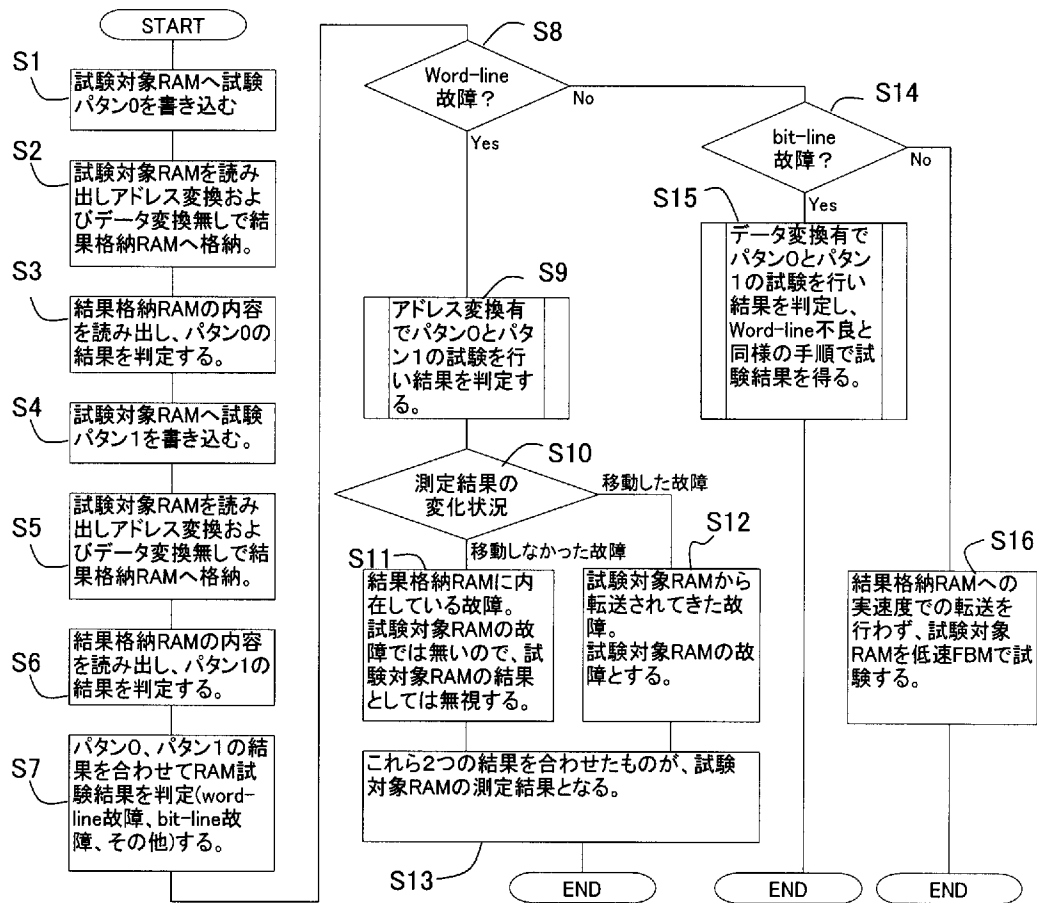
[図23]



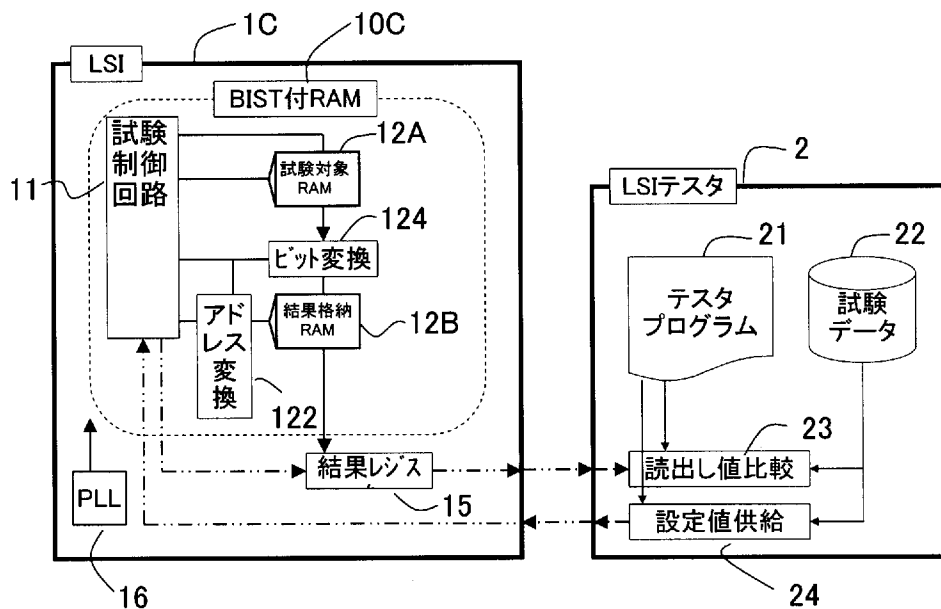
[図24]



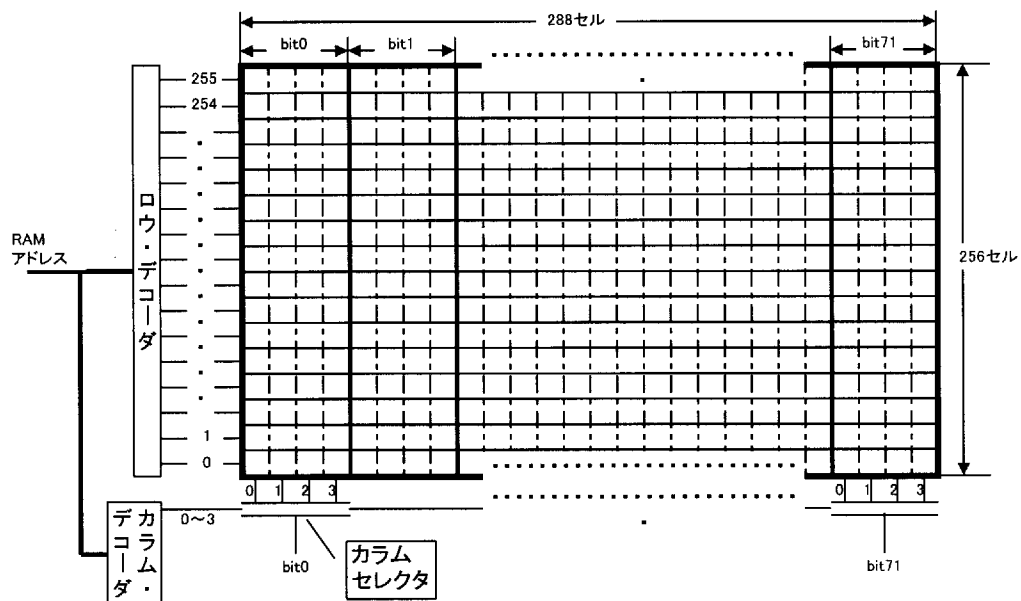
[図25]



[図26]



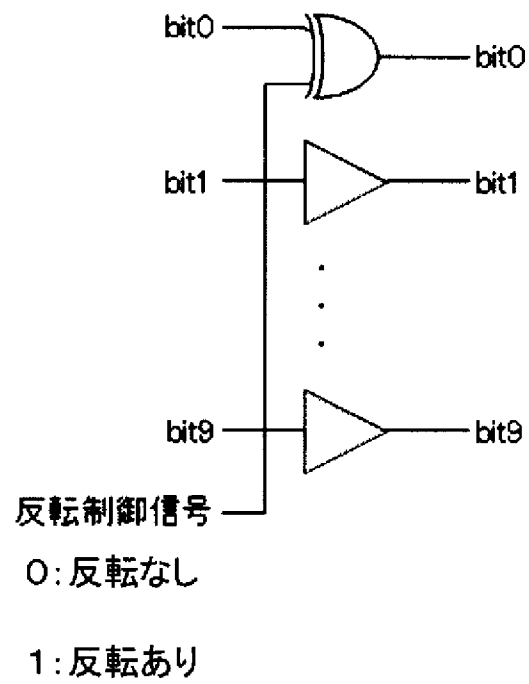
[図27]



[図28]

RAMアドレス	ロウ番号	カラム番号
0	0	0
1	0	1
2	0	2
3	0	3
4	1	0
5	1	1
6	1	2
7	1	3
⋮	⋮	⋮
⋮	⋮	⋮
1020	255	0
1021	255	1
1022	255	2
1023	255	3

[図29]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/058834

A. CLASSIFICATION OF SUBJECT MATTER

G11C29/12 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C29/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2011

Kokai Jitsuyo Shinan Koho 1971-2011 Toroku Jitsuyo Shinan Koho 1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A Y	JP 3-62245 A (NEC Corp.), 18 March 1991 (18.03.1991), entire text; all drawings (Family: none)	1-3 4, 5
A Y	JP 58-205992 A (Fujitsu Ltd.), 01 December 1983 (01.12.1983), entire text; all drawings (Family: none)	1-3 4, 5
A Y	JP 2001-256793 A (Toshiba Corp.), 21 September 2001 (21.09.2001), fig. 1, 2, 17 (Family: none)	1-3 4, 5

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
27 June, 2011 (27.06.11)Date of mailing of the international search report
05 July, 2011 (05.07.11)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/058834

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A Y	JP 5-189327 A (Fujitsu Ltd.), 30 July 1993 (30.07.1993), abstract; fig. 1 (Family: none)	1-3 4, 5
A Y	JP 61-14540 B2 (Fujitsu Ltd.), 19 April 1986 (19.04.1986), fig. 1 (Family: none)	1-3 4, 5
A	JP 63-161600 A (Nippon Telegraph and Telephone Corp.), 05 July 1988 (05.07.1988), claims (Family: none)	1-5

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G11C29/12 (2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G11C29/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A Y	JP 3-62245 A (日本電気株式会社) 1991.03.18, 全文、全図 (ファミリーなし)	1 - 3 4, 5
A Y	JP 58-205992 A (富士通株式会社) 1983.12.01, 全文、全図 (ファミリーなし)	1 - 3 4, 5
A Y	JP 2001-256793 A (株式会社東芝) 2001.09.21, 図1, 2, 17 (ファミリーなし)	1 - 3 4, 5

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 7 . 0 6 . 2 0 1 1

国際調査報告の発送日

0 5 . 0 7 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

小林 紀和

5 N

4 2 4 0

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 8 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A Y	JP 5-189327 A (富士通株式会社) 1993. 07. 30, 要約、図 1 (ファミリーなし)	1 - 3 4, 5
A Y	JP 61-14540 B2 (富士通株式会社) 1986. 04. 19, 第 1 図 (ファミリーなし)	1 - 3 4, 5
A	JP 63-161600 A (日本電信電話株式会社) 1988. 07. 05, 特許請求の範囲 (ファミリーなし)	1 - 5