

本 告 公

申請日期	87.12.24
案 號	87119841
類 別	1611/08-911C

A4
C4

418527

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 新 型	中 文	三態動態隨機存取記憶體
	英 文	THREE STATE DYNAMIC RANDOM ACCESS MEMORY
二、發明 人 創 作	姓 名	1. 宮井羊一 (Yoichi Miyai) 2. 中村浩也 (Hiroya Nakamura)
	國 籍	1-2. 皆日本籍
三、申請人	住、居所	1. 日本東京都官田市淨水本町 6-5-8-303 6-5-8-303 Josuihoncho, Kanda City, Tokyo 187-002 Japan 2. 日本茨城縣筑波市松城 4-15-2 1-503, 4-15-2 Matsushiro, Tsukuba City, IBARAKI 300-11 Japan
	姓 名 (名稱)	美商德州儀器公司 Texas Instruments Incorporated
	國 籍	美國
	住、居所 (事務所)	美國德克薩斯州達拉斯市丘爾奇路 7839 號 7839 Churchill Way, Mail Station 3999, Dallas, TX 75251 U.S.A.
	代 表 人 姓 名	康威廉 (William B. Kempler)

裝 訂 線

經濟部中央標準局員工消費合作社印製

418527

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

美 國 (地區) 申請專利，申請日期： 案號： ☒ 有 ☐ 無主張優先權
西元 1997 年 12 月 1 日 60/067,178

有關微生物已寄存於： 寄存日期： 寄存號碼：

(請先閱讀非之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

技術領域

本發明一般相關於半導體記憶體裝置，更特定於具有可儲存兩種以上邏輯狀態的記憶體細胞之半導體記憶體裝置。

發明背景

半導體記憶體裝置製造過程中一項推動因素是希望達到更高密度的記憶體裝置。這篇文章中的密度係指可以儲存在特定區域中的數字資料位元。有為數眾多的技術性方法可用來增加記憶體裝置密度。例如，在隨機存取記憶體(DRAM)的情形，記憶體細胞通常有傳遞電晶體及一儲存電容器。電容器結構的變化被引用來增加密度。例如，"溝渠"電容器增加垂直面積並維持相當小的水平面積。"堆疊"電容結構將電容面積的大部分放在基質上。

而這樣的特殊化的電容可以增加 DRAM 密度，兩者都需要半導體基質上的某些最小面積。因而，增加記憶體裝置密度的主要方法，是降低記憶體細胞的實際大小。不幸的是，記憶體細胞大小的減少可能造成由記憶體細胞提供的資料信號強度之減少。這在 DRAMs 是特別確實的。在 DRAM 記憶體細胞中，因電容面積的減少，所以從儲存在電容器中的電荷量，及因之記憶體細胞產生的資料信號也減小。結果記憶體細胞可以降低的量有一

五、發明說明 (2)

限制。

傳統的半導體記憶體裝置通常包含記憶體細胞儲存二進位形式的資訊。在 DRAMs 的情形，儲存電容通常充到一高電壓以儲存一邏輯 "1" 的值，或是一低電壓來儲存邏輯 "0" 的值。操作中，此電容通常連結到一位元線來產生此位元線上的電位變動。記憶體細胞的邏輯值接著由對位元線上的電位變化與一參考電位做比較而決定。

為了更清楚的了解傳統二進位感測的配置，一先前技藝之二進位感測電路在圖 1 中描述。此感測電路被標示為一般參考字元 100，並包含具有一對左位元線(104a 及 104b)的左記憶體細胞陣列 102，以及具有一對右位元線(108a 及 108b)的右記憶體細胞陣列 106。此位元線對(104a/b 及 108a/b)藉由左與右的轉換開(114 及 116)連結到一對的感測節點(110 及 112)。配置在感測節點間的(110 及 112)是感測放大器 118，一局部的輸入/輸出(I/O)線路電路 120，以及預充電及等化電路 122。

先前技藝之二進位感測配置的動作藉由在圖 2 中描述的時序圖加以說明。此感測電路由控制信號/RAS ("列位址致動"信號)在時間點 t_0 從高到低電壓的轉變而進入作動模式。在此時間點上，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (3)

應注意信號 EQ 為且在之前已為高電位準。因此，在此預充電及等化電路 122 中的 n-通道 MOS 電晶體全部導通，並且兩個感測節點 110 短路接在一起而帶來參考電壓，顯示為 V_{ref} 。

在時間點 t_1 ，EQ 信號由高電壓掉落到低電壓位準。這將此預充電及等化電路 122 截止。感測節點(110 及 112)因而被隔開且預充電到 V_{ref} 電位。在時間點 t_1 ，信號 CPGL 或 CPGR 其中的一個掉落到低電位而其他的維持在高電位，將一對位元線與感測點(110 及 112)隔開並維持其他對的位元線連結到感測點(110 及 112)。在圖 2 的情形下，轉換開 114 由信號 CPGL 保持在高電位而 CPGR 變成低電位而維持在致能狀態。位元線(104a/b 及 108a/b)維持預充電在 V_{ref} 電位上。

在時間點 t_2 ，一字線被推動到高電位，將一記憶體細胞連結到一位元線。如圖 1 中所示，左邊的記憶體細胞陣列 102 顯示了包含字線，WL0L 及 WL1L，而右邊的記憶體細胞陣列 104 顯示了包含字線 WL0R 及 WL1R。對於圖 1 及 2 的說明，其假設字線 WL0L 被推動為高電位。電晶體 N100 導通，而電容器 C100 連結到字元線 104a。如所記得的，兩個位元線(104a 及 104b)在之前已充電到 V_{ref} 。因此，當電容器 C100 連結到位元線 104a 時，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (4)

位元線 104a 的電位會在 Vref 電位上變動，而位元線 104b 則保持在 Vref。假設電容器 C100 儲存為邏輯"1"值(被充電到高電壓)，而所以位元線 104a 會上升超過 Vref 電位。

因為轉換開 114 維持致能，位元線 104a 連結到感測節點 110 而位元線 104b 連結到感測節點 112，而位元線 104a 與 104b 上電荷量的差別，由字線的致動而產生，為感測節點 110 及 112 分別的共用。結果，感測節點 110 上升到比感測節點 112 為高的電位。

在時間點 t4，感測放大器 118 啟動，而感測節點(110 及 112)根據感測節點間(110 及 112)的差異電壓而推到相反電源電壓位準。在圖 1 的特定電路中，感測放大器 118 被兩個互補的信號 SAN 及 SAP 所啟動。所以，因為感測節點 110 的電位比感測節點 112 為高，感測節點 110 被推動到高電壓而感測節點 112 則被推到低電壓。這是在 DRAM 中感測二進位資訊的主要步驟。位元線的電位被記憶體細胞資料改到比參考電壓還高或還低的電位。參考電壓與位元線的差異被放大來產生資料信號。

在時間點 t5 及 t6 間的時間週期上，感測節點(110 及 112)上的強度信號連結到局部 I/O(LIO)線，藉由 LIO 電路 120 的動作。

五、發明說明 (5)

YSEL 信號變成高電位，而感測節點(110 及 112)都接到不同的 LIO 線。LIO 線上的的資料可以接著放大並輸出。

在時間點 t7，/RAS 信號回到高電位。在大約同一時間，字線 WL0L 回到低電位，將電容器 C100 與位元線 104a 隔開。EQ 信號變成高電位，將感測節點(110 及 112)預充電至 Vref 電壓。應注意的，CGPL 信號維持在高電位，並且所以位元線對(104a 及 104b)慢速的預充電至 Vref 電壓。在時間點 t8，CPGR 信號回到高電位。

圖 3a 及 3b 說明一先前 DRAM 記憶體細胞的二進位儲存方法。圖 3a 說明二進位 1 的儲存而圖 3 說明二進位 0 的儲存。這兩種情形下，電壓 VCC 為較高的電源電壓而電壓 VSS 為低電源電壓(零伏特)。此記憶體細胞包含一 n-通道 MOS 電晶體 N300 以及儲存電容器 C300。在圖 3a 的情形下，儲存電容器 C300 有一電位 VCC 的儲存節點 300 及電位 1/2VCC 的金屬板節點 302。在圖 3b 的情形下，儲存節點 300 為低電源電位 VSS 而金屬板節點為相同的 1/2VCC 電位。這種二進位儲存方法，優點是用 Vref 電位來感測等於 1/2VCC 的邏輯信號。

一種增加記憶體裝置密度的相當不同方法牽涉到捨棄傳

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (6)

統的儲存方法，取而代之的，利用一可儲存超過一種狀態的記憶體細胞。這種多狀態裝置的一個壞處是通常需要在製造過程中有特殊步驟，並因而不總是容易而可靠的製作。

希望的是提供一種有多狀態記憶體細胞的記憶體裝置，其可以不需要特殊的處理步驟的製作。

發明摘要

根據一較佳具體實例，一 DRAM 記憶體裝置包含標準的記憶體細胞，其可以儲存三種不同的狀態。在讀取動作中，標準記憶體細胞中的儲存電容器連結到一共同的感測節點，來產生之上的電壓變動。此共同的感測節點係由連結第一感測節點到第二感測節點而形成。一旦電壓變動在共同感測節點上產生，此第一與第二感測節點彼此間被隔絕開。依記憶體細胞的狀態而定的，第一與第二感測節點將會處於資料高電位，資料中間電位，或是資料低電位。

第一感測節點由第一感測放大器推到高或低邏輯位準，其將第一感測節點上的電壓與第一參考電壓比較。第一參考電壓比資料中間電位高，但比資料高電位為低。第二感測節點由第二感測放大器推到高或低邏輯位準，其將第二感測節點上的電壓與

五、發明說明 (7)

第二參考電壓比較。第二參考電壓低於資料中間電位，但是大於資料低電位。第一與第二感測節點的結果邏輯位準備用來轉換此三態(三進位)資訊為二進位資訊。

根據此較佳具體實例的一個觀點，此第一與第二參考電壓由第一與第二模擬記憶體細胞提供在第一與第二感測節點上。此第一與第二模擬記憶體細胞有儲存電容器分別連結到此第一與第二參考節點。對第一模擬記憶體細胞電容上的電荷加以選擇，如此第一參考電壓將會是在資料高電位與資料中間電位的中間值。對第二模擬記憶體細胞電容上的電荷加以選擇，如此第二參考電壓將會是在資料中間電位與資料低電位的中間值。

根據此較佳具體實例的另一觀點，此模擬記憶體細胞的儲存電容器大小與標準記憶體細胞的儲存電容器的大小相等。小於電源供應電壓的預定電壓被用來對模擬記憶體細胞的儲存電容充電。

根據此較佳具體實例的另一個觀點，模擬記憶體細胞的儲存電容小於標準記憶體細胞的儲存電容。相等於電源電壓的電位被用來對模擬記憶體細胞的儲存電容充電。

根據此較佳具體實例的另一個觀點，來自兩個不同記憶

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

體細胞陣列其中之一的位元線由兩組的轉換開連結到第一與第二感測節點。

圖式簡述

圖 1 為先前技藝之二進位感測電路的示意圖。

圖 2 為說明在圖 1 中描述的電路動作之時序圖。

圖 3a 及 3b 說明根據先前技藝以二進位形式儲存資訊的 DRAM 細胞。

圖 4 為較佳具體實例的示意圖。

圖 5a-5e 為包含在圖 4 較佳具體實例中的電路示意圖。

圖 6a-6c 說明根據較佳具體實例之 DRAM 記憶體細胞的三種儲存狀態。

圖 7 為說明圖 4 中描述之較佳具體實例的不同控制信號及節點的時序圖。

圖 8a 及 8b 為說明圖 4 的較佳具體實例的感測節點及參考節點在讀取及寫入不同的三種資料信號期間的電壓位準的時序圖。

圖 9 為說明根據較佳具體實例之感測放大器時序信號產生的邏輯圖。

五、發明說明 (9)

圖 10 為說明三種細胞資料與在局部輸入/輸出(LIO)線上電位間的對應關係表。

圖 11 為說明二進位資料細胞等於三種細胞資料值的表。

圖 12 說明比較佳具體實例的配置方法。

具體實例的詳細說明

現在參考圖 4, 描述一示意圖來說明 DRAM 的感測電路, 其以三進位形式儲存資料。此感測電路以一般的參考字元 400 標示並可概念化為左邊 402 及右邊 404 由一等化電路 406 合併。較佳具體實例 400 的左與右邊(402 及 404)有相同的一般元件。因此, 兩邊的類似元件將以相同的參考字元數字來參考, 在左邊 402 的元件結尾是字母"a", 而右邊 404 上的元件結尾是字母"b"。

每一邊(402 及 404)包含一個陣列的 DRAM 記憶體細胞(408a 及 408b), 其提供第一位元線(410a 及 410b)及第二位緣線(412a 及 412b)。一轉換閘(414a 及 414b)將第一位元線(410a 及 410b)連結到第一感測節點(416a 及 416b), 而第二位緣線(412a 及 412b)連結到第二感測節點(418a 及 418b)。三個電路連結在第一(416a 及 416b)與第二感測節點(418a 及 418b)之間: 一局部輸入/輸出(LIO)電路(420a 及 420b), 一參考電壓電路(422a 及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (10)

422b)，以及一感測放大器(424a 及 424b)。此第一節點(416a 及 416b)及第二節點(418a 及 418b)由內部閘(426a 及 426b)連結到等化電路 406。

包含在較佳具體實例 400 中的某些電路的詳盡示意圖在圖 5a-5e 中描述。

圖 5a 描述部份的記憶體陣列。記憶體陣列 408 包含記憶體細胞 M400 及 M402，其以三種狀態來儲存資料，取代二進位的形式。

回應於位址信號，記憶體陣列 408 在一位元上產生三進位的資料信號。此偶數字線 WLA 將記憶體細胞 M400 連結到第一位元線 410，奇數字線 WLB 將記憶體細胞 M402 連結到第二位元線 412。在較佳具體實例中，當偶數字線致動時，一記憶體細胞連結到第一位元線 410 而奇數字線則維持在預充電的電壓，或是反過來。如此的話，位元線對的一位元線提供資料信號，而其他的位元線則提供預充電信號。

可以理解的因為偶數字線(例如 WLA)將記憶體細胞連結到第一位元線(410a 及 410b)，這些字元線(410a 及 410b)可以當成是"偶數"位元線。類似的，位元線(412a 及 412b)可以當成是"奇數"位

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (11)

元線。在這些相同的線之間，第一感測節點(416a 及 416b)也可以認為是"偶數"的感測節點，當偶數字線致動時會把三態的資料信號放在第一感測節點(416a 及 416b)上。接著第二感測節點(418a 及 418b)可以認為是"奇數"的節點。在較佳具體實例 400 的動作中，如果偶數字線被致動，則奇數感測節點(418a 及 418b)將會提供參考電壓。相反的，如果奇數字線被致動，偶數的感測節點(416a 及 416b)將會提供參考電壓。

還應注意的當較佳具體實例 400 描述一有第一感測及第二放大器(424a 及 424b) 配置在記憶體陣列(408a 及 408b)間的配置時，另一種配置可包含在一陣列的反面端的第一與第二感測放大器 (424a 及 424b)。

圖 5b 說明轉換閘 414。此轉換閘 414 將第一與第二位元線(410 及 412)連結到第一及第二感測節點(416 及 418)來提供三態資料信號到感測放大器 424。此轉換閘 414 顯示包含並聯的兩個 n-通道 MOS 電晶體。兩個電晶體的閘極同時接收 SHRR/L 信號。信號識別的最後一個字母表示有一 "左邊"信號及一"右邊"信號。因此，圖 4 的左轉換閘 414a 由 SHRL 信號致動，而右轉換閘 414b 由 SHRR 信號致動。SHRL/R 信號可能是"激發"信號。

五、發明說明 (12)

也就是，當為高電位時，此信號可能超過最大電源供應電壓以便消除引起臨限電壓掉落在位元線(410 及 412)與感測節點(416 及 418)之間。

圖 5c 說明一感測放大器 424。如圖 4 中所示的，在較佳具體實例中，利用了兩個感測放大器(424a 及 424b)。一個感測放大器 424a 推動其感測節點(416a 及 418a)到相反的電壓以回應於三態資料信號在一感測節點上產生的差異電壓，以及在其他感測節點上的第一參考電壓。類似的，其他的感測放大器 424b 推動一感測節點(416b 及 418b)到相反的電壓以回應於三態資料信號在其感測節點上產生的差異電壓，以及在其他感測節點上的第二參考電壓。

在圖 5c 的特定具體實例中，此感測放大器是有第一 CMOS 驅動器的 CMOS 感測放大器，由 p-通道 MOS 電晶體 P400 及 n-通道 MOS 電晶體 N400 形成的，跨接到第二 CMOS 驅動器，由 p-通道 MOS 電晶體 P402 與 n-通道 MOS 電晶體 N402 形成的。電晶體 P400 及 P402 的源極由 p-通道 MOS 電晶體 P404 連結到一高感測放大器電源電壓，顯示為 SDP。電晶體 P404 的閘極由一感測放大器致能信號 SAPS 所驅動。類似的方式，電晶體 N400

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (13)

及 N402 的源極由 n-通道 MOS 電晶體 N404 連結到低感測放大器電源供應電壓，顯示為 SDN。電晶體 N404 的閘極由感測放大器致能信號 SANS 驅動。當被低電位的 SAPS 信號極高電位 SANS 信號致能時，感測放大器 424 電路將感測節點(416 或 418)其中之一連結到 SDP 電壓，而其他感測節點(418 或 416)連結到 SDN 電壓。

圖 5d 描述一 LIO 電路 420。此 LIO 電路 420 係用來將一對感測節點(416 及 418)上的資料連結到一對的 LIO 線 428。在圖 4 中描述的較佳具體實例中，其為左邊 LIO 線 428a 及右邊 LIO 線 428b 上的資料組合，其表示二進位信號以回應於三態的資料信號。此 LIO 電路 420 包含第一 n-通道 MOS 電晶體 N406，用來連結第一感測節點 416 到一 LIO 線，而第二 n-通道 MOS 電晶體 N408，用來連結第二感測節點 418 到其他的 LIO 線。電晶體 N406 及 N408 的閘極同時由 YSEL 信號推動。

圖 5e 描述示意圖中的等化電路 406。參考回圖 4，等化電路 406 與內部閘(426a 及 426b)及轉換閘(414a 及 414b)一起操作來對感測節點(416a/b，418a/b)及位元線(410a/b 及 412a/b)預充電預充電壓，VBLR。等化電路 406 配置在等化節點 430 與 432

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (14)

之間，並顯示包含 n-通道 MOS 短路電晶體 N410，以及兩個 n-通道 MOS 預充電電晶體 N412 及 N414。電晶體 N410、N412 及 N414 的閘極一起由 EQ 信號推動。當等化電路 406 被高 EQ 信號致動，短路電晶體 N410 將等化節點(430 及 432)短路在一起，而預充電晶體(N412 及 N414)提供預充電電壓 VBLR 到等化節點(430 及 432)。在較佳具體實例 400 中，預充電電壓 VBLR 為電源電壓 VCC 及 VSS 的中間值。

應注意到內部閘(426a 及 426b)與等化節點(430 及 432)的組合可一起看成是一內部閘電路，其操作來將左邊感測節點對(416a 及 418a)連結到右邊感測節點對(416b 及 418b)。

參考回圖 4，其詳細的顯示參考電壓電路(422a 及 422b)以及內部閘(426a 及 426b)。在此較佳具體實例 400 中，兩參考電路(422a 及 422b)都採用模擬細胞來產生參考電壓。第一參考電壓電路 422a 顯示包含兩個模擬記憶體細胞。第一模擬記憶體細胞包含穿越電晶體 N416a 以及儲存電容器 C400a。第二模擬記憶體細胞包含穿越電晶體 N418a 及一儲存電容器 C402a。第一模擬記憶體細胞由偶數模擬字線信號 DWLA 連結到第二感測節點 418a。無論何時當偶數字線，不管是記憶體細胞陣列 408a 或是 408b 的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (15)

被推到高電位時，DWLA 為高電位。第二模擬記憶體細胞藉由奇數模擬字線信號 DLWB 連結到第一感測節點 416a，只要奇數字線，不管是記憶體細胞陣列 408a 或是 408b 中的被推到高電位時。儲存電容器 C400a 及 C402a 有一共同的儲存節點 434a，其藉由一 n-通道 MOS 模擬預充電電晶體 N420a 連結到第一參考充電電位 DCRH。電容器 C400a 及 C402a 的相反節點連結到一金屬板節點。電晶體 N420a 的閘極被一模擬預充電信號 DPC 所驅動。

第二參考電壓電路 422b 有著與第一參考電壓電路 422a 相同的一般組態：第一模擬記憶體細胞(N416b 及 C400b)，第二模擬記憶體細胞(N418b 及 C402b)，以及模擬預充電電晶體 N420b，用來連結電容器 C400b 及 C402b 的儲存節點到第二參考充電電位 DCRL。第一與第二參考電壓電路 422a 及 422b 間的差異為參考充電電位(DCRH 及 DCRL)的大小。兩參考充電電位(DCRH 及 DCRL)的大小將在下面討論。

可理解的在圖 4 中所說明每個參考電壓電路(422a 及 422b)中的一模擬電容對(C400a/C402a 及 C400b/C402b)，每一對可以用單一個電容器替代。

為有助於對較佳具體實例 400 動作的了解，將檢視此較

五、發明說明 (16)

佳具體實例的特定三態儲存方法。現在參考圖 6a-6c，根據此較佳具體實例 DRAM 細胞的三個狀態在一示意圖中描述。此記憶體細胞以一般的參考字元 600 標示，並包含一穿越電晶體 N600 及儲存電容器 C600。此儲存電容器有一儲存節點 602 以及一金屬板節點 604。在此較佳具體實例的儲存圖解中，金屬板節點 604 維持在金屬板電壓 $1/2VCC$ ，其中 VCC 為高電源供應，而 VSS 低電源供應(零伏特)。圖 6a 顯示邏輯"0"值的電壓位準，其中儲存節點 602 被充電到低電源供應電壓 VSS。圖 6b 顯示邏輯"1"值的電壓位準，其中儲存節點 602 被充電到 $1/2VCC$ 的電壓位準。圖 6c 顯示邏輯"2"值的電壓位準，其中儲存節點充電到高電源供應電壓 VCC。在較佳具體實例中，相同陣列的記憶體細胞的金屬板節點連接在一起。

正詳細說明的較佳具體實例 400，較佳具體實例 400 的動作將併同連續的時序圖加以說明。

較佳具體實例 400 的動作在參考圖 4 及 5a-5e 併同圖 7，8a 及 8b 而得到最佳的理解。圖 7 為說明在較佳具體實例之動作中使用不同信號的響應時序圖。

圖 8a 為說明可能發生在較佳具體實例動作中不同讀寫邏

五、發明說明 (17)

輯動作之第一感測節點 416a 及第一參考節點 418a 上之響應時序圖。類似的，圖 8b 為一時序圖，說明與圖 8a 描述的相同組合的讀寫動作第二感測節點 416b 第二參考節點 418b 上的響應。

在時間點 t_0 前，較佳具體時例 400 係在備便狀態。在此狀態中，位元線，感測節點及等化節點全都預充電到電壓 $1/2V_{CC}$ 。現在參考圖 4 及 5a-5e 併同圖 7，顯示了在時間點 t_0 之前，信號 EQ 為高電位，故而等化電路 406 致動。字線(由偶數與奇數字線 WLA 及 WLB 表示的)為低電位，將記憶體細胞儲存電容與位元線(410a/b 及 412a/b)隔開。再者，模擬字線(DWA 及 DWB)也是低電位，將模擬記憶體細胞與感測節點(416a/b 及 418a/b)隔開。與之相反的，此 SHRL，SHRR 及 SHRM 信號均為高電位來同時致能左與右轉換閘(414a)，以及內部閘(426a 及 426b)。結果，第一位元線(410a 及 410b)，第一感測節點(416a 及 416b)以及等化節點 430 短路在一起。同樣的，第二位元線(412a 及 412b)，第二感測節點(418a 及 418b)以及等化節點 432 短路在一起。因為等化電路 406 為致動，所有之上的位元線(410a/b 及 412a/b)，感測節點(416a/b 及 418a/b)以及等化節點(430 及 432)都被帶到預充電電壓 V_{BLR} ，其在較佳具體實例中為 $1/2V_{CC}$ 。

五、發明說明 (18)

在備便狀態中，此感測放大器(424a 及 424b)被其高與低電源電壓(SDP 及 SDN)所禁能。如圖 7 中所示，當感測放大器致能信號(SANS 及 SAPS)致動，此感測放大器的高與低電源電壓(SDP 及 SDN)都是 $1/2VCC$ 電壓。因為感測節點也是 $1/2VCC$ 電壓位準，此感測放大器(424a 及 424b)被禁能。

此備便狀態也用來將模擬記憶體細胞電容器(C400a/b 及 C402a/b)充電。在時間點 t_0 前，DPC 信號為高電位，而第一參考電壓電路 422a 中的共同儲存節點 434a 連結到第一參考充電電位 DCRH，而在第二參考電壓電路 422b 中的共同儲存節點 434b 連結到第二參考充電電位 DCRL。

在時間點 t_0 之前，此 LIO 電路 420a 及 420b 為禁能的，而 LIO 線 428a 及 428b 與感測節點(416a/b 及 418a/b)隔開。另外的，一重寫入時序信號 SASE 也是非致動的(低電位)。此 SASE 信號將在下面更詳盡的說明。

在時間點 t_0 ，此具體實例由備便狀態轉變為致動狀態。此時，一陣列的位元線與此陣列左邊及右邊的感測節點隔開，而此模擬細胞充電動作終止。現在參考圖 7，在時間點 t_0 ，一列位址致動時序信號/RAS 由邏輯高電位狀態掉到邏輯低電位。這項轉

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (19)

換可能由外部送來的/RAS 信號造成，在非同步的 DRAM 的情形，或是外部時鐘信號造成的，在同步的 DRAM 的情形。

在圖 7 說明的範例中，資料從右邊記憶體細胞陣列 408b 中存取。因此，在大約 t_0 時，信號 SHRL 變成低電位，將轉換閘 414a 禁能，並將左邊記憶體細胞陣列 408a 與次較佳具體實例的其餘部份隔開。

SHRR 信號維持高電位，以及同樣的位元線 410b 維持連結到第一感測節點(416a 及 416b)與等化節點 430，而位元線 412a 維持連結到第二感測節點(418a 及 418b)及等化節點 432。

同樣在時間點 t_0 ，DPC 信號由高電壓轉換到低電壓。結果，第一參考電壓電路 422a 中的電晶體 N420a，以及在第二參考電壓電路 422b 中的電晶體 N420b 被截止。應注意電容器 C400a 及 C402a 充電到 DCRH 電壓，而電容 C400b 及 C402b 則充電到 DCRL 電壓。

在時間點 t_1 在 EQ 由高電壓掉到低電壓時等化功能終止。參考回圖 5e，EQ 信號為低電位，電晶體 N410，N412 及 N414 截止，而等化節點 430 與等化節點 432 隔開。

在時間點 t_2 ，三態記憶體細胞資料連結到位元線對的一

五、發明說明 (20)

個位元線。字線 WLA 由低電壓轉換到高電壓。參考回圖 5a，回想到字線 WLA 代表記憶體細胞陣列(408a 及 408b)中的偶數字線。因此，一記憶體細胞(例如記憶體細胞 M400)連結到第一位元線 410b。然而，記得左轉換閘 414a 為非致動，而右轉換閘 414b 維持致動，因而，在位元線 410b 上的三態細胞資料連結到第一感測節點(416a 及 416b)以及等化節點 430。第二感測節點(418a 及 418b)以及感測節點 432 維持在預充電電壓 $1/2V_{CC}$ 。因此，在初始的感測狀態，三態的資料信號連結到由轉換閘(426a 及 426b)連結在一起的第一感測節點(416a 及 416b)形成的共同感測節點。

為了說明的目的，將假設被讀取的記憶體細胞資料由一三態值“2”。再者，假設相同的值(三態 2)寫回到此記憶體細胞中。感測節點對這樣的動作之結果回應在圖 8a 及 8b 中的波形 800a 及 800b 分別顯示。波形 800a 說明具體實例 400 之第一與第二感測節點(416a 及 418a)的響應，而波形 800b 說明具體實例 400 之第一與第二感測節點(416b and 418b)的響應。

因而，現在參考波形 800a 及 800b，顯示在時間點 t2 的，當記憶體細胞儲存電容(充電到 VCC 的三態值)由字線 WLA 變成高電位連結到位元線 410b，第一感測節點(416a 及 418a)上升到

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (21)

超過個別的第二感測節點(418a 及 418b)的電位，其維持在預充電電位 $1/2V_{CC}$ 。電壓差異的大小顯示在圖 8a 及 8b 中的電壓 V_{sense} 。 V_{sense} 的大小由下面的方程式得出：

此 $V_{CC}/2$ 向代表儲存電容器上的三態 2 或三態 0 值的電壓(也就是 $V_{CC}-1/2V_{CC}$ 或 $1/2V_{CC}-V_{SS}$)。 C_{cell} 項則是記憶體細胞的電容， C_{sa} 項是感測放大器的電容(也就是左邊及右邊的感測節點)，而 C_{b1} 是位元線的電容。

在時間點 t_3 ，左邊的感測節點對(416a 及 418b)以及右邊的感測節點對(416b 及 418b)被隔開，捕取位元線 410b 上的三態細胞資料所產生電壓差異。信號 $SHRR$ 變成低電位，將右邊轉換開 414b 截止，將感測節點(416a/b 及 418a/b)與位元線 410b 及 412b 隔開。在同一時間，信號 $SHRM$ 也變成低電位，將內部開 426a 及 426b 截止，而將感測解點(416a/b 及 418a/b)與等化節點(430 及 432)隔開。如此這兩個感測節點形成共同感測節點彼此隔絕開。

在時間點 t_4 ，模擬的字線被致動，產生在左邊感測節點(416a or 418a)之一上的第一參考電壓以及右邊感測節點(416a 或 418a)之一上的第二參考電壓。在圖 8a 及 8b 說明的特定範例中，在較佳具體實例的左邊 402 上的第二感測節點 418a 被推到第一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (22)

參考電壓，而右邊 404 上的第二感測節點 418b 被推動到第二參考電壓。如圖 7 所示，因為偶數字線(WLA)被致動來產生在第一感測節點(416a 及 416b)上的三態資料信號，模擬字線 DWLA 被致動來將模擬記憶體細胞連結到第二感測節點(418a 及 418b)。應理解如果機數字線被致動(例如圖 5a 中的 WLB)，模擬字線 DWLB 將在此期間內致動，而模擬字線 DWLA 將維持在低電位。

這項配置說明此較佳具體實例之一重要觀點。當一偶數字線致動，第一感測節點(416a 及 416b)當做接收三態資料信號的"感測"節點，而第二感測節點(418a 及 418b)則動作如提供不同參考電壓的參考節點。相反的，當一奇數字線致動，第二感測節點(418a 及 418b)當做感測節點，而第一感測節點(416a 及 416b)則當做參考節點。

現在參考圖 8 中的波形 800a，其顯示出對模擬字線電容器(C400a 及 C402a)上的電壓做選擇以驅動第二感測節點 418a 到第一參考電壓 V_{ref1} ，其為 V_{sense} 電壓的一半。此係藉由根

$$DCRH = \frac{VCC}{2} + \frac{VCC \left(\frac{C_{sa}}{2} + C_{cell} \right)}{4(C_{sa} + C_{bl} + C_{cell})}$$

據下面描述之方程式產生 DCRH 電壓來達到。

五、發明說明 (23)

可顯示出的如果 V_{ref1} 信號由下面方程式得出。

$$V_{ref} = \left(\frac{VCC}{2} + DCRH \right) \left(\frac{C_{cell}}{\frac{C_{sa}}{2} + C_{cell}} \right)$$

替換 $DCRH$ 可得到此關連如

$$V_{ref1} = \frac{1}{2} V_{sense}$$

在此具體實例 400 另一面上的模擬字線電容器 ($C400b$ and $C402b$) 上的電壓，係加以選擇來驅動第二感測節點 418a 到第二參考電壓 $VCC/2 - V_{ref2}$ 。此 V_{ref2} 信號，類似於 V_{ref1} 信號的也是 V_{sense} 電壓的一半，但極性為負的。此係藉由根據下面描述的方程式來產生 $DCRL$ 電壓來達成。

$$DCRL = \frac{VCC}{2} - \frac{VCC \left(\frac{C_{sa}}{2} + C_{cell} \right)}{4(C_{sa} + C_{bl} + C_{cell})}$$

因此，如圖 8b 的波形 800b 所示，在時間點 t_4 ，第二感測節點 418b 掉到 $1/2VCC$ 位準之下。

上面 $DCRH$ 與 $DCRL$ 電壓位準的選擇已假設模擬細胞電容器的大小等於標準記憶體細胞電容器的大小。一熟習本技藝的人將發覺可以 $DCRH$ 及 $DCRL$ 電壓來充電模擬細胞電容器的替代方案，模擬細胞電容器的大小可以降低而電源電壓及 $DCRL$ 可以

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (24)

電源電壓 VCC 及 VSS 取代。這種情形下，模擬細胞電容由下面方程式得出。

$$C_{dummy} = \frac{(C_{sa})(C_{cell})}{4(C_{sa} + C_{bl}) + 2C_{cell}}$$

在時間點 t5，感測放大器(424a 及 424b)被致動，而感測節點對(416a/418a 及 416b/418b)則被驅動到相反的電源電壓，根據期間的電壓差異。現在參考圖 7，在時間點 t5，此感測放大器的高電源電壓 SDP 由 1/2VCC 上升完全的 VCC 位準。在此同時，感測放大器低電源供應電壓 SDN 由 1/2VCC 掉到 VSS(零伏特)。如圖 8 的波形 800a，在時間點 t5 之前，第一感測節點 416a 的電位高於第二感測節點 418a 的電位。結果，當感測放大器 424a 致動，第一感測節點 416a 被驅動到 VCC 電位而第二感測節點 418a 被驅動到 VSS 電位。其他感測節點對的響應顯示在圖 8b 的波形 800b 中。在時間點 t5，第一節點 416b 驅動到 VCC 電位而第二感測節點 418b 驅動到 VSS 電位。

在時間點 t6，在感測節點對(416a/418a 及 416b/418b)上的資料藉由 LIO 電路(420a 及 420b)的動作連結到 LIO 線(428a 及 428b)。YSEL 信號由低電壓上升到高電壓。如圖 5d 所示，高電位的 YSEL 信號導通將感測節點 416 及 418 to 連結到 LIO 線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (25)

對 428 的電晶體 N406 及 N408。

在時間點 t7，YSEL 維持在認為是寫入動作的高電位。

圖 7 的範例描述沒有寫入動作發生的情形，或是另外的，相同的資料值(三態的 2)寫回到記憶體細胞。因此，在時間點 t7 上沒有電壓的轉換。讀寫動作的範例，其中可能發生在時間點 t7 的這種轉換將在下面詳細的說明。

在時間點 t8，YSEL 信號回到低電壓，禁能 LIO 電路(420a 及 420b)並將 LIO 線(428a 及 428b)與感測節點對 (416a/418a 及 416b/418b)隔開。

在時間點 t9，一重寫入動作被起始來驅動感測節點對 (416a/418a 及 416b/418b)到相反的電源電壓位準，以便將資料寫回到記憶體陣列(408a 及 408b)。此資料寫入可能發生在讀/寫動作的寫入部份，或是更新儲存在記憶體陣列 (408a 及 408b)中的資料。

參考圖 7，在時間點 t9，SASE 信號變成高電位。此 SASE 係提供來致能或是禁能此感測放大器(424a 及 424b)，取決於感測節點對(416a/418a 及 416b/418b)上的電壓。結果感測節點對 (416a/418a 及 416b/418b)有相同的電壓位準，感測放大器(424a

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (26)

及 424b) 將維持致能，而 SAPS 將維持低電位，而 SANS 信號將維持高電位。結果感測節點對(416a/418a 及 416b/418b)被驅動到相反的電壓，感測放大器(424a 及 424b)將被禁能，以防止感測放大器(424a 及 424b)在寫入動作期間彼此對抗，而消耗過量的電流。信號 SAPS 將因而變成高電位，而 SANS 信號將變成低電位，一旦 SASE 信號為高電位。

圖 9 說明一用來產生圖 7 中所描述之感測放大器致能信號 SANS 及 SAPS 的時序控制電路。此時序控制電路以參考字元 900 標示，並顯示包含以有三個輸入的 NAND 閘 G900。閘 G900 的一個輸入為第一感測節點 416a 上的電壓位準。第二個輸入是在第二感測節點 416b 上的電壓位準的相反值。閘 G900 的第三個輸入是 SASE 信號。閘 G900 的輸出是 SANS 信號。SAPS 信號為 SANS 信號的相反值。

在圖 8a 及 8b 中波形 800a 及 800b 說明的特定範例，第一節點(416a 及 416b)在時間點 t9 都是 VCC。因此，SAPS 信號維持低電位，而 SANS 信號維持高電位。

在時間點 t10，三態資料寫回到記憶體細胞陣列。如圖 7 中所示的，在時間點 t10，SHRM 信號回到高電位，致能內部閘(426a

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (27)

及 426b)。第一節點 416a 及 416b 藉由等化節點 430 的方法連結在一起，而第二節點 418a 及 418b 則藉由等化節點 432 的方法連結在一起。應記得，如果此二感測節點對(416a/418a 及 416b/418b)的電壓位準相等(也就是都是 VCC 或都是 VSS)，感測放大器(424a 及 424b)將維持致能的，並在寫入動作一起動作。相反的，如果兩個感測節點對(416a/418a 及 416b/418b)為相反的電壓值(也就是一個是 VCC 而量一個是 VSS)，感測放大器(424a 及 424b)將被禁能，而內部閘(426a and 426b)的致動將短接相反的充電感測節點對(416a/418a 及 416b/418b)使得兩個節點最後是在 $1/2V_{CC}$ 電壓位準。等化電路 406 也將變成致動，這種情形下的早些時候，將感測節點對(416a/418a and 416b/418b)驅動到 $1/2V_{CC}$ 的電壓位準。

同樣的在時間點 t10，信號 SHRR 回到高電位，致能右邊轉換閘 414b，將位元線 410b 連結到第一感測節點(416a 及 416b)，而位元線 412b 連結到第二感測節點(418a 及 418b)。因為字線 WLA 仍然是高電壓，資料將會寫回記憶體細胞儲存電容。

在時間點 t11，此啟動週期開始要結束。時序信號/RAS 回到高電壓，字線 WLA 回到低電壓。相關的模擬字線 DWLA 也

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (28)

回到低電壓。如此，標準及模擬記憶體細胞的儲存電容與位元線及感測節點斷接開。

在時間點 t12，較佳具體實例經等化動作回到備便狀態。

EQ 信號變成高電位，而第一與第二感測節點(416a/b and 418a/b)被預充電及等化為 $1/2V_{CC}$ 的位準。同時 SHRL 信號回到高電位，致能左邊轉換開 414a。因為左邊與右邊轉換開(414a and 414b)都在此時致能，位元線(410a/b 及 412a/b)也被預充電及等化為 $1/2V_{CC}$ 電壓位準。

同樣的時間點 t12，感測放大器(424a 及 424b)被禁能，而在此參考電壓電路(422a and 422b)中的模擬記憶體細胞被預充電。SASE 信號回到低電位，而 SDP 及 SDN 電源電壓回到 $1/2V_{CC}$ 位準。DPC 信號變成高電位，而共同儲存節點 434a 被預充電到 DCRH 電壓，而共同的儲存節點 434b 則被預充電到 DCRL 電壓。

已正在說明一可能的資料讀寫動作。其餘的讀/寫動作將做簡短的討論。圖 8a 中的每一個波形代表左邊感測節點(416a 及 418a)對不同的讀/寫動作的響應。圖 8b 說明右邊感測節點(416b 及 418b)對圖 8a 的相同讀/寫動作的響應。

波形 800a/b，802a/b 及 804a/b 描述由讀取三態 2 資料

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (29)

信號開始的動作。因此，從時間點 t_0 到時間點 t_7 的波形一般都是相同的。由波形 800a 及 800b 顯示的此讀取三態 2/寫入三態 2 的動作已經加以說明。

讀取三態 2/寫入三態 1 的動作係由波形 802a 及 802b 顯示。因此，波形 802a 與波形 800a 不同的，其中在時間點 t_7 上，LIO 線 428a 被推動到相反的電壓位準，反轉在感測節點(416a 及 416b)上的電位差異，並使得感測放大器 424a 翻轉。在感測節點 416a 及 418a 上的電壓因而在時間點 t_7 被推動到相反的位準。另外，因為第一節點(416a 及 416b)係在相反的電壓位準，在時間點 t_9 上，感測放大器(424a 及 424b)被禁能而內部開(426a and 426b)的致動，由感測節點(416a/b 及 418a/g)被等化為 $1/2V_{CC}$ 的電壓位準造成。

波形 804a 及 804b 說明一讀取三態 2/寫入三態 0 的動作。在時間點 t_7 ，兩 LIO 線對 428a 及 428b 同時被推動來同時翻轉感測放大器 424a 及 424b。因此，在時間點 t_7 ，此較佳具體實例 400 的左邊與右邊的感測節點電壓都被反相。

波形 806a/b，808a/b 及 810a/b 說明由讀取三態 1 動作開始的三個動作。波形 812a/b，814a/b 及 816a/b 說明由讀取三

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (30)

態 0 動作開始的三個動作。較佳具體實例 400 針對這些動作的功能對於熟習本技藝的人可由上面的說明而變得清楚。

參考回圖 4，將說明此較佳具體實例概念化的替代方法。

左邊的轉換閘 414a 可當做是第一資料穿越閘，其將資料由位元線連結到第一感測節點 416a。此內部閘(426a 及 426b)的組合可以當做是第二資料穿越閘，其經資料信號由位元線連結到第二感測節點 416b。此第一與第二資料穿越閘(414a 及 426a/b)接著被截止，將第一感測節點 416a 與第二感測節點 416b 隔開。此二感測節點(416a and 416b)上的電位被兩個不同的感測放大器(424a and 424b)驅動，其藉由比較其上電位與兩個不同的參考電壓(V_{ref1} 及 V_{ref2})來驅動感測節點(416a 及 416b)。當然，對於奇數字線感測節點 418a 及 418b 將被認為是第一與第二感測節點。再者，對於右邊記憶體細胞陣列 408b，右邊轉換閘 414b 被認為是第一資料穿越閘，利用內部閘(426a and 426b)的組合再次當做第二資料轉換閘。

現在參考圖 10，描述一表格來更清楚的說明 LIO 線電壓位準與三態細胞資料間的關連，根據此較佳具體實例。如圖中所示，三態狀態中的兩個(0 及 2)由兩對的 LIO 線(428a 及 428b)被

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (31)

推動到相同邏輯狀態造成的。第三個三態狀態(1)由被推動到相反邏輯狀態之 LIO 線對(428a 及 428b)造成的。

當三態儲存半導體記憶體裝置可提供資料密度的增加，此半導體裝置必須與其他為二進位資訊組態的裝置互動。因此，所希望的就是將三態資訊轉成二進位資訊。

圖 11 說明一種轉譯三態資訊為二進位資訊的轉換架構。

圖 11 的架構中，兩個三態資料細胞係用來產生三個二進位資料細胞的相等值。換句話說二個三態位元被轉譯成三個二態位元。在圖 11 的特定架構中，並未使用此三態資料細胞“22”。可理解的不同資料集可選擇來做為未使用組合。

此較佳具體實例 400 利用兩個感測放大器來感測三態資料。與先前技藝中的傳統二進位 DRAM 配置的感測放大器不同(與只有一個感測放大器相反的)的這樣的配置必須連結到每一位元線。這種限制使得將較佳具體實例 400 的元件放置在一積體電路配置中有某種困難。

圖 12 表示一種將較佳具體實例 400 配置在一半導體基質中的方法。此配置方法由一般參考字元 1200 標示，並顯示四個感測電路的配置，以參考字元 1202a-1202d 標示。可理解的每個

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (32)

電路(1202a-1202d)包含兩個感測放大器，兩個 LIO 電路，兩個參考電路，兩個轉換閘，以及一個等化電路。為幫助了解此配置，每個電路(1202a-1202d)中只顯示了兩個感測放大器(以參考字元 1204a 及 1204b 標示)。當使用在較佳具體實例 400 的說明中時，此配置 1200 強調術語"右邊"及"左邊"的可交換性。例如，一記憶體細胞陣列 1206 顯示位於電路 1202a 及 1202c 之間，並在電路 1202b 及 1202d 之間。這樣的配置中，記憶體陣列 1206 可當作是電路 1202a 的"右邊"記憶體細胞陣列以及電路 1202c 的"左邊"記憶體細胞陣列。

應注意在較佳具體實例 400 的配置中，分開的拉線(導線)被用來提供某種信號給電路的左邊 402 及右邊 404。如果參考圖 4，YSEL，SDN，SANS，SAPS，SDP，DPC，DWA 及 DWB 信號由不同的拉線提供給不同邊。再者，當此示意圖 4 載負 YSEL 信號的線垂直於位元線，在此較佳的配置中，YSEL 線平行於此位元線。可理解的另外的配置方法可為每一此信號使用一拉線。例如，感測放大器電路對(1204a 及 1204b)可放置在圖 12 的垂直方向中，而非水平方向中。

雖然已詳細說明本發明，可理解的是可以有不同的修改，

五、發明說明 (33)

取代及替代方案而不致背離由後附的申請專利範圍所定義之本發明
的精神與範疇。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要 (發明之名稱 三態動態隨機存取記憶體)

揭示一種動態的隨機存取記憶體裝置，其有記憶體細胞以三態形式儲存資料。在備便模式中，一左邊感測節點 416a 藉由內部閘 (426a 及 426b) 的動作與右邊的感測節點 416b 短接。一三態資料連結到此短接的右邊及左邊的感測節點 (416a 及 416b) 來產生其上的三態資料信號。左邊的感測節點 416a 接者與右邊的感測節點 416b 隔開。此左邊的感測節點 416a 由感測放大器 424a 根據左邊感測節點 416a 與第一參考電壓 Vref1 間的電位差異而推動到高或低電壓。右邊感測節點 416b 由感測放大器 424b 根據右邊感測節點 416a 與第二參考電壓 Vref2 間的電位差異而推動到高或低電壓。此第一與第二參考電壓 (Vref 1 及 Vref2) 係由模擬記憶體細胞產生。

英文發明摘要 (發明之名稱： THREE STATE DYNAMIC RANDOM ACCESS MEMORY)

A dynamic random access memory device having memory cells which store data in ternary form is disclosed. In a stand-by mode, a left side sense node 416a is shorted to a right side sense node 416b by operation of inner gates (426a and 426b). A ternary data signal is coupled to the shorted right and left sense nodes (416a and 416b) to generate a ternary data signal thereon. The left side sense node 416a is then isolated from the right side sense node 416b. The left side sense node 416a is driven by a sense amplifier 424a to a high or low voltage according to the difference between the potential of the left side sense node 416a and a first reference voltage Vref1. The right side sense node 416b is driven by a sense amplifier 424b to a high or low voltage according to the difference between the potential of the right side sense node 416a and a second reference voltage Vref2. The first and second reference voltages (Vref 1 and Vref2) are generated by dummy memory cells.

六、申請專利範圍

1. 一種隨機存取記憶體裝置，包含：

複數個記憶體細胞；

連結到此記憶體細胞的複數個第一邊位元線；

將位元線信號連結到第一邊感測節點的第一邊轉換閘；

將位元線信號連結到第二邊感測節點的內部閘電路；

連結到第一感測節點的第一感測放大器，此第一感測放大器根據此第一邊感測節點與第一參考電壓間的電位差異將此第一邊感測節點驅動到複數個預定電位中的一個；以及

連結到第二邊感測節點的第二感測放大器，此第二感測放大器根據此第二邊感測節點與第二參考電壓間的電位差異將此第二邊感測節點驅動到複數個預定電位中的一個，此第二參考電壓與第一參考電壓不同。

2. 如申請專利範圍第 1 項的隨機存取記憶體裝置，其中複數個記憶體細胞包含動態隨機存取記憶體 (DRAM) 細胞。

3. 如申請專利範圍第 2 項的隨機存取記憶體裝置，其中：

DRAM 記憶體細胞包含儲存電容來儲存至少三種不同電位中的一種。

4. 如申請專利範圍第 1 項的隨機存取記憶體裝置，其

六、申請專利範圍

中：

第一邊轉換開電路將一對位元線連結到第一對感測節點，此第一對感測節點包含第一邊感測節點。

5. 如申請專利範圍第 4 項的隨機存取記憶體裝置，其中：

內部開電路連結第一對感測節點與第二對感測節點，此第二對感測節點包含第二邊感測節點。

6. 如申請專利範圍第 1 項的隨機存取記憶體裝置，還包含：

第一邊參考節點；以及

第一參考電壓電路，其用來在第一邊參考節點上產生第一參考電壓，此第一參考電壓電路包含連結到第一邊參考節點的第一模擬記憶體細胞。

7. 如申請專利範圍第 1 項的隨機存取記憶體裝置，其中：

第二邊參考節點；

第二參考電壓電路，其用來產生第二邊參考節點上的第二參考電壓，此第二參考電壓電路包含連結到第二邊參考節點的第一模擬記憶體細胞。

8. 如申請專利範圍第 7 項的隨機存取記憶體裝置，還包含：

複數個至少有一偶數字線及至少一奇數字線的字線；

包含有第一位元線及第二位元線的位元線對的複

六、申請專利範圍

數個位元線，此至少一偶數字線連結記憶體細胞資料到第一位元線，而此至少一奇數字線連結記憶體細胞資料到第二位元線；以及

第一邊轉化開電路將第一位元線連結到第一感測節點而第二位元線連結到第一參考節點。

9. 如申請專利範圍第 8 項的隨機存取記憶體裝置，其中：

內部開電路將第一邊感測節點連結到第二邊感測節點，而第一邊參考節點連結到第二邊參考節點。

10. 如申請專利範圍第 1 項的隨機存取記憶體裝置，還包含：

第一邊轉換開電路在第一邊的存取動作中將第一邊位元線信號連結到第一邊感測節點，此第一邊轉換開在第二邊的存取動作中被禁能；

內部開在第一邊的存取模式中將第一邊位元線信號連結到第二感測節點，並在第二邊存取動作中將第二邊位元線信號連結到第一邊感測節點；以及

第二邊轉換開電路在第二邊的存取動作中將第二邊位元線信號連結到第二感測節點。

87119841

A 1989-7

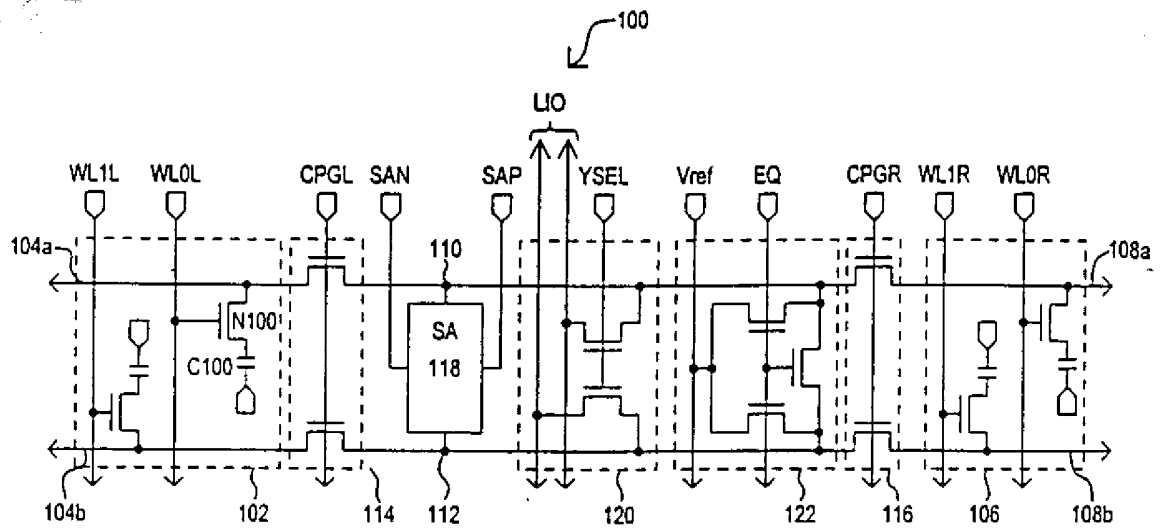


圖1(先前技藝)

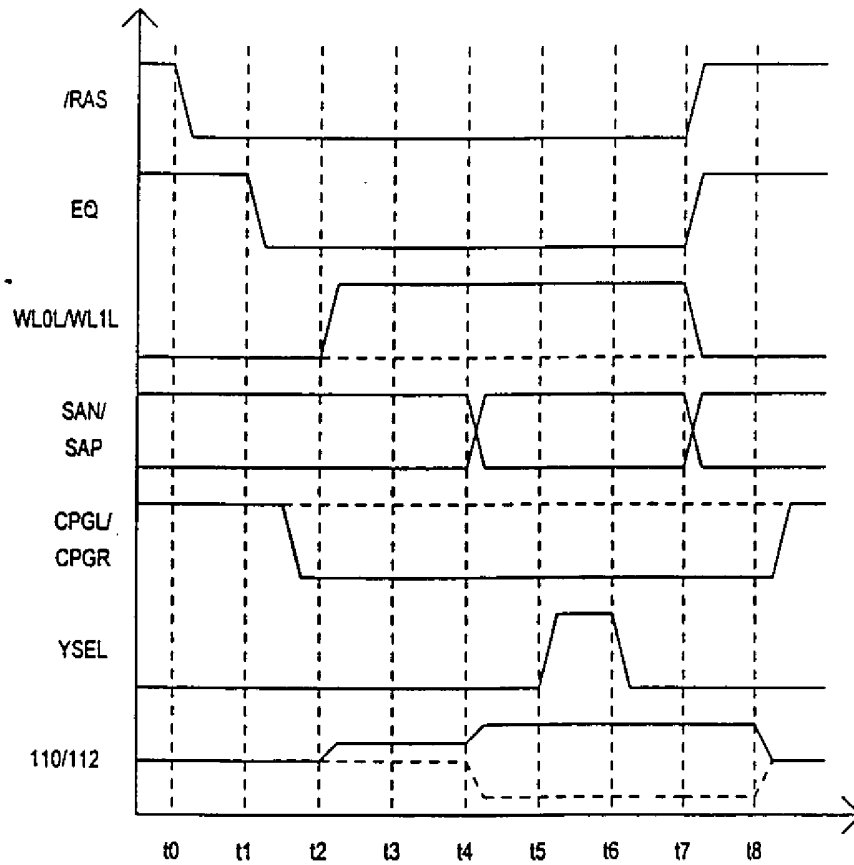


圖2(先前技藝)

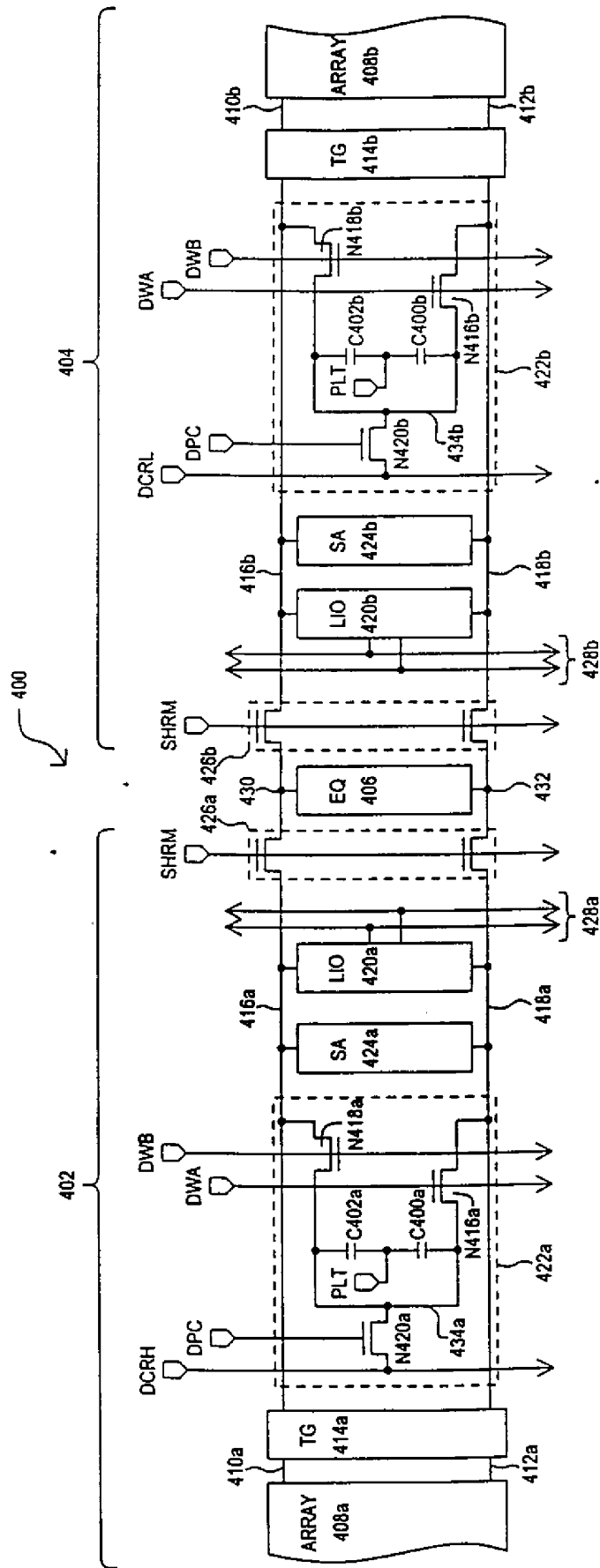


圖4

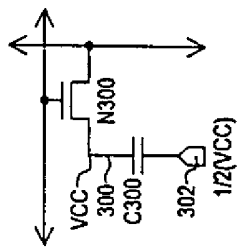


圖 3a (先前技藝)

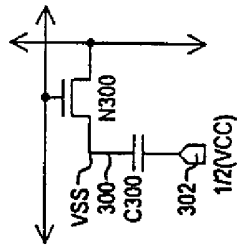


圖 3b (先前技藝)

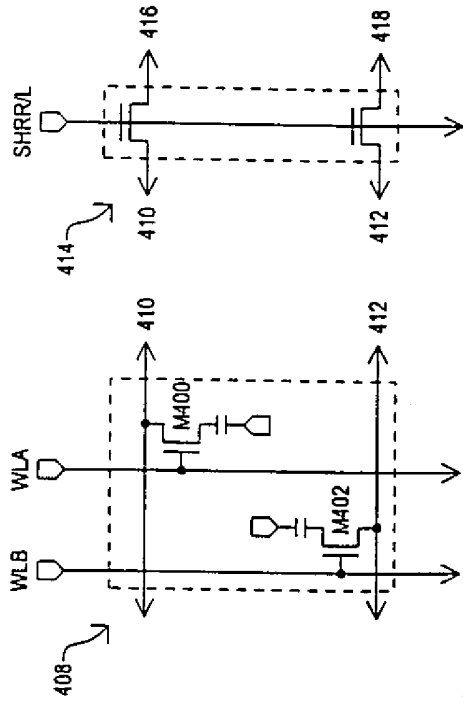


圖 5a

圖 5b

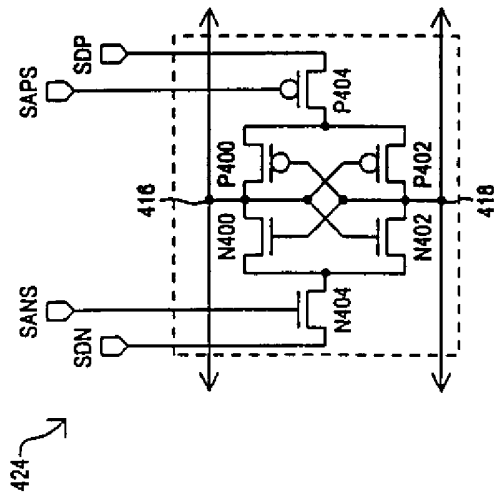


圖 5c

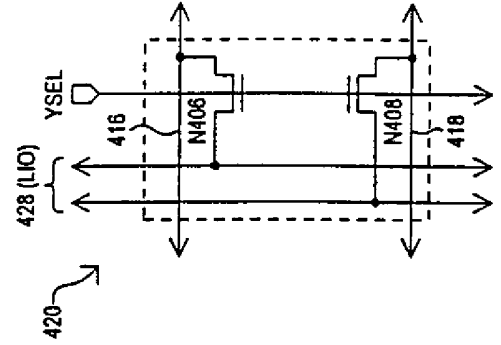


圖 5d

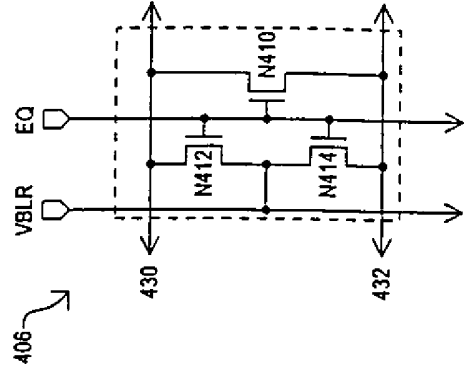
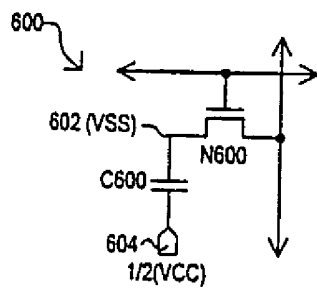
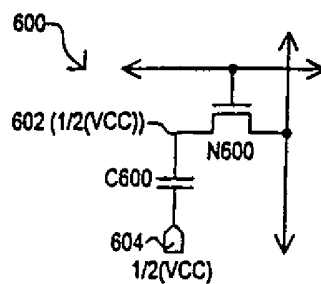


圖 5e



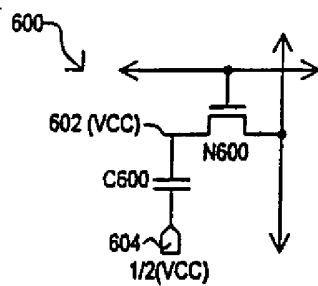
三態 0

圖 6a



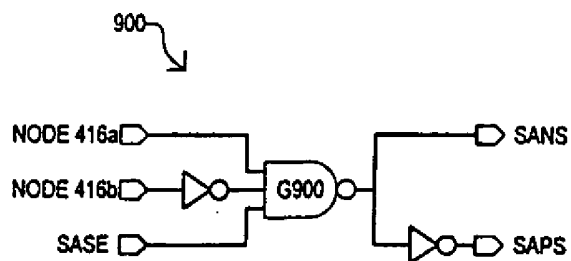
三態 1

圖 6b



三態 2

圖 6c



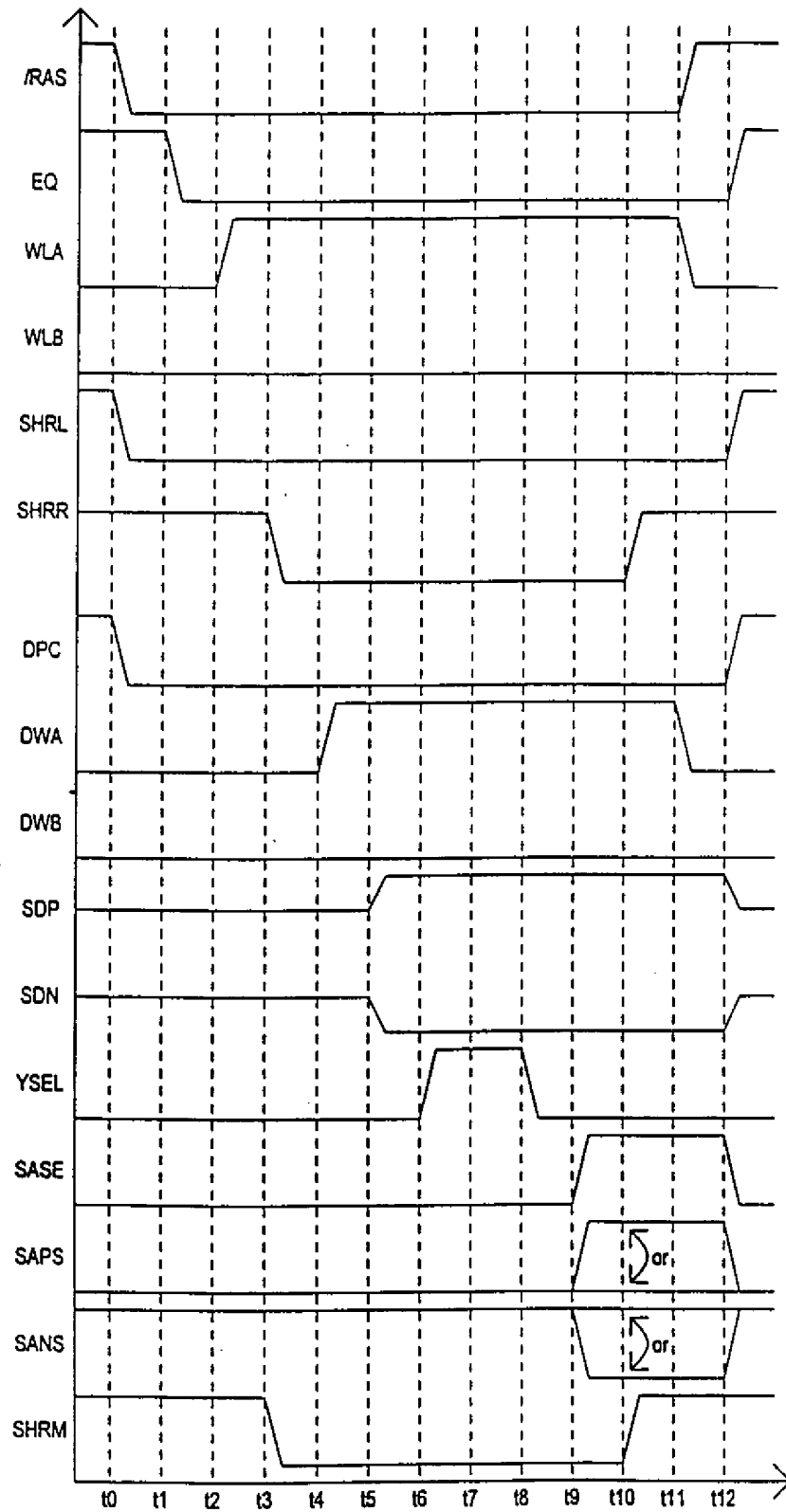


圖 7

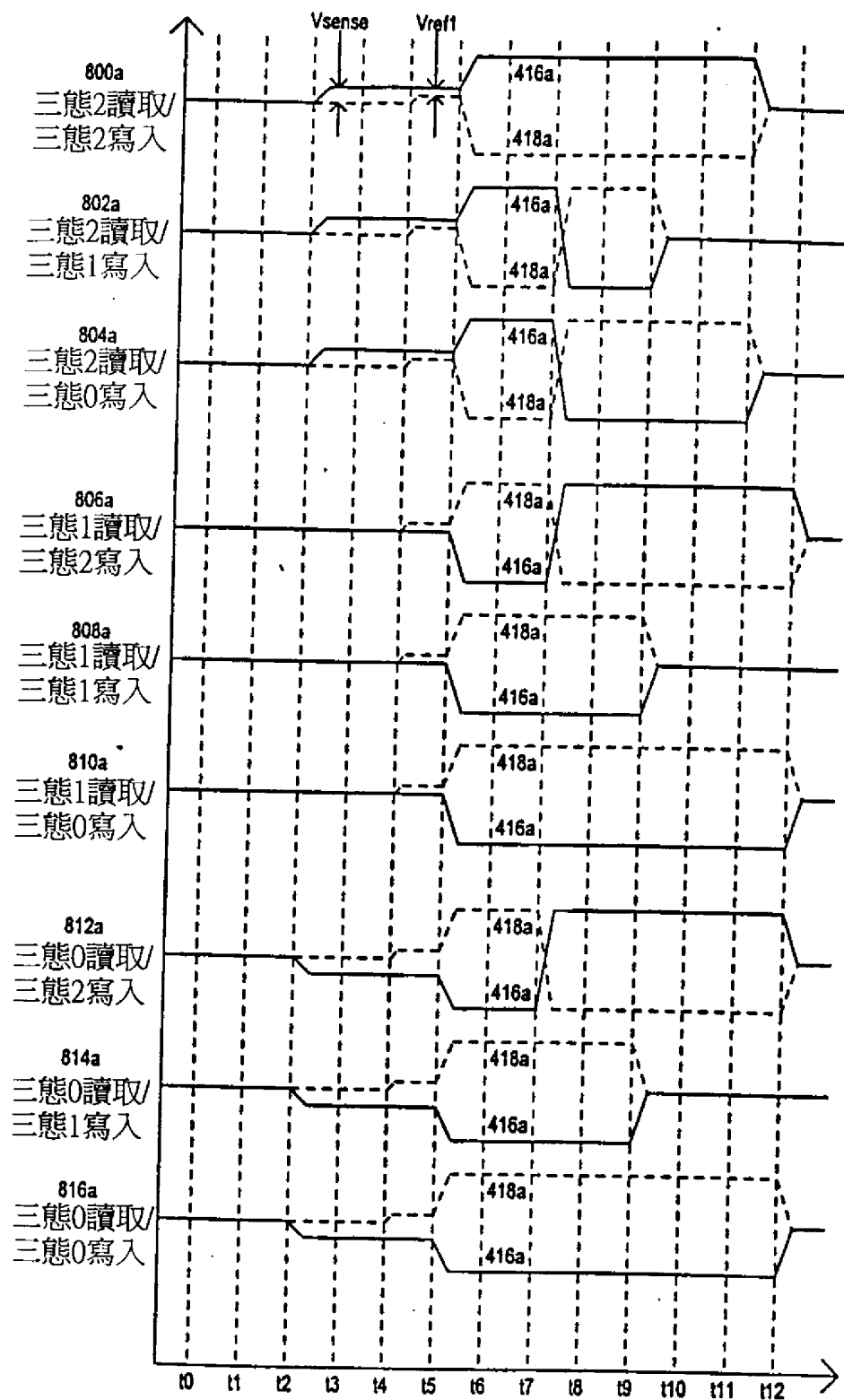


圖 8a

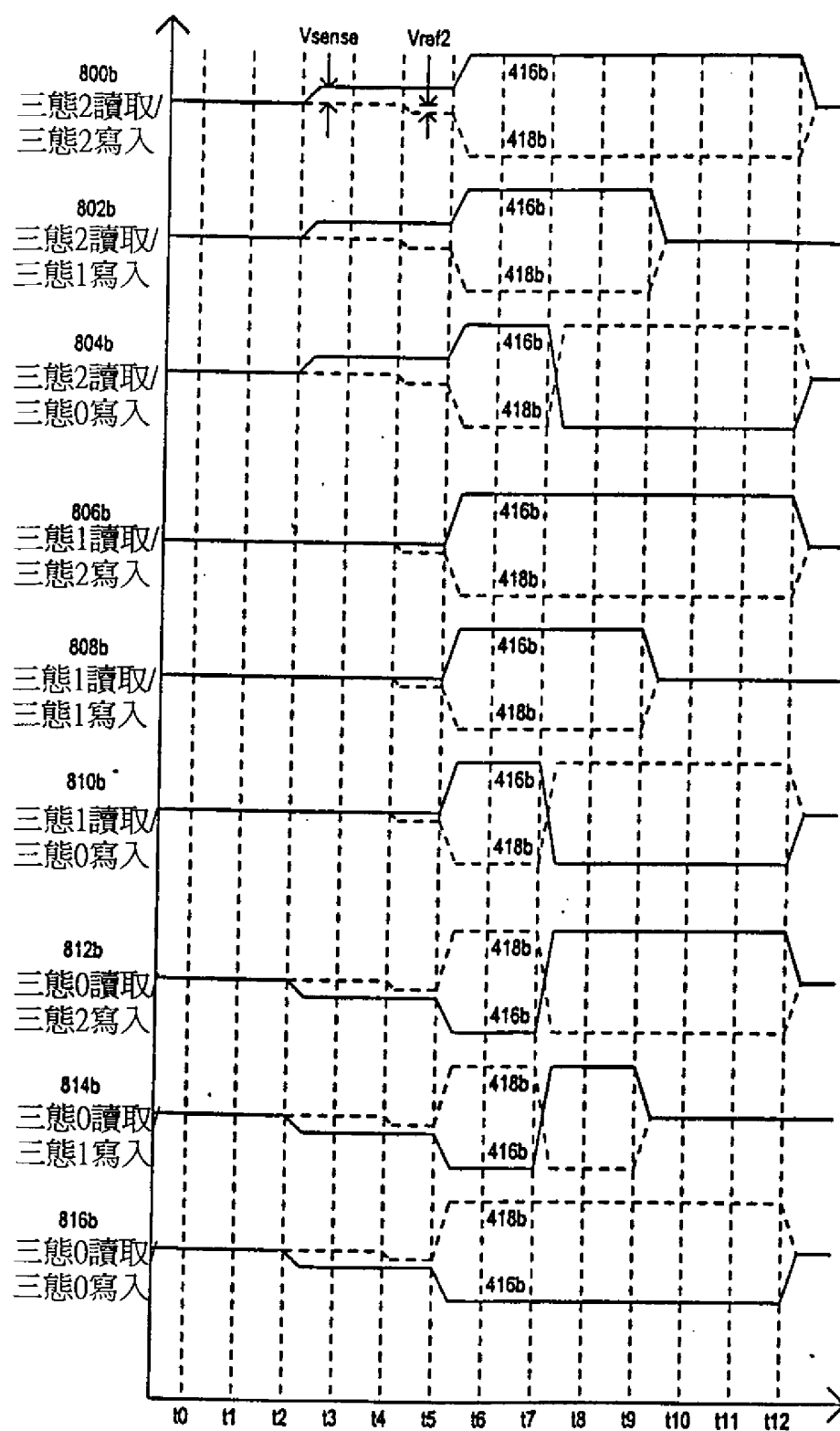


圖8b

三態細胞資料		局部 I/O 線			
電壓	數值	LIO 線 428a		LIO 線 428b	
VSS	0	低	高	低	高
1/2 VCC	1	低	高	高	低
VCC	2	高	低	高	低

圖 10

三態細胞資料					等值二進位細胞資料					
細胞 1		細胞 2			細胞 2		細胞 1		細胞 0	
電壓	數值	電壓			電壓	數值	電壓	數值	電壓	數值
VSS	0	VSS	0	↔	VSS	0	VSS	0	VSS	0
VSS	0	1/2 VCC	1	↔	VSS	0	VSS	0	VCC	1
VSS	0	VCC	2	↔	VSS	0	VCC	1	VSS	0
1/2 VCC	1	VSS	0	↔	VSS	0	VCC	1	VCC	1
1/2 VCC	1	1/2 VCC	1	↔	VCC	1	VSS	0	VSS	0
1/2 VCC	1	VCC	2	↔	VCC	1	VSS	0	VCC	1
VCC	2	VSS	0	↔	VCC	1	VCC	1	VSS	0
VCC	2	1/2 VCC	1	↔	VCC	1	VCC	1	VCC	1
VCC	2	VCC	2							

圖 11

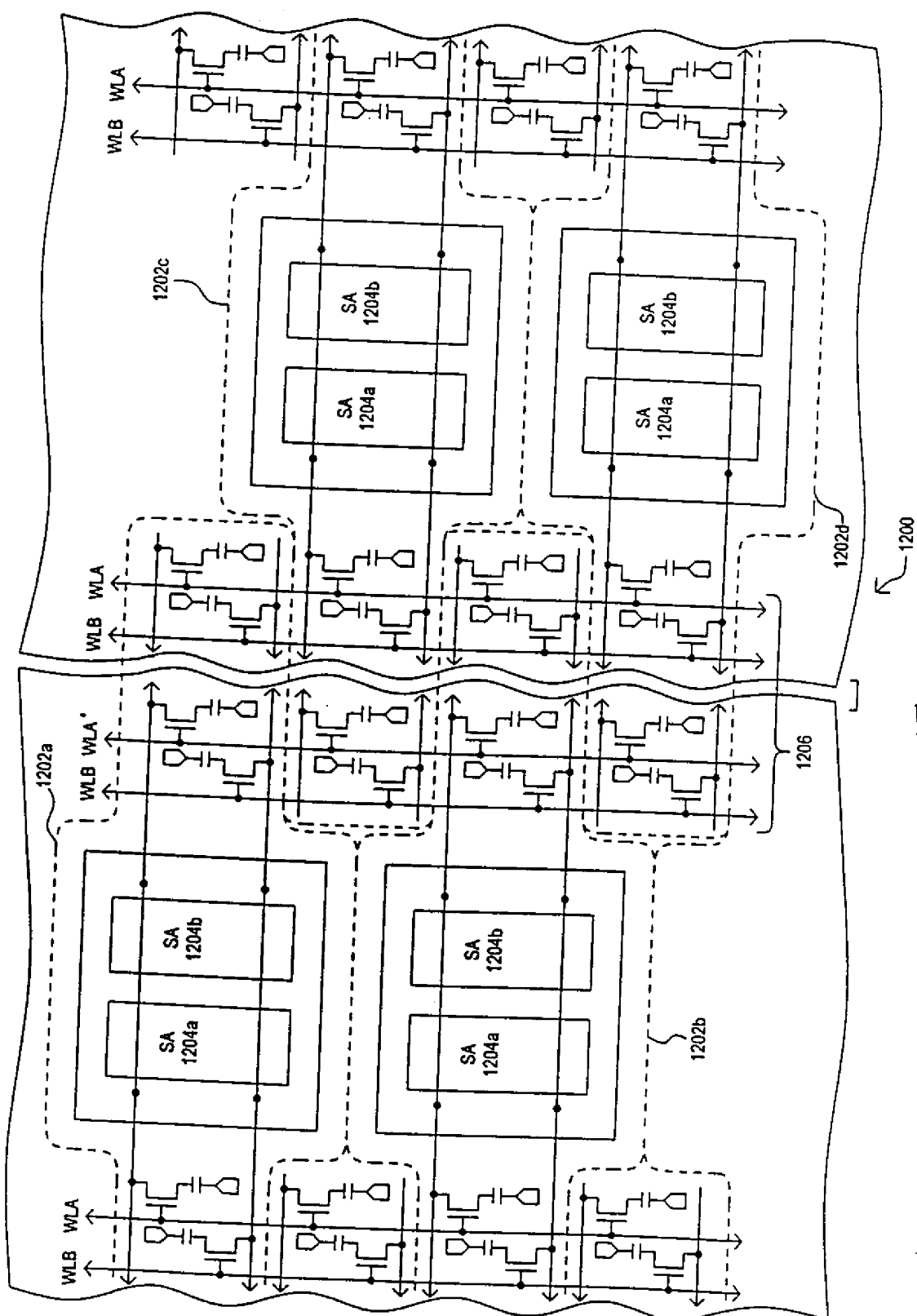


圖12

六、申請專利範圍

1. 一種隨機存取記憶體裝置，包含：

複數個記憶體細胞；

連結到此記憶體細胞的複數個第一邊位元線；

將位元線信號連結到第一邊感測節點的第一邊轉換閘；

將位元線信號連結到第二邊感測節點的內部閘電路；

連結到第一感測節點的第一感測放大器，此第一感測放大器根據此第一邊感測節點與第一參考電壓間的電位差異將此第一邊感測節點驅動到複數個預定電位中的一個；以及

連結到第二邊感測節點的第二感測放大器，此第二感測放大器根據此第二邊感測節點與第二參考電壓間的電位差異將此第二邊感測節點驅動到複數個預定電位中的一個，此第二參考電壓與第一參考電壓不同。

2. 如申請專利範圍第 1 項的隨機存取記憶體裝置，其中複數個記憶體細胞包含動態隨機存取記憶體 (DRAM) 細胞。

3. 如申請專利範圍第 2 項的隨機存取記憶體裝置，其中：

DRAM 記憶體細胞包含儲存電容來儲存至少三種不同電位中的一種。

4. 如申請專利範圍第 1 項的隨機存取記憶體裝置，其

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

外