(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.
H03K 5/14 (2006.01)
H03K 5/04 (2006.01)

(11) 공개번호 10-2006-0131250
(43) 공개일자 2006년12월20일

(21) 출원번호 10-2005-0051535
(22) 출원일자 2005년06월15일
심사청구일자 2005년06월15일

(71) 출원인 고려대학교 산학협력단
서울 성북구 안암동5가1 고려대학교 내

(72) 발명자 김철우
서울 노원구 공릉2동 81번지 태강아파트 1021-1103
송장훈
경기 의정부시 신곡1동 신일아파트 105-1101
신동석
서울 서대문구 홍제4동 인왕산현대아파트 102-201
김무영
전라남도 광주광역시 북구 북동 238번지 402호
정인화
서울 성북구 안암동5가 103-34번지 201호

(74) 대리인 현종철

전체 청구항 수 : 총 10 항

(54) 입력 신호 듀티비에 무관한 디지털 클럭신호 발생장치 및방법

(57) 요약

입력 신호 듀티비에 무관한 디지털 클럭신호 발생 장치 및 방법이 개시된다. 그 디지털 클럭신호 발생 장치는 클럭신호를 지연시켜 복수개의 다른 위상을 갖는 클럭신호들을 발생시키는 클럭신호지연부; 상기 지연된 클럭신호들의 위상들을 플립플롭의 상승에지에서 디지털 값으로 검출하는 디지타이저; 상기 디지타이저의 출력신호 값들이 서로 다른 디지털 값으로 천이되는 클럭에지를 검출하여 선택신호를 생성하는 선택신호생성부; 및 상기 선택신호를 이용하여 상기 클럭신호지연부에서 발생된 위상이 다른 지연신호들 중 소정의 신호를 선택하여 출력하는 선택부를 포함하는 것을 특징으로 한다.

본 발명에 의하면, 저전압에서 고속동작을 하는 마이크로프로세서의 전력 소모를 줄일 수 있으며, 많은 저전력 SOC 제품에 응용될 수 있다. 또한 락킹시간, 면적, 전력소모 면에서 종래 기술에 비해 매우 우수하며, 입력 신호의 듀티비가 50%가 아닌 신호가 들어오더라도 정확히 지연된 출력을 만들어 낼 수 있다.

대표도

도 1

특허청구의 범위

청구항 1.

클럭신호를 지연시켜 복수개의 다른 위상을 갖는 클럭신호들을 발생시키는 클럭신호지연부;

상기 지연된 클럭신호들의 위상들을 플립플롭의 상승에지에서 디지털 값으로 검출하는 디지타이저;

상기 디지타이저의 출력신호 값들이 서로 다른 디지털 값으로 천이되는 클럭에지를 검출하여 선택신호를 생성하는 선택신호생성부; 및

상기 선택신호를 이용하여 상기 클럭신호지연부에서 발생된 위상이 다른 지연신호들 중 소정의 신호를 선택하여 출력하는 선택부를 포함하는 것을 특징으로 하는 입력신호의 듀티비에 무관한 디지털 클럭신호 발생장치.

청구항 2.

제1항에 있어서,

소정의 주파수를 갖는 클럭신호와 상기 클럭신호를 위상 반전시킨 반전클럭신호를 발생하는 클럭신호발생부를 더 구비하는 것을 특징으로 하는 입력신호의 듀티비에 무관한 디지털 클럭신호 발생장치.

청구항 3.

제2항에 있어서, 상기 클럭신호지연부는

상기 클럭신호를 입력으로 하며 지연소자들이 직렬연결된 제1지연소자열과, 상기 반전클럭신호를 입력으로 하며 지연소자들이 직렬연결된 제2지연소자열로 구성되고,

상기 각 지연소자의 출력단자에서 지연된 클럭신호를 출력하는 것을 특징으로 하는 입력신호의 듀티비에 무관한 디지털 클럭신호 발생장치.

청구항 4.

제3항에 있어서, 상기 지연소자 각각은

인버터 2개로 구성된 버퍼인 것을 특징으로 하는 입력신호의 듀티비에 무관한 디지털 클럭신호 발생장치.

청구항 5.

제3항에 있어서, 상기 디지타이저는

상기 지연소자 각각에 상응하며, 상기 지연소자 각각의 출력단 신호를 반전시키는 복수의 인버터;

상기 클럭신호를 지연시키는 복수의 클럭지연기; 및

상기 복수의 인버터 및 상기 복수의 클럭지연기 각각에 상응하며, 상기 인버터 출력신호를 입력 데이터신호로 하고 상기 클럭지연기의 출력신호를 반전시킨 신호를 트리거 신호로 하는 복수의 플립플롭를 구비하는 것을 특징으로 하는 입력신호의 듀티비에 무관한 디지털 클럭신호 발생장치.

청구항 6.

제5항에 있어서, 상기 선택신호 생성부는

인접하는 두 개의 상기 플립플롭 출력신호들을 배타논리합(exclusive OR)하여 0(또는 1) 에서 1(또는 0)로 변하는 위치를 감지하여 선택신호를 생성하는 것을 특징으로 하는 입력신호의 듀티비에 무관한 디지털 클럭신호 발생장치.

청구항 7.

제6항에 있어서, 상기 선택신호 생성부는

인접하는 두 개의 상기 플립플롭 출력신호들을 배타논리합(exclusive OR)하여 0(또는 1) 에서 1(또는 0)로 변하는 위치에서 'H'가 검출되고, 그 외에서는 'L'가 검출되는 것을 특징으로 하는 입력신호의 듀티비에 무관한 디지털 클럭신호 발생장치.

청구항 8.

제5항에 있어서, 상기 선택신호 생성부는

인접하는 두 개의 상기 플립플롭의 출력신호 중 하나를 반전하는 인버터; 및

상기 인버터의 출력신호와 상기 두 개의 플립플롭 중 반전되지 않은 다른 하나의 플립플롭 출력신호를 입력으로 하는 논리곱 게이트를 구비하는 것을 특징으로 하는 입력신호의 듀티비에 무관한 디지털 클럭신호 발생장치.

청구항 9.

클럭신호를 직렬연결된 지연소자를 사용하여 복수개의 서로 다른 지연된 위상을 갖는 클럭신호들로 생성하는 단계;

상기 위상이 지연된 클럭신호들의 위상을 플립플롭의 상승 에지에서 논리값 0 또는 1을 갖는 디지털 값으로 검출하는 단계;

상기 검출된 인접하는 두 개의 디지털 값들이 서로 다른 값일 경우를 검출하여 선택신호를 생성하는 단계; 및

상기 선택신호를 이용하여 상기 지연소자 출력단의 위상이 다른 클럭신호들 중 소정의 클럭신호를 선택하여 출력하는 단계를 포함하는 것을 특징으로 하는 입력신호의 듀티비에 무관한 디지털 클럭신호 발생방법.

청구항 10.

제9항에 있어서, 상기 직렬연결된 지연소자는

소정의 클럭신호를 입력으로 하며, 지연소자들이 직열연결된 제1직렬지연소자열과

상기 클럭신호와 위상이 반전된 클럭신호를 입력으로 하며, 지연소자들이 직렬연결된 제2직렬지연소자열로 이루어지는 것을 특징으로 하는 입력신호의 듀티비에 무관한 디지털 클럭신호 발생방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 클럭 발생기에 관한 것으로서, 특히 입력신호 듀티비에 무관한 디지털 클럭신호 발생장치 및 방법에 관한 것이다.

마이크로프로세서나 클럭데이터 복원기 등의 칩에서 시스템 레벨에서 전력소모를 줄이기 위해 파워다운 모드와 활성모드 간의 변환시에 신속하게 전환시키는데 클럭-온-디맨트(clock-on-demand) 기능을 필요로 한다. 이에 적합한 1GHz 디지털 클럭 발생기가 필요하다. 많은 경우에 입력 클럭신호의 듀티비가 50%가 아닌 경우 디지털 클럭 발생기의 위상오차가 커질 수 있다. 또한 두 주기만에 락킹(locking)할 수 있고 저전압에서 동작할 수 있도록 지연셀이 필요하며 국부적으로 클럭신호를 발생시킬 수 있게 하기 위해 적은 면적을 차지하도록 설계를 최적화하여야 한다.

많은 시스템 온 칩이나 마이크로프로세서들이 전력소모를 줄이기 위해 활동 모드, 수면 모드 등의 여러 가지 동작 모드들을 두고 있으며, 이러한 동작 모드의 수는 점점 증가하고 있다. 전체 칩 레벨에서 동작모드를 한 모드에서 다른 모드로 바꿀 때 또는 일부 블록이 클럭 게이팅으로 휴면상태에 있다가 활동모드로 바뀔 때 등의 경우에 클럭신호가 얼마나 빨리 다시 공급되는냐가 전체 시스템의 성능을 좌우할 수 있다.

일반적으로 위상고정루프(Phase Locked Loop : PLL)의 경우 동작을 죽였다가 다시 살려서 재락킹이 되는 데 걸리는 시간이 수백 주기까지 걸릴 수 있어 동작모드 변환 시에 문제점으로 지적되고 있다. 동작모드 변환을 빨리 하기 위하여 마이크로프로세서나 클럭/데이터 복원 회로에서 디지털 클럭 발생기를 사용하기도 하나 기존의 디지털 클럭 발생기는 정확한 위상을 만들어 내기 위해 입력신호의 듀티비가 50%이어야 한다.

공정기술의 발달로 인해 집적되는 트랜지스터 수가 많아지고 전원전압이 낮아지므로 전류밀도가 커지고 있다. 이로 인해 인덕터에 의한 스위칭 잡음의 영향이 증가하고 안정된 전원을 공급하는데 어려움이 점점 커지고 있다. 인텔이 발표한 자료에 따르면 고성능 마이크로프로세서의 전류밀도의 경우 2005년 정도에 핵반응로 수준에 도달을 할 예정이고 2010년 정도엔 로켓노즐의 전력 밀도수준에 다다를 것으로 예상되어 저전력 설계가 그 어느 때보다도 설계 시 고려되어야 할 첫 번째 요소로 되고 있다. 이를 위해 파워다운 모드는 휴면모드, 졸음모드 등으로 구분되어 시스템 레벨에서 사용하지 않는 블록들을 별도로 제어하고 있다. 이 때 다시 활성모드로 돌아오기 위해서는 빠른 시간에 필요한 클럭을 만들어 내는 것이 중요하다. 디지털 회로로 만들어지는 클럭의 경우 입력신호의 듀티비가 50%가 아닌 경우 정확한 위상을 만들어 내는 것에 제한을 받게 된다.

많은 반도체 칩들의 동작속도가 GHz 범위를 넘어서고 있다. 일반적인 PLL/DLL의 경우 락킹시간이 오래걸려서 파워다운 모드에서 활성모드로 돌아오는 데 시간이 오래 걸린다. 이를 극복하기 위한 디지털 클럭 발생기의 경우 빠른 락킹 시간을 가질 수 있으나 입력신호의 듀티비에 따라서 정확한 위상을 만들어 내는 데 어려움이 있다. 이를 극복하는 디지털 회로 설계 기술이 절대적으로 필요하다.

고속 마이크로프로세서나 클럭/데이터 복원기 내에서 디지털 회로를 사용하여 면적을 작게 차지하면서 국부적으로 원하는 위상의 클럭을 발생시키려는 필요성이 커지고 있다. 특히 디지털 클럭 발생기를 이용해 파워다운 모드에서 활성모드로 돌아오는 데 걸리는 시간을 줄이는 것이 전체 시스템 전력소모를 줄이는데 큰 역할을 하고 있어 디지털 클럭 발생기 설계 기술이 점점 중요해 지고 있다. 다상 위상의 클럭을 발생시키는 경우 기본적으로 0, π/2, π, 3π/2의 네 가지 위상을 기본으로 필요로 하고 있다.

기존의 PLL/DLL 클럭 발생기의 경우 저전압에서 동작하는 데 한계가 있고 락킹에 걸리는 시간도 수십~수백 주기가 걸린다. 디지털 클럭 발생기들의 경우 인텔에서 발표한 것은 저전압에서 동작은 하나 락킹 시간이 여전히 128주기나 걸린다. 또한 많은 디지털 클럭 발생기들이 입력신호의 듀티비에 따라 발생시키는 클럭의 위상오차가 달라질 수 있다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 첫 번째 기술적 과제는 상술한 문제점들을 해결하여 한 주기만에 락킹을 하며 저전압에서 동작하고 입력 신호 듀티비에 무관하게 정확한 위상의 클럭신호를 발생시키는 디지털 클럭신호 발생 장치를 제공하는 것이다.

본 발명이 이루고자 하는 두 번째 기술적 과제는 튜티비에 무관한 디지털 클럭신호 발생 방법을 제공하는 것이다.

발명의 구성

본 발명은 상기 첫 번째 기술적 과제를 달성하기 위하여,

클럭신호를 지연시켜 복수개의 다른 위상을 갖는 클럭신호들을 발생시키는 클럭신호지연부; 상기 지연된 클럭신호들의 위상들을 플립플롭의 상승에지에서 디지털 값으로 검출하는 디지타이저; 상기 디지타이저의 출력신호 값들이 서로 다른 디지털 값으로 천이되는 클럭에지를 검출하여 선택신호를 생성하는 선택신호생성부; 및 상기 선택신호를 이용하여 상기 클럭신호지연부에서 발생된 위상이 다른 지연신호들 중 소정의 신호를 선택하여 출력하는 선택부를 포함하는 것을 특징으로 하는 디지털 클럭신호 발생장치를 제공한다.

본 발명의 일 실시예에 의하면, 상기 클럭신호 발생장치는 소정의 주파수를 갖는 클럭신호와 상기 클럭신호를 위상 반전시킨 반전클럭신호를 발생하는 클럭신호발생부를 더 구비하는 것일 수 있다.

본 발명의 다른 실시예에 의하면, 상기 클럭신호지연부는 상기 클럭신호를 입력으로 하며 지연소자들이 직렬연결된 제1지연소자열과, 상기 반전클럭신호를 입력으로 하며 지연소자들이 직렬연결된 제2지연소자열로 구성되고, 상기 각 지연소자의 출력단자에서 지연된 클럭신호를 출력하는 것일 수 있다.

또한, 상기 지연소자 각각은 인버터 2개로 구성된 버퍼일 수 있다.

본 발명의 또 다른 실시에에 의하면, 상기 디지타이저는 상기 지연소자 각각에 상응하며, 상기 지연소자 각각의 출력단 신호를 반전시키는 복수의 인버터; 상기 클럭신호를 지연시키는 복수의 클럭지연기; 및 상기 복수의 인버터 및 상기 복수의 클럭지연기 각각에 상응하며, 상기 인버터 출력신호를 입력 데이터신호로 하고 상기 클럭지연기의 출력신호를 반전시킨 신호를 트리거 신호로 하는 복수의 플립플롭를 구비하는 것일 수 있다.

본 발명의 바람직한 실시예에 의하면, 상기 선택신호 생성부는 인접하는 두 개의 상기 플립플롭 출력신호들을 배타논리합(exclusive OR)하여 0(또는 1) 에서 1(또는 0)로 변하는 위치를 감지하여 선택신호를 생성하는 것일 수 있다.

또한, 상기 선택신호 생성부는 인접하는 두 개의 상기 플립플롭 출력신호들을 배타논리합(exclusive OR)하여 0(또는 1) 에서 1(또는 0)로 변하는 위치에서 'H'가 검출되고, 그 외에서는 'L'가 검출되는 것이 바람직하다.

또한, 상기 선택신호 생성부는 인접하는 두 개의 상기 플립플롭의 출력신호 중 하나를 반전하는 인버터; 및 상기 인버터의 출력신호와 상기 두 개의 플립플롭 중 반전되지 않은 다른 하나의 플립플롭 출력신호를 입력으로 하는 논리곱 게이트를 구비하는 것이 바람직하다.

본 발명은 상기 두 번째 기술적 과제를 달성하기 위하여,

클럭신호를 직렬연결된 지연소자를 사용하여 복수개의 서로 다른 지연된 위상을 갖는 클럭신호들로 생성하는 단계; 상기 위상이 지연된 클럭신호들의 위상을 플립플롭의 상승 에지에서 논리값 0 또는 1을 갖는 디지털 값으로 검출하는 단계; 상기 검출된 인접하는 두 개의 디지털 값들이 서로 다른 값일 경우를 검출하여 선택신호를 생성하는 단계; 및 상기 선택신호를 이용하여 상기 지연소자 출력단의 위상이 다른 클럭신호들 중 소정의 클럭신호를 선택하여 출력하는 단계를 포함하는 것을 특징으로 하는 입력신호의 튜티비에 무관한 디지털 클럭신호 발생방법을 제공한다.

이하, 첨부된 도면들을 참조하여 본 발명에 따른 입력신호의 듀티비에 무관한 디지털 클럭발생 장치 및 방법에 대해 상세히 설명한다.

도 1은 본 발명에 의한 입력신호 듀티비에 무관한 디지털 클럭 발생 장치의 구성을 블록도로 도시한 것으로서, 클럭신호지연부(200), 디지타이저(300), 선택신호생성부(400) 및 선택부(500)를 포함하여 이루어진다. 상기 본 발명에 의한 디지털

클럭 발생장치는 클럭신호 발생부(100)를 더 구비함이 바람직하다. 도 2는 본 발명에 의한 입력신호 듀티비에 무관한 디지털 클럭 발생장치의 바람직한 일실시예를 도시한 것이다. 도 1과 도 2를 참조하여 본 발명의 구성과 그 동작을 설명하기로 한다.

상기 클럭신호 발생부(100)는 소정의 주파수를 갖는 클럭신호(Clk)와 상기 클럭신호를 위상 반전시킨 반전클럭신호(Clk_b)를 발생시킨다. 상기 주파수는 통상 수 GHz의 고주파이다. 상기 클럭신호 발생부(100)는 Clk과 Clk_b를 In_Clk으로부터 만들어준다. 여기서 나온 신호가 연쇄적인 인버터 지연소자(inverter delay cell)에서 연속적으로 멀티 페이즈 클럭(multi-phase clock)(*Θ1, Θ2...Θm*)들이 만들어지게 된다.

상기 클럭신호지연부(200)는 상기 클럭신호(Clk)를 입력으로 하며 지연소자들이 직렬연결된 제1지연소자열(220)과, 상기 반전클럭신호를 입력으로 하며 지연소자들이 직렬연결된 제2지연소자열(240)로 구성되고, 상기 각 지연소자의 출력단자에서 지연된 클럭신호를 출력한다. 상기 클럭신호지연부(200)는 클럭신호를 지연시켜 복수개의 다른 위상을 갖는 클럭신호들을 발생시키며, 바람직하게는 지연소자(delay cell)들로 이루어진다. 도 3a 및 도 3b는 상기 지연소자의 구조와 타이밍도를 도시한 것이다.

상기 지연소자는 두 개의 스태틱 인버터(static inverter)로 구성되는 버퍼이고, 지연라인(delay line)은 지연 소자들의 연속적인 직렬연결로서 구성된다. 따라서 각 지연소자는 같은 지연시간을 가지게 되고, 일정한 위상차를 갖는 클럭을 발생한다. 각 지연소자가 스태틱 인버터로 구성되기 때문에 전력소모가 적고, 고 임피던스(high-impedence) 상태를 제거하므로 이상 동작할 환경을 제거한다. 지연소자의 수는 원칙적으로 제한이 없다. 본 발명의 실시예에서는 PVT 변화를 만족하며 보다 정밀한 감지를 하기 위하여 20개로 한다.

상기 디지타이저(300)는 상기 지연된 클럭신호들의 위상들을 플립플롭의 상승에지에서 디지털 값으로 검출한다. 상기 디지타이저(300)는 복수의 인버터(302, 304, 306, 308, 310), 복수의 클럭지연기(312, 314, 316, 318, 319) 및 복수의 플립플롭(320, 322, 324, 326, 328)을 포함하여 이루어진다. 상기 복수의 인버터(302, 304, 306, 308, 310)는 상기 지연소자 각각에 상응하며, 상기 지연소자 각각의 출력단 신호를 반전시킨다. 상기 복수의 클럭지연기(312, 314, 316, 318, 319)는 상기 지연소자 각각에 상응하며, 상기 클럭신호를 지연시킨다. 상기 복수의 플립플롭(320, 322, 324, 326, 328)은 상기 복수의 인버터(302, 304, 306, 308, 310) 및 상기 복수의 클럭지연기(312, 314, 316, 318, 319) 각각에 상응하며, 상기 인버터 출력신호를 입력 데이터신호로 하고 상기 클럭지연기의 출력신호를 반전시킨 신호를 트리거 신호로 한다.

도 4a 및 도 4b는 상기 디지타이저(300)의 구조 및 타이밍도를 도시한 것이다. 상기 디지타이저의 동작을 살펴보면 다음과 같다. 지연 셀의 출력값은 2π 상(phase)에서 캡쳐(capture)할 때 도 4b에 도시된 바와 같이 Vdd와 접지 사이의 임의의 전압값을 갖게 된다. 상기 디지타이저는 이러한 아날로그적인 지연소자의 출력값을 D-플립플롭의 상승 에지에서 1이나 0의 디지털 값으로 만들게 된다. 따라서 지연 셀의 출력값이 1이나 0이 아닌 중간 값을 갖더라도 인버터를 거치면서 인버터의 재생적인(regenerative) 특성에 의해서 0이나 1의 디지털 값을 가지게 된다. 또한 지연 셀의 출력값에 연결된 각 인버터들은 D-플립플롭이 스위칭할 때, 부하 커패시턴스가 달라지는 것을 방지하기 위해 추가되어 결과적으로 지연 셀의 각 지연 시간은 데이터가 1 또는 0으로 천이하더라도 데이터에 무관하게 지연소자의 지연시간(tau)으로 일정하게 유지할 수 있다. 이렇게 해서 나온 출력값은 다시 선택신호 생성부의 입력으로 들어간다. 지연소자에서 나온 신호는 인버터를 지나 페이즈 디텍터(Phase detector) 기능을 하는 DFF 으로 들어간다. 여기에 들어온 신호는 상승 에지에서 신호를 감지하므로 듀티비가 50%가 아니더라도 정확한 위상을 만들어 낼 수 있도록 선택 신호(Select signal)를 만들어 낸다.

상기 선택신호생성부(400)는 상기 디지타이저(300)의 출력신호 값들이 서로 다른 디지털 값으로 천이되는 클럭에지를 검출하여 선택신호를 생성한다. 상기 선택신호 생성부(400)는 인접하는 두 개의 상기 플립플롭 출력신호들을 배타논리합(exclusive OR)하여 0(또는 1) 에서 1(또는 0)로 변하는 위치를 감지하여 선택신호를 생성한다. 상기 선택신호 생성부(400)는 인접하는 두 개의 상기 플립플롭 출력신호들을 배타논리합(exclusive OR)하여 0(또는 1) 에서 1(또는 0)로 변하는 위치에서 'H'가 검출되고, 그 외에서는 'L'가 검출된다. 상기 선택신호 생성부(400)는 인접하는 두 개의 상기 플립플롭의 출력신호 중 하나를 반전하는 인버터(402, 404, 406, 408) 및 상기 인버터의 출력신호와 상기 두 개의 플립플롭 중 반전되지 않은 다른 하나의 플립플롭 출력신호를 입력으로 하는 논리곱 게이트(412, 414, 416, 418)를 구비한다.

도 5는 상기 선택신호 생성부(400)의 구조를 도시한 것이다. 상기 선택신호 생성부(400)는 디지타이저(300)에서 반전된 신호를 배타논리합(exclusive-or)하여 클럭 에지가 천이되는 위치를 찾아내어 알려준다. 여기서 배타논리합을 인버터와 논리곱 게이트로 구현한 것은 디지타이저(300)의 출력값이 0에서 1일 때, 즉 지연셀에서는 1에서 0으로 천이될 때만 감지한다. 전체적으로 천이 감지는 1에서 0으로 클럭이 천이하는 곳을 찾아내지만 디지타이저(300) 입력이 지연소자의 지연시간을 일정하게 만들기 위해 반전되어 들어오므로 선택신호 생성부(400)는 0 에서 1로 천이하는 부분을 찾는다.

상기 선택부(500)는 상기 선택신호를 이용하여 상기 클럭신호지연부(200)에서 발생된 위상이 다른 지연신호들 중 소정의 신호를 선택하여 출력한다. 상기 선택부(500)는 바람직하게는 멀티플렉서(Multiplexer)로 구현된다. 도 6은 상기 선택부(500)의 구조를 도시한 것이다. 상기 선택신호 생성부(400)에서 보낸 선택신호를 멀티플렉서(510)가 감지하여 π/2 지연된 신호를 출력으로 내보낸다. 이때 멀티플렉서(510)는 지연 셀에서 출력으로 나갈 때까지의 시간을 보상해야하는 것을 미리 고려하여 그 시간보다 빠른 신호를 선택해야한다. 본 발명에서 상기 보상시간을 3τ로 정하였으며 π/2 지연된 신호를 선택하기 위해서는 3τ이전의 신호를 출력을 보내야 한다.

한편, 도 7은 본 발명에 의한 입력신호의 듀티비에 무관한 클럭신호발생 방법을 흐름도로 도시한 것이다. 먼저, 클럭신호 지연부(200)를 통해 클럭신호를 직렬연결된 지연소자를 사용하여 복수개의 서로 다른 지연된 위상을 갖는 클럭신호들로 생성한다.(700단계) 그리고 나서 디지타이저(300)를 통해 상기 위상이 지연된 클럭신호들의 위상을 플립플롭의 상승 에지에서 논리값 0 또는 1을 갖는 디지털 값으로 검출한다.(720단계) 선택신호 생성부(400)에서 상기 검출된 인접하는 두 개의 디지털 값들이 서로 다른 값일 경우를 검출하여 선택신호를 생성한다.(740단계) 선택부(500)를 통해 상기 선택신호를 이용하여 상기 지연소자 출력단의 위상이 다른 클럭신호들 중 소정의 클럭신호를 선택하여 출력한다.(760단계)

한편, 입력신호 듀티비에 무관한 디지털 클락 발생기의 모의 실험 결과는 다음과 같다. 먼저, 모의 실험 조건은 다음과 같다. 입력신호 듀티비에 무관한 디지털 클락 발생기를 설계하였으며 모의실험을 위해서 여러 가지 PVT(Process, Voltage 그리고 Temperature) 변화에 대해서 실험을 하였다. 실험한 여러 가지 PVT 변화 조건과 입력 주파수 등은 표 1과 같다.

[표 1]

특징	항목
공정	CMOS 0.18㎛
공정 조건	FF, SS, NN
공급 전압	2.16V, 1.8V, 1.44V
온도	25℃, 65℃, 100℃
locking 시간	2 cycle
동작 주파수	~1 GHz

다음의 파형은 1.8V, Normal 공정, 65℃에서 1GHz의 입력에 대한입력 신호 듀티비에 무관한 디지털 클락 발생기의 모의실험 결과이다.

1. 지연소자(Delay cell)의 모의실험 결과

도 8은 클럭신호 지연부(200)의 지연소자(delay cell)의 파형을 도시한 것이다. 도 8 에서처럼 입력 신호는 각 지연소자을 거치면서 지연되고 각 지연신호들은 일정한 간격을 가짐을 알 수 있다. 이것을 위해서 각 지연소자의 부하 커패시턴스를 일치하도록 하는 것이 중요하다. 또한 레이 아웃시에도 연결선을 최대한 짧게 설계하는 것이 필요하다.

2. 디지타이저의 모의실험 결과

도 9는 디지타이저(300)의 모의실험 결과를 도시한 것이다. 지연 셀은 한 주기 위상의 13번째에서 감지했으므로 13번째의 디지타이저의 출력은 0이 나오고, 14번째의 디지타이저의 출력은 1로 나오는 것을 확인할 수 있다. 이런 디지타이저를 설계할 때에 주의해야할 점은 신호를 포획하는 D-플립플롭의 타이밍이다. 에지에서 가장 가까운 지연소자의 출력을 포획할 때 더욱 정확한 신호를 얻을 수 있다.

3. 선택신호생성부의 모의실험 결과

도 10은 선택신호 생성부(400)의 모의실험 결과를 도시한 것이다. 상기 선택신호생성부(400)는 디지타이저(300)의 출력을 입력으로 받아서 1에서 0으로 천이하는 지연 셀, 즉 한주기에 해당하는 지연 셀을 감지할 수 있다. 여기서는 14번째에 해당하는 선택신호 생성부가 'hi'가 된 것을 확인할 수 있다.

4. 멀티플렉서의 모의실험 결과

도 11은 선택부(500)의 멀티플렉서의 모의실험 결과를 도시한 것이다. 선택신호 생성부(400)에서 출력된 14번째 신호가 지연 셀의 위치를 감지하여 3/4주기의 지점에서 3τ를 보상해주는 지점을 찾게 된다. 그 지점의 지연 셀에서의 신호가 출력으로 나오게 된다. 출력 신호는 입력 신호의 π/2 지연된 신호를 볼 수 있다.

[표 2]

전압	공정	온도(℃)	지연시간(ps)	에러(%)
1.44V	SS	25	272	-2.2
1.44V	SS	65	268	-1.8
1.44V	SS	100	285	-3.5
1.44V	NN	25	239	1.1
1.44V	NN	65	269	-1.9
1.44V	NN	100	245	0.5
1.44V	FF	25	224	2.6
1.44V	FF	65	227	2.3
1.44V	FF	100	262	-1.2
1.8V	SS	25	258	-0.8
1.8V	SS	65	272	-2.2
1.8V	SS	100	265	-1.5
1.8V	NN	25	251	-0.1
1.8V	NN	65	238	1.2
1.8V	NN	100	263	-1.3
1.8V	FF	25	225	2.5
1.8V	FF	65	265	-1.5
1.8V	FF	100	243	0.7
2.16V	SS	25	253	-0.3
2.16V	SS	65	255	-0.5
2.16V	SS	100	263	-1.3
2.16V	NN	25	275	-2.5
2.16V	NN	65	260	-1
2.16V	NN	100	270	-2
2.16V	FF	25	243	0.7
2.16V	FF	65	238	1.2
2.16V	FF	100	230	2

표 2는 전체 회로를 전압, 공정 및 온도 변화에 따른 실험 결과를 나타낸 것이다. 전압 변화는 1.44V, 1.8V, 2.16V로 공정상의 기준 전압인 1.8V에 +20%와 -20%의 변화를 가지고 모의 실험을 하였고 공정은 Fast, Slow, Normal로 변화를 주었고 온도는 25℃, 65℃, 100℃로 변화시키면서 모의 실험을 진행 했다. 본 과제에서 입력 신호의 π/2 지연된 신호를 출력으로 내보내는데 1GHz의 신호를 입력으로 주므로 250ps의 지연된 신호가 나와야한다. 표의 결과에서 알 수 있듯이 250ps와 거의 같은 신호가 나오는 것을 볼 수 있다. 에러율은 ±3%에 거의 다 들어오는 것을 알 수 있다.

본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

본 발명에 의한 입력신호의 듀티비에 무관한 클럭신호 발생장치에 의하면 저전압에서 고속동작을 하는 마이크로프로세서의 전력 소모를 줄일 수 있다.

또한 본 발명은 고속 디지털 시스템에서 파워다운 모드에서 활성모드로 넘어갈 때 곧바로 클럭을 공급해서 시스템 레벨에서 전력소모를 줄이는 데 큰 역할을 하므로 많은 저전력 SOC 제품에 응용되어져 사용되어 시장성도 크다 할 수 있다.

또한 종래 디지털 클럭 발생기의 경우 락킹하는 데 걸리는 시간이 8주기이나 본 발명에 의하면 두 주기만에 락킹(locking)이 된다. 또한 종래의 경우 면적이나 전력소모의 경우도 0.11um공정을 사용하였음에도 불구하고 본 발명에 의한 디지털 클럭 발생기 보다 각각 7배, 1.5배정도 크다. 따라서 본 발명은 질적으로 보면 락킹시간, 면적, 전력소모 면에서 종래 기술에 비해 매우 우수하다. 또한 입력 신호의 듀티비가 50%가 아닌 신호가 들어오더라도 정확히 지연된 출력을 만들어 낼 수 있고 전압, 공정 및 온도의 변화에 대해 3% 오차 범위 내에서 동작하여 기존의 다른 클럭 발생기에서의 높은 오차율을 보완하였다.

본 발명에 의한 디지털 클럭 발생장치는 저전압에서 고속 동작을 하는 마이크로프로세서의 전력 소모를 줄이는데 매우 유용하게 사용될 수 있다. 우선 저전압에서 동작하는 데 한계가 있는 아날로그 회로를 대체할 디지털 지연셀을 제공하고 있으며, 입력신호의 듀티비에 무관하게 정확한 위상을 만들어 낼 수 있다.

또한 본 발명에 의한 클럭발생 장치는 저전력 SOC에 바로 응용될 수 있다. 경제적 관점에서 보면 저전력 SOC나 고속 마이크로프로세서, 클럭/데이터 복원기 등에 널리 응용되어 질 수 있으므로 경제성 또한 매우 크다.

이로 인해, 고성능 마이크로프로세서에서 다상의 클럭을 만드는데 사용하거나 파워 다운 모드에서 활성모드로 변환시키는데 필요한 고속 락킹이 가능한 클럭 발생기로 활용하고 고성능 메모리의 인터페이스 부분에서 skew를 맞추는데 사용할 수 있다. 또한 SERDES(Ethernet, 휴대폰용 MDDI, SONET)등의 클럭발생기로 사용할 수 있다. 본 발명은 경제적 관점에서 보면 저전력 SOC나 고속 마이크로프로세서, 클럭/데이터 복원기등에 널리 응용되어 질 수 있으므로 경제성 또한 매우 크다할 수 있다.

도면의 간단한 설명

도 1은 도 1은 본 발명에 의한 입력신호 듀티비에 무관한 디지털 클럭신호 발생장치의 구성을 블록도로 도시한 것이다.

도 2는 본 발명에 의한 입력신호 듀티비에 무관한 디지털 클럭신호 발생장치의 바람직한 일실시예를 도시한 것이다.

도 3a 및 도 3b는 지연소자의 구조와 타이밍도를 도시한 것이다.

도 4a 및 도 4b는 디지타이저의 구조 및 타이밍도를 도시한 것이다.

도 5는 선택신호 생성부의 구조를 도시한 것이다.

도 6은 선택부의 구조를 도시한 것이다.

도 7은 본 발명에 의한 입력신호의 듀티비에 무관한 디지털 클럭신호 발생방법을 흐름도로 도시한 것이다.

도 8은 클럭신호 지연부(200)의 지연소자(delay cell)의 파형을 도시한 것이다.

도 9는 디지타이저의 모의실험 결과를 도시한 것이다.

도 10은 선택신호 생성부의 모의실험 결과를 도시한 것이다.

도 11은 선택부의 멀티플렉서의 모의실험 결과를 도시한 것이다.

<도면의 주요부분에 대한 부호의 설명>

100...클럭신호 발생부 200...클럭신호지연부

220...제1지연소자열 240...제2지연소자열

300...디지타이저 302, 304, 306, 308, 310...복수의 인버터

312, 314, 316, 318, 319...복수의 클럭지연기

320, 322, 324, 326, 328...복수의 플립플롭

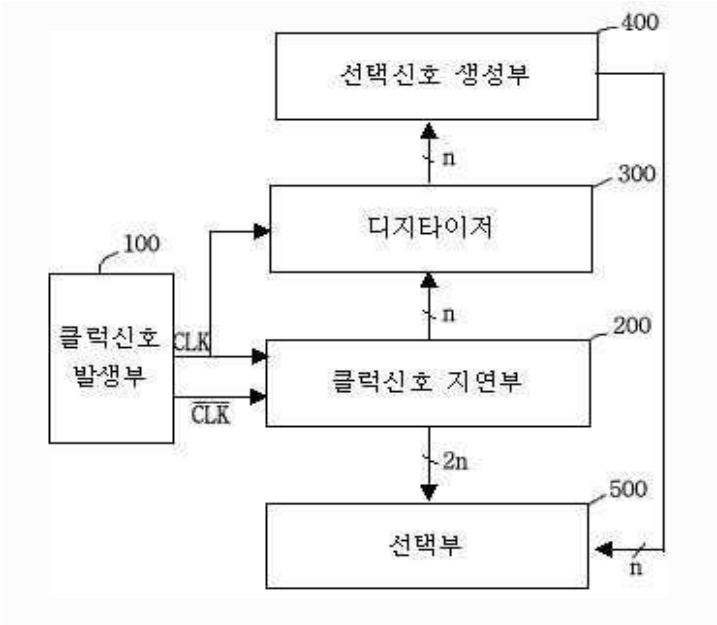
400...선택신호생성부 402, 404, 406, 408...복수의 인버터

412, 414, 416, 418...논리곱 게이트

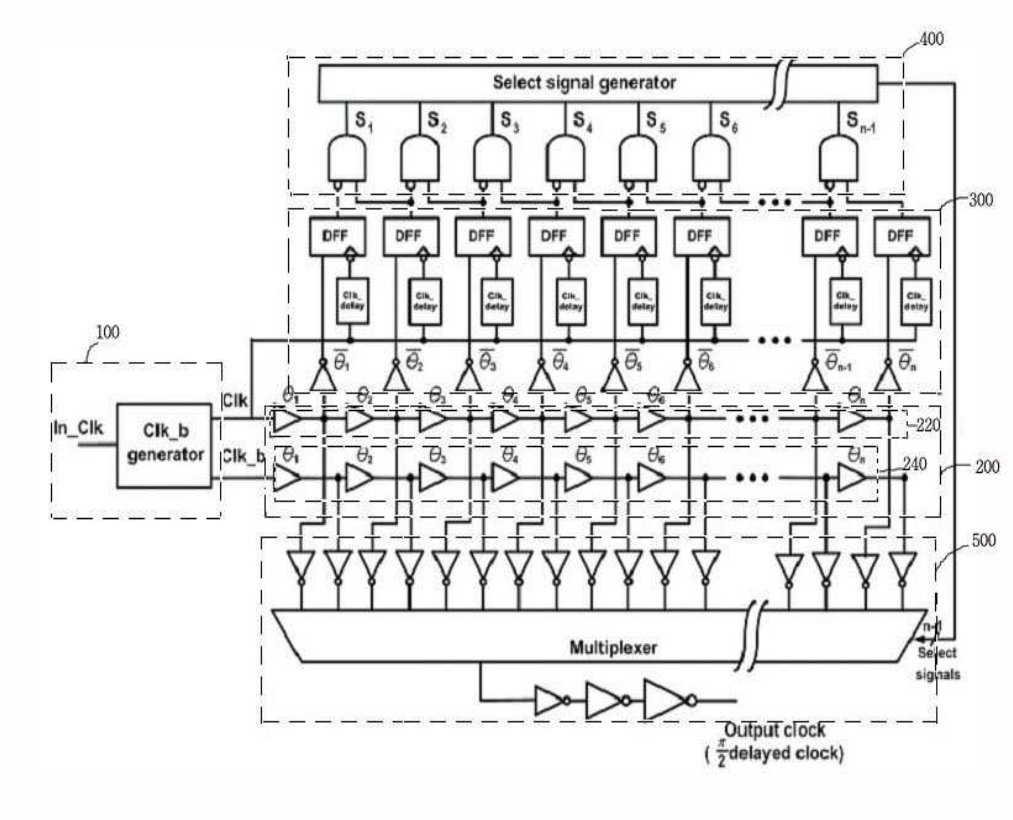
500...선택부

도면

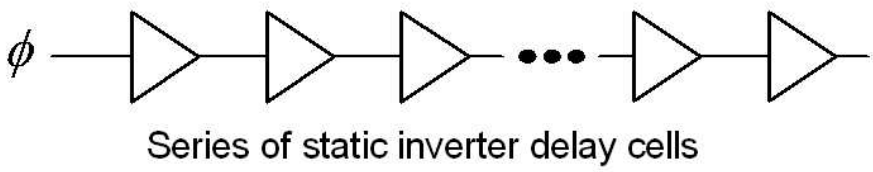
도면1



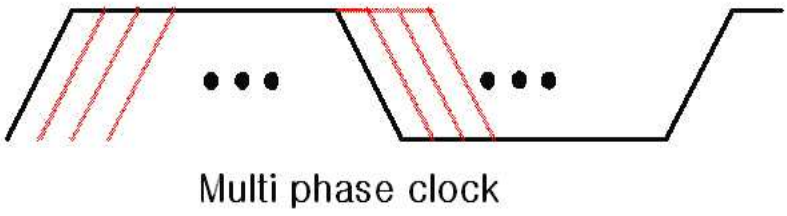
도면2



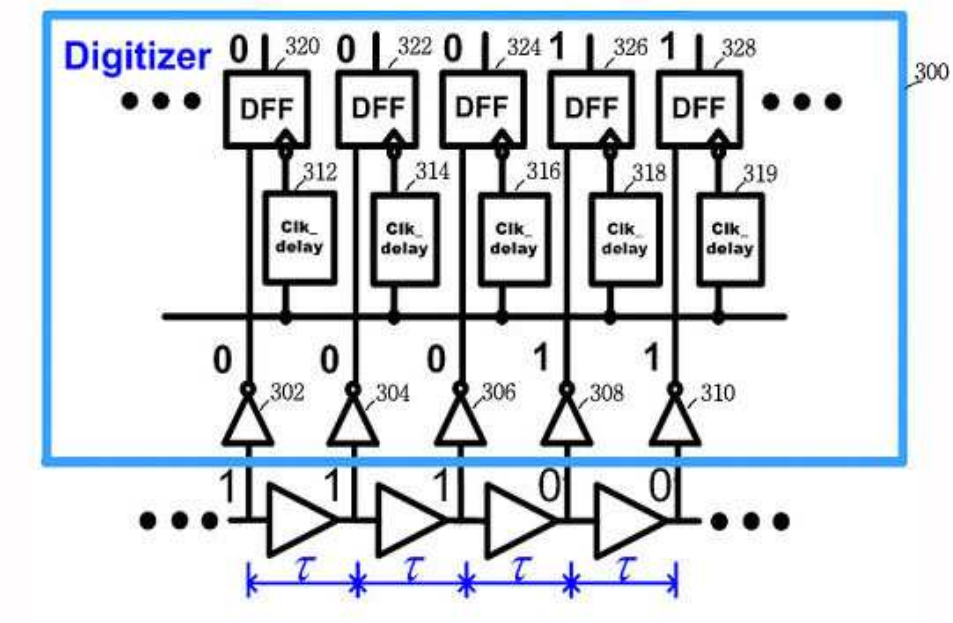
도면3a



도면3b



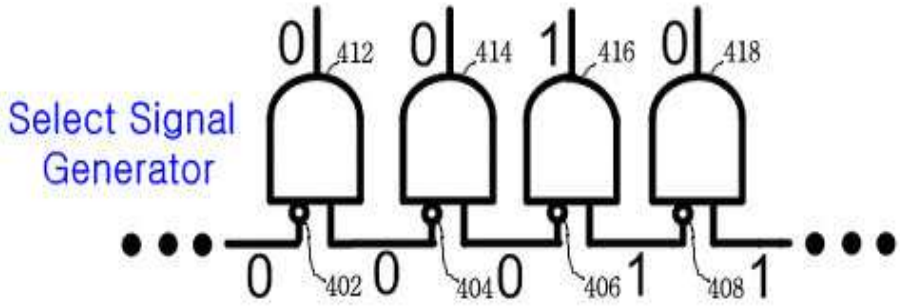
도면4a



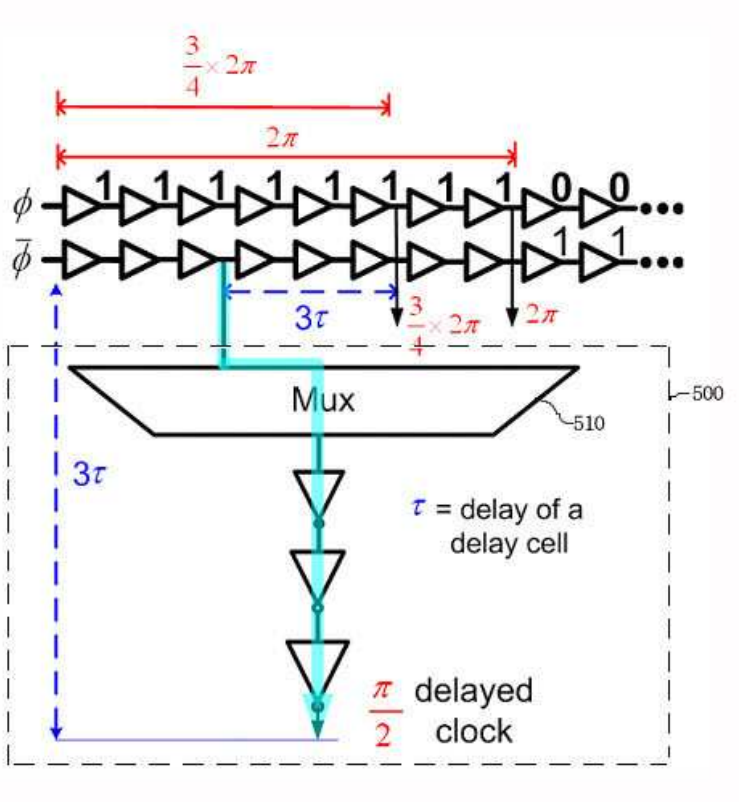
도면4b



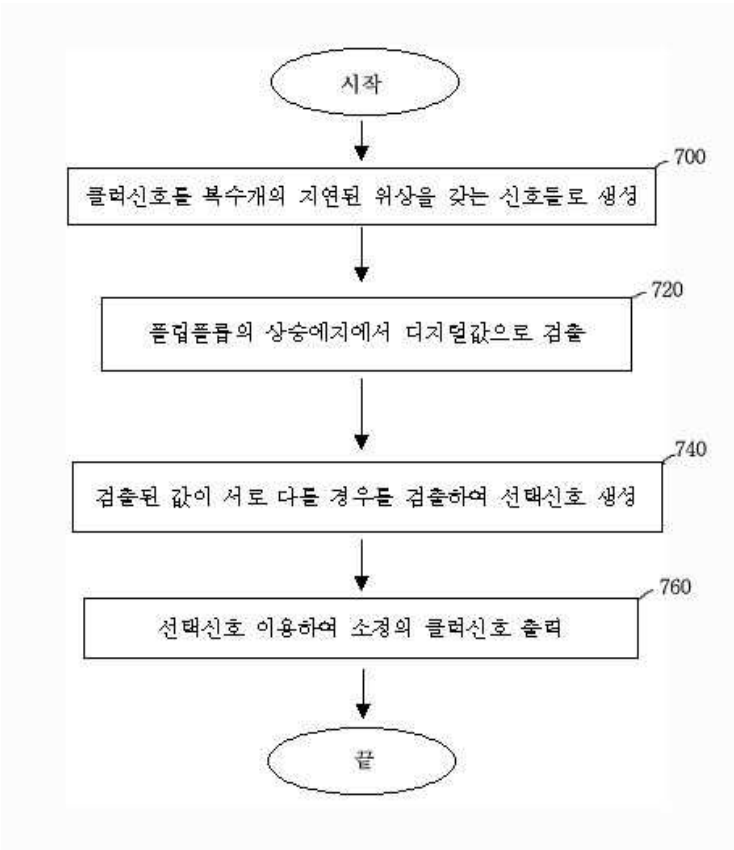
도면5



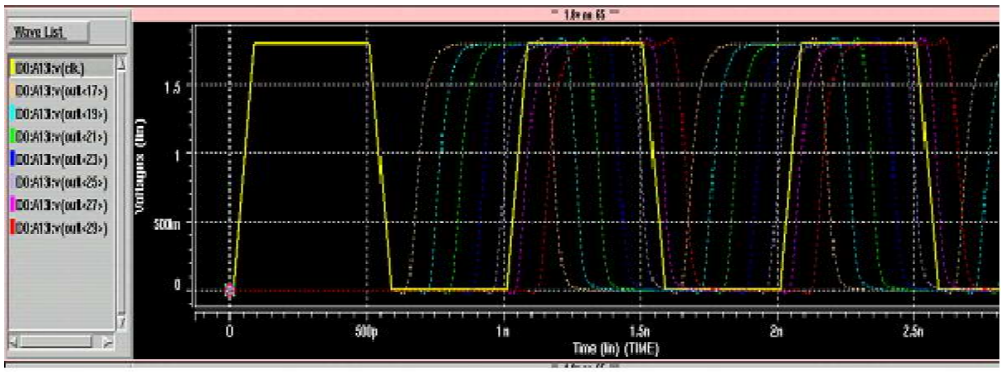
도면6


$\frac{3}{4}\times 2\pi$
2π
ϕ
$\overline{\phi}$
1 1 1 1 1 1 1 1 0 0 ...
1 1 ...
3τ
$\frac{3}{4}\times 2\pi$
2π
Mux
510
500
3τ
τ = delay of a delay cell
$\frac{\pi}{2}$ delayed clock

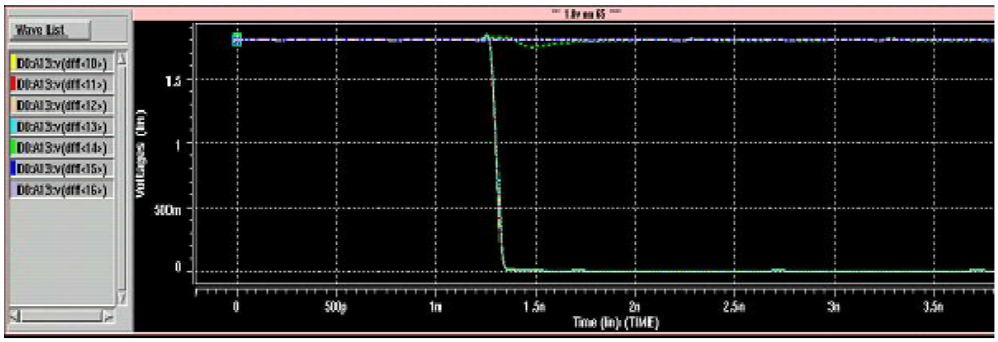
도면7


시작
클럭신호를 복수개의 지연된 위상을 갖는 신호들로 생성
700
플립플롭의 상승에지에서 디지털값으로 검출
720
검출된 값이 서로 다를 경우를 검출하여 선택신호 생성
740
선택신호 이용하여 소정의 클럭신호 출력
760
끝

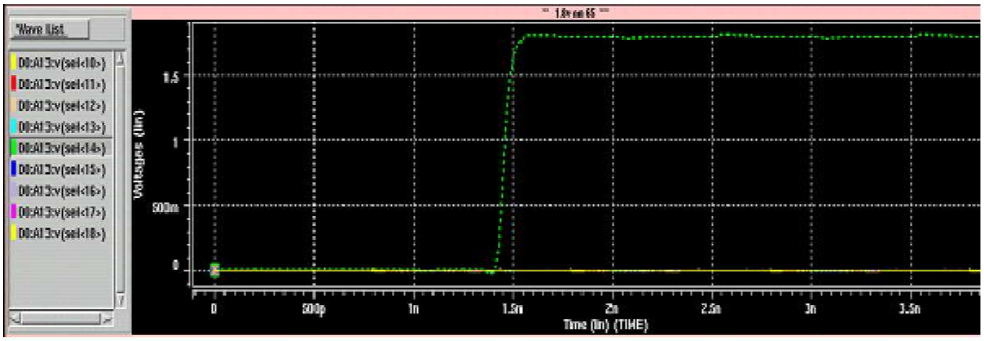
도면8



도면9



도면10



도면11

