



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.

G02F 1/133 (2006.01)

(11) 공개번호

10-2006-0134730

(43) 공개일자

2006년12월28일

(21) 출원번호 10-2005-0054646

(22) 출원일자 2005년06월23일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

김경훈

경기 의왕시 왕곡동 신명솔거아파트 103동 1310호

김일곤

서울특별시 동작구 상도동 431번지 상도3차 래미안 327동 803호

문국철

경기 용인시 신봉동 현대아파트 404동 301호

박태형

경기 용인시 풍덕천2동 성우현대아파트 신정마을 807동 1802호

김철호

서울특별시 구로구 신도림동 432-8번지

박경순

경기 용인시 기흥읍 농서리 7-1 남자기숙사 월계수동 334호

(74) 대리인

박영우

전체 청구항 수 : 총 20 항

(54) 어레이 기관 및 이를 구비한 표시 장치

(57) 요약

정전기 방지를 위한 어레이 기관 및 이를 구비한 표시 장치가 개시된다. 게이트 회로부는 게이트 배선들에 게이트 신호들을 출력한다. 제1 신호 배선은 게이트 회로부와 인접하게 형성되어, 게이트 회로부의 구동을 개시시키는 개시신호를 전달한다. 제2 신호 배선은 제1 신호 배선의 일측에 형성되어, 게이트 회로부의 출력을 제어하는 제어 신호를 전달한다. 제1 연결 배선은 게이트 회로부와 제2 신호 배선을 전기적으로 연결하고, 제1 신호 배선과 교차하는 제1 연결 배선을 포함한다. 이에 따라, 개시신호 배선을 다른 금속층으로 형성된 연결 배선들과 중첩시킴으로써 배선 저항을 크게 하여 정전기로부터 개시신호 배선과 연결된 게이트 회로부를 보호할 수 있다.

대표도

도 1

특허청구의 범위

청구항 1.

게이트 배선들과 소스 배선들에 의해 정의되는 복수의 화소부들;

상기 게이트 배선들에 게이트 신호들을 출력하는 게이트 회로부;

상기 게이트 회로부와 인접하게 형성되어, 상기 게이트 회로부의 구동을 개시시키는 개시신호를 전달하는 제1 신호 배선;

상기 제1 신호 배선의 일측에 형성되어, 상기 게이트 회로부의 출력을 제어하는 제어 신호를 전달하는 제2 신호 배선; 및

상기 게이트 회로부와 제2 신호 배선을 전기적으로 연결하고, 상기 제1 신호 배선과 교차하는 제1 연결 배선을 포함하는 것을 특징으로 하는 어레이 기판.

청구항 2.

제1항에 있어서, 상기 제1 신호 배선의 상기 일측에 형성되어, 상기 게이트 회로부의 구동 전압을 전달하는 제3 신호 배선; 및

상기 게이트 회로부와 제3 신호 배선을 전기적으로 연결하고, 상기 제1 신호 배선과 교차하는 제2 연결 배선을 더 포함하는 것을 특징으로 하는 어레이 기판.

청구항 3.

제2항에 있어서, 상기 제2 신호 배선은 상기 제1 신호 배선과 상기 제3 신호 배선 사이에 형성된 것을 특징으로 하는 어레이 기판.

청구항 4.

제1항에 있어서, 상기 게이트 회로부는 서로 종속적으로 연결된 복수의 스테이지들을 포함하는 것을 특징으로 하는 어레이 기판.

청구항 5.

제4항에 있어서, 상기 제2 신호 배선은 상기 스테이지들 중 홀수번째 스테이지들에 인가되는 제1 클럭신호를 전달하는 것을 특징으로 하는 어레이 기판.

청구항 6.

제5항에 있어서, 상기 제1 연결 배선은 각각의 홀수번째 스테이지와 전기적으로 연결되어 상기 제1 클럭신호를 상기 각각의 홀수번째 스테이지에 전달하는 것을 특징으로 하는 어레이 기판.

청구항 7.

제4항에 있어서, 상기 제2 신호 배선은 상기 스테이지들 중 짝수번째 스테이지들에 인가되는 상기 제2 클럭신호를 전달하는 것을 특징으로 하는 어레이 기판.

청구항 8.

제7항에 있어서, 상기 제1 연결 배선은 각각의 짝수번째 스테이지와 전기적으로 연결되어 상기 제2 클럭신호를 상기 각각의 짝수번째 스테이지에 전달하는 것을 특징으로 하는 어레이 기판.

청구항 9.

제4항에 있어서, 상기 제3 신호 배선은 상기 스테이지들에 상기 게이트 신호의 로우 레벨을 결정하는 게이트 오프전압을 전달하는 것을 특징으로 하는 어레이 기판.

청구항 10.

제9항에 있어서, 상기 제2 연결 배선은 각각의 스테이지와 전기적으로 연결되어 상기 게이트 오프전압을 상기 각각의 스테이지에 전달하는 것을 특징으로 하는 어레이 기판.

청구항 11.

제1항에 있어서, 상기 제1 내지 제3 신호 배선들은 상기 소스 배선들과 동일한 금속층으로 형성된 것을 특징으로 하는 어레이 기판.

청구항 12.

제1항에 있어서, 상기 제1 및 제2 연결 배선은 상기 게이트 배선들과 동일한 금속층으로 형성된 것을 특징으로 하는 어레이 기판.

청구항 13.

제1항에 있어서, 각각의 화소부는 게이트 배선과 소스 배선에 연결된 스위칭 소자를 포함하며,

상기 스위칭 소자와 게이트 회로부는 아몰퍼스 실리콘 박막트랜지스터를 포함하는 것을 특징으로 하는 어레이 기판.

청구항 14.

게이트 배선들과 소스 배선들에 의해 정의되는 복수의 화소부들;

상기 게이트 배선들에 게이트 신호들을 출력하는 복수의 스테이지들을 포함하는 게이트 회로부;

상기 게이트 회로부와 인접하게 형성되어, 상기 게이트 회로부의 구동을 개시시키는 개시신호를 전달하는 개시신호 배선;

상기 개시신호 배선의 일측에 형성되어, 상기 스테이지들의 출력을 클럭신호를 전달하는 클럭신호 배선;

상기 클럭신호 배선의 일측에 형성되어, 상기 게이트 회로부의 구동전압을 전달하는 전압 배선;

상기 게이트 회로부와 클럭신호 배선을 전기적으로 연결하고, 상기 개시신호 배선과 교차하도록 형성된 제1 연결 배선; 및

상기 게이트 회로부와 전압 배선을 전기적으로 연결하고, 상기 개시신호 배선과 교차하도록 형성된 제2 연결 배선을 포함하는 것을 특징으로 하는 어레이 기판.

청구항 15.

제1 기판; 및

상기 제1 기판과 결합되어 액정층을 수용하고, 표시 영역에 복수의 화소부들이 형성되고, 주변 영역에 상기 화소부들에 게이트 신호들을 출력하는 게이트 회로부와 게이트 회로부에 구동신호들을 전달하는 신호 배선들과 상기 게이트 회로부와 신호 배선들을 연결하는 연결 배선들이 형성된 제2 기판을 포함하며,

상기 신호 배선들 중 상기 개시신호를 전달하는 제1 신호 배선은 상기 게이트 회로부에 인접하고 상기 연결 배선들과 교차하도록 형성된 것을 특징으로 하는 표시 장치.

청구항 16.

제15항에 있어서, 상기 제1 신호 배선의 일측에 형성되어 상기 게이트 회로부의 출력을 제어하는 제어신호를 전달하는 제2 신호 배선;

상기 제2 신호 배선의 일측에 형성되어, 상기 게이트 회로부의 구동 전압을 전달하는 제3 신호 배선;

상기 게이트 회로부와 제2 신호 배선을 전기적으로 연결하는 제1 연결 배선; 및

상기 게이트 회로부와 제3 신호 배선을 전기적으로 연결하는 제2 연결 배선을 더 포함하는 것을 특징으로 하는 표시 장치.

청구항 17.

제16항에 있어서, 상기 게이트 회로부는 서로 종속적으로 연결된 복수의 스테이지들을 포함하며,

상기 제2 신호 배선은 상기 스테이지들 중 홀수번째 스테이지들에 인가되는 제1 클럭신호를 전달하고,

상기 제1 연결 배선은 각각의 홀수번째 스테이지와 전기적으로 연결되는 것을 특징으로 하는 표시 장치.

청구항 18.

제17항에 있어서, 상기 제2 신호 배선은 상기 스테이지들 중 짝수번째 스테이지들에 인가되는 상기 제2 클럭신호를 전달하고,

상기 제1 연결 배선은 각각의 짝수번째 스테이지와 전기적으로 연결되는 것을 특징으로 하는 표시 장치.

청구항 19.

제17항에 있어서, 상기 제3 신호 배선은 상기 스테이지들에 상기 게이트 신호의 로우 레벨을 결정하는 게이트 오프전압을 전달하고,

상기 제2 연결 배선은 각각의 스테이지와 전기적으로 연결되는 것을 특징으로 하는 표시 장치.

청구항 20.

제16항에 있어서, 상기 게이트 회로부는

상기 게이트 배선들 중 홀수번째 게이트 배선들에 게이트 신호들을 출력하는 제1 게이트 회로부; 및

상기 게이트 배선들 중 짝수번째 게이트 배선들에 게이트 신호들을 출력하는 제2 게이트 회로부를 포함하는 것을 특징으로 하는 표시 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 어레이 기판 및 이를 구비한 표시 장치에 관한 것으로, 보다 상세하게는 정전기 방지를 위한 어레이 기판 및 이를 구비한 표시 장치에 관한 것이다.

일반적으로 액정표시장치는 서로 마주하는 어레이 기판 및 대향 기판과, 상기 기판들 사이에 개재된 액정층을 포함하는 액정표시패널과, 상기 액정표시패널을 구동하는 구동 장치를 포함한다.

상기 어레이 기판은 복수의 게이트 배선들과 복수의 데이터 배선들과, 상기 게이트 배선들과 데이터 배선들이 각각 연결된 스위칭 소자(TFT)를 포함한다.

상기 액정표시패널의 제조 공정시, 공정상에서 발생하는 정전기가 상기 액정표시패널에 형성된 금속 배선들에 유입된다. 이러한 정전기는 상기 배선들의 단선 및 단락과 같은 배선 불량을 야기하며, 또한, 상기 스위칭 소자(TFT)를 손상시키는 등의 불량을 야기한다.

최근 액정표시장치의 사이즈를 줄이기 위한 방안으로 상기 게이트 배선들에 인가되는 게이트 신호를 출력하는 게이트 구동회로를 상기 액정표시패널에 집적하는 기술이 사용되고 있다. 상기 게이트 구동회로는 복수의 스테이지들이 종속적으로 연결된 하나의 쉬프트 레지스터로 형성된다.

이와 경우 상기 액정표시패널에는 상기 게이트 구동회로는 물론, 상기 게이트 구동회로를 구동하기 위한 구동신호들이 인가되는 신호배선들이 부가적으로 형성됨에 따라서, 기존의 액정표시패널보다 더욱 정전기에 취약한 단점을 갖는다.

특히, 상기 게이트 구동회로의 구동의 시작하는 수직개시신호(STV)가 인가되는 배선과 연결된 스테이지가 정전기에 의한 불량이 많이 발생하는 문제점을 갖는다.

발명이 이루고자 하는 기술적 과제

이에 본 발명의 기술적 과제는 이러한 종래의 문제점을 해결하기 위한 것으로, 본 발명의 목적은 제조 공정시 유입되는 정전기에 의한 불량을 방지하기 위한 어레이 기판을 제공하는 것이다.

본 발명의 다른 목적은 상기 어레이 기판을 포함하는 표시 장치를 제공하는 것이다.

발명의 구성

상기한 본 발명의 목적을 실현하기 위한 일실시예에 따른 어레이 기판은 복수의 화소부들, 게이트 회로부, 제1 신호 배선, 제2 신호 배선 및 제1 연결 배선을 포함한다. 상기 화소부들은 게이트 배선들과 소스 배선들에 의해 정의된다. 상기 게이트

회로부는 상기 게이트 배선들에 게이트 신호들을 출력한다. 상기 제1 신호 배선은 상기 게이트 회로부와 인접하게 형성되어, 상기 게이트 회로부의 구동을 개시시키는 개시신호를 전달한다. 상기 제2 신호 배선은 상기 제1 신호 배선의 일측에 형성되어, 상기 게이트 회로부의 출력을 제어하는 제어 신호를 전달한다. 상기 제1 연결 배선은 상기 게이트 회로부와 상기 제2 신호 배선을 전기적으로 연결하고, 상기 제1 신호 배선과 교차하는 제1 연결 배선을 포함한다.

본 발명의 목적을 실현하기 위한 다른 실시예에 따른 어레이 기판은 복수의 화소부들, 게이트 회로부, 개시신호 배선, 클럭 신호 배선, 전압 배선, 제1 연결배선 및 제2 연결배선을 포함한다. 상기 화소부들은 게이트 배선들과 소스 배선들에 의해 정의된다. 상기 게이트 회로부는 상기 게이트 배선들에 게이트 신호들을 출력하는 복수의 스테이지들을 포함한다. 상기 개시신호 배선은 상기 게이트 회로부와 인접하게 형성되어, 상기 게이트 회로부의 구동을 개시시키는 개시신호를 전달한다. 상기 클럭신호 배선은 상기 개시신호 배선의 일측에 형성되어, 상기 스테이지들의 출력을 클럭신호를 전달한다. 상기 전압 배선은 상기 클럭신호 배선의 일측에 형성되어, 상기 게이트 회로부의 구동전압을 전달한다. 상기 제1 연결배선은 상기 게이트 회로부와 상기 클럭신호 배선을 전기적으로 연결하고, 상기 개시신호 배선과 교차한다. 상기 제2 연결배선은 상기 게이트 회로부와 상기 전압 배선을 전기적으로 연결하고, 상기 개시신호 배선과 교차한다.

상기한 본 발명의 다른 목적을 실현하기 위한 표시 장치는 제1 기판 및 제2 기판을 포함한다. 상기 제2 기판은 상기 제1 기판과 결합되어 액정층을 수용하고, 표시 영역에 복수의 화소부들이 형성되고, 주변 영역에 상기 화소부들에 게이트 신호들을 출력하는 게이트 회로부와 상기 게이트 회로부에 구동신호들을 전달하는 신호 배선들과 상기 게이트 회로부와 신호 배선들을 연결하는 연결 배선들이 형성된다. 상기 신호 배선들 중 상기 개시신호를 전달하는 제1 신호 배선은 상기 게이트 회로부에 인접하고 상기 연결 배선들과 교차하도록 형성된다.

이러한 어레이 기판 및 이를 구비한 표시 장치에 의하면, 개시신호 배선을 다른 금속층으로 형성된 연결 배선들과 중첩시킴으로써 배선 저항을 크게 하여 정전기로부터 상기 개시신호 배선과 연결된 게이트 회로부를 보호할 수 있다.

이하, 첨부한 도면들을 참조하여, 본 발명을 보다 상세하게 설명하고자 한다.

도 1은 본 발명의 실시예에 따른 어레이 기판에 대한 개략적인 평면도이다.

도 1을 참조하면, 상기 어레이 기판(100)은 표시 영역(DA)과 상기 표시 영역(DA)을 둘러싸는 주변 영역으로 이루어진다.

상기 표시 영역(DA)에는 복수의 게이트 배선(GL)들과, 복수의 소스 배선(DL)들과, 상기 게이트 배선들과 소스 배선들에 의해 정의되는 복수의 화소부들(P)이 형성된다.

각각의 화소부(P)에는 게이트 배선(GL)과 소스 배선(DL)에 연결된 스위칭 소자(TFT)와, 상기 스위칭 소자(TFT)에 연결된 화소 전극(PE)이 형성된다. 도시되지는 않았으나, 상기 화소부(P)에는 스토리지 캐패시터의 공통전극인 스토리지 공통 배선이 형성된다.

상기 주변 영역은 제1 주변 영역(PA1)과 제2 주변 영역(PA2)을 포함한다.

상기 제1 주변 영역(PA1)에는 제1 패드부(110)와 제2 패드부(120)가 형성된다. 상기 제1 패드부(110)는 상기 소스 배선들(DL)의 일단부로부터 연장되어 형성된 복수의 패드들(111)을 포함한다. 상기 제1 패드부(110)에는 상기 화소부들(P)에 구동신호를 출력하는 구동 칩이 실장되며, 상기 구동 신호는 상기 화소부들(P)에 인가되는 데이터 신호를 포함한다.

상기 제2 패드부(120)는 상기 제1 패드부(120)에 실장된 구동 칩에 외부장치로부터 제공되는 외부신호들을 전달하기 위한 연성인쇄회로기판(Flexible Printed Circuit Board; FPCB)의 출력단자들이 접촉된다.

상기 제2 주변 영역(PA2)에는 상기 게이트 배선들(GL)에 게이트 신호들을 출력하는 게이트 회로부(130)와, 상기 게이트 회로부(130)에 인가되는 게이트 제어신호들을 전달하는 신호 배선부(140)와, 상기 게이트 회로부(130)와 상기 신호 배선부(140)를 연결하는 연결 배선부(150)가 형성된다.

상기 게이트 회로부(130)는 상기 게이트 배선들(GL)에 대응하는 복수의 스테이지들이 종속적으로 연결된 쉬프트 레지스터이다.

상기 신호 배선부(140)는 소스 금속물질로 상기 소스 배선들과 평행한 방향으로 형성된 제1 내지 제5 신호 배선들(141, 142, 143, 144, 145)을 포함한다.

상기 제1 신호 배선(141)은 게이트 신호의 하이 레벨을 결정하는 제1 게이트 전압(VDD)을 전달하고, 상기 제2 신호 배선(142)은 상기 게이트 회로부(130)의 구동을 시작하는 제어신호인 수직개시신호(STV)를 전달한다. 상기 제2 신호 배선(142)은 상기 게이트 회로부(130)의 첫 번째 스테이지 및 마지막 스테이지와 연결된다.

상기 제3 신호 배선(143)은 홀수번째 게이트 신호의 출력을 제어하는 제1 클럭신호(CK)를 전달하고, 제4 신호 배선(144)은 짝수번째 게이트 신호의 출력을 제어하는 제2 클럭신호(CKB)를 전달한다. 상기 제5 신호 배선(145)은 상기 게이트 신호의 로우 레벨을 결정하는 제2 게이트 전압(VSS)을 전달한다.

상기 제1 신호 배선(141)은 상기 게이트 회로부(130)에 인접하고, 상기 제1 신호 배선(142)은 상기 제1 신호 배선(141)에 인접하고, 상기 제3 신호 배선(143)은 상기 제2 신호 배선(142)에 인접하고, 상기 제4 신호 배선(144)은 상기 제3 신호 배선(143)에 인접하고, 상기 제5 신호 배선(145)은 상기 제4 신호 배선(144)에 인접하다.

상기 제1 내지 제5 신호 배선들(141, 142, 143, 144, 145)의 일단부에는 제1 내지 제5 패드들(121, 122, 123, 124, 125)이 형성되고, 상기 제1 내지 제5 패드들(121, 122, 123, 124, 125)은 상기 제1 주변 영역(PA1)에 형성된 제2 패드부(120)에 포함된다.

상기 연결 배선부(160)는 바람직하게 상기 소스 금속물질과 다른 층에 형성된 게이트 금속물질로 형성되고, 상기 게이트 배선들과 평행한 방향으로 형성된다. 즉, 상기 연결 배선부(160)는 상기 신호 배선부(140)와 교차하는 방향으로 연장된다.

상기 연결 배선부(160)는 상기 제1 내지 제5 신호 배선들(141 내지 145)들과 상기 게이트 회로부(130)를 전기적으로 연결하는 복수의 연결 배선부들을 포함한다. 예컨대, 제1 연결 배선부는 첫 번째 스테이지의 입력단자들과 상기 제1 내지 제5 신호 배선들을 연결한다.

이에 따라, 상기 연결 배선부(160)는 상기 수직개시신호(STV)가 전달되는 제2 신호 배선(142)과 교차하는 방향으로 형성된다. 즉, 상기 소스 금속물질로 형성된 제2 신호 배선(142)은 게이트 금속물질로 형성된 상기 연결 배선부(160)의 일부와 중첩되는 구조를 갖는다.

따라서, 상기 제2 신호 배선(142)은 상기 연결 배선부(160)와 중첩되는 부분에서 캐패시턴스가 증가됨에 따라 상기 제2 신호 배선(142)으로 유입된 정전기를 분산시킨다. 결과적으로 상기 제2 신호 배선(142)과 연결되는 부분의 전자 소자들을 정전기로부터 보호한다.

도 2는 도 1에 도시된 어레이 기관의 확대 평면도이다.

도 1 내지 도 2를 참조하면, 어레이 기관(100)은 제1 및 제2 주변 영역(PA1, PA2)과 표시 영역(DA)으로 이루어진다.

상기 제2 주변 영역(PA2)에는 상기 게이트 회로부(130)의 복수의 스테이지들(SRC2k-1, SRC2k)과, 상기 신호 배선부(140) 및 상기 복수의 스테이지들(SRC2k-1, SRC2k)과 상기 신호 배선부(140)를 전기적으로 연결하는 복수의 연결 배선부들(161, 162)을 포함한다.

상기 복수의 스테이지들(SRC2k-1, SRC2k)은 게이트 금속패턴으로 형성된 게이트 전극과 소스 금속패턴으로 형성된 소스-드레인 전극 및 아몰퍼스 실리콘(a-Si)으로 형성된 채널층을 포함하는 복수의 박막 트랜지스터들로 형성된다.

상기 신호 배선부, 즉 제1 내지 제5 신호 배선들(141, 142, 143, 144, 145)은 상기 소스 금속패턴으로 상기 표시 영역(DA)의 소스 배선(DL)과 동일한 방향으로 연장되어 형성된다.

상기 신호 배선들 중 상기 수직개시신호(STV)를 전달하는 제2 신호 배선(142)은 상기 게이트 회로부(130)에 인접하게 형성된다. 상기 제1 및 제2 클럭 신호(CK, CKB)를 전달하는 제3 내지 제5 신호 배선들(143, 144, 145)은 상기 제2 신호 배선(142)의 일측에 순서대로 형성된다. 도시된 바와 같이, 상기 제2 신호 배선(142)은 상기 게이트 회로부(130)와 상기 제3 신호 배선들(143) 사이에 형성된다.

또한, 상기 제2 신호 배선(142)은 배선 폭(W)은 대략 60 μm 정도이다.

상기 연결 배선부들(161, 162)은 바람직하게 상기 게이트 금속패턴으로 상기 표시 영역(DA)의 게이트 배선(GL)과 동일한 방향으로 연장되어 형성된다. 상기 연결 배선부들(161, 162)은 상기 신호 배선부(140)와 상기 복수의 스테이지들(SRC2k-1, SRC2k) 각각을 전기적으로 연결시킨다.

구체적으로, 홀수번째 스테이지(SRC2k-1)에는 제1 신호 배선(141)으로 전달되는 제1 게이트 전압(VDD)과 제5 신호 배선(145)으로 전달되는 제2 게이트 전압(VSS) 및 제3 신호 배선(143)으로 전달되는 제1 클럭신호(CK)가 인가된다.

이에 따라서, 상기 홀수번째 스테이지(SRC2k-1)와 상기 신호 배선부(140)를 전기적으로 연결시키는 제1 연결 배선부(161)는 제1 내지 제3 연결 배선들(161a, 161b, 161c)을 포함한다.

제1 연결 배선(161a)은 제1 신호 배선(141)으로부터 연장되어 상기 홀수번째 스테이지(SRC2k-1)의 입력단자에 연결된다. 제2 연결 배선(161b)은 콘택부(C11)를 통해 상기 제5 신호 배선(145)과 전기적으로 연결되어 상기 홀수번째 스테이지(SRC2k-1)의 입력단자에 연결된다. 제3 연결 배선(161c)은 콘택부(C12)를 통해 상기 제3 신호 배선(143)과 전기적으로 연결되어 상기 홀수번째 스테이지(SRC2k-1)의 입력단자에 연결된다.

여기서, 제1 연결 배선(161a)은 상기 제1 신호 배선(141)으로부터 연장된 소스 금속패턴으로 형성된 것을 예로 하였으나, 물론, 게이트 금속패턴으로 형성할 수도 있다.

한편, 짝수번째 스테이지(SRC2k)에는 제1 신호 배선(141)으로 전달되는 제1 게이트 전압(VDD)과 제5 신호 배선(145)으로 전달되는 제2 게이트 전압(VSS) 및 제4 신호 배선(144)으로 전달되는 제2 클럭신호(CKB)가 인가된다.

이에 따라서, 상기 짝수번째 스테이지(SRC2k)와 상기 신호 배선부(140)를 전기적으로 연결시키는 제2 연결 배선부(162)는 제1 내지 제3 연결 배선들(162a, 162b, 162c)을 포함한다.

상기 제1 연결 배선(162a)은 제1 신호 배선(141)으로부터 연장되어 짝수번째 스테이지(SRC2k)의 입력단자와 연결된다. 제2 연결 배선(162b)은 콘택부(C21)를 통해 상기 제5 신호 배선(145)과 전기적으로 연결되어 상기 짝수번째 스테이지(SRC2k)의 입력단자에 연결된다. 제3 연결 배선(162c)은 콘택부(C22)를 통해 상기 제4 신호 배선(144)과 전기적으로 연결되어 상기 짝수번째 스테이지(SRC2k)의 입력단자에 연결된다.

여기서, 제1 연결 배선(162a)은 상기 제1 신호 배선(141)으로부터 연장된 소스 금속패턴으로 형성된 것을 예로 하였으나, 물론, 게이트 금속패턴으로 형성할 수도 있다.

결과적으로 상기 수직개시신호(STV)를 전달하는 제2 신호 배선(142)은 홀수번째 스테이지(SRC2k)의 연결 배선들 중 제2 및 제3 연결 배선(161b, 161c)과 중첩된다. 또한, 상기 제2 신호 배선(142)은 짝수번째 스테이지(SRC2k)의 연결 배선들 중 제2 및 제3 연결 배선(162b, 162c)과 중첩된다.

이에 따라서, 상기 제2 신호 배선(142)은 복수의 스테이지들에 각각 연결되는 제2 및 제3 연결 배선들에 의해 배선 저항이 증가하게 된다. 상기 배선 저항이 증가됨에 따라서 상기 제2 신호 배선으로 유입되는 정전기를 분산시킴으로써 상기 제2 신호 배선과 연결되는 첫 번째 스테이지 및 마지막 스테이지를 상기 정전기로부터 보호한다.

상기 표시 영역(DA)에는 복수의 화소부들(P2k-1, P2k)이 형성된다.

2k-1번째 화소부(P2k)에는 상기 홀수번째 스테이지(SRC2k-1)의 출력단자와 연결된 2k-1번째 게이트 배선(GL2k-1)과 전기적으로 연결된 제1 스위칭 소자(TFT1)가 형성된다.

구체적으로 제1 스위칭 소자(170)는 상기 2k-1번째 게이트 배선(GL2k-1)과 연결된 제1 게이트 전극(171)과 소스 배선(DL)과 연결된 제1 소스 전극(173) 및 제1 화소 전극(176)과 제1 콘택홀(175)을 통해 전기적으로 연결된 제1 드레인 전극(174)을 포함한다. 제1 스위칭 소자(170)는 상기 제1 게이트 전극(171)과, 제1 소스 및 드레인 전극(173, 174) 사이에 형성된 제1 채널부(172)를 포함한다.

한편, 2k번째 화소부(P2k)에는 상기 짝수번째 스테이지(SRC2k)의 출력단자와 연결된 2k번째 게이트 배선(GL2k)과 전기적으로 연결된 제2 스위칭 소자(180)가 형성된다.

상기 제2 스위칭 소자(180)는 상기 2k번째 게이트 배선(GL2k)과 연결된 제2 게이트 전극(181)과 소스 배선(DL)과 연결된 제2 소스 전극(182) 및 제1 화소 전극(186)과 제2 콘택홀(185)을 통해 전기적으로 연결된 제2 드레인 전극(184)을 포함한다. 제2 스위칭 소자(180)는 상기 제2 게이트 전극(181)과, 제2 소스 및 드레인 전극(183, 184) 사이에 형성된 제2 채널부(182)를 포함한다.

도 3은 도 2의 I-I' 라인을 따라 절단한 어레이 기판의 단면도이다.

도 1 내지 도 3을 참조하면, 상기 어레이 기판(100)은 표시 영역(DA)과 주변 영역(PA1, PA2)으로 정의되는 베이스 기판(101)을 포함한다.

상기 베이스 기판(101) 위에 게이트 금속층을 형성한 후, 패터닝하여 게이트 금속패턴들을 형성한다. 상기 게이트 금속패턴들은 상기 게이트 배선들(GL2k-1, GL2k)과, 상기 게이트 회로부(130)의 게이트 금속패턴과, 상기 연결 배선부(160)의 제2 및 제3 연결 배선들(161b, 161c, 162b, 162c)을 포함한다.

상기 제1 및 제2 연결 배선들(161b, 161c, 162b, 162c)의 각각의 일단부에는 복수의 콘택홀들을 포함하는 상기 콘택부들(C11, C12, C21, C22)이 형성된다. 상기 콘택부들(C11, C12, C21, C22)을 통해서 후술되는 상기 제3 내지 제5 신호 배선들(143, 144, 145)과 상기 제1 및 제2 연결 배선들(161b, 161c, 162b, 162c)이 전기적으로 연결된다.

상기 게이트 금속패턴들이 형성된 베이스 기판(101)위에 게이트 절연층(102)을 형성한다.

상기 게이트 절연층(102)이 형성된 베이스 기판(101) 위에 채널층을 형성하고 패터닝하여 제1 및 제2 채널부(172, 182)를 형성한다. 상기 채널층은 아몰퍼스 실리콘층으로 형성된 활성층(172a, 182a)과 인 시튜(in-situ) 도핑된 n^+ 아몰퍼스 실리콘층으로 형성된 저항성 접촉층(172b, 182b)을 포함한다.

상기 제1 및 제2 채널부(172, 182)가 형성된 베이스 기판(101) 위에 소스 금속층을 형성하고 패터닝하여 소스 금속패턴들을 형성한다.

상기 소스 금속패턴들은 상기 소스 배선(DL)과, 상기 제1 및 제2 소스 전극(173, 183)과, 상기 제1 및 제2 드레인 전극(174, 184)과, 상기 게이트 회로부(130)의 소스 금속패턴들 및 상기 제1 내지 제5 신호 배선들(141 내지 145)을 포함한다. 또한, 상기 제1 신호 배선(141)으로부터 연장되어 각각의 스테이지들(SRC2k-1, SRC2k)의 입력단자에 연결된 제1 연결 배선들(161a, 162a)을 포함한다.

따라서, 상기 수직개시신호(STV)가 전달되는 제2 신호 배선(142)의 아래에는 상기 제2 및 제3 연결 배선들(161b, 161c, 162b, 162c)이 형성됨에 따라 상기 제2 신호 배선(142)의 배선 저항이 커진다. 이처럼 상기 제2 신호 배선(142)의 배선 저항이 커짐에 따라서 정전기로부터 상기 제2 신호 배선(142)과 연결된 스테이지를 보호할 수 있다.

상기 제1 소스 및 드레인 전극(173, 174)을 마스크로 상기 제1 채널부(172)의 저항성 접촉층(172b)을 제거하여 상기 제1 스위칭 소자(170)의 채널 영역을 정의한다. 또한, 제1 소스 및 드레인 전극(183, 184)을 마스크로 상기 제2 채널부(182)의 저항성 접촉층(182b)을 제거하여 상기 제2 스위칭 소자(180)의 채널 영역을 정의한다.

상기 소스 금속패턴들이 형성된 베이스 기판(101) 위에 패시베이션층(103)을 형성한다. 상기 제1 및 제2 드레인 전극(174, 184) 위에 형성된 패시베이션층(103)의 일부분을 제거하여 제1 및 제2 콘택홀(175, 185)을 형성한다. 도시되지는 않았으나, 상기 게이트 회로부(130)에 형성된 복수의 스위칭 소자들간의 연결을 위한 복수의 콘택홀들이 형성된다.

상기 제1 및 제2 콘택홀(175, 185)이 형성된 베이스 기판(101) 위에 화소전극층을 형성하고 패터닝하여 제1 및 제2 화소 전극들(176, 186)을 형성한다. 상기 화소전극층은 상기 투명한 전도성 물질로서, 인듐-틴-옥사이드(Indium-Tin-Oxide : ITO), 인듐-아연-옥사이드(Indium-Zinc-Oxide : IZO) 또는 인듐-틴-아연 옥사이드(Indium-Tin-Zinc-Oxide)를 포함한다.

도 4는 도 1에 도시된 게이트 회로부에 대한 상세한 블록도이다.

도 4를 참조하면, 상기 게이트 회로부(130)는 서로 종속적으로 연결된 복수의 스테이지들(SRC_1 ~ SRC_n+1)로 구성된 하나의 쉬프트 레지스터이다. 상기 게이트 회로부(130)의 일측부에는 상기 게이트 회로부(130)를 구동하는 구동신호들이 전달되는 신호 배선부(140)가 형성된다.

상기 신호 배선부(140)는 상기 게이트 회로부(130)의 구동신호들에 대응하여 제1 게이트 전압(VDD)이 전달되는 제1 신호 배선(141)과, 수직개시신호(STV)가 전달되는 제2 신호 배선(142)과, 제1 클럭신호(CK)가 전달되는 제3 신호 배선(143)과, 제2 클럭신호(CKB)가 전달되는 제4 신호 배선(144) 및 제2 게이트 전압(VSS)이 전달되는 제5 신호 배선(145)을 포함한다.

상기 복수의 스테이지들(SRC_1 ~ SRC_n+1)은 n 개의 구동 스테이지(SRC_1 ~ SRC_n)와 1 개의 더미 스테이지(SRC_n+1)로 이루어진다.

상기 각 스테이지(SRC_1)는 입력단자(IN), 클럭단자(CK), 제어단자(CT), 제1 출력단자(GOUT) 및 제2 출력단자(SOUT)를 포함한다. 상기 클럭단자(CK)에는 제1 클럭(CK) 또는 제2 클럭신호(CKB)가 제공된다.

즉, 상기 제1 클럭신호(CK)은 상기 복수의 스테이지(SRC_1 ~ SRC_n+1) 중 홀수번째 스테이지들(SRC_1, SRC_3, ... SRC_n+1)에 제공되고, 상기 제2 클럭신호(CKB)은 짝수번째 스테이지들(SRC_2, SRC_4, ... SRC_n)에 제공된다.

홀수번째 스테이지들(SRC_1, SRC_3, ... SRC_n-1) 각각의 제1 출력단자(GOUT)는 상기 제1 클럭신호(CK)에 응답하여 홀수번째 게이트 신호들(G1, G3, ... Gn-1)을 출력하고, 짝수번째 스테이지들(SRC_2, SRC_4, ... SRC_n) 각각의 제1 출력단자(GOUT)는 상기 제2 클럭신호(CKB)에 응답하여 짝수번째 게이트 신호들(G2, G4, ... Gn)을 출력한다.

즉, 상기 n 개의 스테이지들(SRC_1 ~ SRC_n) 각각의 제1 출력단자(GOUT)는 상기 표시 영역(DA)에 구비된 n 개의 홀수번째 게이트 라인(GL1, GL3, ... GL2n-1)에 일대일 대응하도록 연결된다. 따라서, 상기 n 개의 스테이지(SRC_1 ~ SRC_n)의 제1 출력단자(GOUT)로부터 출력된 게이트 신호들은 홀수번째 게이트 라인(GL1, GL3, ... GL2n-1)에 순차적으로 인가된다. 여기서, 상기 더미 스테이지(SRC_n+1)의 제1 출력단자(GOUT)는 대응하는 게이트 라인이 존재하지 않기 때문에 플로팅 상태로 유지된다.

홀수번째 스테이지들(SRC_1, SRC_3, ... SRC_n+1) 각각의 제2 출력단자(SOUT)는 상기 제1 클럭신호(CK)를 스테이지 제어신호로 출력하고, 짝수번째 스테이지들(SRC_2, SRC_4, ... SRC_n) 각각의 제2 출력단자(SOUT)는 상기 제2 클럭신호(CKB)를 스테이지 제어신호로 출력한다.

구체적으로 현재 스테이지(SRC_1)의 입력단자(IN)는 이전 스테이지의 제2 출력단자(SOUT)로부터 출력된 제어신호를 수신하고, 제어단자(CT)는 다음 스테이지의 제2 출력단자(SOUT)로부터 출력된 제어신호를 수신한다.

여기서, 상기 첫 번째 스테이지(SRC_1)의 이전 스테이지가 존재하지 않기 때문에, 상기 첫 번째 스테이지(SRC_1)의 입력단자(IN)에는 수직개시신호(STV)가 인가된다.

또한, 상기 더미 스테이지(SRC_n+1)의 다음 스테이지가 존재하지 않기 때문에, 상기 더미 스테이지(SRC_n+1)의 제어단자(CT)에는 상기 수직개시신호(STV)가 인가된다. 따라서, 첫 번째 스테이지(SRC_1)와 마지막 스테이지(SRC_n+1)에는 상기 수직개시신호(STV)가 인가된다.

한편, 상기 각 스테이지(SRC_1 ~ SRC_n+1)는 상기 게이트 신호들의 하이 레벨을 결정하는 제1 게이트 전압(VDD)이 인가되는 제1 전압단자(VDD)와, 상기 게이트 신호들의 로우 레벨을 결정하는 제2 게이트 전압(VSS)이 인가되는 제2 전압단자(VSS)를 더 포함한다.

도 5는 도 4에 도시된 각 스테이지의 내부 회로도이다.

도 5를 참조하면, 각 스테이지는 제1 풀업부(131), 제2 풀업부(132), 제1 풀다운부(133), 제2 풀다운부(134), 풀업 구동부(135) 및 풀다운 구동부(136)를 포함한다.

상기 제1 풀업부(131)는 클럭단자(CK)로 제공되는 클럭신호(CK 또는 CKB)에 응답하여 상기 제1 출력단자(GOUT)로 게이트 신호를 출력한다. 상기 제2 풀업부(132)는 상기 클럭단자(CK)에 입력되는 클럭신호(CK 또는 CKB)에 응답하여 제어 신호를 상기 제2 출력단자(SOUT)로 출력한다.

상기 제1 풀업부(131)는 게이트 전극이 제1 노드(N1)에 연결되고, 소스 전극이 상기 클럭단자(CK)에 연결되며, 드레인 전극이 상기 제1 출력단자(GOUT)에 연결된 제1 트랜지스터(NT1)로 이루어진다. 상기 제2 풀업부(132)는 게이트 전극이 제1 노드(N1)에 연결되고, 소스 전극이 상기 클럭단자(CK)에 연결되면, 드레인 전극이 상기 제2 출력단자(SOUT)에 연결된 제2 트랜지스터(NT2)로 이루어진다.

상기 제1 풀다운부(133)는 제1 풀업부(131)가 턴-오프된 이후에 턴-온되어 상기 제1 출력단자(GOUT)로부터 출력되는 게이트 신호를 방전시키고, 상기 제2 풀다운부(134)는 상기 제2 풀업부(132)가 턴-오프된 이후에 턴-온되어 상기 제2 출력단자(SOUT)로부터 출력되는 상기 제어신호를 방전시킨다.

상기 제1 풀다운부(133)는 게이트 전극이 제2 노드(N2)에 연결되고, 드레인 전극이 상기 제1 출력단자(GOUT)에 연결되며, 소스 전극이 제2 전압단자(VSS)에 연결된 제3 트랜지스터(NT3)로 이루어진다. 상기 제2 풀다운부(134)는 게이트 전극이 상기 제2 노드(N2)에 연결되고, 드레인 전극이 상기 제2 출력단자(SOUT)에 연결되면, 소스 전극이 상기 제2 전압단자(VSS)에 연결된 제4 트랜지스터(NT4)로 이루어진다.

상기 풀업 구동부(135)는 제5 내지 제7 트랜지스터(NT5, NT6, NT7)로 이루어져 상기 제1 및 제2 풀업부(131, 132)를 턴-온시킨다.

상기 제5 트랜지스터(NT5)는 게이트 전극이 상기 입력단자(IN)에 연결되고, 드레인 전극이 제1 전압단자(VDD)에 연결되며, 소스 전극이 제1 노드(N1)에 연결된다. 상기 제6 트랜지스터(NT6)는 상기 게이트 전극과 드레인 전극이 상기 제1 전압단자(VDD)에 연결되고, 소스 전극이 제3 노드(N3)에 연결된다. 상기 제7 트랜지스터(NT7)는 게이트 전극이 상기 제1 노드(N1)에 연결되고, 드레인 전극이 제3 노드(N3)에 연결되며, 소스 전극이 제2 전압단자(VSS)에 연결된다.

상기 풀다운 구동부(136)는 제8 및 제12 트랜지스터(NT8, NT9, NT10, NT11, NT12)로 이루어져 상기 제1 및 제2 풀업부(131, 132)를 턴-오프 시키면서 상기 제1 및 제2 풀다운부(133, 134)를 턴-온시킨다.

상기 제8 트랜지스터(NT8)는 게이트 전극이 상기 제3 노드(N3)에 연결되고, 드레인 전극이 상기 제1 전압단자(VDD)에 연결되며, 소스 전극이 상기 제2 노드(N2)에 연결된다. 상기 제9 트랜지스터(NT9)는 게이트 전극이 상기 제1 노드(N1)에 연결되고, 드레인 전극이 상기 제2 노드(N2)에 연결되며, 소스 전극이 상기 제2 전압단자(VSS)에 연결된다. 상기 제10 트랜지스터(NT10)는 게이트 전극이 상기 입력단자(IN)에 연결되고, 드레인 전극이 상기 제2 노드(N2)에 연결되며, 소스 전극이 상기 제2 전압단자(VSS)에 연결된다.

상기 제11 트랜지스터(NT11)는 게이트 전극이 상기 제2 노드(N2)에 연결되고, 드레인 전극이 상기 제1 노드(N1)에 연결되며, 소스 전극이 상기 제2 전압단자(VSS)에 연결된다. 상기 제12 트랜지스터(NT12)는 게이트 전극이 상기 제어단자(CT)에 연결되고, 드레인 전극이 상기 제1 노드(N1)에 연결되며, 소스 전극이 상기 제2 전압단자(VSS)에 연결된다.

상기 입력단자(IN)로 이전 스테이지의 제2 출력단자(SOUT)로부터 출력된 제어신호가 제공되면, 상기 제5 트랜지스터(NT5)가 턴-온되어 상기 제1 노드(N1)의 전위가 점차 상승된다. 상기 제1 노드(N1)의 전위가 상승됨에 따라 상기 제1 및 제2 트랜지스터(NT1, NT2)가 턴-온되어 상기 제1 및 제2 출력단자(GOUT, SOUT)에는 게이트 신호 및 제어신호가 각각 출력된다.

한편, 상기 제6 트랜지스터(NT6)는 항상 턴-온 상태를 유지하고있는 상태에서, 상기 제1 노드(N1)의 전위가 상승됨에 따라 상기 제7 트랜지스터(NT7)가 턴-온되면, 상기 제3 노드(N3)의 전위가 하락된다.

상기 제3 노드(N3)의 전위가 하락함으로써 상기 제8 트랜지스터(NT8)는 턴-오프 상태를 유지한다. 따라서, 상기 제2 노드(N2)에는 상기 구동전압(VDD)이 제공되지 못한다. 또한, 상기 제9 트랜지스터(NT9)는 상기 제1 노드(N1)의 전위가 상승할 때 턴-온되어 상기 제2 노드(N2)의 전위를 상기 제2 게이트 전압(VSS)으로 유지시킴으로써, 상기 제3 및 제4 트랜지스터(NT3, NT4)를 턴-오프시킨다.

이후, 상기 제어단자(CT)를 통해 다음단 스테이지의 제2 출력단자(SOUT)로부터 출력된 제어신호가 제공되면, 상기 제12 트랜지스터(NT12)가 턴-온되면서 상기 제1 노드(N1)의 전위를 상기 제2 게이트 전압(VSS)으로 방전시킨다. 상기 제1 노드(N1)의 전위가 하락함에 따라 상기 제7 및 제9 트랜지스터(NT7, NT9)가 턴-오프된다.

따라서, 상기 제2 노드(N2)의 전위가 점차 상승되고, 그에 따라서 상기 제3 및 제4 트랜지스터(NT3, NT4)가 턴-온되어 상기 제1 및 제2 출력단자(GOUT, SOUT)로부터 출력된 상기 게이트 신호 및 제어신호를 상기 제2 게이트 전압(VSS)으로 방전시킨다.

이때, 상기 제10 및 제11 트랜지스터(NT10, NT11)는 상기 제2 노드(N2)의 전위가 상승됨에 따라 턴-온됨으로써, 상기 제1 노드(N1)의 전위를 빠르게 방전시킨다. 이러한 과정을 반복하면서, 상기 각 스테이지는 소정의 구간동안 하이 상태를 유지하는 게이트 신호 및 제어신호를 출력한다.

도 6은 본 발명의 다른 실시예에 따른 액정표시장치에 대한 개략적인 평면도이다.

도 1 내지 도 6을 참조하면, 상기 액정표시장치는 액정표시패널과 상기 액정표시패널을 구동하는 구동장치를 포함한다.

상기 액정표시패널은 도 1에 도시된 어레이 기판(100)과, 상기 어레이 기판(100)에 대향하는 대향 기판(200)과, 실런트(250)에 의해 결합된 상기 기판들(100, 200) 사이에 개재된 액정층(미도시)을 포함한다.

상기 구동 장치는 상기 어레이 기판(100)의 제1 주변 영역(PA1)에 실장된 구동 칩(310)이 실장되고, 상기 구동 칩(310)과 외부 장치를 전기적으로 연결하는 연성 인쇄회로기판(320)이 실장된다.

제2 주변 영역(PA2)에는 홀수번째 게이트 배선들에 게이트 신호들을 출력하는 제1 게이트 회로부(130-1)가 집적되고, 상기 제1 게이트 회로부(130-1)에 제1 구동신호들을 전달하는 제1 신호 배선부(140)가 형성된다. 또한, 상기 제1 게이트 회로부(130-1)와 제1 신호 배선부(140)를 전기적으로 연결시키는 제1 연결 배선부(160-1)가 형성된다.

제3 주변 영역(PA3)에는 짝수번째 게이트 배선들에 게이트 신호들을 출력하는 제2 게이트 회로부(130-2)가 집적되고, 상기 제2 게이트 회로부(130-2)에 제2 구동신호들을 전달하는 제2 신호 배선부(150)가 형성된다. 또한, 상기 제2 게이트 회로부(130-2)와 제2 신호 배선부(150)를 전기적으로 연결시키는 제2 연결 배선부(160-2)가 형성된다.

상기 제1 신호 배선부(140)는 제1 게이트 전압(VDD)을 전달하는 제1 신호 배선(141)과, 수직개시신호(STV)를 전달하는 제2 신호 배선(142)과, 제1 클럭신호(CK)를 전달하는 제3 신호 배선(143)과, 제2 클럭신호(CKB)를 전달하는 제4 신호 배선(144) 및 제2 게이트 전압(VSS)을 전달하는 제5 신호 배선(145)을 포함한다.

도시된 바와 같이, 상기 수직개시신호(STV)를 전달하는 제2 신호 배선(142)을 상기 제1 게이트 회로부(130-1)와 인접하게 형성하고, 제3 내지 제5 신호 배선(143 내지 145)을 상기 제2 신호 배선(142)의 일측에 순서대로 형성한다.

이에 의해 상기 제1 신호 배선부(140)와 상기 제1 게이트 회로부(130-1)를 연결하는 제1 연결 배선부(160-1)가 제2 신호 배선(142)과 중첩되어 상기 제2 신호 배선(142)의 배선 저항을 증가시킨다. 상기 제2 신호 배선(142)의 배선 저항이 커짐에 따라서 상기 제2 신호 배선(142)과 전기적으로 연결되는 부분의 제1 게이트 회로부(130-1)가 정전기로부터 손상되는 것을 막는다.

상기 제2 신호 배선부(150)는 제1 게이트 전압(VDD)을 전달하는 제1 신호 배선(151)과, 수직개시신호(STV)를 전달하는 제2 신호 배선(152)과, 제1 클럭신호(CK)를 전달하는 제3 신호 배선(153)과, 제2 클럭신호(CKB)를 전달하는 제4 신호 배선(154) 및 제2 게이트 전압(VSS)을 전달하는 제5 신호 배선(155)을 포함한다.

도시된 바와 같이, 상기 수직개시신호(STV)를 전달하는 제2 신호 배선(152)을 상기 제2 게이트 회로부(130-2)에 인접하게 형성하고, 상기 제3 내지 제5 신호 배선들(153 내지 155)을 일측에 순서대로 형성한다.

이에 의해 상기 제2 신호 배선부(150)와 상기 제2 게이트 회로부(130-1)를 연결하는 제2 연결 배선부(160-1)가 상기 제2 신호 배선(152)과 중첩되어 상기 제2 신호 배선(152)의 배선 저항을 증가시킨다. 상기 제2 신호 배선(152)의 배선 저항이 커짐에 따라서 상기 제2 신호 배선(152)과 전기적으로 연결되는 부분의 제2 게이트 회로부(130-2)가 정전기로부터 손상되는 것을 막는다.

상기 제1 및 제2 게이트 회로부(130-1, 130-2)는 서로 종속적으로 연결된 복수의 스테이지들로 구성되며, 그 구동 회로 및 구동 방식은 도 4 및 도 5에서 설명된 바와 동일하다. 단, 제1 게이트 회로부(130-1)의 출력단자(GOUT)들은 홀수번째 게이트 배선들에 연결되고, 제2 게이트 회로부(130-2)의 출력단자(GOUT)들은 짝수번째 게이트 배선들에 연결된다.

도 7은 도 6에 도시된 II-II' 라인을 따라 절단한 액정표시패널의 단면도이다. 상기 액정표시패널은 도 2에 도시된 어레이 기판을 포함한다.

도 2 및 도 7을 참조하면, 상기 액정표시패널은 어레이 기판(100)과 상기 어레이 기판(100)에 대향하는 대향 기판(200) 및 상기 기판들(100, 200) 사이에 개재된 액정층(400)을 포함한다.

상기 어레이 기판(100)은 표시 영역(DA)과 상기 주변 영역(PA1, PA2)으로 이루어진 제1 베이스 기판(101)을 포함한다.

상기 표시 영역(DA)에는 복수의 화소부들(P2k-1, P2k)이 형성된다. 제1 화소부(P2k)는 상기 홀수번째 스테이지(SRC2k-1)의 출력단자와 연결된 2k-1번째 게이트 배선(GL2k-1)과 전기적으로 연결된 제1 스위칭 소자(170)와, 상기 제1 스위칭 소자(170)에 연결된 제1 화소 전극(176)이 형성된다. 상기 제1 스위칭 소자(170)는 제1 게이트 전극(171), 제2 채널부(172), 제1 소스 전극(173) 및 제1 드레인 전극(174)을 포함한다.

제2 화소부(P2k)에는 상기 짝수번째 스테이지(SRC2k)의 출력단자와 연결된 2k번째 게이트 배선(GL2k)과 전기적으로 연결된 제2 스위칭 소자(180)와, 상기 제2 스위칭 소자(180)에 연결된 제2 화소 전극(186)이 형성된다. 상기 제2 스위칭 소자(180)는 제2 게이트 전극(181), 제2 채널부(182), 제2 소스 전극(182) 및 제2 드레인 전극(184)을 포함한다.

제2 주변 영역(PA2)에는 상기 게이트 회로부(130)와 상기 신호 배선부(140) 및 복수의 연결 배선부들(161, 162)이 형성된다.

상기 신호 배선부, 즉 제1 내지 제5 신호 배선들(141, 142, 143, 144, 145)을 포함한다. 상기 연결 배선부들(161, 162)은 상기 신호 배선부(140)와 상기 게이트 회로부(130)의 각 스테이지(SRC2k)를 전기적으로 연결시킨다.

본 발명의 실시예에 따라, 상기 제2 신호 배선(142)을 홀수번째 스테이지(SRC2k)의 연결 배선들 중 제2 및 제3 연결 배선(161b, 161c)과 중첩시키고, 짝수번째 스테이지(SRC2k)의 연결 배선들 중 제2 및 제3 연결 배선(162b, 162c)과 중첩시킨다.

이에 따라서, 상기 제2 신호 배선(142)은 복수의 스테이지들에 각각 연결되는 제2 및 제3 연결 배선들에 의해 배선 저항이 증가하게 된다. 상기 배선 저항이 증가됨에 따라서 상기 제2 신호 배선으로 유입되는 정전기를 분산시킴으로써 상기 제2 신호 배선과 연결되는 첫 번째 스테이지 및 마지막 스테이지를 상기 정전기로부터 보호한다.

상기 대향 기판(300)은 제2 베이스 기판(301)을 포함하고, 상기 제2 베이스 기판(301) 위에 차광층(310), 컬러 필터층(320) 및 공통전극층(330)이 형성된다.

상기 차광층(310)은 상기 어레이 기판(100)에 형성된 화소부들에 대응하는 복수의 내부 공간들을 정의하고, 액정층(400)을 경유한 누설광이 투과되는 것을 차단시킨다.

상기 컬러 필터층(320)은 레드(R), 그린(G) 및 블루(B) 컬러 패턴들을 포함하며, 상기 차광층(310)에 의해 정의된 내부 공간들에 형성된다.

상기 공통전극층(330)은 상기 어레이 기판(100)에 형성된 화소 전극(176, 186)에 대향하는 전극으로 상기 액정 캐패시터의 제2 전극이다.

상기 액정층(400)은 상기 어레이 기판(100)과 상기 대향 기판(300) 사이에 개재되어, 상기 액정층(400)은 상기 화소 전극(176, 186)과 상기 공통전극층(330) 간의 전위차에 의해 분자 배열각이 변화된다.

하기한 표 1은 본 발명의 실시예에 따른 제2 신호 배선, 즉 수직개시신호(CTV)를 전달하는 신호 배선의 캐패시턴스를 측정한 데이터이다.

[표 1]

실험 1				실험 2		
모델	2.34"			2.32"		
	VGL_STV SHORT	STV	CK	REV 01	REV 00	
				STV CROSSOVER	STV	CK
CAP	130pF	8pF	30pF	34pF	7pF	22pF

실험 1은 종래의 모델 2.34" 액정표시패널에서 각 신호 배선에 대해 캐패시턴스(pF)를 측정한 데이터이다. 종래의 모델 2.34" 액정표시패널에 형성된 수직개시신호의 배선은 도 1에 도시된 신호 배선부(140) 중 최외곽에 형성된 제5 신호 배선(145)의 위치에 형성되어 있다.

일반적으로 상기 모델 2.34" 액정표시패널에서는 수직개시신호 배선(STV)과 연결된 부분의 게이트 회로부에서 정전기에 의한 결함이 발생하는 한편, 상기 클럭신호 배선(CK)과 연결된 부분의 게이트 회로부에서는 정전기에 의한 결함이 발생하지 않는다.

이에 따라서, 종래의 모델 2.34" 액정표시패널에서, 각각의 신호 배선에 대해 캐패시턴스(pF)를 측정한 결과, 제2 게이트 전압(VSS)을 전달하는 배선(VGL)과 수직개시신호를 전달하는 배선(STV)를 쇼트시킨 후 측정한 캐패시턴스는 130pF이고, 수직개시신호 배선(STV)의 캐패시턴스는 8pF이고, 클럭신호 배선(CK)의 캐패시턴스는 30pF이다.

즉, 상기 수직개시신호 배선(STV)이 상기 클럭신호 배선(CK) 보다 캐패시턴스가 현저하게 작은 것을 알 수 있다.

결과적으로 상기 수직개시신호 배선(STV)의 캐패시턴스를 상기 클럭신호 배선(CK)의 캐패시턴스 이상 증가시킬 경우에는 정전기에 의한 결함이 발생되지 않는다는 실험 결과를 얻을 수 있다.

실험 2는 모델 2.32" 액정표시패널에 대해 본 발명의 실시예가 적용되기 전(REV 00)과 적용된 후(REV 01)의 수직개시신호 배선의 캐패시턴스(pF)를 측정한 데이터이다.

먼저, 적용되기 전(REV 00)의 모델 2.32" 액정표시패널에 형성된 수직개시신호 배선의 캐패시턴스는 7pF이고, 클럭신호 배선의 캐패시턴스는 22pF이다. 수직개시신호 배선(STV)의 캐패시턴스는 상기 클럭신호 배선(CK)의 캐패시턴스 보다 현저하게 작다

반면, 적용된 후(REV 01)의 모델 2.32" 액정표시패널에 형성된 수직개시신호 배선의 캐패시턴스는 상기 클럭신호 배선의 캐패시턴스 22pF 보다 큰 34pF 가 되었다.

결과적으로 본 발명의 실시예에서와 같이, 수직개시신호 배선을 클럭신호(CK 또는 CKB) 배선 및 제2 게이트 전압(VSS) 배선과 중첩시키도록 형성함으로써 상기 수직개시신호 배선(STV)의 캐패시턴스를 증가시킬 수 있다. 이에 의해 수직개시신호 배선의 캐패시턴스가 상기 클럭신호 배선의 캐패시턴스 이상이 됨에 따라서 클럭신호 배선이 정전기의 영향을 받지 않는 것과 같이 상기 수직개시신호 배선 역시 정전기에 영향을 받지 않게 됨을 알 수 있다.

발명의 효과

이상에서 설명한 바와 같이, 본 발명에 따르면 게이트 회로부에 구동 신호들, 즉, 제1 게이트 전압(VDD), 제2 게이트 전압(VSS), 제1 클럭신호(CK), 제2 클럭신호(CKB) 및 수직개시신호(STV)를 전달하는 신호 배선들 중 상대적으로 상기 게이트 회로부와 연결부가 적은 신호 배선인 수직개시신호를 전달하는 배선의 캐패시턴스를 증가시킨다.

상기 수직개시신호 배선을 상기 제2 게이트 전압(VSS)과 상기 제1 또는 제2 클럭신호(CK or CKB) 배선과 상기 게이트 회로부를 연결하는 연결 배선들과 중첩시키도록 형성함으로써 상기 수직개시신호 배선의 배선 저항을 증가시킨다. 바람직하게 상기 수직개시신호 배선의 캐패시턴스는 상기 제1 및 제2 클럭신호(CK or CKB) 배선의 캐패시턴스 정도로 증가시킨다.

이에 의해 외부로부터 유입되는 정전기로부터 상기 수직개시신호 배선과 연결된 상기 게이트 회로부의 전자 소자들을 보호할 수 있다.

이상에서는 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

도 1은 본 발명의 실시예에 따른 어레이 기판에 대한 개략적인 평면도이다.

도 2는 도 1에 도시된 어레이 기판의 확대 평면도이다.

도 3은 도 2의 I-I' 라인을 따라 절단한 어레이 기판의 단면도이다.

도 4는 도 1에 도시된 게이트 회로부에 대한 상세한 블록도이다.

도 5는 도 4에 도시된 각 스테이지의 내부 회로도이다.

도 6은 본 발명의 다른 실시예에 따른 액정표시장치에 대한 개략적인 평면도이다.

도 7은 도 6에 도시된 II-II' 라인을 따라 절단한 액정표시패널의 단면도이다.

<도면의 주요부분에 대한 부호의 설명>

100 : 어레이 기판 110 : 제1 패드부

120 ; 제2 패드부 130 : 게이트 회로부

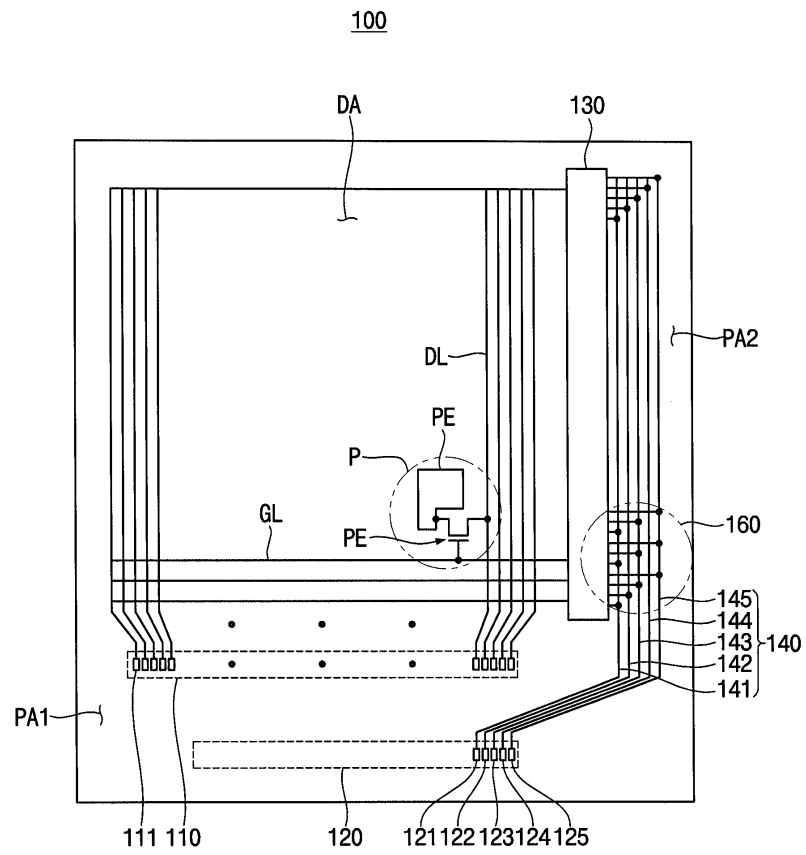
140 : 신호 배선부 160 : 연결 배선부

170, 180 : 제1, 제2 스위칭 소자 200 : 대향 기판

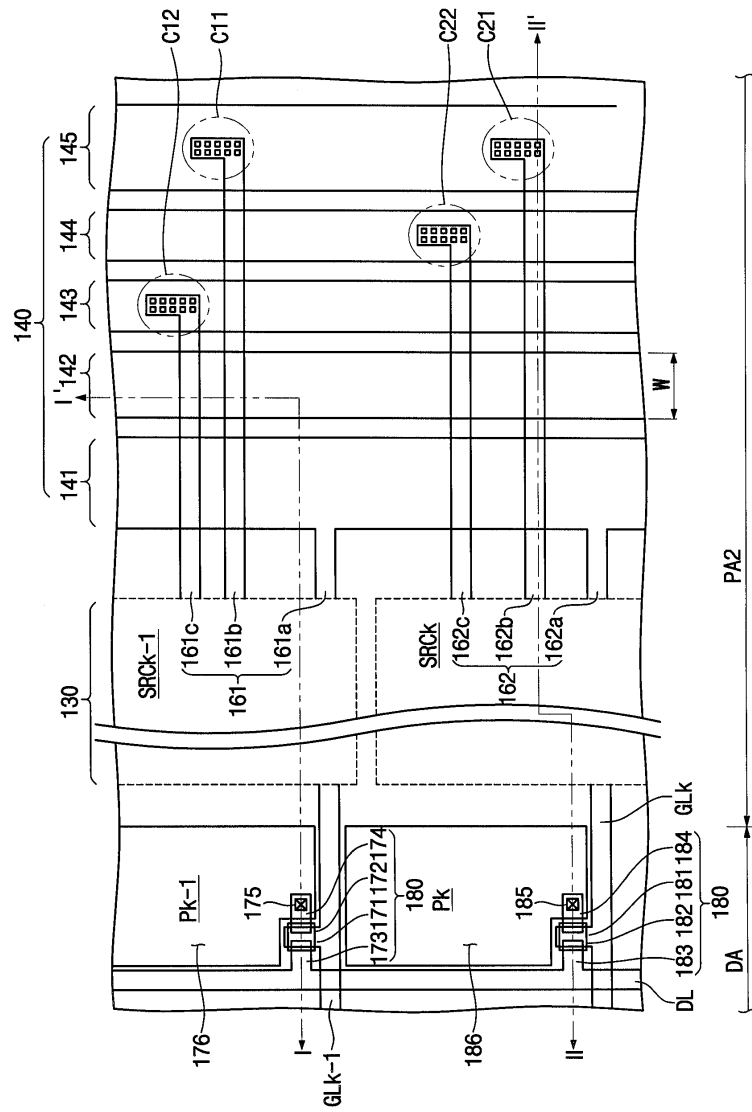
310 : 구동 칩 320 : 연성인쇄회로기판

도면

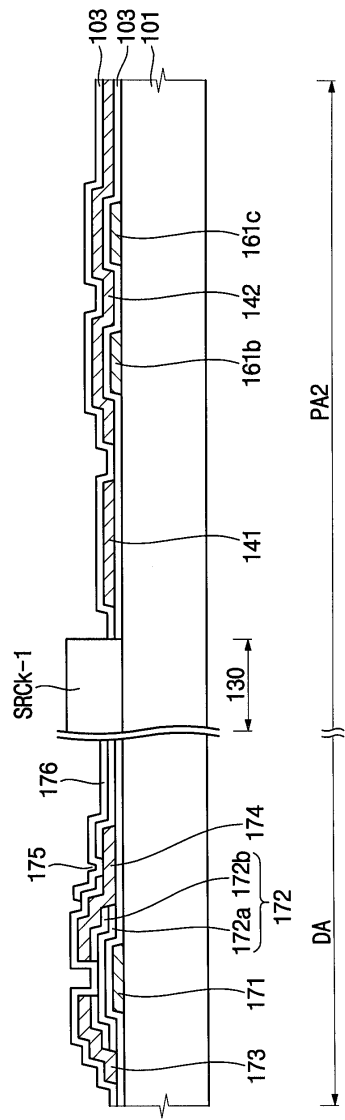
도면1



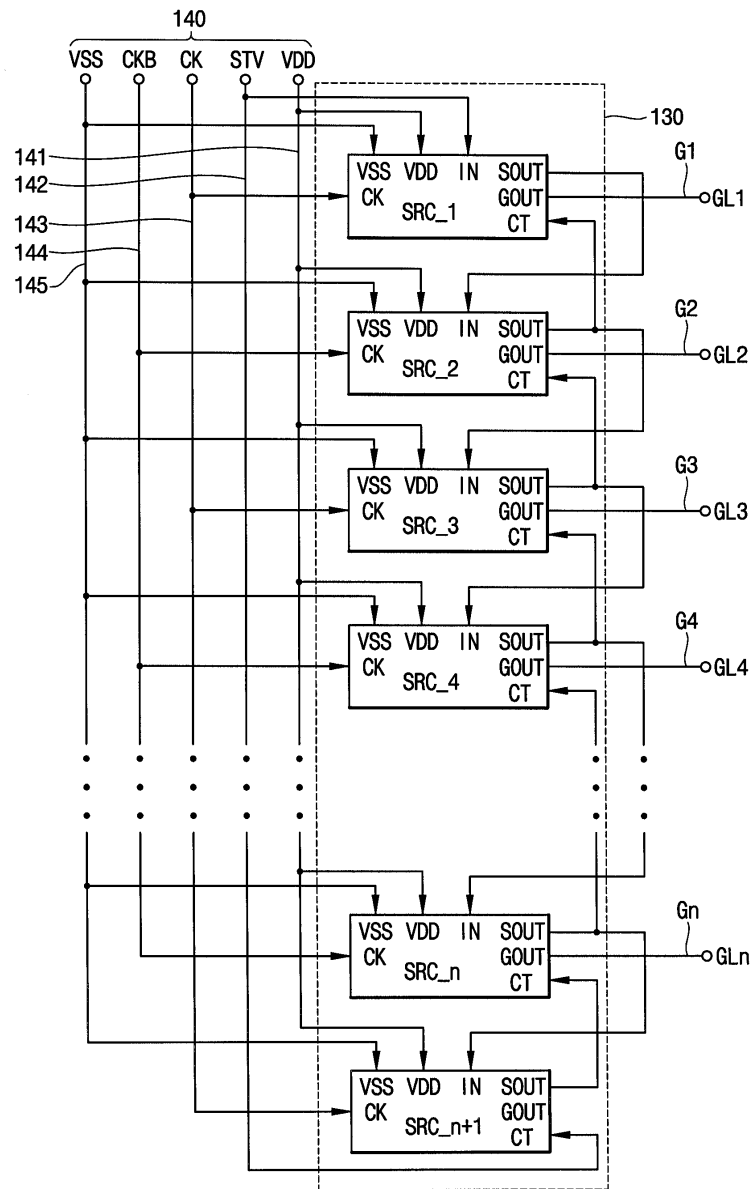
도면2



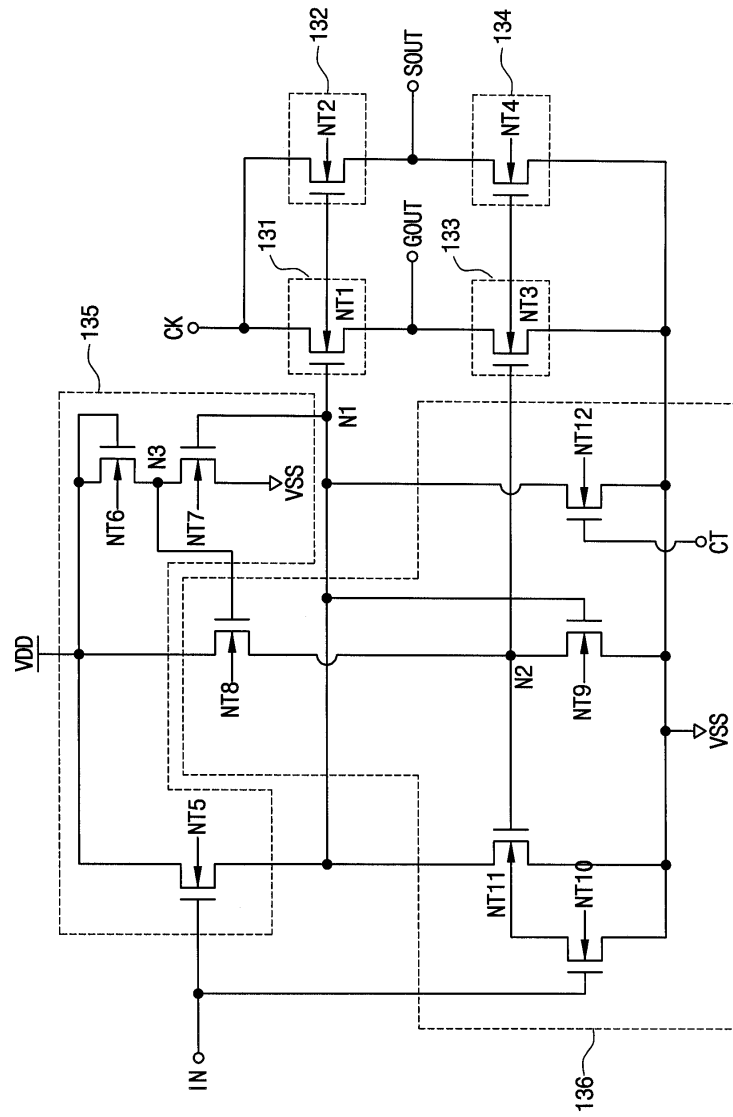
도면3



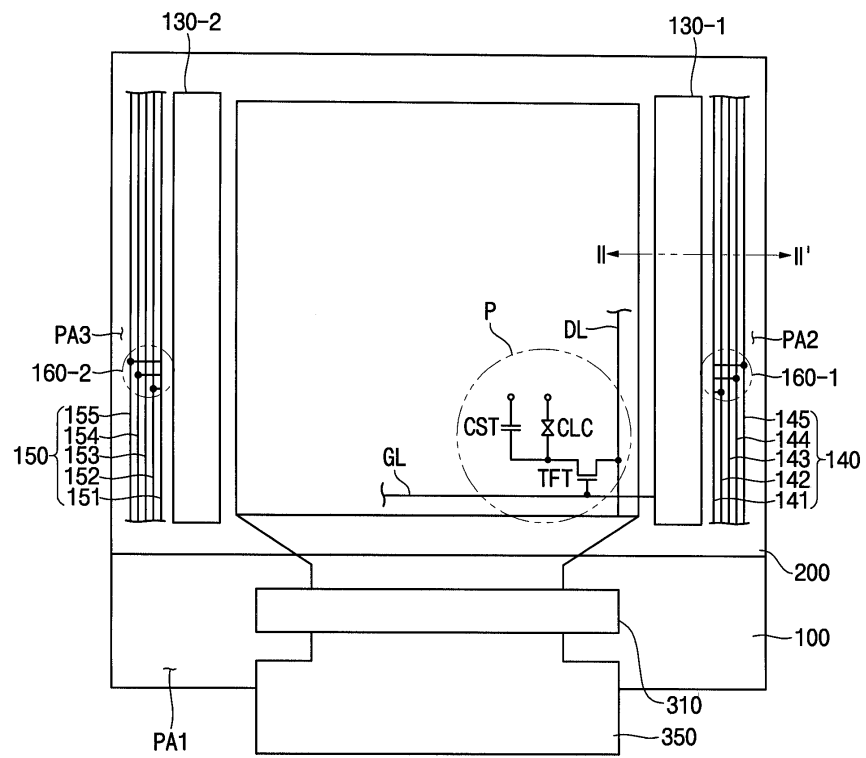
도면4



도면5



도면6



도면7

