



(10) **DE 10 2009 047 313 B4** 2012.02.16

(12)

Patentschrift

(21) Aktenzeichen: **10 2009 047 313.0**
(22) Anmeldetag: **30.11.2009**
(43) Offenlegungstag: **01.06.2011**
(45) Veröffentlichungstag
der Patenterteilung: **16.02.2012**

(51) Int Cl.: **H01L 21/336** (2006.01)
H01L 29/78 (2006.01)
H01L 21/265 (2006.01)
H01L 21/31 (2006.01)
H01L 21/8234 (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(73) Patentinhaber:
**GLOBALFOUNDRIES Dresden Module One
Limited Liability Company & Co. KG, 01109,
Dresden, DE; GLOBALFOUNDRIES Inc., Grand
Cayman, KY**

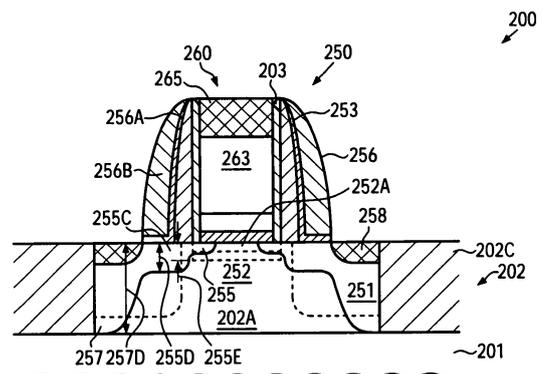
(72) Erfinder:
**Scheiper, Thilo, 01257, Dresden, DE; Beyer,
Sven, 01099, Dresden, DE; Hoentschel, Jan,
01309, Dresden, DE; Griebenow, Uwe, 04416,
Markkleeberg, DE**

(74) Vertreter:
**Grünecker, Kinkeldey, Stockmair &
Schwanhäusser, 80802, München, DE**

(56) Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:
US 2005 / 0 095 796 A1

(54) Bezeichnung: **Leistungssteigerung in Transistoren mit einem Metallgatestapel mit großem ϵ durch eine frühe Implantation der Erweiterungsgebiete**

(57) Hauptanspruch: Verfahren zur Herstellung eines Transistors, wobei das Verfahren umfasst:
Bilden einer Schutzbeschichtung über einem aktiven Gebiet und einer Gateelektrodenstruktur, die auf dem aktiven Gebiet ausgebildet ist, wobei die Gateelektrodenstruktur ein dielektrisches Material mit großem ϵ und eine Austrittsarbeitsmetallsorte aufweist;
Bilden vor Drain- und Source-Erweiterungsgebieten in dem aktiven Gebiet in Anwesenheit der Schutzbeschichtung;
Bilden eines schützenden Abstandshalterelements aus der Schutzbeschichtung;
Bilden einer Abstandhalterstruktur; und
Bilden von Drain- und Source-Gebieten in dem aktiven Gebiet in Anwesenheit der Abstandhalterstruktur.



Beschreibung

Gebiet der vorliegenden Erfindung

[0001] Im Allgemeinen betrifft die vorliegende Erfindung die Herstellung integrierter Schaltungen und betrifft insbesondere p-Kanaltransistoren mit einer Metallgateelektrode mit großem ϵ , die in einer frühen Fertigungsphase hergestellt wird.

Beschreibung des Standes der Technik

[0002] Die Herstellung komplexer integrierter Schaltungen erfordert das Vorsehen einer großen Anzahl an Transistoren, die die dominierenden Schaltungselemente in komplexen integrierten Schaltungen darstellen. Beispielsweise werden mehrere hundert Millionen Transistoren in aktuell verfügbaren komplexen integrierten Schaltungen vorgesehen. Im Allgemeinen wird eine Vielzahl von Prozesstechnologien aktuell eingesetzt, wobei für komplexe Schaltungen, etwa Mikroprozessoren, Speicherchips, und dergleichen, die CMOS-Technologie eine der vielversprechendsten Vorgehensweisen ist aufgrund der guten Eigenschaften im Hinblick auf die Arbeitsgeschwindigkeit und/oder Leistungsaufnahme und/oder Kosteneffizienz. In CMOS-Schaltungen werden komplementäre Transistoren, d. h. p-Kanaltransistoren und n-Kanaltransistoren, zur Herstellung von Schaltungselementen verwendet, etwa Inverter oder andere Logikgatter, um komplexe Schaltungsanordnungen zu entwerfen, etwa CPUs, Speicherchips und dergleichen. Während der Herstellung komplexer integrierter Schaltungen unter Anwendung der CMOS-Technologie werden Millionen Transistoren, d. h. n-Kanaltransistoren und p-Kanaltransistoren, auf einem Substrat hergestellt, das eine kristalline Halbleiterschicht aufweist. Ein MOS-Transistor oder allgemein ein Feldeffekttransistor enthält, unabhängig davon, ob ein n-Kanaltransistor oder ein p-Kanaltransistor betrachtet wird, sogenannte pn-Übergänge, die durch eine Grenzfläche stark dotierter Drain- und Source-Gebiete mit einem invers oder schwach dotierten Kanalgebiet gebildet sind, das zwischen dem Draingebiet und dem Sourcegebiet angeordnet ist. Die Leitfähigkeit des Kanalgebiets, d. h. der Durchlassstrom des leitenden Kanals, ist durch eine Gateelektrode gesteuert, die in der Nähe des Kanalgebiets angeordnet und davon durch eine dünne isolierende Schicht getrennt ist. Die Leitfähigkeit des Kanalgebiets beim Aufbau eines leitenden Kanals aufgrund des Anlegens einer geeigneten Steuerspannung an die Gateelektrode hängt von der Dotierstoffkonzentration, der Beweglichkeit der Ladungsträger und – für eine gegebene Abmessung des Kanalgebiets in der Transistorbreitenrichtung – von dem Abstand zwischen dem Sourcegebiet und dem Draingebiet ab, der auch als Kanallänge bezeichnet wird. Somit ist die Verringerung der Kanallänge – und damit verknüpft die Verringerung des Kanalwiderstands – ein wichtiges

Entwurfskriterium, um eine Zunahme der Arbeitsgeschwindigkeit integrierter Schaltungen zu erreichen.

[0003] Die kontinuierliche Verringerung der Transistorabmessungen bringt jedoch eine Reihe von damit verknüpften Problemen mit sich, die es zu lösen gilt, um nicht in unerwünschter Weise die Vorteile aufzuheben, die durch das stetige Verringern der Kanallänge von MOS-Transistoren erreicht werden. Beispielsweise sind sehr komplexe Dotierstoffprofile in vertikaler Richtung und lateraler Richtung in den Drain- und Source-Gebieten erforderlich, um den geringen Schichtwiderstand und Kontaktwiderstand in Verbindung mit einer gewünschten Kanalsteuerbarkeit zu erreichen.

[0004] Bei einer geringeren Kanallänge ist im Allgemeinen auch ein flaches Dotierstoffprofil in den Drain- und Source-Gebieten erforderlich, wobei dennoch eine moderat hohe Dotierstoffkonzentration im Hinblick auf das Erreichen eines geringen Reihenwiderstands erforderlich ist, was zu einem gewünschten Durchlassstrom in Verbindung mit einem kurzen Transistorkanal führt. Ein flaches Dotierstoffprofil in Verbindung mit einem insgesamt geringen Drain- und Sourcewiderstand wird typischerweise erreicht, indem sogenannte Drain- und Source-Erweiterungsgebiete erzeugt werden, die äußerst flache dotierte Bereiche repräsentieren, die sich unter die Gateelektrodenstruktur erstrecken, um damit in geeigneter Weise eine Verbindung zum Kanalgebiet herzustellen. Andererseits wird ein größerer lateraler Abstand zu dem Kanalgebiet auf der Grundlage geeigneter dimensionierter Seitenwandabstandshalter hergestellt, die als Implantationsmasken verwendet werden, um die eigentlichen Drain- und Source-Gebiete mit einer gewünschten hohen Dotierstoffkonzentration und mit einer größeren Tiefe im Vergleich zu den Drain- und Source-Erweiterungsgebieten verwendet werden. Durch geeignetes Auswählen der Größe der Drain- und Source-Erweiterungsgebiete kann somit die Kanalsteuerbarkeit für Transistoren mit sehr kurzem Kanal erhalten werden, wobei auch ein gewünschter geringer Gesamt-Reihenwiderstand bei der Anbindung der Drain- und Source-Gebiete an das Kanalgebiet erreicht wird. Folglich ist für ein gewünschtes Leistungsverhalten komplexer Transistoren ein gewisser Grad an Überlappung der Drain- und Source-Erweiterungsgebiete mit der Gateelektrode wünschenswert, um eine geringe Schwellwertspannung und einen hohen Durchlassstrom zu erreichen. Der Überlapp der Drain- und Source-Erweiterungsgebiete mit der Gateelektrode führt zu einer speziellen kapazitiven Kopplung, die auch als Miller-Kapazität bezeichnet wird. Typischerweise wird eine gewünschte Miller-Kapazität auf der Grundlage von Implantationsprozessen eingestellt, in denen die Drain- und Source-Dotiermittel eingeführt werden, um die grundlegende Konfiguration der Drain- und Source-Erweiterungsgebiete zu erzeugen, wobei die endgültig

tige Form dieser Gebiete dann auf Basis einer Sequenz aus Aufheizprozessen eingestellt wird, in denen implantationsabhängige Schäden rekristallisiert werden und auch ein gewisser Grad an Dotierstoffdiffusion in Gang gesetzt wird, wodurch letztlich die resultierende Miller-Kapazität festgelegt wird.

[0005] Beim stetigen Verringern der Kanallänge von Feldeffekttransistoren ist im Allgemeinen ein größerer Grad an kapazitiver Kopplung erforderlich, um die Steuerbarkeit des Kanalgebiets aufrechtzuerhalten, wobei typischerweise eine Anpassung der Dicke und/oder Materialzusammensetzung des Gatedielektrikumsmaterials erforderlich ist. Beispielsweise ist für eine Gatelänge von ungefähr 80 nm ein Gatedielektrikummaterial auf der Grundlage von Siliziumdioxid mit einer Dicke von weniger als 2 nm in Hochgeschwindigkeitstransistoren erforderlich, was jedoch zu erhöhten Leckströmen führen kann, die durch das Einprägen energiereicher Ladungsträger und das Direkte Tunneln von Ladungsträgern durch das extrem dünne Gatedielektrikummaterial hervorgerufen werden. Da eine weitere Verringerung der Dicke Siliziumdioxid-basierter Gatedielektrikummaterialien zunehmend inkompatibel mit den thermischen Anforderungen komplexer integrierter Schaltungen ist, wurden Alternativen entwickelt, um die Ladungsträgerbeweglichkeit im Kanalgebiet zu verbessern, wodurch das Gesamtverhalten der Feldeffekttransistoren ebenfalls verbessert wird. Eine vielversprechende Vorgehensweise in dieser Hinsicht ist das Erzeugen einer gewissen Art an Verformung in dem Kanalgebiet, da die Ladungsträgerbeweglichkeit in Silizium stark von den Verformungsbedingungen des kristallinen Materials abhängt. Beispielsweise führt für eine standardmäßige Kristallkonfiguration des siliziumbasierten Kanalgebiets eine kompressive Verformungskomponente in einem p-Kanaltransistor zu einer höheren Beweglichkeit von Löchern, wodurch zu einer höheren Schaltgeschwindigkeit und einem höheren Durchlassstrom von p-Kanaltransistoren beigetragen wird. Die gewünschte kompressive Verformungskomponente kann gemäß gut etablierter Vorgehensweisen erhalten werden, indem ein verformungsinduzierendes Halbleitermaterial, etwa in Form einer Silizium-/Germanium-Mischung oder Legierung, in das aktive Gebiet des p-Kanaltransistors eingebaut wird. Beispielsweise werden nach der Herstellung der Gateelektrodenstruktur Aussparungen lateral benachbart zu der Gateelektrodenstruktur in dem aktiven Gebiet erzeugt und nachfolgend mit der Silizium-/Germanium-Legierung gefüllt, die beim Aufwachsen auf dem Siliziummaterial einen inneren verformten Zustand einnimmt, der wiederum eine entsprechende kompressive Verformungskomponente in dem benachbarten Kanalgebiet hervorruft. Es wurden daher viele Prozessstrategien in der Vergangenheit entwickelt, um ein stark verformtes Silizium/Germaniummaterial in die Drain- und Source-Bereiche von p-Kanaltransistoren einzu-

bauen, wobei auch durch entsprechende Anpassungen im Hinblick auf das Erzeugen eines gewünschten lateralen und vertikalen Dotierstoffprofils für die Drain- und Source-Gebiete und die jeweiligen Erweiterungsgebiete erforderlich sind, da beispielsweise Bor häufig als ein p-Dotiermittel verwendet wird, und dieses ein deutlich anderes Diffusionsverhalten in einem Silizium-/Germaniummaterial im Vergleich zu einem siliziumbasierten Material besitzt. Das heißt, in einem Silizium-/Germaniummaterial mit einer Germaniumkonzentration von ungefähr 20 Atomprozent oder mehr ist die Diffusionsaktivität der Borsorte deutlich kleiner im Vergleich zu Silizium, was berücksichtigt werden muss, wenn die gesamten Transistoreigenschaften eingestellt werden. Beispielsweise werden typischerweise die Drain- und Source-Erweiterungsgebiete so hergestellt, dass sie in einem Siliziummaterial angeordnet sind, so dass die Miller-Kapazität auf der Grundlage der Diffusionseigenschaften im Siliziummaterial eingestellt werden kann, um damit den erforderlichen Überlapp der Drain- und Source-Erweiterungsgebiete mit der Gateelektrodenstruktur zu erreichen, ohne dass die geringe Diffusionsaktivität in einem Silizium-/Germaniummaterial zu berücksichtigen ist.

[0006] Bei der stetigen Verringerung der kritischen Abmessungen von Transistoren wurde auch eine geeignete Anpassung der Materialzusammensetzung des Gatedielektrikummaterials vorgeschlagen, so dass für eine physikalisch geeignete Dicke eines Gatedielektrikummaterials, d. h. für das Verringern der Gateleckströme, dennoch eine gewünschte hohe kapazitive Kopplung erreicht wird. Es wurden daher Materialsysteme entwickelt, die eine deutlich höhere Dielektrizitätskonstante im Vergleich zu konventionell verwendeten Siliziumdioxid-basierten Materialien, Siliziumoxynitridmaterialien und dergleichen besitzen. Beispielsweise besitzen Materialien mit Hafnium, Zirkon, Aluminium und dergleichen eine deutlich höhere Dielektrizitätskonstante und werden daher als dielektrische Materialien mit großem ϵ bezeichnet, die als Materialien mit einer Dielektrizitätskonstante von 10,0 oder höher zu verstehen sind, wenn dies gemäß typischen Messverfahren ermittelt wird. Wie bekannt ist, hängen die elektronischen Eigenschaften der Transistoren wesentlich von der Austrittsarbeit des Gateelektrodenmaterials ab, wodurch die Bandstruktur des Halbleitermaterials im Kanalgebiet beeinflusst wird, das durch das Gatedielektrikummaterial von dem Gateelektrodenmaterial getrennt ist. In gut etablierten Polysilizium/Siliziumdioxid-basierten Gateelektrodenstrukturen wird die entsprechende Schwellwertspannung, die wesentlich von dem Gatedielektrikummaterial und dem benachbarten Elektrodenmaterial beeinflusst wird, eingestellt, indem in geeigneter Weise das Polysiliziummaterial dotiert wird, um die Austrittsarbeit des Polysiliziummaterials an der Grenzfläche zwischen dem Gatedielektrikummaterial und dem Elektrodenmaterial einzustel-

len. in ähnlicher Weise muss auch in Gateelektrodenstrukturen mit einem Gatedielektrikumsmaterial mit großem ϵ die Austrittsarbeit geeignet für n-Kanaltransistoren bzw. p-Kanaltransistoren eingestellt werden, die geeignete ausgewählte Austrittsarbeit einstellende Metallsorten erfordern, etwa Lanthan für n-Kanaltransistoren und Aluminium für p-Kanaltransistoren. Aus diesem Grunde werden entsprechende Metall enthaltende leitende Materialien nahe an dem Gatedielektrikumsmaterial mit großem ϵ angeordnet, um eine geeignet gestaltete Grenzfläche zu erzeugen, die zu der gewünschten Austrittsarbeit der Gateelektrodenstruktur führt. In vielen konventionellen Vorgehensweisen wird die Austrittsarbeitseinstellung in einer sehr späten Fertigungsphase durchgeführt, d. h. nach jeglichen Hochtemperaturprozessen, wobei das Austauschen eines Platzhaltermaterials der Gateelektrodenstrukturen, etwa von Polysilizium, und der Einbau von geeigneten Austrittsarbeitseinstellungen der Materialsorten in Verbindung mit einem Elektrodenmetall, etwa Aluminium, und dergleichen erforderlich ist. In diesem Fall sind jedoch sehr komplexe Strukturierungs- und Abscheidungsprozesse auf der Grundlage von Gateelektrodenstrukturen mit kritischen Abmessungen von 50 nm und deutlich kleiner erforderlich, was zu schwerwiegenden Schwankungen der resultierenden Transistoreigenschaften führen kann.

[0007] Daher wurden andere Prozessstrategien vorgeschlagen, in denen die die Austrittsarbeit einstellenden Materialien in einer frühen Fertigungsphase vorgesehen werden, d. h. bei der Herstellung der Gateelektrodenstrukturen, wobei die jeweiligen Metallsorten thermisch stabilisiert und eingeschlossen werden, so dass die gewünschte Austrittsarbeit und damit die Schwellwertspannung der Transistoren erreicht wird, ohne dass sie durch die Weiterbearbeitung beeinflusst wird. Zu diesem Zweck erweist es sich, dass für p-Kanaltransistoren eine geeignete Anpassung der Bandlücke des Kanalhalbleitermaterials erforderlich ist, um die Austrittsarbeit der p-Kanaltransistoren in geeigneter Weise einzustellen. Aus diesem Grunde wird häufig ein sogenanntes Schwellwert einstellendes Halbleitermaterial, etwa in Form einer Silizium-/Germaniummischung, auf den aktiven Gebieten der p-Kanaltransistoren vor dem Herstellen der Gateelektrodenstrukturen hergestellt, wodurch der gewünschte Abstand in der Bandlücke des Kanalhalbleitermaterials erreicht wird. Obwohl dieses Konzept ein vielversprechender Ansatz ist, um komplexe Metallgateelektrodenstrukturen mit großem ϵ in einer frühen Fertigungsphase herzustellen, ist die Einstellung der Transistoreigenschaften auf der Basis konventioneller Strategien schwer erreichbar, wie dies nachfolgend detaillierter mit Bezug zu den [Fig. 1a–Fig. 1d](#) erläutert ist.

[0008] [Fig. 1a](#) zeigt schematisch eine Querschnittsansicht eines Halbleiterbauelements **100** mit einem

Substrat **101** und einer siliziumbasierten Halbleiterschicht **102**. Die Halbleiterschicht **102** umfasst mehrere "aktive" Gebiete, etwa Halbleitergebiete **102a**, **102b**, die lateral durch eine Isolationsstruktur (nicht gezeigt) abgegrenzt sind, die beispielsweise in Form einer flachen Grabenisolation vorgesehen wird. Zu beachten ist, dass ein aktives Gebiet, etwa die Halbleitergebiete **102a**, **102b**, als ein Halbleitergebiet zu verstehen ist, in und über welches ein oder mehrere Transistoren herzustellen sind. Beispielsweise wird das aktive Gebiet **102a** zur Herstellung eines Transistors **150a** verwendet, der in dem gezeigten Beispiel einen p-Kanaltransistor repräsentiert. In ähnlicher Weise wird ein Transistor **150b** in und über dem aktiven Gebiet **102b** hergestellt und repräsentiert einen n-Kanaltransistor. Folglich ist die grundlegende Dotierung in den aktiven Gebieten **102a**, **102b** geeignet an die unterschiedlichen Leitfähigkeitsarten der Transistoren **150a**, **150b** angepasst. In der gezeigten Fertigungsphase weist der Transistor **150a** eine Gateelektrodenstruktur **160a** auf, die auch als eine Metallgateelektrodenstruktur mit großem ϵ bezeichnet wird, da sie ein Gatedielektrikumsmaterial **161** aufweist, in welchem eine beliebige Art eines Materials mit großem ϵ eingebaut ist, beispielsweise auf der Grundlage von Hafniumoxid, Zirkonoxid und dergleichen. Es sollte beachtet werden, dass das Gatedielektrikumsmaterial **161** ferner ein "konventionelles" dielektrisches Material aufweisen kann, etwa Siliziumoxynitrid und dergleichen, um bei Bedarf für bessere Grenzflächeneigenschaften zu sorgen. Ferner umfasst die Gateelektrodenstruktur **160a** eine Metall enthaltende Materialschicht **162a**, die darin eingebaut eine geeignete Metallsorte aufweisen kann, um die Austrittsarbeit des Gateelektrodenmaterials **160a** einzustellen, wie dies auch zuvor erläutert ist. Zu diesem Zweck kann eine Aluminiumsorte in das Material **162a** eingebaut sein, das im Wesentlichen aus Titanitridmaterial und dergleichen aufgebaut sein kann. In anderen Vorgehensweisen wird die Austrittsarbeitssorte in das Gatedielektrikumsmaterial **161** eingebaut, während die Schicht **162a** ein geeignetes Elektrodenmaterial, etwa Titanitrid, repräsentiert. Ferner ist ein halbleiterbasiertes Elektrodenmaterial **163**, etwa ein amorphes Siliziummaterial, ein polykristallines Siliziummaterial, und dergleichen über dem Material **162a** gebildet. Schließlich umfasst die Gateelektrodenstruktur **160a** eine dielektrische Deckschicht **164**, etwa ein Siliziumnitridmaterial und dergleichen. Wie zuvor erläutert ist, ist in komplexen Halbleiterbauelementen eine Gatelänge, d. h. in [Fig. 1a](#) die horizontale Erstreckung der Gateelektrodenstruktur **160a**, 40 nm und darunter. In ähnlicher Weise umfasst der Transistor **150b** eine Gateelektrodenstruktur **160b**, die einen ähnlichen Aufbau wie die Gateelektrodenstruktur **160a** im Hinblick auf das Gatedielektrikumsmaterial **161**, das Elektrodenmaterial **163** und die Deckschicht **164** besitzt. Andererseits ist gegebenenfalls ein leitendes Deckmaterial **162b** und/oder das Gatedielektrikumsmaterial

161 mit einer geeigneten Austrittsarbeitsmetallsorte versehen, etwa Lanthan, um eine gewünschte Austrittsarbeit zum Einstellen einer geeigneten Schwellwertspannung für den Transistor **150b** zu erhalten.

[0009] Wie zuvor erläutert ist, ist es erforderlich, einen geeigneten Bandlückenabstand des Halbleitermaterials im Kanalgebiet **152** einer der beiden Transistoren **150a**, **150b** zu erzeugen, was bewerkstelligt werden kann, indem ein geeignet angepasstes Halbleitermaterial, etwa eine Silizium/Germaniumlegierung **152a**, in dem Transistor **150a** vorgesehen wird. Durch entsprechendes Auswählen einer Dicke und einer Germaniumkonzentration der Schicht **152a** wird somit eine gewünschte Verbiegung der Bandstruktur des Kanalgebiets **152** im Hinblick auf die Gateelektrodenstruktur **160a** erreicht.

[0010] Ferner sind in der gezeigten Fertigungsphase die Seitenwände der Gateelektrodenstruktur **160a** mit einem schützenden Abstandshalter **103** bedeckt, etwa einem Siliziumnitridmaterial, möglicherweise in Verbindung mit einem Oxidabstandshaltermaterial und einem weiteren Abstandshalterelement **105s**, wobei diese Abstandshalterelemente im Wesentlichen den lateralen Abstand eines verformungsinduzierenden Halbleitermaterials **151**, etwa eines Silizium-/Germanium-Materials, von dem Kanalgebiet **152** festlegen. Wie zuvor erläutert ist, kann das verformungsinduzierende Material **151** das Leistungsverhalten des Transistors **150a** verbessern, indem etwa eine kompressive Verformung in dem Kanalgebiet **152** hervorgerufen wird. Andererseits sind die Gateelektrodenstruktur **160b** und das aktive Gebiet **102b** durch eine Abstandshalterschicht **105** abgedeckt, wobei die Abstandshalterelemente **103** und **104** auch an Seitenwänden der Gateelektrodenstruktur **160b** ausgebildet sind.

[0011] Das in [Fig. 1a](#) gezeigte Halbleiterbauelement **100** kann auf der Grundlage gut etablierter Prozesstechniken hergestellt werden, um die aktiven Gebiete **102a**, **102b** bereitzustellen, indem Isolationsstrukturen erzeugt und gewünschte Wannens-Dotierstoffsorten eingebaut werden. Daraufhin wird das dielektrische Material **161** in Verbindung mit den Materialien **162a**, **162b** vorgesehen, wobei geeignete Strukturierungsschemata angewendet werden, um in selektiver Weise das Material **162a** über dem aktiven Gebiet **102a** und das Material **162b** über dem aktiven Gebiet **102b** anzuordnen. In anderen Prozessstrategien wird eines der Materialien **162a**, **162b** auch in der anderen Gateelektrodenstruktur vorgesehen, jedoch in ein Diffusionsblockiermaterial eingebettet, um damit die Auftrittsarbeit der betrachteten Gateelektrodenstruktur nicht unnötig zu beeinflussen. Vor oder nach dem Bereitstellen des Elektrodenmaterials **163** können zusätzliche Wärmebehandlungen ausgeführt werden, um die jeweiligen Austrittsarbeitsmetallsorten in die Schichten **162a** bzw. **162b** auch in

Richtung des Gatedielektrikumsmaterials **161** zu diffundieren. Während der entsprechenden Wärmebehandlung kann auch eine thermische Stabilisierung erreicht werden, wodurch eine Auswirkung weiterer Wärmebehandlungen, die in einer späteren Fertigungsstufe auszuführen sind, verringert wird. In noch anderen Vorgehensweisen werden die austrittsarbeitseinstellenden Substanzen als Materialschichten vorgesehen und werden in das dielektrische Material **161** diffundiert, woran sich das Entfernen dieser Materialschichten anschließt und sodann die Schichten **162a**, **162b** aufgebracht werden, die in beiden Gateelektrodenstrukturen **160a**, **160b** den gleichen Aufbau besitzen.

[0012] Als Nächstes wird der resultierende Gate-schichtstapel auf der Grundlage komplexer Lithografie- und Ätztechniken strukturiert, wodurch die in [Fig. 1a](#) gezeigten Gateelektrodenstrukturen **160a**, **160b** geschaffen werden. Folglich können die Austrittsarbeiten und damit die Schwellwertspannungen der Transistoren **150a**, **150b** in einer frühen Fertigungsphase festgelegt werden, wozu jedoch ein zuverlässiges Einschließen insbesondere der empfindlichen Materialien **161a**, **162a** und **162b** erforderlich ist. Zu diesem Zweck wird ein Siliziumnitrid-Beschichtungsmaterial, beispielsweise auf der Grundlage sehr konformer und gleichmäßiger thermisch aktivierter und/oder plasmaaktivierter CVD-(chemische Dampfabsciede-)Techniken aufgebracht, in denen ein sehr dichtes Siliziumnitridmaterial mit einer gut steuerbaren Abscheiderate und mit sehr gleichmäßigen Materialeigenschaften bereitgestellt wird. Die Siliziumnitridbeschichtung wird dann anisotrop geätzt, um den schützenden Abstandshalter **103** vorzusehen. Im Hinblick auf eine bessere Integrität der Materialien **161**, **162a**, **162b** wird eine größere Breite des Abstandshalters **103** als vorteilhaft erachtet, wenn andererseits im Hinblick auf das gesamte Transistorleistungsverhalten eine geringere Breite vorzusehen ist, da der Abstandshalter **103** im Wesentlichen über den gesamten Prozessablauf beibehalten wird und somit zu der gesamten Breite weiterer Abstandshalter beiträgt, die letztlich einen lateralen Abstand zu dem Material **151**, den lateralen Abstand von Drain- und Source-Erweiterungsgebieten und Halo-Gebieten und dergleichen festlegt. In dem gezeigten Beispiel wird der Abstandshalter **104** in Form eines Siliziumdioxidmaterials bereitgestellt, um die Integrität des Abstandshalters **103** in einer späteren Fertigungsphase zu bewahren, wenn die dielektrische Deck-schicht **164** von den Gateelektrodenstrukturen **160a**, **160b** entfernt wird. Ferner bestimmt der Abstandshalter **105s** den endgültigen lateralen Abstand des Materials **151** und bietet eine höhere chemische Stabilität im Hinblick auf nasschemische Ätzrezepte, die typischerweise zum Entfernen von Kontaminationsstoffen und dergleichen angewendet werden, die jedoch auch Siliziumdioxidmaterial abtragen können. Zu diesem Zweck wird die Abstandshalterschicht **105** als

ein Siliziumnitridmaterial aufgebracht und wird dann selektiv über dem aktiven Gebiet **102a** geätzt, um den Abstandshalter **105s** zu erzeugen, während die Schicht **105** über dem aktiven Gebiet **102b** beibehalten wird, um als eine Aufwachsmaske während der weiteren Bearbeitung des Bauelements **100** zu dienen. Daraufhin wird ein Ätzprozess angewendet, um Aussparungen in dem aktiven Gebiet **102a** zu erzeugen, die mit dem Material **151** auf der Grundlage einer selektiven epitaktischen Aufwachstechnik gefüllt werden. Während dieses Prozesses ist das Halbleitermaterial **163** der Gateelektrodenstruktur **160a** durch das dielektrische Deckmaterial **164** und die Abstandshalter **105s** bedeckt, während das aktive Gebiet **102b** und die Gateelektrodenstruktur **160b** durch die Abstandshalterschicht **105** geschützt sind. Danach wird Siliziumnitridmaterial auf der Grundlage heißer Phosphorsäure entfernt. Folglich werden die Abstandshalterschicht **105**, das Abstandshalterelement **105s** und die dielektrischen Deckschichten **164** abgetragen, während der Versatzabstandshalter **104** die Integrität des schützenden Abstandshalters **103** bewahrt. Als Nächstes wird der Abstandshalter **104** auf der Grundlage von Flußsäure entfernt.

[0013] [Fig. 1b](#) zeigt schematisch das Halbleiterbauelement **100** nach der oben beschriebenen Prozesssequenz. Wie gezeigt, liegt das Halbleitermaterial **163** der Gateelektrodenstrukturen **160a**, **160b** frei, während Seitenwände der Gateelektrodenstrukturen weiterhin von dem schützenden Abstandshalter **103** bedeckt sind.

[0014] [Fig. 1c](#) zeigt schematisch das Halbleiterbauelement **100** in einer weiter fortgeschrittenen Fertigungsphase. Wie gezeigt, ist eine Abstandshalterstruktur **153**, beispielsweise in Form eines Siliziumnitridmaterials, möglicherweise in Verbindung mit einer Oxidbeschichtung (nicht gezeigt) an dem schützenden Abstandshalter **103** angebracht, um für einen besseren Einschluss der empfindlichen Materialien **161**, **162a**, **162b** zu sorgen, wodurch ebenfalls der laterale Eintrittspunkt für Implantationsarten festgelegt, die während entsprechender Implantationssequenzen **106a**, **106b** einzubauen sind. Wie auch zuvor mit Bezug zu dem schützenden Abstandshalter **103** erläutert ist, übt auch die Abstandshalterstruktur **153** einen wesentlichen Einfluss auf die Integrität der empfindlichen Gateelektrodenstrukturen **160a**, **160b** aus, was sich direkt in den jeweiligen Werten für die Produktionsausbeute widerspiegelt. Das heißt, eine größere Dicke des Abstandshalters **153** liefert eine höhere Produktionsausbeute, während gleichzeitig der größere Abstand von dem Kanalgebiet **152** zu einer deutlichen Beeinträchtigung des Transistorleistungsverhaltens führt.

[0015] Während der Implantationssequenz **106a** werden, wie zuvor erläutert ist, die Drain- und Source-Dotierstoffsorte zur Herstellung von Erweiterungsge-

bieten **154** eingeführt, wobei der laterale Abstand der Erweiterungsgebiete **154** durch das Abstandshalterelement **153** festgelegt ist. Ferner werden auch entsprechende gegendotierte Gebiete **155**, die auch als Halo-Gebiete bezeichnet werden, während der Implantationssequenz **156a** auf der Grundlage von Implantationsenergien erzeugt, so dass diese in geeigneter Weise die Drain- und Source-Erweiterungsgebiete **154** in den gegendotierten Gebieten **155** "einbetten". In ähnlicher Weise kann die Implantationssequenz **106b** zu entsprechenden Erweiterungsgebieten **154** und Halo-Gebieten **155** führen, wobei gut etabliertem Maskierungsschemata angewendet werden, die eine Reihe von Lackabtragungsprozessen und Reinigungsprozessen beinhalten, während welchen eine verbesserte Einkapselung der empfindlichen Gateelektrodenstrukturen **160a**, **160b** vorteilhaft ist.

[0016] [Fig. 1d](#) zeigt schematisch das Halbleiterbauelement **100** in einer weiter fortgeschrittenen Fertigungsphase. Wie gezeigt, ist eine weitere Abstandshalterstruktur **156** benachbart zu den Abstandshaltern **153** ausgebildet, wodurch ein lateraler Abstand von Drain- und Source-Gebieten **157** festgelegt ist, die für die unterschiedlichen Transistoren **150a**, **150b** auf der Grundlage eines geeigneten Maskierungsschemas hergestellt werden, nachdem die Abstandshalter **156** auf Basis gut etablierter Prozesstechniken bereitgestellt werden. Daraufhin wird eine Ausheizsequenz **107** ausgeführt, um die Dotierstoffe in den Erweiterungsgebieten **154** und in den Drain- und Source-Gebieten **157** zu aktivieren, wodurch auch durch Implantation hervorgerufene Schäden rekristallisiert werden. Während der Ausheizsequenz **107** wird auch ein gewünschter Überlapp der Erweiterungsgebiete **154** mit den Gateelektrodenstrukturen **160a**, **160b** erzeugt, um eine gewünschte Miller-Kapazität zu erhalten, wie dies auch zuvor erläutert ist. Wenn eine bessere Einkapselung für die Gateelektrodenstrukturen **160a**, **160b** vorgesehen wird, beispielsweise im Hinblick auf das Erhöhen der Produktionsausbeute, werden jedoch die Erweiterungsgebiete **154** nicht in geeigneter Weise in die Kanalgebiete **152** "hineingetrieben". Aus diesem Grunde wird typischerweise die Implantationsdosis der Implantationssequenzen **106a**, **106b** aus [Fig. 2c](#) geeignet angehoben, um eine höhere Dotierstoffkonzentration und somit eine größere Überlappung der Erweiterungsgebiete **154** zu erhalten. Jedoch kann die Implantationsdosis aufgrund von Durchsatzerwägungen nicht beliebig erhöht werden. Das heißt, für gegebene Implantationsressourcen in der Produktionsstätte führt eine weitere Steigerung der Implantationsdosis gegebenenfalls zu einem deutlich geringeren Gesamtdurchsatz. In p-Kanaltransistoren, etwa dem Transistor **150a**, in welchem das Schwellwert einstellende Halbleitermaterial **152a** eingebaut ist, ist die Situation noch komplizierter, wie dies zuvor erläutert ist, da die Diffusionsaktivität der p-Dotierstoffsorte, etwa des

Bors, deutlich geringer ist in einem Silizium-/Germanium-Material, wodurch der Grad an Überlappung, der auf der Grundlage einer gegebenen Dotierstoffkonzentration und von Prozessparametern der Ausheizsequenz **107** erhalten wird, weiter verringert wird. Andererseits ist eine Erhöhung der Ausheiztemperaturen wenig wünschenswert, da die Dotierstoffsorte der Drain- und Source-Gebiete **157** zunehmend in das Wannengebiet diffundieren, wodurch der Abstand zwischen den Drain- und Source-Gebieten verringert wird. Bei der Anwendung höherer Ausheiztemperaturen diffundieren auch zunehmend die Dotierstoffsorte in das Kanalgebiet und führen zu einer größeren Tiefe des Dotierstoffprofils an den pn-Übergängen, was sich wiederum in höheren Leckströmen und einer erhöhten, durch Verformung hervorgerufenen, Barrierenabsenkung ausdrückt. Ferner kann die erhöhte Dotierstoffkonzentration in der Nähe des Kanalgebiets zu einer höheren Wahrscheinlichkeit von Durchschlagsereignissen führen. Ferner ist in den Drain- und Source-Gebieten eine gewünschte hohe Dotierstoffkonzentration im Hinblick auf das Bilden eines Metallsilizidmaterials, etwa eines Nickelsilizids, beizubehalten, das eine Schottky-Barriere mit dem Halbleitermaterial bildet, wobei die Barriere deutlich bei Vorsehen einer hohen Dotierstoffkonzentration abgesenkt werden kann. In ähnlicher Weise erfordert das Halbleitermaterial in der Gateelektrodenstruktur eine hohe Dotierstoffkonzentration, um auch die Schottky-Barriere darin zu verringern.

[0017] Wie sich folglich durch Experimente andeutet, führt eine bessere Einkapselung der Metall-Gateelektrodenstrukturen mit großem ϵ , die zu einer deutlich besseren Produktionsausbeute führt, zu einem entsprechenden Verlust an Leistung von beispielsweise bis zu 12% für p-Kanaltransistoren und bis zu 8% vom von n-Kanaltransistoren aufgrund einer entsprechenden Verringerung der Miller-Kapazität, was durch eine gewünschte Einkapselung der Gateelektrodenstrukturen hervorgerufen wird.

[0018] Die US 2005/0095796 A1 offenbart konventionelle Transistoren mit mehreren Abstandshaltern und Source- und Drainerweiterungsgebieten.

[0019] Angesichts der zuvor beschriebenen Situation ist es die Aufgabe der vorliegenden Erfindung Halbleiterbauelemente und Fertigungstechniken für Halbleiterbauelemente bereitzustellen, die komplexe Metallgateelektrodenstrukturen mit großem ϵ mit höherer Integrität besitzen, wobei eines oder mehrere der oben erkannten Probleme vermieden oder zumindest in der Auswirkung reduziert wird.

Überblick über die Erfindung

[0020] Im Allgemeinen stellt die vorliegende Erfindung Halbleiterbauelemente und Fertigungstechniken bereit, in denen Drain- und Source-Dotierstoff

fe mit einem geringeren lateralen Abstand zu dem Kanalgebiet angeordnet werden, ohne dass die Gesamtintegrität der empfindlichen Metallgateelektrodenstruktur mit großem ϵ beeinträchtigt wird. Zu diesem Zweck wird zumindest ein Teil der Erweiterungsgebiete auf der Grundlage eines Beschichtungsmaterials hergestellt, das zur Herstellung der schützenden Abstandshalterelemente verwendet wird, wobei insbesondere an der Unterseite der empfindlichen Gateelektrodenstrukturen das nicht strukturierte Beschichtungsmaterial für einen besseren Materialeinschluss sorgt, während gleichzeitig ein geringerer lateraler Abstand der implantierten Dotierstoffsorten erreicht wird. Daraufhin werden weitere Abstandshalterelemente bereitgestellt, wie dies zum Erreichen eines verbesserten Gateeinschlusses und somit einer erhöhten Produktionsausbeute erforderlich ist. Folglich können geeignete Implantationsdosiswerte während der frühen Implantation der Drain- und Source-Erweiterungsgebiete in Verbindung mit geeigneten Ausheiztemperaturen verwendet werden, wobei dennoch die gewünschte hohe Miller-Kapazität erreicht wird.

[0021] Ein anschauliches hierin offenbartes Verfahren betrifft die Herstellung eines Transistors. Das Verfahren umfasst das Bilden einer schützenden Beschichtung über einem aktiven Gebiet und einer Gateelektrodenstruktur, die auf dem aktiven Gebiet gebildet ist, wobei die Gateelektrodenstruktur ein dielektrisches Material mit großem ϵ und eine Austrittsarbeitsmetallsorte aufweist. Das Verfahren umfasst ferner das Bilden von Drain- und Source-Erweiterungsgebieten in dem aktiven Gebiet in Anwesenheit der schützenden Beschichtung. Des Weiteren wird ein schützendes Abstandshalterelement aus der schützenden Beschichtung hergestellt und wird eine Abstandshalterstruktur vorgesehen. Ferner umfasst das Verfahren das Bilden von Drain- und Source-Gebieten in dem aktiven Gebiet in Anwesenheit der Abstandshalterstruktur.

[0022] Ein noch weiteres anschauliches hierin offenbartes Verfahren umfasst das Bilden einer schützenden Beschichtung über einem ersten aktiven Gebiet eines ersten Transistors und über einem zweiten aktiven Gebiet eines zweiten Transistors. Die schützende Beschichtung bedeckt eine erste Gateelektrodenstruktur, die auf einem Teil des ersten aktiven Gebiets ausgebildet ist, und bedeckt auch eine zweite Gateelektrodenstruktur, die auf einem Teil des zweiten aktiven Gebiets ausgebildet ist, wobei der erste und der zweite Transistor sich in ihrer Leitfähigkeitsart unterscheiden. Das Verfahren umfasst ferner das Ausführen eines ersten Implantationsprozesses, um Drain- und Source-Dotierstoffe in das erste aktive Gebiet in Anwesenheit der schützenden Beschichtung einzuführen. Des Weiteren umfasst das Verfahren das Bilden eines schützenden Abstandshalterelements an Seitenwänden der ersten und der zwei-

ten Gateelektrodenstruktur aus der schützenden Beschichtung. Ferner umfasst das Verfahren das Bilden von Drain- und Source-Gebieten in dem ersten und dem zweiten Gebiet.

[0023] Ein anschauliches hierin offenbartes Halbleiterbauelement umfasst ein aktives Gebiet, das über einem Substrat ausgebildet ist, und eine Gateelektrodenstruktur, die auf dem aktiven Gebiet hergestellt ist. Die Gateelektrodenstruktur umfasst ein Gate-dielektrikumsmaterial mit einem dielektrischen Material mit großem ϵ , ein auf dem Gatedielektrikumsmaterial ausgebildetes Metall enthaltendes Deckmaterial, ein Elektrodenmaterial und ein Metallsilizid, das in dem Elektrodenmaterial gebildet ist. Das Halbleiterbauelement umfasst ferner einen schützenden Abstandshalter, der an Seitenwänden der Gateelektrodenstruktur ausgebildet ist, und umfasst einen ersten Abstandshalter, der benachbart zu dem schützenden Abstandshalter ausgebildet ist. Ferner ist ein zweiter Abstandshalter benachbart zu dem ersten Abstandshalter ausgebildet und erste Drain- und Source-Erweiterungsgebiete sind in dem aktiven Gebiet unter dem schützenden Abstandshalter angeordnet, so dass diese sich bis zu einer ersten Tiefe erstrecken. Das Halbleiterbauelement umfasst ferner zweite Drain- und Source-Erweiterungsgebiete, die in dem aktiven Gebiet so gebildet sind, dass diese sich zu den ersten Drain- und Source-Erweiterungsgebieten erstrecken, wobei die zweiten Drain- und Source-Erweiterungsgebiete unter dem zweiten Abstandshalter ausgebildet sind und sich bis zu einer zweiten Tiefe erstrecken, die größer ist als die erste Tiefe. Ferner umfasst das Halbleiterbauelement Drain- und Source-Gebiete, die in dem aktiven Gebiet ausgebildet sind und mit dem zweiten Drain- und Source-Erweiterungsgebieten verbunden sind, wobei die Drain- und Source-Gebiete sich zu einer dritten Tiefe erstrecken, die größer ist als die zweite Tiefe.

Kurze Beschreibung der Zeichnungen

[0024] Diverse Ausführungsformen der vorliegenden Erfindung sind in den angefügten Patentansprüchen definiert und gehen auch deutlicher aus der folgenden detaillierten Beschreibung hervor, wenn dies mit Bezug zu den begleitenden Zeichnungen studiert wird, in denen:

[0025] [Fig. 1a–Fig. 1d](#) schematisch Querschnittsansichten eines Halbleiterbauelements während diverser Fertigungsphasen bei der Herstellung von Transistoren auf der Grundlage einer Metallgateelektrodenstruktur mit großem ϵ mit einer Austrittsarbeitseinstellung in einer frühen Fertigungsphase gemäß konventioneller Prozessstrategien zeigen;

[0026] [Fig. 2a](#) und [Fig. 2b](#) schematisch Querschnittsansichten eines Halbleiterbauelements mit einer Metallgateelektrodenstruktur und einer schützen-

den Beschichtung bzw. einer Schutzbeschichtung zeigen, durch die zumindest ein Teil von Drain- und Source-Erweiterungsgebieten gemäß anschaulicher Ausführungsformen implantiert wird;

[0027] [Fig. 2c](#) schematisch das Halbleiterbauelement gemäß noch weiterer anschaulicher Ausführungsformen, in denen auch eine Halo-Implantationsorte auf der Grundlage des Schutzbeschichtungsmaterials gemäß noch weiterer anschaulicher Ausführungsformen eingebaut wird;

[0028] [Fig. 2d](#) schematisch das Halbleiterbauelement mit einer Schutzbeschichtung zeigt, die nach dem Vorsehen der Drain- und Source-Erweiterungsgebiete gemäß anschaulicher Ausführungsformen hergestellt wird; und

[0029] [Fig. 2e–Fig. 2g](#) schematisch Querschnittsansichten des Halbleiterbauelements in weiter fortgeschrittenen Fertigungsphasen gemäß anschaulicher Ausführungsformen zeigen.

Detaillierte Beschreibung

[0030] Im Allgemeinen stellt die vorliegende Erfindung Halbleiterbauelemente und Fertigungstechniken bereit, in denen eine verbesserte Einkapselung von Metallgateelektrodenstrukturen mit großem ϵ erreicht wird, während gleichzeitig ein gewünschtes Dotierstoffprofil für die Drain- und Source-Erweiterungsgebiete und auch für die Drain- und Source-Gebiete geschaffen wird. Zu diesem Zweck wird zumindest ein Teil der Drain- und Source-Erweiterungsdotierstoffe auf der Grundlage eines kleineren lateralen Abstandes implantiert, wie er durch eine Abstandshalterschicht bestimmt ist, die dann strukturiert wird, um schützende Abstandshalterelemente zu erhalten, deren Breite während der weiteren Bearbeitung vergrößert ist, indem beispielsweise ein zusätzliches Abstandshalterelement oder dergleichen vorgesehen sind. Da der Implantationsprozess auf der Grundlage der Schutzbeschichtung vor ihrer Strukturierung ausgeführt wird, sind kritische Bereiche der Gateelektrodenstruktur, etwa die Unterseite der Gateelektrodenstruktur, zuverlässig durch das Beschichtungsmaterial abgedeckt, wodurch eine Wechselwirkung aggressiver Chemikalien, etwa Reinigungsrezepte, die zum Vorsehen und Entfernen von Lackmasken und dergleichen erforderlich sind, reduziert wird. Folglich werden mögliche strukturierungsbedingte Ungleichmäßigkeiten der Gateelektrodenstruktur, insbesondere an deren Fuße, zuverlässig durch das moderat dünne schützende Beschichtungsmaterial abgedeckt, wobei eine zusätzliche Einkapselung der Gateelektrodenstruktur in den nachfolgenden Prozessphasen erreicht werden kann, ohne dass jedoch die resultierende Miller-Kapazität beeinflusst wird. Folglich kann das Abstandshalterschema, das zum Einkapseln der Gateelektrodenstruktur verwen-

det wird, im Hinblick auf das Erreichen einer hohen Produktionsausbeute ausgewählt werden, während gleichzeitig das resultierende Dotierstoffprofil zu einem gewünschten besseren Transistorleistungsverhalten beiträgt. Beispielsweise kann in Transistorelementen, in denen eine speziell gestaltete Schwellwerteneinstellung des Halbleitermaterials erforderlich ist, wie etwa einer Silizium/Germanium-Legierung, eine geeignete Dotierstoffkonzentration in unmittelbarer Nähe zu dem Kanalgebiet vorgesehen werden, wobei dennoch äußerst hohe Implantationsdosiswerte während des Implantationsprozesses vermieden werden, während gleichzeitig eine gewünschte hohe Miller-Kapazität erreicht wird trotz der geringeren Diffusionsaktivität in der Silizium/Germanium-Legierung bei geeigneten Ausheiztemperaturen. Folglich kann durch Anwenden eines frühen Implantationsprozesses zur Herstellung zumindest eines Teils der Drain- und Source-Erweiterungsgebiete auf der Grundlage eines geringeren seitlichen Abstands ein hoher Grad an Flexibilität bei der Einstellung der Dotierstoffprofile diverser Transistoren, etwa von p-Kanaltransistoren oder n-Kanaltransistoren oder beider, erreicht werden, während die gesamte Transistorvariabilität, beispielsweise im Hinblick auf Schwellertschwankungen aufgrund einer besseren Einkapselung der empfindlichen Gateelektrodenstrukturen verringert wird, während gleichzeitig eine hohe Produktionsausbeute erreicht wird.

[0031] Mit Bezug zu den [Fig. 2a–Fig. 2f](#) werden nunmehr weitere anschauliche Ausführungsformen detaillierter beschrieben, wobei auch bei Bedarf auf die [Fig. 1a–Fig. 1d](#) verwiesen wird.

[0032] [Fig. 2a](#) zeigt schematisch eine Querschnittsansicht eines Halbleiterbauelements **200** mit einem Substrat **201** in Verbindung mit einer siliziumbasierten Halbleiterschicht **202**. In der Halbleiterschicht **202** grenzen Isolationsstrukturen **202c** laterale Halbleitergebiete oder aktive Gebiete ab, wie dies auch zuvor mit Bezug zu dem Halbleiterbauelement **100** erläutert ist. Beispielsweise ist eine Vielzahl an aktiven Gebieten entsprechend zu p-Kanaltransistoren und n-Kanaltransistoren in der Halbleiterschicht **202** vorgesehen, wie dies auch zuvor mit Bezug zu den Transistoren **150a**, **150b** erläutert ist, als das Halbleiterbauelement **100** mit Bezugnahme zu den [Fig. 1a–Fig. 1d](#) beschrieben wurde. Es sollte beachtet werden, dass das Substrat **201** in Verbindung mit der Halbleiterschicht **202** einen beliebigen geeigneten Aufbau besitzt, wie dies auch beispielsweise zuvor mit Bezug zu dem Bauelement **100** erläutert ist. Beispielsweise repräsentiert das Bauelement **200** eine Vollsubstratkonfiguration, zumindest lokal, oder eine SOI-(Silizium-auf-Isolator-)Konfiguration, zumindest lokal, wenn ein vergrabenes isolierendes Material (nicht gezeigt) zwischen dem Substrat **201** und der Schicht **202** gebildet ist. Der Einfachheit halber ist ein einzelnes aktives Gebiet **202a**

in [Fig. 2a](#) dargestellt und entspricht einem Transistor **250**, der einen p-Kanaltransistor oder einen n-Kanaltransistor repräsentiert. Beispielsweise enthält das aktive Gebiet **202a** ein schwellwerteneinstellendes Halbleitermaterial **252a**, beispielsweise in Form einer Silizium/Germanium-Mischung oder einer Legierung, wenn eine entsprechende Anpassung der Bandstruktur im Hinblick auf eine Gateelektrodenstruktur **260** erforderlich ist. Wie beispielsweise zuvor mit Bezug zu dem Bauelement **100** erläutert ist, werden häufig p-Kanaltransistoren auf der Grundlage des schwellwerteneinstellenden Halbleitermaterials **252a** hergestellt. In anderen Fällen ist die Materialzusammensetzung des Halbleitergebiets **202a** in der gezeigten Fertigungsphase im Wesentlichen kontinuierlich, wenn dieses beispielsweise einen n-Kanaltransistor repräsentiert. Ferner umfasst die Gateelektrodenstruktur **260** ein Gatedielektrikumsmaterial **261** in Verbindung mit einem Metall enthaltenden Deckmaterial **262**, woran sich ein siliziumbasiertes Elektrodenmaterial **263** anschließt, was wiederum von einem dielektrischen Deckmaterial **264** bedeckt ist. Wie auch zuvor mit Bezug zu dem Halbleiterbauelement **100** erläutert ist, weist das Gatedielektrikumsmaterial **261** eine geeignete Materialzusammensetzung auf, um damit eine höhere Dielektrizitätskonstante zu erzeugen. Beispielsweise ist das Material **261** aus zwei oder mehr unterschiedlichen Materialschichten aufgebaut, etwa Siliziumdioxid, Siliziumoxynitrid und dergleichen in Verbindung mit einem dielektrischen Material mit großem ϵ , etwa Hafnium enthaltenden dielektrischen Materialien, Zirkon enthaltenden dielektrischen Materialien und dergleichen. Beispielsweise liegt eine Gesamtdicke des Gatedielektrikumsmaterials im Bereich von einem bis mehreren Nanometern, wobei dennoch für eine erhöhte kapazitive Kopplung im Vergleich zu einem Siliziumdioxid basierten dielektrischen Material mit der gleichen Dicke gesorgt ist. Ferner kann das Metall enthaltende Material **262** eine geeignete Austrittsarbeitsmetallsorte, etwa Aluminium, Lanthan, und dergleichen, abhängig von der Leitfähigkeitsart des Transistors **250** aufweisen. Die Austrittsartmetallsorte kann auch in einem "Trägermaterial" eingebaut sein, etwa in Titanitrid und dergleichen, während in anderen Fällen eine geeignete Metall enthaltende Schicht oder ein Materialschichtstapel vorgesehen wird, sofern eine gewünschte Austrittsarbeitsmetallsorte in geeigneter Weise in dem Material **262** und möglicherweise innerhalb des Materials **261** verteilt ist. Zu beachten ist, dass im Hinblick auf das Gatedielektrikumsmaterial **261** und auf das Material **262** auch die gleichen Kriterien gelten, wie sie zuvor mit Bezug zu den Materialien **161** und **162a**, **162b** erläutert wurden. Das heißt, die austrittsarbeitseinstellende Sorte kann in das Gatedielektrikumsmaterial eindiffundiert sein, oder zumindest in einen Teil davon eindiffundiert sein, und die Diffusionsschicht(en) kann bzw. können entfernt werden, woran sich das Abscheiden der Metall enthaltenden Schicht **262** an-

schließt. In ähnlicher Weise kann das Elektrodenmaterial **263**, beispielsweise in Form von amorphem Silizium, polykristallinem Silizium, Silizium/Germanium und dergleichen vorgesehen werden, so dass es den gesamten Bauteilerfordernissen entspricht. Auch das dielektrische Deckmaterial **264**, beispielsweise in Form eines Siliziumnitridmaterials, möglicherweise in Verbindung mit Siliziumdioxidmaterialien und dergleichen, besitzt einen geeigneten Aufbau, wie dies zum Strukturieren der Gateelektrodenstruktur **260** und für das Ausführen nachfolgender Prozesse erforderlich ist. Wie zuvor erläutert ist, kann die Gateelektrodenstruktur **260** eine Länge von ungefähr 40 nm oder weniger haben, wenn komplexe Halbleiterbauelemente betrachtet werden. In der gezeigten Fertigungsphase ist eine schützende Beschichtung bzw. Schutzbeschichtung **203a**, wie etwa ein Siliziumnitridmaterial, so hergestellt, dass es das aktive Gebiet **202a**, d. h. den nicht von der Gateelektrodenstruktur **260** bedeckten Bereich, abdeckt und auch so, dass freiliegende Oberflächenbereiche der Gateelektrodenstrukturen **260** abgedeckt sind. Die Schutzbeschichtung **203a** besitzt eine gute Gleichmäßigkeit im Hinblick auf die Schichtdicke und die Materialzusammensetzung, was auf der Grundlage gut etablierter sehr konformer thermisch aktivierter und/oder plasmaunterstützter Abscheidetechniken gelingt. Beispielsweise wird die Beschichtung **203a** mit einer Dicke von ungefähr 1–10 nm abhängig von dem gewünschten lateralen Abstand von Drain- und Source-Erweiterungsgebieten vorgesehen werden, die noch in dem aktiven Gebiet **202a** herzustellen sind.

[0033] Das Halbleiterbauelement **200** kann auf der Grundlage gut etablierter Prozessstrategien hergestellt werden, wie dies auch zuvor mit Bezug zu dem Bauelement **100** erläutert ist. Beispielsweise wird die Isolationsstruktur **202c** auf Grundlage komplexer Lithografie-, Ätz-, Abscheide- und Einebnungstechniken hergestellt, woran sich der Einbau einer geeigneten Wannendotierstoffsorte in das aktive Gebiet **202a** anschließt. Vor oder nach dem Bereitstellen der Isolationsstruktur **202c** kann das schwellwertestellende Halbleitermaterial **252a** bei Bedarf auf der Grundlage epitaktischer Aufwachstechniken hergestellt werden. Beispielsweise wird das Material **252a** selektiv in einigen der aktiven Gebiete hergestellt, etwa für p-Kanaltransistoren, wie dies auch zuvor mit Bezug zu dem Bauelement **100** erläutert ist, was bewerkstelligt werden kann, indem das Material **252a** in allen aktiven Gebieten ausgebildet und selektiv von einigen entfernt wird. In anderen anschaulichen Ausführungsformen werden aktive Gebiete von beispielsweise n-Kanaltransistoren durch eine dielektrische Maske abgedeckt, etwa eine Oxidmaske, während ein selektiver epitaktischer Aufwuchsprozess zum Aufwachsen des Materials **252a** in freiliegenden Halbleiterbereichen, etwa dem Halbleitergebiet **202a**, ausgeführt wird. Danach wird eine Prozesssequenz ausgeführt,

um die Gateelektrodenstruktur **260** zu schaffen, so dass diese eine geeignete Austrittsarbeitsmetallsorte für jede Art an Transistor aufweist, wie dies auch zuvor mit Bezug zu dem Bauelement **100** erläutert ist. Daraufhin wird die Schutzbeschichtung **203a** auf der Grundlage von Abscheidetechniken aufgebracht, wie dies auch zuvor angegeben ist, um eine gewünschte Dicke zu erhalten, so dass ein lateraler Abstand von noch herzustellenden Erweiterungsgebieten eingestellt wird. Folglich deckt die Beschichtung **203a** zuverlässig lediglich die durch die Strukturierung hervorgerufenen Unregelmäßigkeiten der Gateelektrodenstruktur **260** ab, beispielsweise insbesondere an deren Füße, wobei diese Unregelmäßigkeiten durch die Anwesenheit der unterschiedlichen Materialien **261**, **262** und **263** hervorgerufen werden können.

[0034] **Fig. 2b** zeigt schematisch das Halbleiterbauelement **200** in einer weiter fortgeschrittenen Fertigungsphase. Wie gezeigt, ist eine Implantationsmaske **208**, etwa ein Lackmaske, so vorgesehen, dass das aktive Gebiet **202a** freiliegt, während andere aktive Gebiete abgedeckt sind, in denen der Einbau einer Dotierstoffsorte für die Herstellung von Drain- und Source-Erweiterungsgebieten **254** zu vermeiden ist. Zu diesem Zweck kann ein beliebiges geeignetes Maskierungsschema angewendet werden. Um eine geeignete Drain- und Source-Dotierstoffsorte einzuführen, wird ein Implantationsprozess **206** ausgeführt, wobei geeignete Prozessparameter, etwa Dosis und Energie, eingesetzt werden, um damit die Erweiterungsgebiete **254** mit einem gewünschten Dotierstoffprofil zu schaffen. Zum Beispiel wird im Falle eines p-Kanaltransistors eine p-Dotierstoffsorte, etwa Bor, während des Prozesses **206** implantiert, während für einen n-Kanaltransistor eine n-Dotierstoffsorte eingebaut wird, etwa Phosphor oder Arsen und dergleichen. Wie zuvor erläutert ist, kann eine geeignete Implantationsdosis eingestellt werden, da die Beschichtung **203a** für einen moderat geringen lateralen Abstand sorgt, wobei die Implantationsorte kompatibel ist mit den Anforderungen verfügbarer Implantationsanlagen, so dass eine geeignete Dotierstoffkonzentration in den Erweiterungsgebieten **254** geschaffen wird, um eine unerwünschte Diffusion in der Tiefenrichtung hervorzurufen, wobei dennoch für die gewünschte laterale Diffusion gesorgt wird, um die erforderliche Miller-Kapazität zu erhalten. Wenn beispielsweise das schwellwertestellende Halbleitermaterial **252a** vorgesehen ist, wird die Implantation **206** so ausgeführt, dass die Drain- und Source-Erweiterungsgebiete **254** in dem Material **252a** gebildet werden. Es sollte beachtet werden, dass aufgrund des hohen Grades an Gleichmäßigkeit in der Schichtdicke und der Materialzusammensetzung der Schutzbeschichtung **203a** Fluktuationen der Erweiterungsgebiete **254**, die durch die Schicht **203a** hervorgerufen werden, kleiner sind im Vergleich zu "natürlichen" Schwankungen des Implantationsprozesses **206**. Folglich trägt die Schicht **203a** im Wesent-

lichen nicht zu zusätzlichen Prozessungleichmäßigkeiten bei.

[0035] Nach dem Implantationsprozess **206** wird bei Bedarf die Maske **208** entfernt und es wird eine weitere Implantationsmaske vorgesehen, um den Transistor **250** abzudecken und um andere Transistoren freizulegen, in denen ebenfalls Drain- und Source-Erweiterungsgebiete mit kleinerem lateralen Abstand für das Bauelement **200** als vorteilhaft erachtet werden. Es sollte jedoch beachtet werden, dass abhängig von den gesamten Prozess- und Bauteilanforderungen die Erweiterungsgebiete **254**, die in einer frühen Fertigungsphase vorgesehen werden, in p-Kanaltransistoren, in n-Kanaltransistoren oder in beiden Transistorarten erzeugt werden können. Während des entsprechenden Lackabtragungsprozesses und dazwischenliegender Reinigungsprozesse, die typischerweise angewendet werden, kann die Beschichtung **203a** die Integrität insbesondere der empfindlichen Materialien **261**, **262** bewahren.

[0036] **Fig. 2c** zeigt schematisch das Halbleiterbauelement **200** gemäß noch weiterer anschaulicher Ausführungsformen, in denen der weitere Implantationsprozess **206h** auf der Grundlage der Maske **208** ausgeführt wird, um zumindest einen Teil von gegendotierten Gebieten oder Halo-Gebieten **255** zu erzeugen. Wie ebenfalls zuvor mit Bezug zu dem Bauelement **100** erläutert ist, sind entsprechende Halo-Gebiete **255** gegebenenfalls erforderlich, um den Sperrstrom des Transistors **250** und dergleichen einzustellen, wobei typischerweise die Halo-Gebiete **255** unter und benachbart zu den Erweiterungsgebieten **254** erzeugt werden. Folglich sind typischerweise größere Implantationsenergien im Hinblick auf die größere Eindringtiefe erforderlich. In diesem Falle besitzt die Gateelektrodenstruktur **260** eine erhöhte Ionenblockierwirkung, zumindest für kleine Neigungswinkel des Implantationsprozesses **206**, aufgrund der Anwesenheit der dielektrischen Deckschicht **264**. Folglich kann der Einbau der gegendotierenden Sorte in das Elektrodenmaterial **263** für eine gewünschte gegebene Implantationsenergie deutlich verringert werden. Ferner kann auch der Grad der Schwellwertspannungsverschiebung, der durch die Anwesenheit der gegendotierenden Sorte in der Nähe oder in dem Material **262** hervorgerufen wird, ebenfalls aufgrund der Anwesenheit des dielektrischen Deckschichtmaterials **264** verringert werden. In einigen anschaulichen Ausführungsformen wird der Halo-Implantationsprozess **206h** ohne einen Neigungswinkel oder mit kleinem Neigungswinkeln ausgeführt, um vorteilhaft die Ionenblockierwirkung des Materials **264** auszunutzen, wobei die blockierende Wirkung der Beschichtung **203a** an den Seitenwänden der Gateelektrodenstruktur **260** reduziert ist. Folglich kann ein entsprechender Implantationsprozess in einer späteren Phase ausgeführt werden, wenn weite-

re Abstandshalterelemente an den Seitenwänden der Gateelektrodenstruktur **260** vorgesehen sind.

[0037] Wie zuvor angegeben ist, können auch beim Implantationsprozess **206h** p-Kanaltransistoren und/oder n-Kanaltransistoren in Abhängigkeit der gesamten Erfordernisse bearbeitet werden.

[0038] **Fig. 2d** zeigt schematisch das Halbleiterbauelement **200** in einer weiter fortgeschrittenen Fertigungsphase. Wie gezeigt, sind schützende Abstandshalterelemente **203** an Seitenwänden der Gateelektrodenstruktur **260** ausgebildet, was bewerkstelligt werden kann, indem gut etablierte plasmaunterstützte Ätzprozesse zum Ätzen von beispielsweise von Siliziumnitridmaterial selektiv in Bezug auf siliziumbasierte Materialien und Oxide ausgeführt werden. Folglich umfasst der Transistor **250** zumindest die Erweiterungsgebiete **255** mit dem kleinen lateralen Abstand, der durch die Schutzbeschichtung **203a** (siehe **Fig. 2b**) erhalten wurde. Zu beachten ist, dass in anderen anschaulichen Ausführungsformen (nicht gezeigt) Abstandshalterelemente hergestellt werden können, indem eine weitere Abstandshalterschicht aufgebracht wird, etwa eine weitere Siliziumnitridmaterialschicht, die ebenfalls gemeinsam mit der Schutzbeschichtung **203a** (siehe **Fig. 2b**) strukturiert werden kann, wodurch das Abstandshalterelement **203** mit einer größeren Dicke erhalten wird, wenn dies als geeignet erachtet wird. In anderen Fällen wird die weitere Bearbeitung fortgesetzt, indem eine beliebige andere gewünschte Seitenwandabstandshalterstruktur hergestellt wird, wie dies auch zuvor mit Bezug zu dem Halbleiterbauelement **100** beschrieben ist.

[0039] **Fig. 2e** zeigt schematisch das Halbleiterbauelement **200** gemäß anschaulicher Ausführungsformen, in denen ein verformungsinduzierendes Material **251** in das aktive Gebiet **202a** eingebaut ist. Zu diesem Zweck können gut etablierte Prozessstrategien angewendet werden, wie sie auch zuvor mit Bezug zu dem Bauelement **100** erläutert sind. Beispielsweise wird eine geeignete Abstandshalterstruktur mit einem Qxidabstandshalter **204** in Verbindung mit einem Nitridabstandshalter **205s** an dem schützenden Abstandshalterelement **203** hergestellt, wodurch das Elektrodenmaterial **263** zuverlässig eingekapselt wird und weiterhin die Integrität der empfindlichen Materialien **261** und **262** bewahrt wird. Wie zuvor mit Bezug zu den **Fig. 1a–Fig. 1d** beschrieben ist, können andere aktive Gebiete und entsprechende Gateelektrodenstrukturen durch eine Abstandshalterschicht geschützt werden, wenn das Vorsehen des Materials **251** in diesen Bereichen nicht erforderlich ist. Als nächstes werden Aussparungen in dem aktiven Gebiet **202a** hergestellt, wodurch ebenfalls ein Teil der zuvor implantierten Drain- und Source-Erweiterungsgebiete **255** entfernt wird. Daraufhin wird das Material **251** auf der Grundlage selektiver epitaktischer Auf-

wachstechniken gemäß den gesamten Prozessanforderungen hergestellt. Danach werden die Abstandshalter **205s**, der Abstandshalter **204** und die dielektrische Deckschicht **264** auf der Grundlage geeigneter Ätzrezepte entfernt, wie dies auch zuvor erläutert ist. Gleichzeitig kann auch das Gateelektrodenmaterial **263** anderer Gateelektrodenstrukturen, die von einer Abstandshalterschicht bedeckt sind, ebenfalls freigelegt werden.

[0040] **Fig. 2f** zeigt schematisch das Halbleiterbauelement **200** in einem weiter fortgeschrittenen Fertigungsstadium, in welchem die Gateelektrodenstruktur **260** an Seitenwänden eine weitere Abstandshalterstruktur **253** aufweist, wodurch für eine bessere Einkapselung des Gateelektrodenmaterials **263** und insbesondere der empfindlichen Materialien **261** und **262** gesorgt ist. In einigen anschaulichen Ausführungsformen wird das Bauelement **200** einem weiteren Implantationsprozess **206c** oder einer Implantationssequenz unterzogen, um zweite Erweiterungsgebiete **255c** zu erzeugen, wobei die Abstandshalterstruktur **253** den lateralen Eintrittspunkt der entsprechenden Dotierstoffsorte bestimmt. Wenn beispielsweise ein wesentlicher Teil der zuvor implantierten Erweiterungsgebiete **255** aufgrund des Vorsehens des Materials **251** entfernt wurde, können die zweiten Erweiterungsgebiete **255c** den entsprechenden Dotiermittelverlust kompensieren. In anderen anschaulichen Ausführungsformen wird der Implantationsprozess **206c** verwendet, um ein verbessertes Dotierstoffprofil und eine höhere Dotierstoffkonzentration bereitzustellen, wobei die Gebiete **255c** in geeigneter Weise eine Verbindung zu den Gebieten **255** herstellen. Beispielsweise werden die Gebiete **255c** mit einer größeren Tiefe im Vergleich zu den Gebieten **255** erzeugt. Es sollte beachtet werden, dass in anderen anschaulichen Ausführungsformen die zweiten Erweiterungsgebiete **255c** nicht notwendig sind, wenn beispielsweise das Material **251** nicht in das aktive Gebiet **202a** eingebaut wurde. Ferner kann die Implantationssequenz **206c** zusätzlich oder alternativ zu einem Implantationsschritt zum Einbau von Drain- und Source-Dotierstoffen auch einen Implantationsschritt enthalten, um eine gegendotierende Sorte einzubauen, so dass das Halo-Gebiet **254** erzeugt wird, oder so, dass diese Gebiete vervollständigt werden, wenn ein entsprechender Teil der Halo-Gebiete bereits hergestellt ist, wie dies auch zuvor mit Bezug zur **Fig. 2c** erläutert ist. Beispielsweise werden aufgrund der zusätzlichen Abstandshalterstruktur **253** auch höhere Ionenblockiereffekte an den Seitenwänden der Gateelektrodenstruktur **260** erreicht, wodurch Implantationsschritte mit einem gewünschten Neigungswinkel ausgeführt werden können, ohne dass die gegendotierende Sorte in die Gateelektrodenstruktur **260** und insbesondere in der Nähe der empfindlichen Materialien **261** und **262** in übermäßiger Weise eingebaut wird. Es sollte beachtet werden, dass die Implantationssequenz **206c** auf der

Grundlage einer Implantationsmaske **209** ausgeführt werden kann, um damit andere aktive Gebiete abzudecken, etwa aktive Gebiete von Transistoren unterschiedlicher Leitfähigkeitsart im Vergleich zu dem Transistor **250**, wie dies auch zuvor erläutert ist.

[0041] **Fig. 2g** zeigt schematisch das Halbleiterbauelement **200** in einer weiter fortgeschrittenen Fertigungsphase. Wie gezeigt, ist eine weitere Abstandshalterstruktur **256**, die eine Ätzstoppbeschichtung **256a** in Verbindung mit einem Abstandshalterelement **256b** aufweisen kann, benachbart zu der Abstandshalterstruktur **263** ausgebildet. Ferner sind Drain- und Source-Gebiete **257** in dem aktiven Gebiet **202a** so gebildet, dass diese mit den Erweiterungsgebieten **255** und/oder mit den zweiten Erweiterungsgebieten **255c**, falls diese vorgesehen sind, verbunden sind. Ferner sind Metallsilizidgebiete **258**, etwa Nickelsilizidgebiete, in den Drain- und Source-Gebieten **257** ausgebildet, und in ähnlicher Weise ist ein Metallsilizidgebiet **265** in der Gateelektrodenstruktur **260** gebildet, d. h. innerhalb des Elektrodenmaterials **263**.

[0042] Das in **Fig. 2g** gezeigte Halbleiterbauelement **200** kann auf der Grundlage einer beliebigen geeigneten Prozesstechnik hergestellt werden. Das heißt, nach der Herstellung des Erweiterungsgebiets **255c**, falls dies erforderlich ist, wird die Abstandshalterstruktur **256** durch Abscheidung und eine anisotrope Ätztechnik hergestellt, wodurch ein gewünschter lateraler Abstand der Drain- und Source-Gebiete **257** während einer nachfolgenden Implantationssequenz zum Einführen der jeweiligen Drain- und Source-Dotierstoffsorte eingestellt wird. Daraufhin werden ein oder mehrere Ausheizprozesse ausgeführt, um die Dotierstoffe zu aktivieren und um durch Implantation hervorgerufene Schäden zu rekristallisieren. Wie zuvor erläutert ist, wird auch ein gewisser Grad an Dotierstoffdiffusion während des einen oder der mehreren Ausheizprozesse in Gang gesetzt, wodurch die Erweiterungsgebiete **255** unter die Gateelektrodenstruktur **260** getrieben werden, um die gewünschte Miller-Kapazität zu erhalten. Aufgrund des geringeren lateralen Abstandes der Erweiterungsgebiete **255** nach dem Implantieren (siehe **Fig. 2b**) führt die erforderliche Vergrößerung der Erweiterungsgebiete **255** auf der Grundlage einer moderat hohen Dotierstoffkonzentration dennoch zu dem gewünschten Überlap und somit Transistorverhalten. Gleichzeitig wird eine unerwünschte Diffusion in verbleibende Bereiche des aktiven Gebiets **202a** unterdrückt. In der in **Fig. 2g** gezeigten Ausführungsform besitzen die Erweiterungsgebiete **255** und die zweiten Erweiterungsgebiete **255c** somit eine endgültige Tiefe, die sich voneinander unterscheidet, wodurch ein besserer Anschluss an das Kanalgebiet **252** erreicht wird. Ferner sind die Drain- und Source-Gebiete **257** mit einer Tiefe **257d** nach Bedarf vorgesehen, die größer ist als die Tiefe **255d** der

zweiten Erweiterungsgebiete **255c**, während die Tiefe größer ist als die Tiefe **255e**. Aufgrund des Vorsehens der zweiten Erweiterungsgebiete **255c** wird eine moderate Dotierstoffkonzentration an der Oberseite der Drain- und Source-Gebiete **257** geschaffen, wodurch die Schottky-Barriere der Nickelsilizidgebiete **258** in den Drain- und Source-Gebieten **257** verringert wird, was wiederum zu einem geringeren Gesamtwiderstand des Transistors **150** beiträgt. In ähnlicher Weise wird eine moderat hohe Dotierstoffkonzentration in dem Elektrodenmaterial **263** erhalten, da zumindest die Dotiermittel der zweiten Erweiterungsgebiete **255c** und die Drain- und Source-Gebiete **257** ohne eine Deckschicht auf der Oberseite der Gateelektrodenstruktur **260** implantiert wurden, wodurch ebenfalls eine gewünscht hohe Dotierstoffkonzentration zum Reduzieren der Schottky-Barriere für das Metallsilizidgebiet **265** geschaffen wird.

[0043] Es gilt also: Die vorliegende Erfindung stellt Halbleiterbauelemente und Fertigungstechniken bereit, in denen der verbesserte Einschluss einer empfindlichen Metallgateelektrodenstruktur mit großem ϵ erreicht wird, wobei dennoch der laterale Abstand von Erweiterungsgebieten reduziert ist. Zu diesem Zweck wird zumindest ein Teil der Erweiterungsgebiete in Anwesenheit der Schutzbeschichtung vor der Strukturierung entsprechender schützender Abstandshalterelemente implantiert. Das Konzept einer frühen Implantation von Erweiterungsgebieten kann auf p-Kanaltransistoren und/oder n-Kanaltransistoren abhängig von den gesamten Prozess- und Bauteilerfordernissen angewendet werden. Beispielsweise können die diversen Maskierungs- und Reinigungsprozesse, die etwa zum Vorsehen der frühen Erweiterungsgebiete für n-Kanaltransistoren und p-Kanaltransistoren erforderlich sind, in Anwesenheit des Schutzbeschichtungsmaterials ausgeführt werden, wodurch die Integrität insbesondere des unteren Bereichs der empfindlichen Gateelektrodenstrukturen bewahrt wird. Des Weiteren können noch weitere komplexe Prozesstechniken, etwa der Einbau eines schwellwertbestimmenden Halbleitermaterials und/oder eines verformungsinduzierenden Halbleitermaterials bewerkstelligt werden, wobei die frühe Implantation der Erweiterungsgebiete oder zumindest ein Teil davon ebenfalls für ein besseres Transistorverhalten sorgt, beispielsweise durch Kompensieren einer reduzierten Diffusionsaktivität einer p-Dotierstoffsorte in einer Silizium/Germanium-Legierung, die in dem Kanalgebiet komplexer p-Kanaltransistoren angeordnet sein kann. In einigen anschaulichen Ausführungsformen wird auch ein Teil der Halo-Gebiete in einer frühen Fertigungsphase erzeugt, wodurch eine bessere Ionenblockierung der Gateelektrodenstruktur ausgenutzt wird.

Patentansprüche

1. Verfahren zur Herstellung eines Transistors, wobei das Verfahren umfasst:
Bilden einer Schutzbeschichtung über einem aktiven Gebiet und einer Gateelektrodenstruktur, die auf dem aktiven Gebiet ausgebildet ist, wobei die Gateelektrodenstruktur ein dielektrisches Material mit großem ϵ und eine Austrittsarbeitsmetallsorte aufweist;
Bilden vor Drain- und Source-Erweiterungsgebieten in dem aktiven Gebiet in Anwesenheit der Schutzbeschichtung;
Bilden eines schützenden Abstandshalterelements aus der Schutzbeschichtung;
Bilden einer Abstandshalterstruktur; und
Bilden von Drain- und Source-Gebieten in dem aktiven Gebiet in Anwesenheit der Abstandshalterstruktur.
2. Verfahren nach Anspruch 1, das ferner umfasst:
Bilden zweiter Drain- und Source-Erweiterungsgebiete unter Anwendung der Abstandshalterstruktur als eine Implantationsmaske.
3. Verfahren nach Anspruch 2, das ferner umfasst:
Ausführen eines Implantationsprozesses, um eine gegendotierende Sorte unter Anwendung der Abstandshalterstruktur als eine Implantationsmaske einzuführen.
4. Verfahren nach Anspruch 2, das ferner umfasst:
Bilden einer zweiten Abstandshalterstruktur benachbart zu der Abstandshalterstruktur und Verwenden der zweiten Abstandshalterstruktur als Maske zur Erzeugung der Drain- und Source-Gebiete.
5. Verfahren nach Anspruch 1, das ferner umfasst:
Ausführen eines Implantationsprozesses derart, dass eine gegendotierende Sorte in Anwesenheit der Schutzbeschichtung eingeführt wird.
6. Verfahren nach Anspruch 1, das ferner umfasst:
Bilden eines schwellwertEinstellenden Halbleitermaterials auf dem aktiven Gebiet vor dem Bilden der Gateelektrodenstruktur.
7. Verfahren nach Anspruch 1, das ferner umfasst:
Bilden einer verformungsinduzierenden Halbleiterlegierung in dem aktiven Gebiet nach dem Bilden des schützenden Abstandshalterelements.
8. Verfahren nach Anspruch 6, wobei Bilden der Drain- und Source-Erweiterungsgebiete Verwenden einer p-Dotierstoffsorte umfasst.
9. Verfahren nach Anspruch 1, wobei Bilden der Drain- und Source-Erweiterungsgebiete Verwenden einer n-Dotierstoffsorte umfasst.

10. Verfahren nach Anspruch 6, wobei das schwellwert-einstellende Halbleitermaterial Silizium und Germanium aufweist.

11. Verfahren nach Anspruch 7, wobei das verformungsinduzierende Halbleitermaterial Silizium und Germanium aufweist.

12. Verfahren mit:

Bilden einer Schutzbeschichtung über einem ersten aktiven Gebiet eines ersten Transistors und über einem zweiten aktiven Gebiet eines zweiten Transistors, wobei die Schutzbeschichtung eine erste Gateelektrodenstruktur, die auf einem Teil des ersten aktiven Gebiets ausgebildet ist, abdeckt und wobei die Schutzbeschichtung eine zweite Gateelektrodenstruktur, die auf einem Teil des zweiten aktiven Gebiets gebildet ist, abdeckt und wobei sich der erste und der zweite Transistor in der Leitfähigkeitsart unterscheiden;

Ausführen eines ersten Implantationsprozesses, um ein Drain- und Source-Dotiermittel in das erste aktive Gebiet in Anwesenheit der Schutzbeschichtung einzuführen;

Bilden eines schützenden Abstandshalterelements an Seitenwänden der ersten und der zweiten Gateelektrodenstruktur aus der Schutzbeschichtung; und Bilden von Drain- und Source-Gebieten in dem ersten und dem zweiten aktiven Gebiet.

13. Verfahren nach Anspruch 12, das ferner umfasst: Ausführen eines zweiten Implantationsprozesses, um eine Drain- und Source-Dotierstoffsorte in das zweite aktive Gebiet in Anwesenheit der Schutzbeschichtung einzuführen.

14. Verfahren nach Anspruch 12, wobei die erste Gateelektrodenstruktur hergestellt wird, so dass diese eine erste Austrittsarbeitsmetallsorte enthält, und wobei die zweite Gateelektrodenstruktur so hergestellt wird, dass diese eine zweite Austrittsarbeitsmetallsorte aufweist, die sich von der ersten Austrittsarbeitsmetallsorte unterscheidet.

15. Verfahren nach Anspruch 12, das ferner umfasst: Bilden einer ersten Abstandshalterstruktur und Einführen von Drain- und Source-Dotiermitteln in das erste und das zweite aktive Gebiet unter Anwendung der ersten Abstandshalterstruktur vor dem Bilden der Drain- und Source-Gebiete.

16. Verfahren nach Anspruch 15, das ferner umfasst: Ausführen einer Halo-Implantation unter Anwendung der ersten Abstandshalterstruktur als eine Maske.

17. Verfahren nach Anspruch 12, das ferner umfasst: Ausführen einer Halo-Implantation zum Einführen einer gegendotierenden Sorte in das erste aktive Gebiet in Anwesenheit der Schutzbeschichtung.

18. Halbleiterbauelement mit:
 einem über einem Substrat ausgebildeten aktiven Gebiet;
 einer Gateelektrodenstruktur, die auf dem aktiven Gebiet gebildet ist, wobei die Gateelektrodenstruktur ein Gatedielektrikumsmaterial mit einem dielektrischen Material mit großem ϵ , ein auf dem Gatedielektrikumsmaterial gebildetes Metall enthaltendes Deckmaterial, ein Elektrodenmaterial und ein in dem Elektrodenmaterial gebildetes Metallsilizid aufweist;
 einem schützenden Abstandshalter, der an Seitenwänden der Gateelektrodenstruktur ausgebildet ist;
 einem ersten Abstandshalter, der angrenzend zu dem schützenden Abstandshalter gebildet ist;
 einem zweiten Abstandshalter, der angrenzend zu dem ersten Abstandshalter gebildet ist;
 ersten Drain- und Source-Erweiterungsgebieten, die in dem aktiven Gebiet unter dem schützenden Abstandshalter ausgebildet sind und sich zu einer ersten Tiefe erstrecken;
 zweiten Drain- und Source-Erweiterungsgebieten, die in dem aktiven Gebiet derart gebildet sind, dass sie zu den ersten Drain- und Source-Erweiterungsgebieten verbunden sind, wobei die zweiten Drain- und Source-Erweiterungsgebiete unter dem zweiten Abstandshalter ausgebildet sind und sich zu einer zweiten Tiefe erstrecken, die größer ist als die erste Tiefe; und
 Drain- und Source-Gebieten, die in dem aktiven Gebiet hergestellt sind und mit den zweiten Drain- und Source-Erweiterungsgebieten verbunden sind, wobei die Drain- und Source-Gebiete sich zu einer dritten Tiefe erstrecken, die größer ist als die zweite Tiefe.

19. Halbleiterbauelement nach Anspruch 18, das ferner eine schwellwert-einstellende Halbleiterlegierung aufweist, wobei ein Teil der Drain- und Source-Erweiterungsgebiete in der schwellwert-einstellenden Halbleiterlegierung ausgebildet ist.

20. Halbleiterbauelement nach Anspruch 18, wobei eine Länge der Gateelektrodenstruktur 40 Nanometer (nm) oder weniger beträgt.

Es folgen 6 Blatt Zeichnungen

Anhängende Zeichnungen

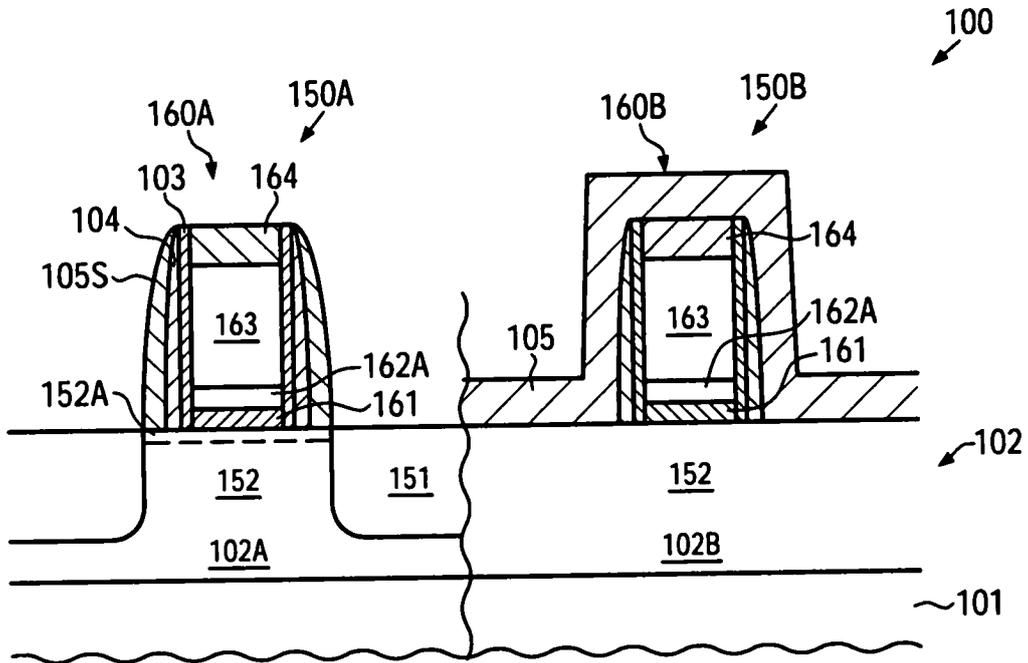


FIG. 1a

(Stand der Technik)

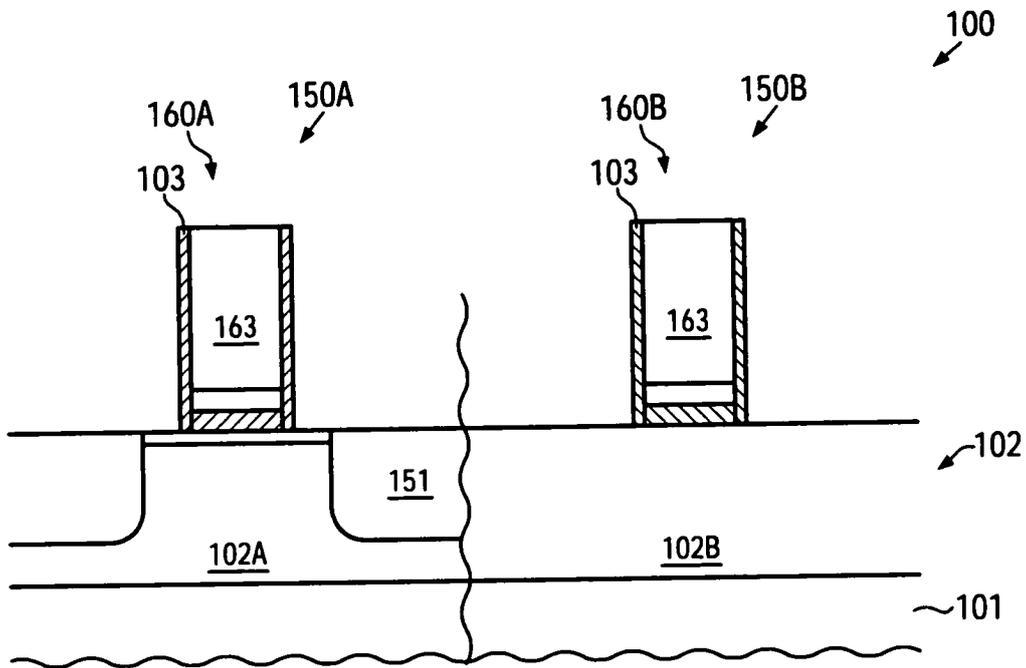


FIG. 1b

(Stand der Technik)

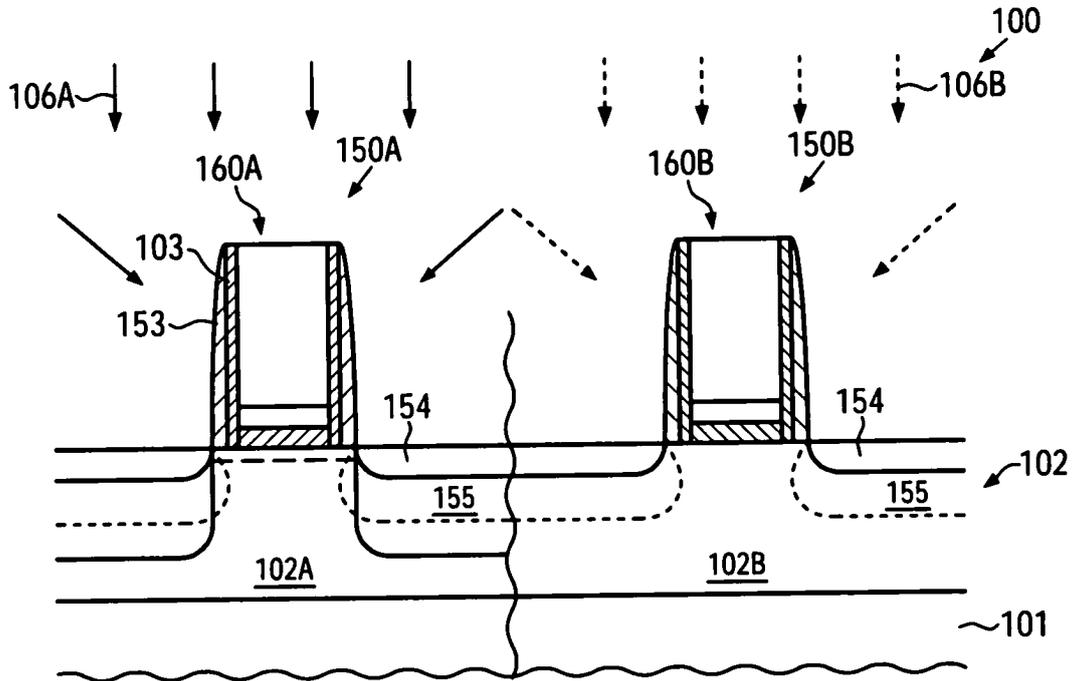


FIG. 1c

(Stand der Technik)

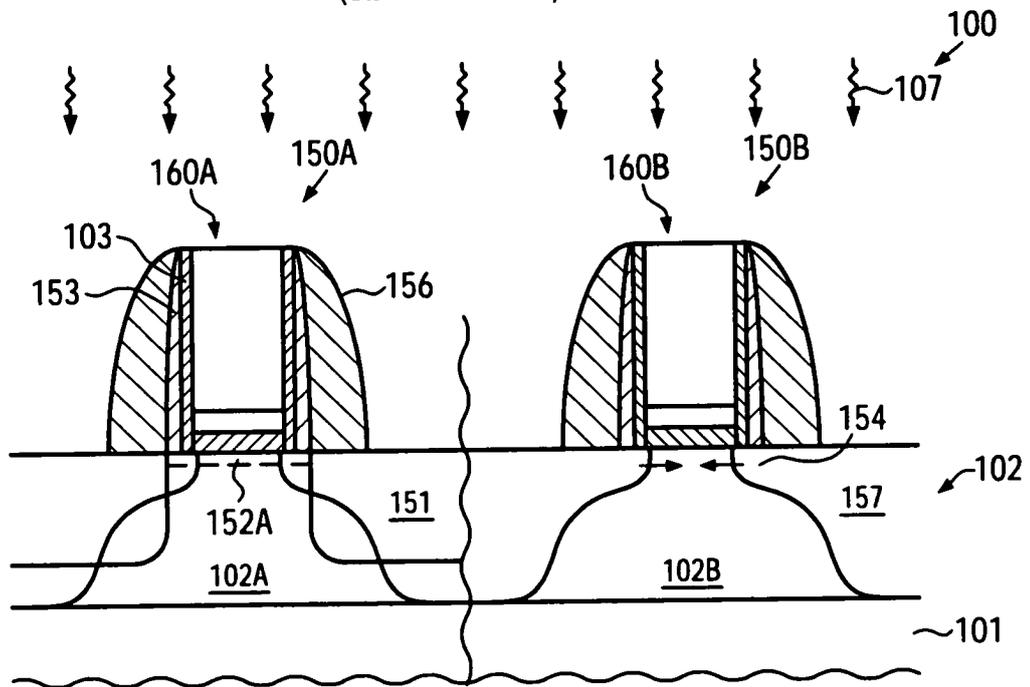


FIG. 1d

(Stand der Technik)

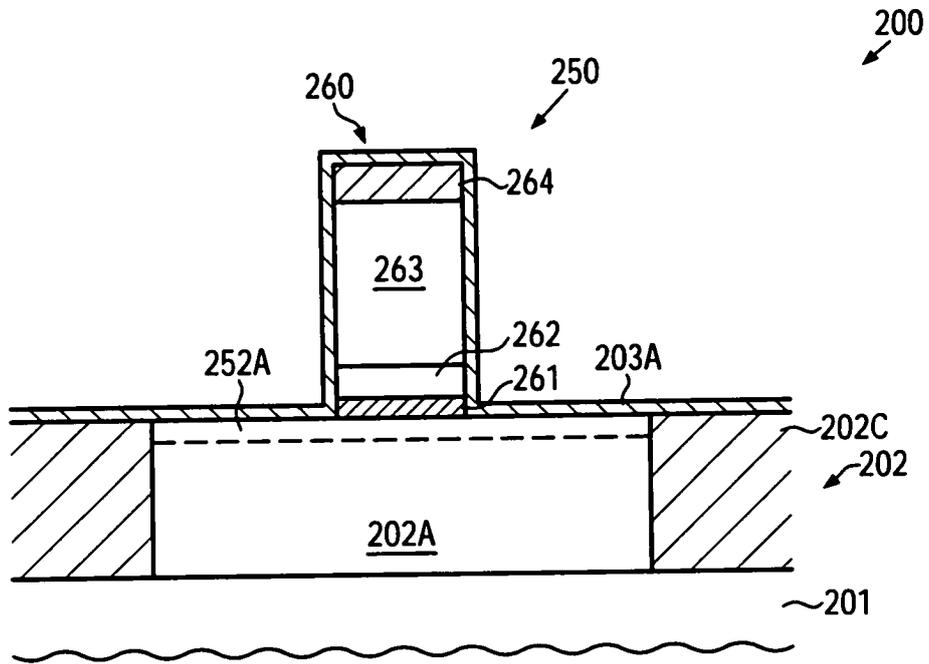


FIG. 2a

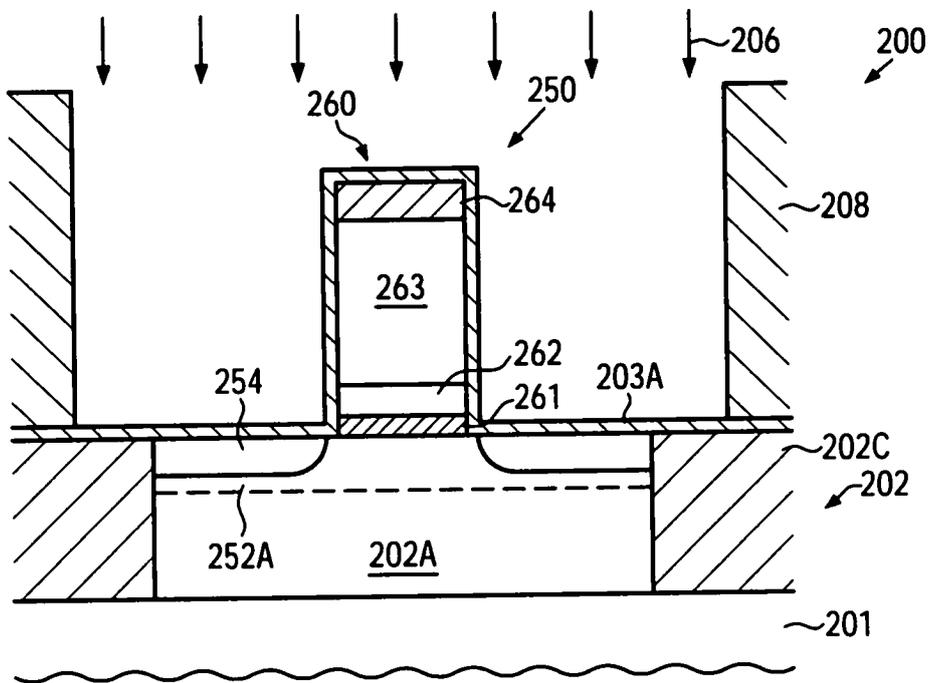


FIG. 2b

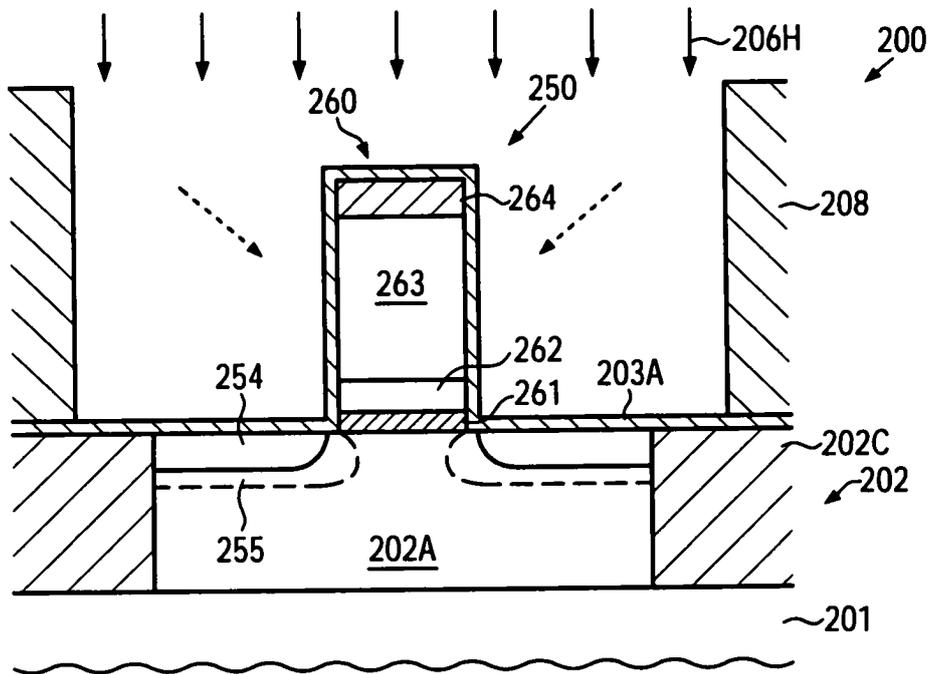


FIG. 2c

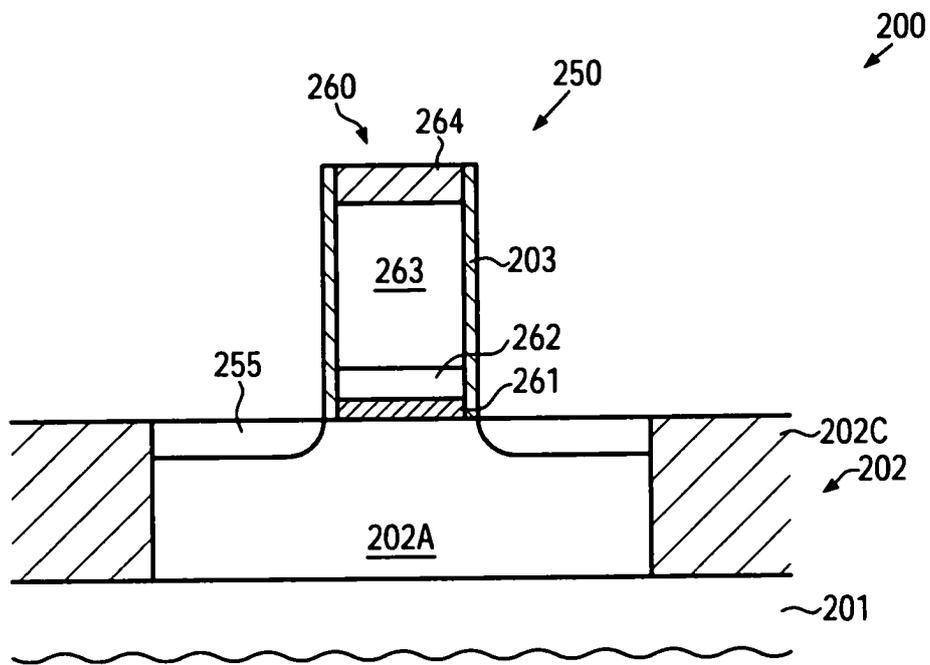


FIG. 2d

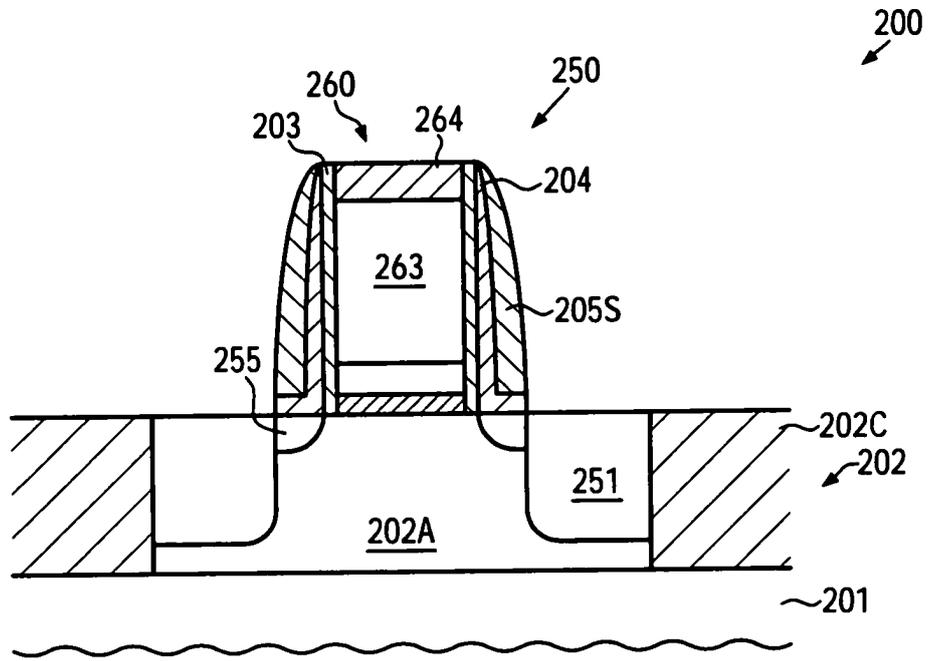


FIG. 2e

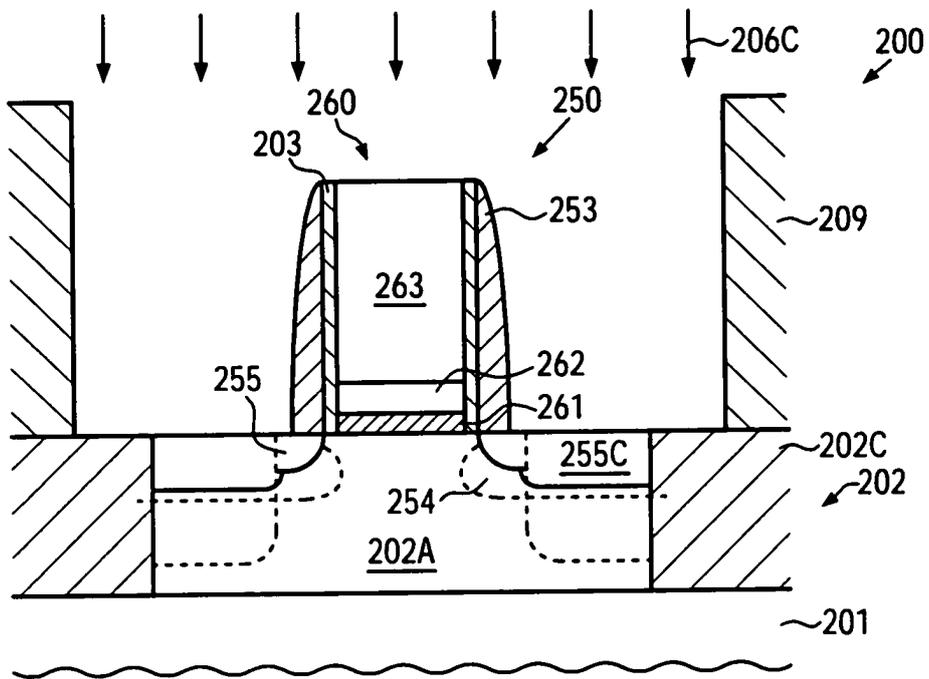


FIG. 2f

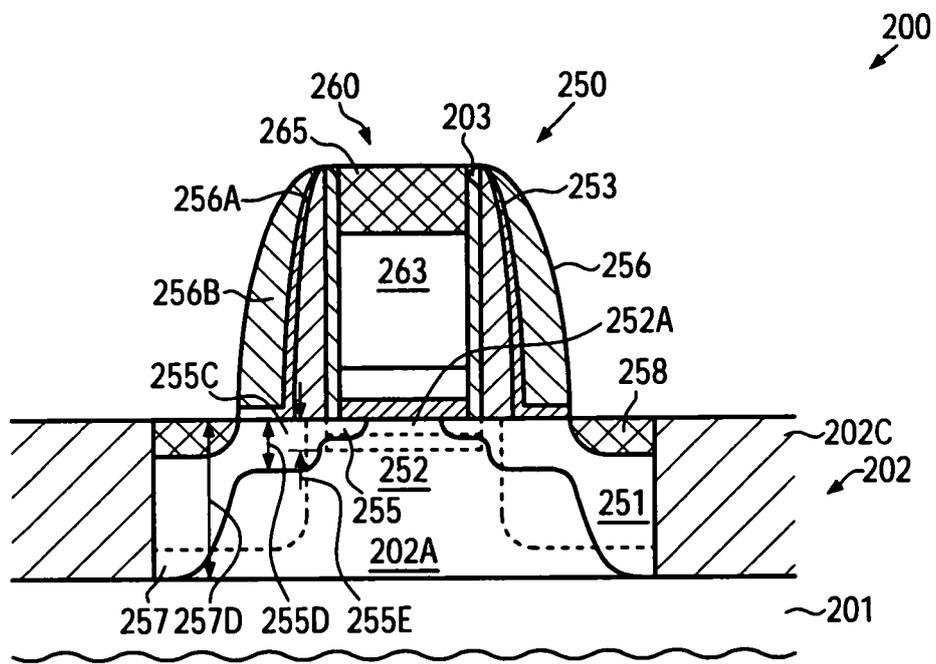


FIG. 2g