

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4505608号  
(P4505608)

(45) 発行日 平成22年7月21日(2010.7.21)

(24) 登録日 平成22年5月14日(2010.5.14)

(51) Int. Cl. F I  
G 0 6 F 1 1 / 2 0 ( 2 0 0 6 . 0 1 ) G 0 6 F 1 1 / 2 0 3 1 0 C

請求項の数 4 (全 13 頁)

(21) 出願番号	特願2006-222912 (P2006-222912)	(73) 特許権者	503300421
(22) 出願日	平成18年8月18日 (2006.8.18)		ロックウェル オートメーション テクノ ロジーズ, インコーポレーテッド
(65) 公開番号	特開2007-66309 (P2007-66309A)		ROCKWELL AUTOMATION TECHNOLOGIES, INC.
(43) 公開日	平成19年3月15日 (2007.3.15)		アメリカ合衆国 44124 オハイオ、 メイフィールド ハイツ、アレン-ブラッ ドリー ドライブ 1
審査請求日	平成18年8月18日 (2006.8.18)		
(31) 優先権主張番号	11/215, 218	(74) 代理人	100066692
(32) 優先日	平成17年8月30日 (2005.8.30)		弁理士 浅村 皓
(33) 優先権主張国	米国 (US)	(74) 代理人	100072040
			弁理士 浅村 肇
		(74) 代理人	100091339
			弁理士 清水 邦明

最終頁に続く

(54) 【発明の名称】 工業用制御装置を冗長制御装置と同期化するための方法および装置

(57) 【特許請求の範囲】

【請求項 1】

工業用制御装置であって、  
ユーザ・プログラムおよびデータ・テーブルを記憶するよう動作可能なメモリ(34)  
と、

前記メモリ(34)へのアクセスを制御し、前記メモリ(34)に関連する保護データを記憶するよう動作可能であり、さらに前記保護データと矛盾するメモリ・アクセス命令に  
応答して、アボート条件を信号として送信するよう動作可能なメモリ管理機構(36)  
と、

プロセッサ(16, 32)とを含み、  
該プロセッサは、  
前記メモリ管理機構(36)を通して前記メモリ(34)と通信し、  
前記ユーザ・プログラムを実行し、前記データ・テーブルを含む前記メモリ(34)の  
第1の部分を、前記保護データにおいて読取り専用として指定し、  
前記ユーザ・プログラムに従い、前記第1の部分を目標とする目標アドレスを有する複  
数の書込み命令を発行し、

前記第1の部分の前記読取り専用指定と矛盾する目標アドレスを有する前記書込み命令  
の選択された1つの書き込み命令の結果として、前記メモリ管理機構(36)によるアボ  
ート条件の前記信号送信によって呼び出されたアボート・ハンドラ(48)を実行するよ  
う動作可能であり、

10

20

前記アボート・ハンドラ(48)は、  
前記選択された書込み命令を実行する前に、少なくとも前記目標アドレスを含む前記メモリの第2の部分を読み取り/書込みとして指定し、  
前記選択された書込み命令に続く、前記ユーザ・プログラムにおける命令を記憶し、  
前記記憶された命令をトラップ命令に置き換えるよう前記ユーザ・プログラムを変更し、  
プログラムの実行に際して前記アボート・ハンドラ(48)に制御を戻し、選択された書込み命令において前記ユーザ・プログラムに制御を戻すように動作可能であり、該ユーザ・プログラムにおいて前記プロセッサ(16, 32)は、前記選択された書込み命令および前記トラップ命令を実行して前記アボート・ハンドラ(48)に制御を戻すよう動作可能であり、

10

該アボート・ハンドラ(48)はさらに、  
前記第2の部分を読み取り専用として指定し(98)、  
前記トラップ命令を前記記憶された命令に置き換え(100)、  
前記選択された書込み命令に続く前記置き換えられた命令において、前記ユーザ・プログラムに制御を戻す(102)よう動作可能であることを特徴とした、前記工業用制御装置。

【請求項2】

請求項1に記載の工業用制御装置において、  
前記メモリはページに編成され、前記目標アドレスの各々は、前記ページの1つに関連付けられ、前記アボート・ハンドラ(48)はさらに、

20

前記目標アドレスを記録し、  
選択されたページに関連する書込み要求のカウントを決定し、  
予め決定された閾値を超過する前記カウントに応答して、後続の書込み要求のために、前記選択されたページを読み取り/書込みとして指定し、  
前記選択されたページを変更されたとしてフラグを立てるよう動作可能であることを特徴とした、前記工業用制御装置。

【請求項3】

メモリ変更を識別する方法であって、  
メモリの第1の部分を読み取り専用として指定すること(81)と、  
前記第1の部分内の目標アドレスを有する、ユーザ・プログラムから由来する書込み命令を受信することに応答して、アボート条件を識別すること(86)と、  
少なくとも前記目標アドレスを含む前記メモリの第2の部分を読み取り/書込みとして指定すること(88)と、

30

前記書込み命令に続く、前記ユーザ・プログラムにおける命令を記憶すること(91)と、  
前記ユーザ・プログラムを、前記記憶された命令をトラップ命令に置き換えるよう変更すること(91)と、

前記書込み命令において前記ユーザ・プログラムを実行すること(94)と、  
前記トラップ命令を実行すること(96)と、  
前記トラップ命令を実行することに応答して、前記第2の部分を読み取り専用として指定し(98)、前記トラップ命令を前記記憶された命令に置き換え(100)、前記書込み命令に続く前記置き換えられた命令において、前記ユーザ・プログラムの実行を再開すること(102, 104)と、

40

を含むことを特徴とする、前記方法。

【請求項4】

請求項3に記載の方法はさらに、  
前記目標アドレスの各々がページの1つに関連付けられた、ページに編成された前記メモリを提供することと、

選択されたページに関連する書込み要求のカウントを決定することと、  
予め決定された閾値を超過する前記カウントに応答して、後続の書込み要求のために、

50

前記選択されたページを読取り／書込みとして指定することと、  
前記選択されたページを変更されたとしてフラグを立てることと、  
前記変更されたとしてフラグを立てられた前記メモリの部分を定期的に2次制御装置に  
転送すること(110)と、  
を含むことを特徴とする前記方法。

【発明の詳細な説明】

【技術分野】

【0001】

(発明の背景)

本発明は、工業用制御システム、および特に、工業用制御装置を冗長制御装置と同期化  
 するための方法および装置に関する。 10

【背景技術】

【0002】

本出願のこの部分は、以下に説明および／あるいは請求される本発明の多様な態様に関  
 連するかもしれない、技術の多様な態様を紹介するよう意図するものである。この部分は  
 、本発明の多様な態様をよりよく理解できるように、背景情報を提供する。本出願のこの  
 部分における記述は、この観点において読まれるべきであり、従来技術の承認としてでは  
 ないことを理解されたい。

【0003】

工業用制御装置は、工場自動操作およびそれに類するものを制御するために使用される  
 専用コンピュータである。記憶されたプログラムの指示の下に、工業用制御装置のプロセ  
 ッサは、制御された処理の状態を反映する一連の入力を検査し、制御された処理の制御に  
 影響を与える出力を変更する。記憶された制御プログラムは、一連の実行サイクルにおい  
 て連続して実行されてもよく、定期的に行われてもよく、あるいは事象に基づき実行さ  
 れてもよい。 20

【0004】

工業用制御装置によって制御された処理から受信された入力、および工業用制御装置に  
 よって制御された処理に送信された出力は、通常、1つあるいは複数の入出力(I/O)  
 モジュールを通して渡される。入出力モジュールは、制御装置と制御された処理との間の  
 電氣的インタフェースとして機能する。入力および出力は、メモリにおけるI/Oデータ  
 ・テーブルに記憶される。入力値は、専用回路によって、制御された処理から非同期に読  
 み取られてもよい。出力値は、プロセッサによってI/Oデータ・テーブルに直接書き込  
 まれ、それから専用通信回路によって制御された処理に通信される。 30

【0005】

工業用制御装置は、しばしば、長時間にわたる中断されない信用性の高い操作を提供し  
 なければならない。このような操作を保証する1つの方法は、工業用制御装置が作動して  
 いる間に、主制御装置構成要素に代わるよう切り換えてもよい、冗長的、2次制御装置構  
 成要素(独立したプロセッサを含む)を使用することによる。主構成要素の故障の事象に  
 おいて、あるいは、構成要素の保守の必要性がある場合において、例えば、2次構成要素  
 は、制御機能を引き継ぐために起動されてもよい。制御プログラムの保守あるいは検査は  
 、問題が起きた場合に、主プロセッサを、2次プロセッサ(および制御プログラムの先の  
 バージョンあるいは状態)に切り換える可能性を保持しながら実行されてもよい。 40

【0006】

制御装置あるいはそれらの構成要素間の切換えは、制御された処理の過度の混乱を起  
 さずに行われることが理想的である。このことを可能にするために、2次プロセッサは、  
 同じプログラムを走らせるあるいは走らせるのを待たなければならない(そしてその現在の  
 状態を保持しなければならない)、そして主プロセッサが作動しているように、そのI/O  
 データ・テーブルにおける同じデータを使用して作動しなければならない。

【0007】

同じ制御プログラムは単に、主および2次プロセッサの各々に予め記憶されていてもよ  
 50

い。しかし、I/Oデータ・テーブルのデータは、予め記憶することができず、制御された処理の間に連続的に変化する。さらに、制御処理はI/O集中的なので、I/Oデータ・テーブルには通常多量のデータがある。このために、データを2次プロセッサに送信することは困難である。

【0008】

主および冗長制御装置の同期化に伴うオーバヘッドを減らすための1つの技術は、I/Oテーブルを記憶するよう指定されたメモリの一部分における変化にフラグを立てる、専用集積回路(ASIC)のようなカスタム回路を使用して、I/Oテーブルへの特定の変化を監視することである。同期点に到達すると、設定されたフラグが読まれ、フラグを立てられた位置における関連するデータが収集され、そして変更されたデータが冗長制御装置に送信される。この方法は、“バックアップ制御装置のプログラム同期更新を伴う工業用制御装置”と題する、米国特許第5,933,347号により詳細に記述され、この米国特許は、本出願と同じ権利者に属し、その全体においてここに参照により取り入れられる。

10

【0009】

特許第5,933,347号に記述される監視回路のような、カスタム・プロセッサおよび関連する集積回路の使用は、ますます実現が困難になってきている。コストを削減し柔軟性を高めるために、工業用制御システムは、以前に使用されていたカスタマイズされた解決方法と同じ機能性を持たない、購入可能なマイクロプロセッサおよび支援回路を使用して、開発されている。

20

【発明の開示】

【発明が解決しようとする課題】

【0010】

本発明は、上記の問題のうちの1つあるいは複数を解決する、あるいは少なくともその影響を軽減することを目的とする。

【課題を解決するための手段】

【0011】

(発明の要約)

本発明の発明者は、メモリ変更は、購入可能なハードウェアを使用して、主および冗長制御装置を同期化する目的のために追跡できることに気が付いた。メモリ管理機構は、監視されているメモリの保護を読取り専用として設定するために使用されてもよい。監視されているメモリへの後続の書込みは、アボート(abort)・ハンドラによってトラップされ、記録され、その後許可される。記録された記憶場所は、それから主および冗長制御装置の間で通信されてもよい。

30

【0012】

本発明の1つの態様は、メモリ変更を識別するための方法において見られる。本方法は、第1のメモリの第1の部分を読取り専用として指定することを含む。アボート条件は、第1の部分内の目標アドレスを有する書込み命令を受信することに対応して識別される。アボート条件に対応して、少なくとも目標アドレスを含む第1のメモリの第2の部分に変更されたとしてフラグを立てられる。書込み命令は実行される。

40

【0013】

本発明の他の態様は、メモリ、メモリ管理機構、およびプロセッサを含む工業用制御装置において見られる。メモリは、ユーザ・プログラムおよびデータ・テーブルを記憶するよう動作可能である。メモリ管理機構は、メモリへのアクセス制御し、メモリに関連する保護データを記憶するよう動作可能である。メモリ管理機構は、保護データと矛盾するメモリ・アクセス命令に対応して、アボート条件を信号として送信するよう動作可能である。プロセッサは、メモリ管理機構を通してメモリと通信し、データ・テーブルを含むメモリの第1の部分の保護データにおいて読取り専用として指定するために、ユーザ・プログラムを実行し、ユーザ・プログラムに従って、第1の部分の目標とする目標アドレスを有する書込み命令を発行し、そして、第1の部分の読取り専用指定と矛盾する目標アドレス

50

を有する書込み命令の選択された1つの結果である、メモリ管理によるアボート条件の信号送信によって呼び出されたアボート・ハンドラを実行するよう、動作可能である。アボート・ハンドラは、少なくとも目標アドレスを含むメモリの第2の部分に、変更されたとしてフラグを立て、そして、選択された書込み命令の実行を許可するよう動作可能である。

#### 【0014】

本発明のさらなる他の態様は、主工業用制御装置および2次工業用制御装置を含む工業用制御システムにおいて見られる。主工業用制御装置は、第1のメモリを含み、第1のメモリに記憶されたユーザ・プログラムおよびデータ・テーブルに従って処理を制御するよう、動作可能である。主工業用制御装置は、データ・テーブルを含む第1のメモリの第1の部分を読み取り専用として指定し、第1の部分内の目標アドレスを有するユーザ・プログラムからの書込み命令の受信に 응답してアボート条件を識別するよう、動作可能である。アボート条件に 응답して、主工業用制御装置は、少なくとも目標アドレスを含む第1のメモリの後続の部分に変更されたとしてフラグを立て、書込み命令を実行し、そして、変更されたとしてフラグを立てられた第1のメモリの部分に基づき、定期的に更新データを生成するよう、動作可能である。2次工業用制御装置は、ユーザ・プログラムのコピーおよびデータ・テーブルのコピーを記憶するよう動作可能な第2のメモリを含む。2次工業用制御装置は、更新データを受信し、更新データに基づきそのデータ・テーブルのコピーを更新するよう動作可能である。

#### 【0015】

本発明のこれらおよび他の目的、利点および態様は、以下の説明から明らかとなるであろう。ここに説明される特定の目的および利点は、請求項の範囲内のいくつかの実施例にのみ適用されてもよく、従って、本発明の範囲を定義するものではない。この説明において、この出願の一部を形成し、本発明の好ましい実施例が示されている付随する図面が参照される。このような実施例は、必ずしも本発明の全範囲を表すものではなく、従って、本発明の範囲を解釈するためには、この出願における請求項が参照される。

#### 【0016】

本発明は以下に、付随する図面を参照しながら説明され、図面においては、同じ参照番号は同じ構成要素を示す。

#### 【実施例1】

#### 【0017】

(発明の詳細な説明)

本発明の1つあるいは複数の特定の実施例を以下に説明する。本発明は、実施例およびここに含まれる図面に限定されるものではなく、以下の請求項の範囲内に該当する、実施例のある部分および異なる実施例の構成要素の組合せを含むような、実施例の変更された形式を含むことが、特に意図されている。任意のこのような実際の実現の開発においては、任意の工学あるいは設計プロジェクトにおけるのと同様に、実現によって異なるかもしれない開発者の特定の目標を達成するために、システム関連およびビジネス関連の制約の遵守のような、多くの実現に特定な決定が行われなければならないことを理解されたい。さらに、このような開発の努力は、複雑で時間のかかるものであるかもしれず、しかしそれにも関わらず、本開示の恩恵を受けるこの分野の技術者にとっては、設計、製作、および製造の決まりきった仕事であろうことを理解されたい。本出願において、“重要”あるいは“必須”と明示されない限り、本発明にとって重要あるいは必須とみなされるものはない。

#### 【0018】

ここで図面を参照すると、図面においては、複数の図面を通して同じ参照番号は同様の構成要素に対応し、特に図1を参照すると、本発明は、工業用制御システム10の環境において説明される。工業用制御システム10は、別個のラック14に収容された主制御装置12aおよび2次制御装置12bを含む。各ラック14はそれぞれ、プロセッサ・モジュール16aおよび16bを保持し、これらは以下により詳細に説明される。

## 【 0 0 1 9 】

主制御装置 1 2 a のラック 1 4 内には、制御装置 1 2 a と制御された処理との間で入力および出力信号を転送するために制御された処理（図示されていない）と通信する I / O ライン 2 0 を有する、I / O モジュール 1 8 がある。加えて、双方のラック 1 4 は、制御装置 1 2 a および 1 2 b を共通汎用リンク 2 4 に接続する通信モジュール 2 2、および、制御装置 1 2 a および 1 2 b を特定専用通信リンク 2 8 に接続する通信モジュール 2 6 を含む。汎用通信リンク 2 4 はまた、追加 I / O モジュール 1 8 および I / O ライン 2 0 を有する I / O ラック 3 0 に接続してもよい。工業用制御システム 1 0 は、イーサネット（Ethernet）（登録商標）、デバイスネット（DeviceNet）、コントロールネット（ControlNet）、ファイアワイヤ（Firewire）あるいはフィールドバス（FieldBus）を含むがこれらに限定されない、標準および一般に入手可能な高速直列ネットワークを実現してもよく、上記の標準あるいは他のプロトコルの異なるものの間での変換のための、1 つあるいは複数のブリッジを選択的に含んでもよい。

10

## 【 0 0 2 0 】

専用通信リンク 2 8 は、プロセッサ・モジュール 1 6 a と 1 6 b との間の I / O データの通信、および、主および 2 次制御装置 1 2 a および 1 2 b の動作間の切換えを調整する情報の通信のために使用される。

## 【 0 0 2 1 】

ここで図 1 および 2 を参照すると、主制御装置 1 2 a の簡略化されたブロック図が提供されている。主制御装置 1 2 a は、メモリ管理機構 3 6 を通じてメモリ 3 4 と通信するマイクロプロセッサ 3 2 を含む。主制御装置 1 2 a はまた、通信モジュール 2 2、2 6、および、ヒューマン・インタフェース・モジュール（図示されていない）のような他の関連する周辺装置と通信するために、複数のポート 3 8 を含む。図示される実施例において、マイクロプロセッサ 3 2、メモリ 3 4、およびメモリ管理機構 3 6 は、コンピュータ業界において標準の、購入可能なハードウェア構成要素である。メモリ 3 4 は、この分野では周知の、揮発性あるいは不揮発性メモリ・タイプ（つまり、あるいは双方の組合せ）を含んでもよい。例えば、メモリ 3 4 は、フラッシュ・メモリ、ダイナミック・メモリ、ハード・ディスク、等を含んでもよい。

20

## 【 0 0 2 2 】

メモリ 3 4 は、ユーザ・プログラム 4 0 および I / O データ・テーブル 4 2 を記憶するよう動作可能である。一般に、ユーザ・プログラム 4 0 は、汎用算術および論理命令と同様に、工業用制御環境においてよく使用されるリレー・ラダー論理を含んでもよい。ユーザ・プログラム 4 0 は、走査点において反復実行サイクルにおいて実行される、ユーザ・プログラムを通して走査し I / O データ・テーブル 4 2 にデータを書き込む一連の命令を含む。同時に、I / O データ・テーブル 4 2 は、リンク 2 4 を通じて、I / O モジュール 1 8 からの現在の入力値に非同期に更新される。I / O データ・テーブル 4 2 における出力値は、ユーザ・プログラム 4 0 の実行サイクルと同期に、I / O モジュール 1 8 に送信されてもよい。マイクロプロセッサ 3 2、メモリ 3 4、およびメモリ管理機構 3 6 の動作はまた、監視コード 4 3 によって影響される。監視コード 4 3 は、オペレーティング・システム、およびユーザ・プログラム 4 0 の実行を管理する全ての監視モード・コードを含む。

30

40

## 【 0 0 2 3 】

一般に、主制御装置 1 2 a は、変更された記憶場所を追跡し、ユーザ・プログラム 4 0 が同期点（例えば、走査の終点）に到達した時、変更されたデータは、その対応するメモリを更新するために 2 次制御装置 1 2 b に送信される。主制御装置 1 2 a は、次の走査を開始する前に休止し、転送が成功したという確認を待つ。従って、制御が主制御装置 1 2 a から 2 次制御装置 1 2 b に移った場合、2 次制御装置 1 2 b は、同じ I / O データ上で動作することになる。監視のために指定されたメモリ 3 4 の部分は異なってもよい。1 つの実施例において、I / O データ・テーブル 4 2 に関連するメモリ 3 4 の部分が、監視のために指定されてもよい。他の実施例においては、ユーザ・プログラム 4 0 のような他の

50

部分もまた、監視されてもよい。

【0024】

本発明は、I/Oデータ・テーブル42への変更を識別するために実現されてもよいように説明されているが、任意の装置のメモリあるいはメモリの一部が、変更を識別し同期化を可能にするために監視されている、任意のアプリケーションに一般的に適用してもよい。

【0025】

さらに図2を参照すると、この分野では周知のように、メモリ管理機構36は、通常、仮想メモリ・アドレスをメモリ34における実際の物理メモリ・アドレスに変換するために使用される。仮想アドレスの連続するグループは、メモリ34内において連続するように記憶されなくてもよい。監視コード43は、変換テーブル44を定義し記憶する。変換テーブル44は、仮想アドレスと物理メモリ・アドレスとの間の対応関係を定義するために、メモリ管理機構36が使用する。仮想アドレスがメモリ管理機構36によって受信されると、メモリ管理機構36は、参照されている実際の物理メモリ・アドレスを識別するために、変換テーブル44を調べる。通常、メモリ管理機構36によって追跡されたメモリは、構成可能な大きさ(例えば、通常1kから4kバイトの間)のページに集められる。仮想アドレスの最上位のビットはページを表し、最下位のビットはページ内の索引を表す。性能を高めるために、メモリ管理機構36は、最近のメモリ・トランザクションに関する情報を記憶する、変換索引バッファ(TLB)46を含む。例えば、TLB46は、アクセスされた最近の32ページのために、変換テーブル44から情報を記憶してもよい。

【0026】

メモリ管理機構36の他の機能は、異なる保護方式をメモリ34の領域に適用できるようにすることである。例えば、その特定の用途によって、ブロックを讀取り/書込みあるいは讀取り専用として指定してもよい。保護情報もまた、仮想から物理への変換情報と共に、各ページに対して変換テーブル44に記憶される。最近アクセスされたページに対する保護情報もまた、TLB46に記憶される。讀取り専用と指定された記憶場所をアドレス指定する書込み命令が受信されると、アボートが発行され、マイクロプロセッサ32は、エラー状態を処理するための命令を含むアボート・ハンドラ48を実行する。

【0027】

主制御装置12aは、以下により詳細に説明するように、メモリ34への変更を追跡するために、メモリ管理機構36の保護機能を使用する。一般に、監視のために指定された記憶場所(例えば、I/Oデータ・テーブル42)は、変換テーブル44において讀取り専用として指定されている。これらの場所を目標とする書込み命令が試行されると、アボートが引き起こされ、アボートは、アボート・ハンドラ48によって処理される。アボート・ハンドラ48は、試行された書込みの記憶場所を変更メモリ・ログ50に記録し、書込みを許可するために目標アドレスの保護を変更し、そして、プログラム・カウンタを、書込み命令を生成したユーザ・プログラム40における命令に戻す。そして、メモリ保護が讀取り/書込みに変更されているので、書込みの再実行が成功する。

【0028】

第1の実施例において、図3の簡略化された流れ図を参照して説明すると、主制御装置12aは、メモリ・アクセスをページ毎に追跡する。ブロック52においてプログラム走査が開始され、監視される記憶場所はブロック54において讀取り専用として指定される。変更メモリ・ログ50もまた、先の走査の記録を取り除くためにブロック54においてクリアされる。ここでも、監視のために指定されているメモリ34の特定の部分は、異なってもよい。以下の例の目的のために、I/Oデータ・テーブル42のために確保された記憶場所が、監視のために指定される。監視コード43は、変換テーブル44に書き込み、TLB46における項目をフラッシュするあるいは無効にすること(つまり、TLB46が先の走査からの状態保護データを提供しないようにすること)によって、保護状態を設定する。

## 【 0 0 2 9 】

ブロック 5 6 において、書込み命令が受信される。書込み命令の目標アドレスの保護状態が、ブロック 5 8 においてメモリ管理機構 3 6 によって検査される。記憶場所を含むページが読取り専用である場合、書込み命令は拒否され、アポート・ハンドラ 4 8 がブロック 6 0 において割込みを通して呼び出される。ブロック 6 2 において、目標アドレスを含むページの保護状態が、アポート・ハンドラ 4 8 によって、変換テーブル 4 4 を変更し TLB 4 6 を無効にするあるいはフラッシュすることにより、読取り / 書込みに設定される。ページは、ブロック 6 4 において、変更メモリ・ログ 5 0 に記録される。目標アドレスの最上位のビットはページを特定し、最下位のビットはページ内の索引を示す。例えば、3 2 ビットのアドレスおよび 1 k バイトのページ・サイズを使用すると、最上位の 1 9 ビットはページを特定し、最下位の 1 3 ビットは索引を特定する。本実施例においては、主制御装置 1 2 a はページ毎に変更を追跡するので、索引ビットは無視されてもよく、ページ・ビットのみが変更メモリ・ログ 5 0 に記憶される。また、ページ境界は予め決定されてもよく、変更メモリ・ログ 5 0 は、各々ページの 1 つに関連する一連のフラグ・ビットを含んでもよい。このような場合において、アポート・ハンドラ 4 8 は、ページ・ビットを記憶することとは対照的に、目標アドレスを含むページに関連するフラグを設定する。

10

## 【 0 0 3 0 】

ブロック 6 6 において、アポート・ハンドラ 4 8 は、プログラム・カウンタを、書込み要求を開始した命令に設定することによって、制御をユーザ・プログラム 4 0 に戻す。ユーザ・プログラム 4 0 が書込み命令を再実行すると、命令はブロック 5 6 において受信され、ページが今は読取り / 書込みとして指定されているので、保護検査はブロック 5 8 において通過し、そして、書込み命令はブロック 6 8 において実行される。同じページへの後続の書込み命令（つまり、異なる索引を有する）もまた、保護検査を通過し、アポート・ハンドラ 4 8 による続く記録あるいは介入無しに、書き込まれる。

20

## 【 0 0 3 1 】

プログラム走査はブロック 7 0 において続く。他の書込み命令が受信されると、主制御装置 1 2 a は、ブロック 5 6 に戻って移行する。ブロック 7 2 において同期点に到達すると（つまり、プログラム走査の終点において）、変更メモリ・ログ 5 0 がブロック 7 4 において読み取られ、変更されたメモリ値を有するページは、ブロック 7 6 において、専用通信リンク 2 8 を通して 2 次制御装置 1 2 b に転送される。プログラム走査は、ブロック 7 8 において終了する。次のプログラム走査は、保護状態が読取り専用に戻されることができ、TLB 4 6 がフラッシュされることができるよう、ブロック 5 2 において開始する。変更メモリ・ログ 5 0 もまたクリアされる。

30

## 【 0 0 3 2 】

従って、全てのプログラム走査に対して、変更されたデータ値を有するページは、2 次制御装置 1 2 b に転送される。ページ・サイズを相対的に小さい値（例えば 1 k バイト）に設定することにより、そして、書込み命令はしばしば所定のページ内にクラスタされることを考慮することにより、個々のワードを送信することとは対照的にページ全体を送信することにより生じる効率の悪さを、許容範囲内に抑えることができる。

40

## 【 0 0 3 3 】

ある場合には、メモリ管理機構 3 6 は、書込みが行われた各ページに対して、TLB 4 6 に“汚れた (dirty)”ビットを記憶してもよい。この汚れたビットは、ページが変更されたことを示すために使用されてもよい。汚れたビット機能は、変更されたページを追跡するために、変更メモリ・ログ 5 0 と関連して使用されてもよい。TLB 4 6 から汚れたビットを設定された項目が置き換えられたあるいはフラッシュされた場合、変更メモリ・ログ 5 0 は、変更されたデータを有するページを反映するために更新される。

## 【 実施例 2 】

## 【 0 0 3 4 】

図 4 の簡略化された流れ図によって示される第 2 の実施例において、主制御装置 1 2 a は、同期点に到達した時に、各ページ内の変更されたワードのみが転送されるように、個

50

々の書込み命令の位置を追跡する。本実施例は、小さいページ・サイズがメモリ管理機構36によってサポートされていない場合、あるいは、書込みがクラスタされるよりむしろ分配される傾向にある場合に、使用されてもよい。主制御装置12aの構成パラメータは、特定の管理モード(つまり、ページあるいはワード)を選択するために使用されてもよい。

**【0035】**

ブロック80においてプログラム走査が開始され、監視された記憶場所はブロック81において読取り専用として指定される。変更メモリ・ログ50もまた、先の走査の記録を取り除くために、ブロック81においてクリアされる。ブロック82において書込み命令が受信される。メモリ管理機構の目標アドレスの保護状態が、ブロック84において、メモリ管理機構36によって検査される。記憶場所を含むページが読取り専用である場合、書込み命令は拒否され、ブロック86においてアボート・ハンドラ48が割込みを使用して呼び出される。ブロック88において、目標アドレスを含むページの保護状態が、変換テーブル44を変更すること、および、TLB46を無効にするあるいはフラッシュすることによって、変換テーブル44において読取り/書込みに設定される。目標アドレス(つまり、ページおよび索引フィールドを含む)は、ブロック90において変更メモリ・ログ50に記録される。

10

**【0036】**

この時点において、アボート・ハンドラ48は、試行された書込みのアドレスおよびアボートされた命令のアドレスを知る。ブロック91において、アボート・ハンドラ48は、アボートされた命令に続く命令を一時レジスタあるいは記憶場所に記憶し、ソフトウェア割込み(SWI)のような“トラップ”命令をその場所に挿入する。プログラム・カウンタがまだ挿入されたSWIを指すように、アボートを引き起こした記憶された命令がプログラム・カウンタを変更しないことを保証するための手段が(例えば、オペレーティング・システムによって)取られなければならない。

20

**【0037】**

ブロック92において、アボート・ハンドラ48は、プログラム・カウンタを書込み命令に設定することによって、制御をユーザ・プログラム40に戻す。ユーザ・プログラム40が書込み命令を再実行すると、命令はブロック82において受信され、ページは今も読取り/書込みとして指定されているので、保護検査はブロック84において通過し、書込み命令はブロック94において実行される。

30

**【0038】**

トラップ命令はブロック96において実行される。アボート・ハンドラ48はトラップ命令によって呼び出され、ブロック98において保護状態を読取り専用に戻すよう変更し、ブロック100においてトラップ命令を置き換えられた命令に置き換え、そしてブロック102において、プログラム・カウンタを書込みに続く命令を指すようにして、制御をユーザ・プログラム40に戻すよう処理を進める。

**【0039】**

プログラム走査は、ブロック104において続く。他の書込み命令が受信されると、主制御装置12aは、ブロック82に戻って移行する。ブロック106において同期点に到達すると(つまり、プログラム走査の終点において)、変更メモリ・ログ50がブロック108において読み取られ、特定の更新されたメモリ値は、ブロック110において、専用通信リンク28を通して2次制御装置12bに転送される。プログラム走査はブロック112において終了する。

40

**【0040】**

図4の実施例は、各ページがアクセスされた回数を数え、カウントを変更メモリ・ログ50に記憶することによって、さらに変更してもよい。例えば1ページにつき5回の書込みのような、予め決定された閾値が到達されると、ページ全体が変更メモリ・ログ50に記録され、個々の項目は取り除かれ、そしてそのページは、図3の実施例において説明されるように、走査の残りの部分のために読取り/書込みに設定される。この変更により、

50

所定のページにクラスタされた書込み命令は、アボート・ハンドラ 48 によるさらなる介入なしに処理を進めることができ、それにより効率が良くなる。

【実施例 3】

【0041】

他の実施例において、トラップ命令を使用する代わりに、アボート・ハンドラ 48 は、アボートされた書込み命令を解析し、読取り専用保護を無効にする監視モードにおいて動作しながら、そのアドレスを目標とする書込み命令そのものを実行してもよい。アボート・ハンドラ 48 はそれから、プログラム・カウンタを次の命令を指すようにして、ユーザ・プログラム 40 に制御を戻す。

【0042】

ここに説明されるように、メモリ管理機構の保護機能を使用してメモリ変更を追跡することには、多くの利点がある。例えば、従来のハードウェアを使用することは、コストを削減し、柔軟性を高め、工業用制御システム 10 のための開発時間を短縮する。

【0043】

上に開示した特定の実施例は例示のみであり、本発明は、ここにおける開示の恩恵を受けるこの分野の技術者には明らかな、異なるが同等の方法において変更および実現されてもよい。さらに、以下の請求項において記述される以外、ここに示される構成あるいは設計の詳細について何の制限も意図されていない。従って、上に開示された特定の実施例は変更あるいは修正されてもよく、全てのこのような変更は、本発明の範囲および精神内にあると考えられることが明白である。従って、ここで求められる保護は、以下の請求項において明らかにされるものである。

【図面の簡単な説明】

【0044】

【図 1】本発明の 1 つの実施例による工業制御システムの簡略化した図である。

【図 2】図 1 のシステムにおける工業用制御装置の簡略化したブロック図である。

【図 3】冗長制御装置との同期化のため、メモリ変更を追跡するために図 2 の工業用制御装置によって使用される方法の簡略化した流れ図である。

【図 4】冗長制御装置との同期化のため、メモリ変更を追跡するために図 2 の工業用制御装置によって使用される方法の簡略化した流れ図である。

【符号の説明】

【0045】

- 10 工業用制御システム
- 12 a 主制御装置
- 12 b 2次制御装置
- 14 ラック
- 16 a プロセッサ・モジュール
- 16 b プロセッサ・モジュール
- 18 I/Oモジュール
- 20 I/Oライン
- 22 通信モジュール
- 24 汎用通信リンク
- 26 通信モジュール
- 28 専用通信リンク
- 30 I/Oラック
- 32 マイクロプロセッサ
- 34 メモリ
- 36 メモリ管理機構
- 38 ポート
- 40 ユーザ・プログラム
- 42 I/Oデータ・テーブル

10

20

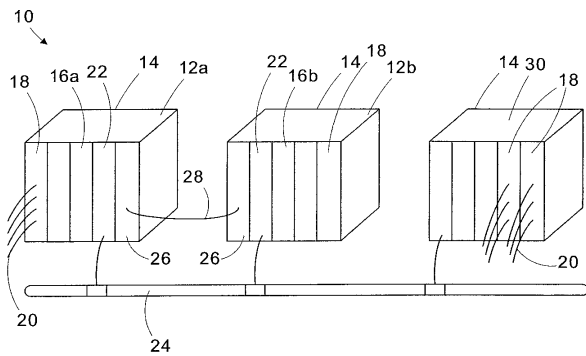
30

40

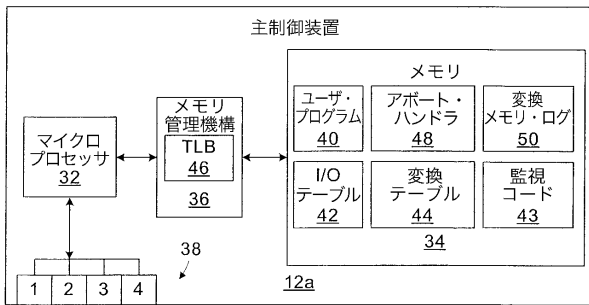
50

- 4 3 監視コード
- 4 4 変換テーブル
- 4 6 変換索引バッファ
- 4 8 アボート・ハンドラ
- 5 0 変更メモリ・ログ

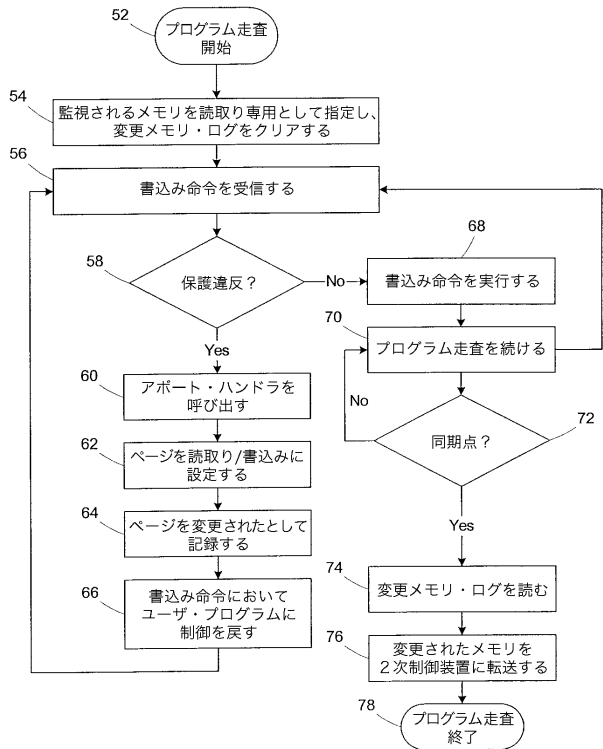
【図1】



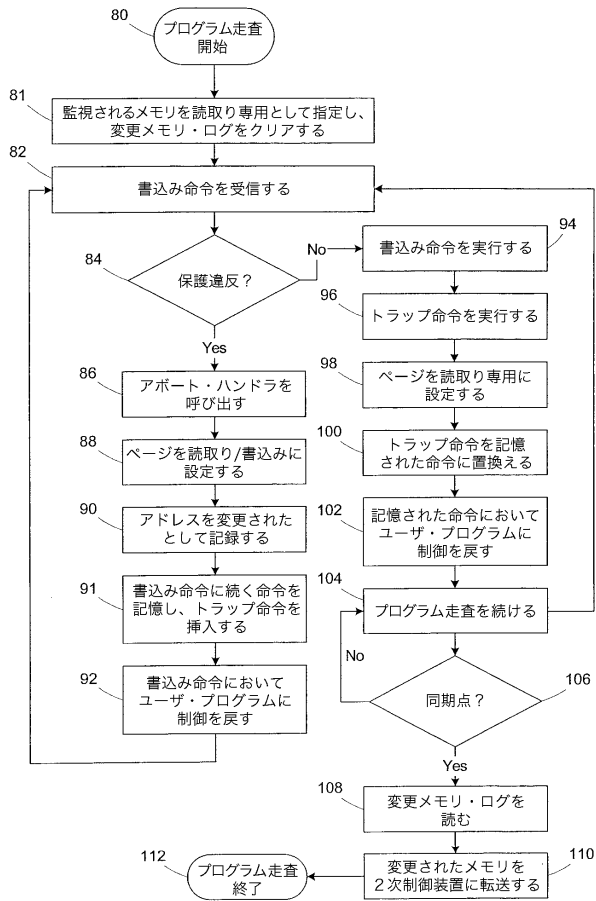
【図2】



【図3】



【図4】



---

フロントページの続き

(74)代理人 100094673

弁理士 林 鈺三

(72)発明者 ケンウッド エイチ . ホール

アメリカ合衆国、オハイオ、ハドソン、 イースト サファイア ドライブ 1768

(72)発明者 ロナルド イー . シュルツ

アメリカ合衆国、オハイオ、ソロン、 ノース バー オーク ドライブ 33271

審査官 久保 正典

(56)参考文献 特開2001-236241(JP,A)

特開2002-287998(JP,A)

特開平10-177498(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F11/16-11/20