(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0058744
(43) 공개일자 2025년04월30일

(51) 국제특허분류(Int. Cl.)
H03K 17/06 (2006.01) *G02F 1/1368* (2006.01)
G09F 9/30 (2006.01) *G09G 3/20* (2006.01)
H03K 17/687 (2006.01) *H05B 33/02* (2006.01)
H05B 33/14 (2006.01) *H10D 30/67* (2025.01)
H10D 84/01 (2025.01) *H10D 84/03* (2025.01)
H10D 84/83 (2025.01)
(52) CPC특허분류
H03K 17/06 (2013.01)
G02F 1/1368 (2013.01)
(21) 출원번호 10-2025-7006642
(22) 출원일자(국제) 2023년09월01일
심사청구일자 없음
(85) 번역문제출일자 2025년02월27일
(86) 국제출원번호 PCT/IB2023/058642
(87) 국제공개번호 WO 2024/052772
국제공개일자 2024년03월14일
(30) 우선권주장
JP-P-2022-143013 2022년09월08일 일본(JP)

(71) 출원인
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
기무라 하지메
일본 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이
이노우에 다츠노리
일본 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이
(74) 대리인
김태홍, 김진희

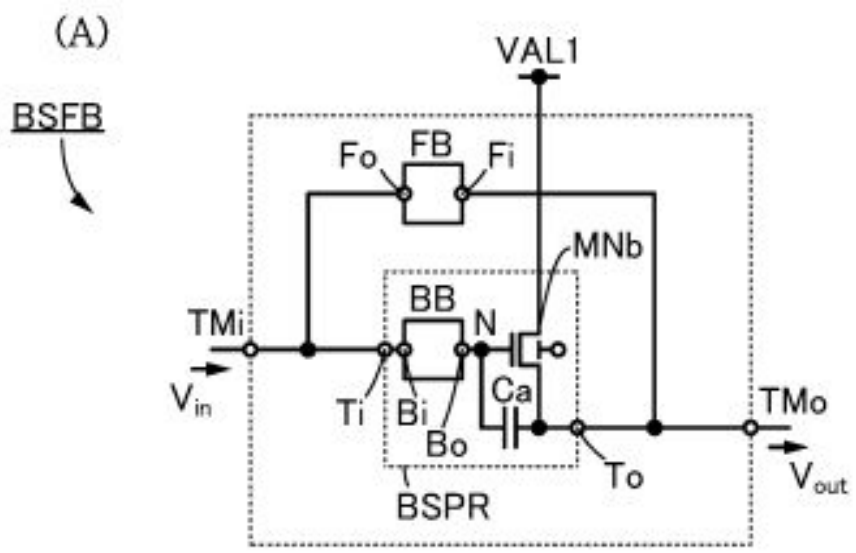
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 **반도체 장치, 표시 장치, 및 전자 기기**

(57) 요 약

안정적으로 동작이 수행되는 반도체 장치를 제공한다. 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 및 제 1 용량 소자를 포함하는 반도체 장치이다. 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 제 2 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되어 있다. 또한 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 1 트랜지스터의 게이트 및 제 1 용량 소자의 제 1 단자에 전기적으로 접속되어 있다. 또한 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 제 2 트랜지스터의 게이트 및 제 1 용량 소자의 제 2 단자에 전기적으로 접속되어 있다. 또한 표시 디바이스에 대하여 화상을 표시시키기 위한 신호를 송신하는 기능을 가지는 구동 회로에 상기 반도체 장치를 제공할 수 있다.

대 표 도



(52) CPC특허분류
G09F 9/30 (2013.01)
G09G 3/20 (2013.01)
H03K 17/687 (2013.01)
H05B 33/02 (2013.01)
H05B 33/14 (2013.01)
H10D 30/67 (2025.01)
H10D 84/0126 (2025.01)
H10D 84/038 (2025.01)
H10D 84/83 (2025.01)

명 세 서

청구범위

청구항 1

반도체 장치로서,

제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 제 4 트랜지스터, 제 5 트랜지스터, 제 6 트랜지스터, 제 7 트랜지스터, 제 8 트랜지스터, 제 1 용량 소자, 및 제 2 용량 소자를 포함하고,

상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽, 상기 제 7 트랜지스터의 소스 및 드레인 중 한쪽, 및 상기 제 8 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 1 트랜지스터의 게이트 및 상기 제 1 용량 소자의 제 1 단자에 전기적으로 접속되고,

상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 2 트랜지스터의 게이트, 상기 제 4 트랜지스터의 소스 및 드레인 중 한쪽, 및 상기 제 1 용량 소자의 제 2 단자에 전기적으로 접속되고,

상기 제 4 트랜지스터의 게이트는 상기 제 5 트랜지스터의 소스 및 드레인 중 한쪽, 상기 제 6 트랜지스터의 소스 및 드레인 중 한쪽, 상기 제 8 트랜지스터의 게이트, 및 상기 제 2 용량 소자의 제 1 단자에 전기적으로 접속되고,

상기 제 7 트랜지스터의 게이트는 상기 제 6 트랜지스터의 게이트에 전기적으로 접속되는, 반도체 장치.

청구항 2

반도체 장치로서,

제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 제 4 트랜지스터, 제 5 트랜지스터, 제 6 트랜지스터, 제 7 트랜지스터, 제 8 트랜지스터, 제 1 용량 소자, 및 제 2 용량 소자를 포함하고,

상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽, 상기 제 7 트랜지스터의 소스 및 드레인 중 한쪽, 및 상기 제 8 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 1 트랜지스터의 게이트 및 상기 제 1 용량 소자의 제 1 단자에 전기적으로 접속되고,

상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 2 트랜지스터의 게이트, 상기 제 2 트랜지스터의 게이트, 상기 제 4 트랜지스터의 소스 및 드레인 중 한쪽, 및 상기 제 1 용량 소자의 제 2 단자에 전기적으로 접속되고,

상기 제 4 트랜지스터의 게이트는 상기 제 5 트랜지스터의 소스 및 드레인 중 한쪽, 상기 제 6 트랜지스터의 소스 및 드레인 중 한쪽, 상기 제 8 트랜지스터의 게이트, 및 상기 제 2 용량 소자의 제 1 단자에 전기적으로 접속되고,

상기 제 7 트랜지스터의 게이트는 상기 제 6 트랜지스터의 게이트에 전기적으로 접속되는, 반도체 장치.

청구항 3

반도체 장치로서,

제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 제 4 트랜지스터, 제 5 트랜지스터, 제 6 트랜지스터, 제 7 트랜지스터, 제 8 트랜지스터, 제 9 트랜지스터, 제 1 용량 소자, 제 2 용량 소자, 및 제 3 용량 소자를 포함하고,

상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽, 상기 제 4

트랜지스터의 소스 및 드레인 중 한쪽, 상기 제 8 트랜지스터의 소스 및 드레인 중 한쪽, 및 상기 제 9 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 1 트랜지스터의 게이트 및 상기 제 1 용량 소자의 제 1 단자에 전기적으로 접속되고,

상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 5 트랜지스터의 소스 및 드레인 중 한쪽, 상기 제 1 용량 소자의 제 2 단자, 및 상기 제 2 용량 소자의 제 1 단자에 전기적으로 접속되고,

상기 제 2 트랜지스터의 게이트는 상기 제 4 트랜지스터의 소스 및 드레인 중 다른 쪽 및 상기 제 2 용량 소자의 제 2 단자에 전기적으로 접속되고,

상기 제 5 트랜지스터의 게이트는 상기 제 6 트랜지스터의 소스 및 드레인 중 한쪽, 상기 제 7 트랜지스터의 소스 및 드레인 중 한쪽, 상기 제 9 트랜지스터의 게이트, 및 상기 제 3 용량 소자의 제 1 단자에 전기적으로 접속되고,

상기 제 9 트랜지스터의 게이트는 상기 제 7 트랜지스터의 게이트에 전기적으로 접속되는, 반도체 장치.

청구항 4

반도체 장치로서,

제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 제 4 트랜지스터, 제 5 트랜지스터, 제 6 트랜지스터, 제 7 트랜지스터, 제 8 트랜지스터, 제 1 용량 소자, 및 제 2 용량 소자를 포함하고,

상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 7 트랜지스터의 소스 및 드레인 중 한쪽 및 상기 제 8 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 1 트랜지스터의 게이트, 상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽, 및 상기 제 1 용량 소자의 제 1 단자에 전기적으로 접속되고,

상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 2 트랜지스터의 게이트, 상기 제 4 트랜지스터의 소스 및 드레인 중 한쪽, 및 상기 제 1 용량 소자의 제 2 단자에 전기적으로 접속되고,

상기 제 4 트랜지스터의 게이트는 상기 제 5 트랜지스터의 소스 및 드레인 중 한쪽, 상기 제 6 트랜지스터의 소스 및 드레인 중 한쪽, 상기 제 8 트랜지스터의 게이트, 및 상기 제 2 용량 소자의 제 1 단자에 전기적으로 접속되고,

상기 제 7 트랜지스터의 게이트는 상기 제 6 트랜지스터의 게이트에 전기적으로 접속되는, 반도체 장치.

청구항 5

반도체 장치로서,

제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 및 제 1 용량 소자를 포함하고,

상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 1 트랜지스터의 게이트 및 상기 제 1 용량 소자의 제 1 단자에 전기적으로 접속되고,

상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 2 트랜지스터의 게이트 및 상기 제 1 용량 소자의 제 2 단자에 전기적으로 접속되는, 반도체 장치.

청구항 6

반도체 장치로서,

제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 및 제 1 용량 소자를 포함하고,

상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 1 트랜지스터의 게이트 및 상기 제 1 용량 소자의 제 1 단자에 전기적으로 접속되고,

상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 2 트랜지스터의 게이트, 상기 제 2 트랜지스터의 소스 및 드레인 중 다른 쪽, 및 상기 제 1 용량 소자의 제 2 단자에 전기적으로 접속되는, 반도체 장치.

청구항 7

반도체 장치로서,

제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 버퍼 회로, 및 제 1 용량 소자를 포함하고,

상기 버퍼 회로는 입력 단자 및 출력 단자를 포함하고,

상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 1 트랜지스터의 게이트 및 상기 제 1 용량 소자의 제 1 단자에 전기적으로 접속되고,

상기 버퍼 회로의 상기 입력 단자는 상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽 및 상기 제 1 용량 소자의 제 2 단자에 전기적으로 접속되고,

상기 버퍼 회로의 상기 출력 단자는 상기 제 2 트랜지스터의 게이트에 전기적으로 접속되는, 반도체 장치.

청구항 8

반도체 장치로서,

제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 제 4 트랜지스터, 제 1 용량 소자, 및 제 2 용량 소자를 포함하고,

상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽 및 상기 제 4 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 1 트랜지스터의 게이트 및 상기 제 1 용량 소자의 제 1 단자에 전기적으로 접속되고,

상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 4 트랜지스터의 게이트, 상기 제 1 용량 소자의 제 2 단자, 및 상기 제 2 용량 소자의 제 1 단자에 전기적으로 접속되고,

상기 제 2 트랜지스터의 게이트는 상기 제 4 트랜지스터의 소스 및 드레인 중 다른 쪽 및 상기 제 2 용량 소자의 제 2 단자에 전기적으로 접속되는, 반도체 장치.

청구항 9

반도체 장치로서,

제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 및 제 1 용량 소자를 포함하고,

상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 1 트랜지스터의 게이트, 상기 제 2 트랜지스터의 게이트, 및 상기 제 1 용량 소자의 제 1 단자에 전기적으로 접속되고,

상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 1 용량 소자의 제 2 단자에 전기적으로 접속되는, 반도체 장치.

청구항 10

표시 장치로서,

구동 회로와 표시 디바이스를 포함하고,

상기 구동 회로는 제 1 항 내지 제 9 항 중 어느 한 항에 따른 반도체 장치를 포함하고,

상기 구동 회로는 상기 표시 디바이스에 대하여 화상을 표시시키기 위한 신호를 송신하는 기능을 가지는, 표시 장치.

청구항 11

제 10 항에 있어서,

상기 표시 디바이스는 발광 디바이스 또는 액정 표시 디바이스를 포함하는, 표시 장치.

청구항 12

전자 기기로서,

제 11항에 따른 표시 장치, 및 하우징을 포함하는, 전자 기기.

발명의 설명

기 술 분 야

[0001] 본 발명의 일 형태는 반도체 장치, 표시 장치, 및 전자 기기에 관한 것이다.

[0002] 또한 본 발명의 일 형태는 상기 기술분야에 한정되지 않는다. 본 명세서 등에서 개시(開示)하는 발명의 기술분야는 물건, 동작 방법, 또는 제조 방법에 관한 것이다. 또는 본 발명의 일 형태는 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 그러므로 더 구체적으로 본 명세서에서 개시하는 본 발명의 일 형태의 기술분야로서는 반도체 장치, 표시 장치, 액정 표시 장치, 발광 장치, 축전 장치, 촬상 장치, 기억 장치, 신호 처리 장치, 센서, 프로세서, 전자 기기, 시스템, 이들의 구동 방법, 이들의 제조 방법, 또는 이들의 검사 방법을 일례로서 들 수 있다.

배 경 기 술

[0003] 근년에는 예를 들어 VR(가상 현실), AR(증강 현실) 등의 XR(Extended Reality 또는 Cross Reality)용 전자 기기, 휴대 전화기(예를 들어 스마트폰), 태블릿형 정보 단말기, 노트북형 PC(퍼스널 컴퓨터)에 포함되는 표시 장치의 여러 측면에서의 개량이 진행되고 있다. 예를 들어 화면 해상도를 높이거나, 색 재현성(NTSC비)을 높이거나, 구동 회로를 축소하거나, 소비 전력을 낮추는 등의 표시 장치의 개발이 진행되고 있다.

[0004] 예를 들어 표시 장치의 표시 품질을 높이기 위하여, 화소에 포함되는 구동 트랜지스터의 특성 편차를 저감하는 회로 등도 개발되고 있다. 특히, 구동 트랜지스터의 문턱 전압을 보정하는 회로를 포함하는 화소 회로의 발명이 특허문헌 1에 기재되어 있다.

[0005] 또한 표시 장치의 화소 회로에 포함되는 스위칭 소자로서, 반도체 박막에 산화물 반도체를 포함한 트랜지스터를 적용하는 기술 등을 들 수 있다.

[0006] 트랜지스터에 적용할 수 있는 반도체 박막으로서, 실리콘계 반도체 재료가 널리 알려져 있다. 또한 실리콘계 반도체 재료 이외의 재료로서는 산화물 반도체가 주목되고 있다. 산화물 반도체로서는 예를 들어 산화 인듐, 산화 아연 등의 일원계 금속의 산화물뿐만 아니라, 다성분계 금속의 산화물도 알려져 있다. 다성분계 금속의 산화물 중에서도, 특히 In-Ga-Zn 산화물(이후, IGZO라고도 함)에 관한 연구가 활발하게 진행되고 있다.

[0007] IGZO를 활성층에 사용한 트랜지스터는 오프 전류가 매우 낮고(비특허문헌 1 참조), 이 특성을 이용한 LSI(Large Scale Integration) 및 표시 장치가 보고되어 있다(비특허문헌 2 및 비특허문헌 3 참조). 또한 특허문헌 2에는, IGZO를 활성층에 포함하는 트랜지스터를 표시 장치의 화소 회로에 사용하는 발명이 개시되어 있다.

선행기술문헌

특허문헌

[0008] (특허문헌 0001) 일본 공개특허공보 특개2017-10000호

(특허문헌 0002) 일본 공개특허공보 특개2010-156963호

비특허문헌

[0009] (비특허문헌 0001) K. Kato et al., "Japanese Journal of Applied Physics", 2012, volume 51, p.021201-1-021201-7

(비특허문헌 0002) S. Matsuda et al., "2015 Symposium on VLSI Technology Digest of Technical Papers", 2015, p.T216-T217

(비특허문헌 0003) S. Amano et al., "SID Symposium Digest of Technical Papers", 2010, volume 41, issue 1, p.626-629

발명의 내용

해결하려는 과제

[0010] 일반적으로는, 표시 장치에 포함되는 소스 드라이버 회로 또는 게이트 드라이버 회로와 같은 구동 회로를 구동시킴으로써, 상기 표시 장치의 표시부에 화상을 표시할 수 있다. 상기 구동 회로에는, 각 행 또는 각 열에 소정의 신호를 송신하기 위하여, 시프트 레지스터가 제공되어 있다.

[0011] 시프트 레지스터는 연속적으로 접속된 유지 회로에서 유지 회로에 입력된 신호를 인접한 유지 회로에 축차적으로 송신하는 구성을 가진다. 복수의 유지 회로 중 하나에 동작 불량이 발생하였을 때 이 유지 회로로부터의 출력 신호의 파형이 빠지거나 둔해지는 등의 불량이 나타나는 경우가 있다. 유지 회로로부터 출력된 신호의 파형에 불량이 나타나면, 상기 신호가 다음 단 이후의 유지 회로에 입력되기 때문에 시프트 레지스터 전체가 그 영향을 받는다. 그러므로 시프트 레지스터로부터 출력된 신호에 대해서도 그 파형이 빠지거나 둔해지는 등의 불량이 나타나는 경우가 있다.

[0012] 특히, 시프트 레지스터에 포함되는 유지 회로에서 신호의 정보를 전위로서 유지하는 유지 노드에 노이즈가 입력됨으로써 상기 유지 회로로부터 출력되는 신호의 파형에 불량이 나타나는 경우가 있다. 이 결과, 시프트 레지스터 내의 뒤의 단의 유지 회로에, 빠지거나 둔해지는 등의 불량이 있는 신호가 전달되는 경향이 있다.

[0013] 본 발명의 일 형태는 안정적으로 동작이 수행되는 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는 구동 속도가 빠른 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 신뢰성이 높은 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 상술한 반도체 장치를 포함하는 표시 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 상술한 표시 장치를 포함하는 전자 기기를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 신규 반도체 장치, 신규 표시 장치, 또는 신규 전자 기기를 제공하는 것을 과제 중 하나로 한다.

[0014] 또한 본 발명의 일 형태의 과제는 상기 과제에 한정되지 않는다. 상기 과제는 다른 과제의 존재를 방해하는 것이 아니다. 또한 다른 과제는 이하에 기재되고 본 항목에서는 언급되지 않은 과제이다. 본 항목에서 언급되지 않은 과제는 통상의 기술자라면 명세서 또는 도면 등의 기재에서 도출할 수 있는 것이고, 이들 기재에서 적절히 추출할 수 있다. 또한 본 발명의 일 형태는 상기 과제 및 다른 과제 중 적어도 하나의 과제를 해결하는 것이다. 또한 본 발명의 일 형태는 상기 과제 및 다른 과제 모두를 해결할 필요는 없다.

과제의 해결 수단

[0015] 상술한 시프트 레지스터의 유지 회로로부터 출력되는 신호에 불량이 나타나는 원인으로서는, 시프트 레지스터의 동작 시 유지 회로 내의 신호의 정보를 유지하는 유지 노드의 전위가 의도하지 않게 변동되는 것을 들 수 있다. 그러므로 본 발명의 일 형태에서는 시프트 레지스터의 동작 시에 상기 유지 노드의 전위가 의도하지 않게 변동되지 않도록 유지 회로를 구성한다.

[0016] 상기 과제를 해결하기 위한 반도체 장치(유지 회로), 표시 장치, 및 전자 기기의 일례를 이하에 기재한다.

[0017] (1) 본 발명의 일 형태는 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 제 4 트랜지스터, 제 5 트랜지

스터, 제 6 트랜지스터, 제 7 트랜지스터, 제 8 트랜지스터, 제 1 용량 소자, 및 제 2 용량 소자를 포함하는 반도체 장치이다. 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 제 2 트랜지스터의 소스 및 드레인 중 한쪽, 제 7 트랜지스터의 소스 및 드레인 중 한쪽, 및 제 8 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되어 있다. 또한 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 1 트랜지스터의 게이트 및 제 1 용량 소자의 제 1 단자에 전기적으로 접속되어 있다. 또한 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 제 2 트랜지스터의 게이트, 제 4 트랜지스터의 소스 및 드레인 중 한쪽, 및 제 1 용량 소자의 제 2 단자에 전기적으로 접속되어 있다. 또한 제 4 트랜지스터의 게이트는 제 5 트랜지스터의 소스 및 드레인 중 한쪽, 제 6 트랜지스터의 소스 및 드레인 중 한쪽, 제 8 트랜지스터의 게이트, 및 제 2 용량 소자의 제 1 단자에 전기적으로 접속되어 있다. 또한 제 7 트랜지스터의 게이트는 제 6 트랜지스터의 게이트에 전기적으로 접속되어 있다.

[0018] (2) 또는 본 발명의 일 형태는 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 제 4 트랜지스터, 제 5 트랜지스터, 제 6 트랜지스터, 제 7 트랜지스터, 제 8 트랜지스터, 제 1 용량 소자, 및 제 2 용량 소자를 포함하는, 상기 (1)과는 다른 반도체 장치이다. 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 제 2 트랜지스터의 소스 및 드레인 중 한쪽, 제 7 트랜지스터의 소스 및 드레인 중 한쪽, 및 제 8 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되어 있다. 또한 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 1 트랜지스터의 게이트 및 제 1 용량 소자의 제 1 단자에 전기적으로 접속되어 있다. 또한 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 제 2 트랜지스터의 게이트, 제 2 트랜지스터의 게이트, 제 4 트랜지스터의 소스 및 드레인 중 한쪽, 및 제 1 용량 소자의 제 2 단자에 전기적으로 접속되어 있다. 또한 제 4 트랜지스터의 게이트는 제 5 트랜지스터의 소스 및 드레인 중 한쪽, 제 6 트랜지스터의 소스 및 드레인 중 한쪽, 제 8 트랜지스터의 게이트, 및 제 2 용량 소자의 제 1 단자에 전기적으로 접속되어 있다. 또한 제 7 트랜지스터의 게이트는 제 6 트랜지스터의 게이트에 전기적으로 접속되어 있다.

[0019] (3) 또는 본 발명의 일 형태는 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 제 4 트랜지스터, 제 5 트랜지스터, 제 6 트랜지스터, 제 7 트랜지스터, 제 8 트랜지스터, 제 9 트랜지스터, 제 1 용량 소자, 제 2 용량 소자, 및 제 3 용량 소자를 포함하는 반도체 장치이다. 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 제 2 트랜지스터의 소스 및 드레인 중 한쪽, 제 4 트랜지스터의 소스 및 드레인 중 한쪽, 제 8 트랜지스터의 소스 및 드레인 중 한쪽, 및 제 9 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되어 있다. 또한 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 1 트랜지스터의 게이트 및 제 1 용량 소자의 제 1 단자에 전기적으로 접속되어 있다. 또한 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 제 5 트랜지스터의 소스 및 드레인 중 한쪽, 제 1 용량 소자의 제 2 단자, 및 제 2 용량 소자의 제 1 단자에 전기적으로 접속되어 있다. 또한 제 2 트랜지스터의 게이트는 제 4 트랜지스터의 소스 및 드레인 중 다른 쪽 및 제 2 용량 소자의 제 2 단자에 전기적으로 접속되어 있다. 또한 제 5 트랜지스터의 게이트는 제 6 트랜지스터의 소스 및 드레인 중 한쪽, 제 7 트랜지스터의 소스 및 드레인 중 한쪽, 제 9 트랜지스터의 게이트, 및 제 3 용량 소자의 제 1 단자에 전기적으로 접속되어 있다. 또한 제 9 트랜지스터의 게이트는 제 7 트랜지스터의 게이트에 전기적으로 접속되어 있다.

[0020] (4) 또는 본 발명의 일 형태는 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 제 4 트랜지스터, 제 5 트랜지스터, 제 6 트랜지스터, 제 7 트랜지스터, 제 8 트랜지스터, 제 1 용량 소자, 및 제 2 용량 소자를 포함하는, 상기 (1) 및 (2)와는 다른 반도체 장치이다. 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 제 7 트랜지스터의 소스 및 드레인 중 한쪽 및 제 8 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되어 있다. 또한 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 1 트랜지스터의 게이트, 제 2 트랜지스터의 소스 및 드레인 중 한쪽, 및 제 1 용량 소자의 제 1 단자에 전기적으로 접속되어 있다. 또한 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 제 2 트랜지스터의 게이트, 제 4 트랜지스터의 소스 및 드레인 중 한쪽, 및 제 1 용량 소자의 제 2 단자에 전기적으로 접속되어 있다. 또한 제 4 트랜지스터의 게이트는 제 5 트랜지스터의 소스 및 드레인 중 한쪽, 제 6 트랜지스터의 소스 및 드레인 중 한쪽, 제 8 트랜지스터의 게이트, 및 제 2 용량 소자의 제 1 단자에 전기적으로 접속되어 있다. 또한 제 7 트랜지스터의 게이트는 제 6 트랜지스터의 게이트에 전기적으로 접속되어 있다.

[0021] (5) 또는 본 발명의 일 형태는 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 및 제 1 용량 소자를 포함하는 반도체 장치이다. 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 제 2 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고, 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 1 트랜지스터의 게이트 및 제 1 용량 소자의 제 1 단자에 전기적으로 접속되어 있다. 또한 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 제 2 트랜지스터의 게이트 및 제 1 용량 소자의 제 2 단자에 전기적으로 접속되어 있다.

[0022] (6) 또는 본 발명의 일 형태는 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 및 제 1 용량 소자를 포함

하는, 상기 (5)와는 다른 반도체 장치이다. 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 제 2 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고, 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 1 트랜지스터의 게이트 및 제 1 용량 소자의 제 1 단자에 전기적으로 접속되어 있다. 또한 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 제 2 트랜지스터의 게이트, 제 2 트랜지스터의 소스 및 드레인 중 다른 쪽, 및 제 1 용량 소자의 제 2 단자에 전기적으로 접속되어 있다.

[0023] (7) 또는 본 발명의 일 형태는 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 버퍼 회로, 및 제 1 용량 소자를 포함하는 반도체 장치이다. 버퍼 회로는 입력 단자 및 출력 단자를 포함한다. 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 제 2 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고, 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 1 트랜지스터의 게이트 및 제 1 용량 소자의 제 1 단자에 전기적으로 접속되어 있다. 또한 버퍼 회로의 입력 단자는 제 1 트랜지스터의 소스 및 드레인 중 한쪽 및 제 1 용량 소자의 제 2 단자에 전기적으로 접속되고, 버퍼 회로의 출력 단자는 제 2 트랜지스터의 게이트에 전기적으로 접속되어 있다.

[0024] (8) 또는 본 발명의 일 형태는 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 제 4 트랜지스터, 제 1 용량 소자, 및 제 2 용량 소자를 포함하는 반도체 장치이다. 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 제 2 트랜지스터의 소스 및 드레인 중 한쪽 및 제 4 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고, 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 1 트랜지스터의 게이트 및 제 1 용량 소자의 제 1 단자에 전기적으로 접속되어 있다. 또한 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 제 2 트랜지스터의 게이트, 제 1 용량 소자의 제 2 단자, 및 제 2 용량 소자의 제 1 단자에 전기적으로 접속되고, 제 2 트랜지스터의 게이트는 제 4 트랜지스터의 소스 및 드레인 중 다른 쪽 및 제 2 용량 소자의 제 2 단자에 전기적으로 접속되어 있다.

[0025] (9) 또는 본 발명의 일 형태는 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 및 제 1 용량 소자를 포함하는, 상기 (5) 및 (6)과는 다른 반도체 장치이다. 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 제 2 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되어 있다. 또한 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 1 트랜지스터의 게이트, 제 2 트랜지스터의 게이트, 및 제 1 용량 소자의 제 1 단자에 전기적으로 접속되어 있다. 또한 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 제 1 용량 소자의 제 2 단자에 전기적으로 접속되어 있다.

[0026] (10) 또는 본 발명의 일 형태는 구동 회로와 표시 디바이스를 포함하는 표시 장치이다. 특히 구동 회로는 상기 (1) 내지 (9) 중 어느 하나의 반도체 장치를 포함한다. 또한 구동 회로는 표시 디바이스에 대하여 화상을 표시시키기 위한 신호를 송신하는 기능을 가진다.

[0027] (11) 또는 본 발명의 일 형태는 상기 (10)에서, 표시 디바이스가 발광 디바이스 또는 액정 표시 디바이스를 포함하여도 좋다.

[0028] (12) 또는 본 발명의 일 형태는 상기 (11)에 기재된 표시 장치, 및 하우징을 포함하는 전자 기기이다.

발명의 효과

[0029] 시프트 레지스터에 포함되는 유지 회로에 상기 반도체 장치의 구성을 적용함으로써 유지 회로의 출력 신호를 유지 노드 측에 피드백할 수 있다. 유지 노드 측이 상기 출력 신호의 피드백을 받음으로써, 유지 노드에는 예를 들어 전원선 등으로부터의 고정 전위가 공급되어, 유지 노드는 플로팅 상태가 되지 않는다. 이에 의하여, 유지 노드의 전위의 변동을 억제할 수 있기 때문에, 유지 회로의 출력 신호를 안정화시킬 수 있다. 또한 상기 고정 전위는 유지 회로가 유지한 정보에 대응하는 전위와 동등한 것이 바람직하다.

[0030] 본 발명의 일 형태에 의하여 안정적으로 동작이 수행되는 반도체 장치를 제공할 수 있다. 본 발명의 일 형태에 의하여 구동 속도가 빠른 반도체 장치를 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 신뢰성이 높은 반도체 장치를 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 상술한 반도체 장치를 포함하는 표시 장치를 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 상술한 표시 장치를 포함하는 전자 기기를 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 신규 반도체 장치, 신규 표시 장치, 또는 신규 전자 기기를 제공할 수 있다.

[0031] 또한 본 발명의 일 형태의 효과는 상기 효과에 한정되지 않는다. 상기 효과는 다른 효과의 존재를 방해하는 것이 아니다. 또한 다른 효과는 이하에 기재되고 본 항목에서는 언급되지 않은 효과이다. 본 항목에서 언급되지 않은 효과는 통상의 기술자라면 명세서 또는 도면 등의 기재에서 도출할 수 있는 것이고, 이들 기재에서 적절히 추출할 수 있다. 또한 본 발명의 일 형태는 상기 효과 및 다른 효과 중 적어도 하나의 효과를 가지는 것이다. 따라서 본 발명의 일 형태는 경우에 따라서는 상기 효과를 가지지 않는 경우도 있다.

도면의 간단한 설명

[0032] 도 1의 (A) 내지 (C)는 증폭 회로의 일례를 나타낸 회로도이다.

도 2의 (A) 내지 (C)는 증폭 회로의 일례를 나타낸 회로도이다.

도 3의 (A) 내지 (C)는 증폭 회로의 일례를 나타낸 회로도이다.

도 4의 (A) 내지 (D)는 증폭 회로의 일례를 나타낸 회로도이다.

도 5는 증폭 회로의 일례를 나타낸 회로도이다.

도 6의 (A) 및 (B)는 증폭 회로의 일례를 나타낸 회로도이다.

도 7의 (A) 및 (B)는 증폭 회로의 일례를 나타낸 회로도이다.

도 8의 (A) 내지 (C)는 증폭 회로의 일례를 나타낸 회로도이다.

도 9의 (A) 내지 (F)는 증폭 회로의 일례를 나타낸 회로도이다.

도 10의 (A) 내지 (C)는 증폭 회로의 일례를 나타낸 회로도이다.

도 11은 증폭 회로의 일례를 나타낸 레이아웃 도면이다.

도 12는 표시 장치의 일례를 나타낸 블록도이다.

도 13의 (A) 및 (B)는 구동 회로의 일례를 나타낸 블록도이다.

도 14는 구동 회로에 포함되는 회로의 일례를 나타낸 회로도이다.

도 15는 구동 회로에 포함되는 회로의 동작예를 나타낸 타이밍 차트이다.

도 16은 구동 회로에 포함되는 회로의 일례를 나타낸 회로도이다.

도 17은 구동 회로에 포함되는 회로의 일례를 나타낸 회로도이다.

도 18은 구동 회로에 포함되는 회로의 일례를 나타낸 회로도이다.

도 19는 구동 회로에 포함되는 회로의 일례를 나타낸 회로도이다.

도 20은 구동 회로의 일례를 나타낸 블록도이다.

도 21은 구동 회로의 동작예를 나타낸 타이밍 차트이다.

도 22는 구동 회로에 포함되는 회로의 일례를 나타낸 회로도이다.

도 23은 구동 회로에 포함되는 회로의 일례를 나타낸 회로도이다.

도 24는 구동 회로에 포함되는 회로의 일례를 나타낸 회로도이다.

도 25의 (A) 및 (B)는 표시 장치의 구성예를 나타낸 사시 모식도이다.

도 26은 표시 장치의 구성예를 나타낸 블록도이다.

도 27은 표시 장치의 구성예를 나타낸 단면 모식도이다.

도 28의 (A) 내지 (C)는 표시 장치의 구성예를 나타낸 단면 모식도이다.

도 29는 표시 장치의 구성예를 나타낸 단면 모식도이다.

도 30의 (A) 및 (B)는 반도체 장치에 포함되는 트랜지스터의 구성예를 나타낸 단면 모식도이다.

도 31은 반도체 장치에 포함되는 트랜지스터의 구성예를 나타낸 단면 모식도이다.

도 32는 표시 장치의 구성예를 나타낸 단면 모식도이다.

도 33의 (A) 내지 (C)는 반도체 장치에 포함되는 트랜지스터의 구성예를 나타낸 평면 모식도이고, 도 33의 (D)는 반도체 장치에 포함되는 트랜지스터의 구성예를 나타낸 단면 모식도이다.

도 34의 (A)는 반도체 장치에 포함되는 트랜지스터의 구성예를 나타낸 평면 모식도이고, 도 34의 (B)는 반도체

장치에 포함되는 트랜지스터의 구성예를 나타낸 단면 모식도이다.

도 35는 표시 장치의 구성예를 나타낸 단면 모식도이다.

도 36은 표시 장치의 구성예를 나타낸 단면 모식도이다.

도 37은 표시 장치의 구성예를 나타낸 단면 모식도이다.

도 38은 표시 장치의 구성예를 나타낸 단면 모식도이다.

도 39는 표시 장치의 구성예를 나타낸 단면 모식도이다.

도 40은 표시 장치의 구성예를 나타낸 단면 모식도이다.

도 41은 표시 장치의 구성예를 나타낸 단면 모식도이다.

도 42는 표시 장치의 구성예를 나타낸 단면 모식도이다.

도 43은 표시 장치의 구성예를 나타낸 단면 모식도이다.

도 44의 (A) 내지 (D)는 LED 패키지의 구성예를 나타낸 단면 모식도이다.

도 45의 (A) 및 (B)는 LED 패키지의 구성예를 나타낸 평면 모식도이다.

도 46의 (A) 내지 (F)는 발광 디바이스의 구성예를 나타낸 도면이다.

도 47의 (A) 내지 (C)는 발광 디바이스의 구성예를 나타낸 도면이다.

도 48의 (A)는 표시 장치에 포함되는 화소 회로의 구성예를 나타낸 회로도이고, 도 48의 (B)는 표시 장치에 포함되는 화소 회로의 구성예를 나타낸 사시 모식도이다.

도 49의 (A) 내지 (G)는 화소의 일례를 나타낸 평면 모식도이다.

도 50의 (A) 내지 (F)는 화소의 일례를 나타낸 평면 모식도이다.

도 51의 (A) 내지 (H)는 화소의 일례를 나타낸 평면 모식도이다.

도 52의 (A) 내지 (D)는 화소의 일례를 나타낸 평면 모식도이다.

도 53의 (A) 내지 (G)는 화소의 일례를 나타낸 평면 모식도이다.

도 54의 (A) 내지 (I)는 전자 기기의 일례를 나타낸 사시도이다.

발명을 실시하기 위한 구체적인 내용

[0033] 본 명세서 등에서 반도체 장치란 반도체 특성을 이용한 장치이고, 반도체 소자(예를 들어 트랜지스터, 다이오드, 및 포토다이오드)를 포함한 회로, 이 회로를 포함한 장치를 말한다. 또한 반도체 장치란 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 말한다. 반도체 장치의 일례로서는 집적 회로를 들 수 있다. 또한 반도체 장치의 일례로서는 집적 회로를 포함한 칩도 들 수 있다. 또한 반도체 장치의 일례로서는 패키지에 칩을 포함한 전자 부품도 들 수 있다. 또한 예를 들어 기억 장치, 표시 장치, 발광 장치, 조명 장치, 및 전자 기기는 그 자체가 반도체 장치인 경우가 있고, 반도체 장치를 포함하는 경우가 있다.

[0034] 또한 본 명세서 등에서 X와 Y가 접속된다고 기재되는 경우에는, X와 Y가 전기적으로 접속되는 경우와, X와 Y가 기능적으로 접속되는 경우와, X와 Y가 직접 접속되는 경우가 본 명세서 등에 개시되어 있는 것으로 한다. 따라서 소정의 접속 관계, 예를 들어 도면 또는 문장에 나타낸 접속 관계에 한정되지 않고, 도면 또는 문장에 나타낸 접속 관계 이외의 것도 도면 또는 문장에 개시되어 있는 것으로 한다. X, Y는 대상물(예를 들어 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 또는 층)인 것으로 한다.

[0035] X와 Y가 전기적으로 접속되는 경우에는, 일례로서 X와 Y를 전기적으로 접속할 수 있는 소자(예를 들어 스위치, 트랜지스터, 용량 소자, 인덕터, 저항 소자, 다이오드, 표시 디바이스, 발광 디바이스, 및 부하)가 X와 Y 사이에 하나 이상 접속될 수 있다. 또한 스위치는 온과 오프가 제어되는 기능을 가진다. 즉 스위치는 도통 상태(온 상태) 또는 비도통 상태(오프 상태)가 되어, 전류를 흘릴지 여부를 제어하는 기능을 가진다.

[0036] 또한 X와 Y 사이에 소자와 전원선(예를 들어 VDD(고전원 전위), VSS(저전원 전위), GND(접지 전위), 또는 원하는 전위를 공급하는 배선)의 양쪽이 배치되는 경우에는 X와 Y가 전기적으로 접속되는 것으로 규정하지 않는 것

으로 한다. 또한 X와 Y 사이에 전원선만이 배치되는 경우에는 X와 Y 사이에 다른 소자가 없기 때문에 X와 Y는 직접 접속되어 있다. 따라서 X와 Y 사이에 전원선만이 배치되는 경우에는 "X와 Y는 전기적으로 접속되어 있다"라고 할 수도 있다. 그러나 X와 Y 사이에 소자와 전원선의 양쪽이 배치되는 경우에는, X와 전원선이(소자를 통하여) 전기적으로 접속되어 있고 Y와 전원선이 전기적으로 접속되어 있지만, X와 Y는 전기적으로 접속되는 것으로 규정하지 않는다. 또한 X와 Y 사이에 트랜지스터의 게이트와 소스를 개재(介在)하는 경우에는 X와 Y가 전기적으로 접속되는 것으로 규정하지 않는 것으로 한다. 또한 X와 Y 사이에 트랜지스터의 게이트와 드레인을 개재하는 경우에는 X와 Y가 전기적으로 접속되는 것으로 규정하지 않는 것으로 한다. 즉 트랜지스터의 경우에는 X와 Y 사이에 트랜지스터의 드레인과 소스를 개재하는 경우에는 X와 Y가 전기적으로 접속되는 것으로 규정하는 것으로 한다. 또한 X와 Y 사이에 용량 소자가 배치되는 경우에는 X와 Y가 전기적으로 접속되는 것으로 규정하는 경우와 규정하지 않는 경우가 있다. 예를 들어 디지털 회로 또는 로직 회로의 구성에서 X와 Y 사이에 용량 소자가 배치되는 경우에는 X와 Y가 전기적으로 접속되는 것으로 규정하지 않는 경우가 있다. 한편 예를 들어 아날로그 회로의 구성에서 X와 Y 사이에 용량 소자가 배치되는 경우에는 X와 Y가 전기적으로 접속되는 것으로 규정하는 경우가 있다.

[0037] X와 Y가 기능적으로 접속되는 경우에는, 일례로서 X와 Y를 기능적으로 접속할 수 있는 회로(예를 들어 논리 회로(예를 들어 인버터, NAND 회로, 및 NOR 회로), 신호 변환 회로(예를 들어 디지털 아날로그 변환 회로, 아날로그 디지털 변환 회로, 및 감마 보정 회로), 전위 레벨 변환 회로(예를 들어 승압 회로 또는 강압 회로 등의 전원 회로 및 신호의 전위 레벨을 바꾸는 레벨 시프터 회로), 전압원, 전류원, 전환 회로, 증폭 회로(예를 들어 신호 진폭 또는 전류량 등을 크게 할 수 있는 회로, 연산 증폭기, 차동 증폭 회로, 소스 폴로어 회로, 및 버퍼 회로), 신호 생성 회로, 기억 회로, 및 제어 회로)가 X와 Y 사이에 하나 이상 접속될 수 있다. 또한 일례로서, X와 Y 사이에 다른 회로를 끼워도 X로부터 출력된 신호가 Y로 전달되는 경우에는 X와 Y는 기능적으로 접속되는 것으로 한다.

[0038] 또한 예를 들어 "X와, Y와, 트랜지스터의 소스(제 1 단자 및 제 2 단자 중 한쪽으로 환언하는 경우가 있음)와, 드레인(제 1 단자 및 제 2 단자 중 다른 쪽으로 환언하는 경우가 있음)은 서로 전기적으로 접속되고, X, 트랜지스터의 소스, 트랜지스터의 드레인, Y의 순서로 전기적으로 접속된다"라고 표현할 수 있다. 또는 "트랜지스터의 소스는 X에 전기적으로 접속되고, 트랜지스터의 드레인은 Y에 전기적으로 접속되고, X, 트랜지스터의 소스, 트랜지스터의 드레인, Y는 이 순서대로 전기적으로 접속된다"라고 표현할 수 있다. 또는 "X는 트랜지스터의 소스와 드레인을 통하여 Y에 전기적으로 접속되고, X, 트랜지스터의 소스, 트랜지스터의 드레인, Y는 이 접속 순서로 제공된다"라고 표현할 수 있다. 이들 예와 같은 표현 방법을 사용하여 회로 구성에서의 접속 순서에 대하여 규정함으로써, 트랜지스터의 소스와 드레인을 구별하여 기술적 범위를 결정할 수 있다. 또한 이들 표현 방법은 일례이고, 이들 표현 방법에 한정되지 않는다. 여기서 X, Y는 대상물(예를 들어 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 또는 층)인 것으로 한다.

[0039] 또한 회로도상 독립된 구성 요소들이 전기적으로 접속되는 것처럼 도시되어 있는 경우에도, 하나의 구성 요소가 복수의 구성 요소의 기능을 겸비하는 경우도 있다. 예를 들어 배선의 일부가 전극으로서도 기능하는 경우에는, 하나의 도전막이 배선의 기능 및 전극의 기능의 양쪽을 겸비한다. 따라서 본 명세서에서의 전기적인 접속이란 이와 같이 하나의 도전막이 복수의 구성 요소의 기능을 겸비하는 경우도 그 범주에 포함한다.

[0040] 또한 본 명세서 등에서 "저항 소자"는, 예를 들어 0Ω보다 저항값이 높은 회로 소자, 또는 0Ω보다 저항값이 높은 배선으로 할 수 있다. 그러므로 본 명세서 등에서 "저항 소자"는 저항값을 가지는 배선, 소스와 드레인 사이를 전류가 흐르는 트랜지스터, 다이오드, 또는 코일을 포함하는 것으로 한다. 그러므로 "저항 소자"라는 용어는 "저항", "부하", 또는 "저항값을 가지는 영역"이라는 용어로 바꿔 말할 수 있는 경우가 있다. 반대로 "저항", "부하", 또는 "저항값을 가지는 영역"이라는 용어는 "저항 소자"라는 용어로 바꿔 말할 수 있는 경우가 있다. 저항값은 예를 들어 바람직하게는 1mΩ 이상 10Ω 이하, 더 바람직하게는 5mΩ 이상 5Ω 이하, 더 바람직하게는 10mΩ 이상 1Ω 이하로 할 수 있다. 또한 예를 들어 1Ω 이상 1×10^{9}Ω 이하로 하여도 좋다.

[0041] 또한 본 명세서 등에서 "용량 소자"는, 예를 들어 정전 용량이 0F보다 높은 회로 소자, 정전 용량이 0F보다 높은 배선의 영역, 기생 용량, 또는 트랜지스터의 게이트 용량으로 할 수 있다. 또한 "용량 소자", "기생 용량", 또는 "게이트 용량"이라는 용어는 "용량"이라는 용어로 바꿔 말할 수 있는 경우가 있다. 반대로 "용량"이라는 용어는 "용량 소자", "기생 용량", 또는 "게이트 용량"이라는 용어로 바꿔 말할 수 있는 경우가 있다. 또한 "용량 소자"(3개 이상의 단자를 포함한 "용량 소자"를 포함함)는 절연체와, 이 절연체를 사이에 끼운 한 쌍의 도전체를 포함한다. 그러므로 "용량 소자"의 "한 쌍의 도전체"라는 용어는 "한 쌍의 전극", "한 쌍의 도전 영

역", "한 쌍의 영역", 또는 "한 쌍의 단자"로 바꿔 말할 수 있다. 또한 "한 쌍의 단자 중 한쪽" 및 "한 쌍의 단자 중 다른 쪽"이라는 용어는 각각 제 1 단자 및 제 2 단자라고 하는 경우가 있다. 또한 정전 용량은 예를 들어 0.05fF 이상 10pF 이하로 할 수 있다. 또한 예를 들어 1pF 이상 10μF 이하로 하여도 좋다.

[0042] 또한 본 명세서 등에서 트랜지스터는 게이트, 소스, 및 드레인이라고 불리는 3개의 단자를 포함한다. 게이트는 트랜지스터의 도통 상태를 제어하는 제어 단자이다. 소스 또는 드레인으로서 기능하는 2개의 단자는 트랜지스터의 입출력 단자이다. 2개의 입출력 단자는 트랜지스터의 도전형(n채널형, p채널형) 및 트랜지스터의 3개의 단자에 공급되는 전위의 높낮이에 따라, 한쪽이 소스가 되고 다른 쪽이 드레인이 된다. 그러므로 본 명세서 등에서는, 소스 또는 드레인이라는 용어는 서로 바꿔 말할 수 있는 경우가 있다. 또한 본 명세서 등에서는, 트랜지스터의 접속 관계를 설명하는 경우, "소스 및 드레인 중 한쪽"(혹은 제 1 전극 또는 제 1 단자), "소스 및 드레인 중 다른 쪽"(혹은 제 2 전극 또는 제 2 단자)이라는 표기를 사용한다. 또한 트랜지스터의 구조에 따라서는 상술한 3개의 단자에 더하여 백 게이트를 포함하는 경우가 있다. 이 경우, 본 명세서 등에서 트랜지스터의 게이트 및 백 게이트 중 한쪽을 제 1 게이트라고 부르고, 트랜지스터의 게이트 및 백 게이트 중 다른 쪽을 제 2 게이트라고 부르는 경우가 있다. 또한 같은 트랜지스터에서 "게이트"와 "백 게이트"라는 용어는 서로 바꿀 수 있는 경우가 있다. 또한 트랜지스터가 3개 이상의 게이트를 포함하는 경우, 본 명세서 등에서는 각 게이트를 제 1 게이트, 제 2 게이트, 제 3 게이트 등이라고 부를 수 있다.

[0043] 예를 들어 본 명세서 등에서 트랜지스터의 일례로서는, 2개 이상의 게이트 전극을 포함한 멀티 게이트 구조의 트랜지스터를 사용할 수 있다. 멀티 게이트 구조로 하면, 채널 형성 영역이 직렬로 접속되기 때문에, 복수의 트랜지스터가 직렬로 접속된다. 따라서 멀티 게이트 구조로 하면, 오프 전류의 감소, 트랜지스터의 내압 향상(신뢰성 향상)을 실현할 수 있다. 또는 멀티 게이트 구조로 하면, 포화 영역에서 동작할 때, 드레인과 소스 사이의 전압이 변화되어도 드레인과 소스 사이의 전류가 그다지 변화되지 않기 때문에, 기울기가 평평한 전압-전류 특성을 얻을 수 있다. 기울기가 평평한 전압-전류 특성을 이용하면, 이상적인 전류원 회로 또는 저항값이 매우 높은 능동 부하를 실현할 수 있다. 그 결과, 특성이 좋은 차동 회로 또는 커런트 미러 회로 등을 실현할 수 있다.

[0044] 또한 회로도에서 단일의 회로 소자가 도시되어 있는 경우에도 상기 회로 소자가 복수의 회로 소자를 포함하는 경우가 있다. 예를 들어 회로도에서 하나의 저항 소자가 도시된 경우에는 2개 이상의 저항 소자가 직렬로 전기적으로 접속되는 경우를 포함하는 것으로 한다. 또한 예를 들어 회로도에서 하나의 용량 소자가 도시된 경우에는 2개 이상의 용량 소자가 병렬로 전기적으로 접속되는 경우를 포함하는 것으로 한다. 또한 예를 들어 회로도에서 하나의 트랜지스터가 도시된 경우에는 2개 이상의 트랜지스터가 직렬로 전기적으로 접속되고, 각 트랜지스터의 게이트가 서로 전기적으로 접속되는 경우를 포함하는 것으로 한다. 또한 이와 마찬가지로 예를 들어 회로도에서 하나의 스위치가 도시된 경우에는 상기 스위치가 2개 이상의 트랜지스터를 포함하고, 2개 이상의 트랜지스터가 직렬 또는 병렬로 전기적으로 접속되고, 각 트랜지스터의 게이트가 서로 전기적으로 접속되는 경우를 포함하는 것으로 한다.

[0045] 또한 본 명세서 등에서 노드는 회로 구성 및 디바이스 구조에 따라 단자, 배선, 전극, 도전층, 도전체, 또는 불순물 영역으로 바꿔 말할 수 있다. 또한 단자, 배선 등을 노드로 바꿔 말할 수 있다.

[0046] 또한 본 명세서 등에서 "전압"과 "전위"는 적절히 바꿔 말할 수 있다. "전압"은 기준이 되는 전위와의 전위차를 말하고, 예를 들어 기준이 되는 전위를 그라운드 전위(접지 전위)로 하면, "전압"을 "전위"로 바꿔 말할 수 있다. 또한 그라운드 전위는 반드시 0V를 의미하는 것은 아니다. 또한 전위는 상대적인 것이고, 기준이 되는 전위가 변화됨으로써, 배선에 공급되는 전위, 회로 등에 인가되는 전위, 회로 등으로부터 출력되는 전위 등도 변화된다.

[0047] 또한 본 명세서 등에서 "고레벨 전위" 및 "저레벨 전위"라는 용어는 특정의 전위를 의미하는 것은 아니다. 예를 들어 2개의 배선의 양쪽이 "고레벨 전위를 공급하는 배선으로서 기능한다"라고 기재되는 경우, 양쪽의 배선이 공급하는 각 고레벨 전위는 서로 같지 않아도 된다. 또한 이와 마찬가지로 2개의 배선의 양쪽이 "저레벨 전위를 공급하는 배선으로서 기능한다"라고 기재되는 경우, 양쪽의 배선이 공급하는 각 저레벨 전위는 서로 같지 않아도 된다.

[0048] 또한 "전류"란 전하의 이동 현상(전기 전도)을 말하고, 예를 들어 "양의 하전체(荷電體)의 전기 전도가 발생하고 있다"라는 기재는, "그 반대 방향으로 음의 하전체의 전기 전도가 발생하고 있다"라고 바꿔 말할 수 있다. 그러므로 본 명세서 등에서 "전류"란 별도의 설명이 없는 한, 캐리어의 이동에 따른 전하의 이동 현상(전기 전도)을 말하는 것으로 한다. 여기서 캐리어로서는 예를 들어 전자, 정공, 음이온, 양이온, 및 착이온을 들 수

있고, 전류가 흐르는 시스템(예를 들어 반도체, 금속, 전해액, 및 진공 중)에 따라 캐리어가 다르다. 또한 배선 등에서의 "전류의 방향"은 양전하를 띤 캐리어가 이동하는 방향이고, 양의 전류량으로 기재한다. 바꿔 말하면, 음전하를 띤 캐리어가 이동하는 방향은 전류의 방향과 반대 방향이고, 음의 전류량으로 표현된다. 따라서 본 명세서 등에서 전류의 양과 음(또는 전류의 방향)에 대하여 별도의 설명이 없는 경우, "소자 A로부터 소자 B로 전류가 흐른다"라는 기재는 "소자 B로부터 소자 A로 전류가 흐른다"로 바꿔 말할 수 있는 것으로 한다. 또한 "소자 A에 전류가 입력된다"라는 기재는 "소자 A로부터 전류가 출력된다"로 바꿔 말할 수 있는 것으로 한다.

[0049] 또한 본 명세서 등에서 "제 1", "제 2", "제 3" 등의 서수사는 구성 요소의 혼동을 피하기 위하여 붙인 것이다. 따라서 구성 요소의 개수를 한정하는 것이 아니다. 또한 구성 요소의 순서를 한정하는 것이 아니다. 예를 들어 본 명세서 등의 실시형태 중 하나에서 "제 1"로 언급된 구성 요소가 다른 실시형태 또는 청구범위에서 "제 2"로 언급된 구성 요소가 될 수도 있다. 또한 예를 들어 본 명세서 등의 실시형태 중 하나에서 "제 1"로 언급된 구성 요소가 다른 실시형태 또는 청구범위에서 생략될 수도 있다.

[0050] 또한 본 명세서 등에서 "위에" 및 "아래에" 등의 배치를 나타내는 용어는 구성 요소끼리의 위치 관계를 도면을 참조하여 설명하기 위하여 편의상 사용하고 있는 경우가 있다. 또한 구성 요소끼리의 위치 관계는 각 구성을 묘사하는 방향에 따라 적절히 변화된다. 따라서 명세서 등에서 설명한 용어에 한정되지 않고, 상황에 따라 적절히 바꿔 말할 수 있다. 예를 들어 "도전체의 상면에 위치하는 절연체"라는 표현은, 나타낸 도면의 방향을 180° 회전시킴으로써, "도전체의 하면에 위치하는 절연체"라고 바꿔 말할 수 있다.

[0051] 또한 "위" 또는 "아래"라는 용어는, 구성 요소의 위치 관계가 바로 위 또는 바로 아래이며 직접 접하는 것에 한정되지 않는다. 예를 들어 "절연층(A) 위의 전극(B)"이라는 표현이면, 절연층(A) 위에 전극(B)이 직접 접하여 형성될 필요는 없고, 절연층(A)과 전극(B) 사이에 다른 구성 요소를 포함하는 것을 제외하지 않는다. 또한 이와 마찬가지로 예를 들어 "절연층(A) 위쪽의 전극(B)"이라는 표현이면, 절연층(A) 위에 전극(B)이 직접 접하여 형성될 필요는 없고, 절연층(A)과 전극(B) 사이에 다른 구성 요소를 포함하는 것을 제외하지 않는다. 또한 이와 마찬가지로 예를 들어 "절연층(A) 아래쪽의 전극(B)"이라는 표현이면, 절연층(A) 아래에 전극(B)이 직접 접하여 형성될 필요는 없고, 절연층(A)과 전극(B) 사이에 다른 구성 요소를 포함하는 것을 제외하지 않는다.

[0052] 또한 본 명세서 등에서 매트릭스로 배치된 구성 요소 및 그 위치 관계를 설명하기 위하여 "행" 및 "열"이라는 용어를 사용하는 경우가 있다. 또한 구성 요소끼리의 위치 관계는 각 구성을 묘사하는 방향에 따라 적절히 변화된다. 따라서 명세서 등에서 설명한 용어에 한정되지 않고, 상황에 따라 적절히 바꿔 말할 수 있다. 예를 들어 "행 방향"이라는 표현은 나타낸 도면의 방향을 90° 회전시킴으로써 "열 방향"으로 바꿔 말할 수 있는 경우가 있다.

[0053] 또한 본 명세서 등에서 "막" 및 "층"이라는 용어는 상황에 따라 서로 바꿀 수 있다. 예를 들어 "도전층"이라는 용어를 "도전막"이라는 용어로 변경할 수 있는 경우가 있다. 또는 예를 들어 "절연막"이라는 용어를 "절연층"이라는 용어로 변경할 수 있는 경우가 있다. 또는 경우 또는 상황에 따라 "막" 및 "층"이라는 용어를 사용하지 않고, 다른 용어로 바꿀 수 있다. 예를 들어 "도전층" 또는 "도전막"이라는 용어를 "도전체"라는 용어로 변경할 수 있는 경우가 있다. 또한 예를 들어 "절연층" 또는 "절연막"이라는 용어를 "절연체"라는 용어로 변경할 수 있는 경우가 있다.

[0054] 또한 본 명세서 등에서 "전극", "배선", 및 "단자"라는 용어는, 이들 구성 요소를 기능적으로 한정하는 것이 아니다. 예를 들어 "전극"은 "배선"의 일부로서 사용되는 경우가 있고, 그 반대도 마찬가지이다. 또한 "전극" 또는 "배선"이라는 용어는, 복수의 "전극" 또는 "배선"이 일체가 되어 형성되는 경우 등도 포함한다. 또한 예를 들어 "단자"는 "배선" 또는 "전극"의 일부로서 사용되는 경우가 있고, 그 반대도 마찬가지이다. 또한 "단자"라는 용어는 "전극", "배선", 및 "단자" 중에서 선택된 하나 이상이 일체가 되어 형성되는 경우 등도 포함한다. 그러므로 예를 들어 "전극"은 "배선" 또는 "단자"의 일부가 될 수 있고, 예를 들어 "단자"는 "배선" 또는 "전극"의 일부가 될 수 있다. 또한 "전극", "배선", 또는 "단자"라는 용어는 경우에 따라 "영역"이라는 용어로 치환되는 경우가 있다.

[0055] 또한 본 명세서 등에서 "배선", "신호선", 및 "전원선"이라는 용어는 경우 또는 상황에 따라 서로 바꿀 수 있다. 예를 들어 "배선"이라는 용어를 "신호선"이라는 용어로 변경할 수 있는 경우가 있다. 또한 예를 들어 "배선"이라는 용어를 "전원선" 등의 용어로 변경할 수 있는 경우가 있다. 또한 그 반대도 마찬가지로 "신호선" 또는 "전원선"이라는 용어를 "배선"이라는 용어로 변경할 수 있는 경우가 있다. "전원선"이라는 용어는 "신호선"이라는 용어로 변경할 수 있는 경우가 있다. 또한 그 반대도 마찬가지로 "신호선"이라는 용어는 "전원선"이라는 용어로 변경할 수 있는 경우가 있다. 또한 배선에 인가되는 "전위"라는 용어를 경우 또는 상황

에 따라 "신호"라는 용어로 변경할 수 있는 경우가 있다. 또한 그 반대도 마찬가지로 "신호"라는 용어는 "전위"라는 용어로 변경할 수 있는 경우가 있다.

[0056] 또한 본 명세서 등에서는 반도체 장치의 동작 방법을 설명하기 위하여 타이밍 차트를 사용하는 경우가 있다. 또한 본 명세서 등에 사용하는 타이밍 차트는 이상적인 동작예를 나타낸 것이며, 상기 타이밍 차트에 기재되는 기간, 신호(예를 들어 전위 또는 전류)의 크기, 및 타이밍은 특별히 언급이 없는 경우에는 한정되지 않는다. 본 명세서 등에 기재되는 타이밍 차트는 상황에 따라 상기 타이밍 차트에서의 각 배선(노드를 포함함)에 입력되는 신호(예를 들어 전위 또는 전류)의 크기 및 타이밍을 변경할 수 있다. 예를 들어 타이밍 차트에 2개의 기간이 같은 길이로 기재되어 있어도, 2개의 기간의 길이는 상이한 경우가 있다. 또한 예를 들어 2개의 기간에서 한쪽의 기간이 길며, 다른 쪽의 기간이 짧게 기재되어 있어도, 이들 기간의 길이는 같아도 좋은 경우가 있으며, 한쪽의 기간이 짧고 다른 쪽의 기간이 길어도 좋은 경우가 있다.

[0057] 본 명세서 등에서 금속 산화물(metal oxide)이란 넓은 의미로의 금속의 산화물이다. 금속 산화물은 산화물 절연체, 산화물 도전체(투명 산화물 도전체를 포함함), 산화물 반도체(Oxide Semiconductor 또는 단순히 OS라고도 함) 등으로 분류된다. 예를 들어 트랜지스터의 채널 형성 영역에 금속 산화물이 포함되는 경우, 상기 금속 산화물을 산화물 반도체라고 하는 경우가 있다. 즉 금속 산화물이 증폭 작용, 정류 작용, 및 스위칭 작용 중 적어도 하나를 가지는 트랜지스터의 채널 형성 영역을 구성할 수 있는 경우, 상기 금속 산화물을 금속 산화물 반도체(metal oxide semiconductor)라고 할 수 있다. 또한 OS 트랜지스터라고 기재하는 경우에는 금속 산화물 또는 산화물 반도체를 포함한 트랜지스터로 바꿔 말할 수 있다.

[0058] 또한 본 명세서 등에서, 질소를 포함하는 금속 산화물도 금속 산화물(metal oxide)이라고 총칭하는 경우가 있다. 또한 질소를 포함하는 금속 산화물을 금속 산질화물(metal oxynitride)이라고 하여도 좋다.

[0059] 또한 본 명세서 등에서 반도체의 불순물이란 예를 들어 반도체층을 구성하는 주성분 이외의 것을 말한다. 예를 들어 농도가 0.1atomic% 미만인 원소는 불순물이다. 불순물이 포함되면, 예를 들어 반도체의 결함 준위 밀도의 증가, 캐리어 이동도의 저하, 및 결정성의 저하 중 하나 이상이 발생하는 경우가 있다. 반도체가 산화물 반도체인 경우, 반도체의 특성을 변화시키는 불순물로서는, 예를 들어 1족 원소, 2족 원소, 13족 원소, 14족 원소, 15족 원소, 및 주성분 이외의 전이 금속이 있고, 특히 예를 들어 수소(물에도 포함됨), 리튬, 소듐, 실리콘, 붕소, 인, 탄소, 및 질소가 있다.

[0060] 본 명세서 등에서 스위치란 도통 상태(온 상태) 또는 비도통 상태(오프 상태)가 되어 전류를 흘릴지 여부를 제어하는 기능을 가지는 것을 말한다. 또는 스위치란 전류를 흘리는 경로를 선택하고 전환하는 기능을 가지는 것을 말한다. 그러므로 스위치는 제어 단자와는 별도로 전류를 흘리는 단자를 2개 또는 3개 이상 포함하는 경우가 있다. 일례로서는 전기적 스위치, 기계적 스위치 등을 사용할 수 있다. 즉 스위치는 전류를 제어할 수 있는 것이면 좋고, 특정의 것에 한정되지 않는다.

[0061] 전기적 스위치의 일례로서는 트랜지스터(예를 들어 바이폴러 트랜지스터, MOS 트랜지스터 등), 다이오드(예를 들어 PN 다이오드, PIN 다이오드, 쇼트키 다이오드, MIM(Metal Insulator Metal) 다이오드, MIS(Metal Insulator Semiconductor) 다이오드, 다이오드 접속된 트랜지스터 등), 또는 이들을 조합한 논리 회로 등이 있다. 또한 스위치로서 트랜지스터를 사용하는 경우, 트랜지스터의 "도통 상태"란 예를 들어 트랜지스터의 소스 전극과 드레인 전극이 전기적으로 단락되어 있다고 간주할 수 있는 상태 또는 소스 전극과 드레인 전극 사이에 전류를 흘릴 수 있는 상태를 말한다. 또한 트랜지스터의 "비도통 상태"란 트랜지스터의 소스 전극과 드레인 전극이 전기적으로 차단되어 있다고 간주할 수 있는 상태를 말한다. 또한 트랜지스터를 단순히 스위치로서 동작시키는 경우에는, 트랜지스터의 극성(도전형)은 특별히 한정되지 않는다.

[0062] 기계적 스위치의 일례로서는 MEMS(micro electro mechanical systems) 기술을 사용한 스위치가 있다. 그 스위치는 기계적으로 동작시킬 수 있는 전극을 포함하고, 그 전극의 움직임에 따라 도통과 비도통을 제어하여 동작한다.

[0063] 또한 본 명세서 등에서, 메탈 마스크 또는 FMM(파인 메탈 마스크, 고정세(高精細) 메탈 마스크)을 사용하여 제작되는 디바이스를 MM(메탈 마스크) 구조의 디바이스라고 부르는 경우가 있다. 또한 본 명세서 등에서, 메탈 마스크 또는 FMM을 사용하지 않고 제작되는 디바이스를 MML(메탈 마스크리스) 구조의 디바이스라고 부르는 경우가 있다.

[0064] 또한 본 명세서 등에서, 각 색의 발광 디바이스(여기서는 청색(B), 녹색(G), 및 적색(R))의 발광층을 구분 형성하거나 개별 도포하는 구조를 SBS(Side By Side) 구조라고 부르는 경우가 있다. 또한 본 명세서 등에서, 백색

의 광을 방출할 수 있는 발광 디바이스를 백색 발광 디바이스라고 부르는 경우가 있다. 또한 백색 발광 디바이스는 착색층(예를 들어 컬러 필터)과 조합함으로써 풀 컬러 표시의 표시 장치로 할 수 있다.

[0065] 또한 발광 디바이스는 싱글 구조와 탠덤 구조로 크게 나눌 수 있다. 싱글 구조의 디바이스는 한 쌍의 전극 사이에 하나의 발광 유닛을 포함하고, 상기 발광 유닛은 하나 이상의 발광층을 포함하는 구성으로 하는 것이 바람직하다. 2개의 발광층을 사용하여 백색 발광을 얻는 경우, 2개의 발광층 각각의 발광색이 보색 관계가 되는 발광층을 선택하면 좋다. 예를 들어 제 1 발광층의 발광색과 제 2 발광층의 발광색을 보색 관계가 되도록 함으로써, 발광 디바이스 전체로서 백색 발광하는 구성을 얻을 수 있다. 또한 3개 이상의 발광층을 사용하여 백색 발광을 얻는 경우, 3개 이상의 발광층 각각의 발광색이 합쳐져 발광 디바이스 전체로서 백색 발광할 수 있는 구성으로 하면 좋다.

[0066] 탠덤 구조의 디바이스는 한 쌍의 전극 사이에 2개 이상의 발광 유닛을 포함하고, 각 발광 유닛은 하나 이상의 발광층을 포함하는 구성으로 하는 것이 바람직하다. 백색 발광을 얻기 위해서는 복수의 발광 유닛의 발광층으로부터의 광을 조합하여 백색 발광이 얻어지는 구성으로 하면 좋다. 또한 백색 발광이 얻어지는 구성에 대해서는, 싱글 구조의 구성과 마찬가지이다. 또한 탠덤 구조의 디바이스에서, 복수의 발광 유닛 사이에는 전하 발생층 등의 중간층이 제공되는 것이 바람직하다.

[0067] 또한 상술한 백색 발광 디바이스(싱글 구조 또는 탠덤 구조)와 SBS 구조의 발광 디바이스를 비교한 경우, SBS 구조의 발광 디바이스는 백색 발광 디바이스보다 소비 전력을 낮출 수 있다. 소비 전력을 낮게 하고자 하는 경우에는 SBS 구조의 발광 디바이스를 사용하면 적합하다. 한편 백색 발광 디바이스는 제조 공정이 SBS 구조의 발광 디바이스보다 간단하기 때문에 제조 비용을 절감하거나 제조 수율을 높일 수 있어 적합하다.

[0068] 본 명세서에서 "평행"이란 2개의 직선이 -10° 이상 10° 이하의 각도로 배치된 상태를 말한다. 따라서 -5° 이상 5° 이하의 경우도 포함된다. 또한 "실질적으로 평행" 또는 "대략 평행"이란 2개의 직선이 -30° 이상 30° 이하의 각도로 배치된 상태를 말한다. 또한 "수직"이란 2개의 직선이 80° 이상 100° 이하의 각도로 배치된 상태를 말한다. 따라서 85° 이상 95° 이하의 경우도 포함된다. 또한 "실질적으로 수직" 또는 "대략 수직"이란 2개의 직선이 60° 이상 120° 이하의 각도로 배치된 상태를 말한다.

[0069] 또한 본 명세서 등에서 각 실시형태에 기재된 구성은 다른 실시형태에 기재된 구성과 적절히 조합하여 본 발명의 일 형태로 할 수 있다. 또한 하나의 실시형태에 복수의 구성예가 기재되는 경우에는, 이들 구성예를 적절히 조합할 수 있다.

[0070] 또한 어떤 하나의 실시형태에서 설명하는 내용(일부 내용이어도 좋음)은, 그 실시형태에서 설명하는 다른 내용(일부 내용이어도 좋음)과, 하나 또는 복수의 다른 실시형태에서 설명하는 내용(일부 내용이어도 좋음) 중 적어도 하나의 내용에 대하여 적용, 조합, 또는 치환 등을 할 수 있다.

[0071] 또한 실시형태에서 설명하는 내용이란 각 실시형태에서 다양한 도면을 사용하여 설명하는 내용 또는 명세서에 기재되는 문장을 사용하여 설명하는 내용을 말한다.

[0072] 또한 어떤 하나의 실시형태에서 제시하는 도면(일부이어도 좋음)은 그 도면의 다른 부분, 그 실시형태에서 제시하는 다른 도면(일부이어도 좋음), 하나 또는 복수의 다른 실시형태에서 제시하는 도면(일부이어도 좋음) 중 적어도 하나의 도면과 조합함으로써 더 많은 도면을 구성할 수 있다.

[0073] 본 명세서에 기재되는 실시형태에 대하여 도면을 참조하여 설명한다. 다만 실시형태는 많은 상이한 형태로 실시할 수 있고, 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있다는 것은 통상의 기술자라면 용이하게 이해할 수 있다. 따라서 본 발명은 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 또한 실시형태의 발명의 구성에서 동일한 부분 또는 같은 기능을 가지는 부분에는 동일한 부호를 상이한 도면 사이에서 공통적으로 사용하고, 이의 반복적인 설명은 생략하는 경우가 있다. 또한 사시도 등에서는, 도면의 명확성을 기하기 위하여 일부의 구성 요소의 기재를 생략하는 경우가 있다.

[0074] 본 명세서 등에서 복수의 요소에 같은 부호를 사용하고, 이들을 특별히 구별할 필요가 있는 경우에는, 부호에 "_1", "[n]", "[m,n]" 등의 식별용 부호를 붙여서 기재하는 경우가 있다. 또한 도면 등에서 부호에 "_1", "[n]", "[m,n]" 등의 식별용 부호를 붙여서 기재하고, 본 명세서 등에서 이들을 구별할 필요가 없는 경우에는, 식별용 부호를 기재하지 않는 경우가 있다.

[0075] 또한 본 명세서의 도면에서 크기, 층의 두께, 또는 영역은 명료화를 위하여 과장되어 있는 경우가 있다. 따라서 그 스케일에 반드시 한정되는 것은 아니다. 또한 도면은 이상적인 예를 모식적으로 나타낸 것이고, 도면에

나타낸 형상 또는 값 등에 한정되지 않는다. 예를 들어, 노이즈 또는 타이밍의 어긋남으로 인한 신호, 전압, 또는 전류의 편차 등을 포함할 수 있다.

[0076] (실시형태 1)

[0077] 본 실시형태에서는, 본 발명의 일 형태의 반도체 장치인 증폭 회로에 대하여 설명한다.

[0078] <증폭 회로의 구성예 1>

[0079] 도 2의 (A)에 나타낸 회로(BSPR)는 증폭 회로의 일례이고, 회로(BB), 트랜지스터(MNb), 및 용량 소자(Ca)를 포함한다. 또한 회로(BSPR)는 예를 들어 입력 단자로서 기능하는 단자(Ti)와 출력 단자로서 기능하는 단자(To)를 포함한다. 또한 회로(BB)는 예를 들어 입력 단자로서 기능하는 단자(Bi)와 출력 단자로서 기능하는 단자(Bo)를 포함한다.

[0080] 트랜지스터(MNb)로서는 예를 들어 OS 트랜지스터를 적용하는 것이 바람직하다. 특히 OS 트랜지스터의 채널 형성 영역에 포함되는 금속 산화물로서는 예를 들어 인듐, 원소 M, 및 아연을 가지는 In-M-Zn 산화물(원소 M은 알루미늄, 갈륨, 이트륨, 주석, 구리, 바나듐, 베릴륨, 붕소, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 코발트, 마그네슘, 및 안티모니 중에서 선택된 1종류 또는 복수 종류) 등으로 하는 것이 바람직하다. 또한 상기 트랜지스터(MNb)로서는 채널 형성 영역에 실리콘을 포함하는 트랜지스터(이하 Si 트랜지스터라고 함)를 적용하여도 좋다. 또한 실리콘으로서는 예를 들어 단결정 실리콘, 비정질 실리콘(수소화 비정질 실리콘이라고 하는 경우가 있음), 미결정 실리콘, 또는 다결정 실리콘을 사용할 수 있다. 또한 OS 트랜지스터 및 Si 트랜지스터 이외의 트랜지스터로서는, 예를 들어 저마늄(Ge) 등이 채널 형성 영역에 포함되는 트랜지스터, 셀레늄화 아연(ZnSe), 황화 카드뮴(CdS), 비소화 갈륨(GaAs), 인화 인듐(InP), 질화 갈륨(GaN), 또는 실리콘 저마늄(SiGe)과 같은 화합물 반도체가 채널 형성 영역에 포함되는 트랜지스터, 카본 나노 튜브가 채널 형성 영역에 포함되는 트랜지스터, 또는 유기 반도체가 채널 형성 영역에 포함되는 트랜지스터를 사용할 수 있다.

[0081] 도 2의 (A)에 나타낸 트랜지스터(MNb)는 일례로서 채널의 위아래에 게이트를 포함하는 멀티 게이트 구조의 n채널형 트랜지스터이고, 트랜지스터(MNb)는 제 1 게이트와 제 2 게이트를 포함한다. 다만 본 명세서 등에서, 편의상 일례로서 제 1 게이트를 게이트(프런트 게이트라고 기재하는 경우가 있음)로 하고 제 2 게이트를 백 게이트로 하여 구별되도록 기재하는 경우가 있다. 또한 본 명세서 등에서, 제 1 게이트와 제 2 게이트는 서로 바꿀 수 있고, 그러므로 "게이트"라는 용어는 "백 게이트"라는 용어와 바꿔 기재할 수 있다. 이와 마찬가지로 "백 게이트"라는 용어는 "게이트"라는 용어와 바꿔 기재할 수 있다. 구체적인 예로서, "게이트는 제 1 배선에 전기적으로 접속되고, 백 게이트는 제 2 배선에 전기적으로 접속되어 있다"와 같은 접속 구성은, "백 게이트는 제 1 배선에 전기적으로 접속되고, 게이트는 제 2 배선에 전기적으로 접속되어 있다"와 같은 접속 구성으로 치환할 수 있다.

[0082] 또한 도 2의 (A)에서, 트랜지스터(MNb)는 백 게이트를 포함하지만, 상기 백 게이트의 접속 구성은 도시되지 않았다. 또한 상기 백 게이트의 전기적인 접속 대상은 설계의 단계에서 결정할 수 있다. 예를 들어 백 게이트를 포함한 트랜지스터에서, 그 트랜지스터의 온 전류를 높이기 위하여 게이트와 백 게이트를 전기적으로 접속하여도 좋다. 즉 예를 들어 트랜지스터(MNb)의 게이트와 백 게이트를 전기적으로 접속하여도 좋다. 또한 예를 들어 백 게이트를 포함하는 트랜지스터에서 그 트랜지스터의 문턱 전압을 변동시키거나 그 트랜지스터의 오프 전류를 낮게 하기 위하여, 그 트랜지스터의 백 게이트와 외부 회로를 전기적으로 접속하기 위한 배선을 제공하고 상기 외부 회로에 의하여 그 트랜지스터의 백 게이트에 전위를 공급하여도 좋다.

[0083] 또한 트랜지스터(MNb)는 이상적으로는 노멀리 오프이고, 트랜지스터(MNb)의 문턱 전압을 V_{th_MNb}로 한다. 또한 문턱 전압 V_{th_MNb}는 $V_{High}-V_{Low}>V_{th_MNb}$를 만족하는 전압으로 한다. 또한 V_{High}는 고레벨 전위이고, V_{Low}는 저레벨 전위이다.

[0084] 또한 본 명세서 등에서, 노멀리 오프란 게이트-소스 간 전압이 0V일 때 트랜지스터에 전류가 흐르지 않는 상태를 말한다. 또한 OS 트랜지스터에서의 노멀리 오프란 게이트-소스 간 전압이 0V일 때 트랜지스터를 흐르는 채널 폭 1μm당 전류가 실온에서 1×10^{-20}A 이하, 85℃에서 1×10^{-18}A 이하, 또는 125℃에서 1×10^{-16}A 이하인 것을 말한다. 한편 노멀리 온이란 게이트-소스 간 전압이 0V일 때도 채널이 존재하여 트랜지스터에 전류가 흐르는 상태를 말한다.

[0085] 또한 본 발명의 일 형태의 반도체 장치는 상기 반도체 장치에 포함되는 트랜지스터의 구조에 한정하지 않는다.

예를 들어 도 2의 (A)에 나타낸 트랜지스터(MNb)는 백 게이트를 포함하지 않는 구성, 즉 싱글 게이트 구조의 트랜지스터로 하여도 좋다(도 2의 (B) 참조). 또한 일부의 트랜지스터가 백 게이트를 포함하고 다른 일부의 트랜지스터가 백 게이트를 포함하지 않는 구성이어도 좋다.

[0086] 또한 도 2의 (A)에서 트랜지스터(MNb)는 n채널형 트랜지스터이지만, 상황에 따라 트랜지스터(MNb)를 p채널형 트랜지스터로 하여도 좋다.

[0087] 또한 트랜지스터에 관한 앞의 기재 내용은 도 2의 (A)뿐만 아니라 명세서의 다른 부분에 기재된 트랜지스터 또는 다른 도면에 도시된 트랜지스터에도 마찬가지로 적용된다.

[0088] 회로(BB)의 단자(Bi)는 단자(Ti)에 전기적으로 접속되고, 회로(BB)의 단자(Bo)는 트랜지스터(MNb)의 게이트와 용량 소자(Ca)의 제 1 단자에 전기적으로 접속되어 있다. 또한 트랜지스터(MNb)의 제 1 단자는 배선(VAL1)에 전기적으로 접속되고, 트랜지스터(MNb)의 제 2 단자는 용량 소자(Ca)의 제 2 단자와 단자(To)에 전기적으로 접속되어 있다.

[0089] 또한 본 실시형태에서는 회로(BB)의 단자(Bo), 트랜지스터(MNb)의 게이트, 및 용량 소자(Ca)의 제 1 단자의 전기적인 접속 부분을 노드(N)라고 한다.

[0090] 회로(BB)는 예를 들어 노드(N)를 플로팅 상태로 하는 기능을 가진다. 그러므로 회로(BB)는 예를 들어 스위칭 소자를 포함하는 구성으로 할 수 있다. 또한 회로(BB)는 단자(Bi)에 입력된 전위에 대응하는 전위를 단자(Bo)에 출력하는 기능을 가진다. 예를 들어 회로(BB)는 단자(Bi)에 고레벨 전위 V_{High}가 공급되었을 때 단자(Bo)에 전위 V_{Mid}를 출력하는 구성을 가질 수 있다. 또한 V_{Mid}는 고레벨 전위 V_{High}보다 낮고 저레벨 전위 V_{Low}보다 높은 전위로 한다. 또한 V_{Mid}는 $V_{Mid}-V_{Low}>V_{th_MNb}$를 만족하는 전압으로 한다.

[0091] 또한 도 2의 (A)의 배선(VAL1)은 예를 들어 고정 전위 또는 가변 전위를 공급하는 배선으로서 기능한다. 또한 고정 전위로서는, 예를 들어 고레벨 전위, 저레벨 전위, 접지 전위, 또는 음의 전위가 있다. 또한 가변 전위로서는 펄스 신호(펄스 전압이라고 하는 경우가 있음)를 들 수 있다. 또한 펄스 신호의 일례로서 클록 신호를 들 수 있다.

[0092] 또한 도 2의 (A)에서는, 단자(Ti)의 전위를 V_{in}이라고 기재하고, 단자(To)의 전위를 V_{out}이라고 기재하였다.

[0093] 여기서 도 2의 (A)의 회로(BSPR)의 노드(N)의 전위는 고레벨 전위 V_{High}보다 낮은 전위 V_{Mid}인 것으로 한다. 또한 이때 노드(N)는 플로팅 상태가 되지 않은 것으로 한다. 또한 배선(VAL1)으로부터 트랜지스터(MNb)의 제 1 단자에 저레벨 전위 V_{Low}가 공급되는 것으로 한다.

[0094] 이때 트랜지스터(MNb)의 게이트-소스 간 전압(이 타이밍에서는 게이트-제 1 단자 간 전압)은 $V_{Mid}-V_{Low}$가 된다. 또한 $V_{Mid}-V_{Low}>V_{th_MNb}$이기 때문에 트랜지스터(MNb)는 온 상태가 된다. 그러므로 배선(VAL1)은 트랜지스터(MNb)를 통하여 회로(BSPR)의 단자(To)에 저레벨 전위 V_{Low}를 출력한다. 즉 $V_{out}=V_{Low}$가 된다.

[0095] 다음으로 배선(VAL1)으로부터 트랜지스터(MNb)의 제 1 단자에 공급하는 전위가 저레벨 전위 V_{Low}로부터 고레벨 전위 V_{High}로 변화된 것으로 한다. 또한 회로(BB)에 의하여 노드(N)가 플로팅 상태가 된 것으로 한다. 이때 트랜지스터(MNb)의 게이트-소스 간 전압(이 타이밍에서는 게이트-제 2 단자 간 전압)은 $V_{Mid}-V_{Low}$이기 때문에, 트랜지스터(MNb)는 온 상태가 된다. 그러므로 배선(VAL1)으로부터 트랜지스터(MNb)를 통하여 회로(BSPR)의 단자(To)에 전류가 흘러 단자(To)의 전위가 V_{Low}로부터 상승한다. 또한 노드(N)는 플로팅 상태이기 때문에, 용량 소자(Ca)의 용량 결합에 의하여 단자(To)의 전위가 상승됨에 따라 노드(N)의 전위도 V_{Mid}로부터 상승한다. 이에 의하여 트랜지스터(MNb)의 게이트-소스 간 전압은 용량 소자(Ca)에 의하여 유지되기 때문에, 단자(To)의 전위는 V_{High}까지 상승한다. 또한 노드(N)의 전위는 이상적으로는 $V_{Mid}+V_{High}-V_{Low}$가 된다.

[0096] 이와 같이 회로(BSPR)에서 노드(N)에 고레벨 전위보다 낮은 V_{Mid}가 입력되고, 배선(VAL1)에 의하여 트랜지스터(MNb)의 제 1 단자에 고레벨 전위 V_{High}가 공급될 때, 단자(To)로부터는 전위로서 V_{High}가 출력된다. 본 명세서 등에서는, 용량 결합을 이용하여, 트랜지스터의 제 1 단자 또는 제 2 단자의 전위 상승에 따라 게이트 전위를 높이는 것을 부트스트랩이라고 한다.

[0097] 도 2의 (A)의 회로(BSPR)에서, 배선(VAL1)에 의하여 트랜지스터(MNb)의 제 1 단자에 고레벨 전위 V_{High}가 공급되고, 노드(N)에 고레벨 전위 V_{High}가 공급되었을 때, 부트스트랩에 의하여 노드(N)의 전위가 $V_{Mid}+V_{High}-V_{Low}$까지 상승하여, 회로(BSPR)의 단자(To)에 출력되는 전위는 V_{High}가 된다.

[0098] 또한 트랜지스터(MNb)의 게이트와 채널 형성 영역(상황에 따라서는 제 1 단자 및 제 2 단자 중 한쪽 또는 양쪽을 포함하는 경우가 있음) 사이의 게이트 용량이 큰 경우, 도 2의 (C)에 나타낸 바와 같이, 회로(BSPR)에 용량 소자(Ca)를 제공하지 않는 구성으로 할 수 있다. 이 경우, 회로(BSPR)의 회로 면적을 축소할 수 있다.

[0099] 그런데 회로(BSPR)의 단자(Ti)의 전위가 V_{High}이고, 단자(Ti)가 플로팅 상태일 때(전위를 공급하는 배선과 비도통 상태일 때), 단자(Ti)의 전위는 다양한 요인으로 인하여 변화되는 경우가 있다. 예를 들어 단자(Ti)의 전위를 유지하기 위한 트랜지스터에서, 소스와 드레인 사이를 흐르는 오프 전류 혹은 게이트와 소스 사이 또는 게이트와 드레인 사이를 흐르는 누설 전류가 커진 경우, 단자(Ti)의 전위는 변동된다. 또한 단자(Ti)에 노이즈 신호가 입력되었을 때도 단자(Ti)의 전위는 변동된다. 즉 회로(BB)의 단자(Bi)에 공급되는 전위가 변동되기 때문에 노드(N)의 전위에도 영향을 미치고, 결과적으로 회로(BSPR)의 단자(To)로부터 출력되는 전위가 불안정하게 되는 경우가 있다.

[0100] 그러므로 상기 과제를 해결한 본 발명의 일 형태의 반도체 장치인 증폭 회로를 도 1의 (A)에 나타내었다. 도 1의 (A)에 나타낸 회로(BSFB)는 도 2의 (A)의 회로(BSPR)와, 회로(FB)를 포함하는 회로이다.

[0101] 회로(FB)는 단자(Fi) 및 단자(Fo)를 포함한다.

[0102] 회로(BSPR)의 단자(Ti)와 회로(FB)의 단자(Fo)는 서로 전기적으로 접속되어 있다. 또한 회로(BSPR)의 단자(To)와 회로(FB)의 단자(Fi)는 서로 전기적으로 접속되어 있다. 또한 도 1의 (A)에서는, 회로(BSPR)의 단자(Ti)와 회로(FB)의 단자(Fo)를 통틀어 하나의 단자(TMi)라고 나타내고, 회로(BSPR)의 단자(To)와 회로(FB)의 단자(Fi)를 통틀어 하나의 단자(TMo)라고 나타내었다.

[0103] 회로(FB)는 일례로서 회로(BSPR)의 단자(To)로부터 출력된 전위를 취득하고 회로(BSPR)의 단자(Ti)에 고정 전위를 공급하는 기능을 가진다. 즉 회로(FB)는 회로(BSPR)의 단자(To)로부터 출력된 전위에 기초하여 회로(BSPR)에 피드백을 수행하는 회로라고 할 수 있다. 구체적으로는 예를 들어 회로(FB)는 단자(Fi)에 고레벨 전위 V_{High}가 입력되었을 때 단자(Fo)에 고정 전위(예를 들어 고레벨 전위 V_{High})를 출력하는 구성을 가져도 좋다.

[0104] 회로(FB)가 상기 구성을 가짐으로써, 예를 들어 회로(BSPR)의 단자(To)로부터 고레벨 전위 V_{High}가 출력되었을 때 회로(BSPR)의 단자(Ti)에는 회로(FB)의 단자(Fo)로부터 출력되는 고정 전위가 공급된다. 그러므로 예를 들어 단자(Ti)(단자(TMi))의 전위를 유지하기 위한 트랜지스터에서, 소스와 드레인 사이를 흐르는 오프 전류 혹은 게이트와 소스 사이 또는 게이트와 드레인 사이를 흐르는 누설 전류가 커진 경우에도, 단자(Ti)(단자(TMi))의 전위는 회로(FB)가 공급하는 고정 전위인 채 유지된다. 또한 단자(Ti)(단자(TMi))에 노이즈 신호가 입력되었을 때도, 단자(Ti)(단자(TMi))의 전위는 회로(FB)가 공급하는 고정 전위인 채 유지된다. 그러므로 회로(BSPR)의 단자(To)의 전위가 상술한 바와 같은 요인으로 인하여 변화되지 않기 때문에 노드(N)의 전위에도 영향을 미치기 어렵다. 따라서 회로(BSPR)의 단자(To)로부터 출력되는 전위가 안정된다.

[0105] 또한 본 발명의 일 형태의 반도체 장치는 도 1의 (A)에 나타낸 회로(BSFB)에 한정되지 않는다. 본 발명의 일 형태의 반도체 장치는, 예를 들어 도 1의 (B)의 회로(BSFBA)와 같이, 도 1의 (A)의 회로(BSFB)에 트랜지스터(MNg)를 제공한 구성을 가져도 좋다.

[0106] 트랜지스터(MNg)로서는, 예를 들어 트랜지스터(MNb)에 적용할 수 있는 트랜지스터를 사용할 수 있다.

[0107] 또한 도 1의 (B)의 회로(BSFBA)는 입력 단자로서 기능하는 단자(TMi1) 및 단자(TMi2)와, 출력 단자로서 기능하는 단자(TMo)를 포함한다. 또한 단자(TMi1)는 도 1의 (A)에 나타낸 단자(TMi)에 상당한다. 또한 도 1의 (B)에서는 단자(TMi1)의 전위를 V_{in1}이라고 기재하고, 단자(TMi2)의 전위를 V_{in2}라고 기재하였다.

[0108] 트랜지스터(MNg)의 제 1 단자는 트랜지스터(MNb)의 제 2 단자, 용량 소자(Ca)의 제 2 단자, 및 단자(TMo)에 전기적으로 접속되어 있다. 또한 트랜지스터(MNg)의 제 2 단자는 배선(VAL4)에 전기적으로 접속되어 있다. 또한 트랜지스터(MNg)의 게이트는 단자(TMi2)에 전기적으로 접속되어 있다.

[0109] 배선(VAL4)은 예를 들어 고정 전위를 공급하는 배선으로서 기능한다. 또한 고정 전위로서는 예를 들어 저레벨

전위가 있다. 또한 다른 고정 전위로서는 접지 전위 또는 음의 전위를 들 수 있다. 또한 상황에 따라서는 배선(VAL4)은 가변 전위를 공급하는 배선으로서 기능하여도 좋다.

[0110] 회로(BSFBA)는 예를 들어 배선(VAL4)이 저레벨 전위 V_{Low}를 출력하는 배선일 때 단자(TMo)로부터 저레벨 전위 V_{Low}를 출력할 수 있다.

[0111] 여기서 도 1의 (B)의 회로(BSFBA)의 동작예에 대하여 설명한다. 예를 들어 배선(VAL1)으로부터 트랜지스터(MNb)의 제 1 단자에 고레벨 전위 V_{High}가 공급되는 것으로 한다. 또한 배선(VAL4)으로부터 트랜지스터(MNg)의 제 2 단자에 저레벨 전위 V_{Low}가 공급되는 것으로 한다.

[0112] 회로(BSFBA)의 단자(TMo)로부터 고레벨 전위 V_{High}를 출력시키는 경우, 먼저 단자(TMi2)에 저레벨 전위 V_{Low}를 입력하여 트랜지스터(MNg)를 오프 상태로 한다. 그 후 단자(TMi1)에 고레벨 전위 V_{High}를 입력함으로써, 단자(TMo)로부터 고레벨 전위 V_{High}가 출력된다. 또한 단자(TMo)로부터 고레벨 전위 V_{High}가 출력되는 동작에 대해서는 도 1의 (A)의 회로(BSFB)의 동작예를 참조할 수 있다.

[0113] 그 후 회로(BSFBA)의 단자(TMo)로부터 저레벨 전위 V_{Low}를 출력시키는 경우, 단자(TMi2)에 고레벨 전위 V_{High}를 입력하여 트랜지스터(MNg)를 온 상태로 하면 좋다. 이로써 단자(TMo)와 배선(VAL4) 사이가 도통 상태가 되기 때문에, 단자(TMo)에 축적된 전하가 배선(VAL4)에 흐르고, 결과적으로 단자(TMo)의 전위가 저레벨 전위 V_{Low}가 된다. 또한 이때 단자(TMi1)에 저레벨 전위 V_{Low}를 공급하여 트랜지스터(MNb)의 게이트의 전위를 저레벨 전위 V_{Low}로 함으로써, 트랜지스터(MNb)가 오프 상태가 되어 배선(VAL1)과 단자(TMo) 사이가 비도통 상태가 되기 때문에, 단자(TMo)의 전위를 저레벨 전위 V_{Low}로 가파르게 하강시킬 수 있다.

[0114] 또한 본 발명의 일 형태의 반도체 장치는 예를 들어 도 1의 (C)에 나타낸 회로(BSFBB)와 같이 회로(BSPR)에 용량 소자(Ca)가 제공되지 않은 구성을 가져도 좋다. 구체적으로는 도 1의 (C)의 회로(BSFBB)는 도 1의 (A)의 회로(BSPR)를 도 2의 (C)의 회로(BSPR)로 치환한 것이다. 도 2의 (C)를 사용하여 설명한 바와 같이, 트랜지스터(MNb)의 게이트 용량이 큰 경우에는 도 1의 (A)의 회로(BSPR)에 용량 소자(Ca)를 제공하지 않아도 되고, 이에 의하여 도 1의 (A)의 회로(BSFB)의 회로 면적을 축소할 수 있다.

[0115] <<회로(FB)의 구성예 1>>

[0116] 다음으로, 도 1의 (A)의 회로(BSFB) 또는 도 1의 (B)의 회로(BSFBA)의 구성예에 대하여 설명한다.

[0117] 도 3의 (A)에 나타낸 회로(BSFB1)는 회로(FB)에 트랜지스터(MNFa)가 포함되어 있는 구성을 가진다. 트랜지스터(MNFa)로서는, 예를 들어 트랜지스터(MNb)에 적용할 수 있는 트랜지스터를 사용할 수 있다. 또한 도 3의 (A)에는, 트랜지스터(MNFa)로서 채널 위아래에 게이트를 포함하는 멀티 게이트 구조의 n채널형 트랜지스터를 사용하는 예를 나타내었다.

[0118] 트랜지스터(MNFa)의 제 1 단자는 단자(Fo)에 전기적으로 접속되고, 트랜지스터(MNFa)의 제 2 단자는 배선(VAL41)에 전기적으로 접속되어 있다. 또한 트랜지스터(MNFa)의 게이트는 단자(Fi)에 전기적으로 접속되어 있다.

[0119] 배선(VAL41)은 예를 들어 배선(VAL1)과 마찬가지로 고정 전위 또는 가변 전위를 공급하는 배선으로서 기능한다. 또한 고정 전위로서는, 예를 들어 고레벨 전위, 저레벨 전위, 접지 전위, 또는 음의 전위가 있다. 또한 가변 전위로서는 펄스 신호(펄스 전압이라고 하는 경우가 있음)를 들 수 있다.

[0120] 또한 배선(VAL41)은 배선(VAL1)에 전기적으로 접속되어 있어도 좋다. 환언하면 배선(VAL41)을 배선(VAL1)과 동일한 배선으로 하여도 좋다.

[0121] 여기서 도 3의 (A)의 회로(BSFB1)의 동작예에 대하여 설명한다.

[0122] 회로(BSPR)에 따른 동작에 대해서는 도 2의 (A)의 회로(BSPR)의 동작예를 참조할 수 있다. 예를 들어 회로(BSFB1)의 단자(TMi)에 고레벨 전위 V_{High}가 입력되었을 때(즉 $V_{in}=V_{High}$일 때), 회로(BB)는 단자(Bo)에 전위 V_{Mid}를 출력한다. 이에 의하여, 트랜지스터(MNb)의 게이트(용량 소자(Ca)의 제 1 단자)에 V_{Mid}가 공급된다. 또한 배선(VAL1)으로부터 트랜지스터(MNb)의 제 1 단자에 저레벨 전위 V_{Low}가 공급되는 것으로 한다. 또한 배선

(VAL41)으로부터 트랜지스터(MNFa)의 제 2 단자에 고레벨 전위 V_{High}가 공급되는 것으로 한다.

[0123] 이때 트랜지스터(MNb)의 게이트-소스 간 전압(이 타이밍에서는 게이트-제 1 단자 간 전압)은 $V_{Mid}-V_{Low}$가 되기 때문에, 트랜지스터(MNb)는 온 상태가 된다. 그러므로 배선(VAL1)은 트랜지스터(MNb)를 통하여 회로(BSPR)의 단자(To)에 저레벨 전위 V_{Low}를 출력한다. 즉 $V_{out}=V_{Low}$가 된다.

[0124] 그러므로 회로(FB)의 단자(Fi)에는 단자(To)의 전위와 같은 V_{Low}가 입력된다. 이에 의하여, 트랜지스터(MNFa)의 게이트에 저레벨 전위 V_{Low}가 공급된다.

[0125] 또한 트랜지스터(MNFa)는 노멀리 오프이고, 트랜지스터(MNFa)의 문턱 전압을 V_{th_MNFa}로 한다. 또한 문턱 전압 V_{th_MNFa}는 $V_{High}-V_{Low}>V_{th_MNFa}$를 만족하는 전압으로 한다.

[0126] 이때 트랜지스터(MNFa)의 게이트-소스 간 전압(여기서는 게이트-제 1 단자 간 전압으로 함)은 $V_{Low}-V_{High}<V_{th_MNFa}$이기 때문에, 트랜지스터(MNFa)는 오프 상태가 된다.

[0127] 다음으로 배선(VAL1)으로부터 트랜지스터(MNb)의 제 1 단자에 공급하는 전위가 저레벨 전위 V_{Low}로부터 고레벨 전위 V_{High}로 변화된 것으로 한다. 또한 회로(BB)에 의하여 노드(N)가 플로팅 상태가 된 것으로 한다. 이때 트랜지스터(MNb)의 게이트-소스 간 전압(이 타이밍에서는 게이트-제 2 단자 간 전압)은 $V_{Mid}-V_{Low}$가 되기 때문에, 트랜지스터(MNb)는 온 상태가 된다. 그러므로 배선(VAL1)으로부터 트랜지스터(MNb)를 통하여 회로(BSPR)의 단자(To)에 전류가 흘러 단자(To)의 전위가 V_{Low}로부터 상승한다. 또한 노드(N)는 플로팅 상태이기 때문에, 용량 소자(Ca)의 용량 결합에 의하여 단자(To)의 전위가 상승됨에 따라 노드(N)의 전위도 V_{Mid}로부터 상승한다. 이에 의하여 트랜지스터(MNb)의 게이트-소스 간 전압은 용량 소자(Ca)에 의하여 유지되기 때문에, 단자(To)의 전위는 V_{High}까지 상승한다. 또한 노드(N)의 전위는 이상적으로는 $V_{Mid}+V_{High}-V_{Low}$가 된다.

[0128] 이때 회로(FB)의 단자(Fi)에는 단자(To)의 전위와 같은 V_{High}가 입력된다. 이에 의하여, 트랜지스터(MNFa)의 게이트에 고레벨 전위 V_{High}가 공급된다.

[0129] 이때 트랜지스터(MNFa)의 게이트-소스간 전압(여기서는 게이트-제 1 단자 간 전압으로 함)은 일례로서 $V_{High}-V_{High}=0$이 된다. 트랜지스터(MNFa)는 노멀리 오프이기 때문에 트랜지스터(MNFa)는 오프 상태이다.

[0130] 그런데 이 상태에서 회로(BSPR)의 단자(Ti)(트랜지스터(MNFa)의 제 1 단자)의 전위가 고레벨 전위 V_{High}로부터 저하되어, 트랜지스터(MNFa)의 게이트-제 1 단자 간 전압이 문턱 전압보다 높아졌을 때, 트랜지스터(MNFa)는 온 상태가 된다. 이때, 회로(BSPR)의 단자(Ti)에는 배선(VAL41)으로부터의 전하가 축적되어, 회로(BSPR)의 단자(Ti)의 전위가 상승한다. 구체적으로는, 트랜지스터(MNFa)는 트랜지스터(MNFa)의 게이트-소스 간 전압이 V_{th_MNFa}가 되었을 때 오프 상태가 되기 때문에, 이때의 회로(BSPR)의 단자(Ti)(트랜지스터(MNFa)의 제 1 단자)의 전위는 $V_{High}-V_{th_MNFa}$가 된다.

[0131] 상술한 바와 같이, 회로(BSFB1)는 단자(TMo)로부터 고레벨 전위 V_{High}가 출력되었을 때, 회로(BSPR)의 단자(Ti)의 전위가 낮아진 경우에 회로(FB)가 단자(Ti)에 전위 $V_{High}-V_{th_MNFa}$를 공급할 수 있다. 이에 의하여, 단자(Ti)의 전위는 거의 $V_{High}-V_{th_MNFa}$인 채 유지되기 때문에 회로(BSPR)의 단자(To)로부터 출력되는 전위가 안정된다.

[0132] 또한 본 발명의 일 형태의 반도체 장치는 도 3의 (A)에 나타낸 회로(BSFB1)에 한정되지 않는다. 본 발명의 일 형태의 반도체 장치는, 예를 들어 도 3의 (B)에 나타낸 회로(BSFB1A)와 같이, 트랜지스터(MNFa)로서 싱글 게이트 구조의 트랜지스터를 사용한 구성을 가져도 좋다. 즉 트랜지스터(MNFa)는 백 게이트를 포함하지 않는 트랜지스터로 하여도 좋다.

[0133] 또한 본 발명의 일 형태의 반도체 장치는 예를 들어 도 3의 (C)에 나타낸 회로(BSFB1B)와 같이, 도 3의 (A)의 회로(BSFB1)에 트랜지스터(MNg)를 제공한 구성을 가져도 좋다. 구체적으로는, 도 3의 (C)의 회로(BSFB1B)는 도 1의 (B)의 회로(BSFBA)에서의 회로(FB)에 도 3의 (A)에 나타낸 회로(FB)를 적용한 구성을 가진다. 회로(BSFB1B)는 도 1의 (B)의 회로(BSFBA)와 마찬가지로 단자(TMo)로부터 고레벨 전위 V_{High} 또는 저레벨 전위 V_{Low}를

출력할 수 있는 증폭 회로이다.

[0134] <<회로(FB)의 구성예 2>>

[0135] 도 4의 (A)에 나타낸 회로(BSFB2)는 도 3의 (A)의 회로(BSFB1)의 변경예이고, 트랜지스터(MNFa)의 백 게이트가 트랜지스터(MNFa)의 게이트에 전기적으로 접속되어 있는 점에서 회로(BSFB1)와 다르다.

[0136] 상술한 바와 같이, 트랜지스터의 게이트와 백 게이트를 전기적으로 접속함으로써, 상기 트랜지스터의 온 전류를 크게 할 수 있다. 즉 회로(BSFB2)의 트랜지스터(MNFa)에서 게이트와 백 게이트를 전기적으로 접속함으로써, 트랜지스터(MNFa)가 온 상태일 때 흐르는 온 전류를 크게 할 수 있다. 이에 의하여, 단자(TMi)의 전위가 회로(FB)의 단자(Fo)로부터 출력되는 고정 전위(예를 들어 $V_{High}-V_{th_MNFa}$)로 변화되는 속도를 빠르게 할 수 있다.

[0137] 또한 도 4의 (B)에 나타낸 회로(BSFB3)는 도 3의 (A)의 회로(BSFB1)의 변경예이고, 트랜지스터(MNFa)의 백 게이트가 배선(VAL51)에 전기적으로 접속되어 있는 점에서 회로(BSFB1)와 다르다.

[0138] 배선(VAL51)은 예를 들어 배선(VAL4)과 마찬가지로 고정 전위를 공급하는 배선으로서 기능한다. 또한 고정 전위로서는 예를 들어 저레벨 전위가 있다. 또한 다른 고정 전위로서는 접지 전위 또는 음의 전위를 들 수 있다. 또한 상황에 따라서는 배선(VAL51)은 가변 전위를 공급하는 배선으로서 기능하여도 좋다.

[0139] 상술한 바와 같이, 트랜지스터(MNFa)의 백 게이트에 예를 들어 배선(VAL4)으로부터 출력되는 저레벨 전위가 입력되었을 때 트랜지스터(MNFa)의 문턱 전압은 높아진다. 이에 의하여, 트랜지스터(MNFa)를 노멀리 오프로 할 수 있으므로 트랜지스터(MNFa)의 소스와 드레인 사이를 흐르는 오프 전류를 낮게 할 수 있다.

[0140] 또한 도 4의 (C)에 나타낸 회로(BSFB4)는 도 3의 (A)의 회로(BSFB1)의 변경예이고, 트랜지스터(MNFa)의 백 게이트가 단자(TMi), 단자(Fo), 및 단자(Ti)에 전기적으로 접속되어 있는 점에서 회로(BSFB1)와 다르다.

[0141] 회로(BSFB4)에서의 트랜지스터(MNFa)는 단자(TMi)에 저레벨 전위 V_{Low}가 입력되었을 때, 트랜지스터(MNFa)의 백 게이트에 저레벨 전위 V_{Low}가 입력되기 때문에, 트랜지스터(MNFa)의 문턱 전압이 높아진다. 또한 이때 단자(TMo)로부터 저레벨 전위 V_{Low}가 출력된 경우, 트랜지스터(MNFa)의 게이트에는 저레벨 전위 V_{Low}가 입력되기 때문에, 트랜지스터(MNFa)는 오프 상태가 되어, 이때 트랜지스터(MNFa)의 소스와 드레인 사이를 흐르는 오프 전류의 양을 작게 할 수 있다.

[0142] 또한 회로(BSFB4)에서의 트랜지스터(MNFa)는 단자(TMi)에 고레벨 전위 V_{High}가 입력되었을 때, 트랜지스터(MNFa)의 백 게이트에 고레벨 전위 V_{High}가 입력되기 때문에, 트랜지스터(MNFa)의 문턱 전압이 낮아진다. 또한 이때 회로(BSPR)의 동작에 의하여 단자(TMo)에 고레벨 전위 V_{High}가 출력된 경우, 트랜지스터(MNFa)의 게이트에는 고레벨 전위 V_{High}가 입력되기 때문에 트랜지스터(MNFa)는 온 상태가 된다. 이때, 트랜지스터(MNFa)의 백 게이트에는 고레벨 전위 V_{High}가 입력되기 때문에, 트랜지스터(MNFa)의 소스와 드레인 사이를 흐르는 온 전류는 증가한다. 이에 의하여, 단자(TMi)의 전위가 회로(FB)의 단자(Fo)로부터 출력되는 고정 전위(예를 들어 $V_{High}-V_{th_MNFa}$)로 변화되는 속도를 빠르게 할 수 있다.

[0143] <<회로(FB)의 구성예 3>>

[0144] 도 4의 (D)에 나타낸 회로(BSFB5)는 도 3의 (A)의 회로(BSFB1)의 변경예이고, 트랜지스터(MNFa)의 제 2 단자가 배선(VAL41)이 아니라 트랜지스터(MNFa)의 게이트에 전기적으로 접속되어 있는 점에서 회로(BSFB1)와 다르다. 즉 회로(BSFB5)에서의 트랜지스터(MNFa)는 다이오드 접속된 구성을 가진다.

[0145] 트랜지스터(MNFa)의 게이트에 고레벨 전위 V_{High}가 입력된 경우(회로(BSPR)의 단자(To)로부터 고레벨 전위 V_{High}가 출력된 경우), 트랜지스터(MNFa)의 제 1 단자의 전위가 $V_{High}-V_{th_MNFa}$보다 낮을 때 트랜지스터(MNFa)는 온 상태가 된다. 이때, 단자(To)로부터 출력되는 전류는 회로(FB)에서의 트랜지스터(MNFa)의 소스와 드레인 사이를 통하여 단자(TMi)에 흐른다. 또한 단자(TMi)에 전류가 흘러, 트랜지스터(MNFa)의 제 1 단자의 전위가 $V_{High}-V_{th_MNFa}$가 되었을 때 트랜지스터(MNFa)는 오프 상태가 된다.

[0146] 회로(BSFB5)를 사용한 경우에도, 회로(BSFB)와 마찬가지로, 회로(BSPR)의 단자(To)로부터 출력되는 전위를 피드백하여 회로(BSPR)의 단자(Ti)에 고정 전위를 공급할 수 있다.

[0147] <<회로(FB)의 구성예 4>>

[0148] 도 5에 나타낸 회로(BSFB6)는 도 3의 (A)의 회로(BSFB1)의 변경예이고, 회로(FB)에 회로(BUF)를 제공한 점에서 회로(BSFB1)와 다르다. 또한 회로(BSFB6)의 단자(Fi)와 트랜지스터(MNFa)의 게이트가 서로 직접 전기적으로 접속되지 않고, 회로(BSFB6)의 단자(Fi)가 후술하는 단자(BFi)에 직접 전기적으로 접속되고, 트랜지스터(MNFa)의 게이트가 후술하는 단자(BFo)에 직접 전기적으로 접속되어 있는 점에서도 회로(BSFB1)와 다르다.

[0149] 회로(BUF)는 단자(BFi) 및 단자(BFo)를 포함한다.

[0150] 회로(BUF)는 일례로서 단자(BFi)에 입력한 전위를 증폭하고, 증폭한 전위를 단자(BFo)에 출력하는 기능을 가진다. 특히 여기서는 회로(BUF)는 버퍼 회로로서 기능하는 것으로 한다.

[0151] 회로(BSFB6)에서, 회로(BUF)를 버퍼 회로로 함으로써, 예를 들어 단자(TMo)로부터 출력되는 전위가 노이즈 신호 등에 의하여 약간 변동되어도 트랜지스터(MNFa)의 게이트에는 안정된 고정 전위를 공급할 수 있다.

[0152] 도 5에 나타낸 회로(BSFB6)의 회로(BUF)의 구성예를 도 6의 (A)에 나타내었다. 또한 도 6의 (A)에는, 전기적인 접속 구성을 설명하기 위하여 회로(BSPR), 단자(TMi), 및 단자(TMo)도 나타내었다.

[0153] 도 6의 (A)에 나타낸 회로(BSFB6A)에서 회로(BUF)는 논리 회로(INV1) 및 논리 회로(INV2)를 포함한다.

[0154] 논리 회로(INV1)의 입력 단자는 단자(BFi)에 전기적으로 접속되고, 논리 회로(INV1)의 출력 단자는 논리 회로(INV2)의 입력 단자에 전기적으로 접속되고, 논리 회로(INV2)의 출력 단자는 단자(BFo)에 전기적으로 접속되어 있다.

[0155] 논리 회로(INV1) 및 논리 회로(INV2) 각각은 입력 단자에 입력된 신호에 대한 반전 신호를 생성하고, 이 반전 신호를 출력하는 기능을 가진다. 논리 회로(INV1) 및 논리 회로(INV2)로서는 예를 들어 인버터 회로를 적용할 수 있다. 또한 인버터 회로 이외에는, 예를 들어 NAND 회로, NOR 회로, XOR 회로, 또는 이들을 조합한 논리 회로를 적용할 수 있다.

[0156] 도 6의 (A)에 나타낸 회로(BSFB6A)의 회로(BUF)에 포함되는 논리 회로(INV1) 및 논리 회로(INV2)의 구성예를 도 6의 (B)에 나타내었다.

[0157] 도 6의 (B)에 나타낸 회로(BSFB6B)에서 논리 회로(INV1) 및 논리 회로(INV2) 각각은 트랜지스터(M1), 트랜지스터(M2), 트랜지스터(M3), 및 트랜지스터(M4)를 포함한다.

[0158] 트랜지스터(M1) 내지 트랜지스터(M4)의 각각으로서는, 예를 들어 트랜지스터(MNb)에 적용할 수 있는 트랜지스터를 사용할 수 있다.

[0159] 논리 회로(INV1)에서, 트랜지스터(M1)의 게이트 및 트랜지스터(M3)의 게이트는 각각 논리 회로(INV1)의 입력 단자(회로(BUF)의 단자(BFi))에 전기적으로 접속되어 있다. 또한 트랜지스터(M1)의 제 1 단자는 트랜지스터(M2)의 제 1 단자 및 트랜지스터(M4)의 게이트에 전기적으로 접속되어 있다. 또한 트랜지스터(M1)의 제 2 단자는 배선(VAL52)에 전기적으로 접속되어 있다. 또한 트랜지스터(M2)의 제 2 단자는 트랜지스터(M2)의 게이트 및 배선(VAL42)에 전기적으로 접속되어 있다. 또한 트랜지스터(M3)의 제 1 단자는 트랜지스터(M4)의 제 1 단자 및 논리 회로(INV1)의 출력 단자에 전기적으로 접속되어 있다. 또한 트랜지스터(M3)의 제 2 단자는 배선(VAL52)에 전기적으로 접속되어 있다. 또한 트랜지스터(M4)의 제 2 단자는 배선(VAL42)에 전기적으로 접속되어 있다.

[0160] 논리 회로(INV2)에서, 트랜지스터(M1)의 게이트 및 트랜지스터(M3)의 게이트는 각각 논리 회로(INV2)의 입력 단자(논리 회로(INV1)의 출력 단자)에 전기적으로 접속되어 있다. 또한 트랜지스터(M1)의 제 1 단자는 트랜지스터(M2)의 제 1 단자 및 트랜지스터(M4)의 게이트에 전기적으로 접속되어 있다. 또한 트랜지스터(M1)의 제 2 단자는 배선(VAL52)에 전기적으로 접속되어 있다. 또한 트랜지스터(M2)의 제 2 단자는 트랜지스터(M2)의 게이트 및 배선(VAL42)에 전기적으로 접속되어 있다. 또한 트랜지스터(M3)의 제 1 단자는 트랜지스터(M4)의 제 1 단자 및 논리 회로(INV2)의 출력 단자(회로(BUF)의 단자(BFo))에 전기적으로 접속되어 있다. 또한 트랜지스터(M3)의 제 2 단자는 배선(VAL52)에 전기적으로 접속되어 있다. 또한 트랜지스터(M4)의 제 2 단자는 배선(VAL42)에 전기적으로 접속되어 있다.

[0161] 배선(VAL42)은 일례로서 논리 회로(INV1) 및 논리 회로(INV2)의 각각에 고레벨 전위를 공급하기 위한 전원선으로서 기능한다. 또한 배선(VAL42)을 고레벨 전위가 아니라 저레벨 전위, 접지 전위, 또는 음 전위를 공급하는 배선으로 하여도 좋다. 또는 배선(VAL42)을 고정 전위가 아니라 가변 전위를 공급하는 배선으로 하여도 좋다.

[0162] 배선(VAL52)은 일례로서 논리 회로(INV1) 및 논리 회로(INV2)의 각각에 저레벨 전위를 공급하기 위한 전원선으로서 기능한다. 또한 배선(VAL52)을 저레벨 전위가 아니라 고레벨 전위, 접지 전위, 또는 음 전위를 공급하는 배선으로 하여도 좋다. 또는 배선(VAL52)을 고정 전위가 아니라 가변 전위를 공급하는 배선으로 하여도 좋다.

[0163] 또한 논리 회로(INV1) 및 논리 회로(INV2)의 각각에 포함되는 트랜지스터(M2)와 트랜지스터(M4)의 제 2 단자 각각에는 하나의 배선(VAL42)이 전기적으로 접속되어 있지만, 논리 회로(INV1) 및 논리 회로(INV2)의 각각에 포함되는 트랜지스터(M2)와 트랜지스터(M4)의 제 2 단자 각각에는 다른 배선이 전기적으로 접속되어 있어도 좋다. 이와 마찬가지로 논리 회로(INV1) 및 논리 회로(INV2)의 각각에 포함되는 트랜지스터(M1)와 트랜지스터(M3)의 제 2 단자 각각에는 하나의 배선(VAL52)이 전기적으로 접속되어 있지만, 논리 회로(INV1) 및 논리 회로(INV2)의 각각에 포함되는 트랜지스터(M1)와 트랜지스터(M3)의 제 2 단자 각각에는 다른 배선이 전기적으로 접속되어 있어도 좋다.

[0164] 또한 도 5에 나타낸 회로(BSFB6)의 회로(BUF)의 구성예를 도 7의 (A)에 나타내었다. 도 7의 (A)에 나타낸 회로(BSFB6C)는 도 6의 (B)의 회로(BSFB6B)의 변경예이기도 하고, 회로(BUF)에 포함되는 트랜지스터의 개수 및 접속 구성이 회로(BSFB6B)와 다르다.

[0165] 회로(BSFB6C)의 회로(BUF)는 트랜지스터(M1), 트랜지스터(M2), 트랜지스터(M3), 트랜지스터(M4), 트랜지스터(M5), 트랜지스터(M6), 및 트랜지스터(M7)를 포함한다.

[0166] 트랜지스터(M1) 내지 트랜지스터(M7)의 각각으로서는, 예를 들어 트랜지스터(MNb)에 적용할 수 있는 트랜지스터를 사용할 수 있다.

[0167] 도 7의 (A)의 회로(BSFB6C)의 회로(BUF)에서, 트랜지스터(M1)의 게이트, 트랜지스터(M3)의 게이트, 및 트랜지스터(M5)의 제 1 단자의 각각은 회로(BUF)의 단자(BFi)(회로(FB)의 단자(Fi))에 전기적으로 접속되어 있다. 또한 트랜지스터(M1)의 제 1 단자는 트랜지스터(M2)의 제 1 단자 및 트랜지스터(M4)의 게이트에 전기적으로 접속되어 있다. 또한 트랜지스터(M2)의 제 2 단자는 배선(VAL52)에 전기적으로 접속되어 있다. 또한 트랜지스터(M1)의 제 2 단자는 트랜지스터(M2)의 게이트 및 배선(VAL42)에 전기적으로 접속되어 있다. 또한 트랜지스터(M3)의 제 1 단자는 트랜지스터(M4)의 제 1 단자 및 트랜지스터(M6)의 게이트에 전기적으로 접속되어 있다. 또한 트랜지스터(M3)의 제 2 단자는 배선(VAL52)에 전기적으로 접속되어 있다. 또한 트랜지스터(M4)의 제 2 단자는 배선(VAL42)에 전기적으로 접속되어 있다. 또한 트랜지스터(M5)의 제 2 단자는 트랜지스터(M7)의 게이트에 전기적으로 접속되고, 트랜지스터(M5)의 게이트는 배선(VAL42)에 전기적으로 접속되어 있다. 또한 트랜지스터(M6)의 제 1 단자는 트랜지스터(M2)의 제 1 단자 및 회로(BUF)의 단자(BFo)에 전기적으로 접속되어 있다. 또한 트랜지스터(M6)의 제 2 단자는 배선(VAL52)에 전기적으로 접속되어 있다. 또한 트랜지스터(M7)의 제 2 단자는 배선(VAL42)에 전기적으로 접속되어 있다.

[0168] 또한 트랜지스터(M2)의 제 2 단자, 트랜지스터(M4)의 제 2 단자, 트랜지스터(M5)의 게이트, 트랜지스터(M7)의 제 2 단자에는 하나의 배선(VAL42)이 전기적으로 접속되어 있지만, 트랜지스터(M2)의 제 2 단자, 트랜지스터(M4)의 제 2 단자, 트랜지스터(M5)의 게이트, 트랜지스터(M7)의 제 2 단자의 각각에는 다른 배선이 전기적으로 접속되어 있어도 좋다. 이와 마찬가지로 트랜지스터(M1)의 제 2 단자, 트랜지스터(M3)의 제 2 단자, 트랜지스터(M6)의 제 2 단자에는 하나의 배선(VAL52)이 전기적으로 접속되어 있지만, 트랜지스터(M1)의 제 2 단자, 트랜지스터(M3)의 제 2 단자, 트랜지스터(M6)의 제 2 단자의 각각에는 다른 배선이 전기적으로 접속되어 있어도 좋다.

[0169] 또한 도 7의 (A)의 회로(BSFB6C)와는 다른, 도 5에 나타낸 회로(BSFB6)의 회로(BUF)의 구성예를 도 7의 (B)에 나타내었다. 도 7의 (B)에 나타낸 회로(BSFB6D)는 도 7의 (A)의 회로(BSFB6C)의 변경예이기도 하고, 회로(BUF)에 포함되는 트랜지스터의 개수 및 접속 구성이 회로(BSFB6C)와 다르다.

[0170] 회로(BSFB6D)의 회로(BUF)는 일례로서 트랜지스터(M1), 트랜지스터(M2), 트랜지스터(M5), 트랜지스터(M6), 및 트랜지스터(M7)를 포함한다.

[0171] 도 7의 (B)의 회로(BSFB6D)의 회로(BUF)에서, 트랜지스터(M1)의 게이트 및 트랜지스터(M5)의 제 1 단자의 각각은 회로(BUF)의 단자(BFi)(회로(FB)의 단자(Fi))에 전기적으로 접속되어 있다. 또한 트랜지스터(M1)의 제 1 단자는 트랜지스터(M2)의 제 1 단자 및 트랜지스터(M6)의 게이트에 전기적으로 접속되어 있다. 또한 트랜지스터(M1)의 제 2 단자는 배선(VAL52)에 전기적으로 접속되어 있다. 또한 트랜지스터(M2)의 제 2 단자는 트랜지스터(M2)의 게이트 및 배선(VAL42)에 전기적으로 접속되어 있다. 또한 트랜지스터(M5)의 제 2 단자는 트랜지스터(M7)의 게이트에 전기적으로 접속되고, 트랜지스터(M5)의 게이트는 배선(VAL42)에 전기적으로 접속되어 있다.

또한 트랜지스터(M6)의 제 1 단자는 트랜지스터(M7)의 제 1 단자 및 회로(BUF)의 단자(BFo)에 전기적으로 접속되어 있다. 또한 트랜지스터(M6)의 제 2 단자는 배선(VAL52)에 전기적으로 접속되어 있다. 또한 트랜지스터(M7)의 제 2 단자는 배선(VAL42)에 전기적으로 접속되어 있다.

[0172] 도 5에 나타낸 회로(BSFB6)의 회로(BUF)를 도 6의 (A)의 회로(BSFB6A)(도 6의 (B)의 회로(BSFB6B)), 도 7의 (A)의 회로(BSFB6C), 및 도 7의 (B)의 회로(BSFB6D) 중 어느 것의 회로(BUF)의 구성으로 함으로써, 트랜지스터(MNFa)의 게이트에 안정된 고정 전위를 공급할 수 있다.

[0173] 또한 회로(BSFB6)는 특히 도 6의 (B)의 회로(BSFB6B), 도 7의 (A)의 회로(BSFB6C), 및 도 7의 (B)의 회로(BSFB6D)와 같이 n채널형 트랜지스터를 사용한 단극성 회로로서 구성되어도 좋고, p채널형 트랜지스터도 포함한 CMOS 회로로서 구성되어도 좋다.

[0174] <<회로(FB)의 구성예 5>>

[0175] 도 8의 (A)에 나타낸 회로(BSFB7)는 도 1의 (A)의 회로(BSFB)와 마찬가지로 회로(BSPR)의 단자(To)로부터 출력된 전위에 기초하여 단자(Ti)(단자(TMi))에 피드백을 수행하는 증폭 회로이다. 또한 도 8의 (A)의 회로(BSFB7)의 회로(FB)는 입력 단자로서 기능하는 단자(Fi1) 및 단자(Fi2)를 포함한 점에서 도 1의 (A)의 회로(BSFB)와 다르다.

[0176] 도 8의 (A)의 회로(BSFB7)에서 회로(FB)는 트랜지스터(MNFa), 용량 소자(Caf), 및 회로(BBF)를 포함한다. 또한 상술한 바와 같이, 도 8의 (A)의 회로(BSFB7)에 포함되는 회로(FB)는 입력 단자로서 기능하는 단자(Fi1) 및 단자(Fi2)와 출력 단자로서 기능하는 단자(Fo)를 포함한다. 또한 단자(Fi2)는 도 1의 (A)에 나타낸 단자(Fi)에 상당한다.

[0177] 트랜지스터(MNFa)로서는, 트랜지스터(MNb)에 적용할 수 있는 트랜지스터를 사용할 수 있다.

[0178] 회로(BBF)로서 도 2의 (A)에 나타낸 회로(BSPR)에 포함되는 회로(BB)에 적용할 수 있는 회로를 사용할 수 있다. 그러므로 도 8의 (A)에는, 회로(BBF)의 단자로서 회로(BB)와 마찬가지로 단자(Bi)와 단자(Bo)를 나타내었다.

[0179] 단자(Fi1)는 회로(BBF)의 단자(Bi)에 전기적으로 접속되어 있다. 또한 단자(Fi1)는 회로(BSPR)의 단자(Ti), 회로(BSFB7)의 단자(TMi), 및 회로(FB)의 단자(Fo)에 전기적으로 접속되어 있다. 단자(Fi2)는 용량 소자(Caf)의 제 1 단자에 전기적으로 접속되어 있다. 또한 단자(Fi2)는 회로(BSPR)의 단자(To) 및 회로(BSFB7)의 단자(TMo)에 전기적으로 접속되어 있다. 또한 용량 소자(Caf)의 제 2 단자는 회로(BBF)의 단자(Bo) 및 트랜지스터(MNFa)의 게이트에 전기적으로 접속되어 있다. 또한 트랜지스터(Fo)는 트랜지스터(MNFa)의 제 1 단자에 전기적으로 접속되고, 트랜지스터(MNFa)의 제 2 단자는 배선(VAL41)에 전기적으로 접속되어 있다.

[0180] 또한 본 실시형태에서는 회로(BBF)의 단자(Bo), 트랜지스터(MNFa)의 게이트, 및 용량 소자(Caf)의 제 2 단자의 전기적인 접속 부분을 노드(Nf)라고 한다.

[0181] 회로(BBF)는 예를 들어 노드(Nf)를 플로팅 상태로 하는 기능을 가진다. 그러므로 회로(BBF)는 예를 들어 스위칭 소자를 포함하는 구성으로 할 수 있다. 또한 회로(BBF)는 단자(Bi)에 입력된 전위에 대응하는 전위를 단자(Bo)에 출력하는 기능을 가진다. 예를 들어 회로(BBF)는 단자(Bi)에 고레벨 전위 V_{High}가 공급되었을 때 단자(Bo)에 전위 V_{Mid_f}를 출력하는 구성을 가질 수 있다. 또한 V_{Mid_f}는 고레벨 전위 V_{High}보다 낮고 저레벨 전위 V_{Low}보다 높은 전위로 한다.

[0182] 배선(VAL41)에 대해서는, 도 3의 (A)의 회로(BSFB1)에서의 배선(VAL41)에 대한 설명을 참조할 수 있다.

[0183] 여기서 도 8의 (A)의 회로(BSFB7)의 동작예에 대하여 설명한다.

[0184] 회로(BSPR)에 따른 동작에 대해서는 도 2의 (A)의 회로(BSPR)의 동작예를 참조할 수 있다. 예를 들어 회로(BSFB7)의 단자(TMi)에 고레벨 전위 V_{High}가 입력되었을 때(즉 $V_{in}=V_{High}$일 때), 회로(BB)는 단자(Bo)에 전위 V_{Mid}를 출력한다. 이에 의하여, 트랜지스터(MNb)의 게이트(용량 소자(Ca)의 제 1 단자)에 V_{Mid}가 공급된다. 또한 이때 회로(BB)에 의하여 노드(N)는 플로팅 상태가 된 것으로 한다.

[0185] 또한 배선(VAL1)으로부터 트랜지스터(MNb)의 제 1 단자에 저레벨 전위 V_{Low}가 공급되는 것으로 한다. 이때 트랜지스터(MNb)의 게이트-소스 간 전압(이 타이밍에서는 게이트-제 1 단자 간 전압)은 $V_{Mid}-V_{Low}$가 되기 때문에, 트랜지스터(MNb)는 온 상태가 된다. 그러므로 배선(VAL1)은 트랜지스터(MNb)를 통하여 회로(BSPR)의 단자(To)에

저레벨 전위 V_{Low}를 출력한다. 즉 $V_{out}=V_{Low}$가 된다.

[0186] 그러므로 회로(FB)의 단자(Fi2)에는 단자(To)의 전위와 같은 V_{Low}가 입력된다. 이에 의하여, 용량 소자(Caf)의 제 1 단자에 저레벨 전위 V_{Low}가 공급된다.

[0187] 또한 회로(FB)에서 회로(BSFB7)의 단자(TMi)에 고레벨 전위 V_{High}가 입력되었을 때(즉 $V_{in}=V_{High}$일 때), 회로(BBF)는 단자(Bo)에 전위 V_{Mid_f}를 출력한다. 이에 의하여, 트랜지스터(MNFa)의 게이트(용량 소자(Caf)의 제 2 단자 및 노드(Nf))에 V_{Mid_f}가 공급된다. 이에 의하여, 용량 소자(Caf)에 유지된 전압은 노드(Nf)를 기준으로 하였을 때 $V_{Mid_f}-V_{Low}$가 된다.

[0188] 또한 트랜지스터(MNFa)는 노멀리 오프이고, 트랜지스터(MNFa)의 문턱 전압을 V_{th_MNFa}로 한다. 또한 문턱 전압 V_{th_MNFa}는 $V_{High}-V_{Low}>V_{th_MNFa}$를 만족하는 전압으로 한다.

[0189] 또한 배선(VAL41)으로부터 트랜지스터(MNFa)의 제 2 단자에 고레벨 전위 V_{High}가 공급되는 것으로 한다. 이때 트랜지스터(MNFa)의 제 1 단자 및 제 2 단자의 각각의 전위는 V_{High}이고, 트랜지스터(MNFa)의 게이트가 V_{Mid_f}가 된다. 이때 트랜지스터(MNFa)의 게이트-소스 간 전압(이 타이밍에서는 예를 들어 게이트-제 1 단자 간 전압)은 $V_{Mid_f}-V_{High}$가 된다. $V_{Mid_f}-V_{High}<V_{th_MNFa}$가 되기 때문에 트랜지스터(MNFa)는 오프 상태가 된다. 또한 이때 회로(BBF)에 의하여 노드(Nf)는 플로팅 상태가 된 것으로 한다.

[0190] 다음으로 배선(VAL1)으로부터 트랜지스터(MNb)의 제 1 단자에 공급하는 전위가 저레벨 전위 V_{Low}로부터 고레벨 전위 V_{High}로 변화된 것으로 한다. 이때 트랜지스터(MNb)의 게이트-소스 간 전압(이 타이밍에서는 게이트-제 2 단자 간 전압)은 $V_{Mid}-V_{Low}$가 되기 때문에, 트랜지스터(MNb)는 온 상태가 된다. 그러므로 배선(VAL1)으로부터 트랜지스터(MNb)를 통하여 회로(BSPR)의 단자(To)에 전류가 흘러 단자(To)의 전위가 V_{Low}로부터 상승한다. 또한 노드(N)는 플로팅 상태이기 때문에, 용량 소자(Ca)의 용량 결합에 의하여 단자(To)의 전위가 상승됨에 따라 노드(N)의 전위도 V_{Mid}로부터 상승한다. 이에 의하여 트랜지스터(MNb)의 게이트-소스 간 전압은 용량 소자(Ca)에 의하여 유지되기 때문에, 단자(To)의 전위는 V_{High}까지 상승한다. 또한 노드(N)의 전위는 이상적으로는 $V_{Mid}+V_{High}-V_{Low}$가 된다.

[0191] 이때 회로(FB)의 단자(Fi2)에는 단자(To)의 전위와 같은 V_{High}가 입력된다. 이에 의하여, 용량 소자(Caf)의 제 1 단자의 전위가 저레벨 전위 V_{Low}로부터 고레벨 전위 V_{High}로 변화된다. 또한 노드(Nf)는 플로팅 상태이기 때문에, 용량 소자(Caf)의 용량 결합에 의하여 단자(Fi2)의 전위가 상승됨에 따라 노드(Nf)의 전위도 V_{Mid}로부터 상승한다. 또한 여기서는 노드(Nf)의 전위는 $V_{Mid_f}+V_{High}-V_{Low}$가 되는 것으로 한다.

[0192] 이에 의하여, 트랜지스터(MNFa)의 게이트의 전위는 $V_{Mid_f}+V_{High}-V_{Low}$가 된다. 또한 트랜지스터(MNFa)의 제 1 단자 및 제 2 단자 각각의 전위는 V_{High}이기 때문에, 이때 트랜지스터(MNFa)의 게이트-소스 간 전압은 $V_{Mid_f}-V_{Low}$가 된다. $V_{Mid_f}-V_{Low}>V_{th_MNFa}$를 만족함으로써, 트랜지스터(MNFa)는 온 상태가 된다. 즉 회로(BSFB7)의 단자(TMi)와 배선(VAL41) 사이가 도통 상태가 된다.

[0193] 또한 상술한 바와 같이, 트랜지스터(MNFa)의 게이트의 전위는 $V_{Mid_f}+V_{High}-V_{Low}$이다. 여기서, 트랜지스터(MNFa)의 게이트의 전위 $V_{Mid_f}+V_{High}-V_{Low}$가 $V_{High}+V_{th_MNFa}$보다 높을 때(즉 $V_{Mid_f}-V_{Low}$가 V_{th_MNFa}보다 높을 때), 배선(VAL41)으로부터 트랜지스터(MNFa)를 통하여 회로(BSFB7)의 단자(TMi)(회로(BSPR)의 단자(Ti))에 공급되는 전위에 의하여, 트랜지스터(MNFa)의 문턱 전압 V_{th_MNFa}의 저하는 일어나지 않는다. 즉 트랜지스터(MNFa)에서의 전압 강하의 영향을 거의 없앨 수 있기 때문에 회로(BSFB7)의 단자(TMi)(회로(BSPR)의 단자(Ti))의 전위를 배선(VAL41)으로부터 공급되는 고레벨 전위 V_{High}로 할 수 있다.

[0194] 이에 의하여, 예를 들어 단자(Ti)(단자(TMi))의 전위를 유지하기 위한 트랜지스터에서, 소스와 드레인 사이를 흐르는 오프 전류 혹은 게이트와 소스 사이 또는 게이트와 드레인 사이를 흐르는 누설 전류가 커진 경우에도, 단자(Ti)(단자(TMi))의 전위는 회로(FB)가 공급하는 고정 전위(고레벨 전위 V_{High})인 채 유지된다. 또한 단자

(Ti)(단자(TMi))에 노이즈 신호가 입력되었을 때도 단자(Ti)(단자(TMi))의 전위는 회로(FB)가 공급하는 고정 전위(고레벨 전위 V_{High})인 채 유지한다. 그러므로 회로(BSPR)의 단자(To)의 전위가 상술한 바와 같은 요인으로 인하여 변화되지 않기 때문에 노드(N)의 전위에도 영향을 미치기 어렵다. 따라서 회로(BSPR)의 단자(To)로부터 출력되는 전위가 안정된다.

[0195] 도 8의 (A)의 회로(BSFB7)에서 회로(BBF)에 후술하는 도 9의 (A)의 회로(BB)를 적용한 구성예를 도 8의 (B)에 나타내었다. 도 8의 (B)의 회로(BSFB7A)에서 회로(BBF)는 트랜지스터(MNFb)를 포함한다.

[0196] 트랜지스터(MNFb)의 제 1 단자는 회로(BBF)의 단자(Bi)에 전기적으로 접속되고, 트랜지스터(MNFb)의 제 2 단자는 회로(BBF)의 단자(Bo)에 전기적으로 접속되고, 트랜지스터(MNFb)의 게이트는 배선(VAL42)에 전기적으로 접속되어 있다.

[0197] 배선(VAL42)에 대해서는, 배선(VAL41)에 대한 앞의 설명을 참조할 수 있다.

[0198] 또한 트랜지스터(MNFb)는 노멀리 오프이고, 트랜지스터(MNFb)의 문턱 전압을 V_{th_MNFb}로 한다. 또한 문턱 전압 V_{th_MNFb}는 $V_{High}-V_{Low}>V_{th_MNFb}$를 만족하는 전압으로 한다.

[0199] 여기서 도 8의 (B)의 회로(BSFB7A)에서의 회로(FB)의 동작예에 대하여 설명한다. 먼저, 회로(FB)에서 노드(Nf)의 전위가 저레벨 전위 V_{Low}인 것으로 한다. 또한 배선(VAL42)으로부터 트랜지스터(MNFb)의 게이트에 고레벨 전위 V_{High}가 공급되는 것으로 한다. 이때 트랜지스터(MNFb)의 게이트-소스 간 전압(이 타이밍에서는 게이트-제 2 단자 간 전압)은 $V_{High}-V_{Low}$가 되기 때문에, 트랜지스터(MNFb)는 온 상태가 된다. 또한 여기서 회로(BSFB7A)의 단자(TMi)에 고레벨 전위 V_{High}가 입력되었을 때(즉 $V_{in}=V_{High}$일 때), 트랜지스터(MNFb)의 제 2 단자의 전위는 트랜지스터(MNFb)가 오프 상태가 되는 게이트-소스 간 전압이 될 때까지 상승한다. 구체적으로는 트랜지스터(MNFb)의 제 2 단자의 전위(노드(Nf)의 전위)가 $V_{High}-V_{th_MNFb}$에 도달하였을 때, 트랜지스터(MNFb)는 오프 상태가 된다. 또한 $V_{High}-V_{th_MNFb}$는 상술한 V_{Mid_f}에 상당한다.

[0200] 그 후, 회로(BSPR)에 의하여, 단자(To)로부터 고레벨 전위 V_{High}가 출력되는 것으로 한다. 이에 의하여, 노드(Nf)의 전위는 용량 소자(Caf)를 통한 용량 결합에 의하여 $V_{High}-V_{th_MNFb}$로부터 $2V_{High}-V_{th_MNFb}-V_{Low}$로 변화된다. 즉 트랜지스터(MNFa)의 게이트의 전위는 $2V_{High}-V_{th_MNFb}-V_{Low}$가 되고, 트랜지스터(MNFa)의 제 1 단자 및 제 2 단자는 각각 V_{High}이기 때문에 트랜지스터(MNFa)의 게이트-소스간 전압은 $V_{High}-V_{th_MNFb}-V_{Low}$가 된다. $V_{High}-V_{th_MNFb}-V_{Low}>V_{th_MNFa}$를 만족함으로써, 트랜지스터(MNFa)는 온 상태가 되어, 배선(VAL41)과 단자(Ti)(단자(TMi)) 사이는 도통 상태가 된다.

[0201] 또한 트랜지스터(MNFa)의 게이트의 전위 $2V_{High}-V_{th_MNFb}-V_{Low}$가 $V_{High}+V_{th_MNFa}$보다 높을 때(즉 $V_{High}-V_{Low}-V_{th_MNFb}$가 V_{th_MNFa}보다 높을 때), 배선(VAL41)으로부터 트랜지스터(MNFa)를 통하여 회로(BSFB7)의 단자(TMi)(회로(BSPR)의 단자(Ti))에 공급되는 전위에 의하여, 트랜지스터(MNFa)의 문턱 전압 V_{th_MNFa}의 저하는 일어나지 않는다. 즉 트랜지스터(MNFa)에서의 전압 강하의 영향을 거의 없앨 수 있기 때문에 회로(BSFB7)의 단자(TMi)(회로(BSPR)의 단자(Ti))의 전위를 배선(VAL41)으로부터 공급되는 고레벨 전위 V_{High}로 할 수 있다. 이에 의하여, 단자(Ti)(단자(TMi))는 플로팅 상태가 아니게 되므로, 단자(Ti)(단자(TMi))의 전위는 누설 전류 또는 노이즈 신호 등의 요인으로 인하여 변화되지 않게 된다.

[0202] 또한 본 발명의 일 형태의 반도체 장치는 도 8의 (A)에 나타낸 회로(BSFB7) 및 도 8의 (B)에 나타낸 회로(BSFB7A)에 한정되지 않는다. 본 발명의 일 형태의 반도체 장치는 예를 들어 도 8의 (A)에 나타낸 회로(BSFB7)를 도 8의 (C)에 나타낸 회로(BSFB7B)로 변경한 회로 구성을 가져도 좋다.

[0203] 도 8의 (C)의 회로(BSFB7B)는 도 8의 (A)의 회로(BSFB7)에서의 회로(FB)의 용량 소자(Caf)를 회로(BSPR)의 용량 소자(Ca)에 포함시키고, 회로(FB)의 회로(BBF)를 회로(BSPR)의 회로(BB)에 포함시킨 구성을 가진다. 그러므로 회로(FB)의 노드(Nf)는 회로(BSPR)의 노드(N)에 포함된다.

[0204] 도 8의 (C)의 회로(BSFB7B)에서는, 회로(FB)의 입력 단자는 단자(Fi1) 및 단자(Fi2)가 아니라 단자(Fi)라고 나타내었다. 또한 도 8의 (C)의 회로(BSFB7B)에서 회로(FB)의 단자(Fi)는 회로(BB)의 단자(Bo), 트랜지스터

(MNb)의 게이트, 및 용량 소자(Ca)의 제 1 단자에 전기적으로 접속되어 있다.

[0205] 또한 도 8의 (C)의 회로(BSFB7B)는 도 3의 (A)의 회로(BSFB1)에서 회로(FB)의 단자(Fi)를 단자(To) 및 단자(TMo)가 아니라 회로(BB)의 단자(Bo), 트랜지스터(MNb)의 게이트, 및 용량 소자(Ca)의 제 1 단자에 전기적으로 접속된 구성을 가진다. 즉 도 8의 (C)의 회로(BSFB7B)는 도 3의 (A)의 회로(BSFB1)의 변경예라고 할 수도 있다.

[0206] 도 8의 (C)의 회로(BSFB7B)에서 회로(BSPR)의 동작에 대해서는 도 2의 (A)의 회로(BSPR)의 동작예를 참조할 수 있다. 그러므로 노드(N)의 전위를 V_{Mid}로 하고 노드(N)를 플로팅 상태로 한 후, 배선(VAL1)으로부터 트랜지스터(MNb)의 제 1 단자에 공급하는 전위를 저레벨 전위 V_{Low}로부터 고레벨 전위 V_{High}로 변화시킴으로써, 부트스트랩에 의하여 노드(N)의 전위를 $V_{Mid}+V_{High}-V_{Low}$로 할 수 있다. 또한 이에 의하여 트랜지스터(MNFa)의 게이트에는 $V_{Mid}+V_{High}-V_{Low}$가 공급된다. 여기서, 트랜지스터(MNFa)의 게이트의 전위 $V_{Mid}+V_{High}-V_{Low}$가 $V_{High}+V_{th_MNFa}$보다 높을 때, 배선(VAL41)으로부터 트랜지스터(MNFa)를 통하여 회로(BSFB7)의 단자(TMi)(회로(BSPR)의 단자(Ti))에 공급되는 전위에 의하여, 트랜지스터(MNFa)의 문턱 전압 V_{th_MNFa}의 저하는 일어나지 않는다. 즉 도 8의 (A)의 회로(BSFB7)와 마찬가지로, 트랜지스터(MNFa)에서의 전압 강하의 영향을 거의 없앨 수 있기 때문에 회로(BSFB7B)의 단자(TMi)(회로(BSPR)의 단자(Ti))의 전위를 배선(VAL41)으로부터 공급되는 고레벨 전위 V_{High}로 할 수 있다.

[0207] <<회로(BB)의 구성예 1>>

[0208] 다음으로, 도 1의 (A) 및 (B) 각각의 회로(BSPR)에 포함되는 회로(BB)의 구성예에 대하여 설명한다. 또한 이하에서 설명하는 회로(BB)는 도 8의 (A)의 회로(FB)에 포함되는 회로(BBF)에도 적용할 수 있다.

[0209] 도 9의 (A)에 나타낸 회로(BSPR)는 회로(BB)에 트랜지스터(MNa)가 포함되어 있는 구성을 가진다. 트랜지스터(MNa)로서는, 예를 들어 트랜지스터(MNb)에 적용할 수 있는 트랜지스터를 사용할 수 있다.

[0210] 트랜지스터(MNa)의 제 1 단자는 단자(Bi)에 전기적으로 접속되고, 트랜지스터(MNa)의 제 2 단자는 단자(Bo)에 전기적으로 접속되어 있다. 또한 트랜지스터(MNa)의 게이트는 배선(VAL2)에 전기적으로 접속되어 있다.

[0211] 배선(VAL2)은 예를 들어 배선(VAL1)과 마찬가지로 고정 전위 또는 가변 전위를 공급하는 배선으로서 기능한다. 또한 고정 전위로서는, 예를 들어 고레벨 전위, 저레벨 전위, 접지 전위, 또는 음의 전위가 있다. 또한 가변 전위로서는 펄스 신호를 들 수 있다.

[0212] 또한 배선(VAL2)은 배선(VAL1)에 전기적으로 접속되어 있어도 좋다. 환언하면 배선(VAL2)을 배선(VAL1)과 동일한 배선으로 하여도 좋다.

[0213] 여기서 도 9의 (A)의 회로(BSPR)의 동작예에 대하여 설명한다. 예를 들어 회로(BSPR)의 단자(Ti)에 고레벨 전위 V_{High}가 입력되는 것으로 한다. 즉 $V_{in}=V_{High}$가 된다. 또한 배선(VAL2)으로부터 트랜지스터(MNa)의 게이트에 고레벨 전위 V_{High}가 공급되는 것으로 한다. 또한 노드(N)의 전위(트랜지스터(MNb)의 게이트의 전위 또는 용량 소자(Ca)의 제 1 단자의 전위)를 저레벨 전위 V_{Low}로 한다.

[0214] 또한 트랜지스터(MNa)는 노멀리 오프이고, 트랜지스터(MNa)의 문턱 전압을 V_{th_MNa}로 한다. 또한 문턱 전압 V_{th_MNa}는 $V_{High}-V_{Low}>V_{th_MNa}$를 만족하는 전압으로 한다.

[0215] 트랜지스터(MNa)의 게이트-소스 간 전압(이 타이밍에서는 게이트-제 2 단자 간 전압)은 $V_{High}-V_{Low}$가 되기 때문에, 트랜지스터(MNa)는 온 상태가 된다. 그러므로 노드(N)에는 단자(Ti)로부터 트랜지스터(MNa)를 통하여 전류가 흘러 전하가 축적되기 때문에, 트랜지스터(MNa)가 오프 상태가 될 때까지 노드(N)의 전위가 상승한다. 구체적으로 트랜지스터(MNa)는 트랜지스터(MNa)의 게이트-소스 간 전압이 V_{th_MNa}까지 낮아졌을 때 오프 상태가 되기 때문에, 이때의 노드(N)의 전위(트랜지스터(MNa)의 제 2 단자의 전위)는 $V_{High}-V_{th_MNa}$가 된다. 또한 $V_{High}-V_{th_MNa}$는 도 2의 (A)에서 설명한 V_{Mid}에 상당한다.

[0216] <<회로(BB)의 구성예 2>>

[0217] 도 9의 (B)에 나타낸 회로(BSPR)의 회로(BB)는 도 9의 (A)의 회로(BSPR)의 회로(BB)의 변경예이고, 트랜지스터(MNa)의 게이트가 배선(VAL2)이 아니라, 트랜지스터(MNa)의 제 1 단자에 전기적으로 접속되어 있는 점에서 도 9

의 (A)의 회로(BSPR)의 회로(BB)와 다르다.

[0218] 도 9의 (B)에서 트랜지스터(MNa)의 제 1 단자와 트랜지스터(MNa)의 게이트가 전기적으로 접속되어 있기 때문에, 트랜지스터(MNa)는 다이오드 접속되어 있는 구성이라고 할 수 있다. 그러므로 예를 들어 회로(BSPR)의 단자(Ti)에 고레벨 전위 V_{High}가 입력되었을 때, 트랜지스터(MNa)의 제 1 단자 및 게이트의 각 전위는 고레벨 전위 V_{High}가 되기 때문에, 노드(N)의 전위(트랜지스터(MNa)의 제 2 단자의 전위)는 $V_{High}-V_{th_MNa}$가 된다.

[0219] 또한 노드(N)의 전위(트랜지스터(MNa)의 제 2 단자의 전위)인 $V_{High}-V_{th_MNa}$를 낮추려고 하는 경우, 환언하면 노드(N)에 축적된 전하를 방출하려고 하는 경우, 도 9의 (B)의 회로(BSPR)의 회로(BB)를 더 변경할 필요가 있다.

[0220] 도 9의 (C)의 회로(BSPR)의 회로(BB)는 도 9의 (B)의 회로(BSPR)의 회로(BB)의 변경예이고, 노드(N)에 축적된 전하의 방출이 가능한 구성을 가지는 점에서 도 9의 (B)의 회로(BSPR)의 회로(BB)와 다르다.

[0221] 도 9의 (C)의 회로(BSPR)에서 회로(BB)는 트랜지스터(MNa)에 더하여 트랜지스터(MNd)를 포함한다.

[0222] 트랜지스터(MNd)로서는, 예를 들어 트랜지스터(MNa) 또는 트랜지스터(MNb)에 적용할 수 있는 트랜지스터를 사용할 수 있다.

[0223] 트랜지스터(MNd)의 제 1 단자는 트랜지스터(MNa)의 제 2 단자 및 단자(Bo)에 전기적으로 접속되고, 트랜지스터(MNd)의 제 2 단자는 배선(VAL3)에 전기적으로 접속되고, 트랜지스터(MNd)의 게이트는 배선(RST)에 전기적으로 접속되어 있다.

[0224] 배선(VAL3)은 예를 들어 배선(VAL2) 또는 배선(VAL52)과 마찬가지로 고정 전위를 공급하는 배선으로서 기능한다. 또한 고정 전위로서는 예를 들어 저레벨 전위가 있다. 또한 다른 고정 전위로서는 접지 전위 또는 음의 전위를 들 수 있다. 또한 상황에 따라서는 배선(VAL3)은 가변 전위를 공급하는 배선으로서 기능하여도 좋다.

[0225] 배선(RST)은 예를 들어 노드(N)에 축적된 전하를 방출할지 여부를 선택하기 위한 신호를 송신하는 배선으로서 기능한다. 구체적으로는 예를 들어 노드(N)의 전하를 방출하지 않는 경우에는, 배선(RST)에는 신호로서 저레벨 전위 V_{Low}를 공급하여 트랜지스터(MNd)를 오프 상태로 하면 좋다. 또한 예를 들어 노드(N)의 전하를 방출하는 경우에는, 배선(RST)에는 신호로서 고레벨 전위 V_{High}를 공급하여 트랜지스터(MNd)를 온 상태로 하면 좋다.

[0226] 노드(N)의 전위를 높이려고 하는 경우(노드(N)의 전위를 $V_{High}-V_{th_MNa}$로 하려고 하는 경우), 예를 들어 배선(RST)에 저레벨 전위 V_{Low}를 공급하여 트랜지스터(MNd)를 오프 상태로 한 후에, 단자(Ti)에 고레벨 전위 V_{High}를 공급하면 좋다. 또한 노드(N)의 전위를 낮추려고 하는 경우(노드(N)의 전위를 V_{Low}로 하려고 하는 경우), 예를 들어 단자(Ti)에 저레벨 전위 V_{Low}를 공급하여 트랜지스터(MNa)를 오프 상태로 한 후에, 배선(RST)에 고레벨 전위 V_{High}를 공급하여 트랜지스터(MNd)를 온 상태로 하면 좋다. 여기서 배선(VAL3)이 공급하는 전위를 저레벨 전위 V_{Low}로 하였을 때, 노드(N)의 전하는 배선(VAL3)에 흐르고, 결과적으로 노드(N)의 전위는 V_{Low}가 된다.

[0227] <<회로(BB)의 구성예 3>>

[0228] 도 9의 (D)에 나타낸 회로(BSPR)의 회로(BB)는 도 9의 (A)의 회로(BSPR)의 회로(BB)의 변경예이고, 트랜지스터(MNa)의 게이트가 배선(VAL2)이 아니라 단자(Bi)에 전기적으로 접속되고, 트랜지스터(MNa)의 제 1 단자가 단자(Bi)가 아니라 배선(VAL2)에 전기적으로 접속되어 있는 점에서 도 9의 (A)의 회로(BSPR)의 회로(BB)와 다르다.

[0229] 도 9의 (D)의 회로(BSPR)의 동작예에 대하여 설명한다. 예를 들어 회로(BSPR)의 단자(Ti)에 고레벨 전위 V_{High}가 입력되는 것으로 한다. 또한 배선(VAL2)으로부터 트랜지스터(MNa)의 제 1 단자에 고레벨 전위 V_{High}가 공급되는 것으로 한다. 또한 노드(N)의 전위를 저레벨 전위 V_{Low}로 한다.

[0230] 트랜지스터(MNa)의 게이트-소스 간 전압(이 타이밍에서는 게이트-제 2 단자 간 전압)은 $V_{High}-V_{Low}$가 되기 때문에, 트랜지스터(MNa)는 온 상태가 된다. 그러므로 노드(N)에는 배선(VAL2)으로부터 트랜지스터(MNa)를 통하여 전류가 흘러 전하가 축적되기 때문에, 트랜지스터(MNa)가 오프 상태가 될 때까지 노드(N)의 전위가 상승한다. 구체적으로 트랜지스터(MNa)는 트랜지스터(MNa)의 게이트-소스 간 전압이 V_{th_MNa}까지 낮아졌을 때 오프 상태가 되기 때문에, 이때의 노드(N)의 전위(트랜지스터(MNa)의 제 2 단자의 전위)는 $V_{High}-V_{th_MNa}$가 된다. 또한

V_{High}-V_{th_MNa}는 도 2의 (A)에서 설명한 V_{Mid}에 상당한다.

[0231] 또한 노드(N)의 전위(트랜지스터(MNa)의 제 2 단자의 전위)인 V_{High}-V_{th_MNa}를 낮추려고 하는 경우, 환언하면 노드(N)에 축적된 전하를 방출하려고 하는 경우, 도 9의 (D)의 회로(BSPR)의 회로(BB)를 더 변경할 필요가 있다.

[0232] 도 9의 (E)의 회로(BSPR)의 회로(BB)는 도 9의 (D)의 회로(BSPR)의 회로(BB)의 변경예이고, 노드(N)에 축적된 전하의 방출이 가능한 구성을 가지는 점에서 도 9의 (D)의 회로(BSPR)의 회로(BB)와 다르다.

[0233] 도 9의 (E)의 회로(BSPR)에서 회로(BB)는 트랜지스터(MNa)에 더하여 트랜지스터(MNd)를 포함한다.

[0234] 트랜지스터(MNd)의 제 1 단자는 트랜지스터(MNa)의 제 2 단자 및 단자(Bo)에 전기적으로 접속되고, 트랜지스터(MNd)의 제 2 단자는 배선(VAL3)에 전기적으로 접속되고, 트랜지스터(MNd)의 게이트는 배선(RST)에 전기적으로 접속되어 있다.

[0235] 트랜지스터(MNd), 배선(VAL3), 및 배선(RST) 각각에 대해서는 도 9의 (C)의 회로(BSPR)의 트랜지스터(MNd), 배선(VAL3), 및 배선(RST) 각각에 대한 설명을 참조할 수 있다.

[0236] 노드(N)의 전위를 높이려고 하는 경우(노드(N)의 전위를 V_{High}-V_{th_MNa}로 하려고 하는 경우), 예를 들어 배선(RST)에 저레벨 전위 V_{Low}를 공급하여 트랜지스터(MNd)를 오프 상태로 한 후에, 단자(Ti)에 고레벨 전위 V_{High}를 공급하면 좋다. 또한 노드(N)의 전위를 낮추려고 하는 경우(노드(N)의 전위를 V_{Low}로 하려고 하는 경우), 예를 들어 단자(Ti)에 저레벨 전위 V_{Low}를 공급하여 트랜지스터(MNa)를 오프 상태로 한 후에, 배선(RST)에 고레벨 전위 V_{High}를 공급하여 트랜지스터(MNd)를 온 상태로 하면 좋다. 여기서 배선(VAL3)이 공급하는 전위를 저레벨 전위 V_{Low}로 하였을 때, 노드(N)의 전하는 배선(VAL3)에 흐르고, 결과적으로 노드(N)의 전위는 V_{Low}가 된다.

[0237] <<회로(BB)의 구성예 4>>

[0238] 도 9의 (F)에 나타낸 회로(BSPR)는 회로(BB)에 인버터 회로가 포함되어 있는 구성을 가진다. 구체적으로 회로(BB)는 트랜지스터(MNe) 및 트랜지스터(MNf)를 포함하고, 트랜지스터(MNe) 및 트랜지스터(MNf)로 상기 인버터 회로가 구성되어 있다.

[0239] 트랜지스터(MNe) 및 트랜지스터(MNf) 각각으로서는, 예를 들어 트랜지스터(MNb)에 적용할 수 있는 트랜지스터를 사용할 수 있다.

[0240] 트랜지스터(MNe)의 제 1 단자는 트랜지스터(MNe)의 게이트 및 배선(VAL2)에 전기적으로 접속되고, 트랜지스터(MNe)의 제 2 단자는 단자(Bo) 및 트랜지스터(MNf)의 제 1 단자에 전기적으로 접속되어 있다. 트랜지스터(MNf)의 제 2 단자는 배선(VAL3)에 전기적으로 접속되고, 트랜지스터(MNf)의 게이트는 단자(Bi)에 전기적으로 접속되어 있다.

[0241] 배선(VAL2)에 대해서는, 도 9의 (A)의 회로(BSPR)에서의 배선(VAL2)에 대한 설명을 참조할 수 있다. 또한 배선(VAL3)에 대해서는, 도 9의 (C)의 회로(BSPR)에서의 배선(VAL3)에 대한 설명을 참조할 수 있다.

[0242] 또한 도 9의 (F)에서는 단자(To)로부터 출력되는 전위를 V_{out}이 아니라 V_{outb}라고 나타내었다.

[0243] 여기서 도 9의 (F)의 회로(BSPR)의 동작예에 대하여 설명한다. 예를 들어 배선(VAL2)으로부터 트랜지스터(MNe)의 제 1 단자 및 게이트에 고레벨 전위 V_{High}가 공급되는 것으로 한다. 또한 배선(VAL3)으로부터 트랜지스터(MNf)의 제 2 단자에 저레벨 전위 V_{Low}가 공급되는 것으로 한다. 또한 노드(N)의 전위(트랜지스터(MNb)의 게이트의 전위 또는 용량 소자(Ca)의 제 1 단자의 전위)를 저레벨 전위 V_{Low}로 한다.

[0244] 또한 트랜지스터(MNe) 및 트랜지스터(MNf)는 노멀리 오프이고, 특히 트랜지스터(MNe)의 문턱 전압을 V_{th_MNe}로 하고, V_{th_MNe}는 V_{High}-V_{Low}>V_{th_MNe}를 만족하는 전압으로 한다.

[0245] 먼저 단자(Ti)에 저레벨 전위 V_{Low}가 입력된 경우를 생각한다. 이때 트랜지스터(MNf)의 게이트에는 V_{Low}가 입력되기 때문에, 트랜지스터(MNf)는 오프 상태가 된다. 또한 트랜지스터(MNe)의 게이트-소스 간 전압(이 타이밍에서는 게이트-제 2 단자 간 전압)은 V_{High}-V_{Low}가 되기 때문에, 트랜지스터(MNe)는 온 상태가 된다. 그러므로 노드(N)에는 배선(VAL2)으로부터 트랜지스터(MNe)를 통하여 전류가 흘러 전하가 축적되기 때문에, 트랜지스터

(MNe)가 오프 상태가 될 때까지 노드(N)의 전위가 상승한다. 구체적으로 트랜지스터(MNe)는 트랜지스터(MNe)의 게이트-소스 간 전압이 V_{th_MNe}까지 낮아졌을 때 오프 상태가 되기 때문에, 이때의 노드(N)의 전위(트랜지스터(MNe)의 제 2 단자의 전위)는 $V_{High}-V_{th_MNe}$가 된다. 또한 $V_{High}-V_{th_MNe}$는 도 2의 (A)에서 설명한 V_{Mid}에 상당한다.

[0246] 다음으로 단자(Ti)에 고레벨 전위 V_{High}가 입력된 경우를 생각한다. 이때 트랜지스터(MNf)의 게이트에는 V_{High}가 입력되기 때문에, 트랜지스터(MNf)는 온 상태가 된다. 또한 트랜지스터(MNf)가 온 상태가 되기 때문에, 노드(N)로부터 트랜지스터(MNf)를 통하여 배선(VAL3)에 전류가 흘러 전하가 방출됨으로써, 노드(N)의 전위는 이상적으로는 배선(VAL3)이 공급하는 저레벨 전위 V_{Low}가 된다. 또한 실제로는 트랜지스터(MNe)의 제 2 단자의 전위(노드(N)의 전위)가 낮아지면 트랜지스터(MNe)는 온 상태가 되기 때문에, 노드(N)의 전위는 저레벨 전위 V_{Low} 이상 고레벨 전위 V_{High} 이하가 된다.

[0247] <증폭 회로의 구성예 2>

[0248] 다음으로, 도 1의 (A)의 회로(BSFB)와 다른, 증폭 회로의 구성예에 대하여 설명한다.

[0249] 도 10의 (A)에 나타낸 회로(BSFC)는 도 1의 (A)의 회로(BSFB)의 변경예이고, 회로(FB)의 단자(Fo)가 단자(TMi)(회로(BB)의 단자(Bi))가 아니라 회로(BB)의 단자(Bo), 트랜지스터(MNb)의 게이트, 및 용량 소자(Ca)의 제 1 단자에 전기적으로 접속되어 있는 점에서 도 1의 (A)의 회로(BSFB)와 다르다.

[0250] 또한 도 10의 (A)에 나타낸 회로(BSFC)의 회로(FB)로서는 예를 들어 앞에서 설명한 도 3의 (A), (B), 및 도 4의 (A) 내지 도 7의 (B)에 나타낸 회로(FB)를 사용할 수 있다.

[0251] 일례로서, 도 10의 (A)의 회로(BSFC)의 회로(FB)로서 도 3의 (A)의 회로(BSFB1)의 회로(FB)를 사용한 경우의 구성예를 도 10의 (B)에 나타내었다.

[0252] 도 10의 (B)의 회로(BSFC1)는 도 3의 (A)에 나타낸 구성의 회로(FB)를 포함한다. 그러므로 도 10의 (B)의 회로(BSFC1)에서 트랜지스터(MNFa)의 제 1 단자는 회로(BB)의 단자(Bo), 트랜지스터(MNb)의 게이트, 및 용량 소자(Ca)의 제 1 단자에 전기적으로 접속되어 있다.

[0253] 다음으로 도 10의 (B)의 회로(BSFC1)의 동작예에 대하여 설명한다.

[0254] 회로(BSPR)에 따른 동작에 대해서는 도 2의 (A)의 회로(BSPR)의 동작예를 참조할 수 있다. 예를 들어 회로(BSFC1)의 단자(TMi)에 고레벨 전위 V_{High}가 입력되었을 때(즉 $V_{in}=V_{High}$일 때), 회로(BB)는 단자(Bo)에 전위 V_{Mid}를 출력한다. 이에 의하여, 트랜지스터(MNb)의 게이트(용량 소자(Ca)의 제 1 단자)에 V_{Mid}가 공급된다. 또한 배선(VAL1)으로부터 트랜지스터(MNb)의 제 1 단자에 저레벨 전위 V_{Low}가 공급되는 것으로 한다. 또한 배선(VAL41)으로부터 트랜지스터(MNFa)의 제 2 단자에 고레벨 전위 V_{High}가 공급되는 것으로 한다.

[0255] 이때 트랜지스터(MNb)의 게이트-소스 간 전압(이 타이밍에서는 게이트-제 1 단자 간 전압)은 $V_{Mid}-V_{Low}$가 되기 때문에, 트랜지스터(MNb)는 온 상태가 된다. 그러므로 배선(VAL1)은 트랜지스터(MNb)를 통하여 회로(BSPR)의 단자(To)에 저레벨 전위 V_{Low}를 출력한다. 즉 $V_{out}=V_{Low}$가 된다.

[0256] 이때 회로(FB)의 단자(Fi)에는 단자(To)의 전위와 같은 V_{Low}가 입력된다. 이에 의하여, 트랜지스터(MNFa)의 게이트에 저레벨 전위 V_{Low}가 공급된다.

[0257] 또한 트랜지스터(MNFa)는 노멀리 오프이고, 트랜지스터(MNFa)의 문턱 전압을 V_{th_MNFa}로 한다. 또한 문턱 전압 V_{th_MNFa}는 $V_{High}-V_{Low}>V_{th_MNFa}$를 만족하는 전압으로 한다.

[0258] 이때 트랜지스터(MNFa)의 게이트-소스 간 전압(여기서는 게이트-제 1 단자 간 전압으로 함)은 $V_{Low}-V_{Mid}<V_{th_MNFa}$이기 때문에, 트랜지스터(MNFa)는 오프 상태가 된다.

[0259] 다음으로 배선(VAL1)으로부터 트랜지스터(MNb)의 제 1 단자에 공급하는 전위가 저레벨 전위 V_{Low}로부터 고레벨 전위 V_{High}로 변화된 것으로 한다. 또한 회로(BB)에 의하여 노드(N)가 플로팅 상태가 된 것으로 한다. 이때 트랜지스터(MNb)의 게이트-소스 간 전압(이 타이밍에서는 게이트-제 2 단자 간 전압)은 $V_{Mid}-V_{Low}$가 되기 때문에,

트랜지스터(MNb)는 온 상태가 된다. 그러므로 배선(VAL1)으로부터 트랜지스터(MNb)를 통하여 회로(BSPR)의 단자(To)에 전류가 흘러 단자(To)의 전위가 V_{Low}로부터 상승한다. 또한 노드(N)는 플로팅 상태이기 때문에, 용량 소자(Ca)의 용량 결합에 의하여 단자(To)의 전위가 상승됨에 따라 노드(N)의 전위도 V_{Mid}로부터 상승한다. 이에 의하여 트랜지스터(MNb)의 게이트-소스 간 전압은 용량 소자(Ca)에 의하여 유지되기 때문에, 단자(To)의 전위는 V_{High}까지 상승한다. 또한 노드(N)의 전위는 이상적으로는 $V_{Mid}+V_{High}-V_{Low}$가 된다.

[0260] 이때 회로(FB)의 단자(Fi)에는 단자(To)의 전위와 같은 V_{High}가 입력된다. 이에 의하여, 트랜지스터(MNFa)의 게이트에 고레벨 전위 V_{High}가 공급된다.

[0261] 이때 트랜지스터(MNFa)의 게이트-소스간 전압(여기서는 게이트-제 2 단자 간 전압으로 함)은 일례로서 $V_{High}-V_{High}=0$이 된다. 트랜지스터(MNFa)는 노멀리 오프이기 때문에 트랜지스터(MNFa)는 오프 상태이다.

[0262] 그런데 이 상태에서 회로(BB)의 단자(Bo)(트랜지스터(MNFa)의 제 1 단자)의 전위가 $V_{Mid}+V_{High}-V_{Low}$로부터 저하되어, 트랜지스터(MNFa)의 게이트-제 1 단자 간 전압이 문턱 전압보다 높아졌을 때, 트랜지스터(MNFa)는 온 상태가 된다. 이때, 노드(N)에는 배선(VAL41)으로부터의 전하가 축적되어, 회로(BSPR)의 단자(Ti)의 전위가 상승한다. 구체적으로는, 트랜지스터(MNFa)는 트랜지스터(MNFa)의 게이트-소스 간 전압이 V_{th_MNFa}가 되었을 때 오프 상태가 되기 때문에, 이때의 노드(N)의 전위(트랜지스터(MNFa)의 제 1 단자의 전위)는 $V_{High}-V_{th_MNFa}$가 된다.

[0263] 상술한 바와 같이, 회로(BSFC1)는 단자(TMo)로부터 고레벨 전위 V_{High}가 출력되었을 때, 회로(BB)의 단자(Bo)의 전위가 낮아진 경우에 회로(FB)가 단자(Bo)(노드(N))에 전위 $V_{High}-V_{th_MNFa}$를 공급할 수 있다. 또한 그 후, 회로(BSPR)에서 다시 부트스트랩이 수행되어, 회로(BSPR)의 단자(To)로부터 고레벨 전위 V_{High}가 출력된다. 상기 동작에 의하여, 회로(BSPR)의 단자(To)로부터 출력되는 전위가 안정된다.

[0264] 또한 다른 일례로서, 도 10의 (A)의 회로(BSFC)의 회로(FB)로서 도 4의 (D)의 회로(BSFB5)의 회로(FB)를 사용한 경우의 구성예를 도 10의 (C)에 나타내었다.

[0265] 도 10의 (C)의 회로(BSFC2)는 도 4의 (D)에 나타낸 구성의 회로(FB)를 포함한다. 그러므로 도 10의 (C)의 회로(BSFC2)에서 트랜지스터(MNFa)의 제 1 단자는 회로(BB)의 단자(Bo), 트랜지스터(MNb)의 게이트, 및 용량 소자(Ca)의 제 1 단자에 전기적으로 접속되어 있다. 또한 트랜지스터(MNFa)의 제 2 단자 및 게이트는 회로(BSPR)의 단자(To) 및 회로(BSFC2)의 단자(TMo)에 전기적으로 접속되어 있다.

[0266] 도 10의 (C)의 회로(BSFC2)에서 트랜지스터(MNFa)의 게이트에 고레벨 전위 V_{High}가 입력된 경우(회로(BSPR)의 단자(To)로부터 고레벨 전위 V_{High}가 출력된 경우), 트랜지스터(MNFa)의 제 1 단자의 전위가 $V_{High}-V_{th_MNFa}$ 이하일 때 트랜지스터(MNFa)는 온 상태가 된다. 이때, 단자(To)로부터 출력되는 전류는 트랜지스터(MNFa)의 소스와 드레인 사이를 통하여 단자(Bo)(노드(N))에 흐른다. 또한 트랜지스터(MNFa)의 제 1 단자의 전위는 $V_{High}-V_{th_MNFa}$가 될 때까지 상승한다. 또한 트랜지스터(MNFa)의 제 1 단자의 전위가 $V_{High}-V_{th_MNFa}$에 도달하였을 때 트랜지스터(MNFa)는 오프 상태가 된다. 그 후, 회로(BSPR)에서 다시 부트스트랩이 수행되어, 회로(BSPR)의 단자(To)로부터 고레벨 전위 V_{High}가 출력된다. 상기 동작에 의하여, 회로(BSPR)의 단자(To)로부터 출력되는 전위가 안정된다.

[0267] 상술한 바와 같이, 도 10의 (A)의 회로(BSFC), 도 10의 (B)의 회로(BSFC1), 또는 도 10의 (C)의 회로(BSFC2)를 사용함으로써, 회로(BSPR)의 단자(To)로부터 출력되는 전위를 피드백하여 회로(BB)의 단자(Bo)(노드(N))에 고정 전위를 공급할 수 있다. 이 결과, 회로(BSPR)의 단자(To)로부터 출력되는 전위가 안정될 수 있다.

[0268] <증폭 회로의 레이아웃의 예>

[0269] 다음으로, 상술한 증폭 회로의 레이아웃 도면(평면 모식도)의 일례에 대하여 설명한다.

[0270] 도 11은 도 3의 (C)에 나타낸 회로(BSFB1B)의 레이아웃 도면이다. 특히 도 3의 (C)의 회로(BSFB1B)에 포함되는 회로(BB)에는 도 9의 (A)에 나타낸 회로(BB)를 적용하였다. 또한 도 11의 레이아웃 도면에는 트랜지스터(MNFa), 트랜지스터(MNa), 트랜지스터(MNb), 및 트랜지스터(MNg) 각각의 백 게이트를 나타내지 않았지만, 백 게이트가 제공되어도 좋다.

[0271] 또한 도 11에서 회로(BSFB1B)는 도전체(GEM), 도전체(SDM), 반도체(SMC), 및 도전체(PLG)를 포함한다. 또한

도 11에는 회로(BSFB1B)에 포함되는 절연체를 도시하지 않았다.

[0272] 반도체(SMC)는 일례로서 도전체(GEM)의 아래쪽에 위치한다. 또한 도전체(GEM)는 일례로서 도전체(SDM) 아래쪽에 위치한다. 즉 도 11의 회로(BSFB1B)에서는 아래쪽으로부터 반도체(SMC), 도전체(GEM), 및 도전체(SDM)가 이 순서대로 형성되어 있다.

[0273] 도전체(GEM)의 일부는 일례로서, 트랜지스터(MNFa), 트랜지스터(MNa), 트랜지스터(MNb), 및 트랜지스터(MNg) 각각의 게이트(제 1 게이트라고 부르는 경우가 있음)로서 기능한다.

[0274] 반도체(SMC), 도전체(GEM), 및 도전체(SDM) 각각은 예를 들어 포토리소그래피법을 사용하여 형성할 수 있다. 구체적으로는 예를 들어 도전체(GEM)를 형성하는 경우에는, 도전체(GEM)가 되는 도전 재료를 스퍼터링법, CVD(Chemical Vapor Deposition)법, PLD(Pulsed Laser Deposition)법, 및 ALD(Atomic Layer Deposition)법 중에서 선택된 하나 이상의 방법을 사용하여 형성하고, 그 후에 포토리소그래피법에 의하여 원하는 패턴을 형성하면 좋다. 또한 반도체(SMC) 및 도전체(SDM)에 대해서도 상기와 같은 방법에 의하여 형성할 수 있다.

[0275] 또한 반도체(SMC)와 도전체(GEM) 사이에 절연체가 제공되어도 좋다. 특히 반도체(SMC)와 도전체(GEM) 사이에 제공되는 절연체는 게이트 절연막(제 1 게이트 절연막, 프런트 게이트 절연막이라고 부르는 경우가 있음)으로서 기능하는 경우가 있다. 또한 도전체(GEM)와 도전체(SDM) 사이에도 절연체가 제공되어도 좋다.

[0276] 또한 반도체(SMC)와 도전체(SDM) 사이에는 배선 또는 플러그로서 기능하는 도전체(PLG)가 제공되어 있다. 또한 이와 마찬가지로 도전체(GEM)와 도전체(SDM) 사이에도 배선 또는 플러그로서 기능하는 도전체(PLG)가 제공되어 있다. 도전체(PLG)는 예를 들어 상기 절연체에 개구부를 형성하고, 상기 개구부에 도전체(PLG)가 되는 도전 재료를 매립함으로써 형성된다. 또한 도전체(PLG) 형성 후에는 도전체(PLG) 및 주변의 절연체 각각의 막 면의 높이를 정렬시키기 위하여, 화학 기계 연마법 등을 사용한 평탄화 처리에 의하여 평탄화시켜도 좋다.

[0277] 도 11에 나타낸 트랜지스터(MNFa), 트랜지스터(MNa), 트랜지스터(MNb), 및 트랜지스터(MNg) 각각은 일례로서 반도체(SMC), 도전체(GEM), 절연체, 및 도전체(PLG) 각각의 일부를 포함한다.

[0278] 또한 도 11에 나타낸 용량 소자(Ca)는 도전체(SDM) 및 도전체(GEM) 각각의 일부를 포함한다. 또한 구체적으로는 용량 소자(Ca)는 도전체(SDM) 및 도전체(GEM) 각각의 일부가 서로 중첩되는 영역을 포함한다. 즉 용량 소자(Ca)에서 도전체(SDM)의 일부는 한 쌍의 전극 중 한쪽으로서 기능하고, 도전체(GEM)의 일부는 한 쌍의 전극 중 다른 쪽으로서 기능한다. 또한 용량 소자(Ca)에 포함되는 도전체(SDM)와 도전체(GEM) 사이에는 유전율이 높은 절연체가 제공되어 있는 것이 바람직하다.

[0279] 또한 본 발명의 일 형태의 표시 장치에 따른 레이아웃 도면은 도 11에 한정되지 않는다. 본 발명의 일 형태의 표시 장치에 따른 레이아웃 도면은 도 11을 적절히 변경한 도면이어도 좋다.

[0280] <표시 장치에 대한 적용예>

[0281] 다음으로 상술한 증폭 회로를 포함하는 구동 회로와, 상기 구동 회로를 포함하는 표시 장치에 대하여 설명한다.

[0282] 먼저 표시 장치에 대하여 설명한다. 도 12는 상술한 증폭 회로를 포함한 구동 회로를 포함하는 표시 장치의 구성예를 나타낸 것이다. 도 12에 나타낸 표시 장치(DSP)는 일례로서 구동 회로(GD), 구동 회로(SD), 및 화소 어레이(PA)를 포함한다.

[0283] 또한 도 12에서는 구동 회로(GD), 구동 회로(SD), 화소 어레이(PA), 배선(GL[1]), 배선(GL[m]), 배선(SL[1]), 배선(SL[n]), 화소 회로(PX[1,1]), 화소 회로(PX[m,1]), 화소 회로(PX[1,n]), 및 화소 회로(PX[m,n])(m은 1 이상의 정수(整數)이고 n은 1 이상의 정수임)를 발췌하여 나타내었다.

[0284] 화소 어레이(PA)는 일례로서 복수의 화소 회로(PX)를 포함한다. 또한 화소 회로(PX)는 화소 어레이(PA)에서 m행 n열의 매트릭스로 배치되어 있다.

[0285] 또한 도 12에 나타낸 화소 회로(PX)라는 부호는 그 화소 회로의 어드레스를 나타낸 것이다. 예를 들어 화소 회로(PX[1,1])라는 부호는 화소 어레이(PA)에서 1행 1열의 위치에 배치되어 있는 화소 회로(PX)를 나타낸다. 또한 예를 들어 화소 회로(PX[m,1])라는 부호는 화소 어레이(PA)에서 m행 1열의 위치에 배치되어 있는 화소 회로(PX)를 나타낸다. 또한 예를 들어 화소 회로(PX[1,n])라는 부호는 화소 어레이(PA)에서 1행 n열의 위치에 배치되어 있는 화소 회로(PX)를 나타낸다. 또한 예를 들어 화소 회로(PX[m,n])라는 부호는 화소 어레이(PA)에서 m행 n열의 위치에 배치되어 있는 화소 회로(PX)를 나타낸다.

[0286] 또한 화소 어레이(PA)의 i행 j열(i는 1 이상 m 이하의 정수로 하고, j는 1 이상 n 이하의 정수로 함)에 배치되어 있는 화소 회로(PX)를 화소 회로(PX[i,j])(도시하지 않았음)로 한다. 화소 회로(PX[i,j])는 일례로서 배선(GL[i])(도시하지 않았음)에 전기적으로 접속되어 있다. 또한 화소 회로(PX[i,j])는 일례로서 배선(SL[j])(도시하지 않았음)에 전기적으로 접속되어 있다.

[0287] 구동 회로(GD)는 일례로서 배선(GL[1]) 내지 배선(GL[m])에 전기적으로 접속되어 있다. 또한 구동 회로(SD)는 일례로서 배선(SL[1]) 내지 배선(SL[n])에 전기적으로 접속되어 있다.

[0288] 배선(GL[1]) 내지 배선(GL[m]) 각각은 일례로서 화소 어레이(PA)에서 행 방향으로 연장되어 제공되는 배선으로 할 수 있다. 또한 배선(GL)에 부기한 [x]는 그 배선이 연장되어 제공되는 행의 번호를 나타낸 것이다. 예를 들어 배선(GL[1])이라는 부호는 화소 어레이(PA)에서 첫 번째 행에 연장되어 제공되는 배선을 의미한다. 또한 예를 들어 배선(GL[m])이라는 부호는 화소 어레이(PA)에서 m 번째 행에 연장되어 제공되는 배선을 의미한다.

[0289] 배선(SL[1]) 내지 배선(SL[n]) 각각은 일례로서 화소 어레이(PA)에서 열 방향으로 연장되어 제공되는 배선으로 할 수 있다. 또한 배선(SL)에 부기한 [y]는 그 배선이 연장되어 제공되는 열의 번호를 나타낸 것이다. 예를 들어 배선(SL[1])이라는 부호는 화소 어레이(PA)에서 첫 번째 열에 연장되어 제공되는 배선을 의미한다. 또한 예를 들어 배선(SL[n])이라는 부호는 화소 어레이(PA)에서 n 번째 열에 연장되어 제공되는 배선을 의미한다.

[0290] 화소 회로(PX)는 예를 들어 액정 표시 디바이스, 유기 EL 재료를 포함한 발광 디바이스, 무기 EL 재료를 포함한 발광 디바이스, 및 발광 다이오드(예를 들어 마이크로 LED(Light Emitting Diode))를 포함한 발광 디바이스 중에서 선택된 하나 이상이 적용된 화소 회로로 할 수 있다. 또한 본 실시형태에서 화소 어레이(PA)의 화소 회로(PX)에는 유기 EL 재료가 포함되는 발광 디바이스가 적용된 것으로 하여 설명한다. 특히 고휘도 발광이 가능한 발광 디바이스로부터 방출되는 광의 휘도로서는 예를 들어 500cd/m^2 이상, 바람직하게는 1000cd/m^2 이상 10000cd/m^2 이하, 더 바람직하게는 2000cd/m^2 이상 5000cd/m^2 이하로 할 수 있다.

[0291] 구동 회로(GD)는 일례로서 표시 장치(DSP)의 화소 어레이(PA)에서 화상 데이터를 송신할 화소 회로(PX)를 선택하는 기능을 가진다. 그러므로 구동 회로(GD)는 게이트 드라이버 회로 등이라고 할 수 있다.

[0292] 또한 이에 의하여 구동 회로(GD)와 화소 회로(PX) 사이를 전기적으로 접속하는 배선(GL)은 일례로서, 선택 신호를 송신하는 배선으로서 기능한다. 또한 배선(GL)은 선택 신호를 송신하는 배선으로서 기능하는 것이 아니라, 예를 들어 고정 전위를 공급하는 배선으로서 기능하여도 좋다.

[0293] 구동 회로(SD)는 일례로서 표시 장치(DSP)의 화소 어레이(PA)에서의 화소 회로(PX)에 대하여 화상 데이터를 송신하는 기능을 가진다. 그러므로 구동 회로(SD)는 소스 드라이버 회로 등이라고 할 수 있다.

[0294] 또한 이에 의하여 구동 회로(SD)와 화소 회로(PX) 사이를 전기적으로 접속하는 배선(SL)은 일례로서 화상 데이터를 신호로서 송신하는 배선으로서 기능한다. 또한 배선(SL)은 화상 데이터를 송신하는 배선이 아니라, 예를 들어 고정 전위를 공급하는 배선으로서 기능하여도 좋다.

[0295] 또한 도 12에 나타낸 표시 장치(DSP)에는 배선(GL[1]) 내지 배선(GL[m]) 및 배선(SL[1]) 내지 배선(SL[n]) 이외의 배선이 연장되어 제공되어 있어도 좋다. 예를 들어 표시 장치(DSP)에는 화소 회로(PX)에 공급하기 위한 고정 전위를 공급하는 배선이 연장되어 제공되어 있어도 좋다.

[0296] <<구동 회로(GD)의 구성예>>

[0297] 도 13의 (A)는 도 12의 표시 장치(DSP)에 적용할 수 있는 본 발명의 일 형태에 따른 구동 회로(GD)의 구성예를 나타낸 것이다. 도 13의 (A)에 나타낸 구동 회로(GD)는 일례로서 회로(100[1]) 내지 회로(100[m])를 포함한다.

[0298] 회로(100[1]) 내지 회로(100[m]) 각각은 예를 들어 단자(IT), 단자(OT), 단자(CLK1), 단자(CLK2), 단자(PWC), 및 단자(GT)를 포함한다.

[0299] 회로(100[1]) 내지 회로(100[m]) 각각에서 예를 들어 단자(CLK1)는 배선(CL1)에 전기적으로 접속되고, 단자(CLK2)는 배선(CL2)에 전기적으로 접속되고, 단자(PWC)는 배선(PL)에 전기적으로 접속되어 있다.

[0300] 배선(CL1), 배선(CL2), 및 배선(PL) 각각은 예를 들어 클록 신호 등의 가변 전위(본 명세서에서 펄스 전압이라고 하는 경우가 있음)를 공급하는 배선으로서 기능한다. 또한 배선(CL1), 배선(CL2), 및 배선(PL) 중에서 선택된 하나 이상을 가변 전위가 아니라 고정 전위를 공급하는 배선으로 하여도 좋다.

[0301] 회로(100[k])(k는 1 이상 m-1 이하의 정수로 함)의 단자(OT)는 예를 들어 회로(100[k+1])의 단자(IT)에 전기적

으로 접속되어 있다.

[0302] 회로(100[i])의 단자(GT)는 예를 들어 배선(GL[i])에 전기적으로 접속되어 있다.

[0303] 회로(100[1]) 내지 회로(100[m]) 각각은 일례로서 단자(IT)에 입력된 정보를 유지하는 기능과, 유지된 정보를 단자(OT) 및 단자(GT) 중 한쪽 또는 양쪽에 출력하는 기능을 가진다.

[0304] 또한 예를 들어 회로(100[i])는 단자(CLK1)에 고레벨 전위가 입력되었을 때, 회로(100[i])에 유지되어 있는 정보를 단자(OT)에 출력하는 기능을 가진다. 또한 예를 들어 회로(100[i])는 단자(PWC)에 고레벨 전위가 입력되었을 때, 회로(100[i])에 유지되어 있는 정보를 단자(GT)에 출력하는 기능을 가진다. 또한 예를 들어 회로(100[i])는 단자(CLK2)에 고레벨 전위가 입력되었을 때, 회로(100[i])에 유지되어 있는 정보를 리셋하는 기능을 가진다. 또한 회로(100[i])는 회로(100[i])에 유지되어 있는 정보가 리셋된 후에 회로(100[i])의 단자(IT)에 새로운 정보가 입력됨으로써, 회로(100[i])에 새로운 정보를 유지하는 구성으로 하는 것이 바람직하다.

[0305] 상술한 바와 같이 회로(100[1]) 내지 회로(100[m])에서 회로(100[1])의 단자(IT)에 정보가 입력된 후, 단자(CLK1) 및 단자(CLK2)에 가변 전위가 적절한 타이밍에 입력됨으로써, 상기 정보를 회로(100[2]) 이후의 회로에 순차적으로 송신할 수 있다. 또한 회로(100[1])의 단자(IT)에 정보가 입력된 후, 단자(PWC)에 가변 전위가 적절한 타이밍에 입력됨으로써, 회로(100[1]) 내지 회로(100[m]) 각각에 유지되어 있는 정보를 회로(100[1]) 내지 회로(100[m]) 각각의 단자(GT)로부터 출력할 수 있다. 그러므로 본 명세서 등에서는 회로(100[1]) 내지 회로(100[m])의 구성을 시프트 레지스터라고 할 수 있다.

[0306] 또한 상술한 정보는 예를 들어 화소 어레이(PA)에서 화상 데이터를 기록하는 화소 회로(PX)를 선택하기 위한 선택 신호로 할 수 있다. 또한 도 13의 (A)에서는 상기 선택 신호를 신호(SS)라고 나타내었다.

[0307] 또한 도 13의 (A)에 나타낸 구동 회로(GD)에서 회로(100[m])에는 단자(OT)를 나타내었지만, 회로(100[1]) 내지 회로(100[m])는 시프트 레지스터의 구성을 가지기 때문에 회로(100[m])에는 단자(OT)를 제공하지 않는 구성으로 하여도 좋다.

[0308] 또한 도 12의 표시 장치(DSP)에 적용할 수 있는 구동 회로(GD)의 구성은 도 13의 (A)에 한정되지 않는다. 예를 들어 도 12의 표시 장치(DSP)에 적용할 수 있는 구동 회로(GD)의 구성으로서는 도 13의 (B)에 나타낸 구동 회로(GD)로 하여도 좋다. 도 13의 (B)의 구동 회로(GD)는 회로(BF[1]) 내지 회로(BF[m])를 포함하는 점에서 도 13의 (A)의 구동 회로(GD)와 다르다.

[0309] 도 13의 (B)의 구동 회로(GD)에서는 회로(BF[1]) 내지 회로(BF[m]) 각각의 입력 단자는 회로(100[1]) 내지 회로(100[m]) 각각의 단자(GT)에 1대 1로 전기적으로 접속되고, 회로(BF[1]) 내지 회로(BF[m]) 각각의 출력 단자는 배선(GL[1]) 내지 배선(GL[m]) 각각에 1대 1로 전기적으로 접속되어 있다.

[0310] 회로(BF[1]) 내지 회로(BF[m]) 각각은 예를 들어 버퍼 회로, 인버터 회로, 또는 래치 회로 등의 증폭 회로가 포함되어 있는 구성으로 할 수 있다. 구체적으로 회로(BF[1]) 내지 회로(BF[m]) 각각은 단자(GT)의 전위를 참조하여 배선(GL)에 상기 전위를 증폭한 전위를 출력하는 기능을 가질 수 있다.

[0311] 또한 도 13의 (A) 및 (B)에 나타낸 구동 회로(GD)에는 배선(CL1), 배선(CL2), 및 배선(PL) 이외의 배선이 연장되어 제공되어 있어도 좋다. 예를 들어 회로(100[1]) 내지 회로(100[m]) 각각을 구동하기 위한 고정 전위를 공급하는 배선이 연장되어 제공되어 있어도 좋다.

[0312] 도 14의 회로(100A)는 도 13의 (A) 또는 (B)의 구동 회로(GD)에 포함되어 있는 회로(100[1]) 내지 회로(100[m]) 각각에 적용할 수 있는 회로 구성을 가진다.

[0313] 회로(100A)는 일례로서 회로(BSPRc), 회로(BSPRd), 회로(FBc), 트랜지스터(MN1), 트랜지스터(MN4), 트랜지스터(MN5), 트랜지스터(MN8), 트랜지스터(MN12), 트랜지스터(MN16), 및 용량 소자(C5)를 포함한다. 또한 회로(100A)는 일례로서 단자(IT), 단자(PWC), 단자(CLK1), 단자(CLK2), 단자(GT), 및 단자(OT)를 포함한다.

[0314] 또한 도 14의 회로(100A)에서 회로(BSPRc) 및 회로(BSPRd) 각각에는 도 2의 (A)에 나타낸 회로(BSPR)를 적용하였다. 회로(BSPRc)는 트랜지스터(MN11), 용량 소자(C3), 회로(BBc)를 포함하고, 회로(BSPRd)는 트랜지스터(MN15), 용량 소자(C4), 및 회로(BBd)를 포함한다.

[0315] 또한 트랜지스터(MN11) 및 트랜지스터(MN15)에 대해서는, 도 2의 (A)의 회로(BSPR)에 포함되는 트랜지스터(MNb)에 대한 설명을 참조할 수 있다. 또한 용량 소자(C3) 및 용량 소자(C4)에 대해서는, 도 2의 (A)의 회로(BSPR)에 포함되는 용량 소자(Ca)에 대한 설명을 참조할 수 있다. 또한 회로(BBc) 및 회로(BBd)에 대해서는,

도 2의 (A)의 회로(BSPR)에 포함되는 회로(BB)에 대한 설명을 참조할 수 있다.

[0316] 트랜지스터(MN1)의 제 1 게이트는 트랜지스터(MN8)의 제 1 게이트 및 단자(IT)에 전기적으로 접속되고, 트랜지스터(MN1)의 제 1 단자는 배선(VDE1)에 전기적으로 접속되어 있다. 또한 트랜지스터(MN1)의 제 2 단자는 트랜지스터(MN4)의 제 1 단자, 회로(BBc)의 단자(Bi), 회로(FBc)의 단자(Fo), 및 회로(BBd)의 단자(Bi)에 전기적으로 접속되어 있다.

[0317] 트랜지스터(MN5)의 제 1 게이트는 단자(CLK2)에 전기적으로 접속되고, 트랜지스터(MN5)의 제 1 단자는 배선(VDE2)에 전기적으로 접속되어 있다. 또한 트랜지스터(MN5)의 제 2 단자는 트랜지스터(MN4)의 제 1 게이트, 용량 소자(C5)의 제 1 단자, 트랜지스터(MN8)의 제 1 단자, 트랜지스터(MN12)의 제 1 게이트, 및 트랜지스터(MN16)의 제 1 게이트에 전기적으로 접속되어 있다.

[0318] 트랜지스터(MN11)의 제 1 게이트는 회로(BBc)의 단자(Bo) 및 용량 소자(C3)의 제 1 단자에 전기적으로 접속되고, 트랜지스터(MN11)의 제 1 단자는 단자(CLK1)에 전기적으로 접속되어 있다. 또한 트랜지스터(MN11)의 제 2 단자는 용량 소자(C3)의 제 2 단자, 트랜지스터(MN12)의 제 1 단자, 단자(OT), 및 회로(FBc)의 단자(Fi)에 전기적으로 접속되어 있다.

[0319] 트랜지스터(MN15)의 제 1 게이트는 회로(BBd)의 단자(Bo) 및 용량 소자(C4)의 제 1 단자에 전기적으로 접속되고, 트랜지스터(MN15)의 제 1 단자는 단자(PWC)에 전기적으로 접속되어 있다. 또한 트랜지스터(MN15)의 제 2 단자는 용량 소자(C4)의 제 2 단자, 트랜지스터(MN16)의 제 1 단자, 및 단자(GT)에 전기적으로 접속되어 있다.

[0320] 트랜지스터(MN4)의 제 2 단자는 배선(VSE1)에 전기적으로 접속되어 있다. 또한 용량 소자(C5)의 제 2 단자는 배선(VSE2)에 전기적으로 접속되어 있다. 또한 트랜지스터(MN8)의 제 2 단자는 배선(VSE3)에 전기적으로 접속되어 있다. 또한 트랜지스터(MN12)의 제 2 단자는 배선(VSE4)에 전기적으로 접속되어 있다. 또한 트랜지스터(MN16)의 제 2 단자는 배선(VSE5)에 전기적으로 접속되어 있다.

[0321] 또한 도 14에서는 트랜지스터(MN1)의 제 2 단자, 트랜지스터(MN4)의 제 1 단자, 회로(BBc)의 단자(Bi), 회로(BBd)의 단자(Bi), 및 회로(FBc)의 단자(Fo)의 전기적인 접속점을 노드(N1)라고 나타내었다. 또한 도 14에서는 트랜지스터(MN5)의 제 2 단자, 트랜지스터(MN4)의 제 1 게이트, 트랜지스터(MN8)의 제 1 단자, 트랜지스터(MN12)의 제 1 게이트, 트랜지스터(MN16)의 제 1 게이트, 및 용량 소자(C5)의 제 1 단자의 전기적인 접속점을 노드(N2)라고 나타내었다.

[0322] 상술한 바와 같이 회로(BSPRc) 및 회로(BSPRd) 각각은 도 2의 (A)에 나타낸 회로(BSPR)에 상당한다. 또한 도 14의 회로(BSPRc)와 회로(FBc)의 조합은 도 1의 (A)에 나타낸 회로(BSFB)에 상당한다.

[0323] 배선(VDE1) 및 배선(VDE2) 각각은 일례로서 고정 전위를 공급하는 배선으로서 기능한다. 상기 고정 전위로서는 예를 들어 고레벨 전위로 할 수 있다. 또한 배선(VDE1) 및 배선(VDE2) 각각은 서로 같은 고정 전위를 공급하여도 좋고, 상이한 고정 전위를 공급하여도 좋다. 또한 예를 들어 배선(VDE1)과 배선(VDE2) 각각이 서로 같은 고정 전위를 공급하는 경우, 배선(VDE1)과 배선(VDE2)을 동일한 배선으로 하여도 좋다.

[0324] 또한 배선(VDE1) 및 배선(VDE2) 중 한쪽 또는 양쪽을 고정 전위가 아니라 가변 전위를 공급하는 배선으로 하여도 좋다.

[0325] 배선(VSE1) 내지 배선(VSE5) 각각은 일례로서 고정 전위를 공급하는 배선으로서 기능한다. 상기 고정 전위로서는, 예를 들어 저레벨 전위, 접지 전위, 또는 음의 전위로 할 수 있다. 또한 배선(VSE1) 내지 배선(VSE5) 각각은 서로 같은 고정 전위를 공급하여도 좋고, 상이한 고정 전위를 공급하여도 좋다. 또한 배선(VSE1) 내지 배선(VSE5) 각각에서 선택된 2개 이상의 배선은 서로 같은 고정 전위를 공급하고, 나머지 배선은 상기 고정 전위와 상이한 전위를 공급하여도 좋다. 또한 배선(VSE1) 내지 배선(VSE5) 중 서로 같은 고정 전위를 공급하는 2개 이상의 배선을 동일한 배선으로 하여도 좋다. 예를 들어 배선(VSE1)과 배선(VSE2) 각각이 서로 같은 고정 전위를 공급하는 경우, 배선(VSE1)과 배선(VSE2)을 동일한 배선으로 하여도 좋다.

[0326] 또한 배선(VSE1) 내지 배선(VSE5)에서 선택된 하나 이상을 고정 전위가 아니라 가변 전위를 공급하는 배선으로 하여도 좋다.

[0327] 앞에서 설명한 도 14의 회로(100A)와 같이, 회로(BSPRc)와 회로(FBc)를 병렬로 접속시킨 회로를 사용함으로써, 회로(BSPRc)의 출력 단자의 전위(트랜지스터(MN11)의 제 2 단자의 전위 또는 용량 소자(C3)의 제 2 단자의 전위

에 상당함)를 안정화시킬 수 있다. 즉 회로(100A)에서 단자(OT)의 전위를 안정화시킬 수 있다.

[0328] <<회로(100A)의 동작예>>

[0329] 도 15는 회로(100A)의 동작예를 나타낸 타이밍 차트이다. 도 15에 나타낸 타이밍 차트는 일례로서 단자(IT), 단자(PWC), 단자(CLK1), 단자(CLK2), 노드(N1), 노드(N2), 단자(GT), 및 단자(OT)의 각 전위의 변동을 나타낸 것이다. 또한 도 15에서는 고레벨 전위를 V_{High}라고 표기하고, 저레벨 전위를 V_{Low}라고 표기한다.

[0330] 또한 도 15의 타이밍 차트에서는 회로(100A)의 동작을 간편하게 설명하기 위하여 도 15의 타이밍 차트에 나타내어진 신호의 입력 기간의 길이, 출력 기간의 길이 등은 실제의 회로 동작과 다른 경우가 있다.

[0331] 또한 본 동작예에서 배선(VDE1) 및 배선(VDE2) 각각이 공급하는 고정 전위는 서로 같은 고레벨 전위 V_{High}로 한다. 또한 배선(VSE1) 내지 배선(VSE5) 각각이 공급하는 고정 전위는 서로 같은 저레벨 전위 V_{Low}로 한다.

[0332] 또한 고레벨 전위 V_{High}와 저레벨 전위 V_{Low} 각각은 고레벨 전위 V_{High}와 저레벨 전위 V_{Low}의 차이가 도 14에 기재된 트랜지스터 각각의 문턱 전압보다 높아지는 전위로 하는 것이 바람직하다.

[0333] [시각 T1부터 시각 T2까지]

[0334] 시각 T1부터 시각 T2까지의 기간에, 단자(IT)에는 저레벨 전위 V_{Low}가 공급되고, 단자(PWC)에는 저레벨 전위 V_{Low}가 공급되고, 단자(CLK1)에는 V_{Low}가 공급되고, 단자(CLK2)에는 저레벨 전위 V_{Low}가 공급되는 것으로 한다. 또한 노드(N2)에는 일례로서 저레벨 전위 V_{Low}가 유지되어 있는 것으로 한다.

[0335] 단자(CLK2)에 저레벨 전위 V_{Low}가 공급될 때, 트랜지스터(MN5)의 제 1 게이트의 전위는 저레벨 전위 V_{Low}가 된다. 또한 트랜지스터(MN5)의 문턱 전압은 적절한 범위 내에 있는 것으로 한다. 그러므로 트랜지스터(MN5)는 오프 상태가 된다.

[0336] 트랜지스터(MN4)의 제 1 게이트의 전위(노드(N2)의 전위)가 고레벨 전위 V_{High}이고, 트랜지스터(MN4)의 제 2 단자에는 배선(VSE1)으로부터의 저레벨 전위 V_{Low}가 공급되기 때문에, 트랜지스터(MN4)는 온 상태가 된다. 이에 의하여, 노드(N1)와 배선(VSE1) 사이가 도통 상태가 되기 때문에, 노드(N1)의 전위는 저레벨 전위 V_{Low}가 된다.

[0337] 또한 단자(IT)에 저레벨 전위 V_{Low}가 공급될 때, 트랜지스터(MN1)의 제 1 게이트의 전위는 저레벨 전위 V_{Low}인 것으로 한다. 또한 트랜지스터(MN1)의 문턱 전압은 적절한 범위 내에 있는 것으로 한다. 그러므로 트랜지스터(MN1)는 오프 상태가 된다.

[0338] 트랜지스터(MN12)의 제 1 게이트의 전위(노드(N2)의 전위)가 저레벨 전위 V_{Low}이고, 트랜지스터(MN12)의 제 2 단자에는 배선(VSE4)으로부터의 저레벨 전위 V_{Low}가 공급되기 때문에, 트랜지스터(MN12)는 오프 상태가 된다.

[0339] 트랜지스터(MN16)의 제 1 게이트의 전위(노드(N2)의 전위)가 저레벨 전위 V_{Low}이고, 트랜지스터(MN16)의 제 2 단자에는 배선(VSE5)으로부터의 저레벨 전위 V_{Low}가 공급되기 때문에, 트랜지스터(MN16)는 오프 상태가 된다.

[0340] 트랜지스터(MN8)의 제 1 게이트의 전위(단자(IT)의 전위)가 저레벨 전위 V_{Low}이고, 트랜지스터(MN8)의 제 2 단자에는 배선(VSE3)으로부터의 저레벨 전위 V_{Low}가 공급되기 때문에, 트랜지스터(MN8)는 오프 상태가 된다.

[0341] 또한 도 15의 타이밍 차트의 시각 T1부터 시각 T2까지의 기간에, 단자(OT) 및 단자(GT) 각각의 전위는 일례로서 저레벨 전위 V_{Low}이다. 시각 T1부터 시각 T2까지의 기간에, 단자(OT) 및 단자(GT) 각각의 전위는 고레벨 전위 V_{High}이어도 좋다.

[0342] [시각 T2부터 시각 T3까지]

[0343] 시각 T2부터 시각 T3까지의 기간에, 단자(CLK2)에는 고레벨 전위 V_{High}가 공급된다.

[0344] 또한 단자(CLK2)에 고레벨 전위 V_{High}가 공급됨으로써 트랜지스터(MN5)의 게이트의 전위는 고레벨 전위 V_{High}가 된다.

[0345] 여기서 트랜지스터(MN5)는 노멀리 오프이고, 트랜지스터(MN5)의 문턱 전압을 V_{th_MN5}로 한다. 또한 문턱 전압 V_{th_MN5}는 $V_{High}-V_{Low}>V_{th_MN5}$를 만족하는 전압으로 한다.

[0346] 트랜지스터(MN5)의 제 2 단자의 전위(노드(N2)의 전위)가 저레벨 전위 V_{Low}일 때, 트랜지스터(MN5)는 온 상태가 되고, 트랜지스터(MN5)의 제 2 단자(노드(N2))에는 배선(VDE2)으로부터의 전하가 축적된다. 또한 트랜지스터(MN5)의 게이트-소스 간 전압(이 타이밍에서는 게이트-제 2 단자 간 전압)이 $V_{High}-V_{th_MN5}$가 될 때까지 노드(N2)에 전하가 축적되었을 때 트랜지스터(MN5)는 오프 상태가 된다. 이에 의하여, 노드(N2)에는 전위 $V_{High}-V_{th_MN5}$가 유지된다.

[0347] 또한 트랜지스터(MN5)의 제 2 단자의 전위(노드(N2)의 전위)가 고레벨 전위 V_{High}보다 높을 때, 트랜지스터(MN5)의 제 1 단자가 소스가 되고, 노드(N2)로부터 배선(VDE1)에 전하가 방출된다. 또한 트랜지스터(MN5)의 제 2 단자의 전위(노드(N2)의 전위)가 $V_{High}-V_{th_MN5}$가 되었을 때 트랜지스터(MN5)는 오프 상태가 된다. 이에 의하여, 노드(N2)에는 상기와 마찬가지로 $V_{High}-V_{th_MN5}$가 유지된다.

[0348] 또한 시각 T2부터 시각 T3까지의 기간에, 단자(CLK2)에 고레벨 전위 V_{High}가 공급된 후에는 단자(CLK2)에 저레벨 전위 V_{Low}가 공급된다. 이에 의하여, 트랜지스터(MN5)의 제 1 게이트의 전위는 저레벨 전위 V_{Low}인 것으로 한다.

[0349] 상기 동작에 의하여 회로(100A)는 단자(CLK2)에 고레벨 전위 V_{High}가 공급됨으로써 노드(N2)의 전위를 고레벨 전위 V_{High}로 리프레시할 수 있다.

[0350] 또한 노드(N2)의 전위가 $V_{High}-V_{th_MN5}$이므로 트랜지스터(MN12)의 제 1 게이트의 전위(노드(N2)의 전위)는 $V_{High}-V_{th_MN5}$가 되고, 트랜지스터(MN12)의 제 2 단자에는 배선(VSE4)으로부터의 저레벨 전위 V_{Low}가 공급되기 때문에, 트랜지스터(MN12)는 온 상태가 된다. 그러므로 단자(OT)와 배선(VSE4) 사이가 도통 상태가 되기 때문에, 단자(OT)의 전위는 저레벨 전위 V_{Low}가 된다.

[0351] 또한 노드(N2)의 전위가 $V_{High}-V_{th_MN5}$이므로 트랜지스터(MN16)의 제 1 게이트의 전위(노드(N2)의 전위)가 $V_{High}-V_{th_MN5}$가 되고, 트랜지스터(MN16)의 제 2 단자에는 배선(VSE5)으로부터의 저레벨 전위 V_{Low}가 공급되기 때문에, 트랜지스터(MN16)는 온 상태가 된다. 이로써 단자(GT)와 배선(VSE5) 사이가 도통 상태가 되기 때문에, 단자(GT)의 전위는 저레벨 전위 V_{Low}가 된다.

[0352] [시각 T3부터 시각 T4까지]

[0353] 시각 T3부터 시각 T4까지의 기간에, 단자(IT)에는 저레벨 전위 V_{Low}가 공급되고, 단자(PWC)에는 저레벨 전위 V_{Low}가 공급되고, 단자(CLK1)에는 V_{Low}가 공급되고, 단자(CLK2)에는 저레벨 전위 V_{Low}가 공급되는 것으로 한다. 시각 T3부터 시각 T4까지의 기간에 단자(IT), 단자(PWC), 단자(CLK1), 및 단자(CLK2) 각각에 입력되는 전위는 시각 T1부터 시각 T2까지의 기간에 단자(IT), 단자(PWC), 단자(CLK1), 및 단자(CLK2) 각각에 입력되는 전위와 동등하기 때문에, 시각 T3부터 시각 T4까지의 기간에서의 회로(100A)의 동작예에 대해서는, 시각 T1부터 시각 T2까지의 기간에서의 동작예에 대한 설명을 참작한다.

[0354] [시각 T4부터 시각 T5까지]

[0355] 시각 T4부터 시각 T5까지의 기간에, 단자(IT)에는 고레벨 전위 V_{High}가 공급된다.

[0356] 트랜지스터(MN8)의 제 1 게이트에는 단자(IT)로부터의 고레벨 전위 V_{High}가 공급되고, 트랜지스터(MN8)의 제 2 단자에는 배선(VSE3)으로부터 V_{Low}가 공급되기 때문에, 트랜지스터(MN8)는 온 상태가 된다. 이로써 노드(N2)와 배선(VSE3) 사이가 도통 상태가 되기 때문에, 노드(N2)의 전위는 고레벨 전위 V_{High}로부터 저레벨 전위 V_{Low}로 변화된다.

[0357] 또한 이에 의하여 트랜지스터(MN4)의 제 1 게이트의 전위(노드(N2)의 전위)가 저레벨 전위 V_{Low}가 되고, 트랜지스터(MN4)의 제 2 단자에는 배선(VSE1)으로부터의 저레벨 전위 V_{Low}가 공급되기 때문에, 트랜지스터(MN4)는 오프

상태가 된다.

[0358] 또한 이에 의하여 트랜지스터(MN12)의 제 1 게이트의 전위(노드(N2)의 전위)가 저레벨 전위 V_{Low}가 되고, 트랜지스터(MN12)의 제 2 단자에는 배선(VSE4)으로부터의 저레벨 전위 V_{Low}가 공급되기 때문에, 트랜지스터(MN12)는 오프 상태가 된다.

[0359] 또한 이에 의하여 트랜지스터(MN16)의 제 1 게이트의 전위(노드(N2)의 전위)가 저레벨 전위 V_{Low}이고, 트랜지스터(MN16)의 제 2 단자에는 배선(VSE5)으로부터의 저레벨 전위 V_{Low}가 공급되기 때문에, 트랜지스터(MN16)는 오프 상태가 된다.

[0360] 또한 단자(IT)에 고레벨 전위 V_{High}가 공급됨으로써 트랜지스터(MN1)의 게이트의 전위는 고레벨 전위 V_{High}가 된다. 또한 트랜지스터(MN1)의 제 2 단자의 전위(노드(N1)의 전위)가 저레벨 전위 V_{Low}이기 때문에, 트랜지스터(MN1)는 온 상태가 된다. 그러므로 트랜지스터(MN1)의 제 2 단자(노드(N1))에는 배선(VDE1)으로부터 흐르는 전하가 축적된다.

[0361] 여기서 트랜지스터(MN1)는 노멀리 오프이고, 트랜지스터(MN1)의 문턱 전압을 V_{th_MN1}로 한다. 또한 문턱 전압 V_{th_MN1}은 $V_{High}-V_{Low}>V_{th_MN1}$을 만족하는 전압으로 한다.

[0362] 이에 의하여, 트랜지스터(MN1)의 게이트-소스 간 전압(이 타이밍에서는 게이트-제 2 단자 간 전압)이 $V_{High}-V_{th_MN1}$이 될 때까지 노드(N1)에 전하가 축적되었을 때 트랜지스터(MN1)는 오프 상태가 된다. 이에 의하여, 노드(N1)에는 전위 $V_{High}-V_{th_MN1}$이 유지된다.

[0363] 또한 시각 T4부터 시각 T5까지의 기간에, 단자(IT)에 고레벨 전위 V_{High}가 공급된 후에는 단자(IT)에 저레벨 전위 V_{Low}가 공급된다. 이에 의하여, 트랜지스터(MN1)의 제 1 게이트의 전위는 저레벨 전위 V_{Low}인 것으로 한다.

[0364] 트랜지스터(MN8)의 제 1 게이트는 단자(IT)로부터의 저레벨 전위 V_{Low}가 공급되고, 트랜지스터(MN8)의 제 2 단자에는 배선(VSE3)으로부터의 저레벨 전위 V_{Low}가 공급되기 때문에, 트랜지스터(MN8)는 오프 상태가 된다. 이로써 노드(N2)에는 저레벨 전위 V_{Low}가 유지된다.

[0365] [시각 T5부터 시각 T6까지]

[0366] 시각 T5부터 시각 T6까지의 기간에, 단자(CLK1)에는 고레벨 전위 V_{High}가 공급된다.

[0367] 시각 T4부터 시각 T5까지의 기간에, 노드(N1)의 전위는 고레벨 전위 $V_{High}-V_{th_MN1}$이다. 이때 단자(CLK1)에 고레벨 전위 V_{High}가 공급됨으로써, 도 2의 (A)의 회로(BSPR)에 대한 설명에 따르면, 트랜지스터(MN11)의 제 2 단자(단자(OT))의 전위는 고레벨 전위 V_{High}가 된다.

[0368] 또한 회로(FBc)의 단자(Fi)에는 트랜지스터(MN11)의 제 2 단자(단자(OT))의 전위인 고레벨 전위 V_{High}가 공급된다. 회로(FBc)로서 도 3의 (A)의 회로(BSFB1)의 회로(FB)를 사용하였을 때, 회로(FBc)는 단자(Fo)에 $V_{High}-V_{th_MNFa}$를 출력한다. 즉 노드(N1)의 전위가 $V_{High}-V_{th_MNFa}$가 된다.

[0369] 또한 도 15의 타이밍 차트에서는 $V_{High}-V_{th_MNFa}$는 $V_{High}-V_{th_MN1}$보다 높은 전위로 하였지만, $V_{High}-V_{th_MNFa}$는 $V_{High}-V_{th_MN1}$과 동등한 전위로 하여도 좋고, $V_{High}-V_{th_MN1}$보다 낮은 전위로 하여도 좋다.

[0370] [시각 T6부터 시각 T7까지]

[0371] 시각 T6부터 시각 T7까지의 기간에, 단자(PWC)에는 고레벨 전위 V_{High}가 공급된다.

[0372] 또한 시각 T5부터 시각 T6까지의 기간에, 노드(N1)의 전위는 $V_{High}-V_{th_MNFa}$이다. 이때 단자(PWC)에 고레벨 전위 V_{High}가 공급됨으로써 도 2의 (A)의 회로(BSPR)에 대한 설명에 따르면 마찬가지로 트랜지스터(MN15)의 제 2 단자(단자(GT))의 전위는 고레벨 전위 V_{High}가 된다.

[0373] 또한 시각 T6부터 시각 T7까지의 기간에, 단자(PWC)에 고레벨 전위 V_{High}가 공급된 후에는 단자(PWC)에 저레벨 전위 V_{Low}가 공급된다. 이에 의하여, 트랜지스터(MN15)의 제 2 단자(단자(GT))의 전위는 시각 T5부터 시각 T6까지의 기간에서의 동작예와 마찬가지로 저레벨 전위 V_{Low}가 된다.

[0374] [시각 T8부터 시각 T9까지]

[0375] 시각 T8부터 시각 T9까지의 기간에, 단자(CLK1)에는 저레벨 전위 V_{Low}가 공급된다.

[0376] 이에 의하여, 트랜지스터(MN11)의 제 2 단자(단자(OT))의 전위는 시각 T4부터 시각 T5까지의 기간에서의 동작예와 마찬가지로 저레벨 전위 V_{Low}가 된다.

[0377] 또한 회로(FBc)의 단자(Fi)에는 트랜지스터(MN11)의 제 2 단자(단자(OT))의 전위인 저레벨 전위 V_{Low}가 공급된다. 회로(FBc)로서 도 3의 (A)의 회로(BSFB1)의 회로(FB)를 사용하였을 때, 회로(FBc)의 트랜지스터(MNFa)는 오프 상태가 된다. 또한 트랜지스터(MNFa)가 오프 상태가 되었을 때 노드(N1)는 플로팅 상태가 된다. 또한 노드(N1)에서 전류 누설이 발생하지 않는 경우, 노드(N1)의 전위는 $V_{High}-V_{th_MNFa}$인 채 유지된다.

[0378] [시각 T9부터 시각 T10까지]

[0379] 시각 T9부터 시각 T10까지의 기간에, 단자(CLK2)에는 고레벨 전위 V_{High}가 공급된다. 이때 회로(100A)의 시각 T9부터 시각 T10까지의 기간에서의 동작은 시각 T2부터 시각 T3까지의 기간에서의 동작과 같다.

[0380] 예를 들어 단자(CLK2)에 고레벨 전위 V_{High}가 공급됨으로써 트랜지스터(MN5)의 제 2 단자의 전위(노드(N2)의 전위)는 고레벨 전위 $V_{High}-V_{th_MN5}$가 된다. 이로써 트랜지스터(MN4), 트랜지스터(MN12), 및 트랜지스터(MN16)가 온 상태가 되고, 노드(N1), 단자(OT), 및 단자(GT)의 각 전위가 V_{Low}가 된다.

[0381] [시각 T10 이후]

[0382] 시각 T10 이후에서는 일례로서 단자(CLK2)에 저레벨 전위 V_{Low}의 가변 전위를 입력하여, 노드(N1)의 전위를 V_{Low}로 하고, 노드(N2)의 전위를 $V_{High}-V_{th_MN5}$로 한 후 단자(IT)에 V_{High}를 입력하지 않고, 단자(CLK1) 또는 단자(PWC)에 V_{High}를 공급한다. 구체적인 동작예를 이하에서 설명한다.

[0383] [시각 T11부터 시각 T12까지]

[0384] 시각 T11부터 시각 T12까지의 기간에, 단자(CLK1)에는 V_{High}가 공급된다.

[0385] 트랜지스터(MN11)의 제 1 게이트의 전위를 V_{Low}로 한다. 트랜지스터(MN11)의 제 1 단자에는 단자(CLK1)로부터의 V_{High}가 공급되고, 트랜지스터(MN11)의 제 2 단자의 전위는 V_{Low}이다. 이때 트랜지스터(MN11)의 제 1 단자의 전위보다 제 2 단자의 전위가 낮아지기 때문에, 트랜지스터(MN11)의 제 2 단자가 소스가 되고, 트랜지스터(MN11)는 오프 상태가 된다. 이에 의하여, 단자(CLK1)와 단자(OT) 사이가 비도통 상태가 된다.

[0386] 또한 트랜지스터(MN12)의 제 1 게이트의 전위는 $V_{High}-V_{th_MN5}$이고, 트랜지스터(MN12)의 제 2 단자에는 배선(VSE4)으로부터의 V_{Low}가 공급되기 때문에, 트랜지스터(MN12)는 온 상태가 된다. 이에 의하여, 단자(OT)와 배선(VSE4) 사이가 도통 상태가 되어, 단자(OT)의 전위는 V_{Low}가 된다.

[0387] 또한 시각 T11부터 시각 T12까지의 기간에, 단자(CLK1)에 V_{High}가 공급된 후에는 단자(CLK1)에 V_{Low}가 공급된다. 트랜지스터(MN11)의 제 1 게이트의 전위는 V_{Low}이고, 트랜지스터(MN11)의 제 1 단자에는 단자(CLK1)로부터의 V_{Low}가 공급되고, 트랜지스터(MN11)의 제 2 단자의 전위는 V_{Low}이기 때문에, 트랜지스터(MN11)의 문턱 전압이 적절한 범위 내에 있으면 트랜지스터(MN11)는 오프 상태가 된다.

[0388] 또한 회로(FBc)의 단자(Fi)에는 트랜지스터(MN11)의 제 2 단자(단자(OT))의 전위인 저레벨 전위 V_{Low}가 공급된다. 회로(FBc)로서 도 3의 (A)의 회로(BSFB1)의 회로(FB)를 사용하였을 때, 회로(FBc)의 트랜지스터(MNFa)는 오프 상태가 된다. 따라서 노드(N1)의 전위는 변화되지 않는다.

[0389] 상술한 바와 같이 단자(CLK2)에 V_{Low}의 가변 전위를 입력하여 노드(N1)의 전위를 V_{Low}로 하고, 노드(N2)의 전위를 $V_{High}-V_{th_MN5}$로 한 후 단자(IT)에 V_{High}를 입력하지 않고 단자(CLK1)에 V_{High}를 공급하여도 트랜지스터(MN11)는 오프 상태를 유지한다. 또한 그 후 단자(CLK1)에 V_{Low}를 공급하여도 트랜지스터(MN11)는 오프 상태를 유지한다.

[0390] [시각 T12부터 시각 T13까지]

[0391] 시각 T12부터 시각 T13까지의 기간에, 단자(PWC)에는 V_{High}가 공급된다.

[0392] 트랜지스터(MN15)의 제 1 게이트의 전위를 V_{Low}로 한다. 트랜지스터(MN15)의 제 1 단자에는 단자(PWC)로부터의 V_{High}가 공급되고, 트랜지스터(MN15)의 제 2 단자의 전위는 V_{Low}이다. 이때 트랜지스터(MN15)의 제 1 단자의 전위보다 제 2 단자의 전위가 낮아지기 때문에, 트랜지스터(MN15)의 제 2 단자가 소스가 되고, 트랜지스터(MN15)는 오프 상태가 된다. 이에 의하여, 단자(PWC)와 단자(GT) 사이가 비도통 상태가 된다.

[0393] 또한 트랜지스터(MN16)의 제 1 게이트의 전위는 $V_{High}-V_{th_MN5}$이고, 트랜지스터(MN16)의 제 2 단자에는 배선(VSE5)으로부터의 V_{Low}가 공급되기 때문에, 트랜지스터(MN16)는 온 상태가 된다. 이에 의하여, 단자(GT)와 배선(VSE5) 사이가 도통 상태가 되어, 단자(GT)의 전위는 V_{Low}가 된다.

[0394] 또한 시각 T12부터 시각 T13까지의 기간에, 단자(PWC)에 V_{High}가 공급된 후에는 단자(PWC)에 V_{Low}가 공급된다. 트랜지스터(MN15)의 제 1 게이트의 전위는 V_{Low}이고, 트랜지스터(MN15)의 제 1 단자에는 단자(PWC)로부터의 V_{Low}가 공급되고, 트랜지스터(MN15)의 제 2 단자의 전위는 V_{Low}이기 때문에, 트랜지스터(MN15)는 오프 상태가 된다.

[0395] 상술한 바와 같이 단자(CLK2)에 V_{Low}의 가변 전위를 입력하여 노드(N1)의 전위를 V_{Low}로 하고, 노드(N2)의 전위를 $V_{High}-V_{th_MN5}$로 한 후 단자(IT)에 V_{High}를 입력하지 않고 단자(PWC)에 V_{High}를 공급하여도 트랜지스터(MN15)는 오프 상태를 유지한다. 또한 그 후 단자(PWC)에 V_{Low}를 공급하여도 트랜지스터(MN15)는 오프 상태를 유지한다.

[0396] <<회로(100A)의 변경예>>

[0397] 구동 회로(GD)의 회로(100[1]) 내지 회로(100[m]) 각각에는 예를 들어 도 16에 나타낸 회로(100A1)를 적용하여도 좋다.

[0398] 회로(100A1)는 도 14의 회로(100A)의 변경예이고, 회로(BSPRd)와 회로(FBd)를 전기적으로 병렬로 접속시킨 구성을 가진다. 또한 회로(FBd)로서는 회로(FBc)에 적용할 수 있는 회로를 사용한다.

[0399] 구체적으로는, 회로(FBd)의 단자(Fo)는 회로(BBd)의 단자(Bi)와, 회로(FBc)의 단자(Fo)와, 회로(BBc)의 단자(Bi)와, 트랜지스터(MN1)의 제 2 단자와, 트랜지스터(MN4)의 제 1 단자에 전기적으로 접속되어 있다. 또한 회로(FBd)의 단자(Fi)는 트랜지스터(MN15)의 제 2 단자와, 트랜지스터(MN16)의 제 1 단자와, 용량 소자(C4)의 제 2 단자와, 단자(GT)에 전기적으로 접속되어 있다.

[0400] 또한 구동 회로(GD)의 회로(100[1]) 내지 회로(100[m]) 각각에는 예를 들어 도 17에 나타낸 회로(100A2)를 적용하여도 좋다.

[0401] 회로(100A2)는 회로(BSPRc) 및 회로(BSPRd)에 도 9의 (A)의 회로(BSPR)를 적용하고, 회로(FBc)에 도 3의 (A)의 회로(FB)를 적용한 구성을 가진다. 그러므로 회로(FBc)에는 트랜지스터(MN9)가 포함되고, 회로(BBc)에는 트랜지스터(MN10)가 포함되고, 회로(BBd)에는 트랜지스터(MN14)가 포함되어 있다.

[0402] 트랜지스터(MN9)의 게이트는 회로(FBc)의 단자(Fi)에 전기적으로 접속되고, 트랜지스터(MN9)의 제 1 단자는 배선(VDE11)에 전기적으로 접속되고, 트랜지스터(MN9)의 제 2 단자는 회로(FBc)의 단자(Fo)에 전기적으로 접속되어 있다. 트랜지스터(MN10)의 게이트는 배선(VDE3)에 전기적으로 접속되고, 트랜지스터(MN10)의 제 1 단자는 회로(BBc)의 단자(Bi)에 전기적으로 접속되고, 트랜지스터(MN10)의 제 2 단자는 회로(BBc)의 단자(Bo)에 전기적으로 접속되어 있다. 트랜지스터(MN14)의 게이트는 배선(VDE4)에 전기적으로 접속되고, 트랜지스터(MN14)의 제 1 단자는 회로(BBd)의 단자(Bi)에 전기적으로 접속되고, 트랜지스터(MN14)의 제 2 단자는 회로(BBd)의 단자(Bo)에 전기적으로 접속되어 있다.

[0403] 배선(VDE11), 배선(VDE3), 및 배선(VDE4) 각각에 대해서는 배선(VDE1) 및 배선(VDE2)에 대한 설명을 참조할 수 있다. 또한 배선(VDE1) 내지 배선(VDE4) 및 배선(VDE11) 각각은 서로 같은 고정 전위를 공급하여도 좋고, 상이

한 고정 전위를 공급하여도 좋다. 또한 배선(VDE1) 내지 배선(VDE4) 및 배선(VDE11) 각각에서 선택된 2개 이상의 배선은 서로 같은 고정 전위를 공급하고, 나머지 배선은 상기 고정 전위와 상이한 전위를 공급하여도 좋다. 또한 배선(VDE1) 내지 배선(VDE4) 및 배선(VDE11) 중 서로 같은 고정 전위를 공급하는 2개 이상의 배선을 동일한 배선으로 하여도 좋다.

[0404] 또한 구동 회로(GD)의 회로(100[1]) 내지 회로(100[m]) 각각에는 예를 들어 도 18에 나타낸 회로(100A3)를 적용하여도 좋다.

[0405] 회로(100A3)는 도 17의 회로(100A2)의 변경예이고, 트랜지스터(MN1), 트랜지스터(MN4), 트랜지스터(MN5), 트랜지스터(MN8) 내지 트랜지스터(MN12), 및 트랜지스터(MN14) 내지 트랜지스터(MN16) 각각의 제 2 게이트의 접속 대상을 명확히 규정한 것이다.

[0406] 트랜지스터(MN1), 트랜지스터(MN5), 트랜지스터(MN9) 내지 트랜지스터(MN11), 트랜지스터(MN14), 및 트랜지스터(MN15) 각각에서 제 1 게이트는 제 2 게이트에 전기적으로 접속되어 있다. 또한 트랜지스터(MN4)의 제 2 게이트는 배선(BG1)에 전기적으로 접속되어 있다. 또한 트랜지스터(MN8)의 제 2 게이트는 배선(BG2)에 전기적으로 접속되어 있다. 또한 트랜지스터(MN12)와 트랜지스터(MN16) 각각의 제 2 게이트는 배선(BG3)에 전기적으로 접속되어 있다.

[0407] 배선(BG1) 내지 배선(BG3) 각각은 일례로서 고정 전위를 공급하는 배선으로서 기능한다. 상기 고정 전위로서는, 예를 들어 저레벨 전위, 접지 전위, 또는 음의 전위로 할 수 있다. 또한 배선(BG1) 내지 배선(BG3) 각각은 서로 같은 고정 전위를 공급하여도 좋고, 상이한 고정 전위를 공급하여도 좋다. 또한 배선(BG1) 내지 배선(BG3) 중에서 선택된 2개 이상이 각각 서로 같은 고정 전위를 공급하는 배선인 경우, 선택된 2개 이상의 배선을 동일한 배선으로 하여도 좋다. 또한 배선(BG1) 내지 배선(BG3)에서 선택된 하나 이상을 고정 전위가 아니라 가변 전위를 공급하는 배선으로 하여도 좋다.

[0408] 배선(BG1) 내지 배선(BG3)이 상이한 배선일 때, 트랜지스터(MN4), 트랜지스터(MN8), 그리고 트랜지스터(MN12) 및 트랜지스터(MN16) 각각의 제 2 게이트에는 상이한 고정 전위를 공급할 수 있다. 즉 트랜지스터(MN4), 트랜지스터(MN8), 그리고 트랜지스터(MN12) 및 트랜지스터(MN16) 각각의 문턱 전압을 독립적으로 제어할 수 있다.

[0409] 이에 의하여, 예를 들어 트랜지스터(MN4)의 제 2 게이트에 음의 전위를 공급하고, 트랜지스터(MN12) 및 트랜지스터(MN16) 각각의 제 2 게이트에 접지 전위 또는 저레벨 전위(상기 음의 전위보다 높은 전위)를 공급함으로써, 트랜지스터(MN12) 및 트랜지스터(MN16)의 오프 전류의 양을 트랜지스터(MN4)의 오프 전류의 양보다 크게 할 수 있다. 따라서 도 13의 (A) 또는 (B)의 구동 회로(GD)의 회로(100[1]) 내지 회로(100[m]) 각각에 도 18의 회로(100A3)를 적용함으로써, 구동 회로(GD)의 구동 속도를 더 높일 수 있다.

[0410] 또한 구동 회로(GD)의 회로(100[1]) 내지 회로(100[m]) 각각에는 예를 들어 도 19에 나타낸 회로(100A4)를 적용하여도 좋다.

[0411] 회로(100A4)는 도 16의 회로(100A1)의 변경예이고, 회로(BSPRc)의 용량 소자(C3)의 제 1 단자에 회로(FBc)의 단자(Fo)를 전기적으로 접속하고, 회로(BSPRd)의 용량 소자(C4)의 제 1 단자에 회로(FBd)의 단자(Fo)를 전기적으로 접속한 구성을 가진다. 또한 회로(BSPRc)와 회로(FBc)의 조합 및 회로(BSPRd)와 회로(FBd)의 조합은 도 10의 (A)에 나타낸 회로(BSFC)에 상당한다.

[0412] <<구동 회로(SD)의 구성예>>

[0413] 다음으로 구동 회로(SD)의 구성예에 대하여 설명한다.

[0414] 도 20은 도 12의 표시 장치(DSP)에 적용할 수 있는 본 발명의 일 형태에 따른 구동 회로(SD)의 구성예를 나타낸 것이다. 도 20에 나타낸 구동 회로(SD)는 일례로서 회로(SR), 회로(LAT), 및 회로(DAC)를 포함한다. 특히 회로(SR)는 예를 들어 회로(200[1]) 내지 회로(200[n+2])를 포함한다. 또한 회로(200[n+1])는 회로(200[n+1])의 단자(SRT)로부터 회로(200[n-1])의 단자(RT)에 데이터를 송신하기 위한 회로이고, 회로(200[n+2])는 회로(200[n+2])의 단자(SRT)로부터 회로(200[n])의 단자(RT)에 데이터를 송신하기 위한 회로이다. 또한 도 20에서는 회로(200[1]) 내지 회로(200[6])를 발췌하여 나타내었다.

[0415] 회로(200[1]) 내지 회로(200[n]) 각각은 예를 들어 단자(IT), 단자(OT), 단자(CLK1), 단자(CLK2), 단자(CLK3), 단자(SRT), 단자(PWC), 및 단자(RT)를 포함한다.

[0416] 또한 회로(SR)에는 배선(CLKLA) 내지 배선(CLKLD)과 배선(PWCLA) 내지 배선(PWCLD)이 연장되어 있다.

[0417] 회로(200[4k-3])(여기서의 k는 1≤4k-3≤n을 만족하는 1 이상의 정수로 함)에서 단자(CLK1)는 배선(CLKLA)에 전기적으로 접속되고, 단자(CLK2)는 배선(CLKLB)에 전기적으로 접속되고, 단자(CLK3)는 배선(CLKLC)에 전기적으로 접속되고, 단자(PWC)는 배선(PWCLA)에 전기적으로 접속되어 있다. 또한 회로(200[4k-2])(여기서의 k는 2≤4k-2≤n을 만족하는 1 이상의 정수로 함)에서 단자(CLK1)는 배선(CLKLB)에 전기적으로 접속되고, 단자(CLK2)는 배선(CLKLC)에 전기적으로 접속되고, 단자(CLK3)는 배선(CLKLD)에 전기적으로 접속되고, 단자(PWC)는 배선(PWCLB)에 전기적으로 접속되어 있다. 또한 회로(200[4k-1])(여기서의 k는 3≤4k-1≤n을 만족하는 1 이상의 정수로 함)에서 단자(CLK1)는 배선(CLKLC)에 전기적으로 접속되고, 단자(CLK2)는 배선(CLKLD)에 전기적으로 접속되고, 단자(CLK3)는 배선(CLKLA)에 전기적으로 접속되고, 단자(PWC)는 배선(PWCLC)에 전기적으로 접속되어 있다. 또한 회로(200[4k])(여기서의 k는 4≤4k≤n을 만족하는 1 이상의 정수로 함)에서 단자(CLK1)는 배선(CLKLD)에 전기적으로 접속되고, 단자(CLK2)는 배선(CLKLA)에 전기적으로 접속되고, 단자(CLK3)는 배선(CLKLB)에 전기적으로 접속되고, 단자(PWC)는 배선(PWCLD)에 전기적으로 접속되어 있다.

[0418] 회로(200[j])(여기서의 j는 1 이상 n 이하의 정수로 함)의 단자(SRT)는 회로(200[j+1])의 단자(IT)에 전기적으로 접속되어 있다. 또한 회로(200[j])의 단자(RT)는 회로(200[j+2])의 단자(SRT)에 전기적으로 접속되어 있다.

[0419] 회로(200[1]) 내지 회로(200[n]) 각각의 단자(OT)는 회로(LAT)의 각 입력 단자에 전기적으로 접속되어 있다. 또한 회로(LAT)의 각 출력 단자는 회로(DAC)의 각 입력 단자에 전기적으로 접속되어 있다. 또한 회로(LAT)는 배선(VDL)에 전기적으로 접속되어 있다. 또한 회로(LAT)는 배선(SPR)에 전기적으로 접속되어 있다. 또한 회로(DAC)의 각 출력 단자는 배선(SL[1]) 내지 배선(SL[n])에 전기적으로 접속되어 있다. 또한 도 20에서는 배선(SL[1]) 내지 배선(SL[6])을 발췌하여 나타내었다.

[0420] 회로(200[1]) 내지 회로(200[n]) 각각은 일례로서 단자(IT)에 입력된 정보를 유지하는 기능과, 유지된 정보를 단자(OT) 및 단자(SRT) 중 한쪽 또는 양쪽에 출력하는 기능을 가진다.

[0421] 또한 예를 들어 회로(200[j])는 단자(CLK1)에 고레벨 전위가 입력되었을 때, 회로(200[j])에 유지되어 있는 정보를 단자(SRT)에 출력하는 기능을 가진다. 또한 예를 들어 회로(200[j])는 단자(PWC)에 고레벨 전위가 입력되었을 때, 회로(200[j])에 유지되어 있는 정보를 단자(OT)에 출력하는 기능을 가진다. 또한 예를 들어 회로(200[j])는 단자(CLK2)와 단자(CLK3) 및 단자(RT) 중 한쪽 또는 양쪽에 고레벨 전위가 입력되었을 때, 회로(200[j])에 유지되어 있는 정보를 리셋하는 기능을 가진다. 또한 회로(200[j])는 회로(200[j])에 유지되어 있는 정보가 리셋된 후에 회로(200[j])의 단자(IT)에 새로운 정보가 입력됨으로써, 회로(200[j])에 새로운 정보를 유지하는 구성으로 하는 것이 바람직하다.

[0422] 즉 도 20에 나타낸 회로(SR)는 도 13의 (A) 및 (B)의 구동 회로(GD)와 마찬가지로 시프트 레지스터로서 기능한다.

[0423] 배선(VDL)은 예를 들어 화소 어레이(PA)에 포함되는 화소 회로(PX)에 표시하기 위한 비디오 신호를 송신하는 배선으로서 기능한다. 또한 도 20에서 배선(VDL)은 디지털 데이터를 송신하는 배선으로서 기재하였다.

[0424] 회로(LAT)는 일례로서 n열의 유지 회로를 포함한다. 또한 회로(LAT)는 회로(200[1]) 내지 회로(200[n]) 각각의 단자(OT)로부터의 신호에 따라 배선(VDL)에 입력된 비디오 신호를 유지 회로에 유지하는 기능을 가진다. 구체적으로는 예를 들어 회로(200[j])의 단자(OT)의 전위가 고레벨 전위일 때, 회로(LAT)는 배선(VDL)에 입력된 비디오 신호를 j 번째 열의 유지 회로에 유지한다. 또한 예를 들어 배선(SPR)에 고레벨 전위가 입력되었을 때, 회로(LAT)는 n열의 유지 회로에 유지되어 있는 각각의 비디오 신호를 일괄적으로 회로(LAT)의 각 출력 단자에 출력하는 기능을 가진다.

[0425] 회로(DAC)는 일례로서 회로(LAT)의 각 출력 단자로부터 출력된 디지털 데이터인 비디오 신호를 아날로그 데이터(아날로그 전위)로 변환하는 기능을 가진다. 또한 상기 아날로그 데이터(아날로그 전위)는 그 열의 배선(SL)에 송신된다.

[0426] 또한 도 20에 나타낸 구동 회로(SD)에는 배선(CLKLA) 내지 배선(CLKLD) 및 배선(PWCLA) 내지 배선(PWCLD) 이외의 배선이 연장되어 제공되어 있어도 좋다. 또한 도 20에 나타낸 구동 회로(SD)의 구성은 일례이고, 배선의 개수, 전기적인 접속 구성 등은 적절히 변경되어 있어도 좋다.

[0427] 도 21은 구동 회로(SD)의 동작예를 나타낸 타이밍 차트이다. 도 21에는 시각 T21부터 시각 T36까지 및 이의 근방의 기간에서의 배선(CLKLA) 내지 배선(CLKLD), 배선(PWCLA) 내지 배선(PWCLD), 단자(IT), 단자(OT[1]), 단자(OT[2]), 단자(OT[3]), 단자(OT[n]), 및 배선(SPR)의 각각의 전위 변화에 대하여 나타내었다. 또한 단자

(OT[j])는 회로(200[j])에 포함되는 단자(OT)이다. 또한 도 21에는 배선(VDL)에 비디오 신호(V_{DT}[1]) 내지 비디오 신호(V_{DT}[n])가 순차적으로 입력되는 예를 나타내었다.

[0428] 시각 T21부터 시각 T22까지의 기간에는 배선(CLKLA)과 배선(PWCLA)에 고레벨 전위 V_{High}가 공급된다. 또한 시각 T22부터 시각 T23까지의 기간에는 배선(CLKLB)과 배선(PWCLB)에 고레벨 전위 V_{High}가 공급된다. 또한 시각 T23부터 시각 T24까지의 기간에는 배선(CLKLC)과 배선(PWCLC)에 고레벨 전위 V_{High}가 공급된다. 또한 시각 T24부터 시각 T25까지의 기간에는 배선(CLKLD)과 배선(PWCLD)에 고레벨 전위 V_{High}가 공급된다. 시각 T25 이후에서 배선(CLKLA) 내지 배선(CLKLD) 및 배선(PWCLA) 내지 배선(PWCLD)에는 시각 T21부터 시각 T25까지의 기간과 같은 타이밍에 고레벨 전위 V_{High}가 공급되는 것으로 한다.

[0429] 상술한 타이밍에 배선(CLKLA) 내지 배선(CLKLD) 및 배선(PWCLA) 내지 배선(PWCLD) 각각에 고레벨 전위 V_{High}가 공급됨으로써, 시각 T21 이전에 단자(IT)에 고레벨 전위 V_{High}가 공급되었을 때, 소정의 타이밍에 단자(OT[1]) 내지 단자(OT[n]) 각각으로부터 순차적으로 고레벨 전위 V_{High}가 출력된다. 예를 들어 시각 T21부터 시각 T22까지의 기간에는 단자(OT[1])로부터 고레벨 전위 V_{High}가 출력되고, 시각 T22부터 시각 T23까지의 기간에는 단자(OT[2])로부터 고레벨 전위 V_{High}가 출력되고, 시각 T23부터 시각 T24까지의 기간에는 단자(OT[3])로부터 고레벨 전위 V_{High}가 출력된다. 또한 예를 들어 시각 T31부터 시각 T32까지의 기간에는 단자(OT[n-2])로부터 고레벨 전위 V_{High}가 출력되고, 시각 T32부터 시각 T33까지의 기간에는 단자(OT[n-1])로부터 고레벨 전위 V_{High}가 출력되고, 시각 T33부터 시각 T34까지의 기간에는 단자(OT[n])로부터 고레벨 전위 V_{High}가 출력된다.

[0430] 또한 도 21의 타이밍 차트는 n이 4의 배수인 경우를 나타낸 것이다. n이 4의 배수가 아닌 경우에는, 구동 회로(SD)에서 시각 T30부터 시각 T34까지의 기간에 배선(CLKLA) 내지 배선(CLKLD) 및 배선(PWCLA) 내지 배선(PWCLD)에 공급하는 전위를 적절히 바꿔 읽으면 좋다.

[0431] 또한 회로(LAT)는 단자(OT[1])로부터 고레벨 전위 V_{High}가 출력되는 타이밍에 배선(VDL)에 입력되는 비디오 신호(V_{DT}[1])를 첫 번째 열의 유지 회로에 유지한다. 또한 단자(OT[2])로부터 고레벨 전위 V_{High}가 출력되는 타이밍에 배선(VDL)에 입력되는 비디오 신호(V_{DT}[2])를 두 번째 열의 유지 회로에 유지하고, 단자(OT[3])로부터 고레벨 전위 V_{High}가 출력되는 타이밍에 배선(VDL)에 입력되는 비디오 신호(V_{DT}[3])를 세 번째 열의 유지 회로에 유지한다. 같은 동작을 순차적으로 수행하고, 단자(OT[n])로부터 고레벨 전위 V_{High}가 출력되는 타이밍에 배선(VDL)에 입력되는 비디오 신호(V_{DT}[n])를 n 번째 열의 유지 회로에 유지한다.

[0432] 또한 회로(LAT)는, 시각 T34부터 시각 T35까지의 기간에 배선(SPR)의 전위가 고레벨 전위 V_{High}로 변화됨으로써, 회로(LAT)에 포함되는 n열의 유지 회로로부터, 유지되어 있는 비디오 신호(V_{DT}[1]) 내지 비디오 신호(V_{DT}[n])를 회로(LAT)의 각 출력 단자를 통하여 회로(DAC)에 출력한다.

[0433] 구동 회로(SD)는 상술한 도 21의 타이밍 차트의 동작예를 수행함으로써, 화소 어레이(PA) 각각의 화소 회로에 비디오 신호를 송신할 수 있다.

[0434] 도 22의 회로(200A)는 구동 회로(SD)에 포함되어 있는 회로(200[1]) 내지 회로(200[n]) 각각에 적용할 수 있는 회로 구성을 가진다.

[0435] 회로(200A)는 일례로서 회로(BSPRi), 회로(FBi1), 트랜지스터(MN21), 트랜지스터(MN24), 트랜지스터(MN25), 트랜지스터(MN28), 트랜지스터(MN31), 트랜지스터(MN34), 트랜지스터(MN40), 트랜지스터(MN41), 및 용량 소자(C26)를 포함한다. 또한 회로(200A)는 일례로서 단자(IT), 단자(PWC), 단자(CLK1), 단자(CLK2), 단자(CLK3), 단자(RT), 단자(SRT), 및 단자(OT)를 포함한다.

[0436] 또한 도 22의 회로(200A)에서 회로(BSPRi)에는 도 2의 (A)에 나타낸 회로(BSPR)를 변경한 회로 구성을 적용하였다. 구체적으로는, 회로(BSPRi)에는 도 2의 (A)에 나타낸 회로(BSPR)에 하나의 트랜지스터가 추가된 회로 구성을 적용하였다.

[0437] 회로(BSPRi)는 도 2의 (A)의 회로(BSPR)의 회로(BB)에 상당하는 회로(BBi), 도 2의 (A)의 회로(BSPR)의 트랜지

스터(MNb)에 상당하는 트랜지스터(MN37), 도 2의 (A)의 회로(BSPR)의 용량 소자(Ca)에 상당하는 용량 소자(C25), 및 트랜지스터(MN36)를 포함한다.

[0438] 트랜지스터(MN21)의 제 1 게이트는 트랜지스터(MN34)의 제 1 게이트 및 단자(IT)에 전기적으로 접속되고, 트랜지스터(MN21)의 제 1 단자는 배선(VDE21)에 전기적으로 접속되어 있다. 또한 트랜지스터(MN21)의 제 2 단자는 트랜지스터(MN24)의 제 1 단자, 회로(BBi)의 단자(Bi), 및 회로(FBi1)의 단자(Fo)에 전기적으로 접속되어 있다.

[0439] 트랜지스터(MN25)의 제 1 게이트는 단자(CLK3)에 전기적으로 접속되고, 트랜지스터(MN25)의 제 1 단자는 배선(VDE22)에 전기적으로 접속되어 있다. 또한 트랜지스터(MN25)의 제 2 단자는 트랜지스터(MN28)의 제 1 단자에 전기적으로 접속되어 있다. 또한 트랜지스터(MN28)의 제 1 게이트는 단자(CLK2)에 전기적으로 접속되어 있다.

[0440] 트랜지스터(MN31)의 제 1 게이트는 단자(RT)에 전기적으로 접속되고, 트랜지스터(MN31)의 제 1 단자는 배선(VDE23)에 전기적으로 접속되어 있다. 또한 트랜지스터(MN31)의 제 2 단자는 트랜지스터(MN28)의 제 2 단자, 트랜지스터(MN24)의 제 1 게이트, 용량 소자(C26)의 제 1 단자, 트랜지스터(MN34)의 제 1 단자, 트랜지스터(MN40)의 제 1 게이트, 및 트랜지스터(MN41)의 제 1 게이트에 전기적으로 접속되어 있다.

[0441] 트랜지스터(MN36)의 제 1 게이트는 회로(BBi)의 단자(Bo), 용량 소자(C25)의 제 1 단자, 및 트랜지스터(MN37)의 제 1 게이트에 전기적으로 접속되고, 트랜지스터(MN36)의 제 1 단자는 단자(CLK1)에 전기적으로 접속되어 있다. 트랜지스터(MN36)의 제 2 단자는 회로(FBi1)의 단자(Fi), 트랜지스터(MN40)의 제 1 단자, 및 단자(SRT)에 전기적으로 접속되어 있다. 또한 트랜지스터(MN37)의 제 1 단자는 단자(PWC)에 전기적으로 접속되어 있다. 또한 트랜지스터(MN37)의 제 2 단자는 용량 소자(C25)의 제 2 단자, 트랜지스터(MN41)의 제 1 단자, 및 단자(OT)에 전기적으로 접속되어 있다.

[0442] 트랜지스터(MN24)의 제 2 단자는 배선(VSE11)에 전기적으로 접속되어 있다. 또한 용량 소자(C26)의 제 2 단자는 배선(VSE12)에 전기적으로 접속되어 있다. 또한 트랜지스터(MN34)의 제 2 단자는 배선(VSE13)에 전기적으로 접속되어 있다. 또한 트랜지스터(MN40)의 제 2 단자는 배선(VSE14)에 전기적으로 접속되어 있다. 또한 트랜지스터(MN41)의 제 2 단자는 배선(VSE15)에 전기적으로 접속되어 있다.

[0443] 배선(VDE21) 내지 배선(VDE23) 각각에 대해서는 예를 들어 배선(VDE11), 배선(VDE3), 및 배선(VDE4)에 대한 설명을 참조할 수 있다.

[0444] 배선(VSE11) 내지 배선(VSE15) 각각에 대해서는 예를 들어 배선(VSE1) 내지 배선(VSE5)에 대한 설명을 참조할 수 있다.

[0445] 회로(200A)에서는, 단자(SRT)의 전위가 고레벨 전위 V_{High}가 되었을 때 트랜지스터(MN21)의 제 2 단자, 트랜지스터(MN24)의 제 1 단자, 및 회로(BBi)의 단자(Bi)의 전기적 접속점은 고정 전위를 공급하는 배선(예를 들어 도 3의 (A) 내지 (C)에서의 배선(VAL41))과 도통 상태가 되는 경우가 있다. 이에 의하여, 상기 전기적 접속점에 축적되어 있는 전하가 의도하지 않게 변화되더라도 상기 배선과 상기 전기적 접속점 사이가 도통 상태가 됨으로써, 상기 전기적 접속점의 전위를 일정하게 유지할 수 있다.

[0446] 상기 도 22에 나타낸 회로(200A)와 같이, 회로(BSPRi)의 회로(BBi) 및 트랜지스터(MN36)와, 회로(FBi1)를 병렬로 접속시킨 회로를 사용함으로써, 회로(BSPRi)의 출력 단자(트랜지스터(MN36)의 제 2 단자)의 전위를 안정화시킬 수 있다. 즉 회로(200A)에서 단자(SRT)의 전위를 안정화시킬 수 있다.

[0447] <<회로(200A)의 변경예>>

[0448] 구동 회로(SD)의 회로(200[1]) 내지 회로(200[n]) 각각에는 예를 들어 도 23에 나타낸 회로(200A1)를 적용하여도 좋다.

[0449] 회로(200A1)는 도 22의 회로(200A)의 변경예이고, 도 22의 회로(200A)에 회로(FBi2)를 제공한 구성을 가진다. 또한 회로(FBi2)의 회로 구성은 회로(FBi1)에 적용할 수 있는 회로 구성을 가질 수 있다.

[0450] 구체적으로는, 회로(FBi2)의 단자(Fo)는 회로(FBi1)의 단자(Fo)와, 회로(BBi)의 단자(Bi)와, 트랜지스터(MN21)의 제 2 단자와, 트랜지스터(MN24)의 제 1 단자에 전기적으로 접속되어 있다. 또한 회로(FBi2)의 단자(Fi)는 트랜지스터(MN37)의 제 2 단자와, 트랜지스터(MN41)의 제 1 단자와, 용량 소자(C25)의 제 2 단자와, 단자(OT)에 전기적으로 접속되어 있다.

[0451] 회로(200A1)에서는, 단자(SRT) 및 단자(OT) 중 한쪽 또는 양쪽의 전위가 고레벨 전위 V_{High}가 되었을 때 트랜지

스터(MN21)의 제 2 단자, 트랜지스터(MN24)의 제 1 단자, 및 회로(BBi)의 단자(Bi)의 전기적 접속점은 고정 전위를 공급하는 배선(예를 들어 도 3의 (A) 내지 (C)에서의 배선(VAL41))과 도통 상태가 되는 경우가 있다. 이에 의하여, 상기 전기적 접속점에 축적되어 있는 전하가 의도하지 않게 변화되더라도 상기 배선과 상기 전기적 접속점 사이가 도통 상태가 됨으로써, 상기 전기적 접속점의 전위를 일정하게 유지할 수 있다.

[0452] 또한 구동 회로(SD)의 회로(200[1]) 내지 회로(200[n]) 각각에는 예를 들어 도 24에 나타낸 회로(200A2)를 적용하여도 좋다.

[0453] 도 24의 회로(200A2)는 도 22의 회로(200A)에서 회로(BBi)에 도 9의 (A)의 회로(BSPR)의 회로(BB)를 적용하고, 회로(FBi1)에 도 3의 (A)의 회로(FB)를 적용한 구성을 가진다. 그러므로 회로(BBi)에는 트랜지스터(MN35)가 포함되고, 회로(FBi1)에는 트랜지스터(MN31)가 포함된다.

[0454] 트랜지스터(MN35)의 제 1 단자는 회로(BBi)의 단자(Bi)에 전기적으로 접속되고, 트랜지스터(MN35)의 제 2 단자는 회로(BBi)의 단자(Bo)에 전기적으로 접속되고, 트랜지스터(MN35)의 게이트는 배선(VDE35)에 전기적으로 접속되어 있다. 또한 트랜지스터(MN31)의 제 1 단자는 배선(VDE36)에 전기적으로 접속되고, 트랜지스터(MN31)의 제 2 단자는 회로(FBi1)의 단자(Fo)에 전기적으로 접속되고, 트랜지스터(MN31)의 게이트는 회로(FBi1)의 단자(Fi)에 전기적으로 접속되어 있다.

[0455] 배선(VDE35) 및 배선(VDE36) 각각에 대해서는 예를 들어 배선(VDE21) 내지 배선(VDE23)에 대한 설명을 참조할 수 있다.

[0456] 또한 본 실시형태는 본 명세서의 다른 실시형태와 적절히 조합할 수 있다. 예를 들어 본 실시형태에 나타낸 구성, 구조, 방법 등은 다른 실시형태 등에 나타낸 구성, 구조, 방법 등과 적절히 조합하여 사용할 수 있다.

[0457] (실시형태 2)

[0458] 본 실시형태에서는 본 발명의 일 형태의 표시 장치의 구성예에 대하여 설명한다.

[0459] <표시 장치의 구성예>

[0460] 도 25의 (A)는 본 발명의 일 형태의 표시 장치를 나타낸 사시 모식도이다. 표시 장치(DSP1)는 일례로서 표시 영역(DIS), 구동 회로 영역(DRV), 및 단자 영역(TMR)을 포함한다. 또한 표시 장치(DSP1)는 기판(BS)을 포함하고, 표시 영역(DIS), 구동 회로 영역(DRV), 및 단자 영역(TMR) 각각은 기판(BS) 위에 위치한다.

[0461] 또한 구동 회로 영역(DRV)은 일례로서 구동 회로(GDR1), 구동 회로(GDR2), 및 구동 회로(SDR)를 포함한다.

[0462] 기판(BS)에는 예를 들어 반도체 기판(예를 들어 실리콘 또는 저마늄을 재료로 한 단결정 기판)을 사용할 수 있다. 또한 기판(BS)에는 반도체 기판 이외로서 예를 들어 SOI(Silicon On Insulator) 기판, 유리 기판, 석영 기판, 플라스틱 기판, 사파이어 유리 기판, 금속 기판, 스테인리스강 기판, 스테인리스강 포일을 포함하는 기판, 텅스텐 기판, 텅스텐 포일을 포함하는 기판, 가요성 기판, 접합 필름, 섬유상의 재료를 포함하는 종이 또는 기재 필름을 사용할 수 있다. 유리 기판의 일례로서는 예를 들어 바륨보로실리케이트 유리, 알루미노보로실리케이트 유리, 또는 소다 석회 유리가 있다. 가요성 기판, 접합 필름, 기재 필름 등의 일례로서는 폴리에틸렌테레프탈레이트(PET), 폴리에틸렌나프탈레이트(PEN), 폴리에터설폰(PES), 폴리테트라플루오로에틸렌(PTFE)으로 대표되는 플라스틱을 들 수 있다. 또는 다른 일례로서는 아크릴 수지 등의 합성 수지를 들 수 있다. 또는 다른 일례로서는 폴리프로필렌, 폴리에스터, 폴리플루오린화 바이닐, 또는 폴리염화 바이닐을 들 수 있다. 또는 다른 일례로서는 폴리아마이드, 폴리이미드, 아라미드, 에폭시 수지, 무기 증착 필름, 또는 종이류를 들 수 있다. 또한 표시 장치(DSP1)의 제작 공정에 열처리가 포함되어 있는 경우, 기판(BS)에는 열에 대하여 내성이 높은 재료를 사용하는 것이 바람직하다.

[0463] 예를 들어 기판(BS)을 실리콘을 재료로서 포함하는 반도체 기판으로 한 경우, 표시 영역(DIS) 및 구동 회로 영역(DRV)에 포함되는 트랜지스터를 Si 트랜지스터로 하고 기판(BS) 위에 형성할 수 있다.

[0464] 또한 예를 들어 기판(BS)을 유리 기판으로 한 경우, 표시 영역(DIS) 및 구동 회로 영역(DRV)에 포함되는 트랜지스터를 OS 트랜지스터로 하고 기판(BS) 위에 형성할 수 있다.

[0465] 또한 구동 회로 영역(DRV)에 포함되어 있는 구동 회로(GDR1), 구동 회로(GDR2), 및 구동 회로(SDR) 중에서 선택된 하나 이상은 IC(Integrated Circuit)로 하고, COG(Chip On Glass) 기술을 사용하여 기판(BS)에 실장하여도 좋다.

[0466] 구동 회로(GDR1) 및 구동 회로(GDR2) 각각은 예를 들어 표시 영역(DIS)에 화상을 표시시키기 위한 구동 회로로서 기능한다. 구체적으로 예를 들어 구동 회로(GDR1) 및 구동 회로(GDR2) 각각은 표시 영역(DIS)에 대한 게이트 드라이버 회로로서 기능한다. 또한 예를 들어 구동 회로(SDR)는 표시 영역(DIS)에 대한 소스 드라이버 회로로서 기능한다.

[0467] 그러므로 구동 회로(GDR1) 및 구동 회로(GDR2) 각각에는 예를 들어 앞의 실시형태에서 설명한 도 13의 (A) 또는 (B)의 구동 회로(GD)를 적용할 수 있다. 또한 구동 회로(SDR)에는 예를 들어 앞의 실시형태에서 설명한 도 20의 구동 회로(SD)를 적용할 수 있다.

[0468] 단자 영역(TMR)에는 표시 장치(DSP1)의 외부로부터 표시 장치(DSP1)의 내부에 화상 신호 및 전원 전압을 공급하기 위한 단자가 포함되어 있다. 또한 단자 영역(TMR)에는 FPC(Flexible Printed Circuit)가 전기적으로 접속되어 있어도 좋다. 또한 상기 FPC 위에는 COF(Chip On Film) 기술을 사용하여 IC로서 칩을 실장하여도 좋다. 상기 IC는 예를 들어 표시 영역(DIS)에 화상을 표시시키기 위한 구동 회로가 포함되어 있어도 좋다.

[0469] 표시 영역(DIS)은 일례로서 복수의 화소를 포함한다. 또한 복수의 화소는 표시 영역(DIS)에서 매트릭스로 배치되어 있어도 좋다.

[0470] 또한 복수의 화소 각각은 하나 또는 복수의 색을 표현할 수 있다. 특히 복수의 색으로서는 예를 들어 적색, 녹색, 및 청색의 3가지 색으로 할 수 있다. 또는 복수의 색으로서는 예를 들어 적색, 녹색, 및 청색에 더하여 시안, 마젠타, 황색, 및 백색 중에서 선택된 2개 이상의 색으로 하여도 좋다. 또한 상이한 색을 표현하는 화소 각각을 부화소라고 하고, 복수의 상이한 색의 부화소에 의하여 백색을 표현하는 경우, 이 복수의 부화소를 통틀어 화소라고 부르는 경우가 있다. 본 명세서 등에서는 편의상 부화소를 화소라고 불러 설명한다.

[0471] 또한 본 발명의 일 형태의 표시 장치는 도 25의 (A)에 나타낸 표시 장치(DSP1)의 구성에 한정되지 않는다. 예를 들어 본 발명의 일 형태의 표시 장치는 도 25의 (B)에 나타낸 표시 장치(DSP2)의 구성으로 하여도 좋다.

[0472] 도 25의 (B)에 나타낸 표시 장치(DSP2)는 일례로서 표시 영역(DIS), 회로 영역(SIC), 및 단자 영역(TMR)을 포함한다. 또한 표시 장치(DSP2)는 표시 장치(DSP1)와 마찬가지로 기판(BS)을 포함한다. 또한 표시 장치(DSP2)는 기판(BS) 위에 회로 영역(SIC) 및 단자 영역(TMR)이 제공되며, 회로 영역(SIC) 위에 표시 영역(DIS)이 제공되어 있는 점에서 표시 영역(DSP1)과 다르다.

[0473] 회로 영역(SIC)은 일례로서 상술한 구동 회로 영역(DRV)을 포함한다. 또한 회로 영역(SIC)에는 구동 회로 영역(DRV) 이외의 다양한 기능 회로가 포함되어 있어도 좋다. 또한 본 실시형태에서 상기 기능 회로는 기능 회로 영역(MFNC)에 포함되어 있는 것으로 한다.

[0474] 예를 들어 기능 회로 영역(MFNC)에는 GPU(Graphics Processing Unit)가 포함되어 있어도 좋다. 또한 표시 장치(DSP2)에 터치 패널이 포함되어 있는 경우에는 기능 회로 영역(MFNC)에는 상기 터치 패널에 포함되는 터치 센서를 제어하는 센서 컨트롤러가 포함되어 있어도 좋다.

[0475] 또한 표시 장치(DSP2)의 표시 소자로서 유기 EL 재료가 사용된 발광 디바이스가 적용되어 있는 경우, 기능 회로 영역(MFNC)에는 보정 회로가 포함되어 있어도 좋다. 또한 보정 회로는 예를 들어 유기 EL 재료가 포함되어 있는 발광 디바이스에 입력되는 전류량을 적절히 조정하는 기능을 가진다. 유기 EL 재료가 포함되어 있는 발광 디바이스의 발광 시에서의 휘도는 전류에 비례하기 때문에, 상기 발광 디바이스에 전기적으로 접속되어 있는 구동 트랜지스터의 특성이 좋지 않은 경우에는 상기 발광 디바이스에서 발광하는 광의 휘도는 원하는 휘도보다 낮아지는 경우가 있다. 보정 회로는 예를 들어 상기 발광 디바이스를 흐르는 전류의 양을 모니터링하여 상기 전류량이 원하는 전류량보다 작을 때 상기 발광 디바이스를 흐르는 전류의 양을 크게 함으로써, 상기 발광 디바이스에서 발광하는 휘도를 높일 수 있다. 또한 반대로 상기 전류량이 원하는 전류량보다 클 때, 상기 발광 디바이스를 흐르는 전류의 양을 작게 조정하여도 좋다.

[0476] 또한 표시 장치(DSP2)의 표시 소자로서 액정 표시 디바이스가 적용되어 있는 경우, 기능 회로 영역(MFNC)에는 감마 보정 회로가 포함되어 있어도 좋다.

[0477] 도 26은 도 25의 (B)에 나타낸 표시 장치(DSP2)의 구성예를 나타낸 블록도이다. 도 26에 나타낸 표시 장치(DSP2)는 일례로서 표시 영역(DIS) 및 회로 영역(SIC)을 포함한다. 또한 도 26에는 센서(PDA)를 나타내었지만, 센서(PDA)는 표시 장치(DSP2)의 내부에 배치되어 있어도 좋고, 외부에 배치되어 있어도 좋다.

[0478] 또한 도 25의 (A)의 표시 장치(DSP1)는 단자 영역(TMR)을 통하여 표시 장치(DSP1)의 외부에 위치하는 기능 회로 영역(MFNC)에 전기적으로 접속되어 있어도 좋다. 이때의 표시 장치(DSP1)의 구성은 도 26에 나타낸 표시 장치

(DSP2)와 같은 구성으로 간주할 수 있다.

[0479] 도 26에서 굵은 실선은 복수의 배선 또는 버스 배선을 나타낸 것이다.

[0480] 또한 도 26에서 표시 영역(DIS)에는 일례로서 복수의 화소 회로(PX)가 매트릭스로 배치되어 있다. 화소 회로(PX)로서는 예를 들어 액정 표시 디바이스, 유기 EL 재료를 포함하는 발광 디바이스, 무기 EL 재료를 포함하는 발광 디바이스, 마이크로 LED 등의 발광 다이오드를 포함하는 발광 디바이스 중에서 선택된 하나 이상이 적용된 화소 회로로 할 수 있다. 또한 본 실시형태에서는 표시 영역(DIS)의 화소 회로(PX)에는 유기 EL 재료가 포함되는 발광 디바이스가 적용된 것으로 하여 설명한다.

[0481] 또한 도 26에서 회로 영역(SIC)은 상술한 바와 같이 구동 회로 영역(DRV) 및 기능 회로 영역(MFNC)을 포함한다.

[0482] 구동 회로 영역(DRV)은 일례로서 표시 영역(DIS)을 구동시키기 위한 주변 회로로서 기능한다. 구체적으로 구동 회로 영역(DRV)은 예를 들어 구동 회로(SDR), 디지털 아날로그 변환 회로(DAD), 구동 회로(GDR), 및 레벨 시프터(LVS)를 포함한다. 또한 구동 회로(SDR)는 예를 들어 도 12에서의 구동 회로(SD)에 상당하고, 구동 회로(GDR)는 예를 들어 도 12에서의 구동 회로(GD)에 상당한다.

[0483] 또한 기능 회로 영역(MFNC)은 예를 들어 표시 영역(DIS)에 표시시키기 위한 화상 데이터가 저장되어 있는 기억 장치, 인코드된 화상 데이터를 복원하기 위한 디코더, 화상 데이터를 처리하기 위한 GPU, 전원 회로, 보정 회로, 또는 CPU 등의 회로를 제공할 수 있다. 도 26에서 기능 회로 영역(MFNC)은 일례로서 기억 장치(MEM), GPU(22), 보정 회로(ECR), 타이밍 컨트롤러(TMC), CPU(NoffCPU(등록 상표))(21), 센서 컨트롤러(SCC), 및 전원 회로(EPS)를 포함한다.

[0484] 또한 도 26의 표시 장치(DSP2)는 구동 회로 영역(DRV)에 포함되는 회로 및 기능 회로 영역(MFNC)에 포함되는 회로 각각에는 일례로서 버스 배선(BSL)이 전기적으로 접속되어 있는 구성이다.

[0485] 구동 회로(SDR)는 일례로서 표시 영역(DIS)에 포함되는 화소 회로(PX)에 대하여 화상 데이터를 송신하는 기능을 가진다. 그러므로 구동 회로(SDR)는 배선(SL)을 통하여 화소 회로(PX)에 전기적으로 접속되어 있다.

[0486] 디지털 아날로그 변환 회로(DAD)는 일례로서 후술하는 GPU 또는 보정 회로에 의하여 디지털 처리된 화상 데이터를 아날로그 데이터로 변환하는 기능을 가진다. 아날로그 데이터로 변환된 화상 데이터는 구동 회로(SDR)를 통하여 표시 영역(DIS)에 송신된다. 또한 디지털 아날로그 변환 회로(DAD)는 구동 회로(SDR)에 포함되어 있어도 좋고, 구동 회로(SDR), 디지털 아날로그 변환 회로(DAD), 및 표시 영역(DIS)의 순서대로 화상 데이터가 송신되는 구성으로 하여도 좋다.

[0487] 구동 회로(GDR)는 일례로서 표시 영역(DIS)에서 화상 데이터의 송신 대상이 되는 화소 회로(PX)를 선택하는 기능을 가진다. 그러므로 구동 회로(GDR)는 배선(GL)을 통하여 화소 회로(PX)에 전기적으로 접속되어 있다.

[0488] 레벨 시프터(LVS)는 일례로서 구동 회로(SDR), 디지털 아날로그 변환 회로(DAD), 및 구동 회로(GDR) 등에 대하여 입력되는 신호를 적절한 레벨로 변환하는 기능을 가진다.

[0489] 기억 장치(MEM)는 일례로서 표시 영역(DIS)에 표시시키는 화상 데이터를 저장하는 기능을 가진다. 또한 기억 장치(MEM)는 화상 데이터를 디지털 데이터 또는 아날로그 데이터로서 저장하는 구성으로 할 수 있다.

[0490] 또한 기억 장치(MEM)에 화상 데이터를 저장하는 경우, 기억 장치(MEM)로서는 비휘발성 메모리로 하는 것이 바람직하다. 이 경우, 기억 장치(MEM)로서는 예를 들어 NAND형 메모리 등을 적용할 수 있다.

[0491] 또한 GPU(22), 보정 회로(ECR), 및 CPU(21) 등에서 생성되는 일시적 데이터를 기억 장치(MEM)에 저장하는 경우, 기억 장치(MEM)는 휘발성 메모리인 것이 바람직하다. 이 경우, 기억 장치(MEM)로서는 예를 들어 SRAM(Static Random Access Memory), DRAM(Dynamic Random Access Memory) 등을 적용할 수 있다.

[0492] GPU(22)는 일례로서 기억 장치(MEM)로부터 판독된 화상 데이터를 표시 영역(DIS)에 묘화하기 위한 처리를 수행하는 기능을 가진다. 특히 GPU(22)는 병렬로 파이프라인 처리를 수행하는 구성을 가지기 때문에 표시 영역(DIS)에 표시하는 화상 데이터를 고속으로 처리할 수 있다. 또한 GPU(22)는 인코드된 화상을 복원하기 위한 디코더로서의 기능도 가질 수 있다.

[0493] 또한 기능 회로 영역(MFNC)에는 표시 영역(DIS)의 표시 품질을 높일 수 있는 회로가 복수 포함되어 있어도 좋다. 상기 회로로서는 예를 들어 표시 영역(DIS)에 표시된 화상의 색 불균일을 검지하고, 상기 색 불균일을 보정하여 최적의 화상으로 하는 보정 회로(조색 또는 조광을 수행하는 회로)를 제공하여도 좋다. 또한 표시 영

역(DIS)의 화소에 유기 EL 재료가 사용된 발광 디바이스가 적용되어 있는 경우, 기능 회로 영역(MFNC)에는 보정 회로를 제공하여도 좋다. 또한 본 실시형태에서는 표시 영역(DIS)의 화소 회로(PX)에는 유기 EL 재료가 포함되는 발광 디바이스가 적용된 것으로 하여 설명하기 때문에, 기능 회로 영역(MFNC)은 일례로서 보정 회로(ECR)를 포함한다.

[0494] 또한 앞에서 설명한 화상 보정에는 인공 지능을 사용하여도 좋다. 예를 들어 화소에 포함되는 표시 디바이스를 흐르는 전류(또는 표시 디바이스에 인가되는 전압)를 모니터링하여 취득하고, 표시 영역(DIS)에 표시된 화상을 이미지 센서 등으로 취득하고, 전류(또는 전압)와 화상을 인공 지능의 연산(예를 들어 인공 신경망 등)의 입력 데이터로서 사용하고, 이의 출력 결과에 기초하여 상기 화상의 보정 유무를 판단하여도 좋다.

[0495] 또한 인공 지능의 연산은 화상 보정뿐만 아니라 화상 데이터의 업컨버트 처리에도 응용할 수 있다. 이에 의하여, 화면 해상도가 낮은 화상 데이터를 표시 영역(DIS)의 화상 해상도에 맞추어 업컨버팅함으로써, 표시 품질이 높은 화상을 표시 영역(DIS)에 표시할 수 있다. 또한 인공 지능의 연산은 화상 데이터의 다운컨버트 처리에도 응용할 수 있다.

[0496] 또한 상술한 인공 지능의 연산에는 기능 회로 영역(MFNC)에 포함되는 GPU(22)를 사용할 수 있다. 즉 GPU(22)를 사용하여 각종 보정의 연산(색 불균일의 보정, 업컨버트 처리 등)을 수행할 수 있다. 또한 GPU(22)는 색 불균일을 보정하는 회로(22a) 및 업컨버트 처리를 수행하는 회로(22b)를 포함하여도 좋다.

[0497] 또한 본 명세서 등에서 인공 지능의 연산을 수행하는 GPU를 AI 액셀러레이터라고 부른다. 즉 본 명세서 등에서는 기능 회로 영역(MFNC)에 포함되는 GPU를 AI 액셀러레이터로 변경하여 설명하는 경우가 있다.

[0498] 타이밍 컨트롤러(TMC)는 일례로서 표시 영역(DIS)에 화상을 표시할 때의 프레임 레이트를 변경하는 기능을 가진다. 예를 들어 표시 영역(DIS)에 정지 화상을 표시시키는 경우에는 표시 장치(DSP2)는 타이밍 컨트롤러(TMC)에 의하여 프레임 레이트를 낮추어 구동시킬 수 있고, 예를 들어 표시 영역(DIS)에 동영상을 표시시키는 경우에는 표시 장치(DSP2)는 타이밍 컨트롤러(TMC)에 의하여 프레임 레이트를 올려 구동시킬 수 있다. 즉 표시 장치(DSP2)에 타이밍 컨트롤러(TMC)를 제공함으로써 정지 화상 또는 동영상에 대응하는 프레임 레이트로 변화시킬 수 있다. 특히 표시 영역(DIS)에 정지 화상을 표시시키는 경우에는 프레임 레이트를 낮추어 동작시킬 수 있기 때문에, 표시 장치(DSP2)의 소비 전력을 감소시킬 수 있다.

[0499] CPU(21)는 일례로서 운영 체계의 실행, 데이터의 제어, 각종 연산, 및 프로그램의 실행 등 범용적인 처리를 수행하는 기능을 가진다. 표시 장치(DSP2)에서 CPU(21)는 예를 들어 기억 장치(MEM)에서의 화상 데이터의 기록 동작, 판독 동작, 화상 데이터의 보정 동작, 또는 후술하는 센서에 대한 동작 등의 명령을 수행하는 기능을 가진다. 또한 예를 들어 CPU(21)는 기억 장치, GPU, 보정 회로, 타이밍 컨트롤러, 및 고주파 회로 등 기능 회로 영역(MFNC)에 포함되는 회로 중에서 선택된 하나 이상에 제어 신호를 송신하는 기능을 가져도 좋다.

[0500] 또한 CPU(21)는 일시적으로 데이터를 백업하는 회로(이하 백업 회로라고 함)를 포함하여도 좋다. 백업 회로는 예를 들어 전원 전압의 공급이 정지되어도 상기 데이터를 유지할 수 있어 바람직하다. 예를 들어 표시 영역(DIS)에서 정지 화상을 표시한 경우 현재 정지 화상과 상이한 화상을 표시할 때까지는 CPU(21)는 기능을 정지할 수 있다. 그러므로 CPU(21)에서 처리 중인 데이터를 백업 회로에 일시적으로 백업하고, 그 후 CPU(21)에 대한 전원 전압의 공급을 정지하고, CPU(21)를 정지시킴으로써, CPU(21)에서의 동적인 소비 전력을 낮출 수 있다. 또한 본 명세서 등에서는, 백업 회로를 포함한 CPU를 NoffCPU라고 한다.

[0501] 센서 컨트롤러(SCC)는 일례로서 센서(PDA)를 제어하는 기능을 가진다. 또한 도 26에서는 센서(PDA)와 센서 컨트롤러(SCC)를 전기적으로 접속하기 위한 배선으로서 배선(SNCL)을 나타내었다.

[0502] 센서(PDA)로서는 예를 들어 표시 영역(DIS)의 위쪽, 아래쪽, 또는 표시 영역(DIS)의 내부에 제공할 수 있는 터치 센서로 할 수 있다.

[0503] 또는 센서(PDA)로서는 예를 들어 조도 센서로 할 수 있다. 특히 표시 영역(DIS)을 비추는 외광의 강도를 조도 센서에 의하여 취득함으로써, 외광의 강도에 따라 표시 영역(DIS)에 표시하는 화상의 밝기(휘도)를 변화시킬 수 있다. 예를 들어 외광이 밝은 경우, 표시 영역(DIS)에 표시하는 화상의 휘도를 높임으로써 상기 화상의 시인성을 높일 수 있다. 반대로 외광이 어두운 경우, 표시 영역(DIS)에 표시하는 화상의 휘도를 낮춤으로써, 소비 전력을 낮출 수 있다.

[0504] 또는 센서(PDA)로서는 예를 들어 이미지 센서로 할 수 있다. 예를 들어 상기 이미지 센서에 의하여 화상 등을 취득함으로써, 표시 영역(DIS)에 상기 화상을 표시할 수 있다.

[0505] 전원 회로(EPS)는 일례로서 구동 회로 영역(DRV)에 포함되어 있는 회로, 기능 회로 영역(MFNC)에 포함되어 있는 회로, 표시 영역(DIS)에 포함되어 있는 화소 등에 대하여 공급하는 전압을 생성하는 기능을 가진다. 또한 전원 회로(EPS)는 전압을 공급하는 회로를 선택하는 기능을 가져도 좋다. 예를 들어 전원 회로(EPS)는 표시 영역(DIS)에 정지 화상을 표시시키는 기간에는 구동 회로 영역(DRV)에 포함되어 있는 각 회로(예를 들어 구동 회로(SDR), 디지털 아날로그 변환 회로(DAD) 등) 및 기능 회로 영역(MFNC)에 포함되어 있는 각 회로(예를 들어 CPU(21), GPU(22) 등)에 대한 전압 공급을 정지함으로써, 표시 장치(DSP) 전체의 소비 전력을 감소시킬 수 있다.

[0506] <표시 장치의 단면 구성예 1>

[0507] 다음으로 도 25의 (A)에 나타낸 표시 장치(DSP1)를 단면에서 보았을 때의 구성예에 대하여 설명한다.

[0508] 도 27에 나타낸 표시 장치(DSP1A)는 도 25의 (A)에 나타낸 표시 장치(DSP1)를 단면에서 보았을 때의 구성예이다. 표시 장치(DSP1A)는 기판(310) 위에 화소 회로, 구동 회로 등이 제공된 구성을 가진다. 도 27의 표시 장치(DSP1A)에서는 도 25의 (A)에 나타낸 구동 회로 영역(DRV)과 표시 영역(DIS)을 나타내었다.

[0509] 도 27에서의 기판(310)은 도 25의 (A)에 나타낸 기판(BS)에 상당한다. 또한 표시 장치(DSP1A)의 대각 크기는 예를 들어 기판(310)의 종류와 크기에 따라 결정할 수 있다. 예를 들어 텔레비전 장치용 또는 디지털 사이니지로서 사용하는 전자 기기용으로 30인치 이상, 50인치 이상, 70인치 이상, 또는 100인치 이상의 대각 크기의 표시 장치를 제작하는 경우, 기판(310)으로서는 유리 기판을 사용하면 좋다. 또한 예를 들어 XR 기기용 또는 웨어러블형 정보 단말기용으로 10인치 이하, 5인치 이하, 1.5인치 이하, 1인치 이하, 또는 0.5인치 이하의 대각 크기의 표시 장치를 제작하는 경우, 기판(310)으로서는 반도체 기판을 사용하면 좋다.

[0510] 또한 도 27의 표시 장치(DSP1A)에 대한 설명에 있어서, 기판(310)은 반도체 기판이다.

[0511] 또한 표시 장치(DSP1A)의 화면 비율(종횡비)에 대해서는 특별히 한정되지 않는다. 예를 들어 표시 장치(DSP1A)는 1:1(정사각형), 4:3, 16:9, 16:10, 21:9 또는 32:9 등 다양한 화면 비율에 대응할 수 있다.

[0512] 도 27의 표시 장치(DSP1A)에서 기판(310) 위에는 트랜지스터(300p) 및 트랜지스터(300d)가 형성되어 있다. 또한 본 명세서 등에서는 트랜지스터(300p) 또는 트랜지스터(300d)를 통틀어 트랜지스터(300)라고 기재한다. 또한 트랜지스터(300p) 및 트랜지스터(300d)의 위쪽에는 발광 디바이스(130)(도 27에서는 발광 디바이스(130R), 발광 디바이스(130G), 및 발광 디바이스(130B))가 제공되어 있다.

[0513] 트랜지스터(300p)는 표시 영역(DIS)에 포함되고 예를 들어 화소 회로(PX)에 포함되는 트랜지스터로서 기능한다. 또한 트랜지스터(300d)는 구동 회로 영역(DRV)에 포함되어 있는 트랜지스터로서 기능한다. 그러므로 트랜지스터(300d)는 예를 들어 실시형태 1에서 설명한 회로(100[1]) 내지 회로(100[m]) 또는 회로(200[1]) 내지 회로(200[n+2])에 포함되는 트랜지스터로 할 수 있다. 또한 발광 디바이스(130)는 화소 회로(PX)에 포함되는 발광 디바이스로 할 수 있다.

[0514] 트랜지스터(300)는 기판(310) 위에 제공되고, 소자 분리층(312), 도전체(316), 절연체(315), 절연체(317), 기판(310)의 일부로 이루어지는 반도체 영역(313), 그리고 소스 영역 또는 드레인 영역으로서 기능하는 저저항 영역(314a) 및 저저항 영역(314b)을 포함한다. 그러므로 트랜지스터(300)는 Si 트랜지스터이다. 또한 도 27에서는 트랜지스터(300)의 소스 및 드레인 중 한쪽이 후술하는 도전체(328)를 통하여 후술하는 도전체(596) 및 도전체(112)(도전체(112a) 내지 도전체(112c))에 전기적으로 접속되어 있는 구성을 나타내었지만, 본 발명의 일 형태의 표시 장치의 전기적인 접속 구성은 이에 한정되지 않는다. 본 발명의 일 형태의 표시 장치는 예를 들어 트랜지스터(300)의 게이트가 도전체(328)를 통하여 도전체(596)에 전기적으로 접속되어 있는 구성으로 하여도 좋다.

[0515] 트랜지스터(300)는 예를 들어 반도체 영역(313)의 상면 및 채널 폭 방향의 측면이 게이트 절연체로서 기능하는 절연체(315)를 개재하여 도전체(316)로 덮이는 구성으로 함으로써, Fin형으로 할 수 있다. 트랜지스터(300)를 Fin형으로 함으로써, 실효적인 채널 폭을 증대시킬 수 있어, 트랜지스터(300)의 온 특성을 향상시킬 수 있다. 또한 게이트 전극의 전계의 기여를 높일 수 있기 때문에 트랜지스터(300)의 오프 특성을 향상시킬 수 있다. 또한 트랜지스터(300)는 Fin형이 아니라 플레이너형으로 하여도 좋다.

[0516] 또한 트랜지스터(300)는 p채널형 및 n채널형 중 어느 쪽이어도 좋다. 또는 트랜지스터(300)를 복수로 제공하고, p채널형 및 n채널형의 양쪽을 사용하여도 좋다.

[0517] 반도체 영역(313)의 채널이 형성되는 영역, 이의 근방의 영역, 소스 영역 및 드레인 영역이 되는 저저항 영역

(314a) 및 저저항 영역(314b)은 실리콘계 반도체를 포함하는 것이 바람직하고, 구체적으로는 단결정 실리콘을 포함하는 것이 바람직하다. 또는 상술한 각 영역은 예를 들어 저마늄, 실리콘 저마늄, 비소화 갈륨, 비소화 알루미늄 갈륨, 또는 질화 갈륨을 사용하여 형성하여도 좋다. 결정 격자에 응력을 가하여 격자 간격을 변화시킴으로써 유효 질량을 제어한 실리콘을 사용한 구성으로 하여도 좋다. 또는 트랜지스터(300)는 예를 들어 비소화 갈륨과 비소화 알루미늄 갈륨을 사용한 HEMT(High Electron Mobility Transistor)로 하여도 좋다.

[0518] 게이트 전극으로서 기능하는 도전체(316)에는 비소 또는 인 등 n형 도전성을 부여하는 원소 혹은 붕소 또는 알루미늄 등 p형 도전성을 부여하는 원소를 포함하는 실리콘 등의 반도체 재료를 사용할 수 있다. 또는 도전체(316)에는 예를 들어 금속 재료, 합금 재료, 또는 금속 산화물 재료 등의 도전성 재료를 사용할 수 있다.

[0519] 또한 도전체의 재료에 따라 일함수가 결정되기 때문에, 상기 도전체의 재료를 선택함으로써 트랜지스터의 문턱 전압을 조정할 수 있다. 구체적으로는 도전체에 질화 타이타늄 및 질화 탄탈럼 중 한쪽 또는 양쪽의 재료를 사용하는 것이 바람직하다. 또한 도전성과 매립성을 양립하기 위하여 도전체에 텅스텐 및 알루미늄 중 한쪽 또는 양쪽의 금속 재료를 적층하여 사용하는 것이 바람직하고, 특히 텅스텐을 사용하는 것이 내열성의 관점에서 바람직하다.

[0520] 소자 분리층(312)은 기판(310) 위에 형성된 복수의 트랜지스터들을 분리하기 위하여 제공되어 있다. 소자 분리층은 예를 들어 LOCOS(Local Oxidation of Silicon)법, STI(Shallow Trench Isolation)법, 또는 메사 분리(mesa isolation)법을 사용하여 형성할 수 있다.

[0521] 도 27에 나타낸 트랜지스터(300) 위에는 절연체(320) 및 절연체(322)가 기판(310) 측으로부터 순차적으로 적층되어 제공되어 있다.

[0522] 절연체(320) 및 절연체(322)로서 예를 들어 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화질화 알루미늄, 질화산화 알루미늄, 및 질화 알루미늄 중에서 선택된 하나 이상을 사용하면 좋다.

[0523] 또한 본 명세서 등에서 산화질화물이란 그 조성으로서 질소보다 산소의 함유량이 많은 재료를 가리키고, 질화산화물이란 그 조성으로서 산소보다 질소의 함유량이 많은 재료를 가리킨다. 예를 들어 산화질화 실리콘이라고 기재된 경우에는, 그 조성에서 질소보다 산소의 함유량이 많은 재료를 가리키고, 질화산화 실리콘이라고 기재된 경우에는, 그 조성에서 산소보다 질소의 함유량이 많은 재료를 가리킨다.

[0524] 절연체(322)는 절연체(320) 및 절연체(322)로 덮여 있는 트랜지스터(300) 등에 의하여 발생하는 단차를 평탄화하는 평탄화막으로서의 기능을 가져도 좋다. 예를 들어 절연체(322)의 상면은 평탄성을 높이기 위하여 화학 기계 연마(CMP)법을 사용한 평탄화 처리에 의하여 평탄화되어 있어도 좋다.

[0525] 절연체(322) 위에는 절연체(592) 및 절연체(594)가 순차적으로 적층되어 제공되어 있다.

[0526] 또한 절연체(592)에는 기판(310) 또는 트랜지스터(300)로부터 절연체(592)보다 위쪽의 영역(예를 들어 발광 디바이스(130R), 발광 디바이스(130G), 및 발광 디바이스(130B) 등이 제공되어 있는 영역)으로 물 또는 수소 등의 불순물이 확산되지 않도록 하는 배리어성을 가지는 절연막(배리어성 절연막이라고 함)을 사용하는 것이 바람직하다. 따라서 절연체(592)는 수소 원자, 수소 분자, 및 물 분자 등의 불순물의 확산을 억제하는 기능을 가지는 (상기 불순물이 투과하기 어려운) 절연성 재료를 사용하는 것이 바람직하다. 또한 상황에 따라서 절연체(592)는 질소 원자, 질소 분자, 산화 질소 분자(예를 들어 N_2O, NO, 및 NO_2), 및 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는(상기 산소가 투과하기 어려운) 절연성 재료를 사용하는 것이 바람직하다. 또는 산소(예를 들어 산소 원자 및 산소 분자 중 한쪽 또는 양쪽)의 확산을 억제하는 기능을 가지는 것이 바람직하다.

[0527] 수소에 대한 배리어성을 가지는 막의 일례로서 CVD법으로 형성한 질화 실리콘을 사용할 수 있다.

[0528] 수소의 이탈량은 예를 들어 승온 이탈 가스 분석법(TDS: Thermal Desorption Spectrometry)을 사용하여 분석할 수 있다. 예를 들어 절연체(324)의 수소의 이탈량은 TDS에서 막의 표면 온도가 50℃내지 500℃인 범위에서, 수소 원자로 환산한 이탈량이 절연체(324)의 면적당으로 환산하여 10×10^{15} atoms/cm^2 이하, 바람직하게는 5×10^{15} atoms/cm^2 이하이면 좋다.

[0529] 또한 절연체(594)는 절연체(592)보다 유전율이 낮은 것이 바람직하다. 예를 들어 절연체(594)의 비유전율은 4 미만이 바람직하고, 3 미만이 더 바람직하다. 또한 예를 들어 절연체(594)의 비유전율은 절연체(592)의 비유전율의 0.7배 이하가 바람직하고, 0.6배 이하가 더 바람직하다. 절연체(594)가 유전율이 낮은 재료로 이루어지는

층간막이면, 배선 사이에 생기는 기생 용량을 저감할 수 있다.

[0530] 또한 절연체(320), 절연체(322), 절연체(592), 및 절연체(594)에는 절연체(594)보다 위쪽에 제공되어 있는 발광 디바이스 등과 접속되는 도전체(328) 및 도전체(596)가 매립되어 있다. 또한 도전체(328) 및 도전체(596)는 플러그 또는 배선으로서의 기능을 가진다. 또한 플러그 또는 배선으로서의 기능을 가지는 도전체에는 복수의 구조를 통틀어 동일한 부호를 부여하는 경우가 있다. 또한 본 명세서 등에서 배선과 배선에 접속되는 플러그가 일체가 되어 있어도 좋다. 즉 도전체의 일부가 배선으로서 기능하는 경우 및 도전체의 일부가 플러그로서 기능하는 경우도 있다.

[0531] 각 플러그 및 배선(예를 들어 도전체(328) 및 도전체(596))의 재료로서는 금속 재료, 합금 재료, 금속 질화물 재료, 및 금속 산화물 재료 중에서 선택된 하나 이상의 도전성 재료를 단층으로 또는 적층하여 사용할 수 있다. 내열성과 도전성을 양립하는 텅스텐 또는 몰리브데넘 등 고융점 재료를 사용하는 것이 바람직하고, 텅스텐을 사용하는 것이 바람직하다. 또는 알루미늄 또는 구리와 같은 저저항 도전성 재료로 형성하는 것이 바람직하다. 저저항 도전성 재료를 사용함으로써 배선 저항을 낮출 수 있다.

[0532] 절연체(594) 위 및 도전체(328) 위에는 절연체(598) 및 절연체(599)가 이 순서대로 형성되어 있다.

[0533] 절연체(598)로서는, 일례로서 절연체(592)와 마찬가지로 수소, 산소, 및 물 중에서 선택된 하나 이상에 대한 배리어성을 가지는 절연체를 사용하는 것이 바람직하다. 또한 절연체(599)로서는 절연체(594)와 마찬가지로 배선 사이에 생기는 기생 용량을 저감하기 위하여 비유전율이 비교적 낮은 절연체를 사용하는 것이 바람직하다. 또한 절연체(599)는 층간 절연막 및 평탄화막으로서의 기능을 가진다.

[0534] 절연체(599) 위에는 발광 디바이스(130) 및 접속부(140)가 형성되어 있다.

[0535] 접속부(140)는 캐소드 콘택트부라고 하는 경우가 있으며, 발광 디바이스(130R), 발광 디바이스(130G), 및 발광 디바이스(130B) 각각의 캐소드 전극에 전기적으로 접속되어 있다. 도 27에서는 접속부(140)는 후술하는 도전체(112a) 내지 도전체(112c)에서 선택된 하나 이상의 도전체, 후술하는 도전체(126a) 내지 도전체(126c) 중 적어도 하나의 도전체, 후술하는 도전체(129a) 내지 도전체(129c)에서 선택된 하나 이상의 도전체, 후술하는 공통층(114), 및 후술하는 공통 전극(115)을 포함한다.

[0536] 또한 접속부(140)는 평면에서 보았을 때 표시부의 4변을 둘러싸도록 제공되어도 좋고, 표시부 내(예를 들어 인접한 발광 디바이스(130)들 사이)에 제공되어도 좋다.

[0537] 발광 디바이스(130R)는 도전체(112a), 도전체(112a) 위의 도전체(126a), 및 도전체(126a) 위의 도전체(129a)를 포함한다. 도전체(112a), 도전체(126a), 및 도전체(129a) 모두를 화소 전극이라고 할 수도 있고, 일부를 화소 전극이라고 할 수도 있다. 또한 발광 디바이스(130G)는 도전체(112b), 도전체(112b) 위의 도전체(126b), 및 도전체(126b) 위의 도전체(129b)를 포함한다. 발광 디바이스(130R)와 마찬가지로, 도전체(112b), 도전체(126b), 및 도전체(129b) 모두를 화소 전극이라고 할 수도 있고, 일부를 화소 전극이라고 할 수도 있다. 또한 발광 디바이스(130B)는 도전체(112c), 도전체(112c) 위의 도전체(126c), 및 도전체(126c) 위의 도전체(129c)를 포함한다. 발광 디바이스(130R) 및 발광 디바이스(130G)와 마찬가지로 도전체(112c), 도전체(126c), 및 도전체(129c) 모두를 화소 전극이라고 할 수도 있고, 일부를 화소 전극이라고 할 수도 있다.

[0538] 도전체(112a) 내지 도전체(112c) 및 도전체(126a) 내지 도전체(126c)에는 예를 들어 반사 전극으로서 기능하는 도전층을 사용할 수 있다. 반사 전극으로서 기능하는 도전층에는 가시광에 대하여 반사율이 높은 도전체로서 예를 들어 은, 알루미늄, 은(Ag)과 팔라듐(Pd)과 구리(Cu)의 합금막(Ag-Pd-Cu(APC)막)을 적용할 수 있다. 또한 도전체(112a) 내지 도전체(112c) 및 도전체(126a) 내지 도전체(126c)에는 한 쌍의 타이타늄에 끼워진 알루미늄의 적층막(Ti, Al, Ti의 순서대로 적층된 적층막) 또는 한 쌍의 인듐 주석 산화물에 끼워진 은의 적층막(ITO, Ag, ITO의 순서대로 적층된 적층막)을 사용할 수 있다.

[0539] 또한 예를 들어 도전체(112a) 내지 도전체(112c)에 반사 전극으로서 기능하는 도전층을 사용하여 도전체(126a) 내지 도전체(126c)에 투광성이 높은 도전체를 사용하여도 좋다. 투광성이 높은 도전체로서는 예를 들어 은과 마그네슘의 합금 또는 인듐 주석 산화물(ITO라고 하는 경우가 있음)이 있다.

[0540] 도전체(129a) 내지 도전체(129c)에는 예를 들어 투명 전극으로서 기능하는 도전층을 사용할 수 있다. 투명 전극으로서 기능하는 도전층에는 예를 들어 상술한 투광성이 높은 도전체를 사용할 수 있다.

[0541] 또한 나중에 자세히 설명하는 발광 디바이스(130)에 마이크로캐비티 구조(미소 공진기 구조)를 제공하여도 좋다. 마이크로캐비티 구조란 발광층의 하면과 하부 전극의 상면의 거리를 상기 발광층이 발광하는 광의 색의

파장에 대응하는 두께로 하는 구조를 가리킨다. 이 경우, 상부 전극(공통 전극)인 도전체(129a) 내지 도전체(129c)에 투광성 및 광 반사성을 가지는 도전 재료를 사용하고, 하부 전극(화소 전극)인 도전체(112a) 내지 도전체(112c) 및 도전체(126a) 내지 도전체(126c)로서 광 반사성을 가지는 도전 재료를 사용하는 것이 바람직하다.

[0542] 마이크로캐비티 구조란 하부 전극과 발광층의 광학적 거리가 (2n-1)λ/4(다만 n은 1 이상의 자연수이고, λ는 증폭하려고 하는 발광의 파장임)로 조절된 구조를 가리킨다. 이로써 하부 전극에서 반사되어 돌아온 광(반사광)은 발광층으로부터 상부 전극으로 직접 입사하는 광(입사광)과 큰 간섭을 일으킨다. 그러므로 파장 λ 각각의 반사광과 입사광의 위상을 맞추어 발광층으로부터의 발광을 더 증폭시킬 수 있다. 한편 반사광과 입사광이 파장 λ 이외인 경우, 위상이 맞추어지지 않기 때문에 공진되지 않아 감쇠한다.

[0543] 도전체(112a)는 절연체(599)에 제공된 개구를 통하여 절연체(594)에 매립된 도전체(596)와 접속되어 있다. 또한 도전체(112a)의 단부보다 외측에 도전체(126a)의 단부가 위치한다. 도전체(126a)의 단부와 도전체(129a)의 단부는 정렬되어 있거나 실질적으로 정렬되어 있다.

[0544] 발광 디바이스(130G)에서의 도전체(112b)와 발광 디바이스(130B)에서의 도전체(112c)에 대해서는 발광 디바이스(130R)에서의 도전체(112a)와 같기 때문에 자세한 설명은 생략한다. 또한 발광 디바이스(130G)에서의 도전체(126b)와 발광 디바이스(130B)에서의 도전체(126c)에 대해서는 발광 디바이스(130R)에서의 도전체(126a)와 같기 때문에 자세한 설명은 생략한다. 또한 발광 디바이스(130G)에서의 도전체(129b)와 발광 디바이스(130B)에서의 도전체(129c)에 대해서는 발광 디바이스(130R)에서의 도전체(129a)와 같기 때문에 자세한 설명은 생략한다.

[0545] 도전체(112a), 도전체(112b), 및 도전체(112c)에는 절연체(599)에 제공된 개구를 덮도록 오목부가 형성된다. 또한 상기 오목부에는 층(128)이 매립되어 있다.

[0546] 층(128)은 도전체(112a) 내지 도전체(112c)의 오목부를 평탄화하는 기능을 가진다. 도전체(112a) 위 내지 도전체(112c) 위 및 층(128) 위에는 도전체(112a) 내지 도전체(112c)에 전기적으로 접속되는 도전체(126a) 내지 도전체(126c)가 제공되어 있다. 따라서 도전체(112a) 내지 도전체(112c)의 오목부와 중첩되는 영역도 발광 영역으로서 사용할 수 있으므로 화소의 개구율을 높일 수 있다.

[0547] 층(128)은 절연층이어도 좋고, 도전층이어도 좋다. 층(128)에는 각종 무기 절연 재료, 유기 절연 재료, 및 도전 재료를 적절히 사용할 수 있다. 특히 층(128)은 절연 재료를 사용하여 형성되는 것이 바람직하다.

[0548] 층(128)으로서는 유기 재료를 포함하는 절연층을 적합하게 사용할 수 있다. 예를 들어 층(128)에는 아크릴 수지, 폴리이미드 수지, 에폭시 수지, 폴리아마이드 수지, 폴리이미드아마이드 수지, 실록세인 수지, 벤조사이클로뷰텐계 수지, 페놀 수지, 또는 이들 수지의 전구체를 적용할 수 있다. 또한 층(128)으로서 감광성 수지를 사용할 수 있다. 감광성 수지로서는 포지티브형 재료 또는 네거티브형 재료를 들 수 있다.

[0549] 감광성 수지를 사용함으로써 노광 및 현상의 공정만으로 층(128)을 제작할 수 있어, 건식 에칭 또는 습식 에칭으로 인한 도전체(112a), 도전체(112b), 도전체(112c)의 표면에 대한 영향을 저감할 수 있다. 또한 네거티브형 감광성 수지를 사용하여 층(128)을 형성함으로써, 절연체(599)의 개구의 형성에 사용하는 포토마스크(노광 마스크)와 동일한 포토마스크를 사용하여 층(128)을 형성할 수 있는 경우가 있다.

[0550] 또한 도 27에는 층(128)의 상면이 평탄부를 가지는 예를 나타내었지만, 층(128)의 형상은 특별히 한정되지 않는다. 도 28의 (A)에 나타낸 바와 같이 층(128)의 상면은 단면에서 보았을 때 중앙 및 이의 근방에서 오목 곡면을 가지는 형상으로 하여도 좋다. 또는 도 28의 (B)에 나타낸 바와 같이 층(128)은 단면에서 보았을 때 중앙 및 이의 근방에서 볼록 곡면을 가지는 형상으로 하여도 좋다. 또한 도 28의 (C)에 나타낸 바와 같이 층(128)은 중앙 및 이의 근방에서 오목 곡면 및 볼록 곡면을 가지는 형상으로 하여도 좋다.

[0551] 발광 디바이스(130R)는 제 1 층(113a), 제 1 층(113a) 위의 공통층(114), 및 공통층(114) 위의 공통 전극(115)을 포함한다. 또한 발광 디바이스(130G)는 제 2 층(113b), 제 2 층(113b) 위의 공통층(114), 및 공통층(114) 위의 공통 전극(115)을 포함한다. 또한 발광 디바이스(130B)는 제 3 층(113c), 제 3 층(113c) 위의 공통층(114), 및 공통층(114) 위의 공통 전극(115)을 포함한다.

[0552] 또한 제 1 층(113a)은 도전체(126a)의 상면 및 측면과 도전체(129a)의 상면 및 측면을 덮도록 형성되어 있다. 이와 마찬가지로 제 2 층(113b)은 도전체(126b)의 상면 및 측면과 도전체(129b)의 상면 및 측면을 덮도록 형성되어 있다. 또한 이와 마찬가지로 제 3 층(113c)은 도전체(126c)의 상면 및 측면과 도전체(129c)의 상면 및 측면을 덮도록 형성되어 있다. 따라서 도전체(126a), 도전체(126b), 및 도전체(126c)가 제공되어 있는 영역 전체

를 발광 디바이스(130R), 발광 디바이스(130G), 및 발광 디바이스(130B)의 발광 영역으로서 사용할 수 있기 때문에, 화소의 개구율을 높일 수 있다.

[0553] 발광 디바이스(130R)에서 제 1 층(113a)과 공통층(114)을 통틀어 EL층이라고 할 수 있다. 또한 이와 마찬가지로 발광 디바이스(130G)에서 제 2 층(113b)과 공통층(114)을 통틀어 EL층이라고 할 수도 있다. 또한 이와 마찬가지로 발광 디바이스(130B)에서 제 3 층(113c)과 공통층(114)을 통틀어 EL층이라고 할 수 있다.

[0554] 본 실시형태의 발광 디바이스의 구성은 특별히 한정되지 않고, 싱글 구조이어도 좋고 탠덤 구조이어도 좋다.

[0555] 제 1 층(113a), 제 2 층(113b), 및 제 3 층(113c)은 포토리소그래피법으로 섬 형상으로 가공되어 있다. 그러므로 제 1 층(113a), 제 2 층(113b), 및 제 3 층(113c)은 각각 그 단부에서 상면과 측면이 이루는 각이 90° 에 가까운 형상이 된다. 한편 예를 들어 FMM(Fine Metal Mask)을 사용하여 형성된 유기막은 그 두께가 단부에 가까울수록 서서히 얇아지는 경향이 있고 예를 들어 1μm 이상 10μm 이하의 범위에 걸쳐 상면이 슬로프상으로 형성되기 때문에, 상면과 측면을 구별하기 어려운 형상이 된다.

[0556] 제 1 층(113a), 제 2 층(113b), 및 제 3 층(113c)은 상면과 측면을 명료하게 구별할 수 있다. 이에 의하여 인접한 제 1 층(113a)과 제 2 층(113b)에서 제 1 층(113a)의 측면 중 하나와 제 2 층(113b)의 측면 중 하나는 서로 대향하여 배치된다. 이는 제 1 층(113a), 제 2 층(113b), 및 제 3 층(113c) 중 어느 조합에서도 마찬가지이다.

[0557] 제 1 층(113a), 제 2 층(113b), 및 제 3 층(113c)은 적어도 발광층을 포함한다. 예를 들어 제 1 층(113a)이 적색의 광을 방출하는 발광층을 포함하고, 제 2 층(113b)이 녹색의 광을 방출하는 발광층을 포함하고, 제 3 층(113c)이 청색의 광을 방출하는 발광층을 포함하는 구성인 것이 바람직하다. 또한 각 발광층에는 상기 이외의 색으로서 시안, 마젠타, 황색, 또는 백색을 적용할 수 있다.

[0558] 제 1 층(113a), 제 2 층(113b), 및 제 3 층(113c)은 발광층 및 발광층 위의 캐리어 수송층(전자 수송층 또는 정공 수송층)을 포함하는 것이 바람직하다. 제 1 층(113a), 제 2 층(113b), 및 제 3 층(113c)의 표면은 표시 장치의 제작 공정 중에 노출되는 경우가 있기 때문에, 캐리어 수송층을 발광층 위에 제공함으로써 발광층이 최표면으로 노출되는 것을 억제하여, 발광층이 받는 대미지를 저감할 수 있다. 이에 의하여 발광 디바이스의 신뢰성을 높일 수 있다.

[0559] 공통층(114)은 예를 들어 전자 주입층 또는 정공 주입층을 포함한다. 또한 공통층(114)은 전자 수송층과 전자 주입층의 적층이어도 좋고, 정공 수송층과 정공 주입층의 적층이어도 좋다. 공통층(114)은 발광 디바이스(130R), 발광 디바이스(130G), 및 발광 디바이스(130B)에서 공유되어 있다.

[0560] 또한 공통 전극(115)은 발광 디바이스(130R), 발광 디바이스(130G), 및 발광 디바이스(130B)에서 공유되어 있다. 또한 도 27에 나타낸 바와 같이 복수의 발광 디바이스가 공통적으로 포함하는 공통 전극(115)은 접속부(140)에 포함되어 있는 도전체에 전기적으로 접속된다.

[0561] 절연체(125)는 물 및 산소 중 한쪽 또는 양쪽에 대한 배리어 절연층으로서의 기능을 가지는 것이 바람직하다. 또한 절연체(125)는 물 및 산소 중 한쪽 또는 양쪽의 확산을 억제하는 기능을 가지는 것이 바람직하다. 또한 절연체(125)는 물 및 산소 중 한쪽 또는 양쪽을 포획 또는 고착하는(게터링이라고도 함) 기능을 가지는 것이 바람직하다. 절연체(125)가 배리어 절연층으로서의 기능 또는 게터링 기능을 가짐으로써, 외부로부터 각 발광 디바이스로 확산될 수 있는 불순물(대표적으로는 물 및 산소 중 한쪽 또는 양쪽)의 침입을 억제할 수 있는 구성이 된다. 상기 구성으로 함으로써 신뢰성이 높은 발광 디바이스 및 신뢰성이 높은 표시 패널을 제공할 수 있다.

[0562] 또한 절연체(125)는 불순물 농도가 낮은 것이 바람직하다. 이로써 절연체(125)로부터 EL층으로 불순물이 혼입되어 EL층이 열화하는 것을 억제할 수 있다. 또한 절연체(125)에서 불순물 농도를 낮춤으로써 물 및 산소 중 한쪽 또는 양쪽에 대한 배리어성을 높일 수 있다. 예를 들어 절연체(125)는 수소 농도 및 탄소 농도 중 한쪽, 바람직하게는 양쪽이 충분히 낮은 것이 바람직하다.

[0563] 절연체(127)로서는 유기 재료를 포함하는 절연층을 적합하게 사용할 수 있다. 유기 재료로서는 감광성의 유기 수지를 사용하는 것이 바람직하고, 예를 들어 아크릴 수지를 포함하는 감광성 수지 조성물을 사용하면 좋다. 또한 절연체(127)의 재료의 점도는 1cP 이상 1500cP 이하로 하면 좋고, 1cP 이상 12cP 이하로 하는 것이 바람직하다. 절연체(127)의 재료의 점도를 상기 범위로 함으로써 후술하는 테이퍼 형상을 가지는 절연체(127)를 비교적 용이하게 형성할 수 있다. 또한 본 명세서 등에서 아크릴 수지란 폴리메타크릴산 에스터 또는 메타크릴 수지만을 가리키는 것이 아니라 넓은 의미로의 아크릴계 폴리머 전체를 가리키는 경우가 있다.

[0564] 또한 본 명세서 등에서 테이퍼 형상이란 구조의 측면의 적어도 일부가 기판면에 대하여 경사져 제공되어 있는 형상을 가리킨다. 예를 들어 경사진 측면과 기판면이 이루는 각(테이퍼각이라고도 함)이 90° 미만인 영역을 포함하는 것이 바람직하다.

[0565] 또한 절연체(127)는 후술하는 바와 같이 측면에 테이퍼 형상을 가지면 좋고, 절연체(127)에 사용할 수 있는 유기 재료는 상술한 것에 한정되는 것이 아니다. 예를 들어 절연체(127)에는 아크릴 수지, 폴리이미드 수지, 에폭시 수지, 이미드 수지, 폴리아마이드 수지, 폴리이미드아마이드 수지, 실리콘(silicone) 수지, 실록세인 수지, 벤조사이클로뷰텐계 수지, 페놀 수지, 또는 이들 수지의 전구체를 적용할 수 있는 경우가 있다. 또한 절연체(127)로서 폴리바이닐 알코올(PVA), 폴리바이닐뷰티랄(PVB), 폴리바이닐피롤리돈, 폴리에틸렌글라이콜, 폴리글리세린, 풀루란, 수용성 셀룰로스, 또는 알코올 가용성 폴리아마이드 수지 등 유기 재료를 적용할 수 있는 경우가 있다. 또한 절연체(127)에는 예를 들어 감광성 수지로서 포토레지스트를 사용할 수 있는 경우가 있다. 또한 감광성 수지로서는 포지티브형 재료 또는 네거티브형 재료를 들 수 있다.

[0566] 절연체(127)에는 가시광을 흡수하는 재료를 사용하여도 좋다. 절연체(127)가 발광 디바이스로부터의 발광을 흡수함으로써, 발광 디바이스로부터 절연체(127)를 통하여 인접한 발광 디바이스로 광이 누설되는 것(미광)을 억제할 수 있다. 이로써 표시 패널의 표시 품질을 높일 수 있다. 또한 표시 패널에 편광판을 사용하지 않아도, 표시 품질을 높일 수 있기 때문에, 표시 패널의 경량화 및 박형화가 가능하다.

[0567] 가시광을 흡수하는 재료로서는 흑색 등의 안료를 포함한 재료, 염료를 포함한 재료, 광 흡수성을 가지는 수지 재료(예를 들어 폴리이미드), 및 컬러 필터에 사용할 수 있는 수지 재료(컬러 필터 재료)를 들 수 있다. 특히 2색 또는 3색 이상의 컬러 필터 재료를 적층 또는 혼합한 수지 재료를 사용하면 가시광의 차폐 효과를 높일 수 있기 때문에 바람직하다. 특히 3색 이상의 컬러 필터 재료를 혼합함으로써, 흑색 또는 흑색에 가까운 수지층으로 할 수 있다.

[0568] 절연체(127)는 예를 들어 스핀 코팅, 딥 코팅, 스프레이 도포, 잉크젯, 디스펜싱, 스크린 인쇄, 오프셋 인쇄, 닥터 나이프법, 슬릿 코팅, 롤 코팅, 커튼 코팅, 또는 나이프 코팅 등 습식의 성막 방법을 사용하여 형성할 수 있다. 특히 스핀 코팅으로 절연체(127)가 되는 유기 절연막을 형성하는 것이 바람직하다.

[0569] 절연체(127)는 EL층의 내열 온도보다 낮은 온도에서 형성한다. 절연체(127)를 형성할 때의 기판 온도로서 대표적으로는 200℃이하, 바람직하게는 180℃이하, 더 바람직하게는 160℃이하, 더 바람직하게는 150℃이하, 더 바람직하게는 140℃이하이다.

[0570] 이하에서는, 발광 디바이스(130R)와 발광 디바이스(130G) 사이의 절연체(127)의 구조를 예로 들어, 절연체(127) 등의 구조에 대하여 설명한다. 또한 발광 디바이스(130G)와 발광 디바이스(130B) 사이의 절연체(127) 및 발광 디바이스(130B)와 발광 디바이스(130R) 사이의 절연체(127)에 대해서도 마찬가지이다. 또한 이하에서는 제 2 층(113b) 위의 절연체(127)의 단부를 예로 들어 설명하는 경우가 있지만, 제 1 층(113a) 위의 절연체(127)의 단부 및 제 3 층(113c) 위의 절연체(127)의 단부에 대해서도 마찬가지이다.

[0571] 절연체(127)는 표시 장치를 단면에서 보았을 때 측면에 테이퍼각 θ1의 테이퍼 형상을 가지는 것이 바람직하다. 테이퍼각 θ1은 절연체(127)의 측면과 기판면이 이루는 각이다. 다만 기판면에 한정되지 않고 절연체(125)의 평탄부의 상면 또는 제 2 층(113b)의 평탄부의 상면과 절연체(127)의 측면이 이루는 각으로 하여도 좋다. 또한 절연체(127)의 측면을 테이퍼 형상으로 함으로써, 절연체(125)의 측면 및 마스크층(118a)의 측면도 테이퍼 형상이 되는 경우가 있다.

[0572] 절연체(127)의 테이퍼각 θ1은 90° 미만이고, 60° 이하가 바람직하고, 45° 이하가 더 바람직하다. 절연체(127)의 측면 단부를 이와 같이 순 테이퍼 형상으로 함으로써, 절연체(127)의 측면 단부 위에 제공되는 공통층(114) 및 공통 전극(115)에 단절 또는 국소적인 박막화 등을 발생시키지 않고 좋은 피복성으로 성막할 수 있다. 이에 의하여, 공통층(114) 및 공통 전극(115)의 면 내 균일성을 향상시킬 수 있기 때문에, 표시 장치의 표시 품질을 향상시킬 수 있다.

[0573] 또한 표시 장치를 단면에서 보았을 때 절연체(127)의 상면은 볼록 곡면 형상을 가지는 것이 바람직하다. 절연체(127)의 상면의 볼록 곡면 형상은 중심을 향하여 완만하게 볼록한 형상인 것이 바람직하다. 또한 절연체(127) 상면의 중심부의 볼록된 곡면부가 측면 단부의 테이퍼부로 원활하게 접속되는 형상인 것이 바람직하다. 절연체(127)를 이와 같은 형상으로 함으로써, 절연체(127) 위 전체에서 공통층(114) 및 공통 전극(115)을 좋은 피복성으로 성막할 수 있다.

[0574] 또한 절연체(127)는 2개의 EL층 사이의 영역(예를 들어 제 1 층(113a)과 제 2 층(113b) 사이의 영역)에 형성된다. 이때 절연체(127)의 일부가 한쪽 EL층(예를 들어 제 1 층(113a))의 측면 단부와 다른 쪽 EL층(예를 들어 제 2 층(113b))의 측면 단부에 끼워지는 위치에 배치된다.

[0575] 또한 절연체(127)의 한쪽의 단부가 화소 전극으로서 기능하는 도전체(126a)와 중첩되고, 절연체(127)의 다른 쪽의 단부가 화소 전극으로서 기능하는 도전체(126b)와 중첩되는 것이 바람직하다. 이와 같은 구조로 함으로써, 절연체(127)의 단부를 제 1 층(113a)(제 2 층(113b))의 실질적으로 평탄한 영역 위에 형성할 수 있다. 따라서 절연체(127)를 상술한 바와 같이 테이퍼 형상으로 가공하는 것이 비교적 용이하게 된다.

[0576] 상술한 바와 같이 절연체(127) 등을 제공함으로써, 제 1 층(113a)의 실질적으로 평탄한 영역으로부터 제 2 층(113b)의 실질적으로 평탄한 영역까지 공통층(114) 및 공통 전극(115)에 단절 부분 및 국소적으로 막 두께가 얇은 부분이 형성되는 것을 방지할 수 있다. 따라서 각 발광 디바이스 간에서 공통층(114) 및 공통 전극(115)에 단절 부분에 기인하는 접속 불량 및 국소적으로 막 두께가 얇은 부분에 기인하는 전기 저항의 상승이 발생하는 것을 억제할 수 있다.

[0577] 본 실시형태의 표시 장치는 발광 디바이스 간의 거리를 좁힐 수 있다. 구체적으로는 발광 디바이스 간의 거리, EL층 간의 거리, 또는 화소 전극 간의 거리를 10μm 미만, 8μm 이하, 5μm 이하, 3μm 이하, 2μm 이하, 1μm 이하, 500nm 이하, 200nm 이하, 100nm 이하, 90nm 이하, 70nm 이하, 50nm 이하, 30nm 이하, 20nm 이하, 15nm 이하, 또는 10nm 이하로 할 수 있다. 환언하면 본 실시형태의 표시 장치는 인접한 2개의 섬 형상의 EL층의 간격이 1μm 이하인 영역을 포함하고, 바람직하게는 0.5μm(500nm) 이하의 영역을 포함하고, 더 바람직하게는 100nm 이하의 영역을 포함한다. 이와 같이 각 발광 디바이스 간의 거리를 좁힘으로써, 높은 정세도와 큰 개구율을 가지는 표시 장치를 제공할 수 있다.

[0578] 발광 디바이스(130) 위에는 보호층(131)이 제공되어 있다. 보호층(131)은 발광 디바이스(130)를 보호하는 패시베이션막으로서 기능하는 막이다. 발광 디바이스를 덮는 보호층(131)을 제공함으로써, 발광 디바이스에 물 또는 산소 등의 불순물이 들어가는 것을 억제하여, 발광 디바이스(130)의 신뢰성을 높일 수 있다. 보호층(131)에는 예를 들어 산화 알루미늄, 질화 실리콘, 또는 질화산화 실리콘을 사용할 수 있다.

[0579] 보호층(131)과 기판(110)은 접착층(107)에 의하여 접착되어 있다. 발광 디바이스의 밀봉에는 예를 들어 고체 밀봉 구조 또는 중공 밀봉 구조를 적용할 수 있다. 도 27에서는 기판(310)과 기판(110) 사이의 공간이 접착층(107)으로 충전되어 있고, 고체 밀봉 구조가 적용되어 있다. 또는 상기 공간이 불활성 가스(질소 또는 아르곤 등)로 충전되는, 중공 밀봉 구조를 적용하여도 좋다. 이때 접착층(107)은 발광 디바이스와 중첩되지 않도록 제공되어도 좋다. 또한 상기 공간을 테두리 형상으로 제공된 접착층(107)과는 다른 수지로 충전하여도 좋다.

[0580] 접착층(107)에는 자외선 경화형과 같은 광 경화형 접착제, 반응 경화형 접착제, 열 경화형 접착제, 또는 혐기형 접착제 등 각종 경화형 접착제를 사용할 수 있다. 이들 접착제로서는 예를 들어 에폭시 수지, 아크릴 수지, 실리콘 수지, 페놀 수지, 폴리이미드 수지, 이미드 수지, PVC(폴리바이닐클로라이드) 수지, PVB(폴리바이닐뷰티랄) 수지, EVA(에틸렌바이닐아세테이트) 수지가 있다. 특히 에폭시 수지와 같은 투습성이 낮은 재료가 바람직하다. 또한 2액 혼합형 수지를 사용하여도 좋다. 또한 접착 시트를 사용하여도 좋다.

[0581] 표시 장치(DSP1A)는 톱 이미션형이다. 발광 디바이스가 방출하는 광은 기판(110) 측으로 사출된다. 그러므로 기판(110)에는 가시광에 대한 투과성이 높은 재료를 사용하는 것이 바람직하다. 예를 들어 기판(110)에는 기판(310) 및 기판(BS)에 적용할 수 있는 기판 중 가시광에 대한 투과성이 높은 기판을 선택하면 좋다. 화소 전극은 가시광을 반사하는 재료를 포함하고, 대향 전극(공통 전극(115))은 가시광을 투과시키는 재료를 포함한다.

[0582] 또한 본 발명의 일 형태의 표시 장치는 톱 이미션형이 아니라 발광 디바이스가 방출하는 광이 기판(310) 측으로 사출되는 보텀 이미션형으로 하여도 좋다. 또한 이 경우, 기판(310)으로서는 가시광에 대한 투과성이 높은 기판을 선택하면 좋다.

[0583] <표시 장치의 단면 구성예 2>

[0584] 다음으로 도 27의 표시 장치(DSP1A)와 상이한 도 25의 (A)에 나타낸 표시 장치(DSP1)를 단면에서 보았을 때의 구성예에 대하여 설명한다. 도 29에 나타낸 표시 장치(DSP1B)는 표시 장치(DSP1A)의 변경예이고, 기판(310) 위에 제공되어 있는 트랜지스터의 구성이 표시 장치(DSP1A)와 다르다.

[0585] 또한 도 29의 표시 장치(DSP1B)에서 기판(310)으로서는 기판(BS)에 적용할 수 있는 기판을 사용하는 것이 바람직하다. 또한 표시 장치(DSP1B)에 대한 설명에서 기판(310)은 유리 기판이다.

[0586] 도 29의 표시 장치(DSP1B)에서 기판(310) 위에는 트랜지스터(500p) 및 트랜지스터(500d)가 형성되어 있다. 또한 본 명세서 등에서는 트랜지스터(500p) 또는 트랜지스터(500d)를 통틀어 트랜지스터(500)라고 기재한다. 또한 표시 장치(DSP1B)에서의 트랜지스터(500p)는 표시 장치(DSP1A)의 트랜지스터(300p)에 상당하고, 표시 장치(DSP1B)에서의 트랜지스터(500d)는 표시 장치(DSP1A)의 트랜지스터(300d)에 상당한다.

[0587] 또한 트랜지스터(500p) 및 트랜지스터(500d)의 위쪽에 위치하는 발광 디바이스(130)(도 29에서는 발광 디바이스(130R), 발광 디바이스(130G), 및 발광 디바이스(130B))에 대해서는 도 27의 발광 디바이스(130)에 대한 설명을 참조할 수 있다.

[0588] 트랜지스터(500) 위에는 절연체(574)가 형성되어 있고, 절연체(574) 위에는 절연체(581)가 형성되어 있다. 또한 절연체(574) 및 절연체(581)에는 개구가 제공되어 있고, 상기 개구에는 도전체(596)가 매립되어 있다. 또한 절연체(574) 및 절연체(581)에 대해서는 후술한다. 또한 도전체(596)에 대해서는, 도 27의 도전체(596)에 대한 설명을 참조할 수 있다.

[0589] 절연체(581) 위 및 도전체(540) 위에는 절연체(592), 절연체(594), 및 도전체(596)가 형성되어 있다. 또한 절연체(592), 절연체(594), 및 도전체(596)에 대해서는, 도 27의 절연체(592) 및 절연체(594)에 대한 설명을 참조할 수 있다.

[0590] <<트랜지스터(500)의 구성예>>

[0591] 도 30의 (A)는 표시 장치(DSP1B)에 포함될 수 있는 트랜지스터(500)의 채널 길이 방향의 단면 모식도이고, 도 30의 (B)는 트랜지스터(500)의 채널 폭 방향의 단면 모식도이다. 또한 도 30의 (A) 및 (B)에서는 기판(310) 위가 아니라 절연체(512) 위에 트랜지스터(500)가 제공되어 있는 구성을 나타내었다.

[0592] 도 30의 (A) 및 (B)에 나타낸 바와 같이 트랜지스터(500)는 일례로서 금속 산화물(531a), 금속 산화물(531b), 도전체(505), 도전체(542a), 도전체(542b), 절연체(580), 도전체(560), 절연체(514), 절연체(516), 절연체(520), 절연체(522), 절연체(524), 절연체(550), 절연체(554), 절연체(574), 절연체(580), 및 절연체(581)를 포함한다. 또한 트랜지스터(500)는 상술한 구성 요소 각각을 반드시 가지지 않아도 된다. 예를 들어 트랜지스터(500)는 절연체(520)를 포함하지 않은 구성으로 하여도 좋다.

[0593] 도전체(505)(도전체(505a) 및 도전체(505b)) 및 절연체(516)는 기판(도시하지 않았음)의 위쪽에 배치되어 있다. 특히 도전체(505)는 절연체(516)에 매립되어 제공되는 것이 바람직하다. 구체적으로 도전체(505a)는 절연체(516)에 제공된 개구의 바닥면 및 측벽에 접하여 제공되는 것이 바람직하다. 또한 도전체(505b)는 도전체(505a)에 형성된 오목부에 매립되도록 제공되는 것이 바람직하다. 또한 도 30의 (A) 및 (B)에 나타낸 트랜지스터(500)에서는 도전체(505b)의 상면의 높이는 도전체(505a)의 상면의 높이 및 절연체(516)의 상면의 높이와 대략 일치한다.

[0594] 또한 금속 산화물(531) 및 도전체(560)는 도전체(505)와 중첩되는 영역에 배치되어 있다. 또한 금속 산화물(531b)은 금속 산화물(531a) 위에 배치되어 있다. 또한 도전체(542a) 및 도전체(542b)는 금속 산화물(531b) 위에 서로 이격되어 배치되어 있다. 또한 절연체(580)는 도전체(542a) 및 도전체(542b) 위에 배치되어 있다. 특히 절연체(580)에는 도전체(542a)와 도전체(542b) 사이의 영역에 개구부가 형성되어 있다. 또한 도전체(560)는 상기 개구부 내에 배치되어 있다. 또한 절연체(550)는 금속 산화물(531b), 도전체(542a), 도전체(542b), 및 절연체(580)와 도전체(560) 사이에 배치되어 있다. 여기서 도 30의 (A) 및 (B)에 나타낸 바와 같이 도전체(560)의 상면은 절연체(550) 및 절연체(580)의 상면과 대략 일치하는 것이 바람직하다. 또한 이하에서 도전체(505a) 및 도전체(505b)를 통틀어 도전체(505)라고 하는 경우가 있다. 또한 금속 산화물(531a) 및 금속 산화물(531b)을 통틀어 금속 산화물(531)이라고 하는 경우가 있다. 또한 도전체(542a) 및 도전체(542b)를 통틀어 도전체(542)라고 하는 경우가 있다.

[0595] 또한 도 30의 (A)에 나타낸 바와 같이 금속 산화물(531b)의 도전체(542a)와의 계면 및 이의 근방에는 저저항 영역으로서 영역(543a)이 형성되는 경우가 있다. 이와 마찬가지로 금속 산화물(531b)의 도전체(542b)와의 계면 및 이의 근방에는 저저항 영역으로서 영역(543b)이 형성되는 경우가 있다. 이때 영역(543a)은 소스 영역 및 드레인 영역 중 한쪽으로서 기능하고, 영역(543b)은 소스 영역 및 드레인 영역 중 다른 쪽으로서 기능한다. 또한 영역(543a)과 영역(543b) 사이에 끼워진 영역에 채널 형성 영역이 형성된다.

[0596] 금속 산화물(531)과 접하도록 상기 도전체(542a)(도전체(542b))를 제공함으로써 영역(543a)(영역(543b))의 산소 농도가 저감하는 경우가 있다. 또한 도전체(542a)(도전체(542b))에 포함되는 금속 및 금속 산화물(531)의 성분

을 포함하는 금속 화합물층이 영역(543a)(영역(543b))에 형성되는 경우가 있다. 이와 같은 경우, 영역(543a)(영역(543b))의 캐리어 농도가 증가하여 영역(543a)(영역(543b))은 저저항 영역이 된다.

[0597] 도 30의 (A) 및 (B)에 나타낸 트랜지스터(500)에서는 도전체(542a) 및 도전체(542b)의 도전체(560) 측의 측면이 실질적으로 수직인 형상을 가진다. 또한 도 30의 (A) 및 (B)에 나타낸 트랜지스터(500)는 이에 한정되지 않고, 도전체(542a) 및 도전체(542b)의 측면과 밑면이 이루는 각이 10° 이상 80° 이하, 바람직하게는 30° 이상 60° 이하로 하여도 좋다. 또한 서로 대향하는 도전체(542a)의 측면 및 도전체(542b)의 측면이 복수의 면을 가져도 좋다.

[0598] 또한 트랜지스터(500)에서는 채널이 형성되는 영역(이하 채널 형성 영역이라고도 함)과 이의 근방에서 금속 산화물(531a)과 금속 산화물(531b)의 2층을 적층하는 구성을 나타내었지만, 본 발명은 이에 한정되는 것이 아니다. 예를 들어 금속 산화물(531b)의 단층 구조 또는 3층 이상의 적층 구조를 제공하는 구성으로 하여도 좋다. 또한 금속 산화물(531a) 및 금속 산화물(531b) 각각이 2층 이상의 적층 구조를 가져도 좋다.

[0599] 여기서 도전체(560)는 트랜지스터의 제 1 게이트 전극(톱 게이트 전극 또는 프런트 게이트 전극이라고 하는 경우가 있음)으로서 기능하고, 도전체(542a) 및 도전체(542b)는 각각 소스 전극 또는 드레인 전극으로서 기능한다. 상술한 바와 같이 도전체(560)는 절연체(580)의 개구 및 도전체(542a)와 도전체(542b)에 끼워진 영역에 매립되도록 형성된다. 여기서 도전체(560), 도전체(542a), 및 도전체(542b)의 배치는 절연체(580)의 개구에 대하여 자기 정합(自己整合)적으로 선택된다. 즉 트랜지스터(500)에서 제 1 게이트 전극을 소스 전극과 드레인 전극 사이에 자기 정합적으로 배치시킬 수 있다. 따라서 위치 얼라인먼트의 마진을 제공하지 않고 도전체(560)를 형성할 수 있기 때문에, 트랜지스터(500)의 점유 면적을 축소할 수 있다. 이로써 표시 장치를 고정세하게 할 수 있다. 또한 표시 장치를 슬림 베젤로 할 수 있다.

[0600] 또한 도전체(505)는 제 2 게이트 전극(보텀 게이트 전극 또는 백 게이트 전극이라고 하는 경우가 있음)으로서 기능하는 경우가 있다. 이 경우 도전체(505)에 인가하는 전위를 도전체(560)에 인가하는 전위와 연동시키지 않고 독립적으로 변화시킴으로써, 트랜지스터(500)의 문턱 전압 V_{th}를 제어할 수 있다. 특히 도전체(505)에 음의 전위를 인가함으로써, 트랜지스터(500)의 V_{th}를 보다 크게 하고, 오프 전류를 낮게 할 수 있게 된다. 따라서 도전체(505)에 음의 전위를 인가하면 인가하지 않은 경우에 비하여 도전체(560)에 인가하는 전위가 0V일 때의 드레인 전류를 작게 할 수 있다.

[0601] 도전체(505)는 금속 산화물(531)에서의 채널 형성 영역보다 크게 제공하는 것이 좋다. 특히 도 30의 (B)에 나타낸 바와 같이 도전체(505)는 금속 산화물(531)의 채널 폭 방향과 교차되는 단부보다 외측의 영역에서도 배선으로서 연장되어 있는 것이 바람직하다. 즉 금속 산화물(531)의 채널 폭 방향에서의 측면의 외측에서 도전체(505)와 도전체(560)가 절연체를 개재하여 중첩되어 있는 것이 바람직하다.

[0602] 도 30의 (A)에 나타낸 바와 같이 도전체(560)는 절연체(550)의 내측에 제공된 도전체(560a)와 도전체(560a)의 내측에 매립되도록 제공된 도전체(560b)를 포함하는 것이 바람직하다. 또한 도 30의 (A) 및 (B)에서는 도전체(560)를 2층의 적층 구조로서 나타내었지만 본 발명은 이에 한정되는 것이 아니다. 예를 들어 도전체(560)는 단층 구조를 가져도 좋고, 3층 이상의 적층 구조를 가져도 좋다.

[0603] 도 30의 (A) 및 (B)에 나타낸 바와 같이 트랜지스터(500)는 기판(도시하지 않았음) 위에 배치된 절연체(512), 절연체(512) 위에 배치된 절연체(514), 절연체(514) 위에 배치된 절연체(516), 절연체(516)에 매립되도록 배치된 도전체(505), 절연체(516)와 도전체(505) 위에 배치된 절연체(520), 절연체(520) 위에 배치된 절연체(522), 및 절연체(522) 위에 배치된 절연체(524)를 포함하는 것이 바람직하다. 절연체(524) 위에 금속 산화물(531a)이 배치되는 것이 바람직하다.

[0604] 또한 도 30의 (A) 및 (B)에 나타낸 바와 같이 절연체(524)와 절연체(580) 사이, 금속 산화물(531a)과 절연체(580) 사이, 금속 산화물(531b)과 절연체(580) 사이, 도전체(542a)와 절연체(580) 사이, 및 도전체(542b)와 절연체(580) 사이에 절연체(554)가 배치되는 것이 바람직하다. 여기서 절연체(554)는 도 30의 (A) 및 (B)에 나타낸 바와 같이 절연체(550)의 측면, 도전체(542a)의 상면과 측면, 도전체(542b)의 상면과 측면, 금속 산화물(531a), 금속 산화물(531b), 그리고 절연체(524)의 측면 및 상면에 접하는 것이 바람직하다.

[0605] 트랜지스터(500) 위에는 층간막으로서 기능하는 절연체(574) 및 절연체(581)가 배치되는 것이 바람직하다. 여기서 절연체(574)는 도전체(560), 절연체(550), 및 절연체(580) 각각의 상면에 접하여 배치되는 것이 바람직하다. 또한 이때 절연체(580)의 상면은 평탄화되어 있는 것이 바람직하다.

[0606] 트랜지스터(500)와 전기적으로 접속되고, 플러그로서 기능하는 도전체(540)(도전체(540a) 및 도전체(540b))가 제공되는 것이 바람직하다. 그러므로 절연체(554), 절연체(580), 절연체(574), 및 절연체(581)의 개구의 내벽에 접하여 도전체(540)가 제공된다. 특히 상기 내벽에 접하여 도전체(540)의 제 1 도전체가 제공되고, 제 1 도전체의 측면에 도전체(540)의 제 2 도전체가 제공되는 구성으로 하여도 좋다. 여기서 도전체(540)의 상면의 높이와 절연체(581)의 상면의 높이는 같은 정도로 할 수 있다.

[0607] 구체적으로는 예를 들어 절연체(581), 절연체(574), 절연체(580), 및 절연체(554)의 2개의 개구 중 한쪽의 내벽에 접하여 도전체(540a)의 제 1 도전체가 제공되고, 이의 측면에 접하여 도전체(540a)의 제 2 도전체가 형성되어 있다. 또한 상기 개구의 바닥부의 일부에는 도전체(542a)가 위치하고, 도전체(540a)가 도전체(542a)와 접한다. 이와 마찬가지로 예를 들어 절연체(581), 절연체(574), 절연체(580), 및 절연체(554)의 2개의 개구 중 다른 쪽의 내벽에 접하여 도전체(540b)의 제 1 도전체가 제공되고, 이의 측면에 접하여 도전체(540b)의 제 2 도전체가 형성되어 있다. 또한 상기 개구의 바닥부의 일부에는 도전체(542b)가 위치하고, 도전체(540b)가 도전체(542b)와 접한다.

[0608] 또한 트랜지스터(500)에서는 도전체(540)의 제 1 도전체 및 도전체(540)의 제 2 도전체를 적층하는 구성을 나타내었지만, 본 발명은 이에 한정되는 것이 아니다. 예를 들어 도전체(540)를 단층으로 또는 3층 이상의 적층 구조로 제공하는 구성으로 하여도 좋다. 구조체가 적층 구조를 가지는 경우, 형성 순으로 서수를 붙여 구별하는 경우가 있다.

[0609] 도 30의 (B)에 나타낸 바와 같이 금속 산화물(531b)의 도전체(542)와 중첩되지 않는 영역, 환언하면 금속 산화물(531)의 채널 형성 영역에서 금속 산화물(531)의 측면이 도전체(560)로 덮이도록 배치되어 있다. 이에 의하여, 제 1 게이트 전극으로서 기능하는 도전체(560)의 전계를 금속 산화물(531)의 측면에 작용시키기 쉬워지고, 그 결과 도전체(560)의 전계에 의하여 금속 산화물(531)의 채널 형성 영역을 전기적으로 둘러쌀 수 있다. 따라서 트랜지스터(500)의 온 전류를 증대시켜 주파수 특성을 향상시킬 수 있다.

[0610] <<트랜지스터의 구성 재료>>

[0611] 다음으로 트랜지스터(500)에 사용할 수 있는 구성 재료에 대하여 설명한다.

[0612] [금속 산화물(산화물 반도체)]

[0613] 트랜지스터(500)는 채널 형성 영역을 포함하는 금속 산화물(531)(금속 산화물(531a) 및 금속 산화물(531b))에 산화물 반도체로서 기능하는 금속 산화물(이하 산화물 반도체라고도 함)을 사용하는 것이 바람직하다. 예를 들어 금속 산화물(531)의 채널 형성 영역이 되는 금속 산화물로서는 밴드 갭이 2eV 이상인 것이 바람직하고, 2.5eV 이상인 것이 더 바람직하다.

[0614] 상기 금속 산화물로서 적어도 인듐 또는 아연을 포함하는 것이 바람직하다. 특히 인듐 및 아연을 포함하는 것이 바람직하다. 또한 이들에 더하여 원소 M이 포함되는 것이 바람직하다. 원소 M으로서 알루미늄, 갈륨, 이트륨, 주석, 구리, 바나듐, 붕소, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 마그네슘, 코발트, 및 안티모니 중에서 선택된 하나 이상을 사용할 수 있다. 특히 원소 M은 알루미늄, 갈륨, 이트륨, 및 주석 중 하나 이상으로 하는 것이 바람직하다. 또한 원소 M은 갈륨 및 주석 중 한쪽 또는 양쪽을 포함하는 것이 더 바람직하다.

[0615] 상술한 바와 같이 금속 산화물(531)은 금속 산화물(531a) 및 금속 산화물(531a) 위의 금속 산화물(531b)을 포함한다. 금속 산화물(531b) 아래에 금속 산화물(531a)을 포함함으로써, 금속 산화물(531a)보다 아래쪽에 형성된 구조물로부터 금속 산화물(531b)로 불순물이 확산되는 것을 억제할 수 있다.

[0616] 또한 금속 산화물(531)은 각 금속 원자의 원자수비가 상이한 복수의 산화물층의 적층 구조를 가지는 것이 바람직하다. 예를 들어 금속 산화물(531)이 적어도 인듐(In)과 원소 M을 포함하는 경우, 금속 산화물(531a)을 구성하는 모든 원소의 원자수에 대한 금속 산화물(531a)에 포함되는 원소 M의 원자수의 비율이 금속 산화물(531b)을 구성하는 모든 원소의 원자수에 대한 금속 산화물(531b)에 포함되는 원소 M의 원자수의 비율보다 높은 것이 바람직하다. 또한 금속 산화물(531a)에 포함되는 원소 M의 In에 대한 원자수비가 금속 산화물(531b)에 포함되는 원소 M의 In에 대한 원자수비보다 큰 것이 바람직하다.

[0617] 금속 산화물(531a)의 전도대 하단의 에너지가 금속 산화물(531b)의 전도대 하단의 에너지보다 높아지는 것이 바람직하다. 또한 환언하면 금속 산화물(531a)의 전자 친화력이 금속 산화물(531b)의 전자 친화력보다 작은 것이 바람직하다.

[0618] 여기서 금속 산화물(531a)과 금속 산화물(531b)의 접합부에서 전도대 하단의 에너지 준위는 완만하게 변화된다. 환언하면 금속 산화물(531a)과 금속 산화물(531b)의 접합부에서의 전도대 하단의 에너지 준위는 연속적으로 변화 또는 연속 접합한다고도 할 수 있다. 이와 같이 하기 위해서는 금속 산화물(531a)과 금속 산화물(531b)의 계면에서 형성되는 혼합층의 결함 준위 밀도를 낮추는 것이 좋다.

[0619] 구체적으로는 금속 산화물(531a)과 금속 산화물(531b)이 산소 이외에 공통되는 원소를 가짐으로써(주성분으로 함으로써) 결함 준위 밀도가 낮은 혼합층을 형성할 수 있다. 예를 들어 금속 산화물(531b)이 In-Ga-Zn 산화물(인듐-갈륨-아연 산화물)인 경우, 금속 산화물(531a)에는 In-Ga-Zn 산화물, Ga-Zn 산화물, 또는 산화 갈륨을 사용할 수 있다.

[0620] 구체적으로는 금속 산화물(531a)로서 In:Ga:Zn=1:3:4[원자수비], 1:3:2[원자수비], 또는 1:1:0.5[원자수비]의 금속 산화물을 사용하면 좋다. 또한 금속 산화물(531b)로서 In:Ga:Zn=1:1:1[원자수비], 4:2:3[원자수비], 또는 3:1:2[원자수비]의 금속 산화물을 사용하면 좋다.

[0621] 이때 캐리어의 주된 경로는 금속 산화물(531b)이다. 금속 산화물(531a)을 상술한 구성으로 함으로써 금속 산화물(531a)과 금속 산화물(531b)의 계면에서의 결함 준위 밀도를 낮출 수 있다. 그러므로 계면 산란으로 인한 캐리어 전도에 대한 영향이 작아지고, 트랜지스터(500)는 높은 온 전류와 높은 주파수 특성을 얻을 수 있다.

[0622] 또한 금속 산화물(531)과 접하도록 상기 도전체(542)를 제공함으로써 금속 산화물(531)의 도전체(542) 근방에서 산소 농도가 저감하는 경우가 있다. 또한 금속 산화물(531)의 도전체(542) 근방에서 도전체(542)에 포함되는 금속과 금속 산화물(531)의 성분을 포함하는 금속 화합물층이 형성되는 경우가 있다. 이와 같은 경우, 금속 산화물(531)의 도전체(542) 근방의 영역에서 캐리어 농도가 증가하여 상기 영역은 저저항 영역이 된다.

[0623] 또한 금속 산화물(531b)은 도전체(542)와 중첩되지 않는 영역의 막 두께가 도전체(542)와 중첩되는 영역의 막 두께보다 얇아지는 경우가 있다. 이는 도전체(542a) 및 도전체(542b)를 형성할 때 금속 산화물(531b)의 상면의 일부를 제거함으로써 형성된다. 금속 산화물(531b)의 상면에는 도전체(542)가 되는 도전막을 형성하였을 때, 상기 도전막의 계면 근방에 저항이 낮은 영역이 형성되는 경우가 있다. 이와 같이 금속 산화물(531b)의 상면의 도전체(542a)와 도전체(542b) 사이에 위치하는 저항이 낮은 영역을 제거함으로써, 상기 영역에 채널이 형성되는 것을 방지할 수 있다.

[0624] [도전체]

[0625] 도전체에는 예를 들어 알루미늄, 크로뮴, 구리, 은, 금, 백금, 탄탈럼, 니켈, 타이타늄, 몰리브데넘, 텅스텐, 하프늄, 바나듐, 나이오븀, 망가니즈, 마그네슘, 지르코늄, 베릴륨, 인듐, 루테늄, 이리듐, 스트론튬, 및 란타넘 중에서 선택된 금속 원소를 사용하는 것이 바람직하다. 또한 도전체에는 예를 들어 상술한 금속 원소 중에서 선택된 2개 이상을 성분으로 하는 합금 또는 상술한 금속 원소 중에서 선택된 2개 이상을 조합한 합금을 사용하는 것이 바람직하다. 또한 도전체에는 예를 들어 질화 탄탈럼, 질화 타이타늄, 텅스텐, 타이타늄과 알루미늄을 포함하는 질화물, 탄탈럼과 알루미늄을 포함하는 질화물, 산화 루테늄, 질화 루테늄, 스트론튬과 루테늄을 포함하는 산화물, 란타넘과 니켈을 포함하는 산화물을 사용하는 것이 바람직하다. 또한 질화 탄탈럼, 질화 타이타늄, 타이타늄과 알루미늄을 포함하는 질화물, 탄탈럼과 알루미늄을 포함하는 질화물, 산화 루테늄, 질화 루테늄, 스트론튬과 루테늄을 포함하는 산화물, 또는 란타넘과 니켈을 포함하는 산화물은 산화되기 어려운 도전성 재료 또는 산소를 흡수하여도 도전성을 유지하는 재료이기 때문에 바람직하다. 또한 도전체에는 예를 들어 불순물 원소(예를 들어 인)를 함유시킨 다결정 실리콘으로 대표되는, 전기 전도도가 높은 반도체 또는 실리사이드(예를 들어 니켈 실리사이드)를 사용하여도 좋다.

[0626] 상기 재료로 형성되는 도전체를 복수 적층하여 사용하여도 좋다. 예를 들어, 상술한 금속 원소를 포함한 재료와, 산소를 포함한 도전성 재료를 조합한 적층 구조로 하여도 좋다. 또한 상술한 금속 원소를 포함한 재료와, 질소를 포함한 도전성 재료를 조합한 적층 구조로 하여도 좋다. 또한 상술한 금속 원소를 포함한 재료와, 산소를 포함한 도전성 재료와, 질소를 포함한 도전성 재료를 조합한 적층 구조로 하여도 좋다.

[0627] 제 2 게이트 전극으로서 기능하는 도전체(505a)는 수소 원자, 수소 분자, 물 분자, 질소 원자, 질소 분자, 산화 질소 분자(예를 들어 N_2O, NO, NO_2 등) 및 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다. 또는 산소(예를 들어 산소 원자 및 산소 분자 중 한쪽 또는 양쪽)의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다.

[0628] 도전체(505a)에 수소의 확산을 저감하는 기능을 가지는 도전성 재료를 사용함으로써, 도전체(505b)에 포함되는

수소 등의 불순물이 절연체(524)를 통하여 금속 산화물(531)로 확산되는 것을 억제할 수 있다. 또한 도전체(505a)에 산소의 확산을 억제하는 기능을 가지는 도전성 재료를 사용함으로써, 도전체(505b)가 산화되어 도전율이 저하하는 것을 억제할 수 있다. 산소의 확산을 억제하는 기능을 가지는 도전성 재료로서는 예를 들어 타이타늄, 질화 타이타늄, 탄탈럼, 질화 탄탈럼, 루테늄, 및 산화 루테늄이 있다. 따라서 도전체(505a)는 상기 도전성 재료의 단층 또는 적층으로 하면 좋다. 예를 들어 도전체(505a)에는 질화 타이타늄을 사용하면 좋다.

[0629] 또한 도전체(505b)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직하다. 예를 들어 도전체(505b)에는 텅스텐을 사용하면 좋다.

[0630] 소스 전극 또는 드레인 전극으로서 기능하는 도전체(542)(도전체(542a) 및 도전체(542b))에는 알루미늄, 크로뮴, 구리, 은, 금, 백금, 탄탈럼, 니켈, 타이타늄, 몰리브데넘, 텅스텐, 하프늄, 바나듐, 나이오븀, 망가니즈, 마그네슘, 지르코늄, 베릴륨, 인듐, 루테늄, 이리듐, 스트론튬, 란타넘 중에서 선택된 금속 원소를 사용하는 것이 바람직하다. 또한 도전체(542)에는 상술한 금속 원소 중에서 선택된 2개 이상을 성분으로 하는 합금 또는 상술한 금속 원소 중에서 선택된 2개 이상을 조합한 합금을 사용하는 것이 바람직하다. 또한 예를 들어 도전체(542)에는 질화 탄탈럼, 질화 타이타늄, 텅스텐, 타이타늄과 알루미늄을 포함하는 질화물, 탄탈럼과 알루미늄을 포함하는 질화물, 산화 루테늄, 질화 루테늄, 스트론튬과 루테늄을 포함하는 산화물, 또는 란타넘과 니켈을 포함하는 산화물이 사용되는 것이 바람직하다. 또한 질화 탄탈럼, 질화 타이타늄, 타이타늄과 알루미늄을 포함하는 질화물, 탄탈럼과 알루미늄을 포함하는 질화물, 산화 루테늄, 질화 루테늄, 스트론튬과 루테늄을 포함하는 산화물, 또는 란타넘과 니켈을 포함하는 산화물은 산화되기 어려운 도전성 재료 또는 산소를 흡수하여도 도전성을 유지하는 재료이기 때문에 바람직하다.

[0631] 제 1 게이트 전극으로서 기능하는 도전체(560a)는 상술한 수소 원자, 수소 분자, 물 분자, 질소 원자, 질소 분자, 산화 질소 분자(예를 들어 N_2O, NO, NO_2 등) 및 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는 도전체를 사용하는 것이 바람직하다. 또는 산소(예를 들어 산소 원자 및 산소 분자 중 한쪽 또는 양쪽)의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다.

[0632] 도전체(560a)가 산소의 확산을 억제하는 기능을 가짐으로써, 절연체(550)에 포함되는 산소에 의하여 도전체(560b)가 산화되어 도전율이 저하하는 것을 억제할 수 있다. 산소의 확산을 억제하는 기능을 가지는 도전성 재료로서는 예를 들어 탄탈럼, 질화 탄탈럼, 타이타늄, 질화 타이타늄, 루테늄, 또는 산화 루테늄이 있다. 또한 도전체(560a)로서 산소를 포함하는 도전성 재료를 제공함으로써, 상기 도전성 재료로부터 이탈된 산소가 채널 형성 영역에 공급되기 쉬워진다.

[0633] 도전체(560b)는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직하다. 또한 도전체(560)는 배선으로서도 기능하기 때문에, 도전성이 높은 도전체를 사용하는 것이 바람직하다. 예를 들어 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용할 수 있다. 또한 도전체(560b)는 적층 구조로 하여도 좋고, 예를 들어 타이타늄 또는 질화 타이타늄과 상기 도전성 재료의 적층 구조로 하여도 좋다.

[0634] 또한 도전체(560)에는 예를 들어 인듐 주석 산화물, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 타이타늄을 포함하는 인듐 산화물, 산화 타이타늄을 포함하는 인듐 주석 산화물, 인듐 아연 산화물, 또는 실리콘을 첨가한 인듐 주석 산화물을 사용하여도 좋다. 또한 예를 들어 상기 도전체에는 질소를 포함하는 인듐 갈륨 아연 산화물을 사용하여도 좋다. 이와 같은 재료를 사용함으로써, 채널이 형성되는 금속 산화물에 포함되는 수소를 포획할 수 있는 경우가 있다. 또는 외부의 절연체 등으로부터 혼입되는 수소를 포획할 수 있는 경우가 있다.

[0635] 또한 도 30의 (A) 및 (B)에서는 도전체(560)가 2층 구조를 가지지만, 단층 구조를 가져도 좋고 3층 이상의 적층 구조를 가져도 좋다.

[0636] 플러그로서 기능하는 도전체(540a) 및 도전체(540b)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직하다. 또한 도전체(540a) 및 도전체(540b)는 적층 구조로 하여도 좋다.

[0637] 도전체(540)를 적층 구조로 하는 경우, 도전체(542), 절연체(554), 절연체(580), 절연체(574), 및 절연체(581)와 접하는 도전체에는 상술한 물 또는 수소 등의 불순물의 확산을 억제하는 기능을 가지는 도전체를 사용하는 것이 바람직하다. 예를 들어 상기 도전체에는 탄탈럼, 질화 탄탈럼, 타이타늄, 질화 타이타늄, 루테늄, 또는 산화 루테늄을 사용하는 것이 바람직하다. 또한 물 또는 수소 등의 불순물의 확산을 억제하는 기능을 가지는 도전성 재료는 단층 구조 또는 적층 구조로서 사용하여도 좋다. 상기 도전성 재료를 사용함으로써, 절연체(580)에 첨가된 산소가 도전체(540a) 및 도전체(540b)에 흡수되는 것을 억제할 수 있다. 또한 절연체(581)보다

위층으로부터 물 또는 수소 등의 불순물이 도전체(540a) 및 도전체(540b)를 통하여 금속 산화물(531)에 혼입되는 것을 억제할 수 있다.

[0638] [절연체]

[0639] 절연체로서는, 절연성을 가지는 산화물, 질화물, 산화질화물, 질화산화물, 금속 산화물, 금속 산화질화물, 및 금속 질화산화물을 들 수 있다.

[0640] 절연체(514)는 물 또는 수소 등의 불순물이 기판 측으로부터 트랜지스터(500)에 혼입되는 것을 억제하는 배리어 절연막으로서 기능하는 것이 바람직하다. 따라서 절연체(514)는 수소 원자, 수소 분자, 물 분자, 질소 원자, 질소 분자, 산화 질소 분자(예를 들어 N_2O, NO, 및 NO_2 등), 및 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는(상기 불순물이 투과하기 어려운) 절연성 재료를 사용하는 것이 바람직하다. 또는 산소(예를 들어 산소 원자 및 산소 분자 중 한쪽 또는 양쪽)의 확산을 억제하는 기능을 가지는(상기 산소가 투과하기 어려운) 절연성 재료를 사용하는 것이 바람직하다.

[0641] 물 또는 수소 등의 불순물과 산소의 투과를 억제하는 기능을 가지는 절연체로서는 예를 들어 붕소, 탄소, 질소, 산소, 플루오린, 마그네슘, 알루미늄, 실리콘, 인, 염소, 아르곤, 갈륨, 저마늄, 이트륨, 지르코늄, 란타넘, 네오디뮴, 하프늄, 및 탄탈럼 중에서 선택된 하나 이상을 포함하는 절연체를 단층으로 또는 적층하여 사용하면 좋다. 구체적으로는 물 또는 수소 등의 불순물과 산소의 투과를 억제하는 기능을 가지는 절연체로서는 예를 들어 산화 알루미늄, 산화 마그네슘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈럼 등의 금속 산화물이 있다. 또한 물 또는 수소 등의 불순물과 산소의 투과를 억제하는 기능을 가지는 절연체로서는 예를 들어 알루미늄 및 하프늄을 포함하는 산화물(하프늄알루미네이트)이 있다. 또한 물 또는 수소 등의 불순물과 산소의 투과를 억제하는 기능을 가지는 절연체로서는 예를 들어 질화 알루미늄, 질화 알루미늄 타이타늄, 질화 타이타늄, 질화산화 실리콘, 및 질화 실리콘 등의 금속 질화물이 있다.

[0642] 특히 절연체(514)에는 산화 알루미늄 또는 질화 실리콘을 사용하는 것이 바람직하다. 이로써 물 또는 수소 등의 불순물이 절연체(514)보다 기판 측으로부터 트랜지스터(500) 측으로 확산되는 것을 억제할 수 있다. 또는 절연체(524) 등에 포함되는 산소가 절연체(514)보다 기판 측으로 확산되는 것을 억제할 수 있다.

[0643] 절연체(520), 절연체(522), 및 절연체(524)는 제 2 게이트 절연체로서의 기능을 가진다.

[0644] 여기서 금속 산화물(531)과 접하는 제 2 게이트 절연체는 가열에 의하여 산소가 이탈되어 있는 것이 바람직하다. 본 명세서 등에서는 가열에 의하여 이탈되는 산소를 과잉 산소라고 하는 경우가 있다. 예를 들어 제 2 게이트 절연체로서 기능하는 절연체(524)에는 산화 실리콘 또는 산화질화 실리콘을 적절히 사용하면 좋다. 산소를 포함하는 절연체를 금속 산화물(531)에 접하여 제공함으로써, 금속 산화물(531) 내의 산소 결손을 저감하여 트랜지스터(500)의 신뢰성을 향상시킬 수 있다.

[0645] 절연체(524)로서 구체적으로는 가열에 의하여 일부의 산소가 이탈되는 산화물 재료를 사용하는 것이 바람직하다. 가열에 의하여 산소가 이탈되는 산화물이란 TDS에서 산소 원자로 환산한 산소의 이탈량이 1.0×10^{18} atoms/cm^3 이상, 바람직하게는 1.0×10^{19} atoms/cm^3 이상, 더 바람직하게는 2.0×10^{19} atoms/cm^3 이상, 더 바람직하게는 3.0×10^{20} atoms/cm^3 이상인 산화물막이다. 또한 상기 TDS로 분석하였을 때의 막의 표면 온도는 100℃ 이상 700℃ 이하 또는 100℃ 이상 400℃ 이하의 범위에 있는 것이 바람직하다.

[0646] 절연체(522)는 절연체(514)와 마찬가지로 물 또는 수소 등의 불순물이 기판 측으로부터 트랜지스터(500)에 혼입되는 것을 억제하는 배리어 절연막으로서 기능하는 것이 바람직하다. 예를 들어 절연체(522)는 절연체(524)보다 수소 투과성이 낮은 것이 바람직하다.

[0647] 또한 절연체(522)는 산소(예를 들어 산소 원자 및 산소 분자 중 한쪽 또는 양쪽)의 확산을 억제하는 기능을 가지는(상기 산소가 투과하기 어려운) 것이 바람직하다. 예를 들어 절연체(522)는 절연체(524)보다 산소 투과성이 낮은 것이 바람직하다. 절연체(522)가 산소와, 물 또는 수소 등의 불순물의 확산을 억제하는 기능을 가짐으로써, 금속 산화물(531)에 포함되는 산소가 기판 측으로 확산되는 것을 저감할 수 있어 바람직하다. 또한 도전체(505)가 절연체(524) 및 금속 산화물(531)에 포함되는 산소와 반응하는 것을 억제할 수 있다.

[0648] 절연체(522)는 절연성 재료인 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체를 사용하는 것이 좋다. 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체로서는 예를 들어 산화 알루미

늄, 산화 하프늄, 및 알루미늄과 하프늄을 포함하는 산화물(하프늄알루미네이트)이 있다. 이와 같은 재료를 사용하여 절연체(522)를 형성한 경우, 절연체(522)는 금속 산화물(531)로부터의 산소의 방출, 그리고 트랜지스터(500)의 주변부로부터 금속 산화물(531)로의 수소 등의 불순물의 혼입을 억제하는 층으로서 기능한다.

[0649] 또는 이들 절연체에 예를 들어 산화 알루미늄, 산화 비스무트, 산화 저마늄, 산화 나이오븀, 산화 실리콘, 산화 타이타늄, 산화 텅스텐, 산화 이트륨, 또는 산화 지르코늄을 첨가하여도 좋다. 또는 이들 절연체를 질화 처리하여도 좋다. 또한 상기 절연체에 산화 실리콘, 산화질화 실리콘, 또는 질화 실리콘을 적층하여 사용하여도 좋다.

[0650] 절연체(522)에는 예를 들어 산화 알루미늄, 산화 하프늄, 산화 탄탈럼, 산화 지르코늄, 타이타늄산 지르콘산 연(PZT), 타이타늄산 스트론튬($SrTiO_3$), 또는 $(Ba,Sr)TiO_3$(BST) 등 소위 high-k 재료를 포함하는 절연체를 단층으로 또는 적층하여 사용하여도 좋다. 또는 절연체(522)에는 비유전율이 높은 절연체로서 알루미늄과 하프늄을 포함하는 산화물, 알루미늄과 하프늄을 포함하는 산화질화물, 실리콘과 하프늄을 포함하는 산화물, 실리콘과 하프늄을 포함하는 산화질화물, 또는 실리콘과 하프늄을 가지는 질화물을 사용하여도 좋다. 트랜지스터의 미세화 또는 고집적화가 진행되면 게이트 절연체의 박막화로 인한 누설 전류 등의 문제가 생기는 경우가 있다. 게이트 절연체로서 기능하는 절연체에 high-k 재료를 사용함으로써, 물리적 막 두께를 유지하면서, 트랜지스터 동작 시의 게이트 전위의 저감이 가능하게 된다.

[0651] 절연체(520)는 열적으로 안정적인 것이 바람직하다. 예를 들어 산화 실리콘 및 산화질화 실리콘은 열적으로 안정적이기 때문에 적합하다. 또한 high-k 재료의 절연체를 산화 실리콘 또는 산화질화 실리콘과 조합함으로써, 열적으로 안정적이며 비유전율이 높은 적층 구성의 절연체(520)를 얻을 수 있다. 또한 절연체(520)에는 절연체(524)에 적용할 수 있는 재료를 사용하여도 좋다.

[0652] 또한 절연체(520), 절연체(522), 및 절연체(524) 중에서 선택된 하나 이상이 2층 이상의 적층 구조를 가져도 좋다. 그 경우 같은 재료로 이루어지는 적층 구조에 한정되지 않고, 상이한 재료로 이루어지는 적층 구조이어도 좋다.

[0653] 층간막으로서 기능하는 절연체(512), 절연체(516), 절연체(580), 및 절연체(581)는 절연체(514)보다 유전율이 낮은 것이 바람직하다. 유전율이 낮은 재료를 층간막으로 함으로써, 배선 사이에 생기는 기생 용량을 저감할 수 있다. 또한 절연체(516), 절연체(580), 및 절연체(581)는 막 내의 물 또는 수소 등의 불순물의 농도가 저감되어 있는 것이 바람직하다.

[0654] 절연체(512), 절연체(516), 절연체(580), 및 절연체(581)에는 예를 들어 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 또는 질화 실리콘을 사용할 수 있다. 또한 절연체(512), 절연체(516), 절연체(580), 및 절연체(581)에는 예를 들어 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소와 질소를 첨가한 산화 실리콘, 또는 공공을 가지는 산화 실리콘을 사용할 수 있다. 특히, 산화 실리콘 및 산화질화 실리콘은 열적으로 안정적이기 때문에 바람직하다. 특히 산화 실리콘, 산화질화 실리콘, 및 공공을 가지는 산화 실리콘 등의 재료는 가열에 의하여 이탈되는 산소를 포함하는 영역을 용이하게 형성할 수 있기 때문에 바람직하다. 또한 절연체(512), 절연체(516), 절연체(580), 및 절연체(581)에는 수지를 사용할 수 있다. 또한 절연체(512), 절연체(516), 절연체(580), 및 절연체(581)에 적용할 수 있는 재료는 상술한 재료를 적절히 조합한 것으로 하여도 좋다.

[0655] 절연체(554) 및 절연체(574)는 절연체(514) 및 절연체(522)와 마찬가지로 물 또는 수소(예를 들어 수소 원자 및 수소 분자 중 한쪽 또는 양쪽) 등의 불순물의 확산을 억제하는 기능을 가지는 것이 바람직하다. 즉 절연체(554) 및 절연체(574)는 상기 불순물이 트랜지스터(500)에 혼입되는 것을 억제하는 배리어 절연막으로서 기능하는 것이 바람직하다. 또한 절연체(554) 및 절연체(574)는 산소(예를 들어 산소 원자 및 산소 분자 중 한쪽 또는 양쪽)의 확산을 억제하는 기능을 가지는 것이 바람직하다. 예를 들어 절연체(554) 및 절연체(574)는 절연체(524), 절연체(550), 및 절연체(580)보다 산소 투과성이 낮은 것이 바람직하다. 즉 절연체(554) 및 절연체(574)는 산소가 금속 산화물(531)로부터 이탈되어 절연체(554)의 외측 또는 절연체(580)보다 위쪽으로 확산되는 것을 억제하는 기능을 가지는 것이 바람직하다. 그러므로 절연체(554) 및 절연체(574)는 절연체(514) 또는 절연체(524)에 적용할 수 있는 재료를 사용할 수 있다.

[0656] 이와 같이 절연체(522), 절연체(554), 및 절연체(574)로 절연체(524), 금속 산화물(531), 및 절연체(550) 등을 둘러쌈으로써 외부로부터 물 또는 수소 등의 불순물이 트랜지스터(500)로 침입하는 것을 억제할 수 있다. 또한 트랜지스터(500)의 내부로부터 외부로 산소가 확산되는 것을 억제할 수 있다.

[0657] 절연체(550)는 제 1 게이트 절연체로서 기능한다. 절연체(550)는 금속 산화물(531b)의 상면에 접하여 배치하는 것이 바람직하다. 절연체(550)에는 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소와 질소를 첨가한 산화 실리콘, 또는 공공을 가지는 산화 실리콘을 사용할 수 있다. 특히 산화 실리콘 또는 산화질화 실리콘은 열에 대하여 안정적이기 때문에 바람직하다.

[0658] 절연체(550)는 절연체(524)와 마찬가지로 절연체(550) 내의 물 또는 수소 등의 불순물의 농도가 저감되어 있는 것이 바람직하다. 절연체(550)의 막 두께는 1nm 이상 20nm 이하로 하는 것이 바람직하다.

[0659] 또한 절연체(580)와 절연체(550) 사이, 절연체(554)와 절연체(550) 사이, 도전체(542)와 절연체(550) 사이, 및 금속 산화물(531b)과 절연체(550) 사이에 절연체를 제공하여도 좋다. 상기 절연체에는 예를 들어 산화 알루미늄 또는 산화 하프늄을 사용하는 것이 바람직하다. 상기 절연체를 제공함으로써, 금속 산화물(531b)로부터의 산소의 이탈, 금속 산화물(531b)로의 산소의 과잉 공급, 도전체(542)의 산화를 억제할 수 있다.

[0660] 또한 절연체(550)와 도전체(560) 사이에 금속 산화물을 제공하여도 좋다. 상기 금속 산화물은 절연체(550)로부터 도전체(560)로의 산소 확산을 억제하는 것이 바람직하다. 이로써 절연체(550)의 산소로 인한 도전체(560)의 산화를 억제할 수 있다.

[0661] 상기 금속 산화물은 게이트 절연체의 일부로서의 기능을 가지는 경우가 있다. 따라서 절연체(550)에 산화 실리콘 또는 산화질화 실리콘을 사용하는 경우, 상기 금속 산화물은 비유전율이 높은 high-k 재료인 금속 산화물을 사용하는 것이 바람직하다. 게이트 절연체를 절연체(550)와 상기 금속 산화물의 적층 구조로 함으로써, 열에 대하여 안정적이며 비유전율이 높은 적층 구조로 할 수 있다. 따라서 게이트 절연체의 물리 막 두께를 유지한 채, 트랜지스터 동작 시에 인가하는 게이트 전위의 저감화가 가능하게 된다. 또한 게이트 절연체로서 기능하는 절연체의 등가 산화막 두께(EOT)의 박막화가 가능하게 된다.

[0662] 구체적으로 상기 산화물에는 예를 들어 하프늄, 알루미늄, 갈륨, 이트륨, 지르코늄, 텅스텐, 타이타늄, 탄탈럼, 니켈, 저마늄, 및 마그네슘 중에서 선택된 1종류 또는 2종류 이상이 포함된 금속 산화물을 사용할 수 있다. 특히 상기 산화물에는 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체인 산화 알루미늄, 산화 하프늄, 또는 알루미늄과 하프늄을 포함하는 산화물(하프늄알루미네이트)을 사용하는 것이 바람직하다.

[0663] 또한 도전체(540)와 절연체(580) 사이, 도전체(540)와 절연체(574) 사이, 및 도전체(540)와 절연체(581) 사이에는 물, 수소, 또는 산소와 같은 불순물에 대한 배리어 절연막을 제공하여도 좋다. 이로써 절연체(580)로부터 도전체(540a) 및 도전체(540b)를 통하여 금속 산화물(531)에 물 또는 수소 등의 불순물이 혼입되는 것을 억제할 수 있다. 또한 절연체(580)에 포함되는 산소가 도전체(540a) 및 도전체(540b)에 흡수되는 것을 억제할 수 있다.

[0664] 도시하지 않았지만 도전체(540a)의 상면 및 도전체(540b)의 상면에 접하여 배선으로서 기능하는 도전체를 배치하여도 좋다. 배선으로서 기능하는 도전체에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직하다. 또한 상기 도전체는 적층 구조를 가져도 좋고, 예를 들어 타이타늄 또는 질화 타이타늄과 상기 도전성 재료의 적층이어도 좋다. 상기 도전체는 절연체에 제공된 개구에 매립되도록 형성되어 있어도 좋다.

[0665] <<트랜지스터(500)의 변경예>>

[0666] 또한 본 발명의 일 형태의 반도체 장치에 따른 트랜지스터의 구성은 도 30의 (A) 및 (B)에 나타낸 트랜지스터(500)에 한정되지 않는다. 예를 들어 본 발명의 일 형태의 반도체 장치에 따른 트랜지스터에는 도 31에 나타낸 트랜지스터(500)를 사용하여도 좋다. 도 32에 나타낸 트랜지스터(500)는 도 30의 (A) 및 (B)에 나타낸 트랜지스터(500)의 변경예이고, 절연체(551)를 포함하는 점, 그리고 도전체(542a)(도전체(542a1)와 도전체(542a2)) 및 도전체(542b)(도전체(542b1)와 도전체(542b2))가 적층 구조를 가지는 점에서 도 30의 (A) 및 (B)에 나타낸 트랜지스터(500)와 다르다.

[0667] 도전체(542a)는 도전체(542a1)와 도전체(542a1) 위의 도전체(542a2)의 적층 구조를 가지고, 도전체(542b)는 도전체(542b1)와 도전체(542b1) 위의 도전체(542b2)의 적층 구조를 가진다. 금속 산화물(531b)에 접하는 도전체(542a1) 및 도전체(542b1)는 금속 질화물 등 산화되기 어려운 도전체인 것이 바람직하다. 이로써 금속 산화물(531b)에 포함되는 산소로 인하여 도전체(542a) 및 도전체(542b)가 과잉으로 산화되는 것을 방지할 수 있다. 또한 도전체(542a2) 및 도전체(542b2)는 도전체(542a1) 및 도전체(542b1)보다 도전성이 높은 금속층 등의 도전

체인 것이 바람직하다. 이로써 도전체(542a) 및 도전체(542b)를 도전성이 높은 배선 또는 전극으로서 기능시킬 수 있다. 이와 같이 활성층으로서 기능하는 금속 산화물(531)의 상면에 접하여 배선 또는 전극으로서 기능하는 도전체(542a) 및 도전체(542b)가 제공된 반도체 장치를 제공할 수 있다.

[0668] 도전체(542a1) 및 도전체(542b1)에는 금속 질화물을 사용하는 것이 바람직하고, 예를 들어 탄탈럼을 포함하는 질화물, 타이타늄을 포함하는 질화물, 몰리브데넘을 포함하는 질화물, 텅스텐을 포함하는 질화물, 탄탈럼 및 알루미늄을 포함하는 질화물, 타이타늄 및 알루미늄을 포함하는 질화물 등을 사용하는 것이 바람직하다. 본 발명의 일 형태에서는 탄탈럼을 포함한 질화물이 특히 바람직하다. 또한 예를 들어 루테늄, 산화 루테늄, 질화 루테늄, 스트론튬과 루테늄을 포함하는 산화물, 또는 란타넘과 니켈을 포함하는 산화물을 사용하여도 좋다. 이들 재료는 산화되기 어려운 도전성 재료, 또는 산소를 흡수하여도 도전성을 유지하는 재료이기 때문에 바람직하다.

[0669] 또한 도전체(542a2) 및 도전체(542b2)는 도전체(542a1) 및 도전체(542b1)보다 도전성이 높은 것이 바람직하다. 예를 들어 도전체(542a2) 및 도전체(542b2)의 막 두께를 도전체(542a1) 및 도전체(542b1)의 막 두께보다 크게 하는 것이 바람직하다. 도전체(542a2) 및 도전체(542b2)로서는 상기 도전체(560b)에 사용할 수 있는 도전체를 사용하면 좋다. 상술한 바와 같은 구조로 함으로써, 도전체(542a2) 및 도전체(542b2)의 저항을 저감할 수 있다.

[0670] 이에 의하여 예를 들어 도전체(542a1) 및 도전체(542b1)에는 질화 탄탈럼 또는 질화 타이타늄을 사용하고, 도전체(542a2) 및 도전체(542b2)에는 텅스텐을 사용할 수 있다.

[0671] 도 31에 나타낸 바와 같이 트랜지스터(500)의 채널 길이 방향의 단면에서 보았을 때 도전체(542a1)와 도전체(542b1) 사이의 거리는 도전체(542a2)와 도전체(542b2) 사이의 거리보다 짧다. 이와 같은 구성으로 함으로써, 소스와 드레인 사이의 거리를 더 짧게 하고, 이에 따라 채널 길이를 짧게 할 수 있다. 따라서 트랜지스터(500)의 주파수 특성을 향상시킬 수 있다. 이와 같이 반도체 장치를 미세화함으로써 동작 속도가 향상된 반도체 장치를 제공할 수 있다.

[0672] 절연체(551)는 질화물 등 산화되기 어려운 절연체인 것이 바람직하다. 절연체(551)는 도전체(542a2)의 측면 및 도전체(542b2)의 측면에 접하여 형성되어 있고, 도전체(542a2) 및 도전체(542b2)를 보호하는 기능을 가진다. 절연체(551)는 산화 분위기로 노출되기 때문에, 산화되기 어려운 무기 절연체가 바람직하다. 또한 절연체(551)는 도전체(542a2) 및 도전체(542b2)에 접하기 때문에, 도전체(542a2) 및 도전체(542b2)를 산화시키기 어려운 무기 절연체인 것이 바람직하다. 따라서 절연체(551)는 산소에 대한 배리어성을 가지는 절연성 재료를 사용하는 것이 바람직하다. 예를 들어 절연체(551)로서 질화 실리콘을 사용할 수 있다.

[0673] 도 31에 나타낸 트랜지스터(500)에는 도전체(542a2)와 도전체(542b2)를 형성하기 위하여 제 1 마스크를 사용하여 절연체(554), 절연체(580), 절연체(574), 및 절연체(581)에 개구가 형성된다. 또한 상기 개구의 측벽에 접하여 절연체(551)가 형성된다. 그 후 제 2 마스크를 사용하여 도전체(542a1)와 도전체(542b1)를 형성함으로써 트랜지스터(500)가 형성된다. 여기서 상기 개구는 도전체(542a2)와 도전체(542b2) 사이의 영역과 중첩한다. 또한 도전체(542a1) 및 도전체(542b1)의 일부는 상기 개구 내에 돌출되도록 형성되어 있다. 따라서 절연체(551)는 상기 개구 내에서 도전체(542a1)의 상면, 도전체(542b1)의 상면, 도전체(542a2)의 측면, 도전체(542b2)의 측면에 접한다. 또한 절연체(550)는 도전체(542a1)와 도전체(542b1) 사이의 영역에서 금속 산화물(531)의 상면과 접한다.

[0674] 도전체(542a1)와 도전체(542b1)를 형성한 후에 절연체(550)를 성막하기 전에 산소를 포함하는 분위기에서 열처리를 수행하는 것이 바람직하다. 이로써 금속 산화물(531a) 및 금속 산화물(531b)에 산소를 공급함으로써 산소 결손을 저감할 수 있다. 또한 절연체(551)가 도전체(542a2)의 측면 및 도전체(542b2)의 측면에 접하여 형성되어 있음으로써 도전체(542a2) 및 도전체(542b2)가 과잉으로 산화되는 것을 방지할 수 있다. 이상에 의하여 트랜지스터의 전기 특성과 신뢰성을 향상시킬 수 있다. 또한 동일 기판 위에 형성되는 복수의 트랜지스터의 전기 특성의 편차를 억제할 수 있다.

[0675] 또한 트랜지스터(500)에서 도 31에 나타낸 바와 같이 절연체(524)를 섬 형상으로 형성하여도 좋다. 여기서 절연체(524)의 측단부는 금속 산화물(531)의 측단부와 실질적으로 일치하도록 형성하여도 좋다.

[0676] 또한 트랜지스터(500)에서 도 31에 나타낸 바와 같이 절연체(522)가 절연체(516) 및 도전체(505)와 접하는 구성으로 하여도 좋다. 환언하면 도 30의 (A) 및 (B)에 나타낸 절연체(520)를 제공하지 않는 구성으로 하여도 좋다.

[0677] <표시 장치의 단면 구성예 3>

[0678] 다음으로 도 27의 표시 장치(DSP1A) 및 도 29의 표시 장치(DSP1B)와 상이한 도 25의 (A)에 나타낸 표시 장치(DSP1)를 단면에서 보았을 때의 구성예에 대하여 설명한다. 도 32에 나타낸 표시 장치(DSP1C)는 표시 장치(DSP1A)의 변경예이고, 기판(310) 위에 제공되어 있는 트랜지스터의 구성이 표시 장치(DSP1A) 및 표시 장치(DSP1B)와 다르다.

[0679] 또한 도 32의 표시 장치(DSP1C)에서 기판(310)으로서는 기판(BS)에 적용할 수 있는 기판을 사용하는 것이 바람직하다. 또한 표시 장치(DSP1C)에 대한 설명에서 기판(310)은 유리 기판이다.

[0680] 도 32의 표시 장치(DSP1C)에서 기판(310) 위에는 트랜지스터(500Ap) 및 트랜지스터(500Ad)가 형성되어 있다. 또한 본 명세서 등에서는 트랜지스터(500Ap) 또는 트랜지스터(500Ad)를 통틀어 트랜지스터(500A)라고 기재한다. 즉 표시 장치(DSP1C)에서의 트랜지스터(500Ap)는 표시 장치(DSP1B)의 트랜지스터(500p)에 상당하고, 표시 장치(DSP1C)에서의 트랜지스터(500Ad)는 표시 장치(DSP1B)의 트랜지스터(500d)에 상당한다.

[0681] 또한 트랜지스터(500Ap) 및 트랜지스터(500Ad)의 위쪽에 위치하는 발광 디바이스(130)(도 32에서는 발광 디바이스(130R), 발광 디바이스(130G), 및 발광 디바이스(130B))에 대해서는 도 27의 발광 디바이스(130)에 대한 설명을 참조할 수 있다.

[0682] 트랜지스터(500A) 위에는 절연체(584), 절연체(592), 절연체(594), 및 도전체(596)가 형성되어 있다. 또한 도 32의 절연체(584)에 대해서는, 도 27의 절연체(594)에 대한 설명을 참조할 수 있고, 도 32의 절연체(592), 절연체(594), 및 도전체(596)에 대해서는, 도 27의 절연체(592) 및 절연체(594)에 대한 설명을 참조할 수 있다.

[0683] 또한 도전체(545)의 일부와 중첩되는 절연체(584)에는 개구가 제공되어 있고, 상기 개구에는 도전체(590)가 매립되어 있다. 도전체(590)는 배선 또는 플러그로서 기능하고, 도전체(590)에는 예를 들어 도전체(596)에 적용할 수 있는 재료를 사용할 수 있다.

[0684] <<트랜지스터(500A)의 구성예>>

[0685] 트랜지스터(500A)는 채널 길이 방향이 기판(310)에 대하여 실질적으로 평행한 것이 아니라 절연체에 제공되어 있는 개구의 측면을 따르는 구성을 가진다.

[0686] 도 33의 (A)는 앞에서 설명한 표시 장치(DSP1C)에 포함될 수 있는 트랜지스터(500A)와 이의 주변의 구성예를 나타낸 평면 모식도이다. 도 33의 (D)는 도 33의 (A)에 나타낸 일점쇄선 A1-A2의 단면 모식도이다. 또한 도 33의 (A)에서 예를 들어 절연체 등의 트랜지스터(500A)의 구성 요소의 일부를 생략한다. 또한 이후의 트랜지스터의 평면 모식도에서도 절연체 등의 구성 요소의 일부를 생략한다.

[0687] 트랜지스터(500A)는 일례로서 절연체(501) 위에 제공된다. 트랜지스터(500A)는 도전체(544), 도전체(545), 금속 산화물(533), 절연체(555), 및 도전체(565)를 포함한다. 도 33의 (A)에서는 도전체(545)가 도전체(544)와 평행한 방향으로 연장되고, 도전체(565)와 수직인 방향으로 연장되는 예를 나타내었다.

[0688] 절연체(501)에는 예를 들어 트랜지스터(500)에 포함되는 절연체(514), 절연체(516), 절연체(522), 절연체(524), 절연체(550), 절연체(554), 절연체(574), 절연체(580), 및 절연체(581)에 적용할 수 있는 재료를 사용할 수 있다. 또한 절연체(555)에는 예를 들어 트랜지스터(500)에 포함되는 절연체(550)에 적용할 수 있는 재료를 사용할 수 있다.

[0689] 도전체(544) 및 도전체(545)에는 예를 들어 트랜지스터(500)에 포함되는 도전체(542)에 적용할 수 있는 재료를 사용할 수 있다. 또한 도전체(565)에는 예를 들어 트랜지스터(500)에 포함되는 도전체(560)에 적용할 수 있는 재료를 사용할 수 있다.

[0690] 금속 산화물(533)에는 예를 들어 트랜지스터(500)에 포함되는 금속 산화물(531)에 적용할 수 있는 재료를 사용할 수 있다.

[0691] 도 33의 (A) 및 (D)에서 도전체(545)가 연장되는 방향을 X 방향으로 한다. 또한 X 방향과 수직이며, 예를 들어 절연체(501)의 상면에 대하여 평행한 방향을 Y 방향으로 하고, 절연체(501)의 상면에 대하여 수직인 방향을 Z 방향으로 한다. X 방향, Y 방향, 및 Z 방향의 정의는 이후의 도면에서 같은 경우도 있고 상이한 경우도 있다. X 방향, Y 방향, 및 Z 방향은 서로 수직인 방향으로 할 수 있다. 또한 본 명세서 등에서의 평면 모식도의 설명에서 X 방향을 오른쪽 또는 왼쪽이라고 하고, Y 방향을 위쪽 또는 아래쪽이라고 하는 경우가 있다. 또한 오른

쪽을 X 방향, 왼쪽을 -X 방향, 위쪽을 Y 방향, 아래쪽을 -Y 방향으로 환언할 수 있는 경우가 있다.

[0692] 도전체(544)는 트랜지스터(500A)의 소스 전극 및 드레인 전극 중 한쪽으로서 기능한다. 도전체(545)는 트랜지스터(500A)의 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능한다. 절연체(555)는 트랜지스터(500A)의 게이트 절연층으로서 기능한다. 도전체(565)는 트랜지스터(500A)의 게이트 전극으로서 기능한다.

[0693] 금속 산화물(533) 중 소스 전극과 드레인 전극 사이에서 게이트 절연층을 개재하여 게이트 전극과 중첩되는 영역의 전체가 채널 형성 영역으로서 기능한다. 또한 금속 산화물(533) 중 소스 전극과 접하는 영역은 소스 영역으로서 기능하고, 드레인 전극과 접하는 영역은 드레인 영역으로서 기능한다.

[0694] 절연체(501) 위에 도전체(544)가 제공되고, 절연체(501) 위 및 도전체(544) 위에 절연체(583)가 제공되고, 절연체(583) 위에 도전체(545)가 제공된다. 절연체(583)는 층간 절연층으로서의 기능을 가질 수 있다. 여기서의 층간 절연층이란 트랜지스터(500A)에서의 소스 전극과 드레인 전극을 이격하기 위한 층간막으로 할 수 있다. 또한 절연체(584)는 트랜지스터(500A)의 위쪽에 회로 소자 또는 배선을 제공하기 위한 층간막으로서 기능한다.

[0695] 절연체(583)에는 예를 들어 트랜지스터(500)에 포함되는 절연체(514), 절연체(516), 절연체(522), 절연체(524), 절연체(550), 절연체(554), 절연체(574), 절연체(580), 또는 절연체(581)에 적용할 수 있는 재료를 사용할 수 있다.

[0696] 구체적으로 절연체(583a)에는 예를 들어 산화물 또는 산화질화물을 사용하는 것이 바람직하다. 또한 절연체(583a)에는 가열에 의하여 산소를 방출하는 막을 사용하는 것이 바람직하다. 또한 절연체(583a)는 예를 들어 산화 실리콘 또는 산화질화 실리콘을 적합하게 사용할 수 있다. 절연체(583a)가 산소를 방출함으로써, 절연체(583a)로부터 금속 산화물(533)에 산소를 공급할 수 있다. 절연체(583a)로부터 금속 산화물(533), 특히 금속 산화물(533)의 채널 형성 영역에 산소를 공급함으로써, 금속 산화물(533) 내의 산소 결손 및 산소 결손 내에 들어간 수소를 저감할 수 있다. 따라서 트랜지스터(500A)를 양호한 전기 특성을 나타내고 신뢰성이 높은 트랜지스터로 할 수 있다.

[0697] 또한 구체적으로는 절연체(583b)에는 예를 들어 질화 실리콘, 질화산화 실리콘, 또는 산화 알루미늄을 적합하게 사용할 수 있다. 절연체(583b)는 예를 들어 절연체(583a)보다 질소의 함유량이 많은 영역을 포함하는 것이 바람직하다. 절연체(583b)는 예를 들어 절연체(583a)보다 질소의 함유량이 많은 재료를 사용할 수 있다. 절연체(583b)는 질화물 또는 질화산화물을 사용하는 것이 바람직하다. 절연체(583b)는 예를 들어 질화 실리콘 또는 질화산화 실리콘을 적합하게 사용할 수 있다. 절연체(583b)에 질화 실리콘 또는 질화산화 실리콘을 사용함으로써, 절연체(583b)는 절연체(583a)로부터 산소가 이탈되는 것을 억제하는 차단층으로 할 수 있다. 또한 절연체(583b)에 질화 실리콘 또는 질화산화 실리콘을 사용함으로써, 절연체(583b)는 절연체(583)를 통하여 금속 산화물(533)로 수소가 확산되는 것을 억제하는 차단층으로 할 수 있다.

[0698] 절연체(583)는 도전체(544)에 도달하는 개구(601)를 포함한다. 도전체(545)는 개구(601)에 도달하는 개구(603)를 포함한다. 즉 개구(603)는 개구(601)와 중첩되는 영역을 포함한다.

[0699] 도 33의 (A)에서는 트랜지스터(500A)의 구성 요소로서 도전체(544), 도전체(545), 금속 산화물(533), 도전체(565), 개구(601), 및 개구(603)를 나타내었다. 여기서 도 33의 (A)에 나타낸 요소에서 도전체(565)를 생략한 구성예를 도 33의 (B)에 나타내었다. 즉 도 33의 (B)에서는 도전체(544), 도전체(545), 금속 산화물(533), 개구(601), 및 개구(603)를 나타내었다. 또한 도 33의 (B)에 나타낸 요소에서 금속 산화물(533)을 더 생략한 구성예를 도 33의 (C)에 나타내었다. 즉 도 33의 (C)에서는 도전체(544), 도전체(545), 개구(601), 및 개구(603)를 나타내었다.

[0700] 도 33의 (C) 및 (D)에 나타낸 바와 같이 도전체(545)는 도전체(544)와 중첩되는 영역에 개구(603)를 가진다. 도 33의 (C)에 나타낸 바와 같이 도전체(545)는 평면에서 보았을 때 개구(601)의 외주 전체를 덮는 구성으로 할 수 있다. 여기서 도전체(545)는 개구(601)의 내부에 제공하지 않는 것이 바람직하다. 즉 도전체(545)는 절연체(583)의 개구(601) 측의 측면과 접하지 않는 것이 바람직하다.

[0701] 도 33의 (A) 내지 (C)에서는 개구(601) 및 개구(603)의 형상이 각각 평면에서 보았을 때 원형인 예를 나타내었다. 개구(601) 및 개구(603)의 평면 형상을 원형으로 함으로써, 개구(601) 및 개구(603)를 형성할 때의 가공 정밀도를 높일 수 있고, 미세한 크기의 개구(601) 및 개구(603)를 형성할 수 있다. 또한 본 명세서 등에서 원형이란 정원(正圓)에 한정되지 않는다. 예를 들어 개구(601) 및 개구(603)의 평면 형상은 타원형으로 하여도 좋고, 곡선을 포함하는 형상으로 하여도 좋다. 또는 다각형으로 하여도 좋다.

[0702] 도 33의 (D)에서는 도전체(545)의 개구(603) 측의 단부가 절연체(583)의 개구(601) 측의 단부와 일치하거나 실질적으로 일치하는 예를 나타내었다. 개구(603)의 평면 형상은 개구(601)의 평면 형상과 일치하거나 실질적으로 일치한다고도 할 수 있다. 또한 본 명세서 등에서, 도전체(545)의 개구(603) 측의 단부란 도전체(545)의 개구(603) 측의 하면 단부를 가리킨다. 도전체(545)의 하면이란 절연체(583) 측의 면을 가리킨다. 절연체(583)의 개구(601) 측의 단부란 절연체(583)의 개구(601) 측의 상면 단부를 가리킨다. 절연체(583)의 상면이란 도전체(545) 측의 면을 가리킨다. 또한 개구(603)의 평면 형상이란 도전체(545)의 개구(603) 측의 하면 단부의 평면 형상을 가리킨다. 개구(601)의 평면 형상이란 절연체(583)의 개구(601) 측의 상면 단부의 평면 형상을 가리킨다.

[0703] 또한 단부가 일치하거나 실질적으로 일치한다는 것은 단부가 정렬되거나 실질적으로 정렬된다고도 할 수 있다. 단부가 정렬되거나 실질적으로 정렬되는 경우, 및 평면 형상이 일치하거나 실질적으로 일치하는 경우, 평면에서 보았을 때, 적층한 층들 사이에서 적어도 윤곽의 일부가 중첩된다고 할 수 있다. 예를 들어 위층과 아래층이 동일한 마스크 패턴 또는 일부가 동일한 마스크 패턴을 사용하여 가공된 경우를 포함한다. 다만 엄밀하게는 윤곽이 중첩되지 않고, 위층이 아래층의 내측에 위치하거나, 위층이 아래층의 외측에 위치하는 경우도 있고, 이 경우에도 단부가 실질적으로 정렬된다고 하거나 평면 형상이 실질적으로 일치한다고 한다.

[0704] 개구(601)는 예를 들어 개구(603)의 형성에 사용한 레지스트 마스크를 사용하여 형성할 수 있다. 구체적으로는 먼저 절연체(501) 위에 도전체(544)를 형성한 후, 절연체(501) 위 및 도전체(544) 위의 절연체(583), 절연체(583) 위의 도전체(545)가 되는 도전막, 및 상기 도전막 위의 레지스트 마스크를 형성한다. 그리고 상기 레지스트 마스크를 사용하여 상기 도전막에 개구(603)를 형성한 후에 상기 레지스트 마스크를 사용하여 절연체(583)에 개구(601)를 형성함으로써, 개구(601)의 단부와 개구(603)의 단부를 일치시키거나 실질적으로 일치시킬 수 있다. 이와 같은 구성으로 함으로써, 공정을 간략하게 할 수 있다.

[0705] 금속 산화물(533)은 개구(601) 및 개구(603)를 덮도록 개구(601) 및 개구(603)의 내부에 위치하는 영역을 포함하도록 제공된다. 금속 산화물(533)은 도전체(545)의 상면 및 측면, 절연체(583)의 측면, 그리고 도전체(544)의 상면의 형상을 따르는 형상을 가진다. 금속 산화물(533)은 예를 들어 도전체(545)의 상면 및 측면, 절연체(583)의 측면, 그리고 도전체(544)의 상면과 접하는 영역을 포함한다.

[0706] 금속 산화물(533)은 도전체(545)의 개구(603) 측의 단부를 덮는 것이 바람직하다. 예를 들어 도 33의 (D)에는 금속 산화물(533)의 단부가 도전체(545) 위에 위치하는 구성을 나타내었다. 금속 산화물(533)의 단부는 도전체(545)의 상면에 접한다고도 할 수 있다.

[0707] 예를 들어 도 33의 (D)에서는 금속 산화물(533)이 단층 구조를 가지지만, 본 발명의 일 형태는 이에 한정되지 않는다. 금속 산화물(533)은 2층 이상의 적층 구조를 가져도 좋다.

[0708] 트랜지스터(500A)의 게이트 절연층으로서 기능하는 절연체(555)는 개구(601) 및 개구(603)를 덮어 개구(601) 및 개구(603)의 내부에 위치하는 영역을 포함하도록 제공된다. 절연체(555)는 금속 산화물(533) 위, 도전체(545) 위, 및 절연체(583) 위에 제공된다. 절연체(555)는 금속 산화물(533)의 상면 및 측면, 도전체(545)의 상면 및 측면, 및 절연체(583)의 상면에 접하는 영역을 포함할 수 있다. 절연체(555)는 절연체(583)의 상면, 도전체(545)의 상면 및 측면, 그리고 금속 산화물(533)의 상면 및 측면 각각의 형상을 따르는 형상을 가진다.

[0709] 트랜지스터(500A)의 게이트 전극으로서 기능하는 도전체(565)는 절연체(555) 위에 제공되고, 절연체(555)의 상면과 접하는 영역을 포함할 수 있다. 도전체(565)는 절연체(555)를 개재하여 금속 산화물(533)과 중첩되는 영역을 포함한다. 도전체(565)는 절연체(555)의 상면의 형상을 따르는 형상을 가진다.

[0710] 예를 들어 도 33의 (D)에 나타낸 바와 같이 개구(601) 및 개구(603)에서 도전체(565)는 절연체(555)를 개재하여 금속 산화물(533)과 중첩되는 영역을 포함한다. 또한 도 33의 (D)에 나타낸 예에서 도전체(565)는 절연체(555) 및 금속 산화물(533)을 개재하여 도전체(544) 및 도전체(545)와 중첩되는 영역을 포함한다. 또한 도 33의 (D)에 나타낸 예에서, 도전체(565)는 금속 산화물(533)을 개재하지 않고 절연체(555)를 개재하여 도전체(544) 및 도전체(545)와 중첩되는 영역을 포함한다. 또한 도전체(565)는 금속 산화물(533)의 전체를 덮는다. 이와 같은 구성으로 함으로써, 금속 산화물(533) 전체에 게이트 전계를 인가할 수 있기 때문에, 트랜지스터(500A)의 전기 특성을 높일 수 있고, 예를 들어 트랜지스터의 온 전류를 높일 수 있다.

[0711] 트랜지스터(500A)는 금속 산화물(533)보다 위쪽에 게이트 전극을 포함하는 소위 톱 게이트형 트랜지스터이다. 또한 금속 산화물(533)의 하면이 소스 전극 및 드레인 전극과 접하는 영역을 포함하기 때문에 TGBC(Top Gate Bottom Contact)형 트랜지스터라고 할 수 있다.

[0712] 트랜지스터(500A)는 예를 들어 화소 회로(PX)에 포함되는 트랜지스터 및 구동 회로 영역(DRV)에 포함되는 트랜지스터 중 한쪽 또는 양쪽에 적용할 수 있다. 예를 들어 구동 회로(SDR)에 포함되는 트랜지스터, 구동 회로(GDR)에 포함되는 트랜지스터, 전원 회로(EPS)에 포함되는 트랜지스터와 같이, 구동 회로 영역(DRV) 또는 기능 회로 영역(MFNC)에 포함되는 트랜지스터에 트랜지스터(500A)를 적용하여도 좋다.

[0713] 여기서 트랜지스터(500A)의 채널 길이 및 채널 폭에 대하여 도 34의 (A) 및 (B)를 사용하여 설명한다. 도 34의 (A)는 도 33의 (A)에 나타낸 트랜지스터(500A) 및 이의 주변의 구성예를 나타낸 평면 모식도의 확대도이다. 도 34의 (B)는 도 33의 (D)에 나타낸 트랜지스터(500A) 및 이의 주변의 구성예를 나타낸 단면 모식도의 확대도이다.

[0714] 금속 산화물(533)에서 도전체(544)와 접하는 영역은 소스 영역 및 드레인 영역 중 한쪽으로서 기능하고, 도전체(545)와 접하는 영역은 소스 영역 및 드레인 영역 중 다른 쪽으로서 기능하고, 소스 영역과 드레인 영역 사이의 영역은 채널 형성 영역으로서 기능한다.

[0715] 트랜지스터(500A)의 채널 길이는 소스 영역과 드레인 영역 사이의 거리가 된다. 도 34의 (B)에서는 트랜지스터(500A)의 채널 길이 L500을 파선의 좌우 화살표로 나타내었다. 채널 길이 L500은 단면에서 보았을 때 금속 산화물(533)과 도전체(544)가 접하는 영역의 단부와 금속 산화물(533)과 도전체(545)가 접하는 영역의 단부의 거리가 된다.

[0716] 여기서 트랜지스터(500A)의 채널 길이 L500은 XZ면에서 보았을 때의 절연체(583)의 개구(601) 측의 측면의 길이에 상당한다. 즉 채널 길이 L500은 절연체(583)의 막 두께 T583, 및 절연체(583)의 개구(601) 측의 측면과 절연체(583)의 피형성면(여기서는 도전체(544)의 상면)이 이루는 각 Θ583으로 결정되고, 트랜지스터의 제작에 사용하는 노광 장치의 성능의 영향을 받지 않는다. 따라서 채널 길이 L500을 노광 장치의 한계 해상도보다 낮게 할 수 있어, 미세한 크기의 트랜지스터를 실현할 수 있다. 예를 들어 채널 길이 L500은 0.010μm 이상 3.0μm 미만이 바람직하고, 0.050μm 이상 3.0μm 미만이 더 바람직하고, 0.10μm 이상 3.0μm 미만이 더 바람직하고, 0.15μm 이상 3.0μm 미만이 더 바람직하고, 0.20μm 이상 3.0μm 미만이 더 바람직하고, 0.20μm 이상 2.5μm 미만이 더 바람직하고, 0.20μm 이상 2.0μm 미만이 더 바람직하고, 0.20μm 이상 1.5μm 미만이 더 바람직하고, 0.30μm 이상 1.5μm 미만이 더 바람직하고, 0.30μm 이상 1.2μm 이하가 더 바람직하고, 0.40μm 이상 1.2μm 이하가 더 바람직하고, 0.40μm 이상 1.0μm 이하가 더 바람직하고, 0.50μm 이상 1.0μm 이하가 더 바람직하다. 도 34의 (B)에서는 절연체(583)의 막 두께 T583을 일점쇄선의 좌우 화살표로 나타내었다.

[0717] 트랜지스터(500A)를 표시 영역(DIS)의 화소 회로(PX)에 포함되는 트랜지스터에 적용함으로써, 화소 회로(PX)에 포함되는 트랜지스터를 미세화할 수 있기 때문에, 화소 회로(PX)를 미세화할 수 있다. 이로써 표시 장치(DSP1C)를 고정세 표시 장치로 할 수 있다. 또한 채널 길이 L500을 작게 함으로써, 트랜지스터(500A)의 온 전류를 높일 수 있다. 따라서 표시 장치(DSP1C)에 포함되는 트랜지스터, 예를 들어 화소 회로(PX)에 포함되는 트랜지스터에 트랜지스터(500A)를 적용함으로써, 표시 장치(DSP1C)를 고속으로 구동시킬 수 있다.

[0718] 절연체(583)의 막 두께 T583 및 각 Θ583을 조정함으로써, 채널 길이 L500을 제어할 수 있다.

[0719] 절연체(583)의 막 두께 T583은 0.010μm 이상 3.0μm 미만이 바람직하고, 0.050μm 이상 3.0μm 미만이 더 바람직하고, 0.10μm 이상 3.0μm 미만이 더 바람직하고, 0.15μm 이상 3.0μm 미만이 더 바람직하고, 0.20μm 이상 3.0μm 미만이 더 바람직하고, 0.20μm 이상 2.5μm 미만이 바람직하고, 0.20μm 이상 2.0μm 미만이 더 바람직하고, 0.20μm 이상 1.5μm 미만이 더 바람직하고, 0.30μm 이상 1.5μm 미만이 더 바람직하고, 0.30μm 이상 1.2μm 이하가 더 바람직하고, 0.40μm 이상 1.2μm 이하가 더 바람직하고, 0.40μm 이상 1.0μm 이하가 더 바람직하고, 0.50μm 이상 1.0μm 이하가 더 바람직하다.

[0720] 절연체(583)의 개구(601) 측의 측면은 테이퍼 형상을 가지는 것이 바람직하다. 절연체(583)의 개구(601) 측의 측면과 절연체(583)의 피형성면(여기서는 도전체(544)의 상면)이 이루는 각 Θ583은 90° 미만인 것이 바람직하다. 각 Θ583을 작게 함으로써, 절연체(583) 위에 제공되는 층(예를 들어 금속 산화물(533))의 피복성을 높일 수 있다. 그러나 각 Θ583을 작게 하면 금속 산화물(533)과 도전체(544)의 접촉 면적이 작아지므로, 금속 산화물(533)과 도전체(544)의 접촉 저항이 높아질 경우가 있다. 각 Θ583은 45° 이상 90° 미만이 바람직하고, 50° 이상 90° 미만이 더 바람직하고, 55° 이상 90° 미만이 더 바람직하고, 60° 이상 90° 미만이 더 바람직하고, 60° 이상 85° 이하가 더 바람직하고, 65° 이상 85° 이하가 더 바람직하고, 65° 이상 80° 이하가 더 바람직하고, 70° 이상 80° 이하가 더 바람직하다. 각 Θ583을 상술한 범위로 함으로써, 도전체(544) 및 절연체(583) 위에 형성되는 층(예를 들어 금속 산화물(533))의 피복성을 높일 수 있고, 상기 층에 단절 또는 공동

등의 문제가 발생하는 것을 억제할 수 있다. 또한 금속 산화물(533)과 도전체(544)의 접촉 저항을 낮출 수 있다.

[0721] 본 명세서 등에서 단절이란 층, 막, 또는 전극이 피형성면의 형상(예를 들어 단차 등)으로 인하여 분단되는 현상을 가리킨다.

[0722] 또한 예를 들어 도 34의 (B)에는 단면에서 보았을 때 절연체(583)의 개구(601) 측의 측면의 형상이 직선인 구성을 나타내었지만, 본 발명의 일 형태는 이에 한정되지 않는다. 단면에서 보았을 때 절연체(583)의 개구(601) 측의 측면의 형상은 곡선이어도 좋고, 측면의 형상이 직선인 영역과 곡선인 영역의 양쪽을 포함하여도 좋다.

[0723] 트랜지스터(500A)의 채널 폭은 채널 길이 방향과 직교하는 방향에서의 소스 영역의 폭 또는 드레인 영역의 폭이다. 즉 채널 폭은 채널 길이 방향과 직교하는 방향에서의 금속 산화물(533)과 도전체(544)가 접하는 영역의 폭 또는 금속 산화물(533)과 도전체(545)가 접하는 영역의 폭이 된다. 여기서 트랜지스터(500A)의 채널 폭은 채널 길이 방향과 직교하는 방향에서의 금속 산화물(533)과 도전체(545)가 접하는 영역의 폭으로서 설명한다. 도 34의 (A) 및 (B)에서는 트랜지스터(500A)의 채널 폭 W500을 실선의 좌우 화살표로 나타내었다. 채널 폭 W500은 평면에서 보았을 때 개구(603) 측의 도전체(545)의 하면 단부의 길이가 된다.

[0724] 채널 폭 W500은 개구(603)의 평면 형상에 따라 결정된다. 도 34의 (A) 및 (B)에서는 개구(603)의 폭 D500을 이점쇄선의 좌우 화살표로 나타내었다. 폭 D500은 평면에서 보았을 때 개구(603)에 외접하는 최소의 직사각형의 짧은 변을 가리킨다. 포토리소그래피법을 사용하여 개구(603)를 형성하는 경우, 개구(603)의 폭 D500은 노광 장치의 한계 해상도 이상이 된다. 폭 D500은 예를 들어 0.20㎛ 이상 5.0㎛ 미만이 바람직하고, 0.20㎛ 이상 4.5㎛ 미만이 더 바람직하고, 0.20㎛ 이상 4.0㎛ 미만이 더 바람직하고, 0.20㎛ 이상 3.5㎛ 미만이 더 바람직하고, 0.20㎛ 이상 3.0㎛ 미만이 더 바람직하고, 0.20㎛ 이상 2.5㎛ 미만이 더 바람직하고, 0.20㎛ 이상 2.0㎛ 미만이 더 바람직하고, 0.20㎛ 이상 1.5㎛ 미만이 더 바람직하고, 0.30㎛ 이상 1.5㎛ 미만이 더 바람직하고, 0.30㎛ 이상 1.2㎛ 이하가 더 바람직하고, 0.40㎛ 이상 1.2㎛ 이하가 더 바람직하고, 0.40㎛ 이상 1.0㎛ 이하가 더 바람직하고, 0.50㎛ 이상 1.0㎛ 이하가 더 바람직하다. 또한 개구(603)의 평면 형상이 원형인 경우, 폭 D500은 개구(603)의 지름에 상당하고, 채널 폭 W500은 평면에서 보았을 때의 개구(603)의 외주의 길이와 동일하게 할 수 있고 "D500×π"로 산출할 수 있다.

[0725] 트랜지스터(500A)의 크기는 작기 때문에 트랜지스터(500A)를 표시 장치에 적용함으로써, 정세도가 높은 표시 장치를 제공할 수 있다. 또한 트랜지스터(500A)의 온 전류는 크기 때문에, 트랜지스터(500A)를 표시 장치에 적용함으로써 휘도가 높은 표시 장치를 제공할 수 있다. 또한 트랜지스터(500A)의 동작이 빠르기 때문에, 트랜지스터(500A)를 표시 장치에 적용함으로써 구동 속도가 빠른 표시 장치를 제공할 수 있다. 또한 트랜지스터(500A)의 전기 특성이 안정적이기 때문에, 트랜지스터(500A)를 표시 장치에 적용함으로써 신뢰성이 높은 표시 장치를 제공할 수 있다. 또한 트랜지스터(500A)의 오프 전류의 양이 작기 때문에, 트랜지스터(500A)를 표시 장치에 적용함으로써 소비 전력이 낮은 표시 장치를 제공할 수 있다.

[0726] <표시 장치의 단면 구성예 4>

[0727] 도 35에 나타낸 표시 장치(DSP2A)는 도 25의 (B)에 나타낸 표시 장치(DSP2)를 단면에서 보았을 때의 구성예이다. 표시 장치(DSP2A)는 기판(310) 위에 화소 회로, 구동 회로 등이 제공된 구성을 가진다. 또한 도 35의 표시 장치(DSP2A)에는 도 25의 (B)에 나타낸 회로 영역(SIC)과 표시 영역(DIS)에 더하여 배선 영역(LIN)도 나타내었다.

[0728] 회로 영역(SIC)은 일례로서 기판(310)을 포함하고, 기판(310) 위에는 트랜지스터(300d)가 형성되어 있다. 또한 트랜지스터(300d)의 위쪽에는 배선 영역(LIN)이 제공되어 있고, 배선 영역(LIN)에는 트랜지스터(300d), 트랜지스터(500p), 발광 디바이스(130R), 발광 디바이스(130G), 및 발광 디바이스(130B)를 전기적으로 접속하는 배선이 제공되어 있다. 또한 배선 영역(LIN)의 위쪽에는 표시 영역(DIS)이 제공되어 있고, 표시 영역(DIS)은 일례로서 트랜지스터(500p) 및 발광 디바이스(130)(도 35에서는 발광 디바이스(130R), 발광 디바이스(130G), 및 발광 디바이스(130B)) 등을 포함한다.

[0729] 즉 트랜지스터(300d)는 회로 영역(SIC)에 포함되어 있는 트랜지스터로 할 수 있다. 또한 트랜지스터(500p)는 화소 회로(PX)에 포함되는 트랜지스터로 할 수 있다. 또한 발광 디바이스(130)는 화소 회로(PX)에 포함되는 발광 디바이스로 할 수 있다.

[0730] 또한 트랜지스터(500p)의 위쪽에 위치하는 발광 디바이스(130)(도 35에서는 발광 디바이스(130R), 발광 디바이

스(130G), 및 발광 디바이스(130B))에 대해서는, 도 27의 발광 디바이스(130)에 대한 설명을 참조할 수 있다.

[0731] 기판(310)에는 예를 들어 기판(BS)에 적용할 수 있는 기판을 사용할 수 있다. 또한 본 실시형태에서는 기판(310)은 실리콘을 재료로서 포함하는 반도체 기판으로서 설명한다. 그러므로 회로 영역(SIC)에 포함되는 트랜지스터는 Si 트랜지스터로 할 수 있다.

[0732] 표시 장치(DSP2A)의 화면 비율(종횡비)에 대해서는, 표시 장치(DSP1)의 화면 비율에 대한 설명을 참조할 수 있다. 또한 표시 장치(DSP2A)의 대각 크기에 대해서도, 표시 장치(DSP1)의 대각 크기에 대한 설명을 참조할 수 있다.

[0733] 트랜지스터(300d)에 대해서는, 도 27의 표시 장치(DSP1A)의 트랜지스터(300)에 대한 설명을 참조할 수 있다.

[0734] 표시 장치(DSP2A)에서는 트랜지스터(300d) 위에 배선 영역(LIN)이 제공되어 있다. 배선 영역(LIN)은 예를 들어 절연체(324), 절연체(326), 도전체(330), 절연체(350), 절연체(352), 절연체(354), 및 도전체(356)를 포함한다.

[0735] 절연체(322) 위 및 도전체(328) 위에는 절연체(324) 및 절연체(326)가 순차적으로 적층되어 제공되어 있다. 또한 도전체(328)와 중첩되는 영역에서 절연체(324) 및 절연체(326)에는 개구가 형성되어 있다. 또한 상기 개구에는 도전체(330)가 매립되어 있다.

[0736] 또한 절연체(326) 위 및 도전체(330) 위에는 절연체(350), 절연체(352), 및 절연체(354)가 이 순서대로 적층되어 제공되어 있다. 또한 도전체(330)와 중첩되는 영역에서 절연체(350), 절연체(352), 및 절연체(354)에는 개구가 형성되어 있다. 또한 상기 개구에는 도전체(356)가 매립되어 있다.

[0737] 도전체(330) 및 도전체(356)는 트랜지스터(300d)와 접속되는 플러그 또는 배선으로서의 기능을 가진다. 또한 도전체(330) 및 도전체(356)는 상술한 도전체(328) 또는 도전체(596)와 같은 재료를 사용하여 제공할 수 있다.

[0738] 또한 예를 들어 절연체(324) 및 절연체(350)로서는, 절연체(592)와 마찬가지로 수소, 산소, 및 물 중에서 선택된 하나 이상에 대한 배리어성을 가지는 절연체를 사용하는 것이 바람직하다. 또한 절연체(326), 절연체(352), 및 절연체(354)의 각각으로서는 절연체(594)와 마찬가지로 배선 사이에 생기는 기생 용량을 저감하기 위하여 비유전율이 비교적 낮은 절연체를 사용하는 것이 바람직하다. 또한 절연체(326), 절연체(352), 및 절연체(354)의 각각은 층간 절연막 및 평탄화막으로서의 기능을 가진다. 또한 절연체(326), 절연체(352), 및 절연체(354)의 각각은 수소, 산소, 및 물 중에서 선택된 하나 이상에 대한 배리어성을 가지는 도전체를 포함하는 것이 바람직하다.

[0739] 또한 수소에 대한 배리어성을 가지는 도전체로서는 예를 들어 질화 탄탈럼을 사용하는 것이 좋다. 또한 질화 탄탈럼과 도전성이 높은 텅스텐을 적층함으로써, 배선으로서의 도전성을 유지하면서 트랜지스터(300)로부터의 수소의 확산을 억제할 수 있다. 이 경우, 수소에 대한 배리어성을 가지는 질화 탄탈럼층이, 수소에 대한 배리어성을 가지는 절연체(350)와 접하는 구조인 것이 바람직하다.

[0740] 또한 절연체(354) 및 도전체(356)의 위쪽에는 절연체(512)가 제공되어 있다. 또한 절연체(512) 위에는 절연체(514)가 제공되고, 절연체(514) 위에는 트랜지스터(500p)가 제공되어 있다. 또한 트랜지스터(500p) 위에는 절연체(574)가 형성되어 있고, 절연체(574) 위에는 절연체(581)가 형성되어 있다.

[0741] 트랜지스터(500p) 및 트랜지스터(500p)의 주변의 절연체 등에 대해서는, 도 29의 표시 장치(DSP1B)의 트랜지스터(500)에 대한 설명을 참조할 수 있다.

[0742] 또한 도 35의 표시 장치(DSP2A)의 표시 영역(DIS)은 트랜지스터(500p)가 하나의 층에 포함되는 구성을 가지지만, 도 36에 나타낸 표시 장치(DSP2AA)와 같이, 본 발명의 일 형태의 표시 장치는 표시 영역(DIS)에 복수의 층이 제공되고, 상기 복수의 층의 각각에 트랜지스터(500p)가 포함되는 구성을 가져도 좋다.

[0743] 또한 도 36의 표시 장치(DSP2AA)는 표시 장치(DIS)를 발췌하여 나타낸 것이지만, 표시 영역(DIS) 아래쪽에는 배선 영역(LIN) 및 회로 영역(SIC)이 제공되어 있는 것으로 한다.

[0744] 또한 도 35의 표시 장치(DSP2A)의 표시 영역(DIS)은 회로 영역(SIC)에서 트랜지스터(300d)가 하나의 층에 포함되는 구성을 가지지만, 도 37에 나타낸 표시 장치(DSP2AB)와 같이, 본 발명의 일 형태의 표시 장치는 표시 영역(SIC)에서 트랜지스터(300d) 위쪽에 트랜지스터(500p)와 같은 구성을 가지는 트랜지스터로서 트랜지스터(3000S)가 포함되는 층이 하나 또는 복수로 제공되어 있어도 좋다.

[0745] 특히, 트랜지스터(3000S)를 n채널형 트랜지스터로 하고, 트랜지스터(300d)를 p채널형 트랜지스터로 함으로써, 회로 영역(SIC)에 포함되는 회로를 CMOS 회로로 할 수 있다. 또한 트랜지스터(3000S)를 OS 트랜지스터로 하고, 트랜지스터(300d)를 Si 트랜지스터로 하였을 때, 회로 영역(SIC)에 포함되는 회로는 LTPO라고 불리는 경우가 있다.

[0746] 또한 도 37의 표시 장치(DSP2AB)는 표시 영역(DIS)의 일부와, 배선 영역(LIN)과, 회로 영역(SIC)을 발췌하여 나타낸 것이지만, 표시 영역(DIS)의 트랜지스터(500p) 위쪽에는 발광 디바이스(130)가 제공되어 있는 것으로 한다.

[0747] 또한 도 35의 표시 장치(DSP2A)의 트랜지스터(300d)의 구성은 표시 영역(DIS)에 포함되는 트랜지스터(500p)와 같은 구성을 가져도 좋다. 도 38에 나타낸 표시 장치(DSP2AC)는 도 35의 표시 장치(DSP2A)의 변경예이고, 트랜지스터(300d)의 구성이 표시 영역(DIS)에 포함되는 트랜지스터(500p)의 구성과 같다.

[0748] 또한 도 35의 표시 장치(DSP2A)의 트랜지스터(500p)의 구성은 도 32의 표시 장치(DSP1C)에 나타낸 트랜지스터(500A)의 구성으로 하여도 좋다. 도 39에 나타낸 표시 장치(DSP2B)는 도 35의 표시 장치(DSP2A)의 변경예이고, 트랜지스터(500p)의 구성이 도 32의 표시 장치(DSP1C)의 트랜지스터(500A)의 구성과 같다.

[0749] 또한 도 35의 표시 장치(DSP2A)의 트랜지스터(300d)로서 예를 들어 저온 폴리실리콘을 채널 형성 영역에 포함하는 트랜지스터(이하, LTPS 트랜지스터라고 함)를 사용하여도 좋다. 도 40에 나타낸 표시 장치(DSP2C)는 도 35의 표시 장치(DSP2A)의 변경예이고, 트랜지스터(300d)의 구성이 LTPS 트랜지스터인 트랜지스터(300LT)의 구성과 같다.

[0750] 트랜지스터(300LT)는 기판(310) 위에 제공되어 있다. 트랜지스터(300LT)는 절연체(361)와, 절연체(362)와, 절연체(363)와, 절연체(364)와, 도전체(366)와, 도전체(367)와, 저저항 영역(368p)과, 반도체 영역(368i)과, 도전체(369)를 포함한다. 여기서는 동일한 도전막을 가공하여 얻어지는 복수의 층을 같은 해치 패턴으로 표시하였다. 또한 본 명세서 등에서 저저항 영역(368p)과 반도체 영역(368i)을 통틀어 반도체층(368)이라고 부른다. 특히 반도체층(368)에 포함되는 반도체 재료에 예를 들어 저온 폴리실리콘을 적용함으로써, 트랜지스터(300LT)를 LTPS 트랜지스터로 할 수 있다. LTPS 트랜지스터는 전계 효과 이동도가 높고 주파수 특성이 양호하다.

[0751] 또한 도 40에서 도전체(367)는 트랜지스터(300LT)의 제 1 게이트(게이트 및 백 게이트 중 한쪽이라고 부르는 경우가 있음)로서 기능한다. 또한 도전체(366)는 트랜지스터(300LT)의 제 2 게이트(게이트 및 백 게이트 중 다른 쪽이라고 부르는 경우가 있음)로서 기능한다. 또한 반도체층(368)의 한 쌍의 저저항 영역(368p) 중 한쪽은 트랜지스터(300LT)의 소스 및 드레인 중 한쪽으로서 기능하고, 반도체층(368)의 한 쌍의 저저항 영역(368p) 중 다른 쪽은 트랜지스터(300LT)의 소스 및 드레인 중 다른 쪽으로서 기능한다. 또한 절연체(363)는 트랜지스터(300LT)의 제 1 게이트 절연막으로서 기능하고, 절연체(362)는 트랜지스터(300LT)의 제 2 게이트 절연막으로서 기능한다.

[0752] 도 40에서 기판(310) 위에는 절연체(361)가 형성되어 있다. 또한 절연체(361) 위의 일부 영역에는 도전체(366)가 형성되어 있다. 또한 절연체(361)와 도전체(366)를 덮도록 절연체(362)가 형성되어 있다. 또한 도전체(366) 및 절연체(362)와 중첩되고, 절연체(362) 위의 일부 영역에 반도체층(368)이 형성되어 있다. 또한 절연체(362)와 반도체층(368)을 덮도록 절연체(363)가 형성되어 있다. 또한 도전체(366), 절연체(362), 반도체층(368), 및 절연체(363)와 중첩되고, 절연체(363) 위의 일부 영역에 도전체(367)가 형성되어 있다. 또한 절연체(363)와 도전체(367)를 덮도록 절연체(364)가 형성되어 있다. 또한 저저항 영역(368p)과 중첩되는 절연체(363) 및 절연체(364)의 영역에 개구부가 제공되고, 상기 개구부를 매립하도록 절연체(364) 위에 도전체(369)가 형성되어 있다.

[0753] 절연체(361), 절연체(362), 절연체(363), 및 절연체(364)의 각각에는 예를 들어 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화질화 알루미늄, 질화산화 알루미늄, 및 질화 알루미늄 중에서 선택된 하나 이상을 사용하면 좋다.

[0754] 특히 절연체(361)에는 절연체(361)의 아래쪽 영역(예를 들어 기판(310))으로부터 불순물(예를 들어 금속 이온, 금속 원자, 산소 원자, 산소 분자, 수소 원자, 수소 분자, 및 물 분자)이 확산되지 않는 배리어 절연막을 사용하는 것이 바람직하다.

[0755] 저저항 영역(368p)은 불순물 원소를 포함한 영역이다. 예를 들어 트랜지스터(300LT)를 n채널형으로 하는 경우에는, 저저항 영역(368p)에는 인 또는 비소를 첨가하면 좋다. 한편 트랜지스터(300LT)를 p채널형으로 하는 경

우에는, 저저항 영역(368p)에는 붕소 또는 알루미늄을 첨가하면 좋다. 또한 트랜지스터(300)의 문턱 전압을 제어하기 위하여, 상술한 불순물이 반도체 영역(368i)에 첨가되어도 좋다.

[0756] 또한 트랜지스터(300LT)는 p채널형 및 n채널형 중 어느 쪽이어도 좋다. 또는 회로 영역(SIC)에 트랜지스터(300LT)를 복수로 제공하고, p채널형 및 n채널형의 양쪽을 사용하여도 좋다.

[0757] 도전체(366) 및 도전체(367)에는 예를 들어 알루미늄, 타이타늄, 크로뮴, 니켈, 구리, 이트륨, 지르코늄, 몰리브데넘, 은, 탄탈럼, 또는 텅스텐 등의 금속을 사용할 수 있다. 또는 도전체(366) 및 도전체(367)의 각각에는 상술한 금속 중에서 선택된 2개 이상을 주성분으로 하는 합금을 사용할 수 있다. 또는 도전체(366) 및 도전체(367)에는 산화 인듐, 인듐 주석 산화물(ITO), 텅스텐을 포함한 인듐 산화물, 텅스텐을 포함한 인듐 아연 산화물, 타이타늄을 포함한 인듐 산화물, 타이타늄을 포함한 ITO, 인듐 아연 산화물, 산화 아연(ZnO), 갈륨을 포함한 ZnO, 또는 실리콘을 포함한 인듐 주석 산화물과 같은 투광성을 가지는 도전성 재료를 사용할 수 있다. 또한 도전체(366) 및 도전체(367)에는 예를 들어 불순물 원소를 함유시켜 저저항화시킨 반도체(예를 들어 다결정 실리콘 또는 산화물 반도체) 또는 실리사이드(예를 들어 니켈실리사이드)를 사용하여도 좋다. 또는 도전체(366) 및 도전체(367)에는 그래핀을 포함한 막을 사용할 수도 있다. 그래핀을 포함한 막은 예를 들어 산화 그래핀을 포함한 막을 환원하여 형성할 수 있다. 또는 도전성 페이스트(예를 들어 은, 카본, 또는 구리를 포함한 도전성 페이스트) 혹은 도전성 폴리머(예를 들어 폴리싸이오펜)를 사용하여 형성하여도 좋다. 도전성 페이스트는 저렴하여 바람직하다. 도전성 폴리머는 도포하기 쉬워 바람직하다. 또한 도전체(366) 및 도전체(367) 중 한쪽 또는 양쪽은 상기 재료를 포함한 단층 구조 또는 상기 재료 중에서 선택된 2개 이상이 적층된 구조(적층 구조)를 가질 수 있다.

[0758] 도전체(369)는 트랜지스터(300LT)의 저저항 영역(368p)에 전기적으로 접속되는 배선으로서 기능한다. 즉 도전체(369)는 트랜지스터(300LT)의 소스 또는 드레인으로서 기능한다. 또한 도전체(369)에는 도전체(366) 및 도전체(367)에 적용할 수 있는 재료를 사용할 수 있다.

[0759] 또한 본 발명의 일 형태의 표시 장치는 도 35의 표시 장치(DSP2A), 도 36의 표시 장치(DSP2AA), 도 37의 표시 장치(DSP2AB), 도 38의 표시 장치(DSP2AC), 도 39의 표시 장치(DSP2B), 또는 도 40의 표시 장치(DSP2C)의 구성에 한정되지 않는다. 본 발명의 일 형태의 표시 장치는 상술한 표시 장치의 구성이 적절히 변경된 구성을 가져도 좋다.

[0760] 예를 들어 본 발명의 일 형태의 표시 장치는 복수 개의 기판이 접합된 구성을 가져도 좋다. 구체적으로는, 예를 들어 표시 영역(DIS)이 제공된 제 1 기판을 회로 영역(SIC)이 제공된 제 2 기판 위에 Cu-Cu(Coper-Coper) 직접 접합 기술 등을 사용하여 접합한 구성으로 하여도 좋다(도시하지 않았음).

[0761] <표시 장치의 단면 구성예 5>

[0762] 또한 예를 들어 도 35에 나타낸 표시 장치(DSP2A)에는 터치 센서 기능을 가지는 패널(터치 패널이라고 불리는 경우가 있음)을 제공하여도 좋다. 도 41에 나타낸 표시 장치(DSP2D)에서는 일례로서 보호층(131) 위에 수지층(147), 절연체(103), 도전체(104), 절연체(105), 및 도전체(106)가 이 순서대로 형성되어 있다.

[0763] 수지층(147)은 유기 절연 재료를 포함하는 것이 바람직하다. 유기 절연 재료로서는 예를 들어 아크릴 수지, 폴리이미드 수지, 에폭시 수지, 폴리아마이드 수지, 폴리이미드아마이드 수지, 실록세인 수지, 벤조사이클로뷰텐계 수지, 페놀 수지, 및 이들 수지의 전구체를 들 수 있다.

[0764] 절연체(103)는 무기 절연 재료를 포함하는 것이 바람직하다. 무기 절연 재료로서는 예를 들어 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화질화 알루미늄, 또는 산화 하프늄과 같은 산화물 또는 질화물이 있다.

[0765] 도전체(104) 및 도전체(106)는 터치 센서의 전극으로서 기능한다. 터치 센서의 방식으로서 상호 용량 방식을 사용하는 경우에는 예를 들어 도전체(104) 및 도전체(106) 중 한쪽에 펄스 전위가 공급되고, 다른 쪽에 아날로그-디지털(A-D) 변환 회로 또는 감지 증폭기 등의 검지 회로가 전기적으로 접속되는 구성으로 하여도 좋다. 이 경우 도전체(104)와 도전체(106) 사이에 정전 용량이 형성된다. 손가락 등이 가까워지면 정전 용량의 크기가 변화된다(구체적으로는 정전 용량이 작아진다). 이 정전 용량의 변화는 도전체(104) 및 도전체(106) 중 한쪽에 펄스 전위를 공급하였을 때 다른 쪽에서 발생하는 신호의 진폭 크기의 변화로서 나타난다. 이에 의하여, 손가락 등의 접촉 및 근접을 검지할 수 있다.

[0766] 절연체(105)에는 예를 들어 무기 절연막 또는 유기 절연막을 사용할 수 있다. 구체적으로는 절연체(105)에는

예를 들어 아크릴 수지 또는 에폭시 수지 등의 수지를 사용할 수 있다. 또는 절연체(105)에는 예를 들어 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 또는 산화 알루미늄과 같은 무기 절연 재료를 사용할 수 있다. 또한 절연체(105)는 단층 구조를 가져도 좋고 적층 구조를 가져도 좋다.

[0767] 또한 도 41에는 발광 디바이스(130)의 위쪽에 터치 센서의 전극을 제공한 구성을 나타내었지만, 터치 센서는 발광 디바이스(130)와 같은 층에 제공하여도 좋다(도시하지 않았음). 예를 들어 터치 센서를 발광 디바이스(130)와 동시에 형성함으로써, 발광 디바이스(130)와 같은 층에 제공할 수 있다.

[0768] <표시 장치의 단면 구성예 6>

[0769] 또한 예를 들어 도 35의 표시 장치(DSP2A)에는 색층(컬러 필터)이 포함되어도 좋다. 도 42에 나타낸 표시 장치(DSP2E)에서는 일례로서 접착층(107)과 기판(110) 사이에 착색층(166R), 착색층(166G), 및 착색층(166B)이 포함되어 있다. 또한 착색층(166R), 착색층(166G), 및 착색층(166B)은 예를 들어 기판(110)에 형성할 수 있다. 또한 발광 디바이스(130R)가 적색(R)의 발광을 나타내는 발광층을 포함하고, 발광 디바이스(130G)가 녹색(G)의 발광을 나타내는 발광층을 포함하고, 발광 디바이스(130B)가 청색(B)의 발광을 나타내는 발광층을 포함하는 경우, 착색층(166R)을 적색으로 하고, 착색층(166G)을 녹색으로 하고, 착색층(166B)을 청색으로 한다.

[0770] 또한 착색층(166R)과 착색층(166G) 사이, 착색층(166G)과 착색층(166B) 사이, 및 착색층(166G)과 착색층(166B) 사이에는 블랙 매트릭스를 제공하여도 좋다(도시하지 않았음). 표시 장치(DSP2E)에 블랙 매트릭스를 제공함으로써, 발광 다비이스로부터 방출된 광이 인접한 화소에 포함되는 색층에 입사하는 것을 방지할 수 있다. 이에 의하여, 표시 콘트라스트를 높일 수 있기 때문에, 표시 장치(DSP2E)의 표시 품질을 높일 수 있다.

[0771] <표시 장치의 단면 구성예 7>

[0772] 또한 예를 들어 도 35의 표시 장치(DSP2A)는 유기 EL 소자가 아니라 LED(마이크로 LED를 포함함)를 포함한 발광 디바이스를 포함하여도 좋다. 도 43에 나타낸 표시 장치(DSP2F)에는 패키징된 LED 칩이 실장되어 있다. 구체적으로는, 도 43에 나타낸 표시 장치(DSP2F)의 표시 영역(DIS)에는 발광 디바이스로서 LED 패키지(170R), LED 패키지(170G), 및 LED 패키지(170B)가 제공되어 있다.

[0773] 도 43의 표시 장치(DSP2F)에서 일례로서 절연체(599) 위에 도전체(111a) 내지 도전체(111c) 그리고 도전체(112a) 내지 도전체(112c)가 제공되어 있다. 또한 도전체(111a) 위 내지 도전체(111c) 위, 도전체(112a) 위 내지 도전체(112c) 위, 그리고 절연체(599) 위에 보호층(116)이 제공되어 있다. 또한 보호층(116)은 도전체(596)를 바닥부로 하는 절연체(599)의 개구부를 매립하도록 형성되어 있다. 특히 보호층(116)은 도전체(111a) 내지 도전체(111c) 그리고 도전체(112a) 내지 도전체(112c) 각각의 단부를 덮도록 제공되어 있는 것이 바람직하다.

[0774] 보호층(116)에는 예를 들어 아크릴 수지, 폴리이미드 수지, 에폭시 수지, 또는 실리콘 수지와 같은 수지가 적합하게 사용된다. 보호층(116)을 제공함으로써, 후술하는 도전체(117a) 및 도전체(117b)가 서로 접하여 단락되는 것을 억제할 수 있다. 또한 보호층(116)은 상황에 따라서는 절연체(599) 위, 도전체(111a) 위 내지 도전체(111c) 위, 그리고 도전체(112a) 위 내지 도전체(112c) 위에 제공되지 않아도 된다.

[0775] 도전체(111a) 내지 도전체(111c) 각각의 일부와 중첩되는 보호층(116)의 영역, 및 도전체(112a) 내지 도전체(112c) 각각의 일부와 중첩되는 보호층(116)의 영역에는 개구부가 제공되어 있다. 또한 보호층(116) 위에는 도전체(117a) 및 도전체(117b)가 제공되어 있다. 특히 도전체(117a)는 도전체(112a) 내지 도전체(112c) 각각의 일부와 중첩되는 보호층(116)의 영역에 제공되는 개구부를 매립하도록 제공되고, 도전체(117b)는 도전체(111a) 내지 도전체(111c) 각각의 일부와 중첩되는 보호층(116)의 영역에 제공되는 개구부를 매립하도록 제공된다.

[0776] 도전체(117a) 및 도전체(117b)에는 예를 들어 은, 카본, 또는 구리와 같은 재료를 포함한 도전성 페이스트, 금 또는 땜납과 같은 재료를 포함한 범프를 적합하게 사용할 수 있다. 또한 도전체(117a)(도전체(117b))에 전기적으로 접속되는 도전체(112a) 내지 도전체(112c)(도전체(111a) 내지 도전체(111c)) 및 후술하는 전극(172)(전극(173)) 각각에는 도전체(117a)(도전체(117b))와의 접촉 저항이 낮은 도전 재료를 사용하는 것이 바람직하다. 예를 들어 도전체(117a)(도전체(117b))에 은 페이스트를 사용하는 경우, 도전체(112a) 내지 도전체(112c)(도전체(111a) 내지 도전체(111c)) 및 후술하는 전극(172)(전극(173)) 각각에 적용할 수 있는 도전 재료로서 알루미늄, 타이타늄, 또는 구리를 사용함으로써 도전체(117a)(도전체(117b))와의 접촉 저항을 낮게 할 수 있다. 또한 기타 도전 재료로서 예를 들어 은과 팔라듐과 구리의 합금(Ag-Pd-Cu(APC))을 사용하는 것에 의해서도 도전체(117a)(도전체(117b))와의 접촉 저항을 낮게 할 수 있다.

[0777] 도전체(117a) 및 도전체(117b) 위에는 LED 패키지(170R), LED 패키지(170G), 및 LED 패키지(170B)가 실장되어 있다. 또한 도 43의 표시 장치(DSP2F)에 포함되는 LED 패키지(170R), LED 패키지(170G), 및 LED 패키지(170B)의 구체적인 구성예를 도 44의 (A)에 나타내었다.

[0778] 도 44의 (A)의 LED 패키지(170)는 기판(171), 전극(172), 전극(173), 히트 싱크(174), 접착층(175), 케이스(176), 와이어(177), 와이어(179), 밀봉층(178), 볼(189), 및 LED 칩(180)을 포함한다.

[0779] 본 명세서 등에서, LED 칩이란 기판 위에 캐소드로서 기능하는 전극과, 애노드로서 기능하는 전극과, p형 반도체와, n형 반도체와, 발광층이 제공된 발광 다이오드이다. 또한 본 명세서 등에서 LED 칩이라는 용어는 발광 다이오드라는 용어로 치환하여 설명할 수 있는 경우가 있다.

[0780] 특히, 본 명세서 등에서 LED 칩의 면적이 10000㎛^{2} 이하인 발광 다이오드를 마이크로 발광 다이오드, LED 칩의 면적이 10000㎛^{2}보다 크고 1㎟ 이하인 발광 다이오드를 미니 발광 다이오드, LED 칩의 면적이 1㎟보다 큰 발광 다이오드를 매크로 발광 다이오드라고 기재하는 경우가 있다. 또한 여기서 LED 칩의 면적은, 예를 들어 도 44의 (A), 후술하는 도 44의 (C) 및 (D)에서의 기판(181)의 상면 또는 하면의 면적으로 할 수 있다. 또는 LED 칩의 면적은, 예를 들어 후술하는 도 44의 (B)에서의 전극(183A)의 상면 또는 하면의 면적으로 할 수 있다.

[0781] 예를 들어 LED 칩의 면적이 100㎛^{2} 이하인 발광 다이오드는 마이크로 발광 다이오드(마이크로 LED 칩)라고 할 수 있다. 또한 예를 들어 면적이 1㎟인 LED 패키지에 적용 가능한 발광 다이오드로서, 마이크로 LED 칩 또는 미니 LED 칩을 사용할 수 있는 경우가 있다.

[0782] 본 발명의 일 형태의 표시 장치에서 LED 패키지에는 마이크로 발광 다이오드, 미니 발광 다이오드, 및 매크로 발광 다이오드 중 어느 것을 사용하여도 좋다. 특히 본 발명의 일 형태의 표시 장치는 마이크로 발광 다이오드 또는 미니 발광 다이오드를 포함하는 것이 바람직하고, 마이크로 발광 다이오드를 포함하는 것이 더 바람직하다.

[0783] 특히 발광 다이오드의 LED 칩의 면적은 1㎟ 이하가 바람직하고, 10000㎛^{2} 이하가 더 바람직하고, 3000㎛^{2} 이하가 더 바람직하고, 700㎛^{2} 이하가 더 바람직하다.

[0784] 또한 발광 다이오드의 광을 사출하는 영역의 면적은 1㎟ 이하가 바람직하고, 10000㎛^{2} 이하가 더 바람직하고, 3000㎛^{2} 이하가 더 바람직하고, 700㎛^{2} 이하가 더 바람직하다. 또한 여기서 발광 다이오드의 광을 사출하는 영역의 면적은, 예를 들어 도 44의 (A), 후술하는 도 44의 (B) 내지 (D)에서의 발광층(184)의 상면 또는 하면의 면적으로 할 수 있다.

[0785] 본 실시형태에서는 특히 발광 다이오드로서 마이크로 발광 다이오드를 사용하는 경우의 예에 대하여 설명한다. 또한 본 실시형태에서는 더블 헤테로 접합을 가지는 마이크로 발광 다이오드에 대하여 설명한다. 다만 발광 다이오드에 특별한 한정은 없고, 예를 들어 양자 우물 접합을 가지는 마이크로 발광 다이오드, 나노 칼럼을 사용한 발광 다이오드 등을 사용하여도 좋다.

[0786] LED 칩(180)은 기판(181)과, 반도체층(182)과, 전극(183)과, 발광층(184)과, 반도체층(185)과, 전극(186)과, 전극(187)을 포함한다.

[0787] 기판(171)에는 예를 들어 유리 에폭시 수지 기판, 폴리이미드 기판, 세라믹 기판, 알루미나 기판, 또는 질화 알루미늄 기판을 사용할 수 있다.

[0788] 전극(172) 및 전극(173)은 기판(171)의 상면, 측면, 및 하면에 형성되어 있다. 특히 기판(171)의 상면, 측면, 및 하면 각각에 형성된 전극(172)은 하나의 배선으로서 기능하고, 이와 마찬가지로 기판(171)의 상면, 측면, 및 하면 각각에 형성된 전극(173)은 다른 하나의 배선으로서 기능한다. 또한 전극(172)과 전극(173) 사이는 비도통 상태이다.

[0789] 또한 기판(171)에는 히트 싱크(174)가 제공되어 있다. 히트 싱크(174)는 일례로서 LED 칩(180)에서 발생한 열을 방열하는 기능을 가진다.

[0790] 또한 전극(172), 전극(173), 및 히트 싱크(174)에는 동일한 재료를 사용할 수 있다. 예를 들어 전극(172), 전극(173), 및 히트 싱크(174)에는 예를 들어 니켈, 구리, 은, 백금, 및 금 중에서 선택된 하나의 원소, 또는 상

기 원소를 50% 이상 포함한 합금 재료를 사용할 수 있다.

[0791] 또한 전극(172), 전극(173), 및 히트 싱크(174)는 동일한 공정으로 형성할 수 있다.

[0792] LED 칩(180)은 접착층(175)에 의하여 기판(171) 위에 접합되어 있다. 구체적으로는 LED 칩(180)의 기판(181)은 접착층(175)을 개재하여, 기판(171)에 제공되어 있는 히트 싱크(174)와 중첩되도록 제공되어 있다. 접착층(175)의 재료는 특별히 한정되지 않는다. 예를 들어 접착층(175)의 재료로서 도전성을 가지는 접착제를 사용함으로써 LED 칩(180)의 방열성을 높일 수 있다.

[0793] 기판(181)에는 예를 들어 사파이어 기판, 탄소화 실리콘 기판, 실리콘 기판, 또는 질화 갈륨 기판 등의 단결정 기판을 사용할 수 있다.

[0794] LED 칩(180)에서 기판(181) 위에는 반도체층(182)이 형성되어 있다. 또한 반도체층(182) 위의 일부에는 전극(183)이 형성되고, 반도체층(182) 위의 다른 일부에는 발광층(184)이 형성되어 있다. 또한 발광층(184) 위에는 반도체층(185)이 형성되고, 반도체층(185) 위에는 전극(186)이 형성되고, 전극(186) 위의 일부에는 전극(187)이 형성되어 있다.

[0795] LED 칩(180)에서 발광층(184)은 반도체층(182)과 반도체층(185) 사이에 끼워져 있다. 발광층(184)에서는 전자와 정공이 결합하여 광을 방출한다. 또한 반도체층(182) 및 반도체층(185) 중 한쪽은 n형 반도체층이고, 반도체층(182) 및 반도체층(185) 중 다른 쪽은 p형 반도체층이다. 또한 발광층(184)으로서는 n형 반도체층, i형 반도체층, 또는 p형 반도체층을 사용할 수 있다. 즉, 반도체층(182), 발광층(184), 및 반도체층(185)으로서는 각각 반도체층을 사용할 수 있다. 또한 반도체층(182), 발광층(184), 및 반도체층(185)은 통틀어 LED층 또는 발광 다이오드라고 불리는 경우가 있다.

[0796] LED층은 적색의 광, 황색의 광, 녹색의 광, 청색의 광, 또는 자외광과 같은 광을 나타내도록 형성된다. LED층의 구성은 특별히 한정되지 않고, pn 접합 또는 pin 접합을 가지는 호모 구조, 헤테로 구조, 또는 더블 헤테로 구조를 적용하여도 좋고, MIS(Metal Insulator Semiconductor) 접합을 적용하여도 좋다. LED층은 초격자 구조, 단일 양자 우물 구조, 또는 다중 양자 우물(MQW: Multi Quantum Well) 구조를 가져도 좋다. 또한 LED층에는 나노 기둥(nanocolumn)을 사용하여도 좋다.

[0797] LED층에는 예를 들어 13족 원소 및 15족 원소를 포함한 화합물을 사용할 수 있다. 13족 원소로서는 알루미늄, 갈륨, 및 인듐을 들 수 있다. 15족 원소로서는 질소, 인, 비소, 및 안티모니를 들 수 있다. LED층에는 예를 들어 갈륨·인 화합물, 갈륨·비소 화합물, 갈륨·알루미늄·비소 화합물, 알루미늄·갈륨·인듐·인 화합물, 질화 갈륨(GaN), 인듐·질화 갈륨 화합물, 또는 셀레늄·아연 화합물을 사용할 수 있다.

[0798] 예를 들어 자외 내지 청색의 파장 영역의 광을 방출하는 LED층에는 질화 갈륨을 사용할 수 있다. 자외 내지 녹색의 파장 영역의 광을 방출하는 LED층에는 인듐·질화 갈륨 화합물을 사용할 수 있다. 녹색 내지 적색의 파장 영역의 광을 방출하는 LED층에는 알루미늄·갈륨·인듐·인 화합물 또는 갈륨·비소 화합물을 사용할 수 있다. 적외 파장 영역의 광을 방출하는 LED층에는 갈륨·비소 화합물을 사용할 수 있다.

[0799] 도 43의 표시 장치(DSP2F)에 실장되는 LED 패키지(170R), LED 패키지(170G), 및 LED 패키지(170B) 각각의 LED 칩에 포함되는 발광 다이오드에서, 한 쌍의 반도체층 및 상기 한 쌍의 반도체층 사이의 발광층을 포함하는 적층 구조는 적색, 녹색, 또는 청색과 같은 광을 나타내도록 형성되어 있다. 따라서 LED 패키지(170R), LED 패키지(170G), 및 LED 패키지(170B) 각각의 LED 칩마다 발광 다이오드가 방출하는 광의 색을 자유로이 정할 수 있다.

[0800] 또한 LED 패키지(170)의 LED 칩(180)에 포함되는 발광 다이오드가 방출하는 광의 색은 적색, 녹색, 및 청색 이외에는 시안, 마젠타, 황색, 또는 백색으로 할 수 있다.

[0801] 전극(183)은 와이어(177)를 통하여 전극(172)에 전기적으로 접속되어 있다. 즉 전극(183)은 발광 다이오드의 화소 전극으로서 기능한다. 또한 전극(187)은 와이어(179)를 통하여 전극(173)에 전기적으로 접속되어 있다. 즉 전극(187)은 발광 다이오드의 공통 전극으로서 기능한다.

[0802] 전극(183)과 와이어(177)의 접합 방법, 전극(172)과 와이어(177)의 접합 방법, 전극(187)과 와이어(179)의 접합 방법, 및 전극(173)과 와이어(179)의 접합 방법으로서는 예를 들어 와이어 본딩법이 있다. 또한 와이어 본딩법의 종류로서 열 압착법 및 초음파 본딩법을 들 수 있다. 또한 와이어 본딩법을 사용한 와이어(177) 및 와이어(179)의 접합 공정에 의하여 전극(172) 위, 전극(173) 위, 전극(183) 위, 및 전극(187) 위에는 와이어(179)와 같은 재료의 볼(189)이 형성된다.

[0803] 전극(183), 전극(186), 전극(187)에는 예를 들어 도전체(111a) 내지 도전체(111c) 그리고 도전체(112a) 내지 도전체(112c)에 적용할 수 있는 재료를 사용하는 것이 바람직하다. 특히 LED 칩(180)의 발광층(184)은 LED 패키지(170)의 위쪽에 광을 사출하기 때문에, 전극(186)은 도전체(111a) 내지 도전체(111c) 그리고 도전체(112a) 내지 도전체(112c) 각각에 적용할 수 있는 재료 중 투광성을 가지는 도전체인 것이 바람직하다. 같은 이유로, 전극(187)도 도전체(111a) 내지 도전체(111c) 그리고 도전체(112a) 내지 도전체(112c) 각각에 적용할 수 있는 재료 중 투광성을 가지는 도전체인 것이 바람직하다.

[0804] 와이어(177) 및 와이어(179)에는 예를 들어 금, 금을 포함한 합금, 구리, 또는 구리를 포함한 합금과 같은 금속의 세선을 사용할 수 있다.

[0805] 케이스(176)의 재료에는 수지를 사용할 수 있다. 또한 케이스(176)는 밀봉층(178)의 측면을 덮으면 좋고, LED 칩(180)의 상면을 덮지 않아도 된다. 즉 예를 들어 LED 칩(180)의 상면 측에는 밀봉층(178)이 노출되어도 좋다. 또한 케이스(176)의 내측의 측면, 구체적으로는 LED 칩(180)의 주위(기판(181), 반도체층(182), 전극(183), 발광층(184), 반도체층(185), 전극(186), 및 전극(187) 각각의 주위)에 세라믹 등으로 이루어진 리플렉터를 제공하는 것이 바람직하다. LED 칩(180)의 발광층(184)으로부터 방출된 광의 일부가 리플렉터로 반사됨으로써, 더 많은 광을 LED 패키지(170)로부터 추출할 수 있다.

[0806] 케이스(176)의 내부는 밀봉층(178)으로 충전되어 있다. 밀봉층(178)에는 예를 들어 가시광에 대한 투과성을 가지는 수지를 적용하는 것이 바람직하다. 구체적으로는 밀봉층(178)에는 예를 들어 에폭시 수지, 실리콘 수지와 같은 자외선 경화성 수지 또는 가시광 경화성 수지를 사용할 수 있다.

[0807] 또한 예를 들어 표시 장치(DSP2F)의 수지층(148) 위, LED 패키지(170R) 위, LED 패키지(170G) 위, 및 LED 패키지(170B) 위 각각의 면에는 각종 광학 부재를 배치할 수 있다. 광학 부재로서는 편광판, 위상차판, 광 확산층(확산 필름 등), 반사 방지층, 집광 필름 등을 들 수 있다. 또한 표시 장치(DSP2F)의 수지층(148) 위, LED 패키지(170R) 위, LED 패키지(170G) 위, 및 LED 패키지(170B) 위 각각의 면에는 먼지의 부착을 억제하는 대전 방지막, 오염이 부착되기 어렵게 하는 발수막, 사용에 따른 손상의 발생을 억제하는 하드 코트막, 충격 흡수층 등의 표면 보호층을 배치하여도 좋다. 예를 들어, 표면 보호층으로서 유리층 또는 실리카층(SiO_x층)을 제공함으로써, 표면의 오염 및 손상의 발생을 억제할 수 있어 바람직하다. 또한 표면 보호층에는 DLC(diamond like carbon), 산화 알루미늄(AlO_x), 폴리에스터계 재료, 또는 폴리카보네이트계 재료 등을 사용하여도 좋다. 또한 표면 보호층에는 가시광에 대한 투과율이 높은 재료를 사용하는 것이 바람직하다. 또한 표면 보호층에는 경도가 높은 재료를 사용하는 것이 바람직하다.

[0808] 다음으로 표시 장치(DSP2F)의 LED 패키지(170R), LED 패키지(170G), 및 LED 패키지(170B)에 적용할 수 있는, 도 44의 (A)의 LED 패키지(170)와는 다른 LED 패키지의 구성예에 대하여 설명한다.

[0809] 도 44의 (B)에 나타낸 LED 패키지(170A1)는 기판(171) 위에는 LED 칩(180A)이 제공되는 점에서 도 44의 (A)의 LED 패키지(170)와 다르다. 또한 LED 칩(180A)의 화소 전극은 와이어(177)가 아니라 접착층(175)에 의하여 접착되어 있다.

[0810] 도 44의 (B)의 LED 패키지(170A1)는 기판(171), 전극(172), 전극(173), 접착층(175), 케이스(176), 와이어(177), 와이어(179), 밀봉층(178), 볼(189), 및 LED 칩(180A)을 포함한다.

[0811] 또한 도 44의 (B)의 LED 패키지(170A1)에서 LED 칩(180A)은 전극(183A)과, 전극(183A) 위에 제공된 발광 다이오드를 포함하는 구성을 가진다. 상기 발광 다이오드는 반도체층(182)과, 발광층(184)과, 반도체층(185)과, 전극(186)과, 전극(187)을 포함한다.

[0812] 전극(183A)에는 예를 들어 도전성 기판을 사용할 수 있다. 도전성 기판의 종류로서는 예를 들어 금속 기판이 있다.

[0813] 또한 전극(183A) 위에는 반도체층(182), 발광층(184), 반도체층(185), 전극(186), 및 전극(187)이 순차적으로 형성되어 있다.

[0814] 또한 반도체층(182), 발광층(184), 반도체층(185), 전극(186), 및 전극(187) 각각에 대해서는, 도 44의 (A)의 LED 패키지(170)에 대한 설명을 참조할 수 있다.

[0815] 도 44의 (B)의 LED 패키지(170A1)에서 전극(172) 및 전극(173)은 기판(171)의 상면, 측면, 및 하면에 형성되어 있다. 특히 전극(172)은 기판(171)에서 LED 칩(180A)이 제공되는 영역에도 형성되어 있다. 또한 기판(171)의

상면, 측면, 및 하면 각각에 형성된 전극(172)은 하나의 배선으로서 기능하고, 마찬가지로 기판(171)의 상면, 측면, 및 하면 각각에 형성된 전극(173)은 다른 하나의 배선으로서 기능한다. 또한 전극(172)과 전극(173) 사이는 비도통 상태이다.

[0816] 또한 LED 칩(180A)은 접착층(175)에 의하여 기판(171) 위에 접합되어 있다. 구체적으로는 LED 칩(180A)의 전극(183A)은 접착층(175)을 개재하여, 기판(171)에 제공되어 있는 전극(172)의 일부의 영역과 중첩되도록 제공되어 있다. 또한 접착층(175)은 도전성을 가지는 접착제로 한다.

[0817] 상술한 바와 같이, 발광 다이오드를 도전성 기판 위에 형성한 LED 칩(180A)을 사용하는 경우, LED 칩(180A)의 화소 전극과 기판(171)의 전극(172)을 와이어(177)가 아니라 접착층(175)을 사용하여 접합함으로써 LED 패키지(170A2)를 구성할 수 있다.

[0818] 다음으로 표시 장치(DSP2F)의 LED 패키지(170R), LED 패키지(170G), 및 LED 패키지(170B)에 적용할 수 있는, 도 44의 (A)의 LED 패키지(170) 및 도 44의 (B)의 LED 패키지(170A1)와는 다른 LED 패키지의 구성예에 대하여 설명한다.

[0819] 도 44의 (C)에 나타낸 LED 패키지(170A2)는 케이스(176)의 내측에 색 변환층(190)이 제공되는 점에서 도 44의 (A)의 LED 패키지와 다르다.

[0820] 또한 도 44의 (C)에는 색 변환층(190)이 밀봉층(178)의 위쪽에 제공되는 구성을 나타내었지만, 색 변환층(190)의 배치는 이에 한정되지 않는다. 예를 들어 색 변환층(190)은 밀봉층(178)의 내부에 분산되어 있어도 좋다.

[0821] 색 변환층(190)으로서는 형광체 또는 퀀텀닷(QD: Quantum dot)을 사용하는 것이 바람직하다. 특히 퀀텀닷은 발광 스펙트럼의 피크 폭이 좁고, 색 순도가 양호한 발광을 얻을 수 있다. 색 변환층(190)에 퀀텀닷을 사용함으로써 표시 장치(DSP2F)의 표시 품질을 높일 수 있다.

[0822] 색 변환층(190)은 LED 패키지(170A2)의 LED 칩(180)에 포함되는 발광층(184)으로부터 방출된 광을 다른 색의 광으로 변환하는 기능을 가진다.

[0823] 색 변환층(190)에는 예를 들어 청색의 광을 녹색의 광으로 변환하는 색 변환층 또는 청색의 광을 적색의 광으로 변환하는 변환층을 사용할 수 있다. 예를 들어 적색의 부화소에서 청색의 발광 다이오드가 제공될 때, 청색의 발광 다이오드로부터 방출된 청색의 광은 색 변환층(190)을 통하여 적색의 광으로 변환되어 케이스(176)의 위쪽, 즉 표시 장치(DSP2F)의 외부에 사출된다. 또한 예를 들어 녹색의 부화소에서 청색의 발광 다이오드가 제공될 때, 청색의 발광 다이오드로부터 방출된 청색의 광은 색 변환층(190)을 통하여 녹색의 광으로 변환되어 케이스(176)의 위쪽, 즉 표시 장치(DSP2F)의 외부에 사출된다.

[0824] 색 변환층(190)은 액적 토출법(예를 들어 잉크젯법), 도포법, 임프린트법, 각종 인쇄법(스크린 인쇄, 오프셋 인쇄) 등을 사용하여 형성할 수 있다. 또한 색 변환층(190)은 퀀텀닷 필름 등의 색 변환 필름을 사용할 수 있다.

[0825] 형광체로서는, 형광체가 표면에 인쇄 또는 도장된 유기 수지층, 혹은 형광체가 혼합된 유기 수지층을 사용할 수 있다.

[0826] 퀀텀닷을 구성하는 재료로서는, 특별한 한정은 없고, 예를 들어 14족 원소, 15족 원소, 16족 원소, 복수의 14족 원소로 이루어지는 화합물, 4족 내지 14족에 속하는 원소와 16족 원소의 화합물, 2족 원소와 16족 원소의 화합물, 13족 원소와 15족 원소의 화합물, 13족 원소와 17족 원소의 화합물, 14족 원소와 15족 원소의 화합물, 11족 원소와 17족 원소의 화합물, 산화 철류, 산화 타이타늄류, 칼코제나이드스피넬류, 반도체 클러스터 등을 들 수 있다.

[0827] 구체적으로는, 셀레늄화 카드뮴, 황화 카드뮴, 텔루륨화 카드뮴, 셀레늄화 아연, 산화 아연, 황화 아연, 텔루륨화 아연, 황화 수은, 셀레늄화 수은, 텔루륨화 수은, 비소화 인듐, 인화 인듐, 비소화 갈륨, 인화 갈륨, 질화 인듐, 질화 갈륨, 안티모니화 인듐, 안티모니화 갈륨, 인화 알루미늄, 비소화 알루미늄, 안티모니화 알루미늄, 셀레늄화 납, 텔루륨화 납, 황화 납, 셀레늄화 인듐, 텔루륨화 인듐, 황화 인듐, 셀레늄화 갈륨, 황화 비소, 셀레늄화 비소, 텔루륨화 비소, 황화 안티모니, 셀레늄화 안티모니, 텔루륨화 안티모니, 황화 비스무트, 셀레늄화 비스무트, 텔루륨화 비스무트, 실리콘, 탄소화 실리콘, 저마늄, 주석, 셀레늄, 텔루륨, 붕소, 탄소, 인, 질화 붕소, 인화 붕소, 비소화 붕소, 질화 알루미늄, 황화 알루미늄, 황화 바륨, 셀레늄화 바륨, 텔루륨화 바륨, 황화 칼슘, 셀레늄화 칼슘, 텔루륨화 칼슘, 황화 베릴륨, 셀레늄화 베릴륨, 텔루륨화 베릴륨, 황화 마그네슘, 셀레늄화 마그네슘, 황화 저마늄, 셀레늄화 저마늄, 텔루륨화 저마늄, 황화 주석, 셀레늄화 주석, 텔루륨화 주석, 산화 납, 플루오린화 구리, 염화 구리, 브로민화 구리, 아이오딘화 구리, 산화 구리, 셀레늄화 구리, 산화

니켈, 산화 코발트, 황화 코발트, 산화 철, 황화 철, 산화 망가니즈, 황화 몰리브데넘, 산화 바나듐, 산화 텅스텐, 산화 탄탈럼, 산화 타이타늄, 산화 지르코늄, 질화 실리콘, 질화 저마늄, 산화 알루미늄, 타이타늄산 바륨, 셀레늄과 아연과 카드뮴의 화합물, 인듐과 비소와 인의 화합물, 카드뮴과 셀레늄과 황의 화합물, 카드뮴과 셀레늄과 텔루륨의 화합물, 인듐과 갈륨과 비소의 화합물, 인듐과 갈륨과 셀레늄의 화합물, 인듐과 셀레늄과 황의 화합물, 구리와 인듐과 황의 화합물, 및 이들의 조합 등을 들 수 있다. 또한 조성이 임의의 비율로 나타내어지는, 소위 합금형 퀀텀닷을 사용하여도 좋다.

[0828] 퀀텀닷의 구조로서는 코어형, 코어-셸형, 코어-멀티 셸형 등을 들 수 있다. 또한 퀀텀닷은 표면 원자의 비율이 높으므로 반응성이 높고, 응집이 일어나기 쉽다. 그러므로 퀀텀닷의 표면에는 보호제가 부착되어 있거나 보호기가 제공되어 있는 것이 바람직하다. 상기 보호제가 부착되어 있거나 보호기가 제공되어 있으면 응집을 방지할 수 있고, 용매에 대한 용해성을 높일 수 있다. 또한 반응성을 저감하고 전기적 안정성을 향상시킬 수도 있다.

[0829] 퀀텀닷은 크기(지름)가 작아질수록 밴드 갭이 커지기 때문에, 원하는 파장의 광이 얻어지도록 그 크기를 적절히 조정한다. 결정의 크기가 작아질수록, 퀀텀닷의 발광은 청색 쪽으로, 즉 고에너지 쪽으로 시프트되기 때문에, 퀀텀닷의 크기를 변경시킴으로써 자외 영역, 가시 영역, 적외 영역의 스펙트럼의 파장 영역에 걸쳐 그 발광 파장을 조정할 수 있다. 퀀텀닷의 크기(지름)는 예를 들어 0.5nm 이상 20nm 이하, 바람직하게는 1nm 이상 10nm 이하이다. 퀀텀닷은 그 크기 분포가 좁을수록 발광 스펙트럼이 더 협선화(狹線化)되어, 색 순도가 양호한 발광을 얻을 수 있다. 또한 퀀텀닷의 형상은 특별히 한정되지 않고, 구상, 막대기상, 원반상, 그 외의 형상이어도 좋다. 막대기상의 퀀텀닷인 퀀텀 로드는 지향성을 가지는 광을 나타내는 기능을 가진다.

[0830] 또는 LED 패키지(170A2)는 그 내부 또는 위쪽에 색 변환층(190)과 착색층의 적층 구조를 가져도 좋다. 이로써, 색 변환층(190)에 의하여 변환된 광이 착색층을 통과함으로써 광의 순도를 높일 수 있다. 또한 LED 칩(180)(기판(181), 반도체층(182), 전극(183), 발광층(184), 반도체층(185), 전극(186), 및 전극(187))과 중첩되는 위치에 발광층(184)이 방출하는 광의 색과 같은 색의 착색층을 제공하여도 좋다. 같은 색의 착색층을 제공하면 발광층(184)이 방출하는 광의 순도를 높일 수 있다. 또한 LED 패키지(170A2)에 착색층을 제공하지 않는 경우에는 제작 공정을 간략화할 수 있다.

[0831] 또한 착색층은 특정의 파장 영역의 광을 투과시키는 유색층이다. 예를 들어 적색, 녹색, 청색, 또는 황색의 파장 영역의 광을 투과시키는 컬러 필터 등을 사용할 수 있다. 착색층에 사용할 수 있는 재료로서는 금속 재료, 수지 재료, 안료 또는 염료가 포함된 수지 재료 등을 들 수 있다.

[0832] 상술한 바와 같이, LED 칩(180)의 위쪽에 색 변환층을 제공함으로써, 색 순도가 양호한 광을 LED 패키지(170A2)로부터 사출할 수 있다.

[0833] 다음으로 표시 장치(DSP2F)의 LED 패키지(170R), LED 패키지(170G), 및 LED 패키지(170B)에 적용할 수 있는, 도 44의 (A)의 LED 패키지(170), 도 44의 (B)의 LED 패키지(170A1), 도 44의 (C)의 LED 패키지(170A2)와는 다른 LED 패키지의 구성예에 대하여 설명한다.

[0834] 도 44의 (D)에 나타낸 LED 패키지(170A3)는 기판(171) 위에 제공되는 LED 칩(180)의 기판(181)이 위쪽에 위치하고, 전극(183) 및 전극(187)이 아래쪽에 위치하는 점에서 도 44의 (A)의 LED 패키지(170)와 다르다.

[0835] 이 구성의 경우, 발광층(184)으로부터의 광이 LED 패키지(170A3)의 위쪽에 사출되기 때문에, 기판(181)은 투광성을 가지는 것이 바람직하다.

[0836] 또한 도 44의 (D)의 LED 패키지(170A3)에서 LED 칩(180)의 전극(183) 및 전극(187)은 기판(171) 측을 향하기 때문에, 전극(183)과 전극(172)의 접합 그리고 전극(187)과 전극(173)의 접합은 와이어가 아니라, 범프로서 기능하는 도전체에 의하여 수행된다. 구체적으로는 전극(183)과 전극(172)은 도전체(191)에 의하여 접합되고, 전극(187)과 전극(173)은 도전체(192)에 의하여 접합되어 있다.

[0837] 또한 도전체(191) 및 도전체(192)에는 도전체(117a) 또는 도전체(117b)에 적용할 수 있는 재료를 사용할 수 있다.

[0838] 다음으로 LED 패키지(170)에 제공할 수 있는 LED 칩(180)의 개수에 대하여 설명한다. 도 45의 (A)는 도 44의 (A)의 LED 패키지(170)의 평면 모식도의 일례를 나타낸 것이다. 또한 도 45의 (A)에서는 LED 칩(180)의 구성요소인 기판(181)을 나타내었다. 앞에서는 도 45의 (A)에 나타낸 바와 같이 LED 패키지(170)가 기판(171) 위에 하나의 LED 칩(180)이 제공된 구성을 가지는 예를 설명하였지만, 본 발명의 일 형태는 이에 한정되지 않는다.

예를 들어 LED 패키지(170)는 기판(171) 위에 하나가 아니라 복수의 LED 칩이 제공된 구성을 가져도 좋다.

[0839] 도 45의 (B)에는 일례로서 기판(171) 위에 LED 칩(180R), LED 칩(180G), 및 LED 칩(180B)의 3개를 제공한 LED 패키지(170S)의 구성을 나타내었다. 또한 도 45의 (B)에서는 LED 칩(180R)의 구성 요소인 기판(181R), LED 칩(180G)의 구성 요소인 기판(181G), 및 LED 칩(180B)의 구성 요소인 기판(181B)을 나타내었다. LED 패키지(170S)에 제공되는 LED 칩(180R), LED 칩(180G), 및 LED 칩(180B)에 포함되는 발광 다이오드들은 상이한 색의 광을 방출하는 발광층을 포함하여도 좋다. 예를 들어 기판(181R)에 적색의 광을 방출하는 발광 다이오드를 제공하고, 기판(181G)에 녹색의 광을 방출하는 발광 다이오드를 제공하고, 기판(181B)에 청색의 광을 방출하는 발광 다이오드를 제공함으로써, LED 패키지(170S)는 적색, 녹색, 및 청색의 3색의 광을 사출할 수 있다.

[0840] 앞에서 설명한 LED 패키지(170), LED 패키지(170A1), LED 패키지(170A2), 및 LED 패키지(170S) 각각에서, 발광 다이오드(LED 칩(180R), LED 칩(180G), 및 LED 칩(180B))는 같은 구성의 트랜지스터에 의하여 구동되어도 좋고, 상이한 구성의 트랜지스터에 의하여 구동되어도 좋다. 예를 들어 도 43의 표시 장치(DSP2F)에서, LED 패키지(170R)에 포함되는 LED 칩(180R)을 구동하는 트랜지스터와, LED 패키지(170G)에 포함되는 LED 칩(180G)을 구동하는 트랜지스터와, LED 패키지(170B)에 포함되는 LED 칩(180B)을 구동하는 트랜지스터는 트랜지스터의 크기, 채널 길이, 채널 폭, 및 구조 등 중에서 선택된 하나 이상이 서로 달라도 좋다. 구체적으로는 원하는 휘도로 발광시키기 위하여 필요한 전류량에 따라 트랜지스터의 채널 길이 및 채널 폭 중 한쪽 또는 양쪽을 색마다 바꿔도 좋다.

[0841] 도 43의 표시 장치(DSP2F)에서 보호층(116)의 상면, 도전체(117a)의 상면 및 측면, 도전체(117b)의 상면 및 측면, 그리고 LED 패키지(170R), LED 패키지(170G), 및 LED 패키지(170B) 각각의 측면은 수지층(148)으로 덮여도 좋다. 수지층(148)에 흑색 수지를 사용하면, 표시 장치(DSP2F)의 표시 콘트라스트를 높일 수 있다. 또한 수지층(148)의 상면, 그리고 LED 패키지(170R), LED 패키지(170G), 및 LED 패키지(170B) 각각의 상면 중에서 선택된 하나 이상에는 표면 보호층 및 충격 흡수층 중 한쪽 또는 다른 쪽을 제공하여도 좋다. 또한 LED 패키지(170R), LED 패키지(170G), 및 LED 패키지(170B) 각각은 위쪽에 광을 사출하기 때문에, LED 패키지(170R), LED 패키지(170G), 및 LED 패키지(170B)의 상면에 제공되는 층은 가시광에 대한 투과성을 가지는 것이 바람직하다.

[0842] LED 패키지(170R), LED 패키지(170G), 및 LED 패키지(170B)에서 도전체(112a) 내지 도전체(112c), 도전체(117a), 전극(172) 모두는 화소 전극이라고 불리는 경우가 있다. 또한 도전체(112a) 내지 도전체(112c), 도전체(117a), 전극(172)의 일부가 화소 전극이라고 불리는 경우가 있다.

[0843] 또한 본 발명의 일 형태의 표시 장치는 도 43에 나타낸 표시 장치(DSP2F)의 구성에 한정되지 않는다. 본 발명의 일 형태의 표시 장치는 도 43에 나타낸 표시 장치(DSP2F)의 구성이 적절히 변경된 구성을 가져도 좋다.

[0844] 예를 들어 본 발명의 일 형태의 표시 장치는 기판(310)의 위쪽에 복수의 LED 패키지(170)가 실장된 구성이 아니라, 기판(310)의 위쪽에 복수의 발광 다이오드가 형성된 기판이 접합된 구성을 가져도 좋다(도시하지 않았음).

[0845] 또한 예를 들어 도 43에 나타낸 표시 장치(DSP2F)는 복수의 색을 나타내는 LED 패키지가 제공된 구성을 가지지만, 단일색의 LED 패키지로 표시부 전체를 구성하여도 좋다.

[0846] 앞에서 설명한 각 구성예 중 하나를 표시 장치에 적용함으로써, 높은 화면 해상도 및 높은 정세도를 가지는 표시 장치를 실현할 수 있는 경우가 있다. 구체적으로는 예를 들어 HD(화소 수 1280×720), FHD(화소 수 1920×1080), WQHD(화소 수 2560×1440), WQXGA(화소 수 2560×1600), 4K(화소 수 3840×2160), 8K(화소 수 7680×4320)의 화면 해상도의 표시 장치를 실현할 수 있는 경우가 있다. 또한 구체적으로는 예를 들어 100ppi 이상, 300ppi 이상, 500ppi 이상, 1000ppi 이상, 2000ppi 이상, 3000ppi 이상, 5000ppi 이상, 또는 6000ppi 이상의 정세도의 표시 장치를 실현할 수 있는 경우가 있다.

[0847] <발광 디바이스의 구성예>

[0848] 다음으로 상술한 표시 장치의 발광 디바이스(130)에 적용할 수 있는 발광 디바이스의 구성예에 대하여 설명한다.

[0849] 도 46의 (A)에 나타낸 바와 같이, 발광 디바이스는 한 쌍의 전극(하부 전극(761) 및 상부 전극(762)) 사이에 EL층(763)을 포함한다. EL층(763)은 층(780), 발광층(771), 및 층(790)을 포함하는 층으로 할 수 있다.

[0850] 발광층(771)은 적어도 발광 물질(발광 재료라고도 함)을 포함한다.

[0851] 하부 전극(761)이 양극이고 상부 전극(762)이 음극인 경우, 층(780)은 정공 주입성이 높은 물질을 포함한 층(정

공 주입층), 정공 수송성이 높은 물질을 포함한 층(정공 수송층), 및 전자 차단성이 높은 물질을 포함한 층(전자 차단층) 중 하나 또는 복수를 포함한다. 또한 층(790)은 전자 주입성이 높은 물질을 포함한 층(전자 주입층), 전자 수송성이 높은 물질을 포함한 층(전자 수송층), 및 정공 차단성이 높은 물질을 포함한 층(정공 차단층) 중 하나 또는 복수를 포함한다. 하부 전극(761)이 음극이고 상부 전극(762)이 양극인 경우, 층(780)과 층(790)은 상기와 반대의 구성이 된다.

[0852] 한 쌍의 전극 사이에 제공된 층(780), 발광층(771), 및 층(790)을 포함하는 구성은 하나의 발광 유닛으로서 기능할 수 있고, 본 명세서에서는 도 46의 (A)의 구성을 싱글 구조라고 부른다.

[0853] 또한 도 46의 (B)는 도 46의 (A)에 나타낸 발광 디바이스에 포함되는 EL층(763)의 변경예를 나타낸 것이다. 구체적으로는 도 46의 (B)에 나타낸 발광 디바이스는 하부 전극(761) 위의 층(781), 층(781) 위의 층(782), 층(782) 위의 발광층(771), 발광층(771) 위의 층(791), 층(791) 위의 층(792), 및 층(792) 위의 상부 전극(762)을 포함한다.

[0854] 하부 전극(761)이 양극이고 상부 전극(762)이 음극인 경우, 예를 들어 층(781)을 정공 주입층으로, 층(782)을 정공 수송층으로, 층(791)을 전자 수송층으로, 층(792)을 전자 주입층으로 할 수 있다. 또한 하부 전극(761)이 음극이고 상부 전극(762)이 양극인 경우, 층(781)을 전자 주입층으로, 층(782)을 전자 수송층으로, 층(791)을 정공 수송층으로, 층(792)을 정공 주입층으로 할 수 있다. 이러한 층 구조로 함으로써, 발광층(771)에 캐리어가 효율적으로 주입되어 발광층(771)에서의 캐리어 재결합의 효율을 높일 수 있다.

[0855] 또한 도 46의 (C) 및 (D)에 나타낸 바와 같이, 층(780)과 층(790) 사이에 복수의 발광층(발광층(771), 발광층(772), 및 발광층(773))이 제공되는 구성도 싱글 구조의 베리에이션이다. 또한 도 46의 (C) 및 (D)에서는 발광층을 3층 가지는 예를 나타내었지만, 싱글 구조의 발광 디바이스에서의 발광층은 2층이어도 좋고, 4층 이상이어도 좋다. 또한 싱글 구조의 발광 디바이스는 2개의 발광층 사이에 버퍼층을 포함하여도 좋다.

[0856] 또한 도 46의 (E) 및 (F)에 나타낸 바와 같이, 복수의 발광 유닛(발광 유닛(763a) 및 발광 유닛(763b))이 전하 발생층(785)(중간층이라고도 함)을 통하여 직렬로 접속된 구성을 본 명세서에서는 탠덤 구조라고 부른다. 또한 탠덤 구조를 스택 구조라고 불러도 좋다. 탠덤 구조로 함으로써, 고휘도 발광이 가능한 발광 디바이스로 할 수 있다. 또한 탠덤 구조는 싱글 구조를 적용하는 경우에 비하여 같은 휘도를 얻는 데 필요한 전류를 감소시킬 수 있기 때문에 신뢰성을 높일 수 있다.

[0857] 또한 도 46의 (D) 및 (F)에는 표시 장치가 발광 디바이스와 중첩되는 층(764)을 포함하는 예를 나타내었다. 도 46의 (D)는 층(764)이 도 46의 (C)에 나타낸 발광 디바이스와 중첩되는 예를 나타낸 것이고, 도 46의 (F)는 층(764)이 도 46의 (E)에 나타낸 발광 디바이스와 중첩되는 예를 나타낸 것이다.

[0858] 층(764)으로서는 색 변환층 및 컬러 필터(착색층) 중 한쪽 또는 양쪽을 사용할 수 있다.

[0859] 도 46의 (C) 및 (D)에서 발광층(771), 발광층(772), 및 발광층(773)에 같은 색의 광을 방출하는 발광 물질, 나아가서는 같은 발광 물질을 사용하여도 좋다. 예를 들어 발광층(771), 발광층(772), 및 발광층(773)에 청색의 광을 방출하는 발광 물질을 사용하여도 좋다. 청색의 광을 나타내는 부화소에서는 발광 디바이스가 방출하는 청색의 광을 추출할 수 있다. 또한 적색의 광을 나타내는 부화소 및 녹색의 광을 나타내는 부화소에서는 도 46의 (D)에 나타낸 층(764)으로서 색 변환층을 제공함으로써, 발광 디바이스가 방출하는 청색의 광을 파장이 더 긴 광으로 변환하여 적색의 광 또는 녹색의 광을 추출할 수 있다.

[0860] 또한 발광층(771), 발광층(772), 및 발광층(773)에 상이한 색의 광을 방출하는 발광 물질을 사용하여도 좋다. 특히, 발광 디바이스는 발광층(771), 발광층(772), 및 발광층(773)이 각각 방출하는 광의 조합에 의하여 백색 발광이 얻어지는 구성으로 하는 것이 바람직하다. 예를 들어 싱글 구조의 발광 디바이스는 청색의 광을 방출하는 발광 물질을 포함한 발광층, 및 청색보다 파장이 긴 가시광을 방출하는 발광 물질을 포함한 발광층을 포함하는 것이 바람직하다.

[0861] 예를 들어 싱글 구조의 발광 디바이스가 3층의 발광층을 포함하는 경우, 적색(R)의 광을 방출하는 발광 물질을 포함한 발광층, 녹색(G)의 광을 방출하는 발광 물질을 포함한 발광층, 및 청색(B)의 광을 방출하는 발광 물질을 포함한 발광층을 포함하는 것이 바람직하다. 발광층의 적층 순서는 예를 들어 양극 측으로부터 적색(R), 녹색(G), 및 청색(B), 또는 양극 측으로부터 적색(R), 청색(B), 및 녹색(G)으로 할 수 있다. 이때 적색(R)과 녹색(G) 또는 청색(B) 사이에 버퍼층이 제공되어도 좋다.

[0862] 또한 예를 들어 싱글 구조의 발광 디바이스가 2층의 발광층을 포함하는 경우, 청색(B)의 광을 방출하는 발광 물

질을 포함한 발광층 및 황색(Y)의 광을 방출하는 발광 물질을 포함한 발광층을 포함하는 구성이 바람직하다. 상기 구성을 BY 싱글 구조라고 부르는 경우가 있다.

[0863] 도 46의 (D)에 나타낸 층(764)으로서 컬러 필터를 제공하여도 좋다. 백색의 광이 컬러 필터를 투과함으로써 원하는 색의 광을 얻을 수 있다.

[0864] 백색의 광을 방출하는 발광 디바이스는 2종류 이상의 발광 물질을 포함하는 것이 바람직하다. 백색 발광을 얻기 위해서는, 2개의 발광 물질의 각 발광이 보색 관계가 되는 발광 물질을 선택하면 좋다. 예를 들어 제 1 발광층의 발광색과 제 2 발광층의 발광색을 보색 관계가 되도록 함으로써, 발광 디바이스 전체로서 백색의 광을 방출하는 발광 디바이스를 얻을 수 있다. 또한 3개 이상의 발광층을 사용하여 백색 발광을 얻는 경우, 3개 이상의 발광층 각각의 발광색이 합쳐져 발광 디바이스 전체로서 백색 발광할 수 있는 구성으로 하면 좋다.

[0865] 또한 도 46의 (E) 및 (F)에서 발광층(771)과 발광층(772)에 같은 색의 광을 방출하는 발광 물질, 나아가서는 같은 발광 물질을 사용하여도 좋다.

[0866] 예를 들어, 각 색의 광을 나타내는 부화소에 포함되는 발광 디바이스에서 발광층(771)과 발광층(772)에 각각 청색의 광을 방출하는 발광 물질을 사용하여도 좋다. 청색의 광을 나타내는 부화소에서는 발광 디바이스가 방출하는 청색의 광을 추출할 수 있다. 또한 적색의 광을 나타내는 부화소 및 녹색의 광을 나타내는 부화소에서는 도 46의 (F)에 나타낸 층(764)으로서 색 변환층을 제공함으로써, 발광 디바이스가 방출하는 청색의 광을 파장이 더 긴 광으로 변환하여 적색의 광 또는 녹색의 광을 추출할 수 있다.

[0867] 또한 각 색의 광을 나타내는 부화소에 도 46의 (E) 또는 (F)에 나타낸 구성의 발광 디바이스를 사용하는 경우, 부화소에 따라 상이한 발광 물질을 사용하여도 좋다. 구체적으로는 적색의 광을 나타내는 부화소에 포함되는 발광 디바이스에서 발광층(771)과 발광층(772) 각각에 적색의 광을 방출하는 발광 물질을 사용하여도 좋다. 이와 마찬가지로 녹색의 광을 나타내는 부화소에 포함되는 발광 디바이스에서 발광층(771)과 발광층(772) 각각에 녹색의 광을 방출하는 발광 물질을 사용하여도 좋다. 청색의 광을 나타내는 부화소에 포함되는 발광 디바이스에서 발광층(771)과 발광층(772) 각각에 청색의 광을 방출하는 발광 물질을 사용하여도 좋다. 이러한 구성을 가지는 표시 장치는 탠덤 구조의 발광 디바이스가 적용되며 SBS 구조라고 할 수 있다. 그러므로 탠덤 구조의 장점과 SBS 구조의 장점을 모두 가질 수 있다. 이로써 고휘도 발광이 가능하고 신뢰성이 높은 발광 디바이스를 실현할 수 있다.

[0868] 또한 도 46의 (E) 및 (F)에서, 발광층(771)과 발광층(772)에 상이한 색의 광을 방출하는 발광 물질을 사용하여도 좋다. 발광층(771)이 방출하는 광과 발광층(772)이 방출하는 광이 보색 관계인 경우 백색 발광이 얻어진다. 도 46의 (F)에 나타낸 층(764)으로서 컬러 필터를 제공하여도 좋다. 백색의 광이 컬러 필터를 투과함으로써 원하는 색의 광을 얻을 수 있다.

[0869] 또한 도 46의 (E) 및 (F)에는 발광 유닛(763a)이 1층의 발광층(771)을 포함하고 발광 유닛(763b)이 1층의 발광층(772)을 포함하는 예를 나타내었지만 이에 한정되지 않는다. 발광 유닛(763a) 및 발광 유닛(763b)은 각각 2층 이상의 발광층을 포함하여도 좋다.

[0870] 또한 도 46의 (E) 및 (F)에는 발광 유닛을 2개 가지는 발광 디바이스를 예시하였지만 이에 한정되지 않는다. 발광 디바이스는 3개 이상의 발광 유닛을 포함하여도 좋다.

[0871] 구체적으로는 도 47의 (A) 내지 (C)에 나타낸 발광 디바이스의 구성을 들 수 있다.

[0872] 도 47의 (A)는 발광 유닛을 3개 포함하는 구성을 나타낸 것이다. 또한 발광 유닛을 2개 포함하는 구성을 2단 탠덤 구조라고 부르고, 발광 유닛을 3개 포함하는 구성을 3단 탠덤 구조라고 불러도 좋다.

[0873] 또한 도 47의 (A)에 나타낸 바와 같이, 복수의 발광 유닛(발광 유닛(763a), 발광 유닛(763b), 및 발광 유닛(763c))은 전하 발생층(전하 발생층(785a-b) 및 전하 발생층(785b-c))을 통하여 각각 직렬로 접속되어 있다. 구체적으로는 도 46의 (A)에 나타낸 발광 디바이스는 발광 유닛(763a), 전하 발생층(785a-b), 발광 유닛(763b), 전하 발생층(785b-c), 및 발광 유닛(763c)이 이 순서대로 적층된 구성을 가진다. 또한 발광 유닛(763a)은 층(780a)과, 발광층(771)과, 층(790a)을 포함하고, 발광 유닛(763b)은 층(780b)과, 발광층(772)과, 층(790b)을 포함하고, 발광 유닛(763c)은 층(780c)과, 발광층(773)과, 층(790c)을 포함한다.

[0874] 또한 전하 발생층(785a-b) 및 전하 발생층(785b-c)에 대해서는, 상술한 전하 발생층(785)에 대한 설명을 참조할 수 있다.

[0875] 또한 도 47의 (A)에 나타낸 구성에서는 발광층(771), 발광층(772), 및 발광층(773)은 각각 같은 색의 광을 방출하는 발광 물질을 포함하는 것이 바람직하다. 구체적으로는 발광층(771), 발광층(772), 및 발광층(773)이 각각 적색(R)의 발광 물질을 포함하는 구성(소위 R\R\R의 3단 탠덤 구조), 발광층(771), 발광층(772), 및 발광층(773)이 각각 녹색(G)의 발광 물질을 포함하는 구성(소위 G\G\G의 3단 탠덤 구조), 또는 발광층(771), 발광층(772), 및 발광층(773)이 각각 청색(B)의 발광 물질을 포함하는 구성(소위 B\B\B의 3단 탠덤 구조)으로 할 수 있다.

[0876] 또한 같은 색의 광을 방출하는 발광 물질은 상기 구성에 한정되지 않는다. 예를 들어 도 47의 (B)에 나타낸 바와 같이, 복수의 발광 물질을 포함한 발광 유닛을 적층한 탠덤형 발광 디바이스로 하여도 좋다. 도 47의 (B)는 복수의 발광 유닛(발광 유닛(763a) 및 발광 유닛(763b))이 전하 발생층(785)을 통하여 각각 직렬로 접속된 구성을 나타낸 것이다. 또한 발광 유닛(763a)은 층(780a), 발광층(771a), 발광층(771b), 발광층(771c), 및 층(790a)을 포함하고, 발광 유닛(763b)은 층(780b), 발광층(772a), 발광층(772b), 발광층(772c), 및 층(790b)을 포함한다.

[0877] 도 47의 (B)에 나타낸 구성은 발광층(771a), 발광층(771b), 및 발광층(771c)의 각각이 발광하는 색이 조합되어 백색 발광(W)이 가능한 구성이다. 또한 발광층(772a), 발광층(772b), 및 발광층(772c)의 각각이 발광하는 색이 조합되어 백색 발광(W)이 가능한 구성이다. 즉 도 47의 (C)에 나타낸 구성은 W\W의 2단 탠덤 구조이다. 또한 발광층(771a), 발광층(771b), 및 발광층(771c)의 발광 물질의 적층 순서에 대해서는 특별히 한정되지 않는다. 실시자가 적절히 최적의 적층 순서를 선택할 수 있다. 또한 도시하지 않았지만, W\W\W의 3단 탠덤 구조 또는 4단 이상의 탠덤 구조로 하여도 좋다.

[0878] 또한 탠덤 구조의 발광 디바이스를 사용하는 경우, 황색(Y)의 광을 방출하는 발광 유닛과 청색(B)의 광을 방출하는 발광 유닛을 포함하는 B\Y의 2단 탠덤 구조, 적색(R)과 녹색(G)의 광을 방출하는 발광 유닛과 청색(B)의 광을 방출하는 발광 유닛을 포함하는 RG\B의 2단 탠덤 구조, 청색(B)의 광을 방출하는 발광 유닛과, 황색(Y)의 광을 방출하는 발광 유닛과, 청색(B)의 광을 방출하는 발광 유닛을 이 순서대로 포함하는 B\Y\B의 3단 탠덤 구조, 청색(B)의 광을 방출하는 발광 유닛과, 황록색(YG)의 광을 방출하는 발광 유닛과, 청색(B)의 광을 방출하는 발광 유닛을 이 순서대로 포함하는 B\YG\B의 3단 탠덤 구조, 청색(B)의 광을 방출하는 발광 유닛과, 녹색(G)의 광을 방출하는 발광 유닛과, 청색(B)의 광을 방출하는 발광 유닛을 이 순서대로 포함하는 B\G\B의 3단 탠덤 구조 등을 들 수 있다.

[0879] 또한 도 47의 (C)에 나타낸 바와 같이, 하나의 발광 물질을 포함한 발광 유닛과 복수의 발광 물질을 포함한 발광 유닛을 조합하여도 좋다.

[0880] 구체적으로는 도 47의 (C)에 나타낸 구성에서는 복수의 발광 유닛(발광 유닛(763a), 발광 유닛(763b), 및 발광 유닛(763c))이 전하 발생층(전하 발생층(785a-b) 및 전하 발생층(785b-c))을 통하여 각각 직렬로 접속되어 있다. 또한 발광 유닛(763a)은 층(780a), 발광층(771), 및 층(790a)을 포함하고, 발광 유닛(763b)은 층(780b), 발광층(772a), 발광층(772b), 발광층(772c), 및 층(790b)을 포함하고, 발광 유닛(763c)은 층(780c), 발광층(773), 및 층(790c)을 포함한다.

[0881] 예를 들어 도 47의 (C)에 나타낸 구성에서 발광 유닛(763a)이 청색(B)의 광을 방출하는 발광 유닛이고, 발광 유닛(763b)이 적색(R), 녹색(G), 및 황록색(YG)의 광을 방출하는 발광 유닛이고, 발광 유닛(763c)이 청색(B)의 광을 방출하는 발광 유닛인 B\R·G·YG\B의 3단 탠덤 구조 등을 적용할 수 있다.

[0882] 예를 들어 발광 유닛의 적층 수와 색 순서로서는 양극 측으로부터, B와 Y의 2단 구조, B와 발광 유닛 X의 2단 구조, B와 Y와 B의 3단 구조, B와 X와 B의 3단 구조가 있고, 발광 유닛 X의 발광층의 적층 수와 색 순서로서는 양극 측으로부터, R와 Y의 2층 구조, R와 G의 2층 구조, G와 R의 2층 구조, G와 R와 G의 3층 구조, 또는 R와 G와 R의 3층 구조 등으로 할 수 있다. 또한 2개의 발광층 사이에 다른 층이 제공되어도 좋다.

[0883] 또한 도 46의 (C), (D)에서도, 도 46의 (B)에 나타낸 바와 같이, 층(780)과 층(790)이 각각 독립적으로 2층 이상의 층으로 이루어지는 적층 구조를 가져도 좋다.

[0884] 또한 도 46의 (E) 및 (F)에서 발광 유닛(763a)은 층(780a), 발광층(771), 및 층(790a)을 포함하고, 발광 유닛(763b)은 층(780b), 발광층(772), 및 층(790b)을 포함한다.

[0885] 하부 전극(761)이 양극이고 상부 전극(762)이 음극인 경우, 층(780a) 및 층(780b)은 각각 정공 주입층, 정공 수송층, 및 전자 차단층 중 하나 또는 복수를 포함한다. 또한 층(790a) 및 층(790b)은 각각 전자 주입층, 전자

수송층, 및 정공 차단층 중 하나 또는 복수를 포함한다. 하부 전극(761)이 음극이고 상부 전극(762)이 양극인 경우, 층(780a)과 층(790a)의 구성은 서로 상기와 반대가 되고, 층(780b)과 층(790b)의 구성도 서로 상기와 반대가 된다.

[0886] 하부 전극(761)이 양극이고 상부 전극(762)이 음극인 경우, 예를 들어 층(780a)은 정공 주입층과, 정공 주입층 위의 정공 수송층을 포함하고, 정공 수송층 위의 전자 차단층을 더 포함하여도 좋다. 또한 층(790a)은 전자 수송층을 포함하고, 발광층(771)과 전자 수송층 사이의 정공 차단층을 더 포함하여도 좋다. 또한 층(780b)은 정공 수송층을 포함하고, 정공 수송층 위의 전자 차단층을 더 포함하여도 좋다. 또한 층(790b)은 전자 수송층과, 전자 수송층 위의 전자 주입층을 포함하고, 발광층(772)과 전자 수송층 사이의 정공 차단층을 더 포함하여도 좋다. 하부 전극(761)이 음극이고 상부 전극(762)이 양극인 경우, 예를 들어 층(780a)은 전자 주입층과, 전자 주입층 위의 전자 수송층을 포함하고, 전자 수송층 위의 정공 차단층을 더 포함하여도 좋다. 또한 층(790a)은 정공 수송층을 포함하고, 발광층(771)과 정공 수송층 사이의 전자 차단층을 더 포함하여도 좋다. 또한 층(780b)은 전자 수송층을 포함하고, 전자 수송층 위의 정공 차단층을 더 포함하여도 좋다. 또한 층(790b)은 정공 수송층과, 정공 수송층 위의 정공 주입층을 포함하고, 발광층(772)과 정공 수송층 사이의 전자 차단층을 더 포함하여도 좋다.

[0887] 또한 탠덤 구조를 가지는 발광 디바이스를 제작하는 경우, 2개의 발광 유닛은 전하 발생층(785)을 개재하여 적층된다. 전하 발생층(785)은 적어도 전하 발생 영역을 포함한다. 전하 발생층(785)은 한 쌍의 전극 사이에 전압을 인가한 경우에 2개의 발광 유닛 중 한쪽에 전자를 주입하고, 다른 쪽에 정공을 주입하는 기능을 가진다.

[0888] 다음으로 발광 디바이스에 사용할 수 있는 재료에 대하여 설명한다.

[0889] 하부 전극(761) 및 상부 전극(762) 중 광을 추출하는 측의 전극에는 가시광을 투과시키는 도전막을 사용한다. 또한 광을 추출하지 않는 측의 전극에는 가시광을 반사하는 도전막을 사용하는 것이 바람직하다. 또한 표시 장치가 적외광을 방출하는 발광 디바이스를 포함하는 경우에는, 광을 추출하는 측의 전극에는 가시광 및 적외광을 투과시키는 도전막을 사용하고, 광을 추출하지 않는 측의 전극에는 가시광 및 적외광을 반사하는 도전막을 사용하는 것이 바람직하다.

[0890] 또한 광을 추출하지 않는 측의 전극에도 가시광을 투과시키는 도전막을 사용하여도 좋다. 이 경우, 반사층과 EL층(763) 사이에 상기 전극을 배치하는 것이 바람직하다. 즉, EL층(763)의 발광은 상기 반사층에 의하여 반사되어 표시 장치로부터 추출되어도 좋다.

[0891] 발광 디바이스의 한 쌍의 전극을 형성하는 재료로서는 금속, 합금, 전기 전도성 화합물, 및 이들의 혼합물 등을 적절히 사용할 수 있다. 상기 재료로서 구체적으로는 알루미늄, 타이타늄, 크로뮴, 망가니즈, 철, 코발트, 니켈, 구리, 갈륨, 아연, 인듐, 주석, 몰리브데넘, 탄탈럼, 텅스텐, 팔라듐, 금, 백금, 은, 이트륨, 또는 네오디뮴 등의 금속, 그리고 이들을 적절히 조합하여 포함한 합금을 들 수 있다. 또한 상기 재료로서는 예를 들어 인듐 주석 산화물(In-Sn 산화물, ITO라고도 함), In-Si-Sn 산화물(ITSO라고도 함), 인듐 아연 산화물(In-Zn 산화물), 및 In-W-Zn 산화물이 있다. 또한 상기 재료로서는 알루미늄을 포함한 합금(알루미늄 합금)을 들 수 있다. 알루미늄을 포함한 합금으로서는 예를 들어 알루미늄(Al)과 니켈(Ni)과 란타넘(La)의 합금(Al-Ni-La)이 있다. 또한 상기 재료로서는 은과 팔라듐과 구리의 합금(Ag-Pd-Cu, APC라고도 기재함)을 들 수 있다. 이들 외에, 상기 재료로서는 위에서 예시하지 않은 원소 주기율표의 1족 또는 2족에 속하는 원소(예를 들어 리튬, 세슘, 칼슘, 스트론튬), 유로퓸, 이터븀 등의 희토류 금속, 및 이들을 적절히 조합하여 포함한 합금, 그래핀을 들 수 있다.

[0892] 발광 디바이스에는 미소 광공진기(마이크로캐비티) 구조가 적용되는 것이 바람직하다. 따라서 발광 디바이스에 포함되는 한 쌍의 전극 중 한쪽은 가시광에 대한 투과성 및 반사성을 가지는 전극(반투과·반반사 전극)을 포함하는 것이 바람직하고, 다른 쪽은 가시광에 대한 반사성을 가지는 전극(반사 전극)을 포함하는 것이 바람직하다. 발광 디바이스가 마이크로캐비티 구조를 가짐으로써, 발광층으로부터 얻어지는 발광을 양쪽 전극 사이에서 공진시켜, 발광 디바이스로부터 사출되는 광의 강도를 높일 수 있다.

[0893] 또한 반투과·반반사 전극에는 예를 들어 가시광에 대한 투과성 및 반사성을 가지는 도전체를 사용하는 것이 바람직하다. 또한 예를 들어 반투과·반반사 전극은 반사 전극으로서 사용할 수 있는 도전층과, 가시광에 대한 투과성을 가지는 전극(투명 전극이라고도 함)으로서 사용할 수 있는 도전층의 적층 구조를 가져도 좋다.

[0894] 투명 전극의 광 투과율은 40% 이상으로 한다. 예를 들어 발광 디바이스의 투명 전극으로서는 가시광(파장 400nm 이상 750nm 미만의 광) 투과율이 40% 이상인 전극을 사용하는 것이 바람직하다. 반투과·반반사 전극의

가시광의 반사율은 10% 이상 95% 이하, 바람직하게는 30% 이상 80% 이하로 한다. 반사 전극의 가시광의 반사율은 40% 이상 100% 이하, 바람직하게는 70% 이상 100% 이하로 한다. 또한 이들 전극의 저항률은 $1\times10^{-2}\Omega cm$ 이하가 바람직하다.

[0895] 발광 디바이스는 적어도 발광층을 포함한다. 또한 발광 디바이스는 발광층 이외의 층으로서, 정공 주입성이 높은 물질, 정공 수송성이 높은 물질, 정공 차단 재료, 전자 수송성이 높은 물질, 전자 차단 재료, 전자 주입성이 높은 물질, 또는 양극성 물질(전자 수송성 및 정공 수송성이 높은 물질)을 포함하는 층을 더 포함하여도 좋다. 예를 들어 발광 디바이스는 발광층 외에 정공 주입층, 정공 수송층, 정공 차단층, 전하 발생층, 전자 차단층, 전자 수송층, 및 전자 주입층 중 1층 이상을 포함하는 구성으로 할 수 있다.

[0896] 발광 디바이스에는 저분자 화합물 및 고분자 화합물 중 어느 쪽이든 사용할 수 있고, 무기 화합물이 포함되어도 좋다. 발광 디바이스를 구성하는 층은 각각 증착법(진공 증착법을 포함함), 전사법, 인쇄법, 잉크젯법, 또는 도포법과 같은 방법으로 형성할 수 있다.

[0897] 발광층은 1종류 또는 복수 종류의 발광 물질을 포함한다. 발광 물질로서는 예를 들어 청색, 자색, 청자색, 녹색, 황록색, 황색, 주황색, 또는 적색과 같은 발광색을 나타내는 물질을 적절히 사용한다. 또한 발광 물질로서 근적외광을 방출하는 물질을 사용할 수도 있다.

[0898] 발광 물질로서는 형광 재료, 인광 재료, TADF 재료, 및 퀀텀닷 재료를 들 수 있다.

[0899] 형광 재료로서는 예를 들어 피렌 유도체, 안트라센 유도체, 트라이페닐렌 유도체, 플루오렌 유도체, 카바졸 유도체, 다이벤조싸이오펜 유도체, 다이벤조퓨란 유도체, 다이벤조퀴녹살린 유도체, 퀴녹살린 유도체, 피리딘 유도체, 피리미딘 유도체, 페난트렌 유도체, 및 나프탈렌 유도체가 있다.

[0900] 인광 재료로서는 예를 들어 4H-트라이아졸 골격, 1H-트라이아졸 골격, 이미다졸 골격, 피리미딘 골격, 피라진 골격, 또는 피리딘 골격을 가지는 유기 금속 착체(특히 이리듐 착체), 전자 흡인기를 가지는 페닐피리딘 유도체를 리간드로 하는 유기 금속 착체(특히 이리듐 착체), 백금 착체, 및 희토류 금속 착체가 있다.

[0901] 발광층은 발광 물질(게스트 재료)에 더하여 1종류 또는 복수 종류의 유기 화합물(예를 들어 호스트 재료 및 어시스트 재료 등)을 포함하여도 좋다. 1종류 또는 복수 종류의 유기 화합물로서는 정공 수송성이 높은 물질(정공 수송성 재료) 및 전자 수송성이 높은 물질(전자 수송성 재료) 중 한쪽 또는 양쪽을 사용할 수 있다. 정공 수송성 재료로서는 후술하는 정공 수송층에 사용할 수 있는 정공 수송성이 높은 재료를 사용할 수 있다. 전자 수송성 재료로서는 후술하는 전자 수송층에 사용할 수 있는 전자 수송성이 높은 재료를 사용할 수 있다. 또한 1종류 또는 복수 종류의 유기 화합물로서 양극성 재료 또는 TADF 재료를 사용하여도 좋다.

[0902] 발광층은 예를 들어 인광 재료, 및 들뜬 복합체를 형성하기 쉬운 정공 수송성 재료와 전자 수송성 재료의 조합을 가지는 것이 바람직하다. 이러한 구성으로 함으로써, 들뜬 복합체로부터 발광 물질(인광 재료)로의 에너지 이동인 ExTET(Exciplex-Triplet Energy Transfer)를 사용한 발광을 효율적으로 얻을 수 있다. 발광 물질의 가장 낮은 에너지 측의 흡수대의 파장과 중첩되는 발광을 나타내는 들뜬 복합체를 형성하는 조합을 선택함으로써, 에너지 이동이 원활해져 발광을 효율적으로 얻을 수 있다. 이 구성에 의하여 발광 디바이스의 고효율, 저전압 구동, 및 장수명을 동시에 실현할 수 있다.

[0903] 정공 주입층은 양극으로부터 정공 수송층에 정공을 주입하는 층이고, 정공 주입성이 높은 재료를 포함한 층이다. 정공 주입성이 높은 재료로서는 방향족 아민 화합물, 및 정공 수송성 재료와 억셉터성 재료(전자 수용성 재료)를 포함한 복합 재료 등을 들 수 있다.

[0904] 정공 수송성 재료로서는 후술하는 정공 수송층에 사용할 수 있는 정공 수송성이 높은 재료를 사용할 수 있다.

[0905] 억셉터성 재료로서 예를 들어 원소 주기율표의 4족 내지 8족에 속하는 금속의 산화물을 사용할 수 있다. 구체적으로는 상기 금속의 산화물로서는 산화 몰리브데넘, 산화 바나듐, 산화 나이오븀, 산화 탄탈럼, 산화 크로뮴, 산화 텅스텐, 산화 망가니즈, 및 산화 레늄을 들 수 있다. 이 중에서도, 산화 몰리브데넘은 대기 중에서도 안정적이고 흡습성이 낮으며 취급하기 쉽기 때문에 특히 바람직하다. 또한 플루오린을 포함한 유기 억셉터성 재료를 사용할 수도 있다. 또한 퀴노다이메테인 유도체, 클로라닐 유도체, 및 헥사아자트라이페닐렌 유도체와 같은 유기 억셉터성 재료를 사용할 수도 있다.

[0906] 예를 들어 정공 주입성이 높은 재료로서, 정공 수송성 재료와 상술한 원소 주기율표의 4족 내지 8족에 속하는 금속의 산화물(대표적으로는 산화 몰리브데넘)을 포함한 재료를 사용하여도 좋다.

[0907] 정공 수송층은 정공 주입층에 의하여 양극으로부터 주입된 정공을 발광층으로 수송하는 층이다. 정공 수송층은 정공 수송성 재료를 포함한 층이다. 정공 수송성 재료로서는 정공 이동도가 $1\times10^{-6}cm^2/Vs$ 이상인 물질이 바람직하다. 또한 전자보다 정공의 수송성이 높은 물질이면, 이들 외의 물질을 사용할 수도 있다. 정공 수송성 재료로서는 π전자 과잉형 헤테로 방향족 화합물(예를 들어 카바졸 유도체, 싸이오펜 유도체, 및 퓨란 유도체), 방향족 아민(방향족 아민 골격을 가지는 화합물)과 같은 정공 수송성이 높은 재료가 바람직하다.

[0908] 전자 차단층은 발광층에 접하여 제공된다. 전자 차단층은 정공 수송성을 가지며 전자를 차단할 수 있는 재료를 포함한 층이다. 전자 차단층에는 상기 정공 수송성 재료 중 전자 차단성을 가지는 재료를 사용할 수 있다.

[0909] 전자 차단층은 정공 수송성을 가지므로 정공 수송층이라고 할 수도 있다. 또한 정공 수송층 중 전자 차단성을 가지는 층을 전자 차단층이라고 할 수도 있다.

[0910] 전자 수송층은 전자 주입층에 의하여 음극으로부터 주입된 전자를 발광층으로 수송하는 층이다. 전자 수송층은 전자 수송성 재료를 포함한 층이다. 전자 수송성 재료로서는 전자 이동도가 $1\times10^{-6}cm^2/Vs$ 이상인 물질이 바람직하다. 또한 정공보다 전자의 수송성이 높은 물질이면, 이들 외의 물질을 사용할 수도 있다. 전자 수송성 재료에는, 퀴놀린 골격을 가지는 금속 착체, 벤조퀴놀린 골격을 가지는 금속 착체, 옥사졸 골격을 가지는 금속 착체, 싸이아졸 골격을 가지는 금속 착체 등 외에, 옥사다이아졸 유도체, 트라이아졸 유도체, 이미다졸 유도체, 옥사졸 유도체, 싸이아졸 유도체, 페난트롤린 유도체, 퀴놀린 리간드를 가지는 퀴놀린 유도체, 벤조퀴놀린 유도체, 퀴녹살린 유도체, 다이벤조퀴녹살린 유도체, 피리딘 유도체, 바이피리딘 유도체, 피리미딘 유도체, 및 질소 함유 헤테로 방향족 화합물을 포함한 π전자 부족형 헤테로 방향족 화합물과 같은 전자 수송성이 높은 재료를 사용할 수 있다.

[0911] 정공 차단층은 발광층에 접하여 제공된다. 정공 차단층은 전자 수송성을 가지며 정공을 차단할 수 있는 재료를 포함한 층이다. 정공 차단층에는 상기 전자 수송성 재료 중 정공 차단성을 가지는 재료를 사용할 수 있다.

[0912] 정공 차단층은 전자 수송성을 가지므로 전자 수송층이라고 할 수도 있다. 또한 전자 수송층 중 정공 차단성을 가지는 층을 정공 차단층이라고 할 수도 있다.

[0913] 전자 주입층은 음극으로부터 전자 수송층에 전자를 주입하는 층이고, 전자 주입성이 높은 재료를 포함한 층이다. 전자 주입성이 높은 재료로서는 알칼리 금속, 알칼리 토금속, 또는 이들의 화합물을 사용할 수 있다. 전자 주입성이 높은 재료로서는 전자 수송성 재료와 도너성 재료(전자 공여성 재료)를 포함한 복합 재료를 사용할 수도 있다.

[0914] 또한 전자 주입성이 높은 재료의 최저 비점유 분자 궤도(LUMO: Lowest Unoccupied Molecular Orbital) 준위는 음극에 사용하는 재료의 일함수의 값과의 차이가 작은(구체적으로는 0.5eV 이하) 것이 바람직하다.

[0915] 전자 주입층에는 예를 들어 리튬, 세슘, 이터븀, 플루오린화 리튬(LiF), 플루오린화 세슘(CsF), 플루오린화 칼슘(CaF_x, X는 임의의 수임), 8-(퀴놀리놀레이토)리튬(약칭: Liq), 2-(2-피리딜)페놀레이토리튬(약칭: LiPP), 2-(2-피리딜)-3-피리디놀레이토리튬(약칭: LiPPy), 4-페닐-2-(2-피리딜)페놀레이토리튬(약칭: LiPPP), 리튬 산화물(LiO_x), 탄산 세슘과 같은 알칼리 금속, 알칼리 토금속, 또는 이들의 화합물을 사용할 수 있다. 또한 전자 주입층은 2층 이상의 적층 구조를 가져도 좋다. 상기 적층 구조로서는, 예를 들어 첫 번째 층에 플루오린화 리튬을 사용하고, 두 번째 층에 이터븀을 사용하는 구성이 있다.

[0916] 전자 주입층은 전자 수송성 재료를 포함하여도 좋다. 예를 들어 비공유 전자쌍을 가지고, 전자 부족형 헤테로 방향족 고리를 가지는 화합물을 전자 수송성 재료에 사용할 수 있다. 구체적으로는 피리딘 고리, 다이아진 고리(피리미딘 고리, 피라진 고리, 피리다진 고리), 및 트라이아진 고리 중에서 선택된 하나 이상을 포함하는 화합물을 사용할 수 있다.

[0917] 또한 비공유 전자쌍을 가지는 유기 화합물의 LUMO 준위는 -3.6eV 이상 -2.3eV 이하인 것이 바람직하다. 또한 일반적으로 CV(사이클릭 볼타메트리), 광전자 분광법, 광 흡수 분광법, 역광전자 분광법 등에 의하여 유기 화합물의 최고 점유 분자 궤도(HOMO: Highest Occupied Molecular Orbital) 준위 및 LUMO 준위를 추산할 수 있다.

[0918] 예를 들어 4,7-다이페닐-1,10-페난트롤린(약칭: BPhen), 2,9-다이(나프탈렌-2-일)-4,7-다이페닐-1,10-페난트롤린(약칭: NBPhen), 다이퀴녹살리노[2,3-a:2',3'-c]페나진(약칭: HATNA), 또는 2,4,6-트리스[3'-(피리딘-3-일)바이페닐-3-일]-1,3,5-트라이아진(약칭: TmPPPyTz)을, 비공유 전자쌍을 가지는 유기 화합물에 사용할 수 있다.

또한 NBPhen은 BPhen에 비하여 높은 유리 전이 온도(Tg)를 가지므로 내열성이 우수하다.

[0919] 전하 발생층은 상술한 바와 같이 적어도 전하 발생 영역을 포함한다. 전하 발생 영역은 억셉터성 재료를 포함하는 것이 바람직하고, 예를 들어 상술한 정공 주입층에 적용할 수 있는 정공 수송성 재료와 억셉터성 재료를 포함하는 것이 바람직하다.

[0920] 또한 전하 발생층은 전자 주입성이 높은 재료를 포함한 층을 포함하는 것이 바람직하다. 상기 층은 전자 주입 버퍼층이라고 부를 수도 있다. 전자 주입 버퍼층은 전하 발생 영역과 전자 수송층 사이에 제공되는 것이 바람직하다. 전자 주입 버퍼층을 제공함으로써, 전하 발생 영역과 전자 수송층 사이의 주입 장벽을 완화할 수 있기 때문에, 전하 발생 영역에서 발생한 전자를 전자 수송층에 용이하게 주입할 수 있다.

[0921] 전자 주입 버퍼층은 알칼리 금속 또는 알칼리 토금속을 포함하는 것이 바람직하고, 예를 들어 알칼리 금속의 화합물 또는 알칼리 토금속의 화합물을 포함할 수 있다. 구체적으로는, 전자 주입 버퍼층은 알칼리 금속과 산소를 포함한 무기 화합물 또는 알칼리 토금속과 산소를 포함한 무기 화합물을 포함하는 것이 바람직하고, 리튬과 산소를 포함한 무기 화합물(예를 들어 산화 리튬(Li_2O))을 포함하는 것이 더 바람직하다. 이 외에, 전자 주입 버퍼층에는 상술한 전자 주입층에 적용할 수 있는 재료를 적합하게 사용할 수 있다.

[0922] 전하 발생층은 전자 수송성이 높은 재료를 포함한 층을 포함하는 것이 바람직하다. 상기 층은 전자 릴레이층이라고 부를 수도 있다. 전자 릴레이층은 전하 발생 영역과 전자 주입 버퍼층 사이에 제공되는 것이 바람직하다. 전하 발생층이 전자 주입 버퍼층을 포함하지 않는 경우, 전자 릴레이층은 전하 발생 영역과 전자 수송층 사이에 제공되는 것이 바람직하다. 전자 릴레이층은 전하 발생 영역과 전자 주입 버퍼층(또는 전자 수송층)의 상호 작용을 방지하고, 전자를 원활하게 수송하는 기능을 가진다.

[0923] 전자 릴레이층으로서는 구리(II) 프탈로사이아닌(약칭: CuPc)과 같은 프탈로사이아닌계 재료, 또는 금속-산소 결합과 방향족 리간드를 포함한 금속 착체를 사용하는 것이 바람직하다.

[0924] 또한 상술한 전하 발생 영역, 전자 주입 버퍼층, 및 전자 릴레이층은 단면 형상 또는 특성 등에 따라 명확하게 구별할 수 없는 경우가 있다.

[0925] 또한 전하 발생층은 억셉터성 재료 대신에 도너성 재료를 포함하여도 좋다. 예를 들어 전하 발생층은 상술한 전자 주입층에 적용할 수 있는, 전자 수송성 재료와 도너성 재료를 포함한 층을 포함하여도 좋다.

[0926] 발광 유닛을 적층할 때, 2개의 발광 유닛 사이에 전하 발생층을 제공함으로써 구동 전압의 상승을 억제할 수 있다.

[0927] <화소 회로의 구성예>

[0928] 여기서, 표시 영역(DIS)에 포함될 수 있는 화소 회로의 구성예에 대하여 설명한다.

[0929] 도 48의 (A) 및 (B)는 표시 영역(DIS)에 포함될 수 있는 화소 회로의 구성예 및 화소 회로에 접속되는 발광 디바이스(130)를 나타낸 것이다. 또한 도 48의 (A)는 표시 영역(DIS)에 포함되는 화소 회로(400)의 각 회로 소자의 접속을 나타낸 도면이고, 도 48의 (B)는 구동 회로(30)를 포함하는 회로 영역(SIC), 화소 회로에 포함되는 복수의 트랜지스터를 포함하는 층(OSL), 발광 디바이스(130)를 포함하는 층(EML)의 상하의 위치 관계를 모식적으로 나타낸 도면이다. 또한 도 48의 (B)에 나타낸 표시 장치(DSP2)의 표시 영역(DIS)은 일례로서 층(OSL) 및 층(EML)을 포함한다. 또한 도 48의 (B)에 나타낸 층(OSL)에 포함되는 트랜지스터(500p1), 트랜지스터(500p2), 및 트랜지스터(500p3)는 예를 들어 도 35 내지 도 37 및 도 40에서의 트랜지스터(500p) 및 도 39에서의 트랜지스터(500Ap)에 상당한다. 또한 도 48의 (B)에 나타낸 층(EML)에 포함되는 발광 디바이스(130)는 예를 들어 도 35, 도 36, 도 39, 및 도 40에서의 발광 디바이스(130R), 발광 디바이스(130G), 또는 발광 디바이스(130B)에 상당한다.

[0930] 도 48의 (A) 및 (B)에 일례로서 나타낸 화소 회로(400)는 트랜지스터(500p1), 트랜지스터(500p2), 트랜지스터(500p3), 및 용량 소자(600)를 포함한다. 트랜지스터(500p1), 트랜지스터(500p2), 및 트랜지스터(500p3)는 일례로서 상술한 트랜지스터(500) 또는 트랜지스터(500A)에 적용할 수 있는 트랜지스터로 할 수 있다. 즉 트랜지스터(500p1), 트랜지스터(500p2), 및 트랜지스터(500p3)는 OS 트랜지스터로 할 수 있다. 또는 트랜지스터(500p1), 트랜지스터(500p2), 및 트랜지스터(500p3)는 일례로서 Si 트랜지스터로 할 수 있다. 특히 트랜지스터(500p1), 트랜지스터(500p2), 및 트랜지스터(500p3)를 OS 트랜지스터로 한 경우, 트랜지스터(500p1), 트랜지스터(500p2), 및 트랜지스터(500p3) 각각은 백 게이트 전극을 포함하는 것이 바람직하고, 이 경우 백 게이트 전극

에 게이트 전극과 같은 신호를 공급하는 구성, 백 게이트 전극에 게이트 전극과는 다른 신호를 공급하는 구성으로 할 수 있다. 또한 도 48의 (A) 및 (B)에서는 트랜지스터(500p1), 트랜지스터(500p2), 및 트랜지스터(500p3)는 백 게이트 전극을 포함하지만, 트랜지스터(500p1), 트랜지스터(500p2), 및 트랜지스터(500p3)는 백 게이트 전극을 포함하지 않아도 된다.

[0931] 또한 트랜지스터(500p1) 내지 트랜지스터(500p3) 중에서 선택된 하나 이상을 OS 트랜지스터로 하고, 나머지를 Si 트랜지스터로 하여도 좋다. 특히 본 명세서 등에서는 OS 트랜지스터와 Si 트랜지스터를 포함하는 회로를 LTPO라고 부르는 경우가 있다.

[0932] 트랜지스터(500p2)는 트랜지스터(500p1)에 전기적으로 접속되는 게이트 전극, 발광 디바이스(130)에 전기적으로 접속되는 제 1 전극, 및 배선(ANO)에 전기적으로 접속되는 제 2 전극을 포함한다. 배선(ANO)은 발광 디바이스(130)에 전류를 공급하기 위한 전위를 공급하는 배선이다.

[0933] 트랜지스터(500p1)는 트랜지스터(500p2)의 게이트 전극에 전기적으로 접속되는 제 1 단자, 소스선으로서 기능하는 배선(SL)에 전기적으로 접속되는 제 2 단자, 게이트선으로서 기능하는 배선(G1)의 전위에 따라 온 상태와 오프 상태의 전환을 제어하는 기능을 가지는 게이트 전극을 포함한다.

[0934] 트랜지스터(500p3)는 배선(V0)에 전기적으로 접속되는 제 1 단자, 발광 디바이스(130)에 전기적으로 접속되는 제 2 단자와, 게이트선으로서 기능하는 배선(G2)의 전위에 따라 온 상태와 오프 상태의 전환을 제어하는 기능을 가지는 게이트 전극을 포함한다. 배선(V0)은 기준 전위를 공급하는 배선 및 화소 회로(400)에 흐르는 전류를 구동 회로(30)에 출력하기 위한 배선이다.

[0935] 용량 소자(600)는 트랜지스터(500p2)의 게이트 전극에 전기적으로 접속되는 도전막과, 트랜지스터(500p3)의 제 2 전극에 전기적으로 접속되는 도전막을 포함한다.

[0936] 발광 디바이스(130)는 트랜지스터(500p2)의 제 1 전극에 전기적으로 접속되는 제 1 전극과, 배선(VCOM)에 전기적으로 접속되는 제 2 전극을 포함한다. 배선(VCOM)은 발광 디바이스(130)에 전류를 공급하기 위한 전위를 공급하는 배선이다.

[0937] 이에 의하여, 트랜지스터(500p2)의 게이트 전극에 공급되는 화상 신호에 따라 발광 디바이스(130)로부터 사출되는 광의 강도를 제어할 수 있다. 또한 트랜지스터(500p3)를 통하여 공급되는 배선(V0)의 기준 전위에 의하여 트랜지스터(500p2)의 게이트-소스 간 전압의 편차를 억제할 수 있다.

[0938] 또한 화소 파라미터의 설정에 사용할 수 있는 전류값을 배선(V0)으로부터 출력할 수 있다. 더 구체적으로는, 배선(V0)은 트랜지스터(500p2)에 흐르는 전류 또는 발광 디바이스(130)에 흐르는 전류를 외부에 출력하기 위한 모니터선으로서 기능시킬 수 있다. 배선(V0)에 출력된 전류는 예를 들어 소스 폴로어 회로에 의하여 전압으로 변환되고 외부에 출력된다. 또는 예를 들어 A-D 컨버터 등에 의하여 디지털 신호로 변환되고, 앞의 실시형태에서 설명한 기능 회로 영역(MFNC)에 포함되는 AI 액셀러레이터에 출력될 수 있다.

[0939] 또한 도 48의 (B)에 일례로서 나타낸 구성에서는, 화소 회로(400)와 구동 회로(30)를 전기적으로 접속하는 배선을 짧게 할 수 있기 때문에 상기 배선의 배선 저항을 감소시킬 수 있다. 따라서 데이터의 기록을 고속으로 수행할 수 있어 표시 장치(DSP2)를 고속으로 구동시킬 수 있다. 이에 의하여, 표시 장치(DSP2)에 포함되는 화소 회로(400)의 개수가 많아도 충분한 프레임 기간을 확보할 수 있기 때문에 표시 장치(DSP2)의 화소 밀도를 높일 수 있다. 또한 표시 장치(DSP2)의 화소 밀도를 높임으로써, 표시 장치(DSP2)에 의하여 표시되는 화상의 정세도를 높일 수 있다. 예를 들어 표시 장치(DSP2)의 화소 밀도를 500ppi 이상, 바람직하게는 1000ppi 이상, 더 바람직하게는 3000ppi 이상, 더 바람직하게는 5000ppi 이상, 더 바람직하게는 6000ppi 이상으로 할 수 있다. 따라서 표시 장치(DSP2)는 예를 들어 AR용 표시 장치 또는 VR용 표시 장치로 할 수 있고, 헤드 마운트 디스플레이 등 표시부와 사용자 간의 거리가 가까운 전자 기기에 적합하게 적용할 수 있다.

[0940] <화소의 레이아웃>

[0941] 여기서는 화소 레이아웃에 대하여 설명한다. 부화소의 배열은 특별히 한정되지 않고, 다양한 방법을 적용할 수 있다. 부화소의 배열로서는 예를 들어 스트라이프 배열, S 스트라이프 배열, 매트릭스 배열, 델타 배열, 베이어 배열, 및 펜타일 배열이 있다.

[0942] 또한 부화소의 상면 형상으로서는 예를 들어 삼각형, 사각형(직사각형, 정사각형을 포함함), 오각형 등의 다각형, 이들 다각형의 모서리가 둥근 형상, 타원형, 또는 원형이 있다. 여기서 부화소의 상면 형상은 발광 디바이

스의 발광 영역의 상면 형상에 상당한다.

[0943] 도 49의 (A)에 나타낸 화소(80)에는 스트라이프 배열이 적용되어 있다. 도 49의 (A)에 나타낸 화소(80)는 부화소(80a), 부화소(80b), 및 부화소(80c)의 3개의 부화소로 구성된다. 예를 들어 도 50의 (A)에 나타낸 바와 같이, 부화소(80a)를 적색의 부화소(R)로 하고, 부화소(80b)를 녹색의 부화소(G)로 하고, 부화소(80c)를 청색의 부화소(B)로 하여도 좋다.

[0944] 도 49의 (B)에 나타낸 화소(80)에는 S 스트라이프 배열이 적용되어 있다. 도 49의 (B)에 나타낸 화소(80)는 부화소(80a), 부화소(80b), 및 부화소(80c)의 3개의 부화소로 구성된다. 예를 들어 도 50의 (B)에 나타낸 바와 같이, 부화소(80a)를 청색의 부화소(B)로 하고, 부화소(80b)를 적색의 부화소(R)로 하고, 부화소(80c)를 녹색의 부화소(G)로 하여도 좋다.

[0945] 도 49의 (C)는 각 색의 부화소가 지그재그로 배치되는 예를 나타낸 것이다. 구체적으로는, 평면에서 보았을 때, 열 방향으로 배열되는 2개의 부화소(예를 들어 부화소(80a)와 부화소(80b), 또는 부화소(80b)와 부화소(80c))의 상변의 위치가 어긋난다. 예를 들어 도 50의 (C)에 나타낸 바와 같이, 부화소(80a)를 적색의 부화소(R)로 하고, 부화소(80b)를 녹색의 부화소(G)로 하고, 부화소(80c)를 청색의 부화소(B)로 하여도 좋다.

[0946] 도 49의 (D)에 나타낸 화소(80)는 모서리가 둥근 대략 사다리꼴형의 상면 형상을 가지는 부화소(80a)와, 모서리가 둥근 대략 삼각형의 상면 형상을 가지는 부화소(80b)와, 모서리가 둥근 대략 사각형 또는 대략 육각형의 상면 형상을 가지는 부화소(80c)를 포함한다. 또한 부화소(80a)는 부화소(80b)보다 발광 면적이 넓다. 이와 같이, 각 부화소의 형상 및 크기는 각각 독립적으로 결정할 수 있다. 예를 들어 신뢰성이 높은 발광 디바이스를 포함하는 부화소일수록 크기를 작게 할 수 있다. 예를 들어 도 50의 (D)에 나타낸 바와 같이, 부화소(80a)를 녹색의 부화소(G)로 하고, 부화소(80b)를 적색의 부화소(R)로 하고, 부화소(80c)를 청색의 부화소(B)로 하여도 좋다.

[0947] 도 49의 (E)에 나타낸 화소(70A) 및 화소(70B)에는 펜타일 배열이 적용되어 있다. 도 49의 (E)에서는 부화소(80a) 및 부화소(80b)를 포함하는 화소(70A)와, 부화소(80b) 및 부화소(80c)를 포함하는 화소(70B)가 번갈아 배치되는 예를 나타내었다. 예를 들어 도 50의 (E)에 나타낸 바와 같이, 부화소(80a)를 적색의 부화소(R)로 하고, 부화소(80b)를 녹색의 부화소(G)로 하고, 부화소(80c)를 청색의 부화소(B)로 하여도 좋다.

[0948] 도 49의 (F) 및 (G)에 나타낸 화소(70A) 및 화소(70B)에는 델타 배열이 적용되어 있다. 화소(70A)는 위쪽 행(첫 번째 행)에 2개의 부화소(부화소(80a) 및 부화소(80b))를 포함하고, 아래쪽 행(두 번째 행)에 하나의 부화소(부화소(80c))를 포함한다. 화소(70B)는 위쪽 행(첫 번째 행)에 하나의 부화소(부화소(80c))를 포함하고, 아래쪽 행(두 번째 행)에 2개의 부화소(부화소(80a) 및 부화소(80b))를 포함한다. 예를 들어 도 50의 (F)에 나타낸 바와 같이, 부화소(80a)를 적색의 부화소(R)로 하고, 부화소(80b)를 녹색의 부화소(G)로 하고, 부화소(80c)를 청색의 부화소(B)로 하여도 좋다.

[0949] 도 49의 (F)에는 각 부화소가 모서리가 둥근 대략 사각형의 상면 형상을 가지는 예를 나타내었고, 도 49의 (G)에는 각 부화소가 원형의 상면 형상을 가지는 예를 나타내었다.

[0950] 포토리소그래피법에서는 가공하는 패턴이 미세화될수록 광 회절의 영향을 무시할 수 없게 되기 때문에, 노광에 의하여 포토마스크의 패턴을 전사할 때 충실(忠實)성이 낮아져 레지스트 마스크를 원하는 형상으로 가공하기 어려워진다. 그러므로 포토마스크의 패턴이 직사각형이어도 모서리가 둥근 패턴이 형성되기 쉽다. 따라서 부화소의 상면 형상이 다각형의 모서리가 둥근 형상, 타원형, 또는 원형 등이 되는 경우가 있다.

[0951] 또한 본 발명의 일 형태의 표시 장치의 제작 방법에서는, 레지스트 마스크를 사용하여 EL층을 섬 형상으로 가공한다. EL층 위에 형성한 레지스트막은 EL층의 내열 온도보다 낮은 온도에서 경화시킬 필요가 있다. 그러므로 EL층의 재료의 내열 온도 및 레지스트 재료의 경화 온도에 따라서는 레지스트막의 경화가 불충분해질 경우가 있다. 경화가 불충분한 레지스트막은 가공 시에 원하는 형상과 다른 형상이 될 경우가 있다. 그 결과, EL층의 상면 형상이 모서리가 둥근 다각형, 타원형, 또는 원형 등이 될 경우가 있다. 예를 들어 상면 형상이 정사각형인 레지스트 마스크를 형성하는 경우에, 상면 형상이 원형인 레지스트 마스크가 형성되어 EL층의 상면 형상이 원형이 될 경우가 있다.

[0952] 또한 EL층의 상면 형상을 원하는 형상으로 하기 위하여 설계 패턴과 전사 패턴이 일치하도록 마스크 패턴을 미리 보정하는 기술(OPC(Optical Proximity Correction: 광 근접 효과 보정) 기술)을 사용하여도 좋다. 구체적으로, OPC 기술에서는 마스크 패턴상의 도형의 모서리 부분 등에 보정용 패턴을 추가한다.

[0953] 도 51의 (A) 내지 (C)에 나타낸 화소(80)에는 스트라이프 배열이 적용되어 있다.

[0954] 도 51의 (A)는 각 부화소의 상면 형상이 직사각형인 예를 나타낸 것이고, 도 51의 (B)는 각 부화소의 상면 형상이 2개의 반원형과 직사각형을 연결한 것인 예를 나타낸 것이고, 도 51의 (C)는 각 부화소의 상면 형상이 타원형인 예를 나타낸 것이다.

[0955] 도 51의 (D) 내지 (F)에 나타낸 화소(80)에는 매트릭스 배열이 적용되어 있다.

[0956] 도 51의 (D)는 각 부화소의 상면 형상이 정사각형인 예를 나타낸 것이고, 도 51의 (E)는 각 부화소의 상면 형상이 모서리가 둥근 대략 정사각형인 예를 나타낸 것이고, 도 51의 (F)는 각 부화소의 상면 형상이 원형인 예를 나타낸 것이다.

[0957] 도 51의 (A) 내지 (F)에 나타낸 화소(80)는 부화소(80a), 부화소(80b), 부화소(80c), 및 부화소(80d)의 4개의 부화소로 구성된다. 부화소(80a), 부화소(80b), 부화소(80c), 및 부화소(80d)는 상이한 색의 광을 방출한다. 예를 들어 부화소(80a), 부화소(80b), 부화소(80c), 및 부화소(80d)는 각각 적색, 녹색, 청색, 및 백색의 부화소로 할 수 있다. 예를 들어 도 52의 (A) 및 (B)에 나타낸 바와 같이, 부화소(80a), 부화소(80b), 부화소(80c), 및 부화소(80d)는 각각 적색, 녹색, 청색, 및 백색의 부화소로 할 수 있다. 또는 부화소(80a), 부화소(80b), 부화소(80c), 및 부화소(80d)는 각각 적색, 녹색, 청색, 및 적외 발광의 부화소로 할 수 있다.

[0958] 부화소(80d)는 발광 디바이스를 포함한다. 상기 발광 디바이스는 예를 들어 화소 전극, EL층, 및 공통 전극을 포함한다. 또한 상기 화소 전극에는 도전체(112a) 내지 도전체(112c), 또는 도전체(126a) 내지 도전체(126c)와 같은 재료를 사용하면 좋다. 또한 상기 EL층에는 예를 들어 제 1 층(113a), 제 2 층(113b), 또는 제 3 층(113c)과 같은 재료를 사용하면 좋다.

[0959] 도 51의 (G)에는 하나의 화소(80)가 2행 3열로 구성되는 예를 나타내었다. 화소(80)는 위쪽 행(첫 번째 행)에 3개의 부화소(부화소(80a), 부화소(80b), 및 부화소(80c))를 포함하고, 아래쪽 행(두 번째 행)에 3개의 부화소(80d)를 포함한다. 바꿔 말하면 화소(80)는 왼쪽 열(첫 번째 열)에 부화소(80a) 및 부화소(80d)를 포함하고, 중앙의 열(두 번째 열)에 부화소(80b) 및 부화소(80d)를 포함하고, 오른쪽 열(세 번째 열)에 부화소(80c) 및 부화소(80d)를 포함한다. 도 51의 (G)에 나타낸 바와 같이 위쪽 행과 아래쪽 행의 부화소의 배치를 정렬시키는 구성으로 함으로써, 제조 공정에서 발생할 수 있는 먼지 등을 효율적으로 제거할 수 있다. 따라서 표시 품질이 높은 표시 장치를 제공할 수 있다.

[0960] 도 51의 (H)에서는 하나의 화소(80)가 2행 3열로 구성되는 예를 나타내었다. 화소(80)는 위쪽 행(첫 번째 행)에 3개의 부화소(부화소(80a), 부화소(80b), 및 부화소(80c))를 포함하고, 아래쪽 행(두 번째 행)에 하나의 부화소(부화소(80d))를 포함한다. 바꿔 말하면, 화소(80)는 왼쪽 열(첫 번째 열)에 부화소(80a)를 포함하고, 중앙의 열(두 번째 열)에 부화소(80b)를 포함하고, 오른쪽 열(세 번째 열)에 부화소(80c)를 포함하고, 이 3열에 걸쳐 부화소(80d)를 포함한다.

[0961] 또한 도 51의 (G) 및 (H)에 나타낸 화소(80)에서는, 예를 들어 도 52의 (C) 및 (D)에 나타낸 바와 같이, 부화소(80a)를 적색의 부화소(R)로 하고, 부화소(80b)를 녹색의 부화소(G)로 하고, 부화소(80c)를 청색의 부화소(B)로 하고, 부화소(80d)를 백색의 부화소(W)로 할 수 있다.

[0962] 다음으로 도 43의 표시 장치(DSP2F)에 적용할 수 있는 화소 레이아웃의 일례에 대하여 설명한다. 즉, 표시 장치(DSP2F)의 화소 레이아웃은 도 43에 나타낸 표시 장치(DSP2F)의 LED 칩(180)을 평면에서 본 것으로 간주할 수 있다.

[0963] 도 53의 (A)에 나타낸 화소(80)는 각 부화소가 직사각형의 상면 형상을 가지고, 각 부화소의 긴 변이 인접하도록 배치되는 예를 나타낸 것이다. 또한 각 부화소는 서로 접하도록 배치되어도 좋고, 서로 접하지 않도록 배치되어도 좋다.

[0964] 도 53의 (A)에 나타낸 화소(80)는 부화소(80a), 부화소(80b), 및 부화소(80c)의 3개의 부화소로 구성된다. 일례로서 부화소(80a), 부화소(80b), 및 부화소(80c) 각각은 상이한 색의 광을 방출한다. 예를 들어 여기서 상이한 색을 적색(R), 녹색(G), 및 청색(B)으로 할 수 있다. 따라서 도 53의 (B)에 나타낸 바와 같이 부화소(80a), 부화소(80b), 및 부화소(80c)는 각각 적색(R), 녹색(G), 및 청색(B)의 부화소로 할 수 있다.

[0965] 또한 도 53의 (B)에서 부화소(80a), 부화소(80b), 및 부화소(80c) 각각이 방출하는 광의 색은 적색(R), 녹색(G), 및 청색(B) 이외에는 시안(C), 마젠타(M), 황색(Y), 및 백색(W)으로 할 수 있다.

[0966] 또한 도 53의 (A)에 나타낸 화소(80)의 부화소의 개수는 3개로 하였지만, 도 53의 (A)에 나타낸 화소(80)의 부화소의 개수는 하나로 하여도 좋고, 2개로 하여도 좋고, 4개 이상으로 하여도 좋다. 예를 들어 도 53의 (C)에 나타낸 바와 같이 화소(80)는 부화소(80a), 부화소(80b), 부화소(80c), 및 부화소(80d)의 4개의 부화소로 구성된다. 도 53의 (C)의 화소(80)는 도 53의 (A)의 화소(80)와 마찬가지로 부화소(80a), 부화소(80b), 및 부화소(80c) 각각이 상이한 색의 광을 방출하는 구성으로 할 수 있다. 예를 들어 여기서 상이한 색을 적색(R), 녹색(G), 청색(B), 및 백색(W)으로 할 수 있다. 따라서 도 53의 (D)에 나타낸 바와 같이 부화소(80a), 부화소(80b), 부화소(80c), 및 부화소(80d)는 각각 적색(R), 녹색(G), 청색(B), 및 백색(W)의 부화소로 할 수 있다.

[0967] 또한 도 53의 (D)에서 부화소(80a), 부화소(80b), 부화소(80c), 및 부화소(80d) 각각이 방출하는 광의 색은 적색(R), 녹색(G), 청색(B), 및 백색(W) 이외에는 시안(C), 마젠타(M), 및 황색(Y)으로 할 수 있다.

[0968] 또한 도 53의 (A) 및 (C)의 화소(80)에서는 각 부화소의 긴 변이 인접하도록 배치되는 예를 나타내었지만, 화소(80)는 각 부화소의 짧은 변이 인접하도록 배치되어도 좋다.

[0969] 도 53의 (E)는 각 화소가 정사각형의 상면 형상을 가지고, 전극이 형성되는 예를 나타낸 것이다.

[0970] 도 53의 (E)에 나타낸 화소(80)는 부화소(80a), 부화소(80b), 및 부화소(80c)의 3개의 부화소와, 전극으로서 기능하는 도전체(81)로 구성된다.

[0971] 일례로서 부화소(80a), 부화소(80b), 및 부화소(80c) 각각은 상이한 색의 광을 방출한다. 예를 들어 여기서 상이한 색을 적색(R), 녹색(G), 및 청색(B)으로 할 수 있다. 따라서 도 53의 (F)에 나타낸 바와 같이 부화소(80a), 부화소(80b), 및 부화소(80c)는 각각 적색(R), 녹색(G), 및 청색(B)의 부화소로 할 수 있다.

[0972] 또한 도 53의 (F)에서 부화소(80a), 부화소(80b), 및 부화소(80c) 각각이 방출하는 광의 색은 적색(R), 녹색(G), 및 청색(B) 이외에는 시안(C), 마젠타(M), 황색(Y), 및 백색(W)으로 할 수 있다.

[0973] 또한 도전체(81)는 예를 들어 부화소(80a), 부화소(80b), 및 부화소(80c)에 포함되는 발광 다이오드의 공통 전극으로서의 기능을 가진다. 특히, 상기 공통 전극은 부화소(80a), 부화소(80b), 및 부화소(80c) 각각에 포함되는 발광 다이오드의 캐소드 전극으로서 기능하는 것이 바람직하다.

[0974] 도전체(81)는 예를 들어 도 44의 (A)의 LED 패키지(170)의 전극(172) 또는 전극(173)에 상당한다. 그러므로 도전체(81)에 적용할 수 있는 재료로서는 예를 들어 전극(172) 또는 전극(173)에 적용할 수 있는 재료를 사용할 수 있다.

[0975] 또한 도전체(81)는 도 53의 (G)에 나타낸 바와 같이 부화소(80a), 부화소(80b), 및 부화소(80c) 각각이 도전체(81)의 위쪽에 위치하도록 제공되어도 좋다. 즉 도전체(81) 위에 부화소(80a), 부화소(80b), 및 부화소(80c)가 제공되어 있다. 도 53의 (G)의 화소(80)의 도전체(81)는 도 44의 (B)의 LED 패키지(170A1)의 전극(172)에 상당한다.

[0976] 또한 도 53의 (G)의 화소(80)에는 도 44의 (B)의 LED 패키지(170A1)의 전극(173)에 상당하는 도전체를 도시하지 않았지만, 도 53의 (G)의 화소(80)는 전극(173)에 상당하는 도전체를 포함하여도 좋다.

[0977] 또한 도 53의 (E)에 나타낸 화소(80)의 전극은 하나로 하였지만, 도 53의 (E)에 나타낸 화소(80)의 전극의 개수는 2개 이상으로 하여도 좋다. 예를 들어 화소(80)에서는 부화소의 개수에 따라 전극의 개수를 정하여도 좋다. 일례로서, 도 53의 (E)의 화소(80)에서 3개의 부화소 각각에 애노드 전극 및 캐소드 전극을 제공하는 경우, 화소(80)에 제공되는 전극의 개수는 6개로 할 수 있다. 또한 일례로서, 도 53의 (E)의 화소(80)에서 3개의 부화소 각각에 애노드 전극과 캐소드 전극이 되는 공통 전극을 제공하는 경우, 화소(80)에 제공되는 전극의 개수는 4개로 할 수 있다.

[0978] 또한 도 53의 (E)의 화소(80)는 도전체(81)가 정사각형의 상면 형상을 가지지만, 도전체(81)의 상면 형상은 모서리가 둥근 대략 사다리꼴형, 모서리가 둥근 대략 정사각형, 모서리가 둥근 대략 육각형, 반원과 직사각형을 연결한 형상, 원형, 또는 타원형 등 다양한 형상으로 하여도 좋다.

[0979] 또한 도 49의 (A) 내지 (G), 도 51의 (A) 내지 (H), 도 53의 (A) 및 (C) 각각에 나타낸 화소(80)에 포함되는 복수의 부화소 중 하나를 도전체(81)로 치환하여도 좋다.

[0980] 또한 본 명세서 등에 개시된 절연체, 도전체, 및 반도체는 PVD(Physical Vapor Deposition)법 또는 CVD법으로 형성할 수 있다. PVD법으로서는 예를 들어 스퍼터링법, 저항 가열 증착법, 전자 빔 증착법, MBE(Molecular Beam Epitxy)법, 또는 PLD법이 있다. 또한 CVD법으로서는 플라스마 CVD법 및 열 CVD법을 들 수 있다. 특히 열

CVD법으로서는 예를 들어 MOCVD(Metal Organic Chemical Vapor Deposition)법 및 ALD법이 있다.

[0981] 열 CVD법은 플라스마를 사용하지 않는 성막 방법이기 때문에 플라스마 대미지로 인하여 결함이 생성되는 일이 없다는 이점을 가진다.

[0982] 열 CVD법은 원료 가스와 산화제를 동시에 체임버 내에 공급하고, 체임버 내를 대기압 또는 감압하로 하고, 기판 근방 또는 기판 위에서 반응시켜 기판 위에 퇴적시킴으로써 성막을 수행하여도 좋다.

[0983] 또한 ALD법에서는 체임버 내를 대기압 또는 감압하로 하고, 반응을 위한 원료 가스를 체임버에 순차적으로 도입하고, 그 가스 도입의 절차를 반복함으로써 성막을 수행하여도 좋다. 예를 들어 각 스위칭 밸브(고속 밸브라고도 부름)를 전환하여 2종류 이상의 원료 가스를 순차적으로 체임버에 공급하고, 복수 종류의 원료 가스가 섞이지 않도록, 제 1 원료 가스를 도입함과 동시에 또는 제 1 원료 가스를 도입한 후에 불활성 가스(예를 들어 아르곤 또는 질소) 등을 도입하고, 제 2 원료 가스를 도입한다. 또한 불활성 가스를 동시에 도입하는 경우에는, 불활성 가스는 캐리어 가스가 되고, 제 2 원료 가스를 도입할 때에도 불활성 가스를 동시에 도입하여도 좋다. 또한 불활성 가스를 도입하는 대신에, 진공 배기에 의하여 제 1 원료 가스를 배출한 후, 제 2 원료 가스를 도입하여도 좋다. 제 1 원료 가스가 기판의 표면에 흡착됨으로써 제 1 얇은 층이 성막되고, 나중에 도입되는 제 2 원료 가스와 제 1 얇은 층이 반응함으로써 제 1 얇은 층 위에 제 2 얇은 층이 적층되어 박막이 형성된다. 이 가스 도입의 절차를 제어하면서 원하는 두께가 될 때까지 여러 번 반복함으로써, 단차 피복성이 우수한 박막을 형성할 수 있다. 박막의 두께는 가스 도입의 절차를 반복하는 횟수에 의하여 조절할 수 있기 때문에, 막 두께를 정밀하게 조절할 수 있어, 미세한 FET를 제작하는 경우에 적합하다.

[0984] MOCVD법 및 ALD법과 같은 열 CVD법은 앞에서 기재한 실시형태에 개시된 금속막, 반도체막, 및 무기 절연막 등의 다양한 막을 형성할 수 있으며, 예를 들어 In-Ga-Zn-O막을 성막하는 경우에는 트라이메틸인듐($In(CH_3)_3$), 트라이메틸갈륨($Ga(CH_3)_3$), 및 다이메틸아연($Zn(CH_3)_2$)을 사용한다. 또한 이들 조합에 한정되지 않고, 트라이메틸갈륨 대신에 트라이에틸갈륨($Ga(C_2H_5)_3$)을 사용할 수도 있고, 다이메틸아연 대신에 다이에틸아연($Zn(C_2H_5)_2$)을 사용할 수도 있다.

[0985] 예를 들어 ALD법을 이용하는 성막 장치에 의하여 산화 하프늄막을 형성하는 경우에는, 용매와 하프늄 전구체 화합물을 포함하는 액체(예를 들어 하프늄알콕사이드, 테트라키스다이메틸아마이드하프늄(TDMAH, $Hf[N(CH_3)_2]_4$) 등의 하프늄아마이드)를 기화시킨 원료 가스와, 산화제로서 오존(O_3)의 2종류의 가스를 사용한다. 또한 다른 재료로서는 테트라키스(에틸메틸아마이드)하프늄을 들 수 있다.

[0986] 예를 들어 ALD법을 이용하는 성막 장치에 의하여 산화 알루미늄막을 형성하는 경우에는, 용매와 알루미늄 전구체 화합물을 포함하는 액체(예를 들어 트라이메틸알루미늄(TMA, $Al(CH_3)_3$))를 기화시킨 원료 가스와, 산화제로서 H_2O의 2종류의 가스를 사용한다. 또한 다른 재료로서는 트리스(다이메틸아마이드)알루미늄, 트라이아이소뷰틸알루미늄, 알루미늄트리스(2,2,6,6-테트라메틸-3,5-헵테인다이오네이트)가 있다.

[0987] 예를 들어 ALD법을 이용하는 성막 장치에 의하여 산화 실리콘막을 형성하는 경우에는, 헥사클로로다이실레인을 피성막면에 흡착시키고 산화성 가스(예를 들어 O_2, 일산화이질소 등)의 라디칼을 공급하여 흡착물과 반응시킨다.

[0988] 예를 들어 ALD법을 이용하는 성막 장치에 의하여 텅스텐막을 성막하는 경우에는, WF_6 가스와 B_2H_6 가스를 순차적으로 반복하여 도입함으로써 초기 텅스텐막을 형성한 다음, WF_6 가스와 H_2 가스를 순차적으로 반복하여 도입함으로써 텅스텐막을 형성한다. 또한 B_2H_6 가스 대신에 SiH_4 가스를 사용하여도 좋다.

[0989] 예를 들어 ALD법을 이용하는 성막 장치에 의하여 산화물 반도체막으로서 In-Ga-Zn-O막을 성막하는 경우에는 전구체(일반적으로는 예를 들어 금속 전구체라고 불리는 경우가 있음)와 산화제(일반적으로는, 예를 들어 반응제 또는 비금속 전구체라고 불리는 경우가 있음)의 도입을 순차적으로 반복함으로써 형성한다. 구체적으로는, 예를 들어 전구체인 $In(CH_3)_3$ 가스와 산화제인 O_3 가스를 도입하여 In-O층을 형성하고, 그 후 전구체인 $Ga(CH_3)_3$ 가스와 산화제인 O_3 가스를 도입하여 GaO층을 형성하고, 그 후 전구체인 $Zn(CH_3)_2$ 가스와 산화제인 O_3 가스를 도입하여 ZnO층을 형성한다. 또한 이들 층의 순서는 이 예에 한정되지 않는다. 또한 이들 가스를 사용하여 In-Ga-O층, In-Zn-O층, 또는 Ga-Zn-O층과 같은 혼합 산화물층을 형성하여도 좋다. 또한 O_3 가스 대신에 불활성 가스(예를 들어 아르곤)로 물을 버블링하여 얻어진 H_2O 가스를 사용하여도 좋지만 H를 포함하지 않는 O_3 가스를 사용

하는 것이 더 바람직하다. 또한 $In(CH_3)_3$ 가스 대신에 $In(C_2H_5)_3$ 가스를 사용하여도 좋다. 또한 $Ga(CH_3)_3$ 가스 대신에 $Ga(C_2H_5)_3$ 가스를 사용하여도 좋다. 또한 $Zn(CH_3)_2$ 가스 대신에 $Zn(C_2H_5)_2$ 가스를 사용하여도 좋다.

[0990] 또한 본 발명의 일 형태의 전자 기기에 포함되는 표시부의 화면 비율(종횡비)은 특별히 한정되지 않는다. 예를 들어 표시부는 1:1(정사각형), 4:3, 16:9, 16:10, 21:9, 또는 32:9와 같은 다양한 화면 비율에 대응할 수 있다.

[0991] 또한 본 발명의 일 형태의 전자 기기에 포함되는 표시부의 형상은 특별히 한정되지 않는다. 예를 들어 표시부로서는 직사각형, 다각형(예를 들어 팔각형 등), 원형, 또는 타원형과 같은 다양한 형상에 대응할 수 있다.

[0992] 또한 본 실시형태는 본 명세서의 다른 실시형태와 적절히 조합할 수 있다. 예를 들어 본 실시형태에 나타낸 구성, 구조, 방법 등은 다른 실시형태 등에 나타낸 구성, 구조, 방법 등과 적절히 조합하여 사용할 수 있다.

[0993] (실시형태 3)

[0994] 본 실시형태에서는 본 발명의 일 형태를 사용하여 제작된 표시 장치를 구비하는 전자 기기에 대하여 설명한다. 또한 본 실시형태에서 예시하는 전자 기기는 표시부에 본 발명의 일 형태의 표시 장치를 포함한다. 따라서 높은 정세도가 실현된 전자 기기이다.

[0995] 본 발명의 일 형태는 표시 장치와, 안테나, 배터리, 하우징, 카메라, 스피커, 마이크로폰, 터치 센서, 및 조작 버튼 중에서 선택된 하나 이상을 포함한다.

[0996] 또한 본 발명의 일 형태의 전자 기기는 이차 전지를 포함하여도 좋고, 비접촉 전력 전송(傳送)을 사용하여 이차 전지를 충전할 수 있는 것이 바람직하다.

[0997] 이차 전지로서는 예를 들어 리튬 이온 이차 전지(예를 들어 겔상 전해질을 사용하는 리튬 폴리머 전지(리튬 이온 폴리머 전지)), 니켈 수소 전지, 니켈 카드뮴 전지, 유기 라디칼 전지, 납축전지, 공기 이차 전지, 니켈 아연 전지, 또는 은 아연 전지가 있다.

[0998] 본 발명의 일 형태의 전자 기기는 안테나를 포함하여도 좋다. 안테나로 신호를 수신함으로써, 표시부에 영상, 정보 등을 표시할 수 있다. 또한 전자 기기가 안테나 및 이차 전지를 포함하는 경우, 안테나를 비접촉 전력 전송에 사용하여도 좋다.

[0999] 본 발명의 일 형태의 전자 기기의 표시부에는 예를 들어 풀 하이비전, 4K2K, 8K4K, 16K8K, 또는 그 이상의 화면 해상도를 가지는 영상을 표시시킬 수 있다.

[1000] 전자 기기로서는 예를 들어 텔레비전 장치, 노트북형 퍼스널 컴퓨터, 모니터 장치, 디지털 사이니지, 파친코기, 및 게임기 등 비교적 큰 화면을 포함하는 전자 기기가 있다. 또한 전자 기기로서는 디지털 카메라, 디지털 비디오 카메라, 디지털 액자, 휴대 전화기, 휴대용 게임기, 휴대 정보 단말기, 또는 음향 재생 장치를 들 수 있다.

[1001] 본 발명의 일 형태가 적용된 전자 기기는 가옥 또는 빌딩 등 건물의 내벽 또는 외벽이 가지는 평면 또는 곡면을 따라 제공할 수 있다. 또한 상기 전자 기기는 자동차 등의 내장 또는 외장 등이 가지는 평면 또는 곡면을 따라 제공할 수 있다.

[1002] [휴대 전화기]

[1003] 도 54의 (A)에 나타낸 정보 단말기(5500)는 정보 단말기의 1종인 휴대 전화기(스마트폰)이다. 정보 단말기(5500)는 하우징(5510)과 표시부(5511)를 포함하고, 입력용 인터페이스로서 터치 패널이 표시부(5511)에 구비되고, 버튼이 하우징(5510)에 구비된다.

[1004] [웨어러블 단말기]

[1005] 도 54의 (B)는 웨어러블 단말의 일례인 정보 단말기(5900)의 외관을 나타낸 도면이다. 정보 단말기(5900)는 하우징(5901), 표시부(5902), 조작 버튼(5903), 용두(5904), 및 밴드(5905)를 포함한다.

[1006] [정보 단말기]

[1007] 또한 도 54의 (C)에는 노트북형 정보 단말기(5300)를 나타내었다. 도 54의 (C)에 나타낸 노트북형 정보 단말기(5300)는 일례로서 하우징(5330a)에 표시부(5331)를 포함하고, 하우징(5330b)에 키보드부(5350)를 포함한다.

[1008] 또한 앞에서는 전자 기기의 예로서 스마트폰, 웨어러블 단말기, 및 노트북형 정보 단말기를 각각 도 54의 (A) 내지 (C)에 나타내었지만, 스마트폰, 웨어러블 단말기, 노트북형 정보 단말기 이외의 정보 단말기를 적용할 수 있다. 스마트폰, 웨어러블 단말기, 노트북형 정보 단말기 이외의 정보 단말기로서는 예를 들어 PDA(Personal Digital Assistant), 데스크톱용 정보 단말기, 및 워크스테이션이 있다.

[1009] [카메라]

[1010] 도 54의 (D)는 파인더(8100)를 장착한 상태의 카메라(8000)의 외관을 나타낸 도면이다. 카메라(8000)는 하우징(8001), 표시부(8002), 조작 버튼(8003), 및 셔터 버튼(8004)을 포함한다. 또한 카메라(8000)에는 탈착 가능한 렌즈(8006)가 장착된다. 파인더(8100)는 하우징(8101), 표시부(8102), 및 버튼(8103)을 포함한다.

[1011] 또한 카메라(8000)는 렌즈(8006)와 하우징이 일체화되어도 좋다.

[1012] 카메라(8000)는 셔터 버튼(8004)을 누르거나 터치 패널로서 기능하는 표시부(8002)를 터치함으로써 촬상할 수 있다.

[1013] 하우징(8001)은 전극을 포함한 마운트를 포함하고, 파인더(8100) 외에 예를 들어 스트로보 장치를 접속할 수 있다.

[1014] 하우징(8101)은 카메라(8000)의 마운트와 결합되는 마운트에 의하여 카메라(8000)에 장착되어 있다. 파인더(8100)는 카메라(8000)로부터 수신한 영상을 표시부(8102)에 표시시킬 수 있다.

[1015] 버튼(8103)은 전원 버튼으로서의 기능을 가진다.

[1016] 카메라(8000)의 표시부(8002) 및 파인더(8100)의 표시부(8102)에 본 발명의 일 형태의 표시 장치를 적용할 수 있다. 또한 파인더가 내장된 카메라(8000)이어도 좋다.

[1017] [게임기]

[1018] 도 54의 (E)는 게임기의 일례인 휴대용 게임기(5200)의 외관을 나타낸 도면이다. 휴대용 게임기(5200)는 하우징(5201), 표시부(5202), 및 버튼(5203)을 포함한다.

[1019] 또한 휴대용 게임기(5200)의 영상은 텔레비전 장치, 퍼스널 컴퓨터용 디스플레이, 게임용 디스플레이, 및 헤드 마운트 디스플레이에 제공되는 표시 장치에 의하여 출력할 수 있다.

[1020] 휴대용 게임기(5200)에 앞의 실시형태에서 설명한 표시 장치를 적용함으로써, 저소비 전력의 휴대용 게임기(5200)를 실현할 수 있다. 또한 소비 전력이 낮으므로 회로로부터의 발열을 저감할 수 있기 때문에, 발열로 인한 그 회로 자체, 주변 회로, 및 모듈에 대한 영향을 줄일 수 있다.

[1021] 도 54의 (E)에서는 게임기의 일례로서 휴대용 게임기를 나타내었지만, 본 발명의 일 형태의 전자 기기는 이에 한정되지 않는다. 본 발명의 일 형태의 전자 기기로서는 예를 들어 거치형 게임기, 오락 시설(예를 들어 오락실 및 놀이공원) 등에 설치되는 아케이드 게임기 및 스포츠 시설에 설치되는 타격 연습용 투구 머신이 있다.

[1022] [텔레비전 장치]

[1023] 도 54의 (F)는 텔레비전 장치를 나타낸 사시도이다. 텔레비전 장치(9000)는 하우징(9002), 표시부(9001), 스피커(9003), 조작 키(9005)(예를 들어 전원 스위치 또는 조작 스위치를 포함함), 접속 단자(9006), 및 센서(9007)(예를 들어 힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광(적외선을 포함함), 액체, 자기, 온도, 화학 물질, 음성, 시간, 경도(硬度), 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경사도, 진동, 또는 냄새를 측정하는 기능을 가지는 것. 또는 예를 들어 냄새 또는 광(적외선을 포함함)을 검지 또는 검출하는 기능을 가지는 것.)를 포함한다. 본 발명의 일 형태의 기억 장치는 텔레비전 장치에 포함될 수 있다. 텔레비전 장치에는 예를 들어 50인치 이상 또는 100인치 이상의 표시부(9001)를 제공할 수 있다.

[1024] 텔레비전 장치(9000)에 앞의 실시형태에서 설명한 표시 장치를 적용함으로써, 저소비 전력의 텔레비전 장치(9000)를 실현할 수 있다. 또한 소비 전력이 낮으므로 회로로부터의 발열을 저감할 수 있기 때문에, 발열로 인한 그 회로 자체, 주변 회로, 및 모듈에 대한 영향을 줄일 수 있다.

[1025] [이동체]

[1026] 본 발명의 일 형태의 표시 장치는 이동체인 자동차의 운전석 주변에 적용할 수도 있다.

[1027] 도 54의 (G)는 자동차의 실내에서의 앞유리 주변을 나타낸 도면이다. 도 54의 (G)에서는 대시 보드에 제공된

표시 패널(5701), 표시 패널(5702), 표시 패널(5703) 외에, 필러에 제공된 표시 패널(5704)을 나타내었다.

[1028] 표시 패널(5701) 내지 표시 패널(5703)은 내비게이션 정보, 속도계, 회전 속도계, 주행 거리, 연료계, 기어 상태, 에어컨디셔너의 설정을 표시함으로써, 다양한 정보를 제공할 수 있다. 또한 표시 패널에 표시되는 표시 항목 및 레이아웃은 사용자의 취향에 따라 적절히 변경할 수 있어, 디자인성을 높일 수 있다. 표시 패널(5701) 내지 표시 패널(5703)은 조명 장치로서 사용할 수도 있다.

[1029] 표시 패널(5704)에는 차체에 제공된 촬상 수단으로부터의 영상을 표시시킴으로써 필러로 차단된 시계(사각(死角))를 보완할 수 있다. 즉 자동차 외측에 제공된 촬상 수단으로부터의 화상을 표시함으로써 사각을 보완하여 안전성을 높일 수 있다. 또한 보이지 않는 부분을 보완하는 영상을 표시함으로써, 더 자연스럽게 위화감 없이 안전을 확인할 수 있다. 표시 패널(5704)은 조명 장치로서 사용할 수도 있다.

[1030] 본 발명의 일 형태의 표시 장치는 예를 들어 표시 패널(5701) 내지 표시 패널(5704)에 적용할 수 있다.

[1031] 또한 앞에서는 이동체의 일례로서 자동차에 대하여 설명하였지만, 이동체는 자동차에 한정되지 않는다. 예를 들어 이동체로서는 전철, 모노레일, 선박, 또는 비행체(예를 들어 헬리콥터, 무인 항공기(드론), 비행기, 또는 로켓)가 있으며, 이들 이동체에 본 발명의 일 형태의 표시 장치를 적용할 수 있다.

[1032] [전자 간판]

[1033] 도 54의 (H)는 벽에 제공할 수 있는 전자 간판(디지털 사이니지)의 예를 나타낸 것이다. 도 54의 (H)는 전자 간판(6200)이 벽(6201)에 제공되어 있는 상태를 나타내었다. 본 발명의 일 형태의 표시 장치는 예를 들어 전자 간판(6200)의 표시부에 적용할 수 있다. 또한 전자 간판(6200)에는 터치 패널 등의 인터페이스 등이 제공되어 있어도 좋다.

[1034] 또한 앞에서는 전자 간판의 일례로서 벽에 제공할 수 있는 전자 기기의 예를 나타내었지만, 전자 간판의 종류는 이에 한정되지 않는다. 예를 들어 전자 간판으로서는 기둥에 제공하는 형식, 바닥에 놓고 사용하는 스탠드 형식, 또는 건축물의 옥상 또는 측벽에 설치하는 형식이 있다.

[1035] [헤드 마운트 디스플레이]

[1036] 도 54의 (I)는 예를 들어 VR용 헤드 마운트 디스플레이인 전자 기기(8300)의 외관을 나타낸 도면이다. 전자 기기(8300)는 하우징(8301), 표시부(8302), 밴드상 고정구(8304), 머리에 장착하는 고정구(8304a), 및 한 쌍의 렌즈(8305)를 포함한다.

[1037] 또한 도 54의 (I)에는 도시하지 않았지만, 전자 기기(8300)는 조작 버튼 또는 전원 버튼 등 인터페이스를 포함하여도 좋다.

[1038] 사용자는 렌즈(8305)를 통하여 표시부(8302)의 표시를 볼 수 있다. 또한 표시부(8302)를 만곡시켜 배치시키면 사용자가 높은 현장감을 느낄 수 있기 때문에 바람직하다. 또한 표시부(8302)가 상이한 영역에 표시된 다른 화상을 렌즈(8305)를 통하여 봄으로써, 시차를 사용한 3차원 표시를 할 수 있다. 또한 표시부(8302)를 하나 제공하는 구성에 한정되지 않고, 표시부(8302)를 2개 제공하고 사용자의 눈 한쪽당 하나의 표시부를 배치하여도 좋다.

[1039] 또한 표시부(8302)에는 예를 들어 정세도가 매우 높은 표시 장치를 사용하는 것이 바람직하다. 표시부(8302)에 정세도가 높은 표시 장치를 사용함으로써, 렌즈(8305)를 사용하여 확대하여도, 사용자에게 화소가 인식되지 않아 현실감이 더 높은 영상을 표시할 수 있다.

[1040] 또한 본 발명의 일 형태의 전자 기기인 헤드 마운트 디스플레이는 도 54의 (I)와 같은 고글형 헤드 마운트 디스플레이인 전자 기기(8300)가 아니라, 안경형 헤드 마운트 디스플레이인 전자 기기이어도 좋다. 특히, 안경형 헤드 마운트 디스플레이는 AR용 전자 기기로서 적합하다.

[1041] 또한 본 실시형태는 본 명세서의 다른 실시형태와 적절히 조합할 수 있다. 예를 들어 본 실시형태에 나타낸 구성, 구조, 방법 등은 다른 실시형태 등에 나타낸 구성, 구조, 방법 등과 적절히 조합하여 사용할 수 있다.

부호의 설명

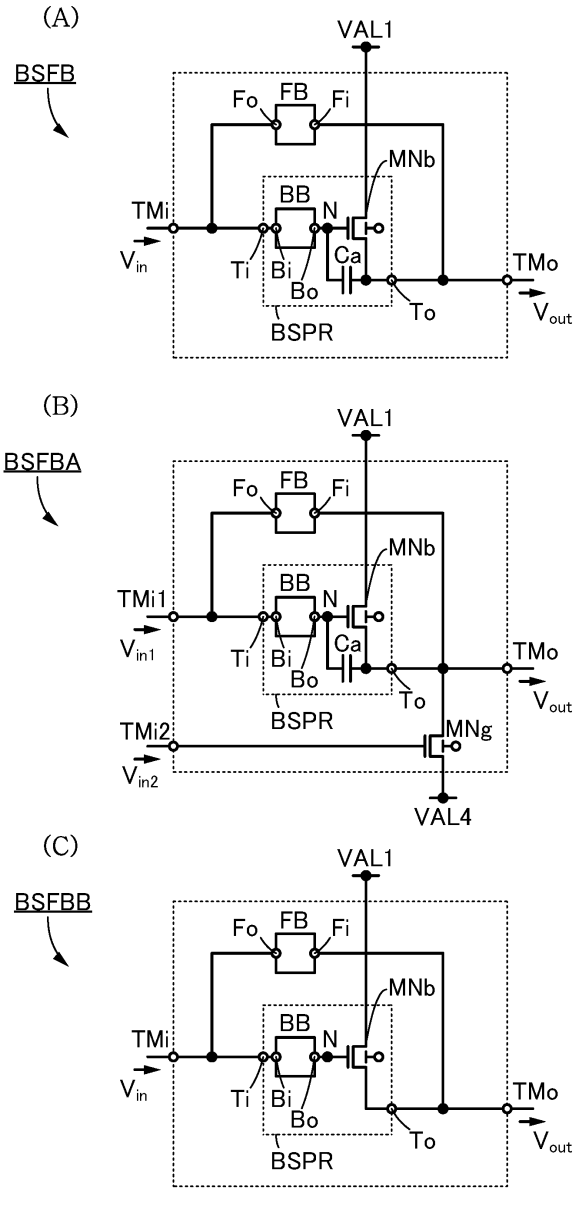
[1042] BSFB: 회로, BSFBA: 회로, BSFBB: 회로, BSFB1: 회로, BSFB1A: 회로, BSFB1B: 회로, BSFB2: 회로, BSFB3: 회로, BSFB4: 회로, BSFB5: 회로, BSFB6: 회로, BSFB6A: 회로, BSFB6B: 회로, BSFB6C: 회로, BSFB6D: 회로, BSFB7: 회로, BSFB7A: 회로, BSFC: 회로, BSFC1: 회로, BSFC2: 회로, BSPR: 회로, BSPRc: 회로, BSPRd: 회로,

BSPRi: 회로, BB: 회로, BBd: 회로, BBc: 회로, BBi: 회로, BBF: 회로, FB: 회로, FBc: 회로, FBd: 회로, FBi1: 회로, FBi2: 회로, BUF: 회로, BF[1]: 회로, BF[m]: 회로, GD: 구동 회로, SD: 구동 회로, SR: 회로, LAT: 회로, DAC: 회로, MNa: 트랜지스터, MNb: 트랜지스터, MNd: 트랜지스터, MNe: 트랜지스터, MNf: 트랜지스터, MNg: 트랜지스터, MNFa: 트랜지스터, MNFb: 트랜지스터, M1: 트랜지스터, M2: 트랜지스터, M3: 트랜지스터, M4: 트랜지스터, M5: 트랜지스터, M6: 트랜지스터, M7: 트랜지스터, MN1: 트랜지스터, MN4: 트랜지스터, MN5: 트랜지스터, MN8: 트랜지스터, MN9: 트랜지스터, MN10: 트랜지스터, MN11: 트랜지스터, MN12: 트랜지스터, MN14: 트랜지스터, MN15: 트랜지스터, MN16: 트랜지스터, MN21: 트랜지스터, MN24: 트랜지스터, MN25: 트랜지스터, MN28: 트랜지스터, MN31: 트랜지스터, MN34: 트랜지스터, MN35: 트랜지스터, MN36: 트랜지스터, MN37: 트랜지스터, MN40: 트랜지스터, MN41: 트랜지스터, Ca: 용량 소자, Caf: 용량 소자, C3: 용량 소자, C4: 용량 소자, C5: 용량 소자, C25: 용량 소자, C26: 용량 소자, INV1: 논리 회로, INV2: 논리 회로, TMi: 단자, TMi1: 단자, TMi2: 단자, TMo: 단자, Ti: 단자, To: 단자, Bi: 단자, Bo: 단자, Fi: 단자, Fi1: 단자, Fi2: 단자, Fo: 단자, BFi: 단자, BFo: 단자, IT: 단자, CLK1: 단자, CLK2: 단자, CLK3: 단자, PWC: 단자, RT: 단자, GT: 단자, OT: 단자, SRT: 단자, N: 노드, Nf: 노드, N1: 노드, N2: 노드, VAL1: 배선, VAL2: 배선, VAL3: 배선, VAL4: 배선, VAL41: 배선, VAL42: 배선, VAL51: 배선, VAL52: 배선, VDE1: 배선, VDE2: 배선, VDE11: 배선, VDE21: 배선, VDE22: 배선, VDE23: 배선, VDE35: 배선, VDE36: 배선, VSE1: 배선, VSE2: 배선, VSE3: 배선, VSE4: 배선, VSE5: 배선, VSE11: 배선, VSE12: 배선, VSE13: 배선, VSE14: 배선, VSE15: 배선, BG1: 배선, BG2: 배선, BG3: 배선, RST: 배선, CL1: 배선, CL2: 배선, PL: 배선, CLKLA: 배선, CLKLB: 배선, CLKLC: 배선, CLKLD: 배선, PWCLA: 배선, PWCLB: 배선, PWCLC: 배선, PWCLD: 배선, VDL: 배선, SPR: 배선, GL: 배선, GL[1]: 배선, GL[2]: 배선, GL[m]: 배선, SL: 배선, SL[1]: 배선, SL[2]: 배선, SL[3]: 배선, SL[4]: 배선, SL[5]: 배선, SL[6]: 배선, G1: 배선, G2: 배선, ANO: 배선, VO: 배선, VCOM: 배선, SS: 신호, SMC: 반도체, SDM: 도전체, GEM: 도전체, PLG: 도전체, DSP: 표시 장치, DSP1: 표시 장치, DSP1A: 표시 장치, DSP1B: 표시 장치, DSP1C: 표시 장치, DSP2: 표시 장치, DSP2A: 표시 장치, DSP2AA: 표시 장치, DSP2AB: 표시 장치, DSP2AC: 표시 장치, DSP2B: 표시 장치, DSP2C: 표시 장치, DSP2D: 표시 장치, DSP2E: 표시 장치, DSP2F: 표시 장치, DIS: 표시 영역, EML: 층, OSL: 층, SIC: 회로 영역, DRV: 구동 회로 영역, MFNC: 기능 회로 영역, GDR: 구동 회로, GDR1: 구동 회로, GDR2: 구동 회로, SDR: 구동 회로, PDA: 센서, DAD: 디지털 아날로그 변환 회로, LVS: 레벨 시프터, TMR: 단자 영역, BS: 기판, SCC: 센서 컨트롤러, EPS: 전원 회로, MEM: 기억 장치, TMC: 타이밍 컨트롤러, ECR: 보정 회로, SNCL: 배선, BSL: 버스 배선, 21: CPU, 22: GPU, 22a: 회로, 22b: 회로, 30: 구동 회로, 70A: 화소, 70B: 화소, 80: 화소, 80a: 부화소, 80b: 부화소, 80c: 부화소, 80d: 부화소, 81: 도전체, 100: 회로, (100[1]): 회로, (100[2]): 회로, (100[m]): 회로, 100A1: 회로, 100A2: 회로, 100A3: 회로, 100A4: 회로, 103: 절연체, 104: 도전체, 105: 절연체, 106: 도전체, 107: 접착층, 110: 기판, 111a: 도전체, 111b: 도전체, 111c: 도전체, 112a: 도전체, 112b: 도전체, 112c: 도전체, 113a: 제 1 층, 113b: 제 2 층, 113c: 제 3 층, 114: 공통층, 115: 공통 전극, 116: 보호층, 117a: 도전체, 117b: 도전체, 118a: 마스크층, 125: 절연체, 126a: 도전체, 126b: 도전체, 126c: 도전체, 127: 절연체, 128: 층, 129a: 도전체, 129b: 도전체, 129c: 도전체, 130R: 발광 디바이스, 130G: 발광 디바이스, 130B: 발광 디바이스, 131: 보호층, 140: 접속부, 147: 수지층, 148: 수지층, 166R: 착색층, 166G: 착색층, 166B: 착색층, 170: LED 패키지, 170R: LED 패키지, 170G: LED 패키지, 170B: LED 패키지, 170A1: LED 패키지, 170A2: LED 패키지, 170A3: LED 패키지, 170S: LED 패키지, 171: 기판, 172: 전극, 173: 전극, 174: 히트 싱크, 175: 접착층, 176: 케이스, 177: 와이어, 178: 밀봉층, 179: 와이어, 180: LED 칩, 180R: LED 칩, 180G: LED 칩, 180B: LED 칩, 180A: LED 칩, 181: 기판, 181R: 기판, 181G: 기판, 181B: 기판, 182: 반도체층, 183: 전극, 183A: 전극, 184: 발광층, 185: 반도체층, 186: 전극, 187: 전극, 189: 볼, 191: 도전체, 192: 도전체, 200: 회로, (200[1]): 회로, (200[2]): 회로, (200[3]): 회로, (200[4]): 회로, (200[5]): 회로, (200[6]): 회로, 200A: 회로, 200A1: 회로, 200A2: 회로, 300: 트랜지스터, 300p: 트랜지스터, 300d: 트랜지스터, 300OS: 트랜지스터, 300LT: 트랜지스터, 310: 기판, 312: 소자 분리층, 313: 반도체 영역, 314a: 저저항 영역, 314b: 저저항 영역, 315: 절연체, 316: 도전체, 317: 절연체, 320: 절연체, 322: 절연체, 324: 절연체, 326: 절연체, 328: 도전체, 330: 도전체, 350: 절연체, 352: 절연체, 354: 절연체, 356: 도전체, 361: 절연체, 362: 절연체, 363: 절연체, 364: 절연체, 366: 도전체, 367: 도전체, 368: 반도체층, 368p: 저저항 영역, 368i: 반도체 영역, 369: 도전체, 400: 화소 회로, 500: 트랜지스터, 500d: 트랜지스터, 500p: 트랜지스터, 500p1: 트랜지스터, 500p2: 트랜지스터, 500p3: 트랜지스터, 500A: 트랜지스터, 500Ap: 트랜지스터, 500Ad: 트랜지스터, 501: 절연체, 505: 도전체, 505a: 도전체, 505b: 도전체, 512: 절연체, 514: 절연체, 516: 절연체, 520: 절연체, 522: 절연체, 524: 절연체, 531: 금속 산화물, 531a: 금속 산화물, 531b: 금속 산화물, 533: 금속 산화물, 540: 도전체, 540a: 도전체, 540b: 도전체, 542a: 도전체, 542a1: 도전체, 542a2: 도전체, 542b: 도전체, 542b1: 도전체, 542b2: 도전체, 543a: 영역, 543b: 영

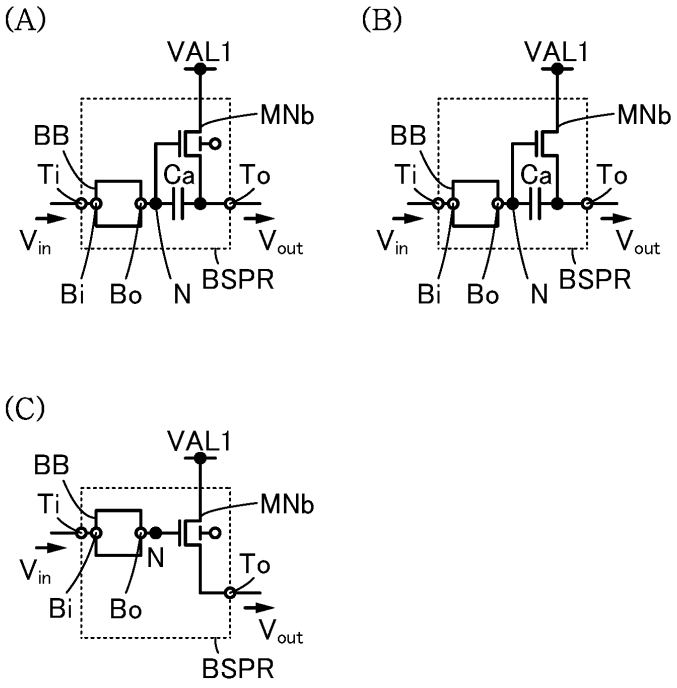
역, 544: 도전체, 545: 도전체, 550: 절연체, 551: 절연체, 554: 절연체, 555: 절연체, 560: 도전체, 560a: 도전체, 560b: 도전체, 565: 도전체, 574: 절연체, 580: 절연체, 581: 절연체, 583: 절연체, 583a: 절연체, 583b: 절연체, 584: 절연체, 590: 도전체, 592: 절연체, 594: 절연체, 596: 도전체, 598: 절연체, 599: 절연체, 600: 용량 소자, 601: 개구, 603: 개구, 761: 하부 전극, 762: 상부 전극, 763: EL층, 764: 층, 771: 발광층, 771a: 발광층, 771b: 발광층, 771c: 발광층, 772: 발광층, 772a: 발광층, 772b: 발광층, 772c: 발광층, 773: 발광층, 780: 층, 780a: 층, 780b: 층, 780c: 층, 781: 층, 782: 층, 785: 전하 발생층, 785a-b: 전하 발생층, 785b-c: 전하 발생층, 790: 층, 790a: 층, 790b: 층, 790c: 층, 791: 층, 792: 층, 5200: 휴대용 게임기, 5201: 하우징, 5202: 표시부, 5203: 버튼, 5300: 노트북형 정보 단말기, 5330a: 하우징, 5330b: 하우징, 5331: 표시부, 5350: 키보드부, 5500: 정보 단말기, 5510: 하우징, 5511: 표시부, 5701: 표시 패널, 5702: 표시 패널, 5703: 표시 패널, 5704: 표시 패널, 5900: 정보 단말기, 5901: 하우징, 5902: 표시부, 5903: 조작 버튼, 5904: 용두, 5905: 밴드, 6200: 전자 간판, 6201: 벽, 8000: 카메라, 8001: 하우징, 8002: 표시부, 8003: 조작 버튼, 8004: 셔터 버튼, 8006: 렌즈, 8100: 파인더, 8101: 하우징, 8102: 표시부, 8103: 버튼, 8300: 전자 기기, 8301: 하우징, 8302: 표시부, 8304: 고정구, 8304a: 고정구, 8305: 렌즈, 9000: 텔레비전 장치, 9001: 표시부, 9002: 하우징, 9003: 스피커, 9005: 조작 키, 9006: 접속 단자, 9007: 센서

도면

도면1

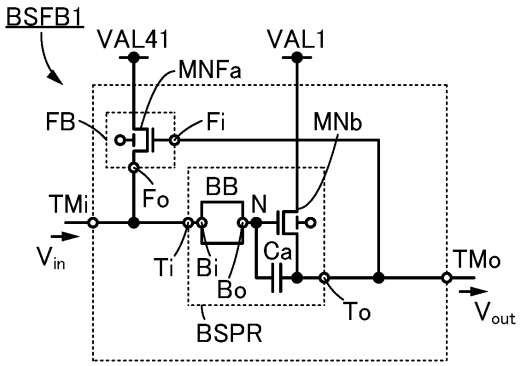


도면2

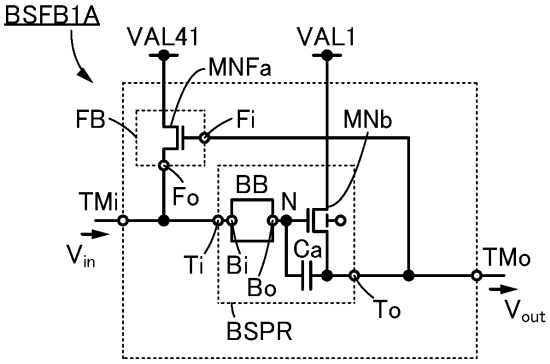

(A)
VAL1
MNb
BB
Ti
Ca
To
Vin
Vout
Bi
Bo
N
BSPR
(B)
VAL1
MNb
BB
Ti
Ca
To
Vin
Vout
Bi
Bo
N
BSPR
(C)
VAL1
BB
Ti
MNb
N
Vin
To
Bi
Bo
Vout
BSPR

도면3

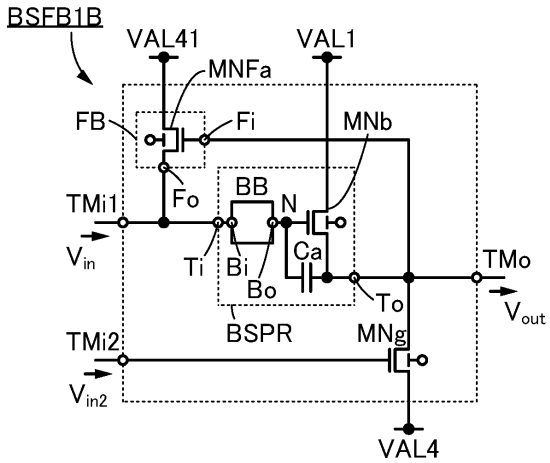
(A)


BSFB1
VAL41
VAL1
MNFa
FB
Fi
MNb
Fo
BB
TMi
N
Ca
Ti
Bi
TMo
Bo
To
BSPR

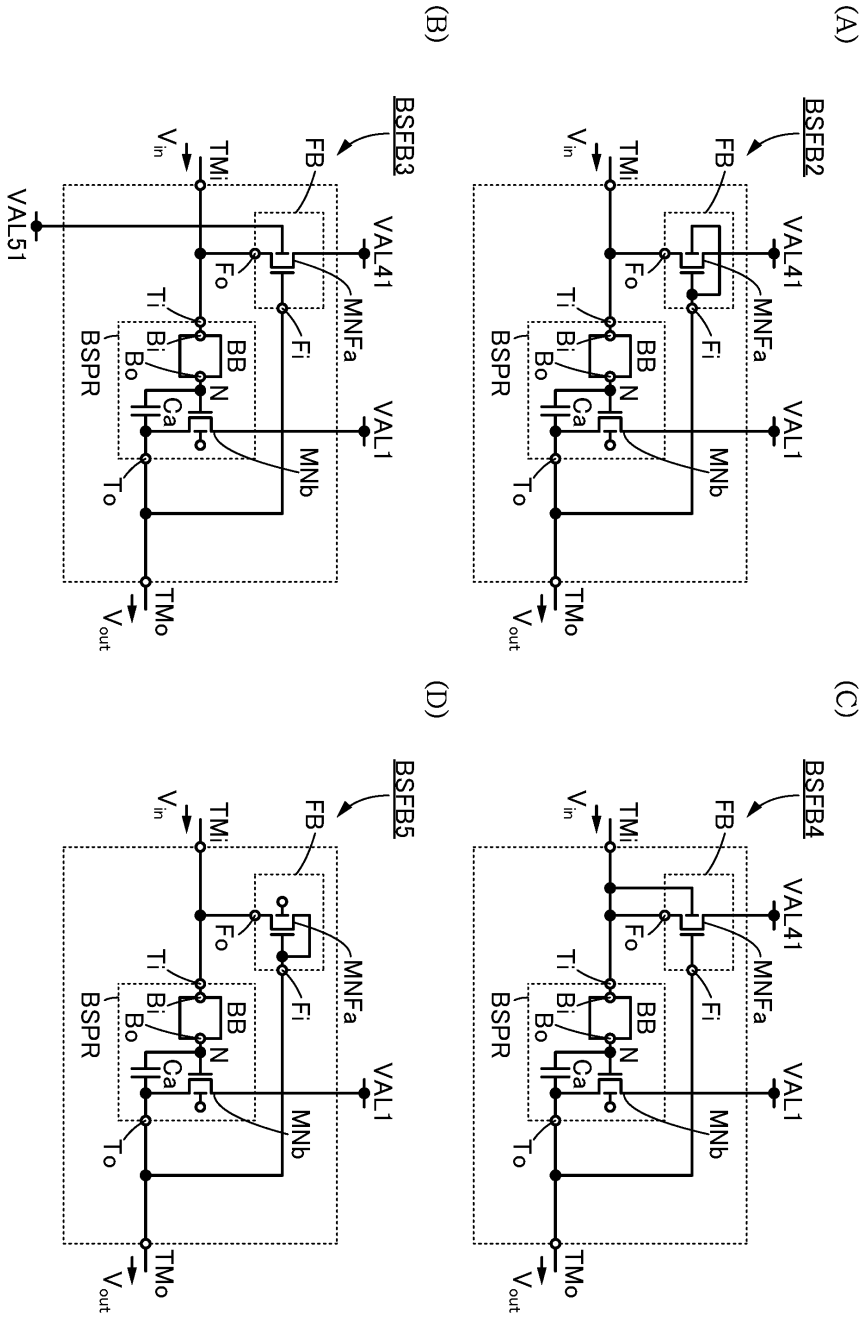
(B)


BSFB1A
VAL41
VAL1
MNFa
FB
Fi
MNb
Fo
BB
TMi
N
Ca
Ti
Bi
TMo
Bo
To
BSPR

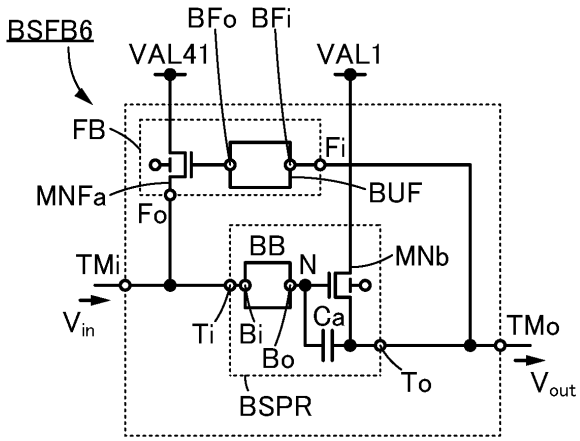
(C)


BSFB1B
VAL41
VAL1
MNFa
FB
Fi
MNb
Fo
BB
TMi1
N
Ca
Ti
Bi
TMo
Bo
To
BSPR
MNg
TMi2
VAL4

도면4

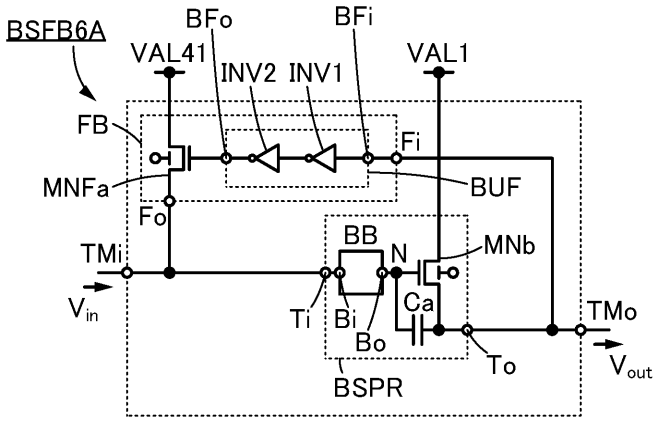

(A)
BSFB2
FB
VAL41
MNFa
Fi
Fo
TMi
Vin
Ti
Bi
Bo
BB
N
Ca
BSPR
To
MNb
VAL1
TMo
Vout
(B)
BSFB3
VAL51
(C)
BSFB4
(D)
BSFB5

도면5

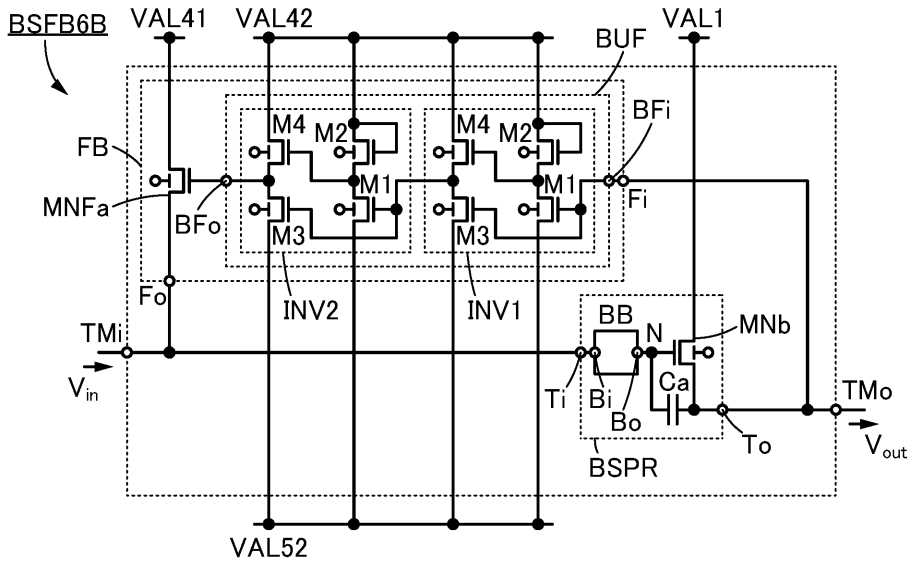

BSFB6
BFo BFi
VAL41
VAL1
FB
Fi
MNFa
BUF
Fo
BB
N
MNb
TMi
Vin
Ti
Bi
Ca
TMo
Bo
To
Vout
BSPR

도면6

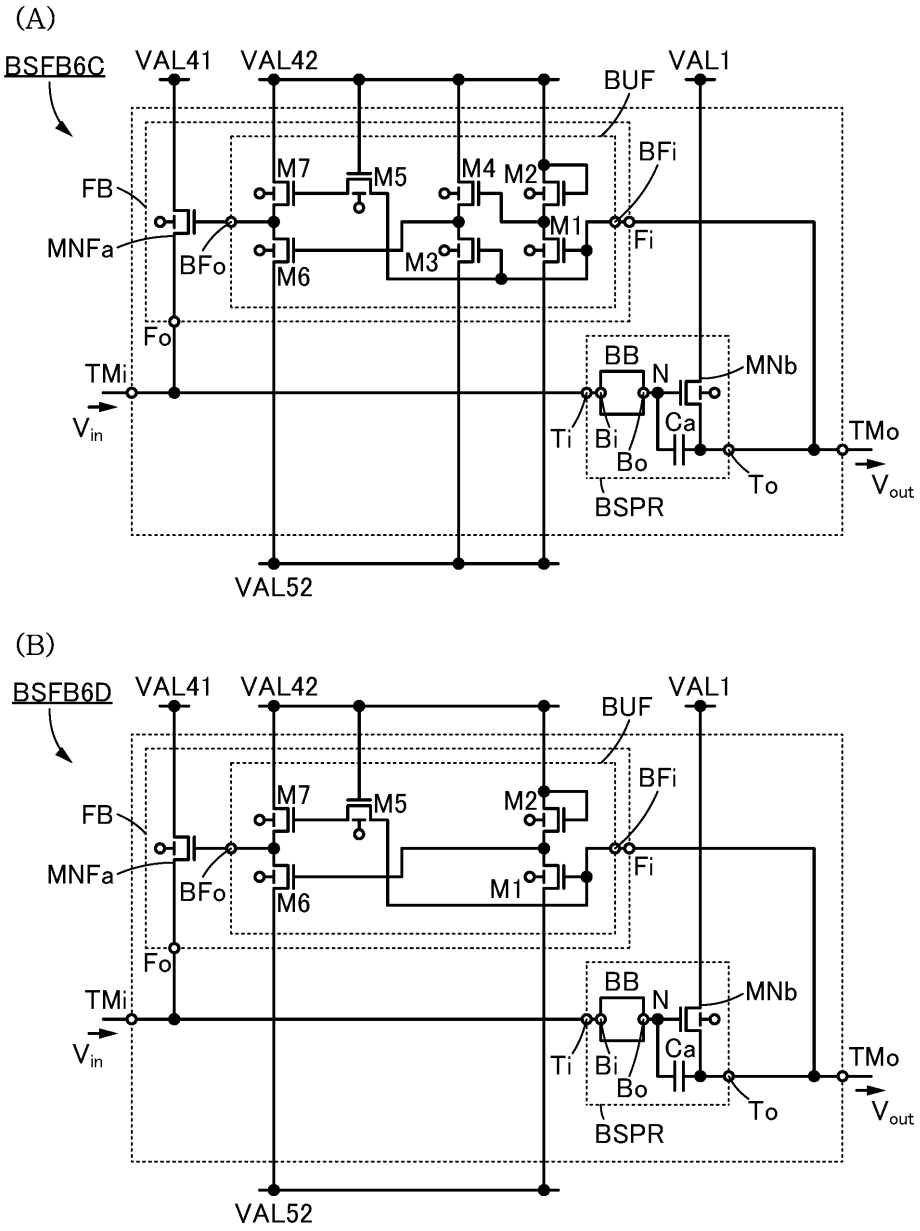
(A)


BSFB6A
BFo
BFi
VAL41
INV2
INV1
VAL1
FB
Fi
MNFa
BUF
Fo
BB
N
MNb
TMi
Vin
Ti
Bi
Ca
TMo
Bo
To
Vout
BSPR

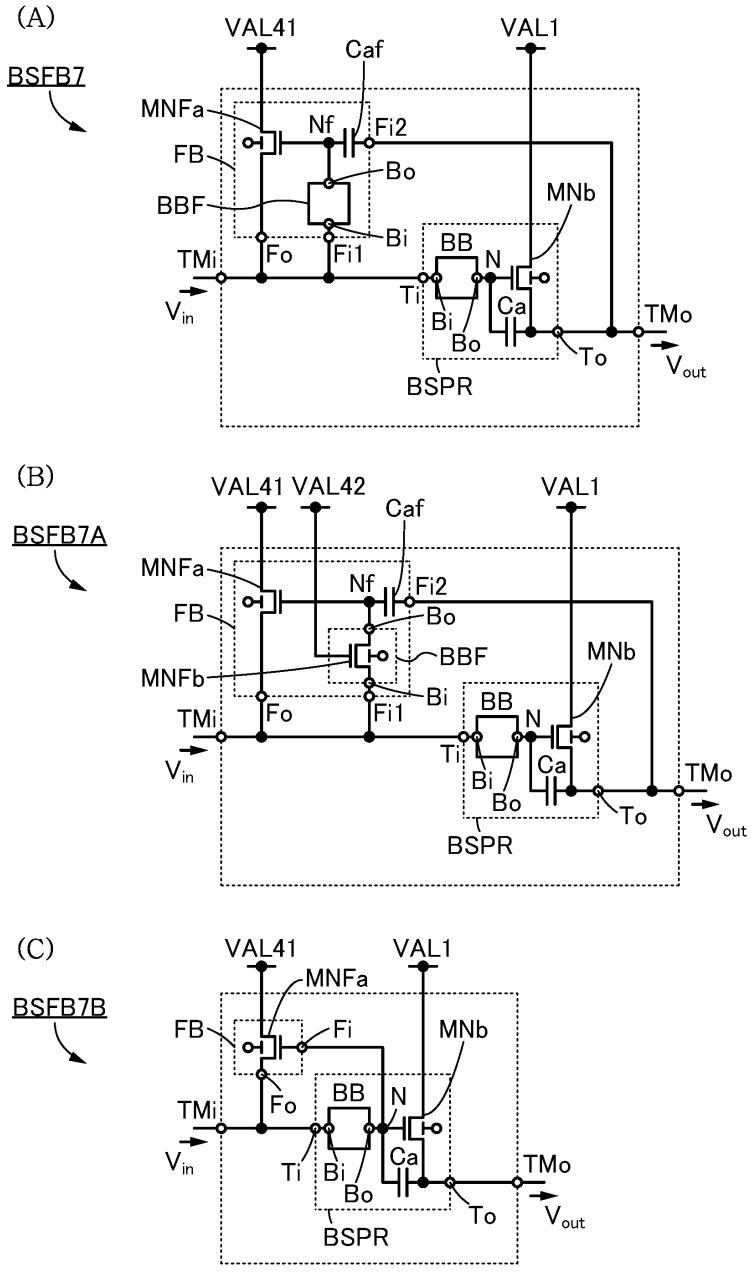
(B)


BSFB6B
VAL41
VAL42
BUF
VAL1
BFi
FB
M4
M2
M4
M2
MNFa
M1
M1
Fi
BFo
M3
M3
Fo
INV2
INV1
BB
N
MNb
TMi
Vin
Ti
Bi
Ca
TMo
Bo
To
Vout
BSPR
VAL52

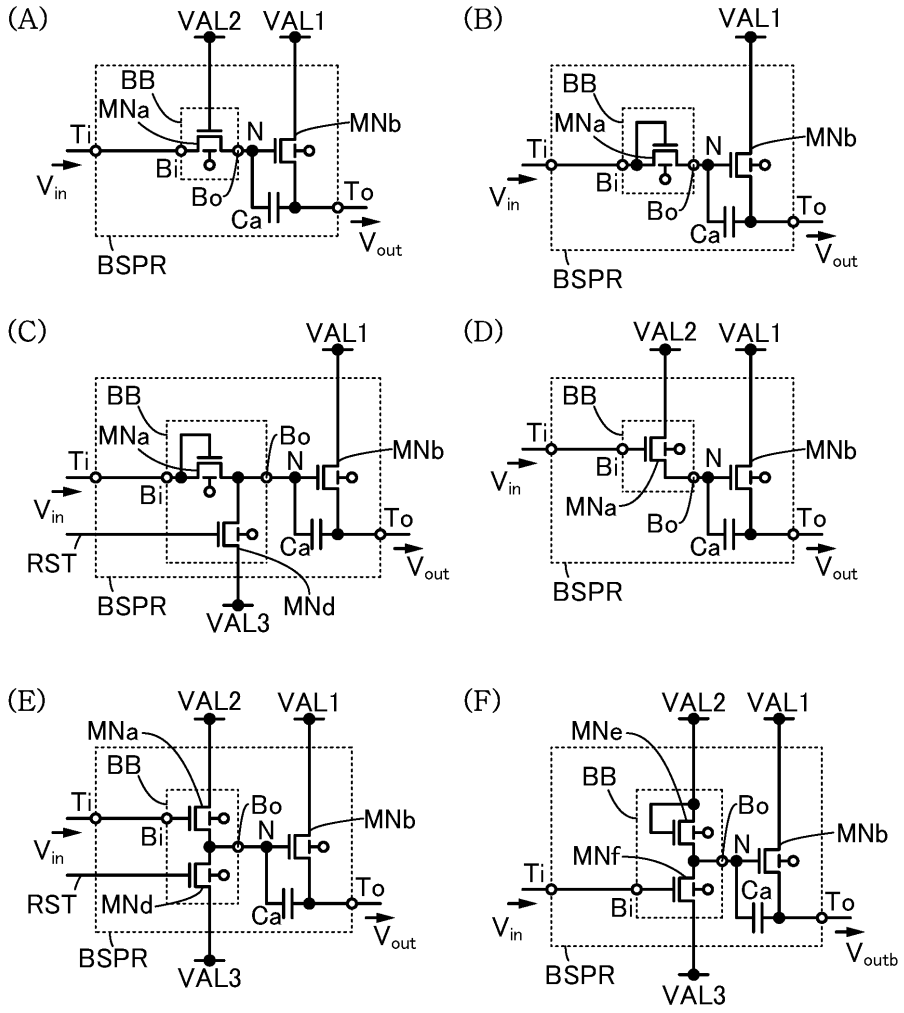
도면7


(A)
BSFB6C
VAL41
VAL42
VAL1
BUF
BFi
FB
M7
M5
M4
M2
MNFa
BFo
M6
M3
M1
Fi
Fo
TMi
BB
N
MNb
Vin
Ti
Bi
Ca
TMo
Bo
To
Vout
BSPR
VAL52
(B)
BSFB6D
VAL41
VAL42
VAL1
BUF
BFi
FB
M7
M5
M2
MNFa
BFo
M6
M1
Fi
Fo
TMi
BB
N
MNb
Vin
Ti
Bi
Ca
TMo
Bo
To
Vout
BSPR
VAL52

도면8

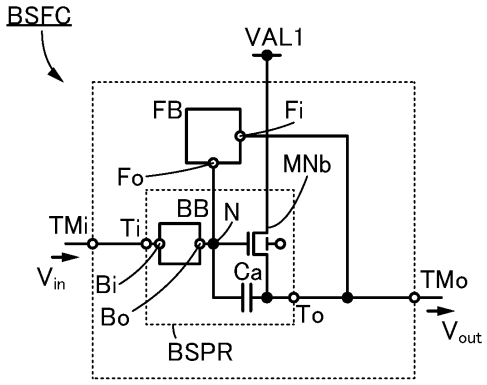

(A)
BSFB7
VAL41
Caf
VAL1
MNFa
Nf
Fi2
FB
Bo
MNb
BBF
Bi
BB
N
TMi
Fo
Fi1
Ti
Ca
TMo
Vin
Bi
Bo
To
Vout
BSPR
(B)
BSFB7A
VAL41 VAL42
Caf
VAL1
MNFa
Nf
Fi2
FB
Bo
BBF
MNb
MNFb
Bi
BB
N
TMi
Fo
Fi1
Ti
Ca
TMo
Vin
Bi
Bo
To
Vout
BSPR
(C)
BSFB7B
VAL41
VAL1
MNFa
FB
Fi
MNb
Fo
BB
N
TMi
Ca
TMo
Vin
Ti
Bi
Bo
To
Vout
BSPR

도면9

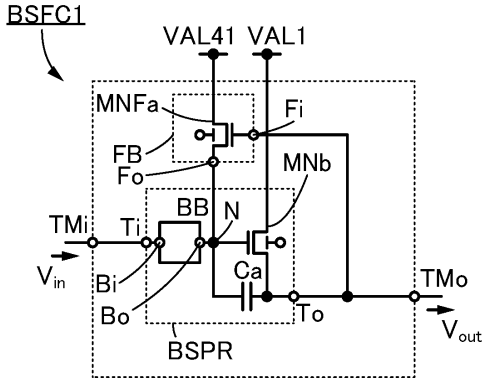

(A)
VAL2
VAL1
BB
MNa
Ti
N
MNb
Bi
Bo
To
Ca
Vin
Vout
BSPR
(B)
VAL1
BB
MNa
Ti
N
MNb
Bi
Bo
To
Ca
Vin
Vout
BSPR
(C)
VAL1
BB
MNa
Bo
Ti
N
MNb
Bi
To
Ca
Vin
RST
Vout
BSPR
VAL3
MNd
(D)
VAL2
VAL1
BB
Ti
N
MNb
Bi
Vin
MNa
Bo
To
Ca
Vout
BSPR
(E)
VAL2
VAL1
MNa
BB
Ti
Bo
N
MNb
Bi
Vin
RST
MNd
To
Ca
Vout
BSPR
VAL3
(F)
VAL2
VAL1
MNe
BB
Bo
N
MNb
MNf
Ti
Ca
To
Bi
Vin
Voutb
BSPR
VAL3

도면10

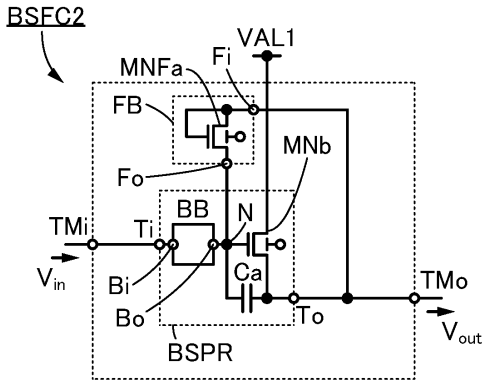
(A)


BSFC
VAL1
FB
Fi
Fo
MNb
BB
N
TMi
Ti
Ca
TMo
Vin
Bi
Bo
To
Vout
BSPR

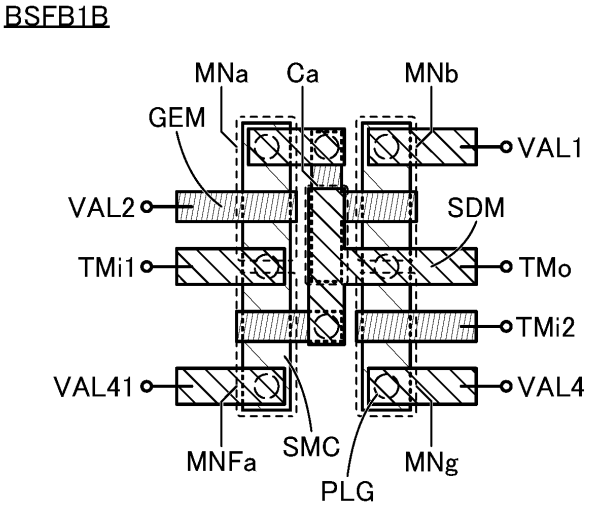
(B)


BSFC1
VAL41
VAL1
MNFa
Fi
FB
Fo
MNb
BB
N
TMi
Ti
Ca
TMo
Vin
Bi
Bo
To
Vout
BSPR

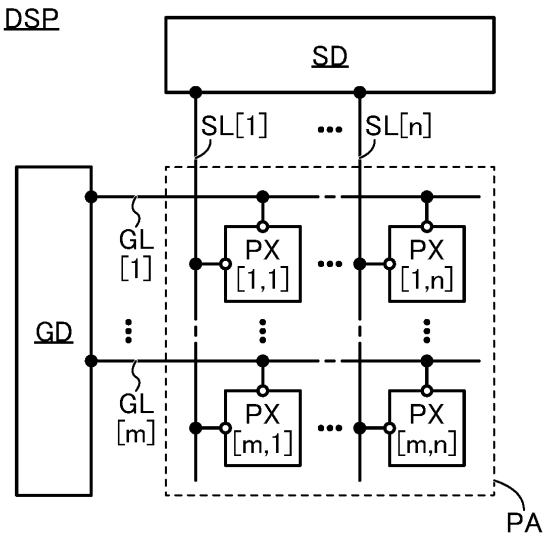
(C)


BSFC2
VAL1
MNFa
Fi
FB
MNb
Fo
BB
N
TMi
Ti
Ca
TMo
Vin
Bi
Bo
To
Vout
BSPR

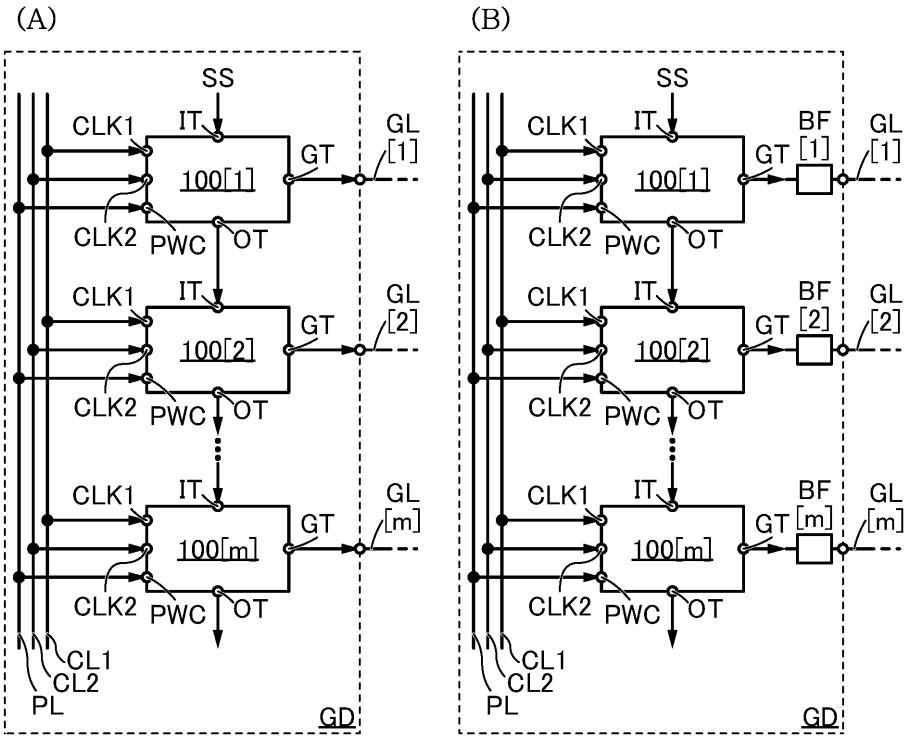
도면11


BSFB1B
MNa
Ca
MNb
GEM
VAL1
VAL2
SDM
TMi1
TMo
TMi2
VAL41
VAL4
MNFa
SMC
PLG
MNg

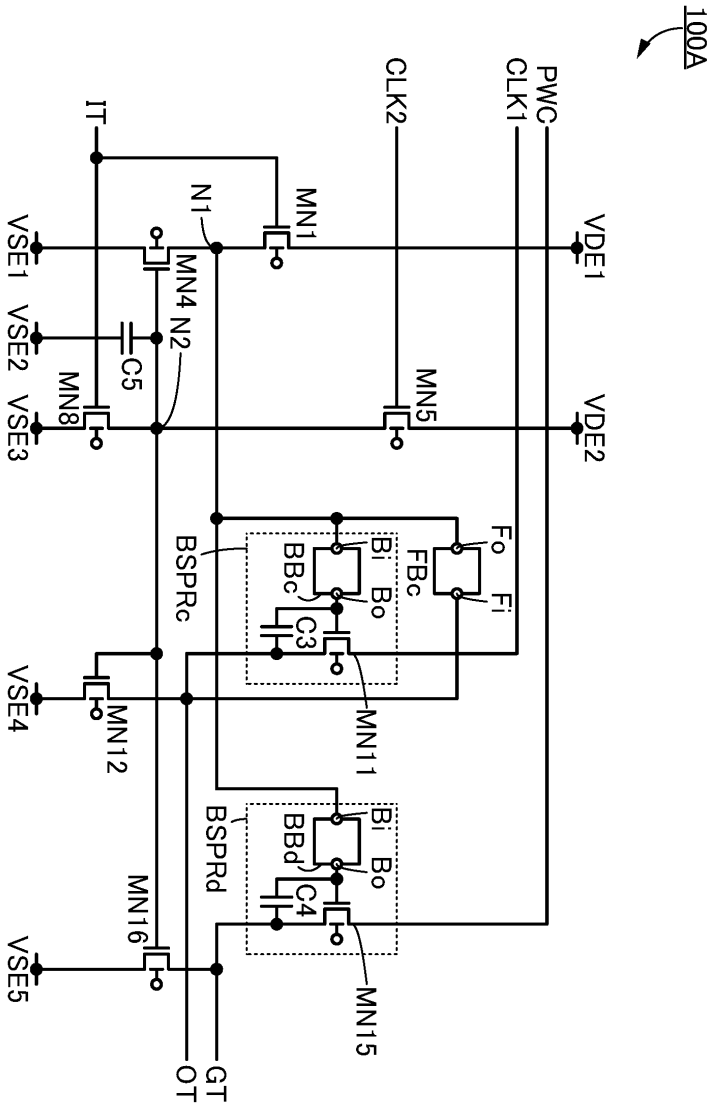
도면12


DSP
SD
SL[1]
SL[n]
GL
[1]
PX
[1,1]
PX
[1,n]
GD
GL
[m]
PX
[m,1]
PX
[m,n]
PA

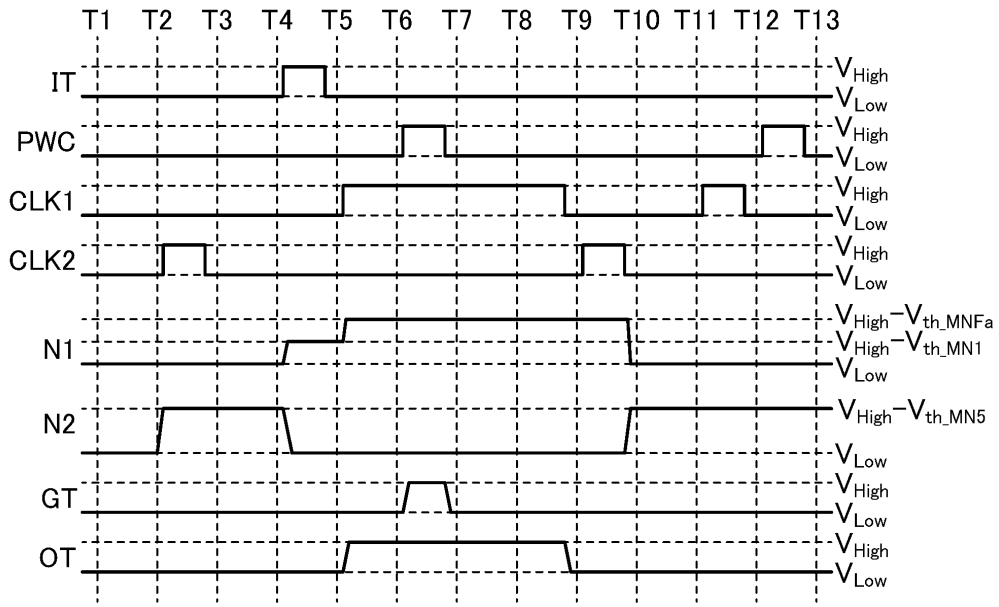
도면13


(A)
(B)
SS
CLK1
IT
GT
100[1]
CLK2
PWC
OT
GL
[1]
100[2]
[2]
100[m]
[m]
BF
CL1
CL2
PL
GD

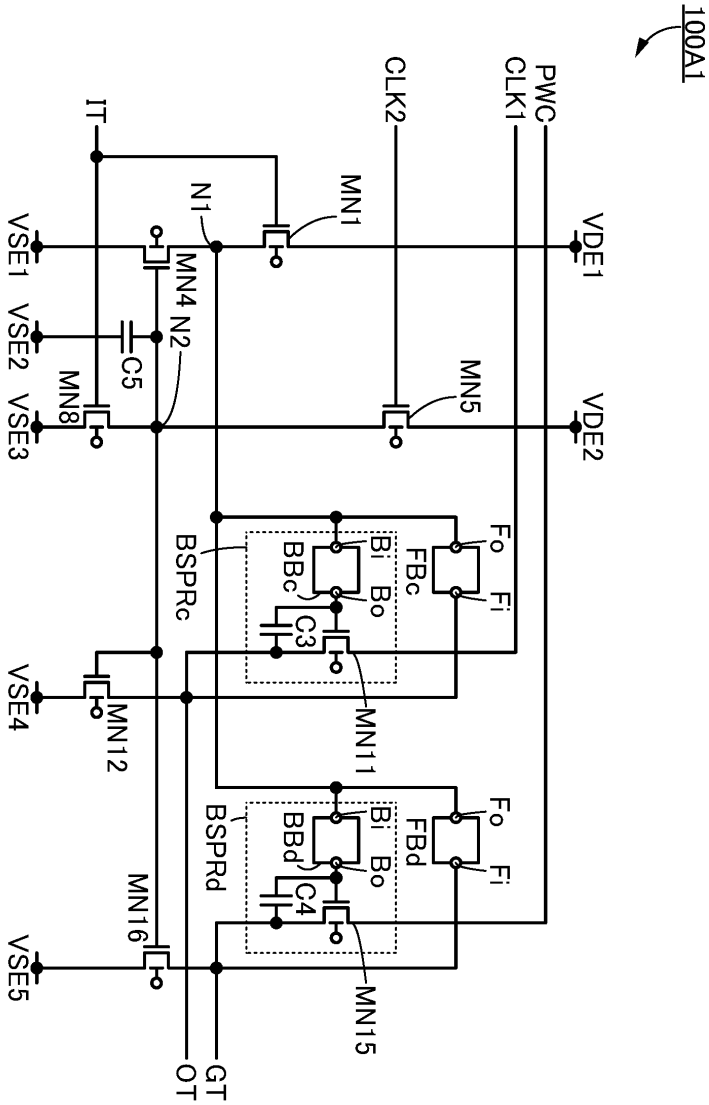
도면14


100A
IT
CLK2
PWC
CLK1
N1
MN1
VSE1
MN4
VDE1
VSE2
N2
C5
MN8
MN5
VSE3
VDE2
BSPRc
Bi
Bo
BBc
C3
Fo
Fi
FBc
MN11
VSE4
MN12
BSPRd
Bi
Bo
BBd
C4
MN16
MN15
VSE5
GT
OT

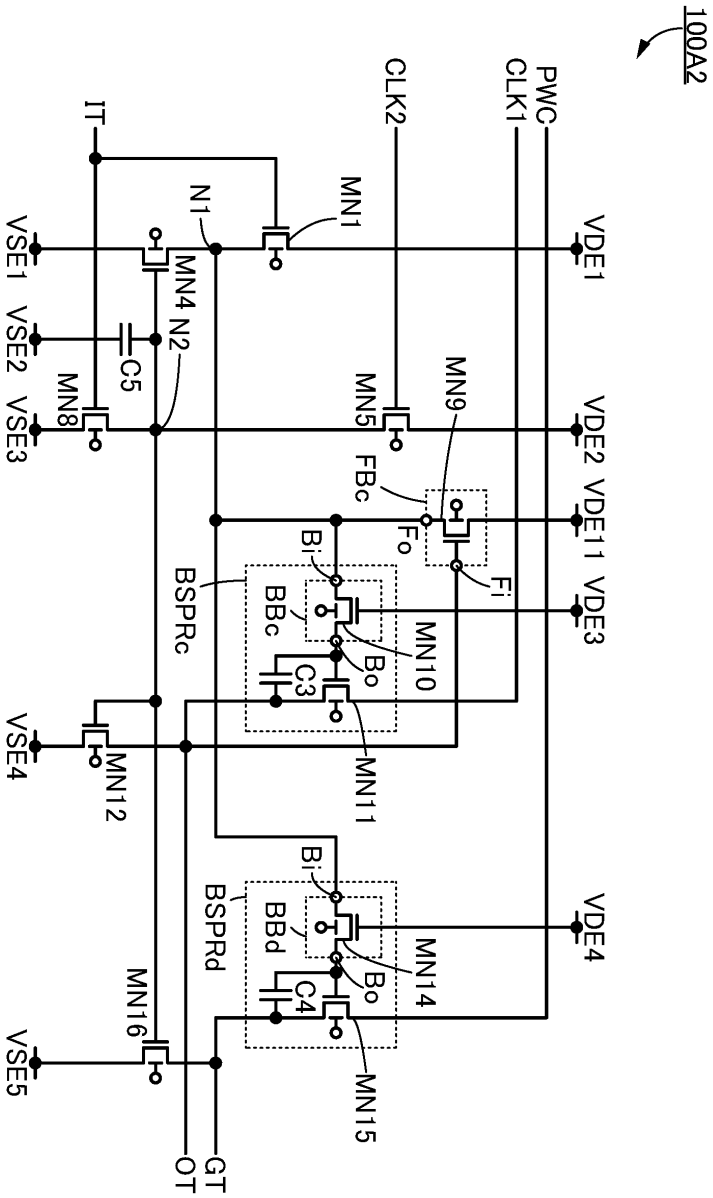
도면15


T1
T2
T3
T4
T5
T6
T7
T8
T9
T10
T11
T12
T13
IT
PWC
CLK1
CLK2
N1
N2
GT
OT
VHigh
VLow
VHigh
VLow
VHigh
VLow
VHigh
VLow
VHigh−Vth_MNFa
VHigh−Vth_MN1
VLow
VHigh−Vth_MN5
VLow
VHigh
VLow
VHigh
VLow

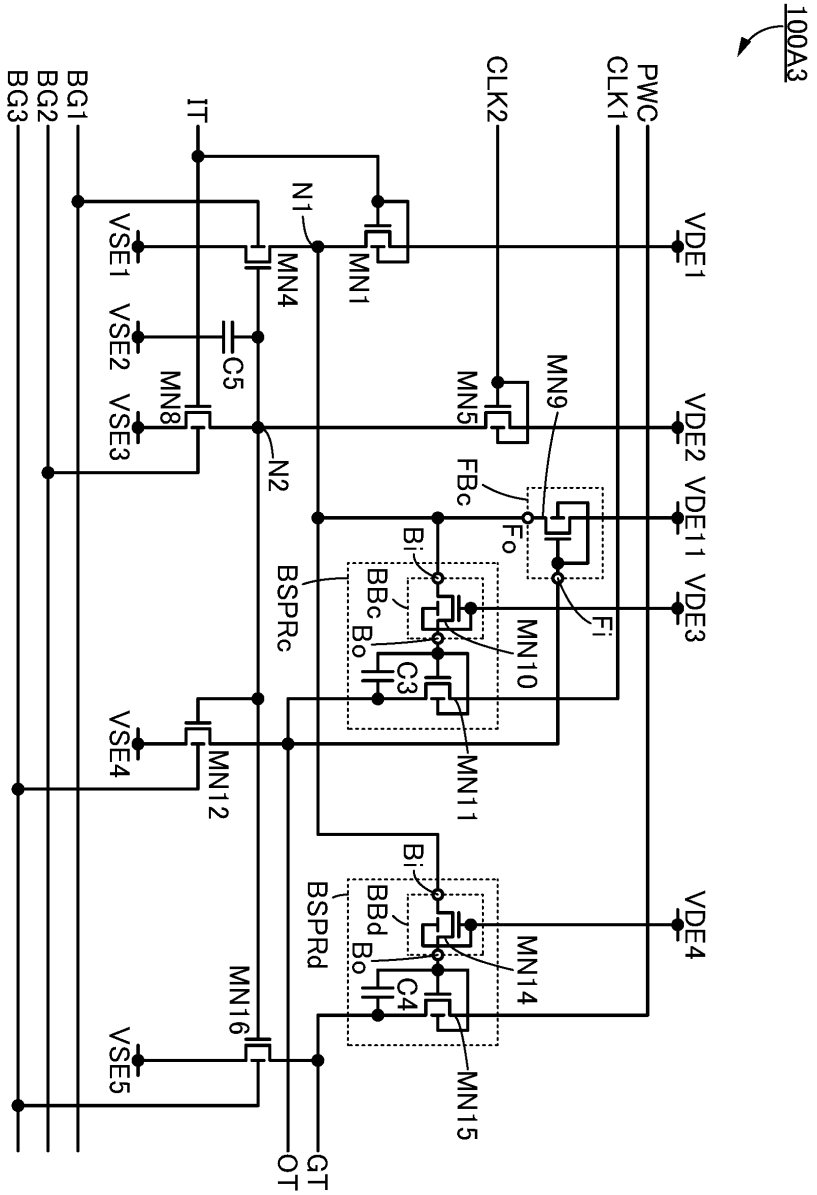
도면16


100A1
IT
CLK2
PWC
CLK1
VSE1
VSE2
VSE3
VSE4
VSE5
N1
MN1
MN4
N2
C5
MN8
MN5
VDE1
VDE2
BSPRc
BSPRd
Bi
Bo
BBc
BBd
C3
C4
FBc
FBd
Fo
Fi
MN11
MN12
MN15
MN16
GT
OT

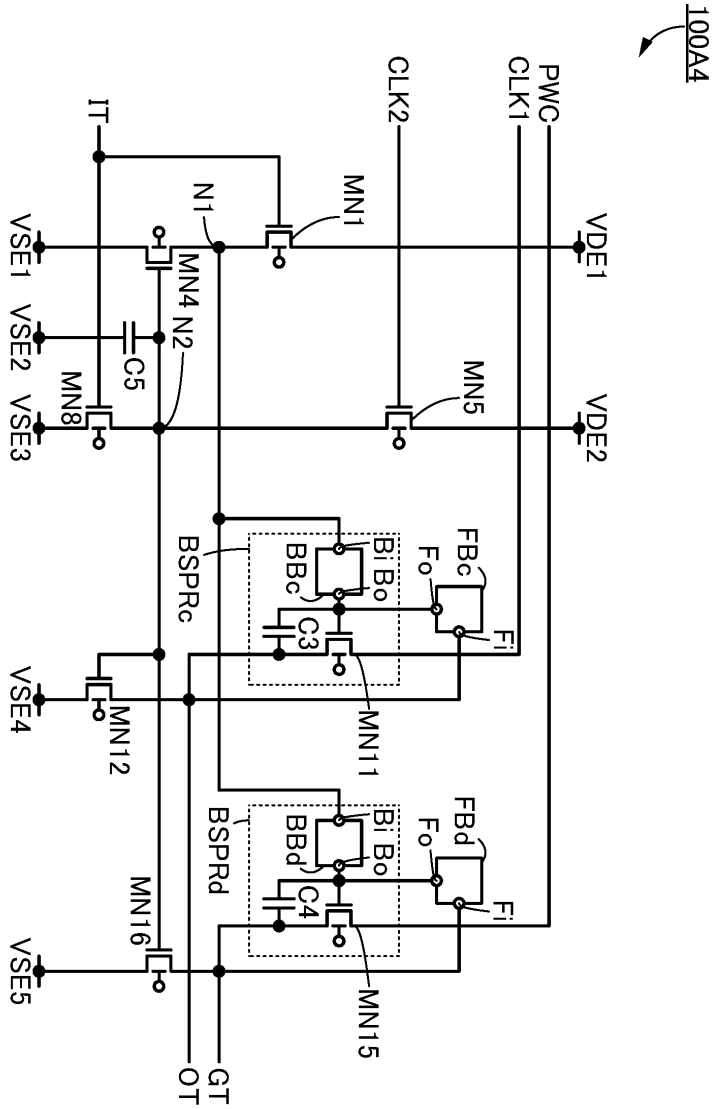
도면17


100A2
IT
CLK2
PWC
CLK1
VSE1
VSE2
VSE3
VSE4
VSE5
N1
MN1
MN4
N2
C5
MN8
MN5
MN9
VDE1
VDE2
VDE11
VDE3
VDE4
FBc
Fo
Fi
Bi
BSPRc
BBc
Bo
C3
MN10
MN11
MN12
BSPRd
BBd
C4
MN14
MN15
MN16
OT
GT

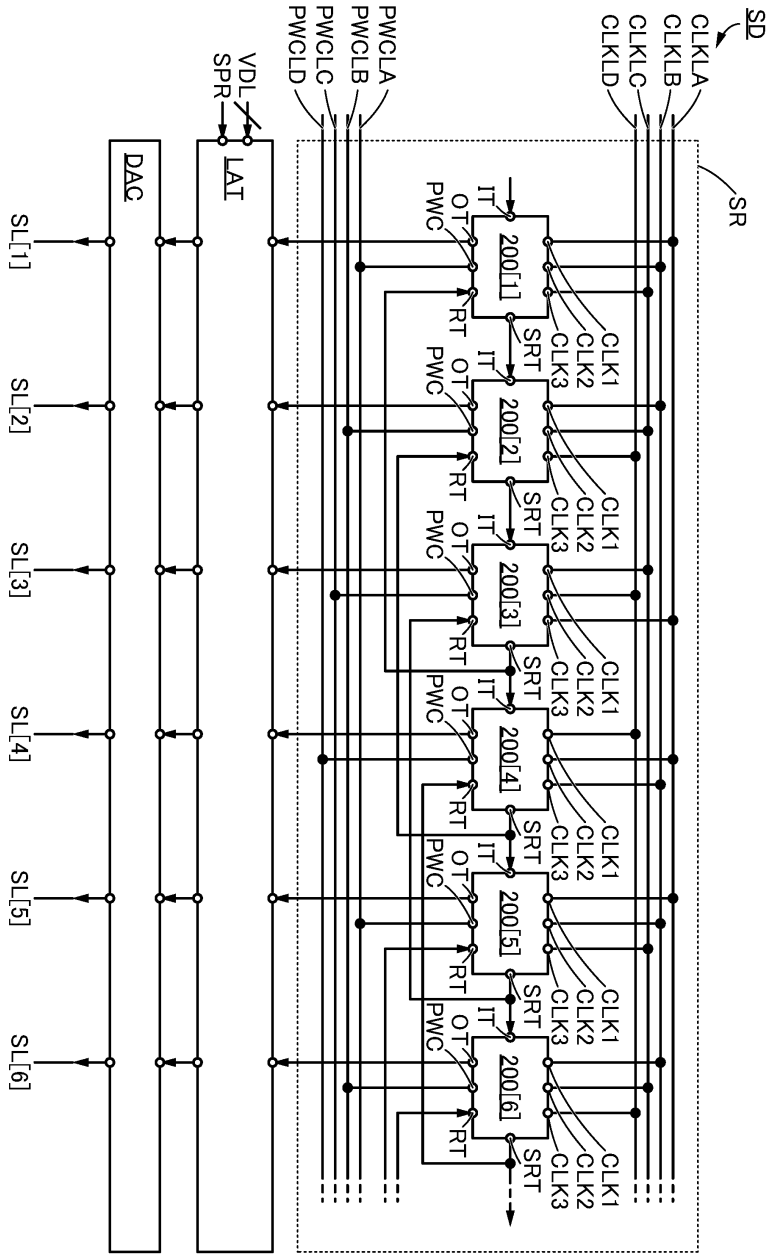
도면18


100A3
PWC
CLK1
CLK2
IT
BG1
BG2
BG3
VDE1
VDE2
VDE11
VDE3
VDE4
VSE1
VSE2
VSE3
VSE4
VSE5
N1
N2
MN1
MN4
MN5
MN8
MN9
MN10
MN11
MN12
MN14
MN15
MN16
C3
C4
C5
FBc
Fo
Fi
Bi
BBc
Bo
BSPRc
BBd
BSPRd
OT
GT

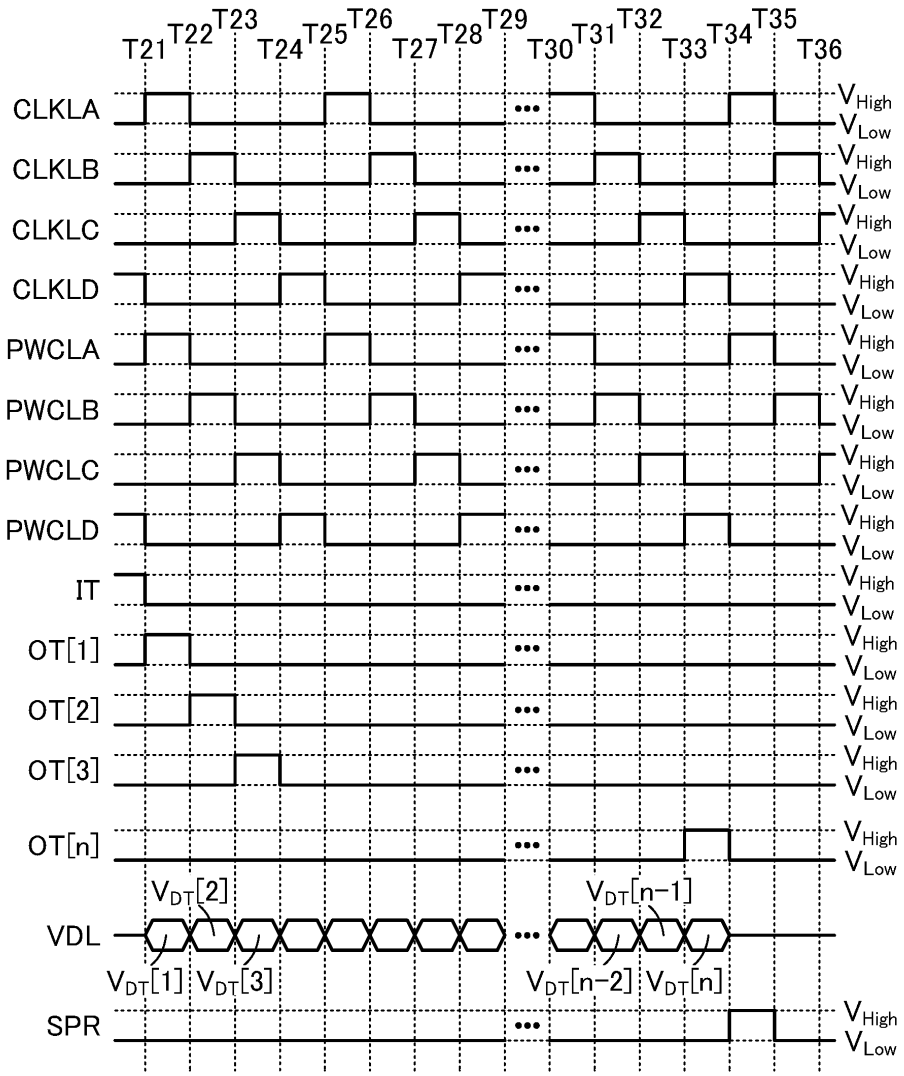
도면19


100A4
IT
CLK2
PWC
CLK1
VSE1
VSE2
VSE3
VSE4
VSE5
VDE1
VDE2
N1
MN1
MN4
N2
C5
MN8
MN5
BSPRc
BBc
Bi
Bo
C3
FBc
Fo
Fi
MN11
MN12
BSPRd
BBd
C4
FBd
MN16
MN15
GT
OT

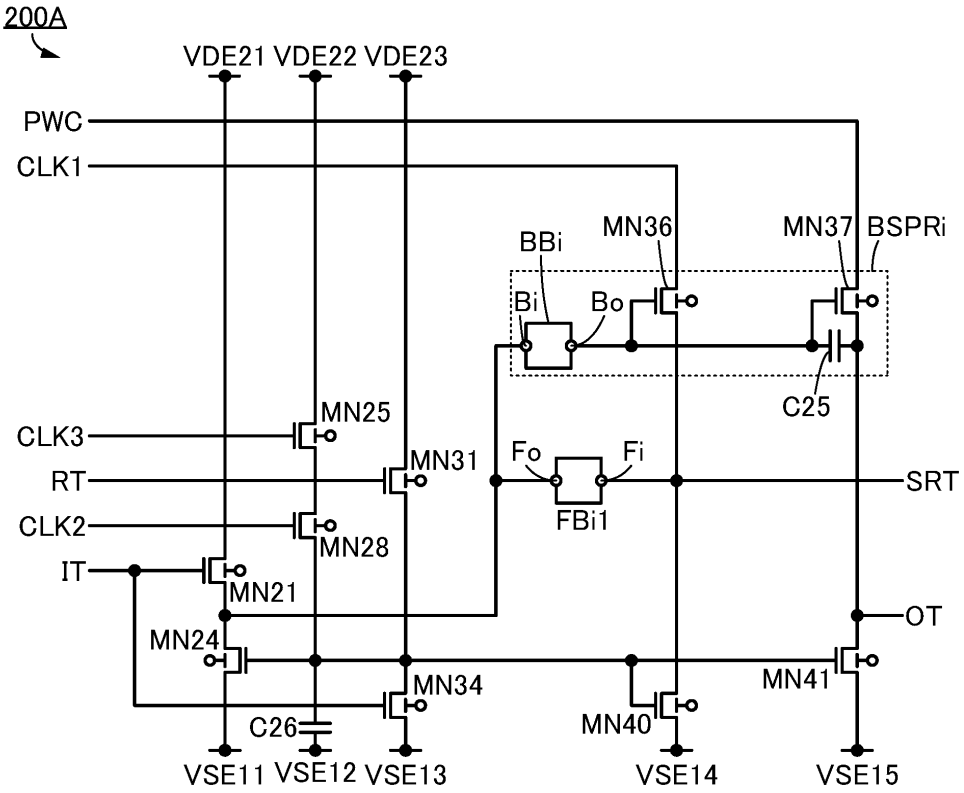
도면20


SD
CLKLA
CLKLB
CLKLC
CLKLD
PWCLA
PWCLB
PWCLC
PWCLD
VDL
SPR
LAT
DAC
SR
SL[1]
SL[2]
SL[3]
SL[4]
SL[5]
SL[6]
200[1]
200[2]
200[3]
200[4]
200[5]
200[6]
IT
OT
PWC
RT
SRT
CLK1
CLK2
CLK3

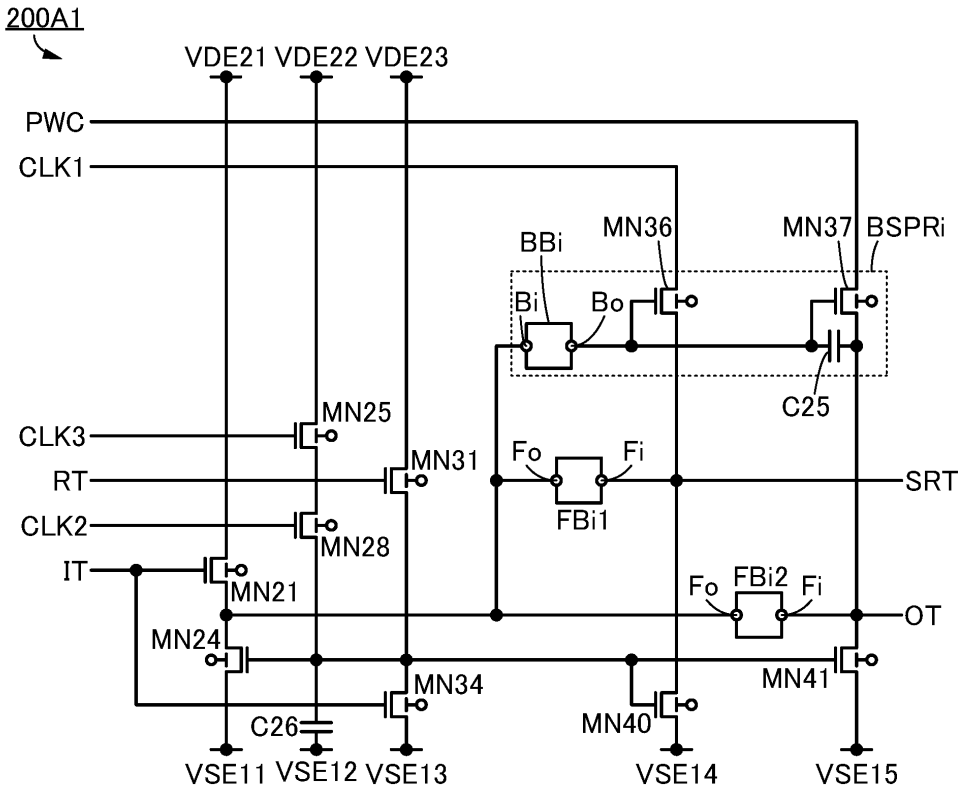
도면21


T21
T22
T23
T24
T25
T26
T27
T28
T29
T30
T31
T32
T33
T34
T35
T36
CLKLA
CLKLB
CLKLC
CLKLD
PWCLA
PWCLB
PWCLC
PWCLD
IT
OT[1]
OT[2]
OT[3]
OT[n]
VDL
SPR
VHigh
VLow
VDT[1]
VDT[2]
VDT[3]
VDT[n-2]
VDT[n-1]
VDT[n]

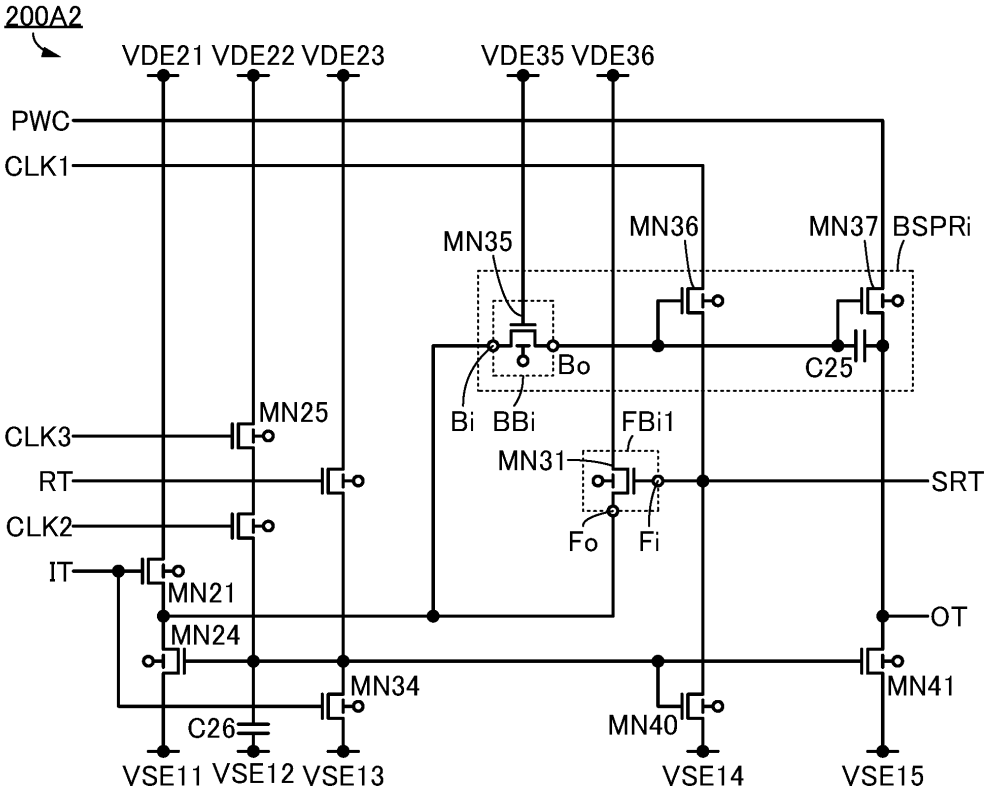
도면22


200A
VDE21 VDE22 VDE23
PWC
CLK1
BBi
MN36
MN37
BSPRi
Bi
Bo
C25
CLK3
MN25
MN31
Fo
Fi
SRT
RT
FBi1
CLK2
MN28
IT
MN21
OT
MN24
MN34
MN41
C26
MN40
VSE11 VSE12 VSE13
VSE14
VSE15

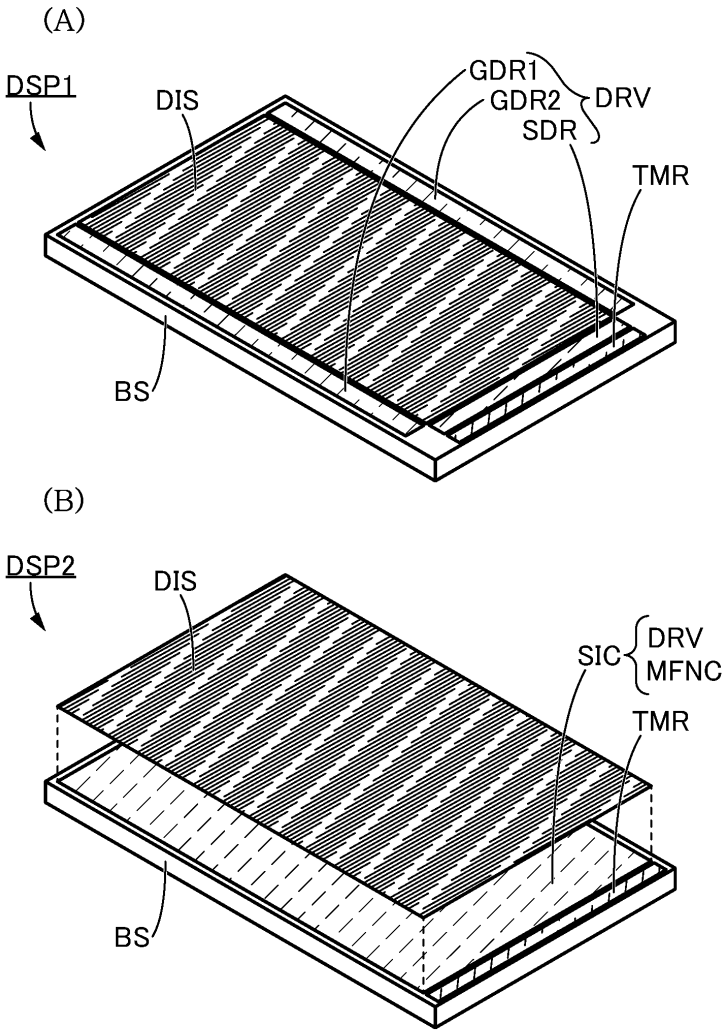
도면23


200A1
VDE21 VDE22 VDE23
PWC
CLK1
BBi
MN36
MN37
BSPRi
Bi
Bo
C25
CLK3
MN25
MN31
Fo
Fi
SRT
RT
FBi1
CLK2
MN28
IT
MN21
Fo
FBi2
Fi
OT
MN24
MN34
MN41
C26
MN40
VSE11 VSE12 VSE13
VSE14
VSE15

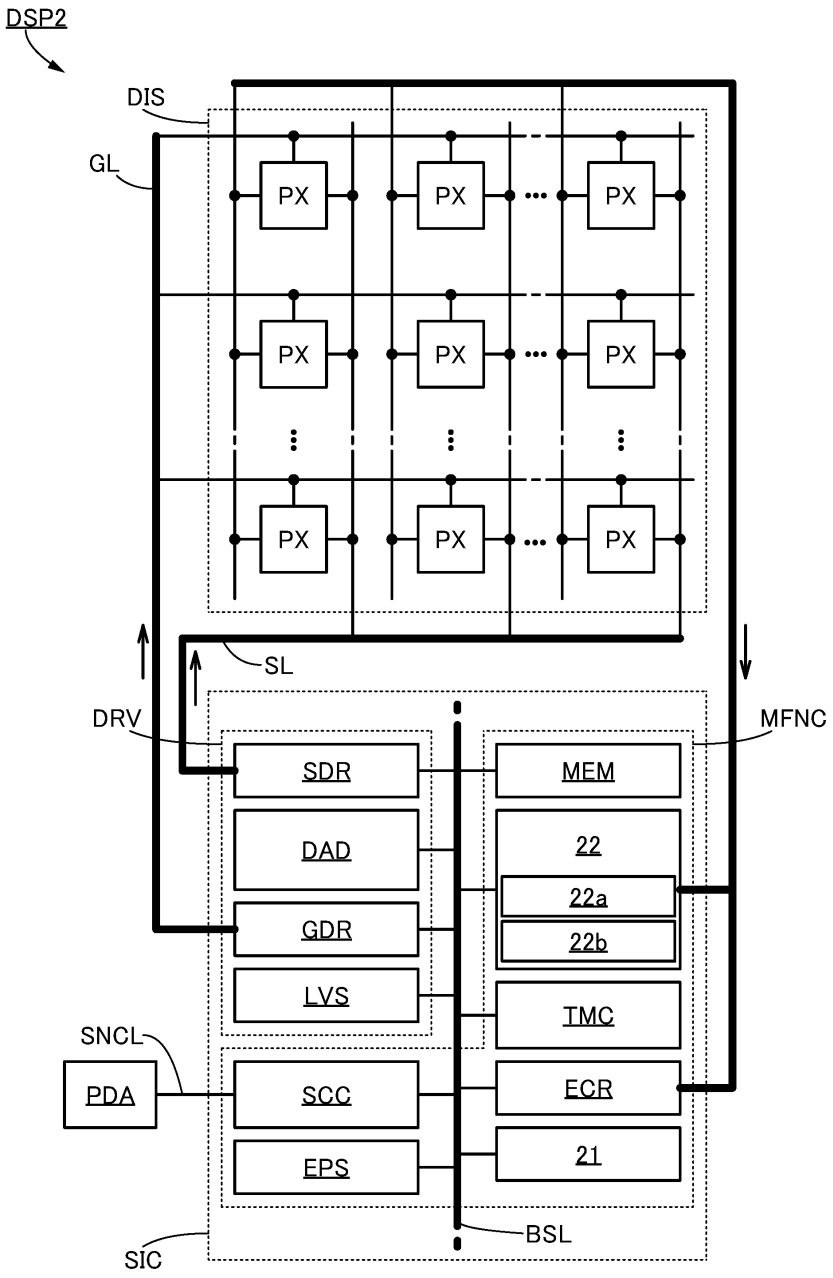
도면24


200A2
VDE21 VDE22 VDE23
VDE35 VDE36
PWC
CLK1
MN35
MN36
MN37
BSPRi
Bo
C25
Bi
BBi
FBi1
MN31
SRT
Fo
Fi
CLK3
MN25
RT
CLK2
IT
MN21
MN24
OT
MN34
MN41
C26
MN40
VSE11 VSE12 VSE13
VSE14
VSE15

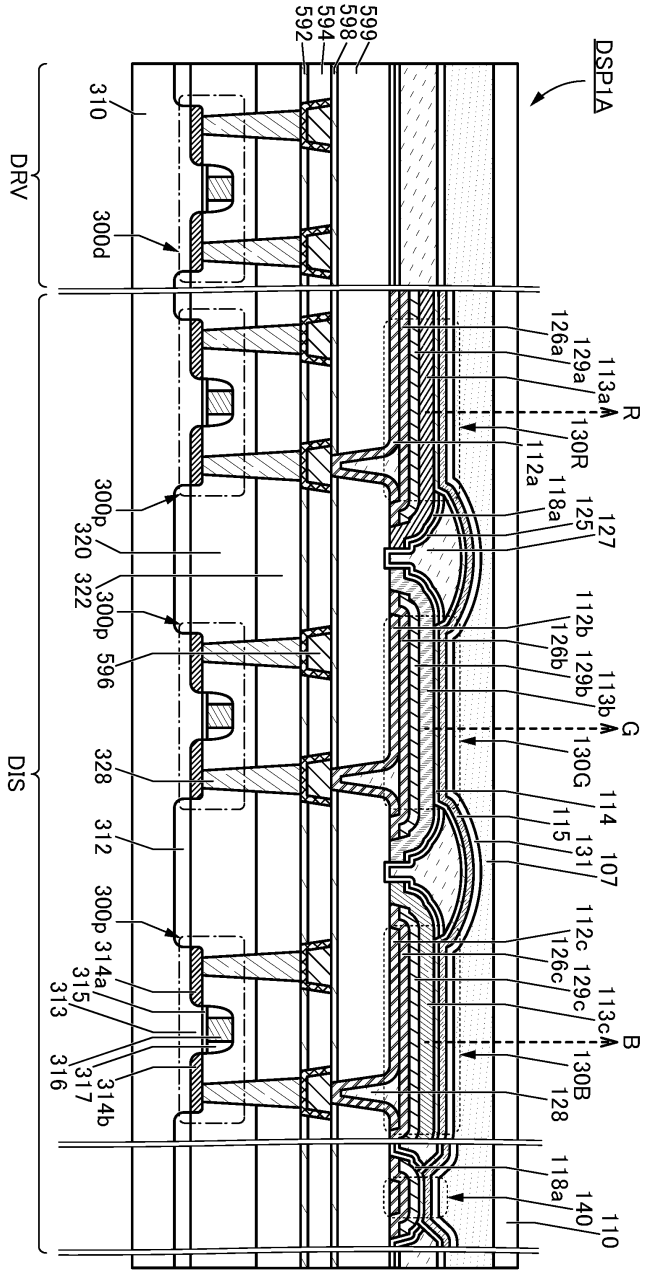
도면25


(A)
DSP1
DIS
GDR1
GDR2
DRV
SDR
TMR
BS
(B)
DSP2
DIS
SIC
DRV
MFNC
TMR
BS

도면26

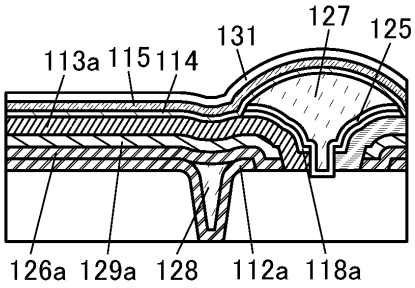

DSP2
DIS
GL
PX
SL
DRV
MFNC
SDR
DAD
GDR
LVS
MEM
22
22a
22b
TMC
ECR
21
SNCL
PDA
SCC
EPS
BSL
SIC

도면27

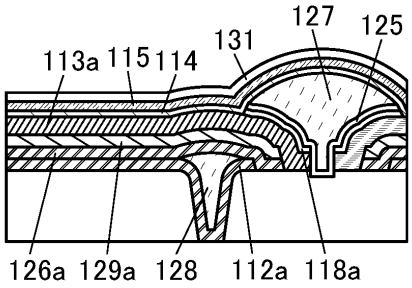

DSP1A
599
598
594
592
DRV
DIS
310
300d
126a
129a
113aA
R
130R
112a
118a
125
127
300p
320
322
300p
596
112b
126b
129b
113bA
G
130G
328
312
300p
314a
315
313
316
317
314b
114
115
131
107
112c
126c
129c
113cA
B
130B
128
118a
140
110

도면28

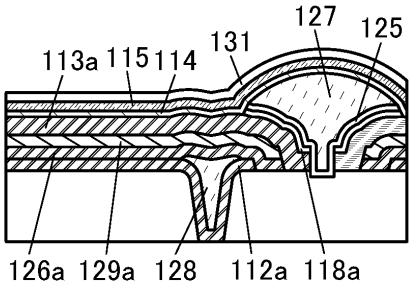
(A)


113a
115
114
131
127
125
126a
129a
128
112a
118a

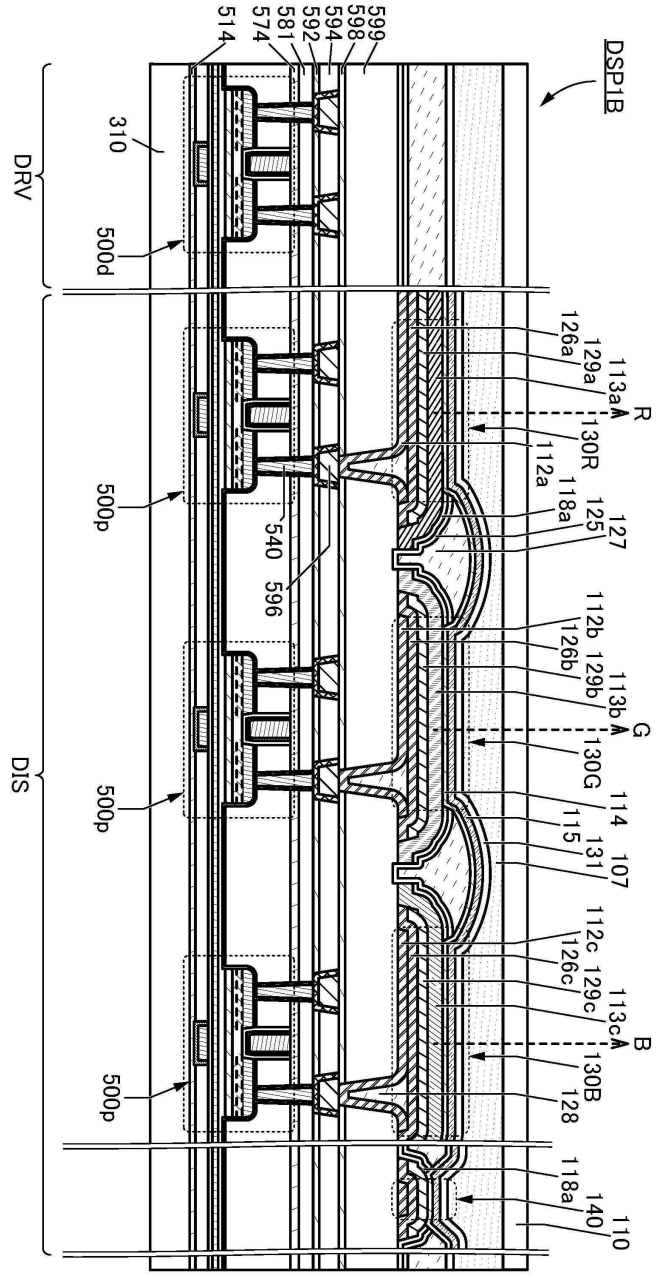
(B)


113a
115
114
131
127
125
126a
129a
128
112a
118a

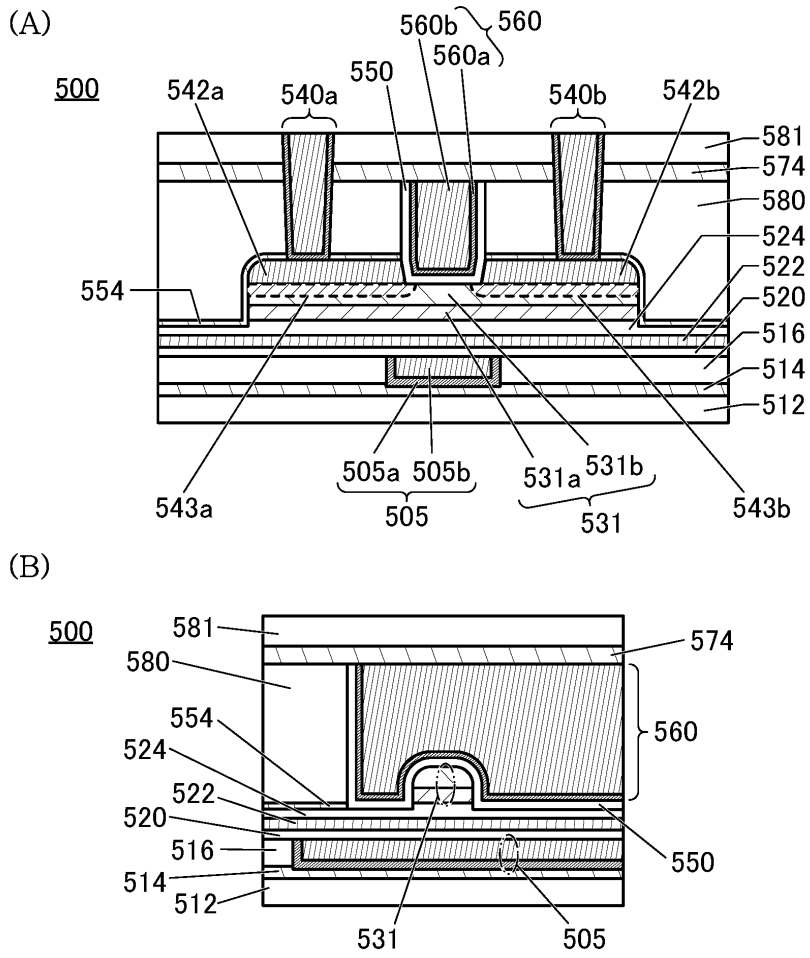
(C)


113a
115
114
131
127
125
126a
129a
128
112a
118a

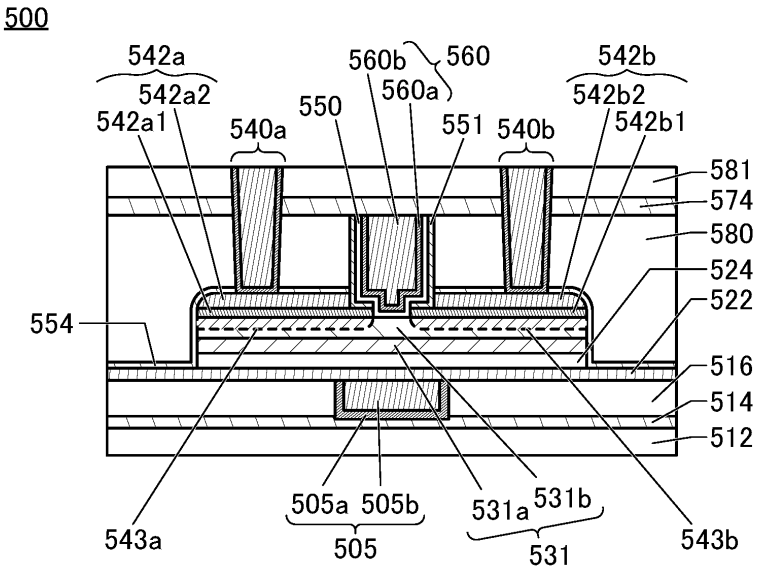
도면29


DSP1B
599
598
594
592
581
574
514
310
500d
DRV
DIS
500p
540
596
126a
129a
113aA
R
130R
112a
118a
125
127
112b
126b
129b
113bA
G
130G
114
115
131
107
112c
126c
129c
113cA
B
130B
128
118a
140
110

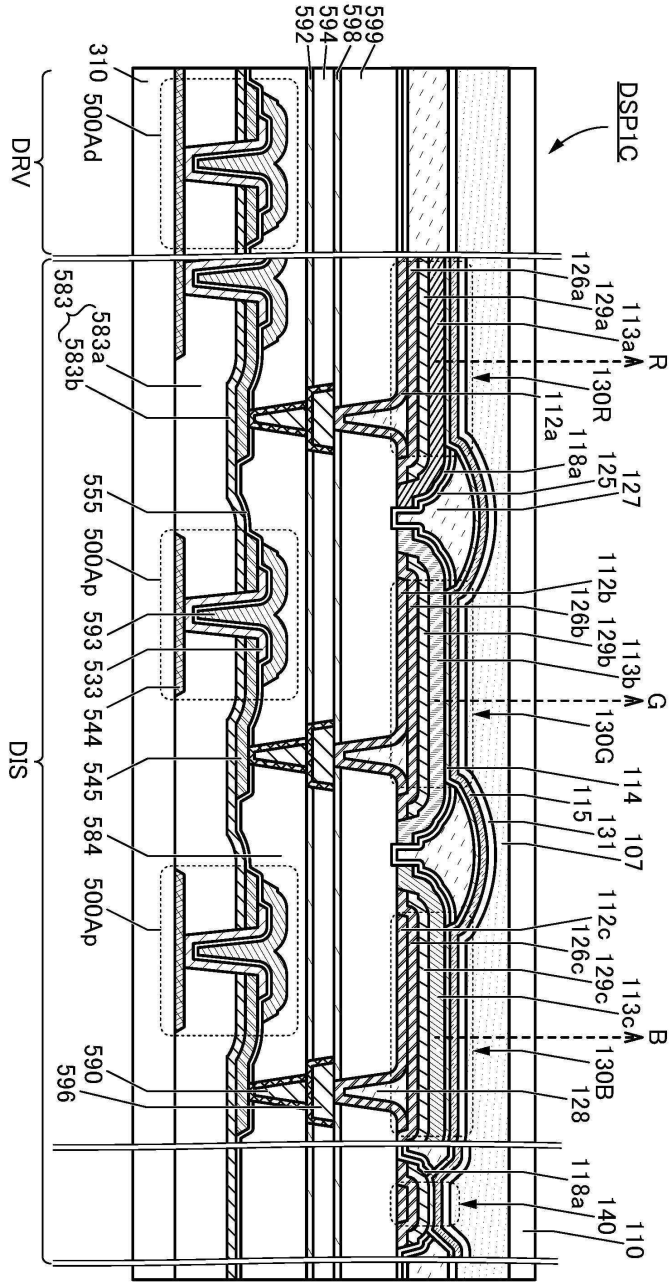
도면30


(A)
500
542a
540a
550
560b
560
560a
540b
542b
581
574
580
524
522
520
516
514
512
554
543a
505a
505b
505
531a
531b
531
543b
(B)
500
581
580
574
554
560
524
522
520
516
514
512
550
531
505

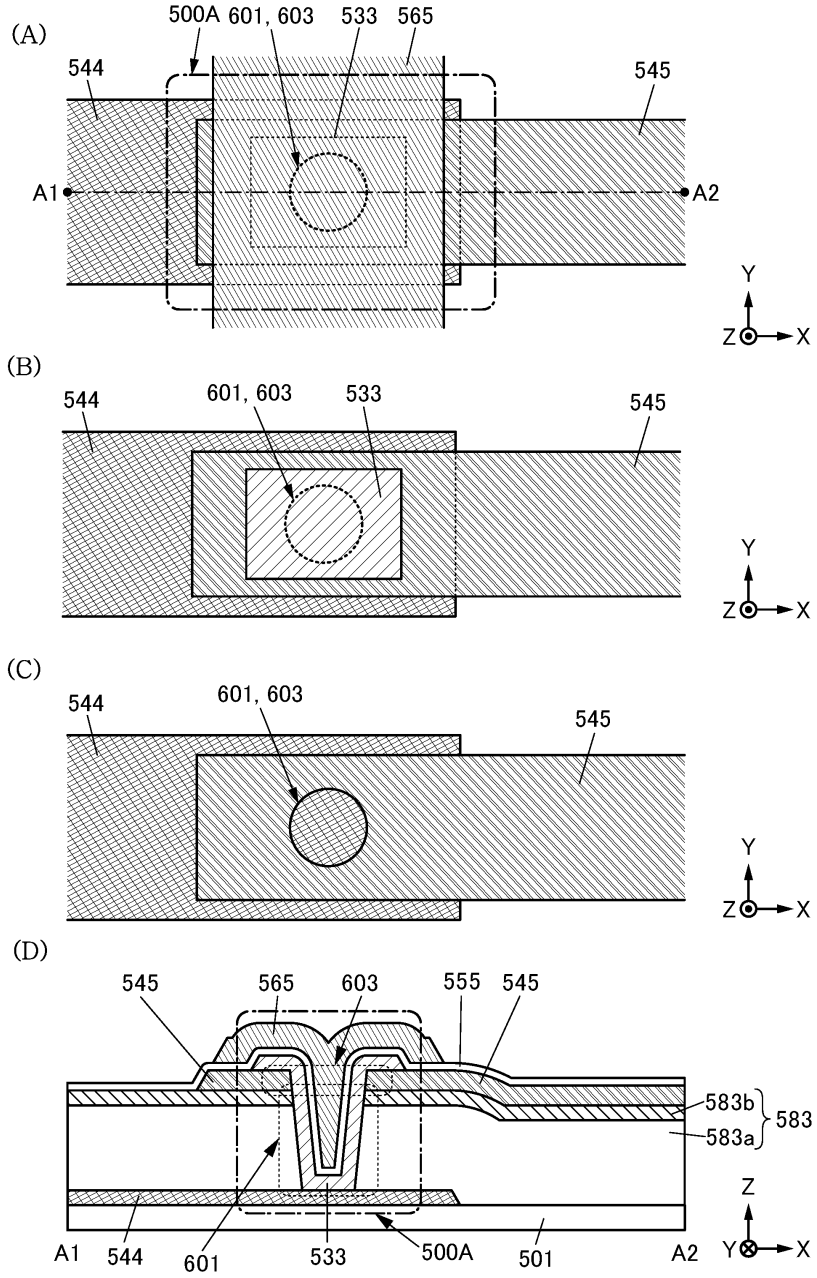
도면31


500
542a
542a2
542a1
540a
550
560b
560
560a
551
540b
542b
542b2
542b1
581
574
580
524
522
554
516
514
512
543a
505a
505b
505
531a
531b
531
543b

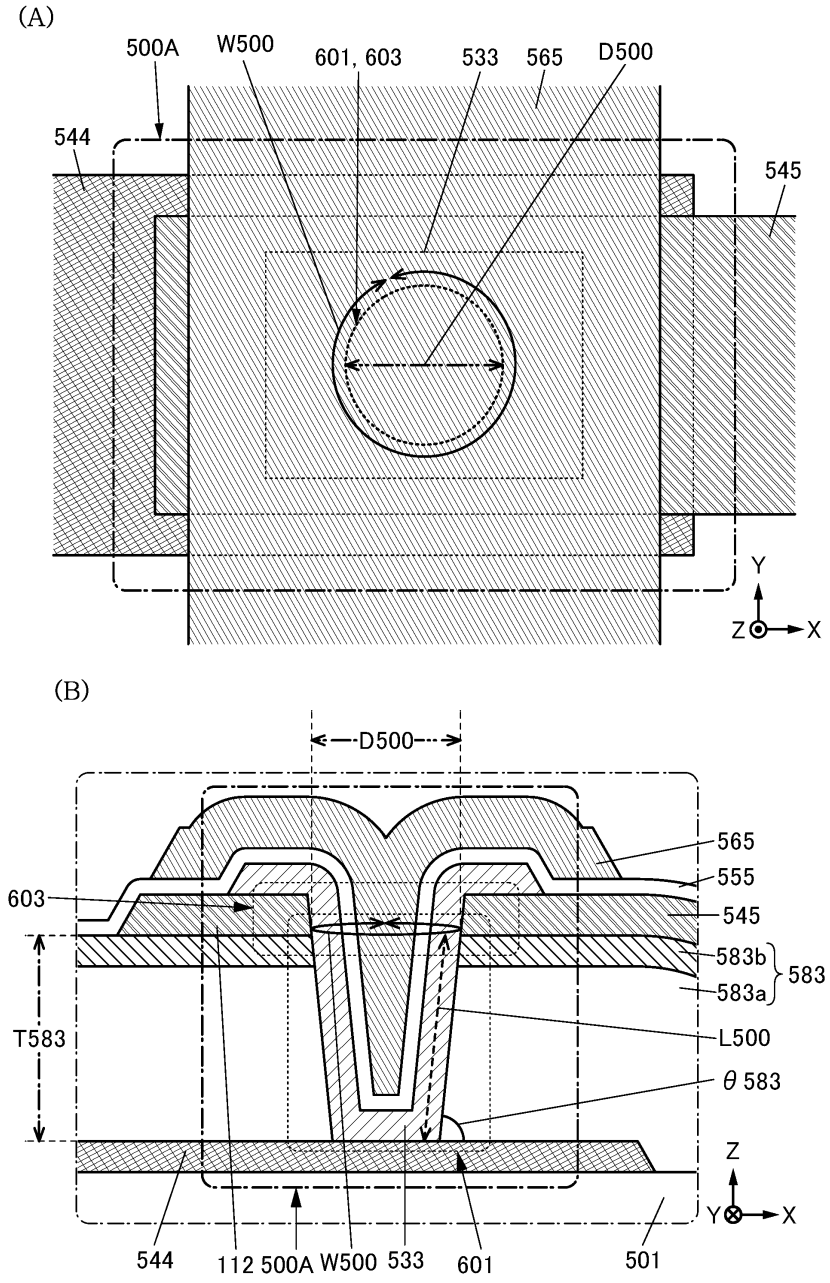
도면32


599
598
594
592
310
500Ad
DRV
DSP1C
126a
129a
113aA
R
583
583a
583b
130R
112a
118a
125
127
555
500Ap
593
533
544
545
584
500Ap
112b
126b
129b
113bA
G
130G
114
115
131
107
112c
126c
129c
113cA
B
130B
128
590
596
118a
140
110
DIS

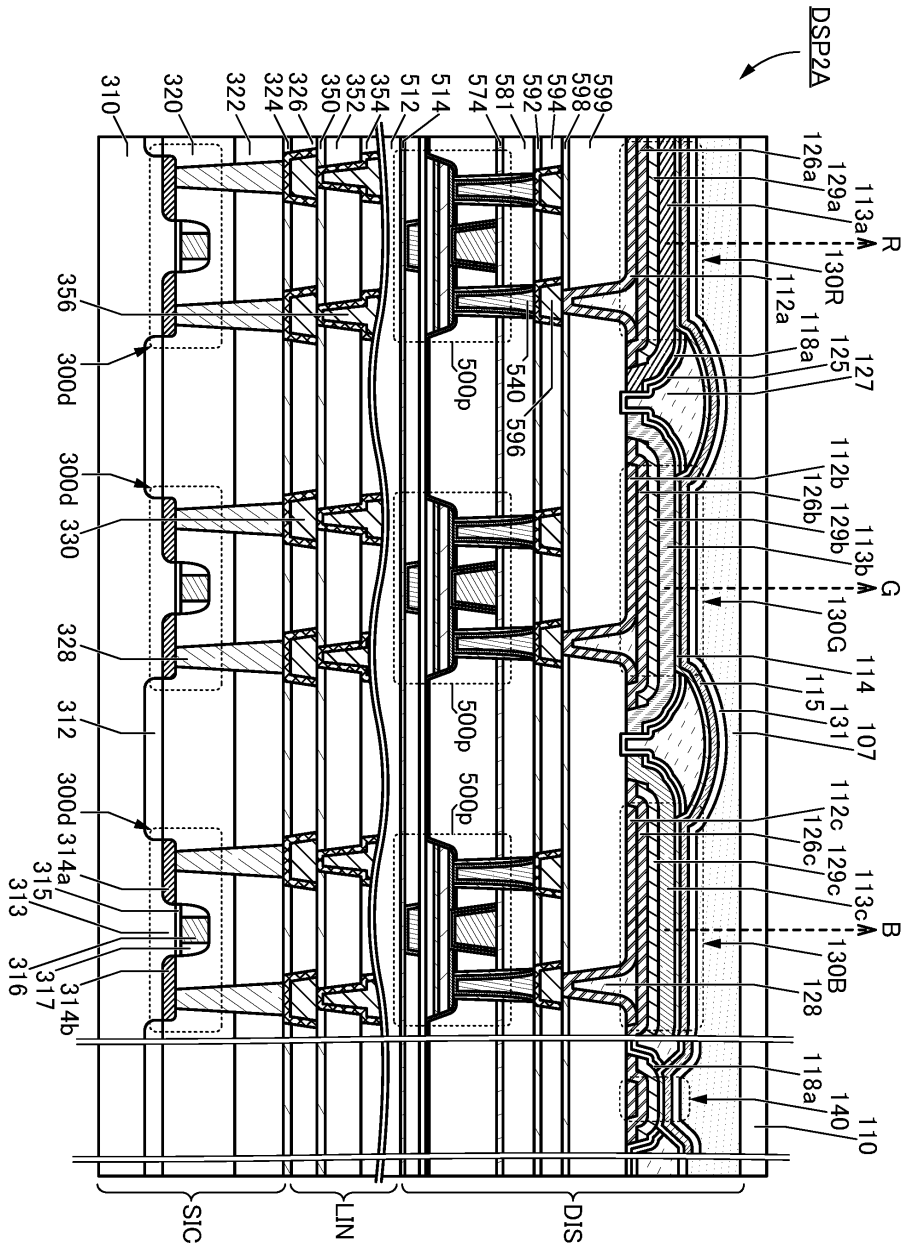
도면33


(A)
500A
601, 603
533
565
544
545
A1
A2
Y
Z
X
(B)
544
601, 603
533
545
Y
Z
X
(C)
544
601, 603
545
Y
Z
X
(D)
545
565
603
555
545
583b
583a
583
Z
Y
X
A1
544
601
533
500A
501
A2

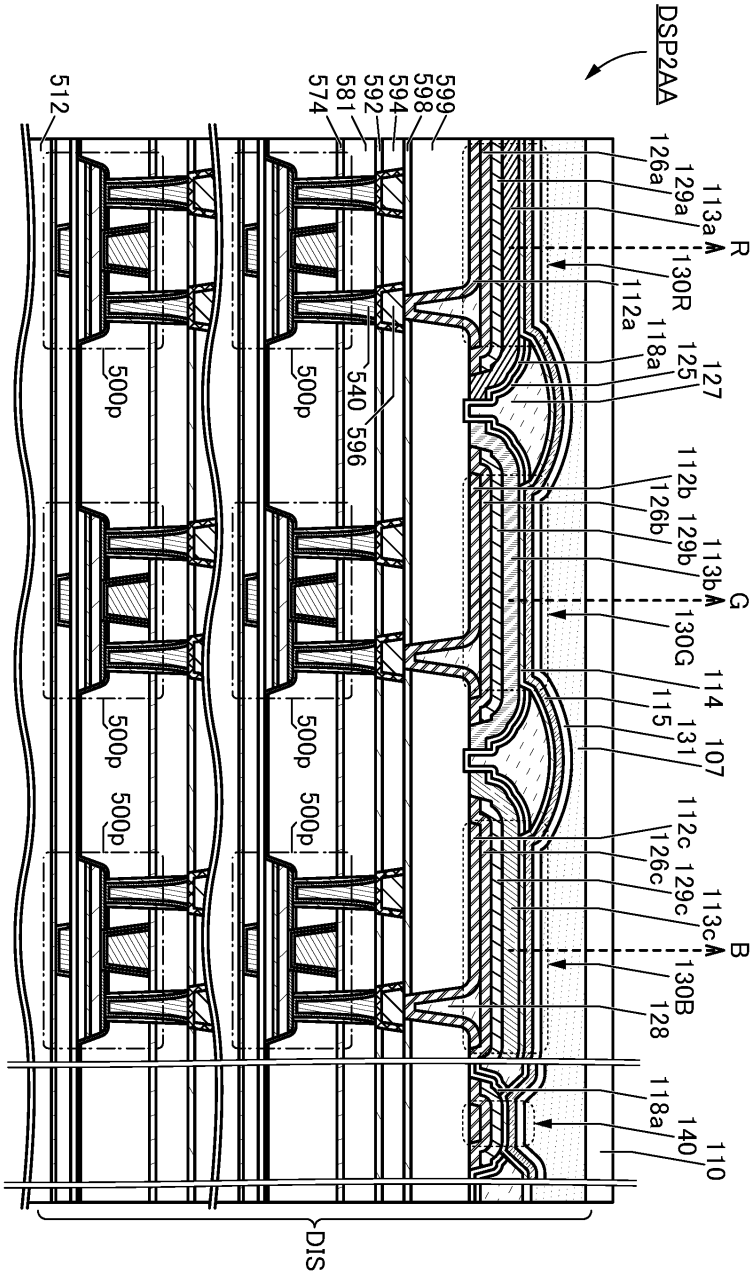
도면34


(A)
500A
W500
601, 603
533
565
D500
544
545
Y
Z
X
(B)
D500
565
555
545
603
583b
583a
583
T583
L500
θ 583
Z
Y
X
544
112
500A
W500
533
601
501

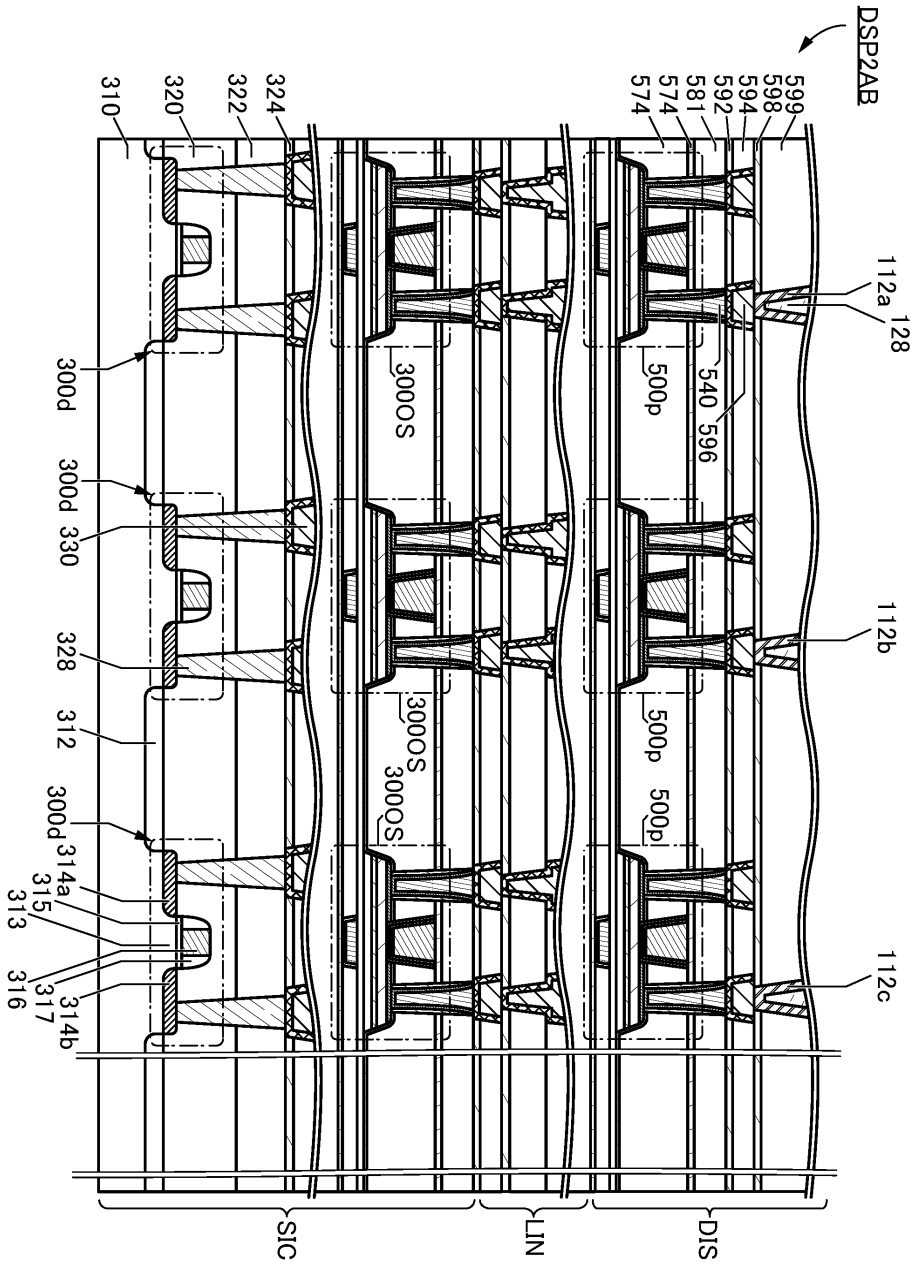
도면35


DSP2A
310
320
322
324
326
350
352
354
512
514
574
581
592
594
598
599
356
300d
330
328
312
314a
315
313
316
317
314b
126a
129a
113a
R
130R
112a
118a
125
127
500p
540
596
112b
126b
129b
113b
G
130G
114
115
131
107
112c
126c
129c
113c
B
130B
128
118a
140
110
SIC
LIN
DIS

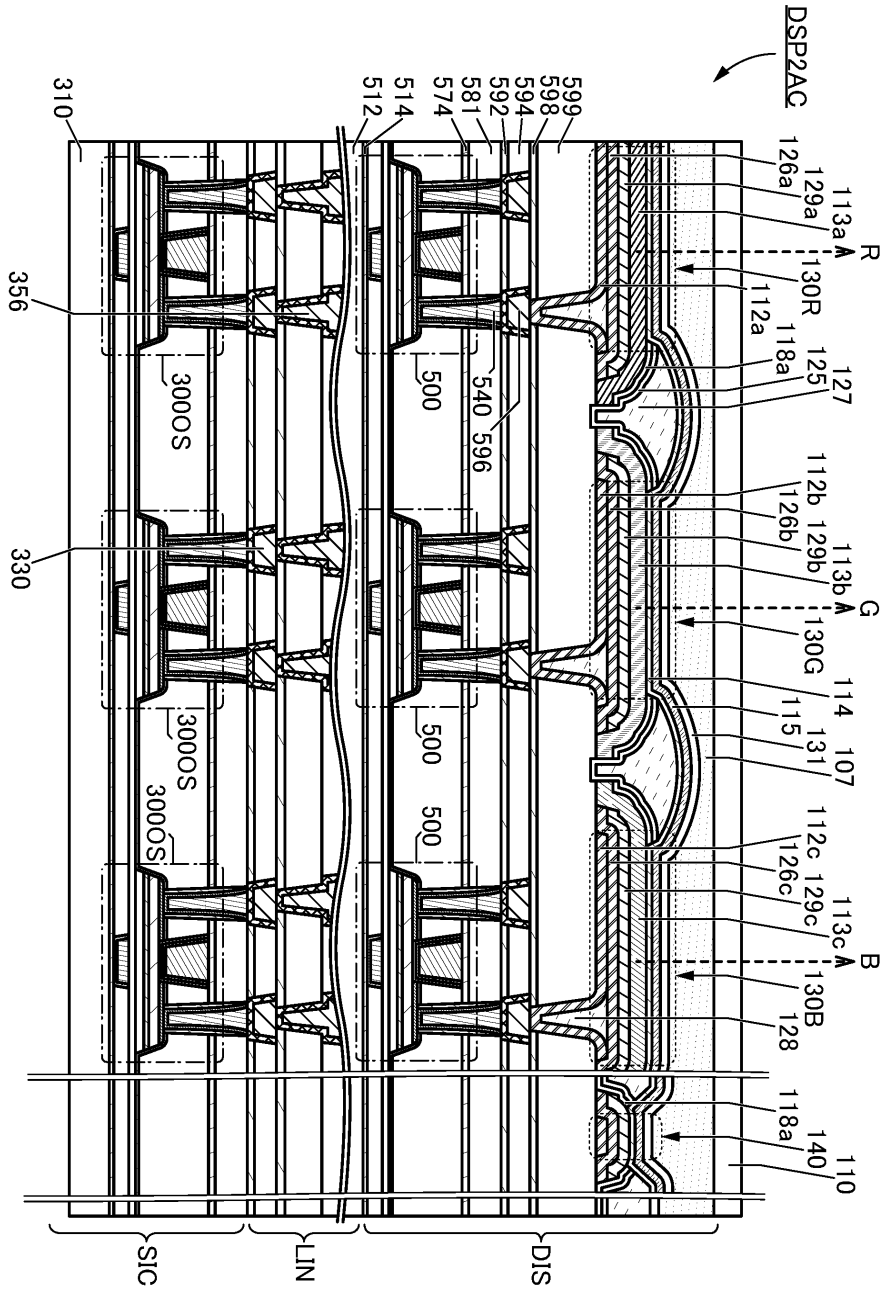
도면36


DSP2AA
512
574
581
592
594
598
599
126a
129a
113aA
R
130R
112a
118a
125
127
500p
540
596
112b
126b
129b
113bA
G
130G
114
115
131
107
112c
126c
129c
113cA
B
130B
128
118a
140
110
DIS

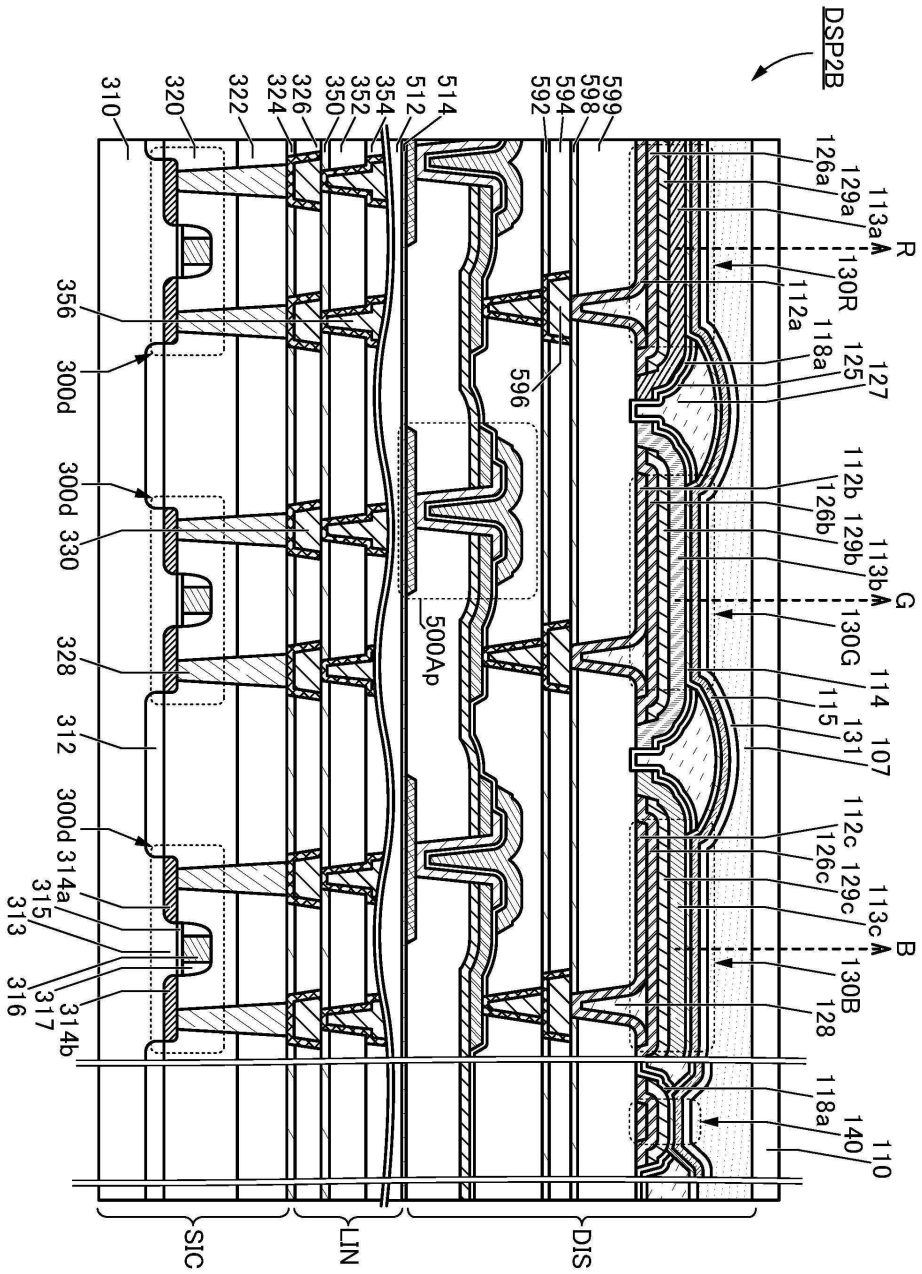
도면37


DSP2AB
599
598
594
592
581
574
574
310
320
322
324
112a
128
300d
300d
330
328
312
300d
314a
315
313
316
317
314b
300OS
300OS
300OS
500p
500p
500p
540
596
112b
112c
SIC
LIN
DIS

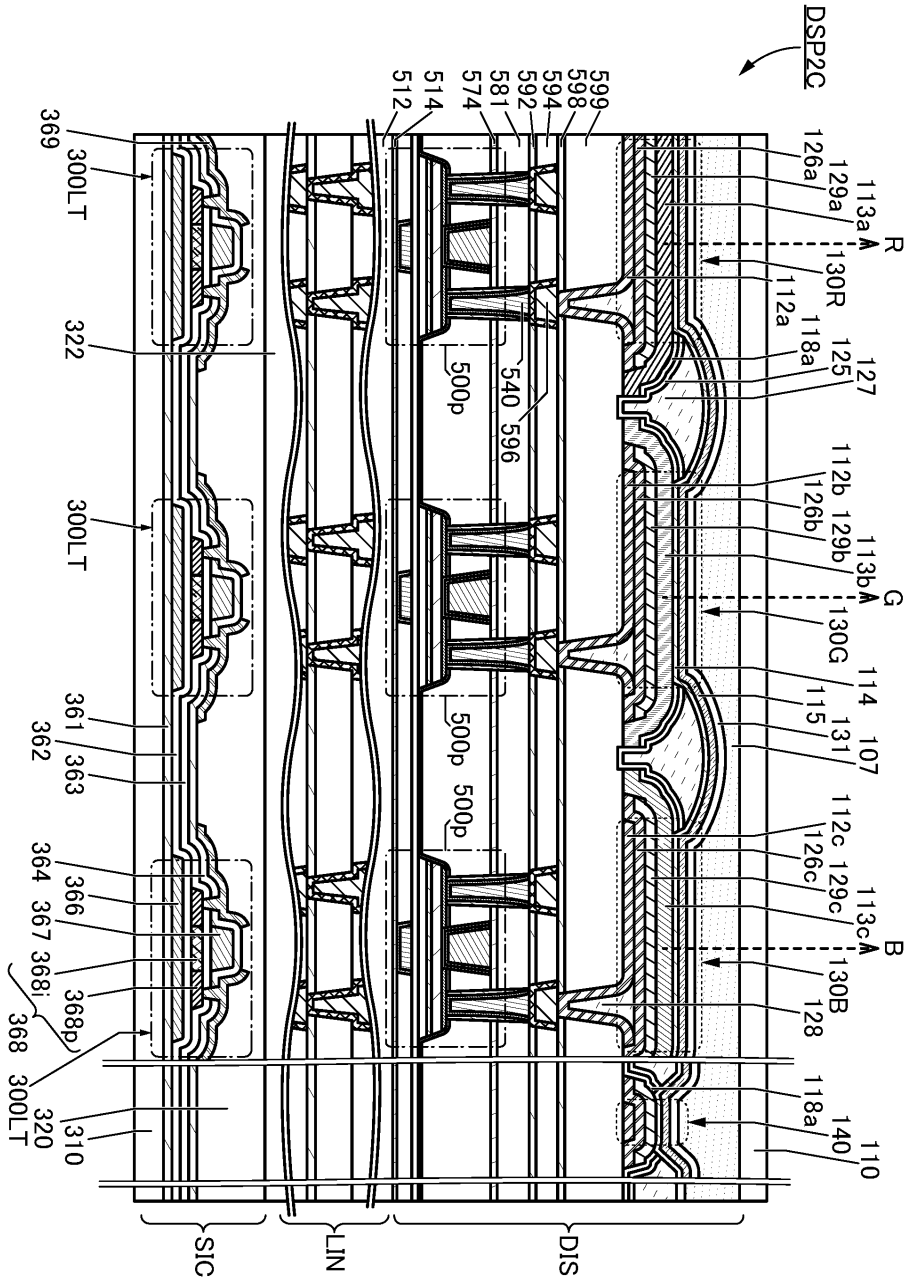
도면38


DSP2AC
310
356
330
512
514
574
581
592
594
598
599
126a
129a
113a
130R
112a
118a
125
127
112b
126b
129b
113b
130G
114
115
131
107
112c
126c
129c
113c
130B
128
118a
140
110
500
540
596
300OS
R
G
B
SIC
LIN
DIS

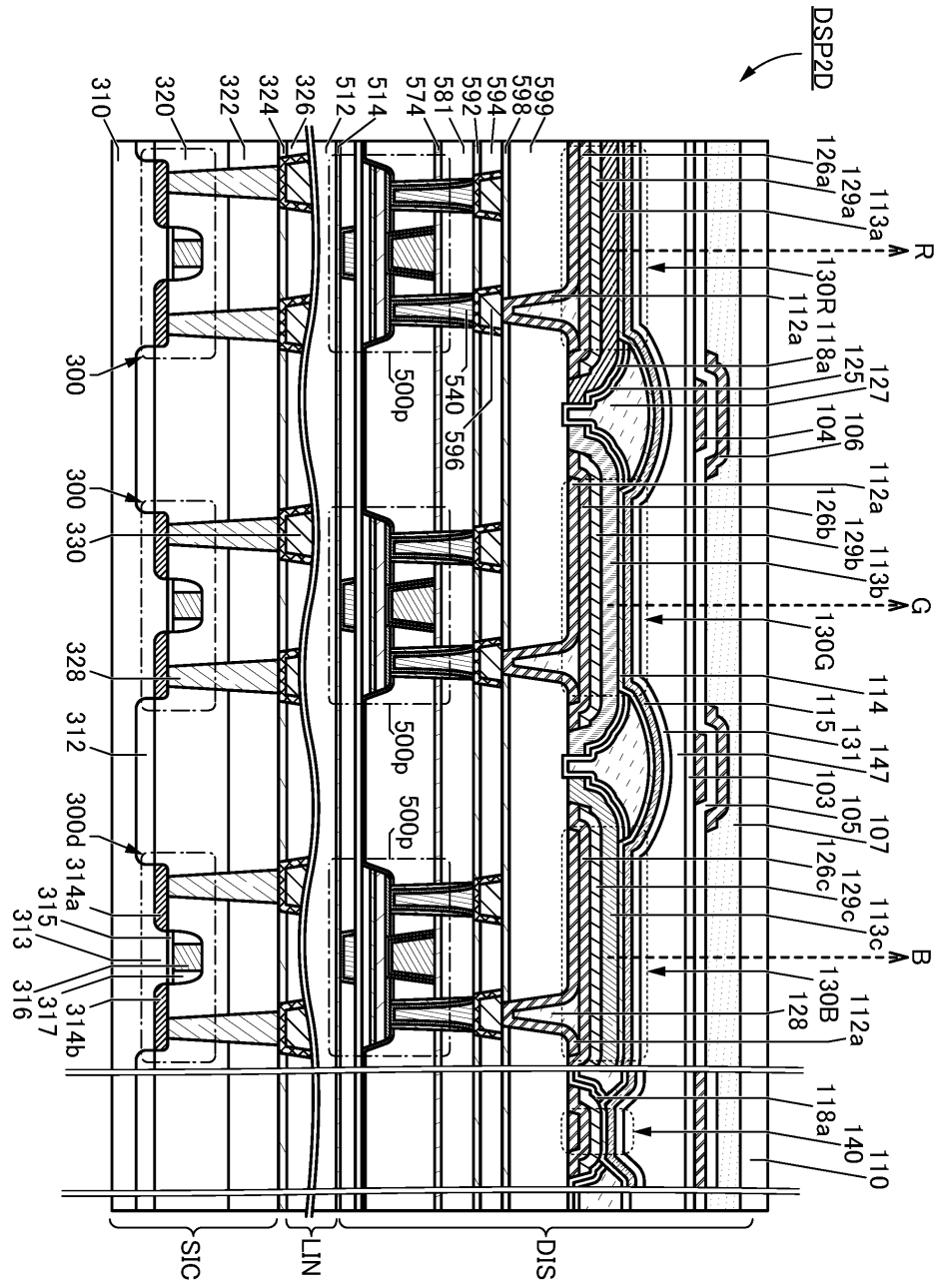
도면39


DSP2B
310
320
322
324
326
350
352
354
512
514
592
594
598
599
596
356
300d
330
328
312
314a
315
313
316
317
314b
126a
129a
113aA
R
130R
112a
118a
125
127
112b
126b
129b
113bA
G
130G
114
115
131
107
112c
126c
129c
113cA
B
130B
128
118a
140
110
500Ap
SIC
LIN
DIS

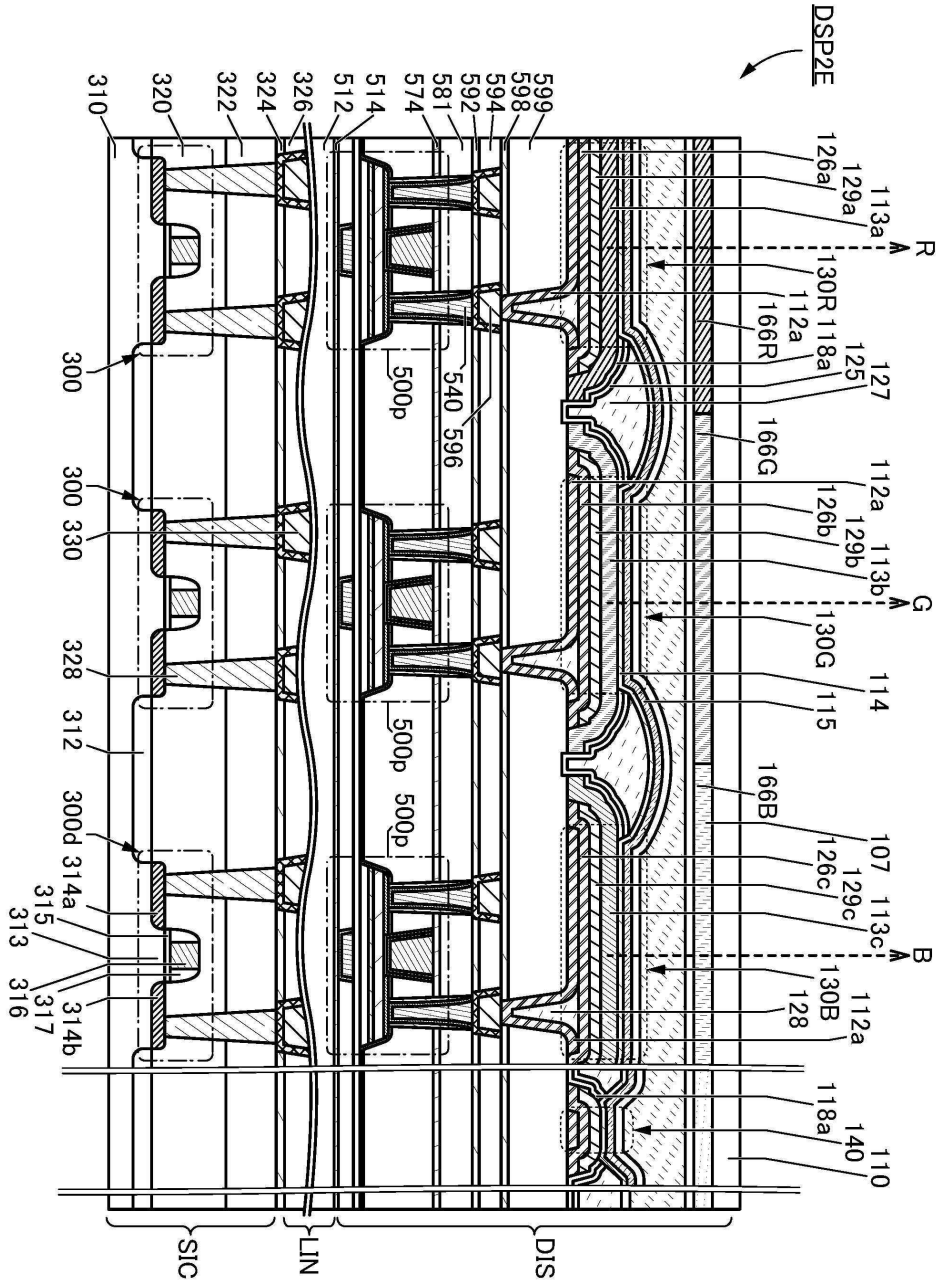
도면40


DSP2C
599
598
594
592
581
574
514
512
369
300LT
322
300LT
361
362
363
364
366
367
368i
368p
368
300LT
320
310
126a
129a
113a
R
130R
112a
118a
125
127
500p
540
596
112b
126b
129b
113b
G
130G
114
115
131
107
500p
500p
112c
126c
129c
113c
B
130B
128
118a
140
110
SIC
LIN
DIS

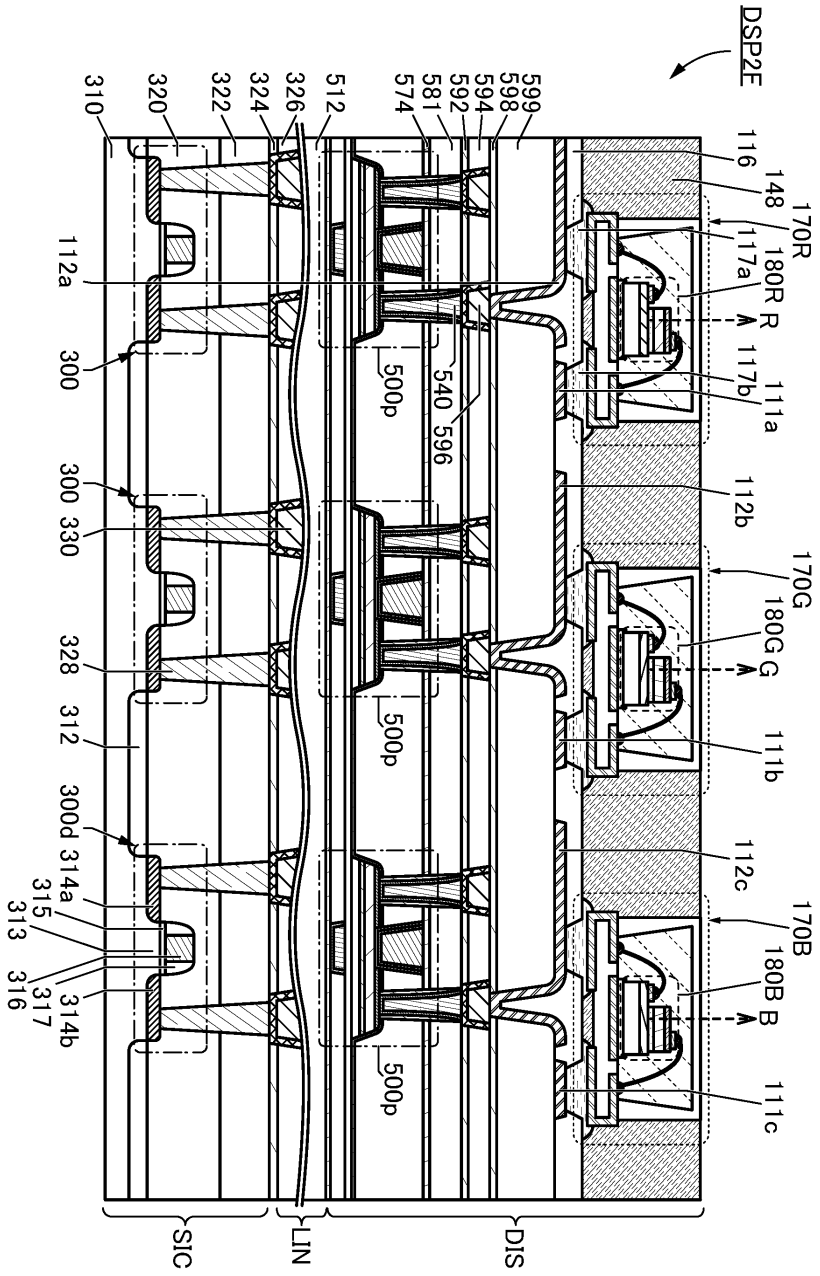
도면41


DSP2D
310
320
322
324
326
512
514
574
581
592
594
598
599
126a
129a
113a
R
130R
112a
118a
125
127
104
106
112a
126b
129b
113b
G
130G
114
115
131
147
103
105
107
126c
129c
113c
B
130B
128
112a
118a
140
110
300
300
330
328
312
300d
314a
315
313
316
317
314b
500p
540
596
500p
500p
SIC
LIN
DIS

도면42

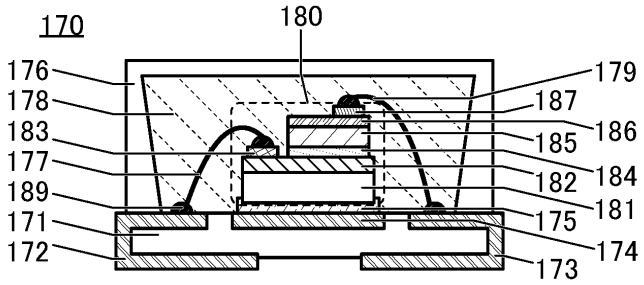

DSP2E
310
320
322
324
326
512
514
574
581
592
594
598
599
126a
129a
113a
R
130R
112a
166R
118a
125
127
166G
112a
126b
129b
113b
G
130G
114
115
166B
107
126c
129c
113c
B
130B
128
112a
118a
140
110
300
300
330
328
312
300d
314a
315
313
316
317
314b
500p
540
596
500p
500p
SIC
LIN
DIS

도면43

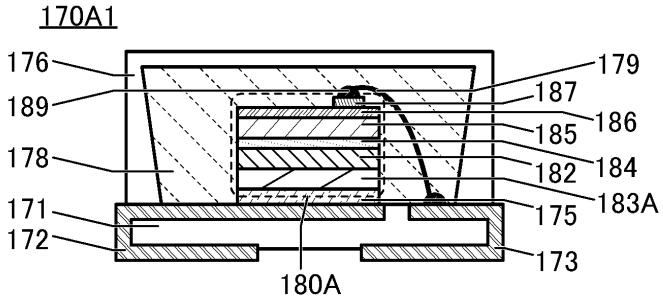

DSP2E
310
320
322
324
326
512
574
581
592
594
598
599
116
148
170R
117a
180R
R
117b
111a
112a
300
500p
540
596
112b
300
330
170G
180G
G
328
312
111b
300d
314a
112c
315
313
170B
180B
B
316
317
314b
111c
SIC
LIN
DIS

도면44

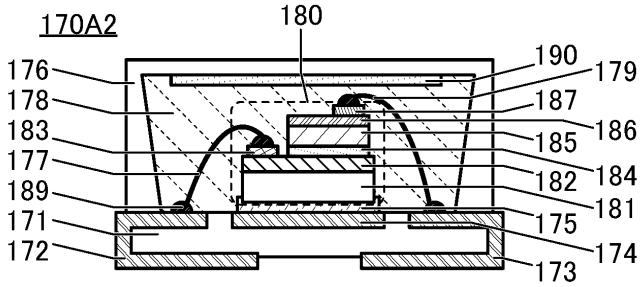
(A)


170
180
176
178
183
177
189
171
172
179
187
186
185
184
182
181
175
174
173

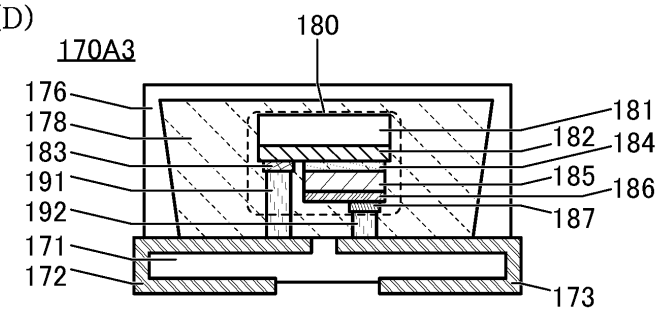
(B)


170A1
176
189
178
171
172
180A
179
187
186
185
184
182
183A
175
173

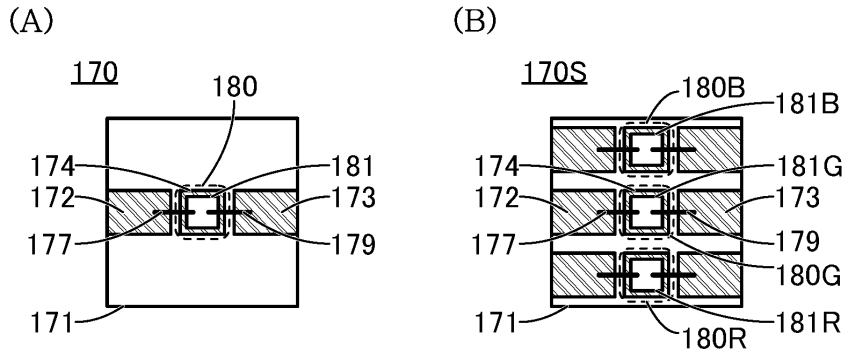
(C)


170A2
180
176
178
183
177
189
171
172
190
179
187
186
185
184
182
181
175
174
173

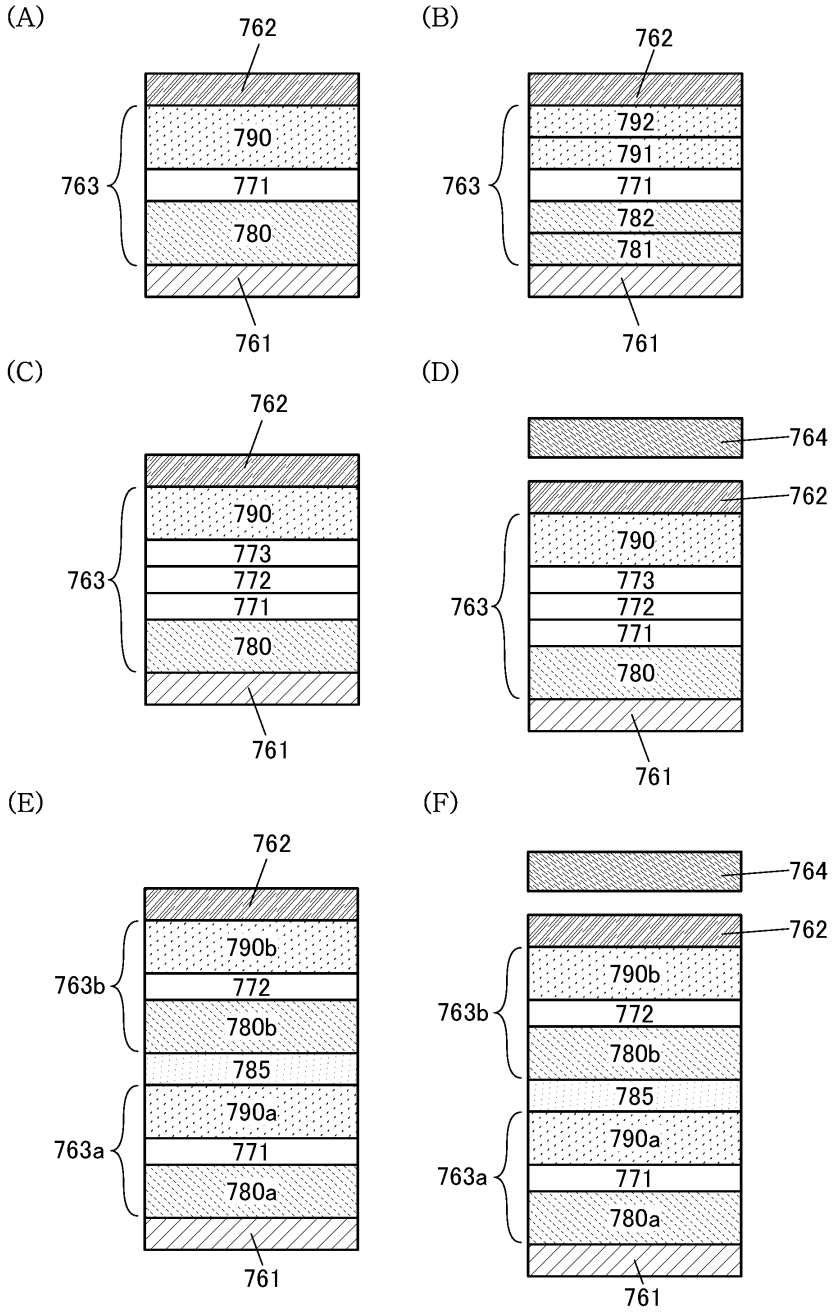
(D)


170A3
180
176
178
183
191
192
171
172
181
182
184
185
186
187
173

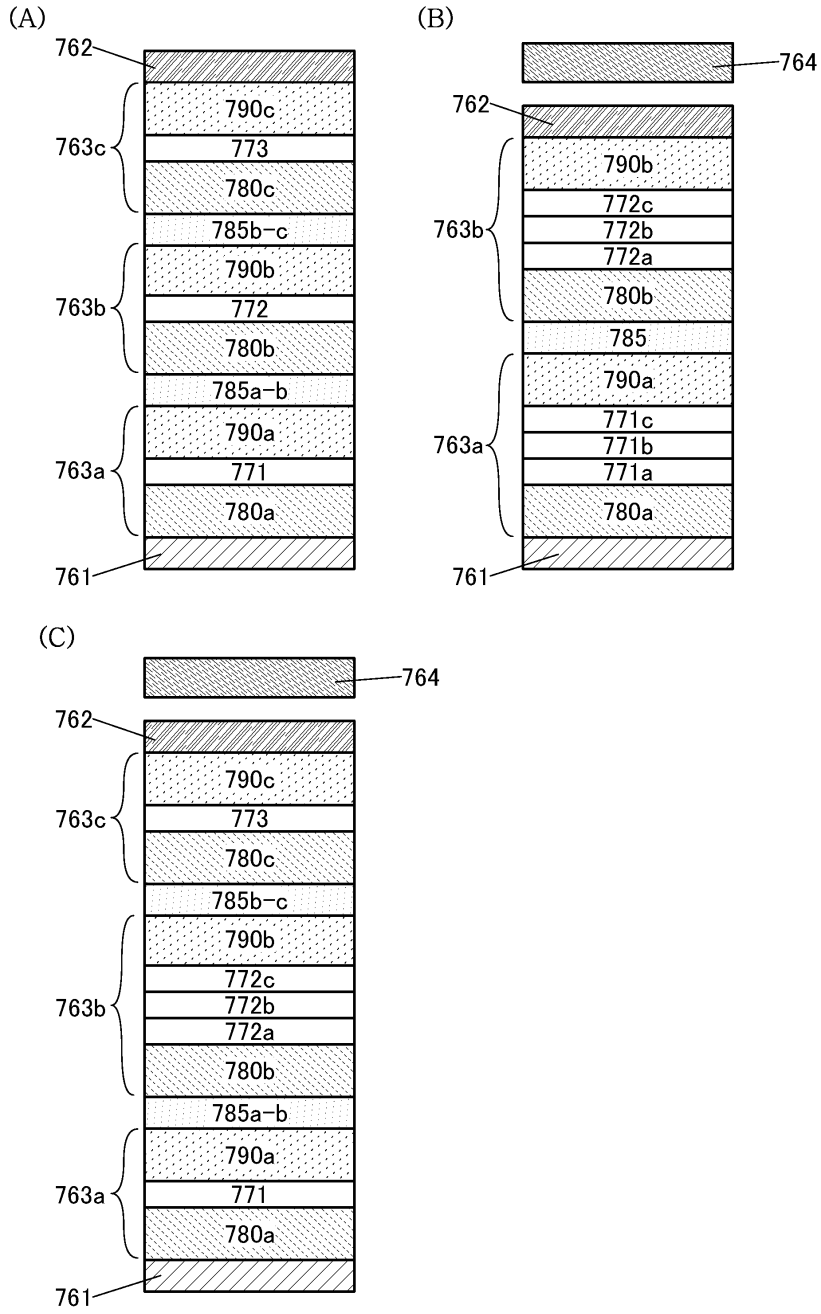
도면45


(A)
170
180
174
172
177
171
181
173
179
(B)
170S
180B
181B
174
172
177
171
181G
173
179
180G
181R
180R

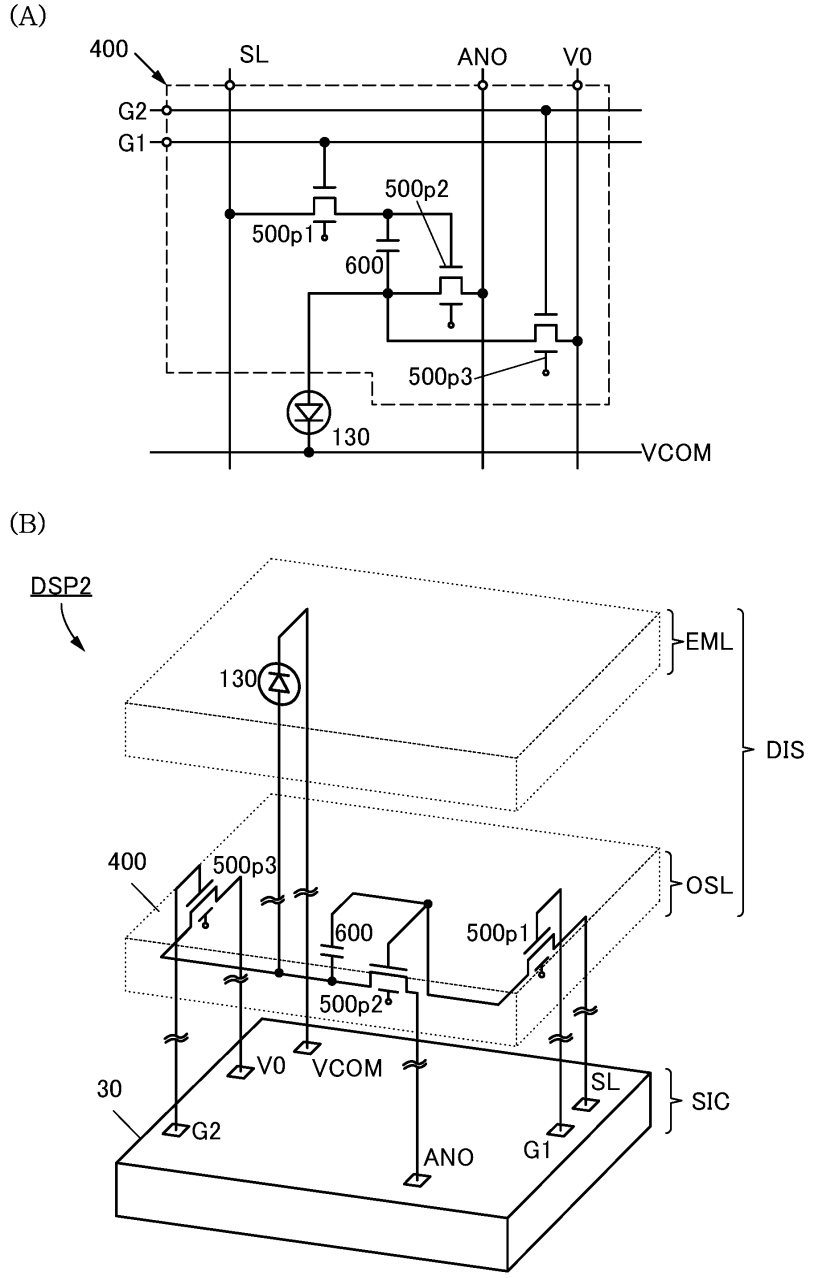
도면46


(A)
762
763
790
771
780
761
(B)
762
763
792
791
771
782
781
761
(C)
762
763
790
773
772
771
780
761
(D)
764
762
763
790
773
772
771
780
761
(E)
762
763b
790b
772
780b
785
763a
790a
771
780a
761
(F)
764
762
763b
790b
772
780b
785
763a
790a
771
780a
761

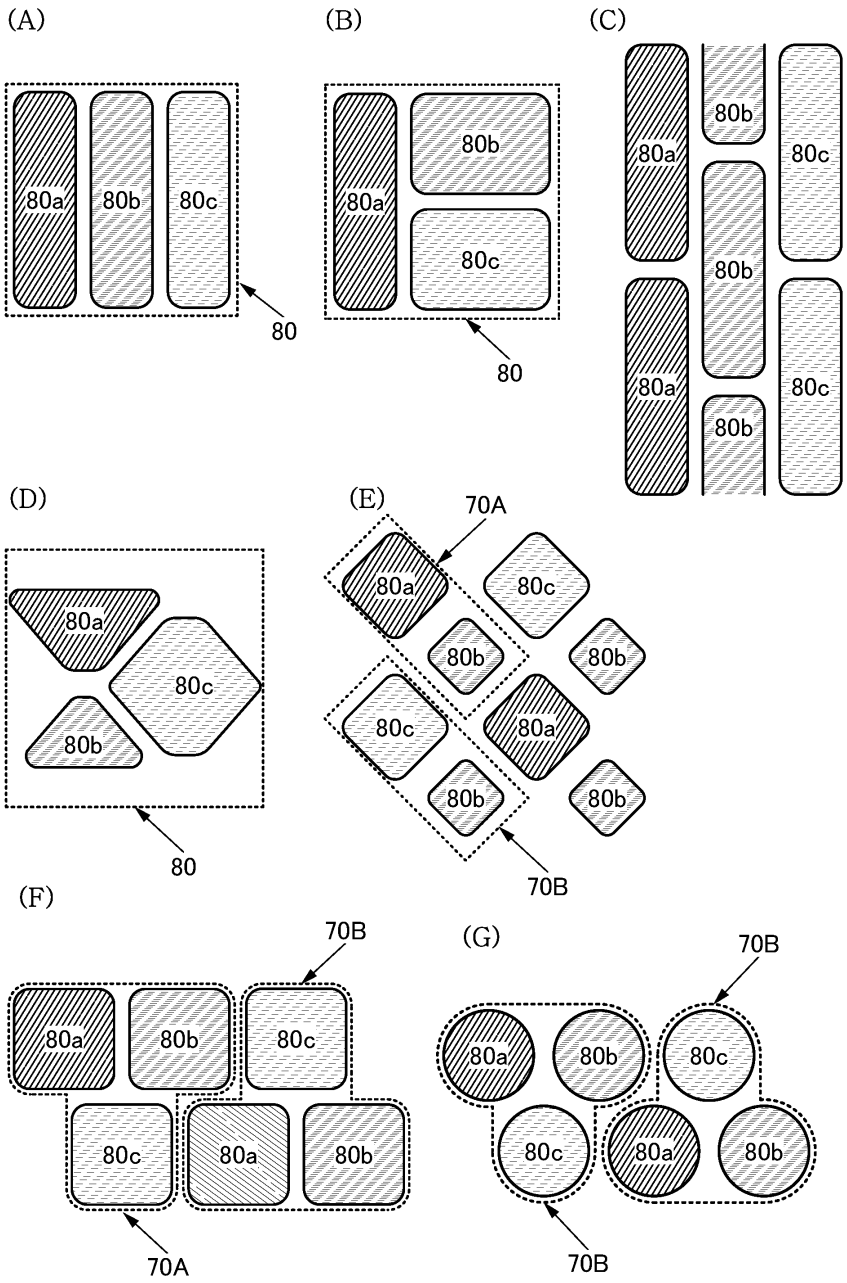
도면47


(A)
762
763c
790c
773
780c
785b-c
763b
790b
772
780b
785a-b
763a
790a
771
780a
761
(B)
764
762
763b
790b
772c
772b
772a
780b
785
763a
790a
771c
771b
771a
780a
761
(C)
764
762
763c
790c
773
780c
785b-c
763b
790b
772c
772b
772a
780b
785a-b
763a
790a
771
780a
761

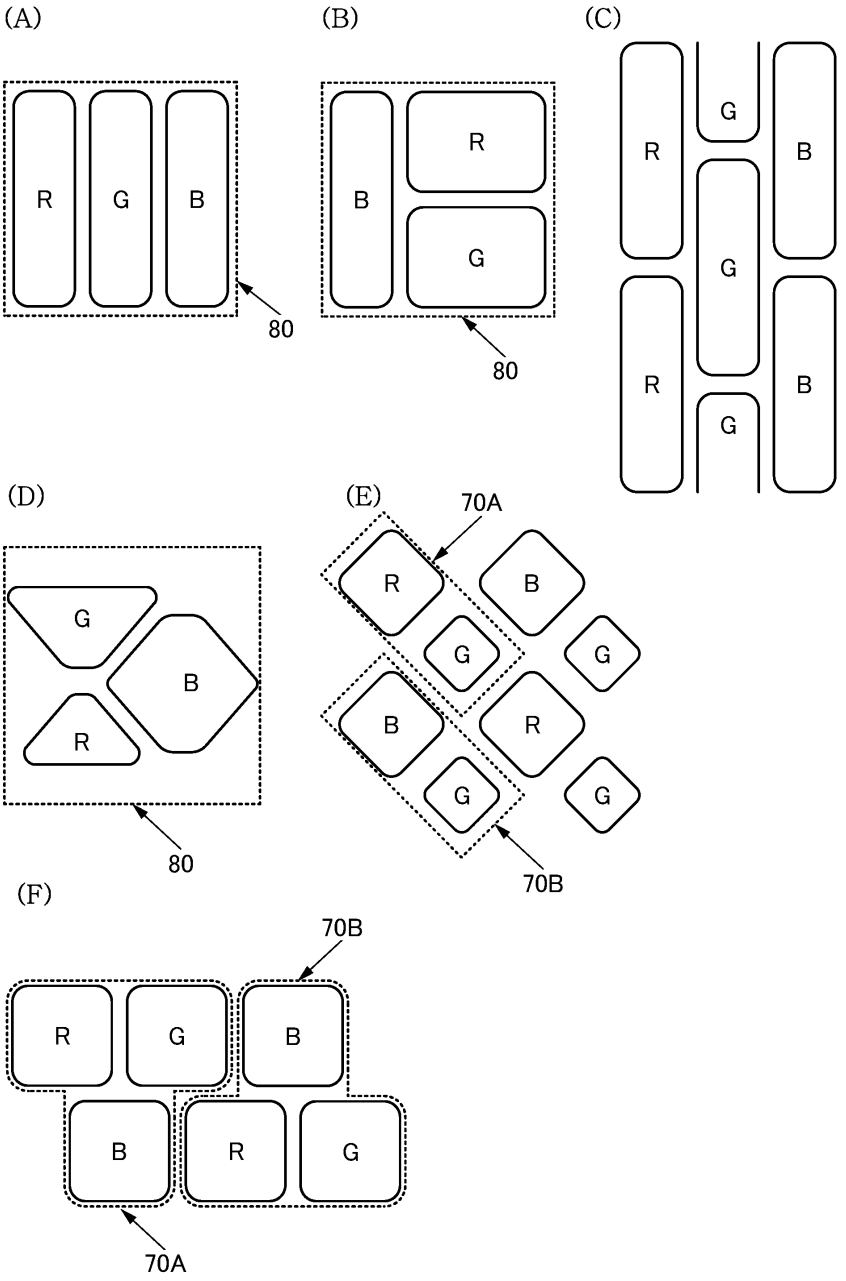
도면48


(A)
400
SL
ANO
V0
G2
G1
500p2
500p1
600
500p3
130
VCOM
(B)
DSP2
130
EML
DIS
400
500p3
600
500p1
OSL
500p2
V0
VCOM
SL
SIC
30
G2
ANO
G1

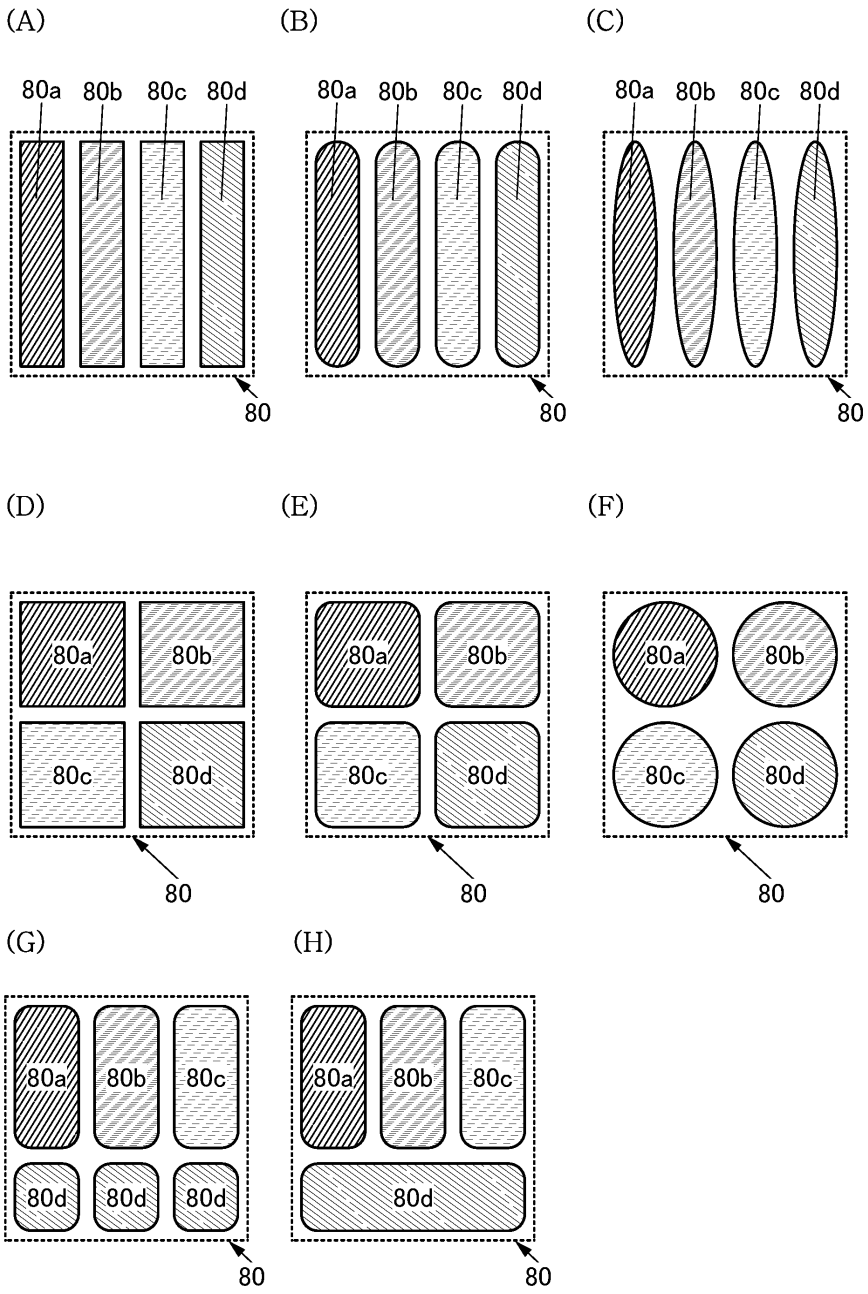
도면49


(A)
80a
80b
80c
80
(B)
80a
80b
80c
80
(C)
80a
80b
80c
80a
80b
80c
80a
80b
80c
(D)
80a
80c
80b
80
(E)
70A
80a
80c
80b
80b
80c
80a
80b
80b
70B
(F)
70B
80a
80b
80c
80c
80a
80b
70A
(G)
70B
80a
80b
80c
80c
80a
80b
70B

도면50

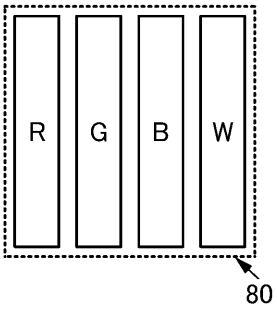

(A)
R
G
B
80
(B)
B
R
G
80
(C)
R
G
B
G
R
G
B
(D)
G
B
R
80
(E)
70A
R
B
G
G
B
R
G
G
70B
(F)
70B
R
G
B
B
R
G
70A

도면51

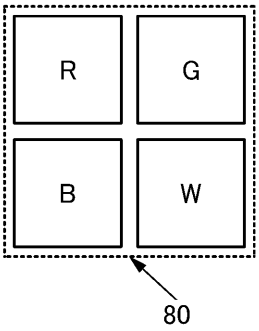

(A)
80a
80b
80c
80d
80
(B)
80a
80b
80c
80d
80
(C)
80a
80b
80c
80d
80
(D)
80a
80b
80c
80d
80
(E)
80a
80b
80c
80d
80
(F)
80a
80b
80c
80d
80
(G)
80a
80b
80c
80d
80d
80d
80
(H)
80a
80b
80c
80d
80

도면52

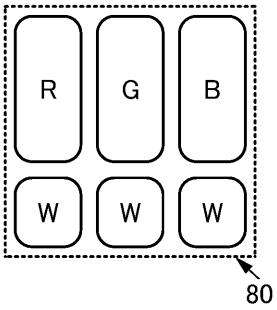
(A)



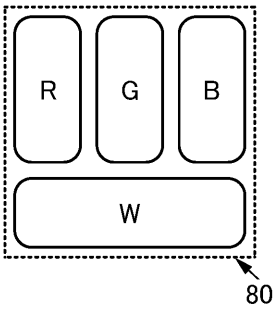
(B)



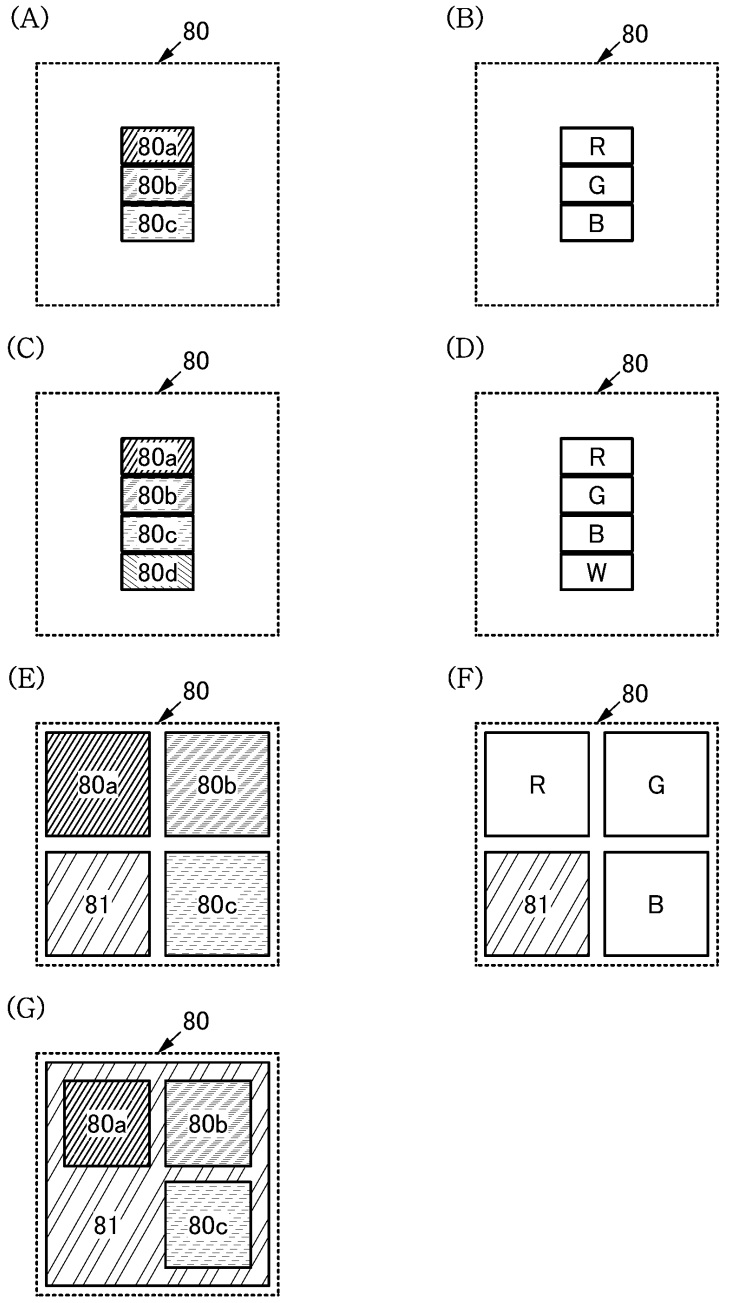
(C)



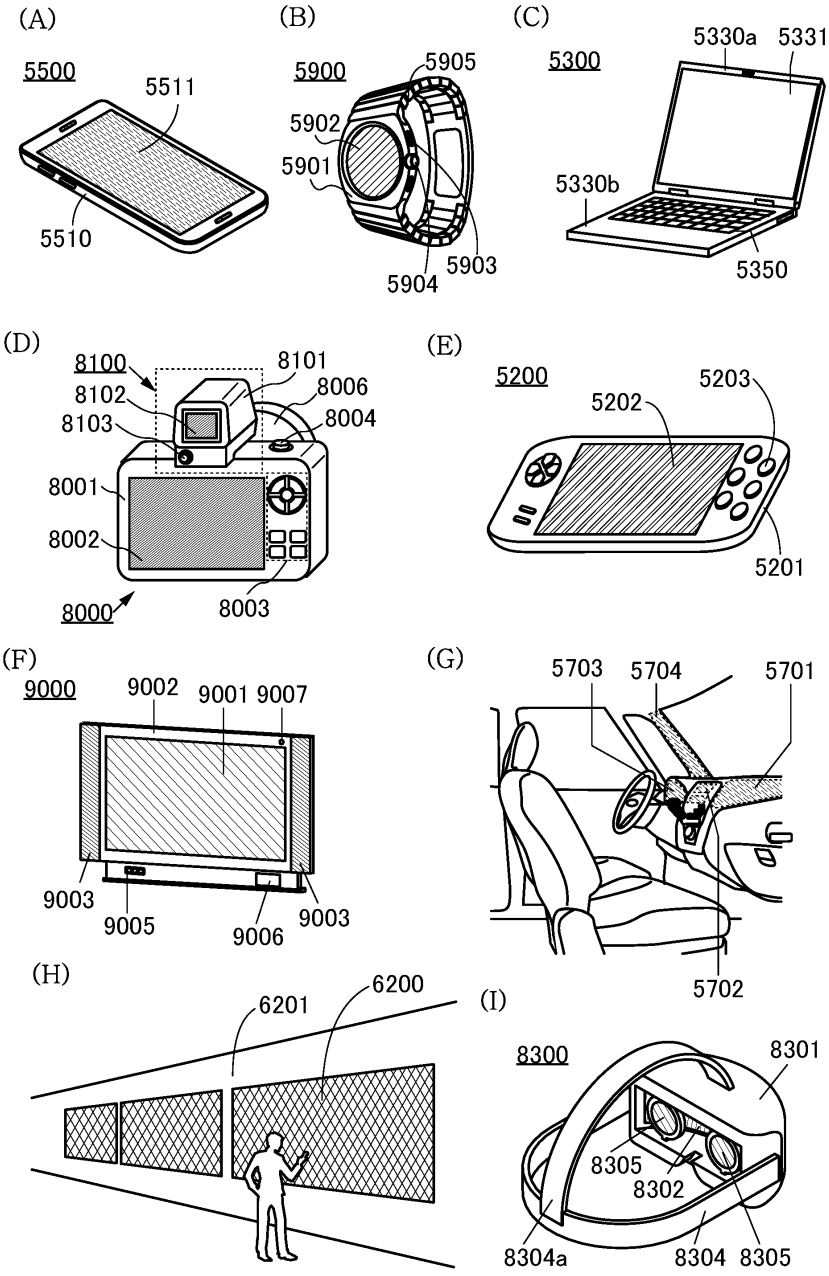
(D)



도면53


(A)
80
80a
80b
80c
(B)
80
R
G
B
(C)
80
80a
80b
80c
80d
(D)
80
R
G
B
W
(E)
80
80a
80b
81
80c
(F)
80
R
G
81
B
(G)
80
80a
80b
81
80c

도면54


(A)
5500
5511
5510
(B)
5900
5905
5902
5901
5904
5903
(C)
5300
5330a
5331
5330b
5350
(D)
8100
8101
8102
8006
8103
8004
8001
8002
8000
8003
(E)
5200
5202
5203
5201
(F)
9000
9002
9001
9007
9003
9005
9006
9003
(G)
5703
5704
5701
5702
(H)
6201
6200
(I)
8300
8301
8305
8302
8304a
8304
8305