



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년10월15일
(11) 등록번호 10-1318219
(24) 등록일자 2013년10월08일

- (51) 국제특허분류(Int. C1..)
H01L 29/73 (2006.01) *H01L 21/328* (2006.01)
- (21) 출원번호 10-2012-0005054
(22) 출원일자 2012년01월17일
심사청구일자 2012년01월17일
(65) 공개번호 10-2012-0085663
(43) 공개일자 2012년08월01일
(30) 우선권주장
JP-P-2011-012325 2011년01월24일 일본(JP)
- (56) 선행기술조사문헌
KR100726899 B1*

*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
미쓰비시덴키 가부시키가이샤
일本国 도쿄도 지요다쿠 마루노우치 2쵸메 7반 3
고
(72) 발명자
혼다 시게토
일本国 도쿄도 지요다쿠 마루노우치 2쵸메 7반 3
고 미쓰비시덴키 가부시키가이샤 나이
(74) 대리인
이화익, 김홍두

전체 청구항 수 : 총 7 항

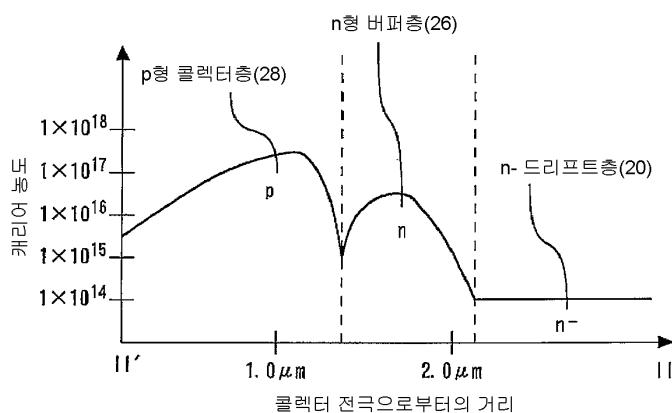
심사관 : 한주철

(54) 발명의 명칭 반도체장치와 반도체장치의 제조방법

(57) 요 약

본 발명은, 콜렉터 층의 캐리어 농도 피크 위치에 있어서의 캐리어 농도를 낮추면서, 해당 캐리어 농도가 제조 환경 분위기에 의한 오염의 영향을 받기 어려운 반도체장치와 반도체장치의 제조방법을 제공하는 것을 목적으로 한다. 본원의 발명에 따른 반도체장치는, 캐리어 농도가 최대가 되는 캐리어 농도 피크 위치가 표면에서 $1\mu\text{m}$ 이상 떨어진 위치에 있는 콜렉터 층을 갖는 반도체 기판과, 상기 콜렉터 층의 상기 표면에 접하도록 형성된 콜렉터 전극을 구비하고, 상기 캐리어 농도 피크 위치의 캐리어 농도는 $1 \times 10^{18} [\text{atoms}/\text{cm}^3]$ 이하인 것을 특징으로 한다.

대 표 도 - 도2



특허청구의 범위

청구항 1

캐리어 농도가 최대가 되는 캐리어 농도 피크 위치가 표면에서 $1\mu\text{m}$ 이상 떨어진 위치에 있는 콜렉터 층을 갖는 반도체 기판과,

상기 콜렉터 층의 상기 표면에 접하도록 형성된 콜렉터 전극을 구비하고,

상기 캐리어 농도 피크 위치의 캐리어 농도는 $1 \times 10^{18} [\text{atoms}/\text{cm}^3]$ 이하인 것을 특징으로 하는 반도체장치.

청구항 2

삭제

청구항 3

제 1항에 있어서,

상기 콜렉터 층은, 상기 캐리어 농도 피크 위치와 상기 콜렉터 전극 사이에, 상기 캐리어 농도 피크 위치에 있어서의 캐리어 농도보다는 캐리어 농도가 낮은 제2 캐리어 농도 피크 위치를 갖는 것을 특징으로 하는 반도체장치.

청구항 4

제 3항에 있어서,

상기 제2 캐리어 농도 피크 위치는, 상기 콜렉터 층 중 상기 콜렉터 전극에 접하는 위치에 있는 것을 특징으로 하는 반도체장치.

청구항 5

제 1항에 있어서,

상기 반도체 기판은 와이드 밴드갭 반도체에 의해 형성되어 있는 것을 특징으로 하는 반도체장치.

청구항 6

제 5항에 있어서,

상기 와이드 밴드갭 반도체는, 탄화 규소, 질화 갈륨계 재료, 또는 다이아몬드인 것을 특징으로 하는 반도체장치.

청구항 7

반도체 기판의 표면에 표면 구조를 형성하는 공정과,

상기 반도체 기판의 이면에 이온주입을 행하는 공정과,

상기 이온주입에서 주입된 도편트를 어닐에 의해 활성화하여 콜렉터 층을 형성하는 공정과,

상기 콜렉터 층을 형성하는 공정의 후에, 상기 콜렉터 층 중 상기 어닐시에 외부에 노출하고 있었던 부분을 예

칭하는 공정과,

상기 예칭하는 공정의 후에, 상기 콜렉터 층에 접하도록 콜렉터 전극을 형성하는 공정을 구비한 것을 특징으로 하는 반도체장치의 제조방법.

청구항 8

제 7항에 있어서,

상기 콜렉터 층을 형성하는 공정에서는, 상기 콜렉터 층의 캐리어 농도가 최대가 되는 캐리어 농도 피크 위치는, 상기 반도체 기판의 이면으로부터 $1\mu\text{m}$ 이상 떨어진 위치에 있고,

상기 예칭은 상기 캐리어 농도 피크 위치에서 정지하는 것을 특징으로 하는 반도체장치의 제조방법.

명세서

기술분야

[0001] 본 발명은, 콜렉터 층이 형성된 반도체 기판을 구비한 반도체장치와 반도체장치의 제조방법에 관한 것이다.

배경기술

[0002] 특허문헌 1에는, 콜렉터 전극과 접하는 콜렉터 층을 구비한 반도체장치가 개시되어 있다. 이 콜렉터 층의 캐리어 농도 피크 위치는 콜렉터 전극에 가장 가까운 위치에 배치되고, 콜렉터 층과 콜렉터 전극을 오믹 접촉시키고 있다.

선행기술문헌

특허문헌

- [0003] (특허문헌 0001) 일본국 특개 2004-311481호 공보
- (특허문헌 0002) 일본국 특개 2005-354031호 공보
- (특허문헌 0003) 일본국 특개 2002-299346호 공보
- (특허문헌 0004) 일본국 특개 2002-299623호 공보
- (특허문헌 0005) 일본국 특개 2010-206111호 공보

발명의 내용

해결하려는 과제

[0004] 반도체장치의 스위칭 손실을 저감하기 위해 콜렉터 층의 캐리어 농도 피크 위치에 있어서의 캐리어 농도를 낮추는 일이 있다. 그렇게 하면, 캐리어 농도 피크 위치의 캐리어 농도는, 제조 환경 분위기에 의한 오염의 영향을 받기 쉬워진다. 캐리어 농도 피크 위치의 캐리어 농도가 제조 환경 분위기에 의한 오염의 영향을 받으면, 반도체장치의 원하는 특성이 얻어지지 않거나, 특성이 변동하는 일이 있었다.

[0005] 본 발명은, 전술한 것과 같은 과제를 해결하기 위해 이루어진 것으로, 콜렉터 층의 캐리어 농도 피크 위치에 있어서의 캐리어 농도를 낮추면서, 해당 캐리어 농도가 제조 환경 분위기에 의한 오염의 영향을 받기 어려운 반도체장치와 반도체장치의 제조방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0006] 본원의 발명에 따른 반도체장치는, 캐리어 농도가 최대가 되는 캐리어 농도 피크 위치가 표면에서 $1\mu\text{m}$ 이상 떨어진 위치에 있는 콜렉터 층을 갖는 반도체 기판과, 상기 콜렉터 층의 상기 표면에 접하도록 형성된 콜렉터 전극을 구비하고, 상기 캐리어 농도 피크 위치의 캐리어 농도는 $1\times 10^{18} [\text{atoms}/\text{cm}^3]$ 이하인 것을 특징으로 한다.

[0007] 본원의 발명에 따른 반도체장치의 제조방법은, 반도체 기판의 표면에 표면 구조를 형성하는 공정과, 상기 반도체 기판의 이면에 이온주입을 행하는 공정과, 상기 이온주입에서 주입된 도편트를 어닐에 의해 활성화하여 콜렉터 층을 형성하는 공정과, 상기 콜렉터 층을 형성하는 공정의 후에, 상기 콜렉터 층 중 상기 어닐시에 외부에 노출하고 있었던 부분을 에칭하는 공정과, 상기 에칭하는 공정의 후에, 상기 콜렉터 층에 접하도록 콜렉터 전극을 형성하는 공정을 구비한 것을 특징으로 한다.

발명의 효과

[0008] 본 발명에 따르면, 콜렉터 층의 캐리어 농도 피크 위치를 외부에서 충분히 이격시키므로, 캐리어 농도 피크 위치에 있어서의 캐리어 농도를 낮추면서, 제조 환경 분위기에 의한 오염의 영향을 억제할 수 있다.

도면의 간단한 설명

[0009] 도 1은 본 발명의 실시형태 1에 관한 반도체장치의 단면도다.

도 2는 도 1의 II-II' 파선에 있어서의 캐리어 농도를 도시한 도면이다.

도 3은 본 발명의 실시형태 1에 관한 반도체장치의 캐리어 농도의 변형예를 도시한 도면이다.

도 4는 본 발명의 실시형태 2에 관한 반도체장치의 단면도다.

도 5는 도 4의 V-V' 파선에 있어서의 캐리어 농도를 도시한 도면이다.

도 6은 본 발명의 실시형태 3에 관한 반도체장치의 제조방법을 나타내는 흐름도다.

도 7은 반도체 기판의 표면에 표면 구조를 형성한 것을 나타낸 단면도다.

도 8은 반도체 기판의 이면을 에칭한 것을 나타낸 단면도다.

도 9는 반도체 기판의 이면에 n형 베퍼층을 형성한 것을 나타낸 단면도다.

도 10은 반도체 기판의 이면에 p형 콜렉터 층을 형성한 것을 나타낸 단면도다.

도 11은 도 10의 XI-XI' 파선에 있어서의 캐리어 농도를 도시한 도면이다.

도 12는 p형 콜렉터 층의 일부를 에칭한 것을 나타낸 단면도다.

도 13은 도 12의 XIII-XIII' 파선에 있어서의 캐리어 농도를 도시한 도면이다.

도 14는 콜렉터 전극이 형성된 것을 나타낸 단면도다.

발명을 실시하기 위한 구체적인 내용

[0010] 실시형태 1.

[0011] 도 1은 본 발명의 실시형태 1에 관한 반도체장치의 단면도다. 본 발명의 실시형태 1에 관한 반도체장치는, LPT(Light Punch Through) 구조의 IGBT(Insulated Gate Bipolar Transistor)로 형성되어 있다. 이 반도체장치는, 규소에 의해 형성된 반도체 기판(10)을 구비하고 있다. 반도체 기판(10)의 표면에는 표면 구조(12)가 형성되어 있다. 반도체 기판(10)의 이면에는 콜렉터 전극(14)이 형성되어 있다.

[0012] 우선 반도체 기판(10)에 대해 설명한다. 반도체 기판(10)은 n- 드리프트층(20)을 구비하고 있다. n- 드리프트층(20)의 표면측에는, p형 베이스층(22)과 p형 베이스층(22)에 덮어지도록 형성된 n형 에미터층(24)이 형

성되어 있다. 한편, n- 드리프트층(20)의 이면측에는, n형 베피층(26)이 형성되어 있다. 더구나 n형 베피층(26)에 접하도록 p형 콜렉터 층(28)이 형성되어 있다. p형 콜렉터 층(28)은, 반도체 기판(10) 중 콜렉터 전극(14)에 접하는 영역에 형성되어 있다. 바꿔 말하면, p형 콜렉터 층(28)의 표면에 접하도록 콜렉터 전극(14)이 형성되어 있다. 이때, n- 드리프트층(20) 및 n형 베피층(26)의 도편트는 P이며, p형 콜렉터 층(28)의 도편트는 B이다.

[0013] 다음에, 표면 구조(12)에 대해 설명한다. 표면 구조(12)는, 절연막(40)과 게이트 전극(42)을 구비하고 있다. 절연막(40)은 게이트 전극(42)을 반도체 기판(10)으로부터 절연하도록 형성되어 있다. 그리고, 절연막(40)을 덮도록 에미터 전극(44)이 형성되어 있다.

[0014] 도 2는 도 1의 II-II' 파선에 있어서의 캐리어 농도를 도시한 도면이다. n- 드리프트층(20)의 캐리어 농도는 층 전체에서 균일하고, 그 값은 $1.0 \times 10^{14} [\text{atoms/cm}^3]$ 이다. n형 베피층(26)은, 대략 층의 중간 위치에 캐리어 농도의 피크 위치(이후 캐리어 농도의 피크 위치를, 캐리어 농도 피크 위치라고 한다)를 갖고 있다. n형 베피층(26)의 캐리어 농도 피크 위치의 캐리어 농도는, $5.0 \times 10^{16} [\text{atoms/cm}^3]$ 정도이다.

[0015] p형 콜렉터 층(28)은, $1.4 \mu\text{m}$ 정도의 층 두께를 갖고 있다. p형 콜렉터 층(28)의 캐리어 농도가 최대가 되는 캐리어 농도 피크 위치는, 콜렉터 전극(14)으로부터 $1\mu\text{m}$ 이상 떨어진 위치에 있다. 즉, p형 콜렉터 층(28)의 캐리어 농도가 최대가 되는 캐리어 농도 피크 위치는, 그것의 표면에서 $1\mu\text{m}$ 이상 떨어진 위치에 있다. 그리고, p형 콜렉터 층(28)의 캐리어 농도 피크 위치의 캐리어 농도는, $2.0 \times 10^{17} [\text{atoms/cm}^3]$ 정도이다.

[0016] 이와 같이 p형 콜렉터 층(28)의 캐리어 농도 피크 위치에 있어서의 캐리어 농도를 낮추면, 캐리어 농도 피크 위치의 캐리어 농도는 제조 환경 분위기에 의한 오염의 영향을 받기 쉬워진다. 예를 들면, 제조 환경 분위기에 의한 오염의 영향으로, $1.0 \times 10^{12} [\text{atoms/cm}^3]$ 정도의 붕소가 반도체 기판의 $0.1\mu\text{m}$ 정도의 깊이까지 확산한 경우, 반도체 기판 중의 붕소 오염 피크 농도는 $1.0 \times 10^{17} [\text{atoms/cm}^3]$ 에 이른다. 이때, 이 확산은 주로 어닐공정으로 촉진된다. 그리고, 이 오염의 영향이 캐리어 농도 피크 위치까지 미치는 경우, 캐리어 농도 피크 위치에 있어서의 원하는 캐리어 농도가 얻어지지 않게 된다.

[0017] 그런데 본 발명의 실시형태 1에 관한 반도체장치에 따르면, 캐리어 농도 피크 위치에 있어서의 캐리어 농도가, 제조 환경 분위기에 의한 오염의 영향을 받는 것을 억제할 수 있다. 즉, p형 콜렉터 층(28)의 캐리어 농도 피크 위치는 콜렉터 전극(14)으로부터 $1\mu\text{m}$ 이상 떨어진 위치에 있다. 따라서, 콜렉터 전극(14) 형성전으로서 p형 콜렉터 층(28)이 외부에 노출하고 있을 때에 제조 환경 분위기에 의한 오염이 있더라도, 그것의 영향이 p형 콜렉터 층(28)의 캐리어 농도 피크 위치에까지 미치기 어렵다.

[0018] 따라서, p형 콜렉터 층(28)의 캐리어 농도 피크 위치에 있어서의 캐리어 농도를 낮추어 스위칭 손실을 저감하면서, 해당 캐리어 농도가 제조 환경 분위기에 의한 오염의 영향을 받는 것을 회피할 수 있다. 또한 p형 콜렉터 층(28)의 캐리어 농도 피크 위치의 캐리어 농도를 고정밀도로 제어할 수 있으므로, Vce(sat)-Eoff 트레이드오프 커브의 제어 폭을 넓힐 수 있다. 이들의 효과에 의해 반도체장치의 제조 수율을 향상시킬 수 있다.

[0019] 이때, p형 콜렉터 층(28)의 캐리어 농도 피크 위치에 있어서의 캐리어 농도를 저감하는 것은, 특히 반도체장치의 고속 동작에 유리하다. 캐리어 농도 피크 위치의 캐리어 농도는 $1 \times 10^{18} [\text{atoms/cm}^3]$ 이하이면, 반도체장치의 고속 동작이 가능하다.

[0020] 도 3은, 본 발명의 실시형태 1에 관한 반도체장치의 캐리어 농도의 변형예를 도시한 도면이다. 이 변형예는, p형 콜렉터 층의 콜렉터 전극에 가장 가까운 위치에 제2 캐리어 농도 피크 위치가 형성된 것을 특징으로 한다. 여기에서, 제2 캐리어 농도 피크 위치의 캐리어 농도는, 캐리어 농도 피크 위치의 캐리어 농도보다는 낮다. 이 변형예의 구성에 따르면, p형 콜렉터 층 중에서 2번째로 캐리어 농도가 높은 부분이 콜렉터 전극과 접하므로, p형 콜렉터 층과 콜렉터 전극의 콘택 저항을 저감할 수 있다. 또한, p형 콜렉터 층 중에서 가장 높은 캐리어 농도를 갖는 부분(캐리어 농도 피크 위치)은, 콜렉터 전극으로부터 $1\mu\text{m}$ 이상 떨어진 위치에 있으므로 이 부분의 제조 환경 분위기에 의한 오염을 저감할 수 있다.

[0021] 본 변형예에서는, p형 콜렉터 층의 제2 캐리어 농도 피크 위치가 콜렉터 전극에 접하도록 하였지만, 본 발명은 이것에 한정되지 않는다. 즉, p형 콜렉터 층이, 캐리어 농도 피크 위치와 콜렉터 전극 사이에, 제2 캐리어 농도 피크 위치를 갖고 있으면, 콘택 저항을 저감할 수 있다.

- [0022] 본 발명의 실시형태 1에 관한 반도체장치에 있어서의 각 층의 도전형은 역전시켜도 된다. 또한, p형 콜렉터 층에 접하도록 콜렉터 전극이 형성되는 반도체장치이면 본 발명의 효과를 얻을 수 있으므로, 반도체장치의 종류나 구조는 특별하게 한정되지 않는다.
- [0023] 본 발명의 실시형태 1에서는, 반도체 기판(10)은 규소에 의해 형성되었지만, 규소에 비해 밴드갭이 큰 와이드 밴드갭 반도체에 의해 형성해도 된다. 와이드 밴드갭 반도체로서는, 예를 들면, 탄화 규소, 질화 갈륨계 재료, 또는 다이아몬드가 있다.
- [0024] 실시형태 2.
- [0025] 도 4는 본 발명의 실시형태 2에 관한 반도체장치의 단면도다. 본 발명의 실시형태 2에 관한 반도체장치는, 본 발명의 실시형태 1에 관한 반도체장치와, n형 베퍼층을 갖지 않는 점에 있어서 상위하다. 도 5는 도 4의 V-V' 파선에 있어서의 캐리어 농도를 도시한 도면이다. n형 베퍼층을 갖지 않는 구성에 있어서도, p형 콜렉터 층(28)의 캐리어 농도 피크 위치를 콜렉터 전극(14)으로부터 $1\mu\text{m}$ 이상 떨어진 위치로 함으로써, 상기한 본 발명의 효과를 얻을 수 있다.
- [0026] 실시형태 3.
- [0027] 도 6은 본 발명의 실시형태 3에 관한 반도체장치의 제조방법을 나타낸 흐름도다. 본 발명의 실시형태 3에 관한 반도체장치의 제조방법은 도 6에 따라 설명한다. 우선, 반도체 기판의 표면에 표면 구조를 형성한다(스텝 60). 도 7은 스텝 60에 의해 반도체 기판(80)의 표면에 표면 구조(12)를 형성한 것을 나타낸 단면도다. 표면 구조(12)의 상세한 것은 전술한 것과 같다.
- [0028] 이어서, 반도체 기판의 이면을 에칭한다(스텝 62). 도 8은 반도체 기판(80)의 이면을 에칭한 것을 나타낸 단면도다. 이 에칭에 의해 n-드리프트층(82)이 원하는 두께까지 얇게 된다. 이때 에칭이 아니고 연삭에 의해 n-드리프트층(82)을 얇게 해도 된다.
- [0029] 이어서, 반도체 기판(80)의 이면에 n형 베퍼층을 형성한다(스텝 64). 도 9는 반도체 기판(80)의 이면에 n형 베퍼층(84)을 형성한 것을 나타낸 단면도다. n형 베퍼층(84)은, P 등의 n형 도편트를 이온주입하고, 그후 레이저어닐로 도편트를 활성화하여 형성된다.
- [0030] 이어서, p형 콜렉터 층을 형성한다(스텝 66). 도 10은 반도체 기판의 이면에 p형 콜렉터 층(86)을 형성한 것을 나타낸 단면도다. p형 콜렉터 층(86)은 B 등의 p형 도편트를 반도체 기판(80)의 이면에 이온주입하고, 그후 레이저어닐로 도편트를 활성화하여 형성된다. 도 11은 도 10의 XI-XI' 파선에 있어서의 캐리어 농도를 도시한 도면이다. p형 콜렉터 층(86)의 캐리어 농도 피크 위치는 외부(XI'의 위치)로부터 $1.0\mu\text{m}$ 이상 떨어져 있다. 이때, 도 11의 캐리어 농도 분포는 도 2에 나타낸 것과 같다.
- [0031] 이어서, p형 콜렉터 층(86)의 일부를 에칭한다(스텝 68). 도 12는 p형 콜렉터 층(86)의 일부를 에칭한 것을 나타낸 단면도다. 도 13은 도 12의 XIII-XIII' 파선에 있어서의 캐리어 농도를 도시한 도면이다. 스텝 68에서는, p형 콜렉터 층(86)의 일부를 에칭하여, p형 콜렉터 층(86)의 캐리어 농도 피크 위치를 외부에 노출시킨다.
- [0032] 이어서, 콜렉터 전극을 형성한다(스텝 70). 도 14는 콜렉터 전극(88)이 형성된 것을 나타낸 단면도다. 콜렉터 전극(88)은 p형 콜렉터 층(86)에 접하도록 스퍼터링법 등으로 형성된다. 본 발명의 실시형태 3에 관한 반도체장치의 제조방법은 상기한 공정을 구비한다.
- [0033] 본 발명의 실시형태 3에 관한 반도체장치의 제조방법에서는, p형 콜렉터 층(86) 형성을 위한 어닐(스텝 66)을 실시할 때에는, p형 콜렉터 층(86)의 캐리어 농도 피크 위치는, 반도체 기판(80)의 이면으로부터 $1\mu\text{m}$ 이상 떨어진 위치에 있다. 따라서, 캐리어 농도 피크 위치의 캐리어 농도를, 제조 환경 분위기에 의한 오염으로부터 보호할 수 있다. 또한, p형 콜렉터 층(86)의 일부를 에칭하는 공정(스텝 68)에서는, p형 콜렉터 층(86)의 캐리어 농도 피크 위치가 외부에 노출한 시점에서 에칭을 정지한다. 따라서, 캐리어 농도 피크 위치와 콜렉터 전극을 직접 접촉시켜, 콘택 저항을 저감할 수 있다. 또한, 이 에칭에 의해 에칭전의 p형 콜렉터 층(86)의 캐리어 농도가 낮은 부분은 제거되므로, 반도체장치의 통전시의 저항을 저감할 수 있다.
- [0034] 본 발명의 실시형태 3에 관한 반도체장치의 제조방법은, 어닐 처리를 행하는 콜렉터 층을 형성하는 공

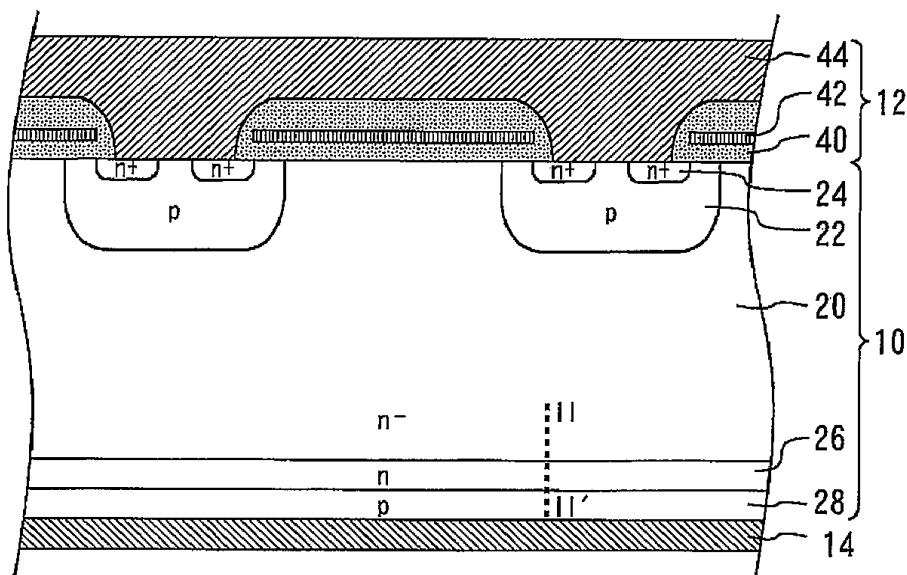
정(스텝 66)의 후에, 콜렉터 층 중 해당 어닐 처리시에 외부에 노출하고 있었던 부분을 에칭하는 공정(스텝 68)을 갖는 것이다. 이 특징을 갖는 한, 캐리어 농도 피크 위치의 캐리어 농도를 저감하여 스위칭 손실을 저감하면서, 콜렉터 층의 캐리어 농도 피크 위치에 있어서의 캐리어 농도가 제조 환경 분위기에 의한 오염의 영향을 받는 것을 회피할 수 있고, 또한 반도체장치의 저항을 저감할 수 있다. 따라서, 예를 들면 어닐 처리는 레이저어닐이 아니라 스테이지의 가열에 의한 어널이어도 된다. 또한, 적어도 실시형태 1과 같은 정도의 변형은 가능하다.

부호의 설명

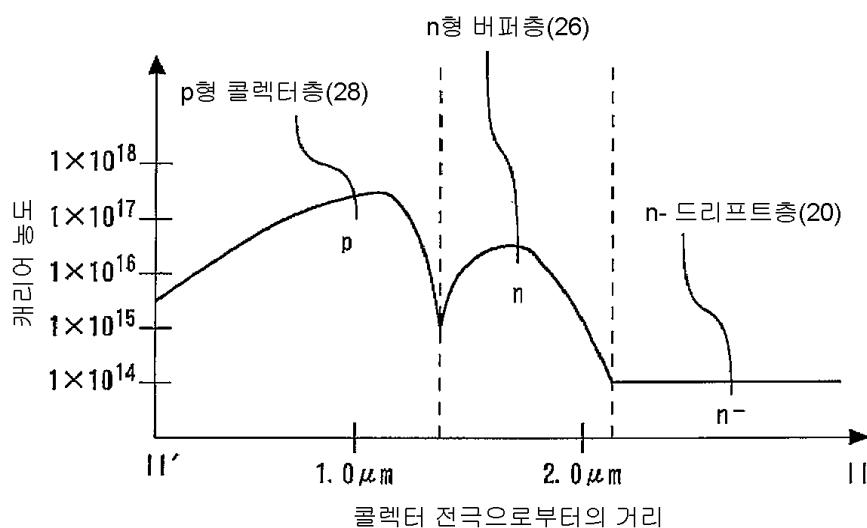
[0035] 10 반도체 기판, 12 표면 구조, 14 콜렉터 전극, 26 n형 버퍼층, 28 p형 콜렉터 층

도면

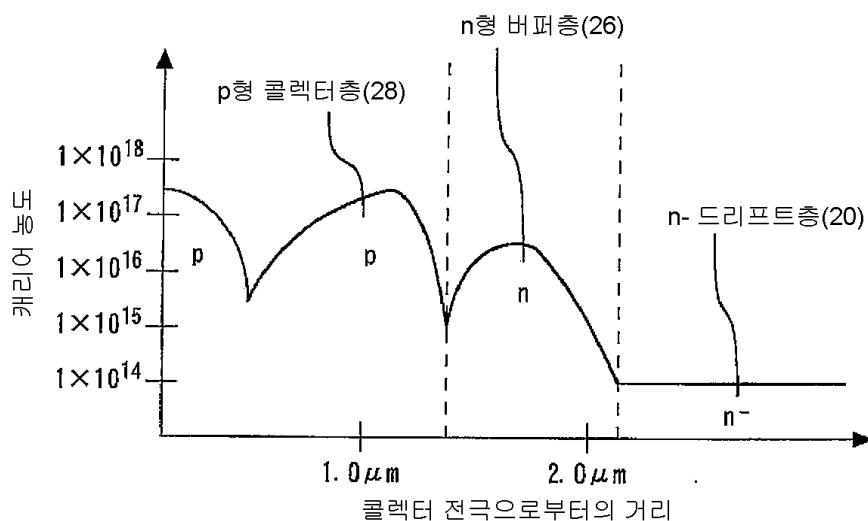
도면1



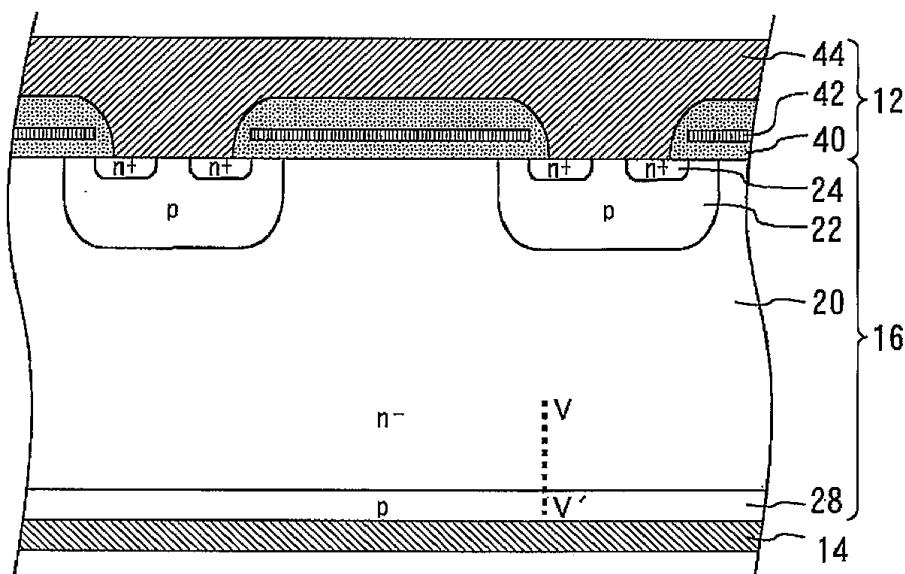
도면2



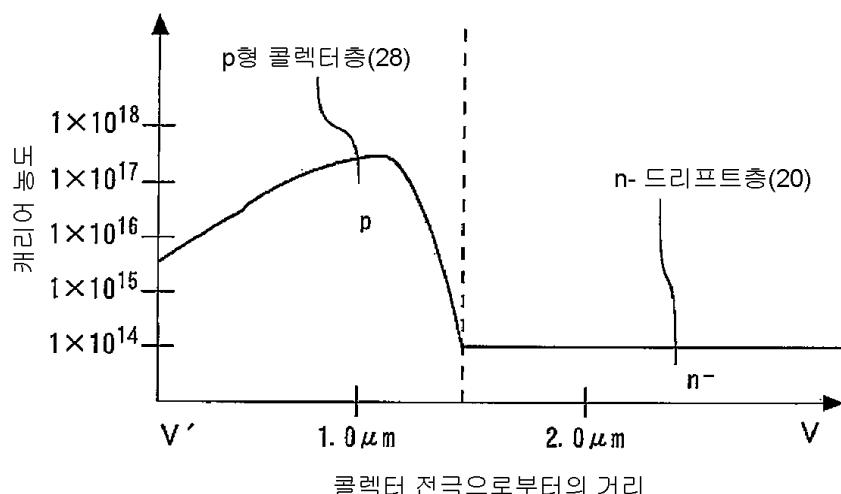
도면3



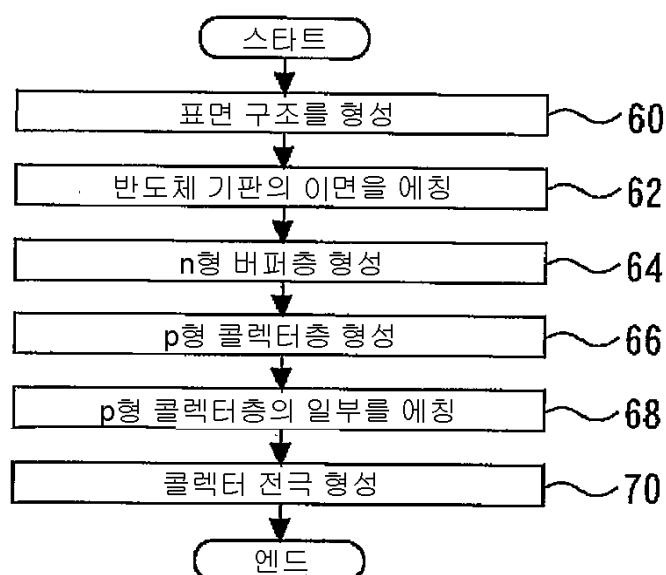
도면4



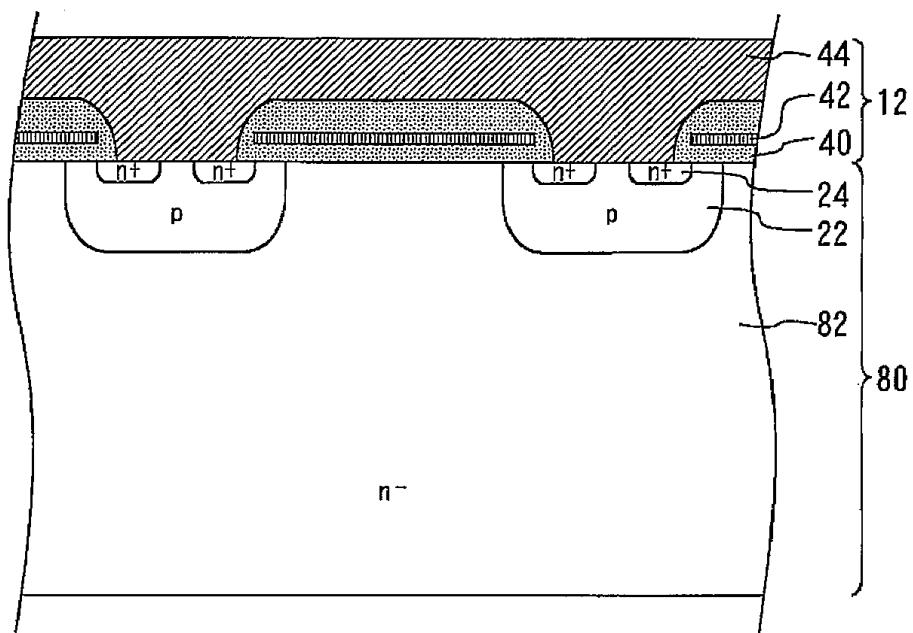
도면5



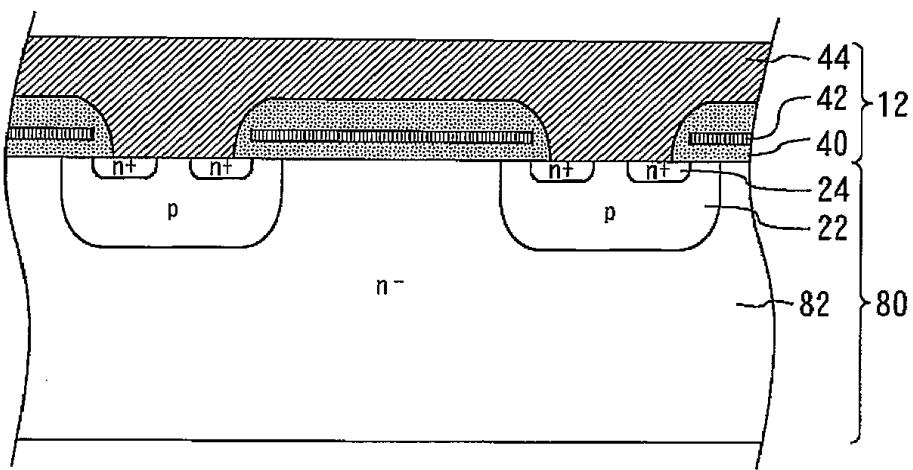
도면6



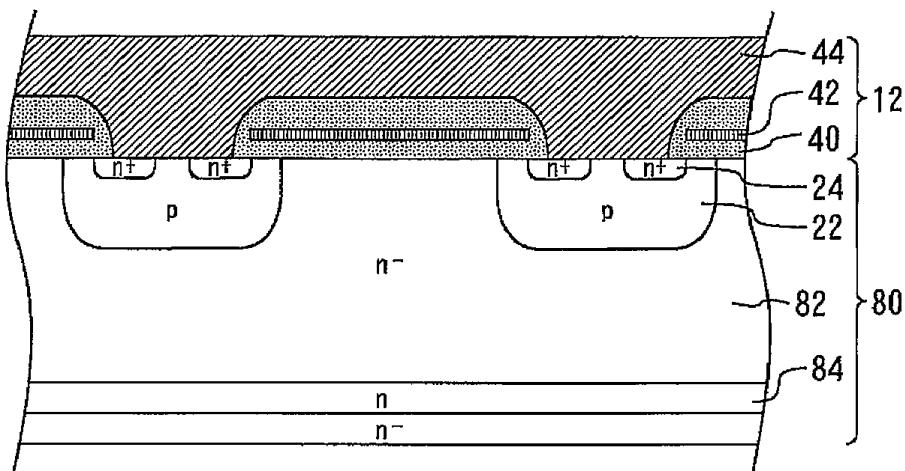
도면7



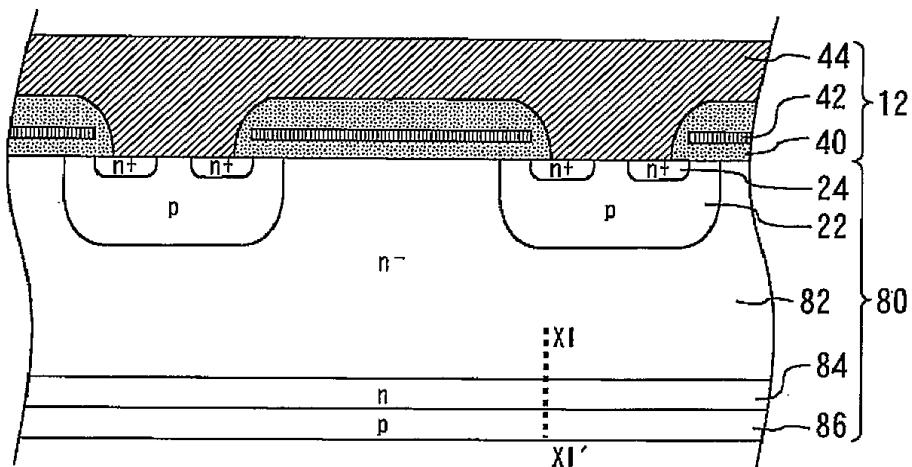
도면8



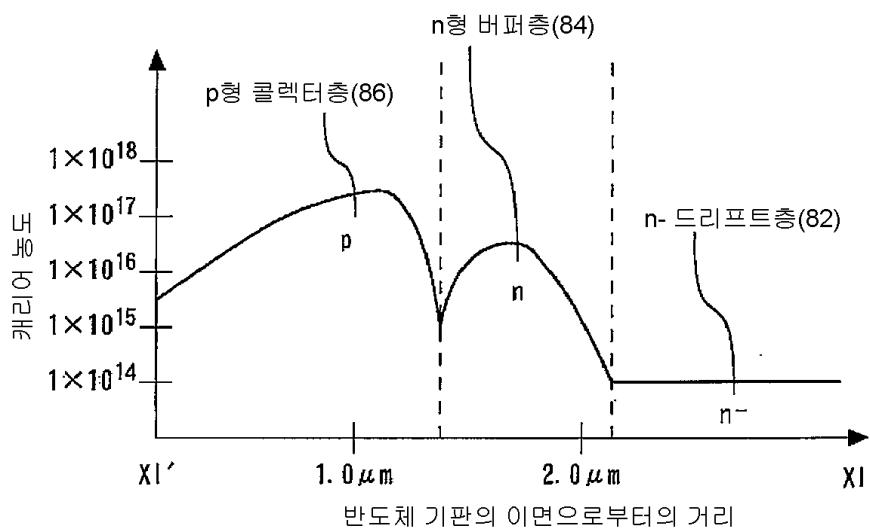
도면9



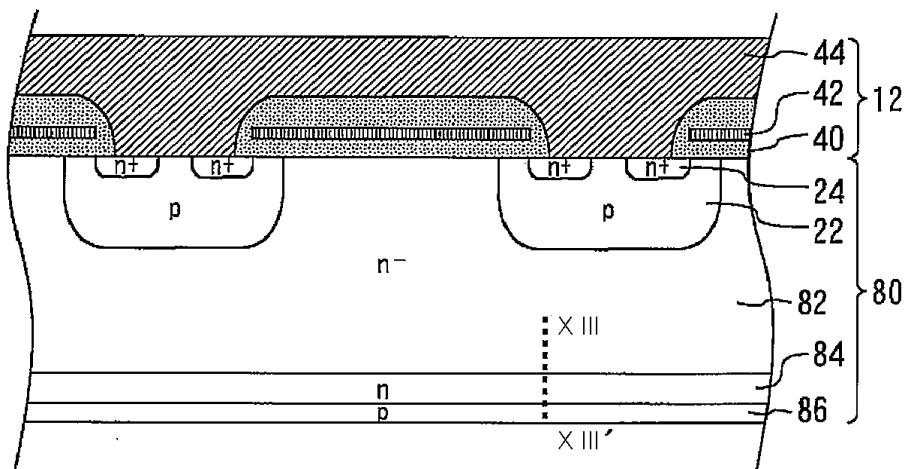
도면10



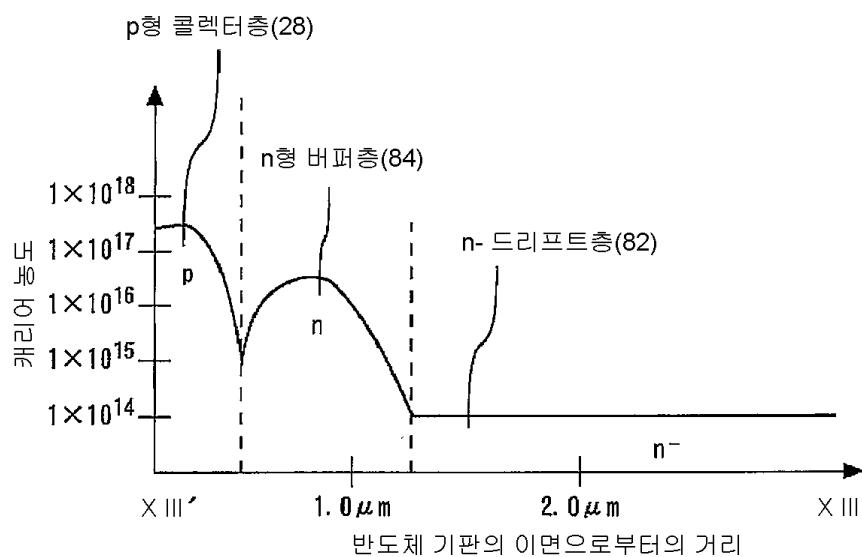
도면11



도면12



도면13



도면14

