

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第4968996号  
(P4968996)

(45) 発行日 平成24年7月4日(2012.7.4)

(24) 登録日 平成24年4月13日(2012.4.13)

(51) Int.Cl.	F 1
HO1L 21/336	(2006.01)
HO1L 29/786	(2006.01)
GO2F 1/1368	(2006.01)
GO9F 9/30	(2006.01)
HO1L 21/20	(2006.01)
HO1L 29/78	627G
GO2F 1/1368	1/1368
GO9F 9/30	338
HO1L 21/20	21/20

請求項の数 9 (全 26 頁)

(21) 出願番号	特願2001-260094 (P2001-260094)
(22) 出願日	平成13年8月29日 (2001.8.29)
(65) 公開番号	特開2002-151525 (P2002-151525A)
(43) 公開日	平成14年5月24日 (2002.5.24)
審査請求日	平成20年7月31日 (2008.7.31)
(31) 優先権主張番号	特願2000-265613 (P2000-265613)
(32) 優先日	平成12年9月1日 (2000.9.1)
(33) 優先権主張国	日本国 (JP)

(73) 特許権者	000153878
	株式会社半導体エネルギー研究所
	神奈川県厚木市長谷398番地
(72) 発明者	大沼 英人
	神奈川県厚木市長谷398番地 株式会社
	半導体エネルギー研究所内
審査官	鈴木 聰一郎

最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

## (57) 【特許請求の範囲】

## 【請求項 1】

基板の表面上に半導体層を形成し、  
前記半導体層上に絶縁膜を形成し、  
前記絶縁膜上にゲート電極を形成し、  
前記ゲート電極をマスクとして前記半導体層に不純物元素を導入し、  
前記不純物元素が導入された前記半導体層に選択的に金属元素を導入し、  
加熱処理により前記半導体層の結晶化および前記不純物元素の活性化を行ない、  
前記半導体層に前記基板の表面側からレーザビームを照射し、  
前記レーザビームの一部は、前記ゲート電極を透過することを特徴とする半導体装置の  
作製方法。 10

## 【請求項 2】

基板の表面上に半導体層を形成し、  
前記半導体層上に絶縁膜を形成し、  
前記絶縁膜上にゲート電極を形成し、  
前記ゲート電極をマスクとして前記半導体層に不純物元素を導入し、  
前記不純物元素が導入された前記半導体層に選択的に金属元素を導入し、  
加熱処理により前記半導体層の結晶化および前記不純物元素の活性化を行ない、  
前記半導体層に前記基板の表面側および裏面側の両側からレーザビームを照射し、  
前記レーザビームの一部は、前記基板または前記ゲート電極を透過することを特徴とす 20

る半導体装置の作製方法。

【請求項 3】

基板の表面上に半導体層を形成し、  
前記半導体層上に絶縁膜を形成し、  
前記絶縁膜上にゲート電極を形成し、  
前記ゲート電極をマスクとして前記半導体層に不純物元素を導入し、  
前記不純物元素が導入された前記半導体層に選択的に金属元素を導入し、  
第1の加熱処理により前記半導体層の結晶化および前記不純物元素の活性化を行ない、  
前記半導体層に前記基板の表面側からレーザビームを照射し、  
前記ゲート電極をマスクとして前記半導体層に15族に属する元素を導入し、  
第2の加熱処理により前記金属元素を前記15族に属する元素が導入された領域にゲッターリングし、  
前記レーザビームの一部は、前記ゲート電極を透過することを特徴とする半導体装置の作製方法。 10

【請求項 4】

基板の表面上に半導体層を形成し、  
前記半導体層上に絶縁膜を形成し、  
前記絶縁膜上にゲート電極を形成し、  
前記ゲート電極をマスクとして前記半導体層に不純物元素を導入し、  
前記不純物元素が導入された前記半導体層に選択的に金属元素を導入し、  
第1の加熱処理により前記半導体層の結晶化および前記不純物元素の活性化を行ない、  
前記半導体層に前記基板の表面側および裏面側の両側からレーザビームを照射し、  
前記ゲート電極をマスクとして前記半導体層に15族に属する元素を導入し、  
第2の加熱処理により前記金属元素を前記15族に属する元素が導入された領域にゲッターリングし、  
前記レーザビームの一部は、前記基板または前記ゲート電極を透過することを特徴とする半導体装置の作製方法。 20

【請求項 5】

請求項1乃至4のいずれか一において、  
前記金属元素は、Fe、Co、Ni、Ru、Rh、Pd、Os、Ir、Pt、Cu、Ag、Au、Al、In、Sn、Pb、P、As、Sbから選ばれた一種または複数の元素であることを特徴とする半導体装置の作製方法。 30

【請求項 6】

請求項1乃至5のいずれか一において、  
前記不純物元素は、n型を付与する不純物元素またはp型を付与する不純物元素であることを特徴とする半導体装置の作製方法。

【請求項 7】

請求項1乃至6のいずれか一において、  
前記レーザビームは、パルス発振または連続発振の気体レーザまたは固体レーザから発振されたレーザビームであることを特徴とする半導体装置の作製方法。 40

【請求項 8】

請求項1乃至7のいずれか一において、  
前記レーザビームは、パルス発振または連続発振のエキシマレーザ、Arレーザ、Krレーザから選ばれた一種から発振されたレーザビームであることを特徴とする半導体装置の作製方法。

【請求項 9】

請求項1乃至7のいずれか一において、  
前記レーザビームは、パルス発振または連続発振のYAGレーザ、YVO<sub>4</sub>レーザ、YLFレーザ、YAlO<sub>3</sub>レーザ、ガラスレーザ、ルビーレーザ、アレキサンドライドレーザ、Ti:サファイアレーザから選ばれた一種から発振されたレーザビームであることを 50

特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は薄膜トランジスタ（以下、TFTと言う）で構成された回路を有する半導体装置の作製方法に関する。例えば、液晶表示装置に代表される電気光学装置、及び電気光学装置を部品として搭載した電気機器の構成に関する。また、前記装置の作製方法に関する。なお、本明細書中において半導体装置とは、半導体特性を利用することで機能し得る装置全般を指し、上記電気光学装置及び電気機器もその範疇にあるとする。

【0002】

10

【従来の技術】

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数～数百nm程度）を用いて薄膜トランジスタ（TFT）を構成し、このTFTで形成した大面積集積回路を有する半導体装置の開発が進んでいる。アクティブマトリクス型液晶表示装置、EL表示装置、および密着型イメージセンサはその代表例として知られている。特に、結晶質半導体膜（代表的には結晶質珪素膜）を活性領域にしたTFTは電界効果移動度が高いことから、いろいろな機能回路を形成することも可能である。

【0003】

前記結晶質半導体膜の結晶性はTFTを作製したときの電気的特性に大きな影響を及ぼす。現状では、非晶質半導体膜を結晶化して結晶質半導体膜を形成することが多く行われている。また、結晶性とは、結晶中の原子配列の規則性の度合いを表現するもので、結晶性が良好である結晶質半導体膜を用いてTFTを作製すると、その電気的特性は良好なものとなる。

20

【0004】

また、半導体膜の結晶性に特に影響を及ぼす工程として、ドーピング処理が挙げられる。前記ドーピング処理において、半導体膜へ打ち込まれるイオンのエネルギーは、半導体膜を形成する元素の結合エネルギーと比較して非常に大きい。そのため、前記半導体膜へ打ち込まれるイオンは前記半導体膜を形成する元素を格子点から弾き飛ばして結晶に欠陥が生じさせる。したがって、ドーピング処理後は前記欠陥の回復を行ない、また同時に打ち込んだイオンを活性化させるため、加熱処理を行なうことが多い。

30

【0005】

このように、半導体膜の結晶性はTFTを作製する工程の中で、様々な影響を受けるが、結晶性の良い結晶質半導体膜を作製するための試みが行なわれている。

【0006】

例えば、「High-Performance Low-Temperature Poly-Silicon Thin Film Transistors Fabricated by New Metal-Induced Lateral Crystallization Process; Jpn. J. Appl. Phys. Vol. 37 (1998) pp. 4244-4247」で述べられている方法について説明する。基板上に所望の形状の非晶質珪素層を形成した後、ゲート絶縁膜およびゲート電極を形成する。次に、ニッケル(Ni)を添加し、続いて、不純物元素のドーピング処理を行なう。ここで、半導体層上にゲート電極が形成されているため、ソース領域およびドレイン領域にはニッケルは添加されているが、チャネル形成領域には添加されていない。その後、加熱処理により、非晶質珪素層の結晶化および不純物元素の活性化を同時に行なう。既に述べたように、チャネル形成領域にはニッケルは添加されていない。（図3(A)）しかし、ソース領域およびドレイン領域に添加されたニッケルを核として横方向にも結晶成長するため、チャネル形成領域も結晶化する。（図3(B)）また、ソース領域およびドレイン領域から横方向に結晶成長した結晶粒がチャネル形成領域でぶつかり大きな結晶粒界を形成するのを避けるため、図3(C)に示すように、部分的にマスクを設けてニッケルを添加し、マスクを除去した後、結晶化する方法も報告されている。（図3(D)）

40

【0007】

【発明が解決しようとする課題】

50

しかしながら、上記のような方法により作製された TFT では、良好な電気的特性が得られていない。特に、TFT の性能を判断するのに重要なパラメータであるサブスレッシュショルド係数 (S 値) や、電界効果移動度の特性が良好でない。

#### 【 0 0 0 8 】

本発明はこのような問題点を解決するための技術であり、TFT を用いて作製するアクティブマトリクス型の液晶表示装置に代表される電気光学装置ならびに半導体装置において、半導体装置の動作特性および信頼性の向上を実現することを目的としている。

#### 【 0 0 0 9 】

##### 【課題を解決するための手段】

本発明は、選択的に金属元素を添加した半導体層に対し加熱処理による結晶化を行なった後、レーザビームを照射することによって、半導体層の結晶性をさらに向上させることを特徴とする。加熱処理により、結晶成長は前記金属元素が添加された領域から添加されていない領域に向かって横方向に行なわれる。そのため、前記金属元素が添加されていない半導体層中には、結晶化せずに非晶質領域が残る場合もある。また、加熱処理後の半導体層には結晶粒内に多数の欠陥が存在する。そこで、加熱処理後にレーザビームを照射することにより、残存する非晶質領域の結晶化を行ない、かつ、結晶欠陥の補償を行なうことを見出している。

10

#### 【 0 0 1 0 】

本明細書に開示する本発明の半構成は、基板上に半導体層を形成し、前記半導体層上に絶縁膜を形成し、前記絶縁膜上にゲート電極を形成し、前記ゲート電極をマスクとして前記半導体層に不純物元素を導入し、前記不純物元素が導入された半導体層に選択的に金属元素を導入し、加熱処理により前記半導体層を結晶化し、かつ、前記不純物元素を活性化し、レーザビームを照射することを特徴としている。

20

#### 【 0 0 1 1 】

上記構成において、基板は、レーザビームの一部が透過する基板を用いるのが望ましい。しかし、同じ基板でも波長によって透過率が異なる。例として、図 2 に、波長に対するコーニング社製 1737 基板および旭硝子社製合成石英ガラス基板の透過率を示す。図 2 から、波長によって透過率が変化していることが分かる。また、本明細書中では、基板の表面とは膜が形成されている面と定義し、基板の裏面とは膜が形成されている面と反対側の面と定義する。

30

#### 【 0 0 1 2 】

また、上記構成において、金属元素は Fe、Co、Ni、Ru、Rh、Pd、Os、Ir、Pt、Cu、Ag、Au、Al、In、Sn、Pb、P、As、Sb から選ばれた一種または複数の元素を用いればよく、前記金属元素を用いた結晶化方法についての詳細は特開平 7 - 183540 号公報に記載されている。ここで、前記公報の内容を簡単に説明する。まず、非晶質半導体膜にニッケル、またはパラジウム、または鉛等の金属元素を微量に添加する。添加の方法は、プラズマ処理法や蒸着法、イオン注入法、スパッタ法、溶液塗布法等を利用すればよい。前記添加の後、熱処理を行なうと、結晶性の良好な結晶質半導体膜が得られる。結晶化に最適な加熱温度や加熱時間等は、前記金属元素の添加量や、非晶質半導体膜の状態による。

40

#### 【 0 0 1 3 】

また、上記構成において、不純物元素は n 型を付与する不純物元素または p 型を付与する不純物元素であるとする。

#### 【 0 0 1 4 】

また、上記構成において、前記レーザビームはパルス発振又は連続発振の気体レーザや固体レーザから発振されたレーザビームを用いることができる。例えば、気体レーザとして、エキシマレーザ、Ar レーザ、Kr レーザ等があり、固体レーザとして、YAG レーザ、YVO<sub>4</sub> レーザ、YLF レーザ、YAlO<sub>3</sub> レーザ、ガラスレーザ、ルビーレーザ、アレキサンドライドレーザ、Ti : サファイアレーザ等を用いることが出来る。また、非線形光学素子により変換された高調波を用いても良い。

50

## 【0015】

また、上記構成において、レーザビームは基板の表面側、または裏面側、または表面側および裏面側の両側から照射する。ゲート電極の下方に存在するチャネル形成領域は半導体層の中でも特に良好な結晶性が必要とされる。しかし、チャネル形成領域の上方にはゲート電極が存在し、前記ゲート電極がレーザビームに対して透過性がなければ、半導体層に到達しない。そのため、ゲート電極の材質によって、レーザビームを照射する側を基板の表面側、または裏面側、または表面側および裏面側の両側からにする必要がある。もちろん、レーザビームを表面側から照射する場合は、前記レーザビームに対して透過性を有するゲート電極にする必要がある。また、レーザビームを裏面側から照射する場合は、前記レーザビームに対して透過性を有する基板を用いる必要がある。また、レーザビームを表面側および裏面側から照射する場合は、前記レーザビームに対して透過性を有する基板を用い、かつ、前記レーザビームに対して透過性を有するゲート電極にする必要がある。10

## 【0016】

また、上記構成により作製されたTFTを用いて液晶表示装置やEL表示装置に代表される半導体装置装置を作製することを特徴としている。

## 【0017】

## 【発明の実施の形態】

本発明の実施の形態について図1の断面図を用いて説明する。

## 【0018】

図1(A)において基板11には、合成石英ガラス基板、バリウムホウケイ酸ガラスアルミノホウケイ酸ガラスなどの無アルカリガラスと言ったガラス基板を用いても良い。例えば、コーニング社製の7059ガラスや1737ガラスなどを好適に用いることが出来る。ただし、後工程のレーザビームの照射の際に、基板の裏面側、または表面側および裏面側から照射するのであれば、レーザビームの波長に対し、基板11は透過性を有する必要がある。20

## 【0019】

基板11の上に下地絶縁膜12を公知の手段(LPCVD法、プラズマCVD法等)により窒化珪素膜、酸化窒化珪素膜または酸化珪素膜などで形成する。ただし、下地絶縁膜12は、後工程で用いるレーザ発振器の波長に対し、透過性を有する必要がある。

## 【0020】

次に、半導体膜12をプラズマCVD法やスパッタ法などの公知の手段で10~200nm(好ましくは30~100nm)の厚さに形成したのち、所望の形状にパターニングして半導体層13、14を形成する。ここで、半導体層13はnチャネル型TFTを、半導体層14はpチャネル型TFTを作製するものとする。なお、前記半導体膜12としては、非晶質半導体膜や微結晶半導体膜などがあり、非晶質珪素ゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良い。30

## 【0021】

次いで、半導体層13、14を覆うゲート絶縁膜15を形成する。ゲート絶縁膜15はプラズマCVD法またはスパッタ法を用い、厚さを40~150nmとして珪素を含む絶縁膜で形成する。40

## 【0022】

次いで、図1(B)に示すように、ゲート絶縁膜15上に膜厚100~500nmの導電膜16を形成する。導電膜としては、Ta、W、Ti、Mo、Cu、Cr、Ndから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよいし、多結晶珪素膜に代表される半導体膜を用いてもよい。また、AgPdCu合金を用いてもよい。また、可視光に対して透明な酸化物導電膜(代表的にはITO膜)を用いてもよい。

## 【0023】

次に、フォトリソグラフィ法を用いてレジストからなるマスク(図示せず)を形成し、電極及び配線を形成するためのエッチング処理を行なって、導電層17、18を形成する。50

**【 0 0 2 4 】**

次いで、導電層 17、18 をマスクとして用い、ゲート絶縁膜 15 を選択的に除去して絶縁層 19、20 を形成する。(図 1 ( C ))

**【 0 0 2 5 】**

そして、第 1 および第 2 のドーピング処理を行ない、半導体層に不純物元素を添加する。(図 1 ( C )) ドーピング処理はイオンドープ法、若しくはイオン注入法で行なえば良い。イオンドープ法の条件はドーズ量を  $1 \times 10^{13} \sim 5 \times 10^{15} / \text{cm}^2$  とし、加速電圧を 5 ~ 100 keV として行う。この場合、導電層 17、18 が不純物元素に対するマスクとなり、自己整合的に不純物領域 21、22 が形成される。まず、n 型を付与する不純物元素を添加して、続いて、p 型を付与する不純物元素を添加して不純物領域 26、27 を形成する。ただし、図 1 ( C ) および図 1 ( D ) に示すように、n 型を付与する不純物元素を添加するときには、p チャネル型 TFT を形成する半導体層はレジストからなるマスク 23 で覆い、p 型を付与する不純物元素を添加するときには、n チャネル型 TFT を形成する半導体層はレジストからなるマスク 25 で覆う。

10

**【 0 0 2 6 】**

次に、金属元素の添加を行なって、金属含有層 28 を形成する。前記金属元素としては、Fe、Co、Ni、Ru、Rh、Pd、Os、Ir、Pt、Cu、Ag、Au、Al、In、Sn、Pb、P、As、Sb から選ばれた一種または複数の元素を用いればよく、添加の方法は、プラズマ処理法や蒸着法、イオン注入法、スパッタ法、溶液塗布法等を利用すればよい。このとき、図 3 ( C ) に示すように、部分的にマスクを形成して、加熱処理により、半導体層が結晶化したときに形成される結晶粒界をチャネル形成領域ではなく、ソース領域またはドレイン領域に形成させる方法もある。

20

**【 0 0 2 7 】**

次いで、図 1 ( E ) に示すように、加熱処理により、半導体層の結晶化および不純物元素の活性化を行なう。この加熱処理はファーネスアニール炉を用いる熱アニール法またはラピッドサーマルアニール法 (RTA 法) で行なう。結晶化は、半導体層に選択的に添加された金属元素を核として結晶成長し、前記金属元素が添加されていないチャネル形成領域にも横方向に結晶成長して結晶化する。

**【 0 0 2 8 】**

図 1 ( F ) は基板の裏面側からレーザビームを照射して、半導体層の結晶性を向上させる工程を説明する図である。この場合、ここでは、裏面側からレーザビームを照射する場合を図示しているが、導電層 17、18 がレーザビームに対し、透過性を有する材料で形成されれば、基板の表面側、または表面側および裏面側から照射することもできる。また、用いる基板や下地絶縁膜の膜厚等によって最適な条件は異なる。

30

**【 0 0 2 9 】**

まず、レーザアニール法において用いるレーザ発振器について説明する。例えば、エキシマレーザは大出力で、現状で 300 Hz 程度の高周波パルスを発振出来る。また、パルス発振のエキシマレーザだけでなく、連続発振のエキシマレーザやその他のパルス発振又は連続発振の気体レーザや固体レーザを用いることができる。例えば、気体レーザとして、Ar レーザ、Kr レーザ等があり、固体レーザとして、YAG レーザ、YVO<sub>4</sub> レーザ、YLF レーザ、YAlO<sub>3</sub> レーザ、ガラスレーザ、ルビーレーザ、アレキサンドライドレーザ、Ti : サファイアレーザ等も用いることが出来る。もちろん、非線形素子により変換された高調波を用いてもよい。また、レーザビームの照射は真空中、大気中、窒素雰囲気中などで行なうことが出来る。さらに、レーザビームを照射する際、基板を 500 度程度まで加熱しても良い。こうすることで半導体膜における熱の流出速度の低下が期待され、結晶粒の粒径を拡大することができる。

40

**【 0 0 3 0 】**

前述のいずれかのレーザ発振器を用い、また、いずれかの雰囲気中で、レーザビームを照射して、半導体層の結晶化を行なう。

**【 0 0 3 1 】**

50

レーザビームを照射して形成された前記結晶質半導体膜は、3～100%の水素を含む雰囲気中で300～450の加熱処理、あるいは、プラズマによって生成された水素を含む雰囲気中で200～450の加熱処理によって、残留する欠陥を減少することができる。

#### 【0032】

また、前記金属元素がチャネル形成領域に残留した半導体層を用いてTFTを作製するところ、その電気的特性のオフ電流値は高くなることが知られている。そのため、本出願人は半導体層から金属元素を除去する技術（ゲッタリング技術）を開発し、特開平10-270363号公報に開示している。前記ゲッタリング技術とは、前記金属元素が残留している前記半導体層に15族に属する元素を選択的に導入して加熱処理を行ない、前記15族に属する元素が導入されている領域（ゲッタリング領域）に前記金属元素を捕獲させることで、前記15族に属する元素が導入されていない領域（被ゲッタリング領域）において前記金属元素を除去または低減することができるというものである。10

#### 【0033】

本発明においても、レーザビームを照射した後、前記ゲッタリング技術を利用してよい。つまり、ゲート電極をマスクとして、15族に属する元素を半導体層に選択的に導入し、加熱処理を行なって、チャネル形成領域から金属元素を除去または低減させてもよい。15

#### 【0034】

このようにして作製された結晶質半導体層を用いて、TFTを作製することにより、前記TFTの電気的特性を向上させることが出来る。20

#### 【0035】

##### 【実施例】

##### 【実施例1】

本発明の実施例について図1の断面図を用いて説明する。

#### 【0036】

図1(A)において基板11には、合成石英ガラス基板、バリウムホウケイ酸ガラスアルミニノホウケイ酸ガラスなどの無アルカリガラスと言ったガラス基板を用いても良い。例えば、コーニング社製の7059ガラスや1737ガラスなどを好適に用いることが出来る。本実施例においては、1737ガラス基板を用いた。30

#### 【0037】

前記基板11の上に下地絶縁膜12を公知の手段（LPCVD法、プラズマCVD法等）により窒化珪素膜、酸化窒化珪素膜または酸化珪素膜などで形成する。本実施例では膜厚50nmの酸化窒化珪素膜（組成比Si=32%、O=27%、N=24%、H=17%）を形成した。

#### 【0038】

次に、半導体膜12をプラズマCVD法やスパッタ法などの公知の手段で10～200nm（好ましくは30～100nm）の厚さに形成した後、所望の形状にパターニングして半導体層13、14を形成する。ここで、半導体層13はnチャネル型TFTを、半導体層14はpチャネル型TFTを作製するものとする。なお、前記半導体膜12としては、非晶質半導体膜や微結晶半導体膜などがあり、非晶質珪素ゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良い。本実施例では、プラズマCVD法を用い、55nmの非晶質珪素膜を成膜した。40

#### 【0039】

次いで、半導体層13、14を覆うゲート絶縁膜15を形成する。ゲート絶縁膜15はプラズマCVD法またはスパッタ法を用い、厚さを40～150nmとして珪素を含む絶縁膜で形成する。本実施例では、プラズマCVD法により110nmの厚さで酸化窒化珪素膜（組成比Si=32%、O=59%、N=7%、H=2%）で形成した。勿論、ゲート絶縁膜は酸化窒化珪素膜に限定されるものではなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

#### 【0040】

50

20

30

40

50

次いで、図1(B)に示すように、ゲート絶縁膜15上に膜厚100～500nmの導電膜16を形成する。本実施例では、膜厚30nmのTaN膜からなる導電膜を形成した。TaN膜はスパッタ法で形成し、Taのターゲットを用い、窒素を含む雰囲気内でスパッタした。また、導電膜としては、Ta、W、Ti、Mo、Cu、Cr、Ndから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよいし、多結晶珪素膜に代表される半導体膜を用いてもよい。また、AgPdCu合金を用いてもよい。また、可視光に対して透明な酸化物導電膜(代表的にはITO膜)を用いてもよい。

#### 【0041】

次に、フォトリソグラフィ法を用いてレジストからなるマスク(図示せず)を形成し、電極及び配線を形成するためのエッチング処理を行なって、導電層17、18を形成する。10

#### 【0042】

次いで、導電層17、18をマスクとして用い、ゲート絶縁膜15を選択的に除去して絶縁層19、20を形成する。(図1(C))

#### 【0043】

そして、第1および第2のドーピング処理を行ない、半導体層に不純物元素を添加する。(図1(C))ドーピング処理はイオンドープ法、若しくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{15} / \text{cm}^2$ とし、加速電圧を5～100keVとして行う。この場合、導電層17、18が不純物元素に対するマスクとなり、自己整合的に不純物領域21～24が形成される。本実施例では、第1のドーピング処理として、n型を付与する不純物元素としてリン(P)を添加して、不純物領域21～24のリン濃度が $1 \times 10^{20} \sim 5 \times 10^{21} / \text{cm}^3$ になるようにした。続いて、第2のドーピング処理を行ない、p型を付与する不純物元素としてボロン(B)を添加して、不純物領域26、27のボロン濃度が $1 \times 10^{20} \sim 1 \times 10^{22} / \text{cm}^3$ になるようにした。ただし、図1(D)に示すように、第2のドーピング処理においては、nチャネル型TFTを形成する半導体層はレジストからなるマスク25で覆う。20

#### 【0044】

次に、金属元素の添加を行なって、金属含有層28を形成する。前記金属元素としては、ニッケル、またはパラジウム、または鉛等の金属元素があり、添加の方法は、プラズマ処理法や蒸着法、イオン注入法、スパッタ法、溶液塗布法等を利用すればよい。本実施例では、ニッケルを含む溶液を半導体層および導電層に保持させた。30

#### 【0045】

次いで、図1(E)に示すように、加熱処理により、半導体層の結晶化および不純物元素の活性化を行なう。この加熱処理はファーネスアニール炉を用いる熱アニール法またはラピッドサーマルアニール法(RTA法)で行なう。結晶化は、半導体層に選択的に添加された金属元素を核として結晶成長し、前記金属元素が添加されていないチャネル形成領域にも横方向に結晶成長して結晶化する。本実施例では、温度550度で4時間の加熱処理を行なった。

#### 【0046】

図1(F)はレーザビームを照射して、半導体層の結晶性向上させる工程を説明する図である。また、用いる基板や下地絶縁膜の膜厚等によって最適な条件は異なる。まず、レーザアニール法において用いるレーザ発振器について説明する。例えば、エキシマレーザは大出力で、現状で300Hz程度の高周波パルスを発振出来る。また、パルス発振のエキシマレーザだけでなく、連続発振のエキシマレーザやその他のパルス発振又は連続発振の気体レーザや固体レーザを用いることができる。例えば、気体レーザとして、Arレーザ、Krレーザ等があり、固体レーザとして、YAGレーザ、YVO<sub>4</sub>レーザ、YLFレーザ、YAlO<sub>3</sub>レーザ、ガラスレーザ、ルビーレーザ、アレキサンドライドレーザ、Ti:サファイアレーザ等も用いることが出来る。もちろん、非線形素子により変換された高調波を用いてもよい。また、レーザビームの照射は真空中、大気中、窒素雰囲気中などで行なうことが出来る。さらに、レーザビームを照射する際、基板を500度程度まで加4050

熱しても良い。こうすることで半導体膜における熱の流出速度の低下が期待され、結晶粒の粒径を拡大することが出来る。

#### 【0047】

本実施例では、YAGレーザの第2高調波（波長532nm）を用い、大気中でレーザビームの照射を行なった。また、本実施例では基板として1737ガラス基板を用いており、図2（B）より、YAGレーザの第2高調波に対する透過率は90%以上ある。そのため、YAGレーザの第2高調波は充分基板を透過する。また、本実施例では、導電層17、18にTaNを用いており、YAGレーザの第2高調波に対して透過性を有しない。そこで本実施例では、基板の裏面側からレーザビームを照射し、前記半導体膜の結晶化を行なった。

10

#### 【0048】

レーザビームを照射して形成された前記結晶質半導体層は、3～100%の水素を含む雰囲気中で300～450の加熱処理、あるいは、プラズマによって生成された水素を含む雰囲気中で200～450の加熱処理によって、残留する欠陥を減少することができる。

#### 【0049】

このようにして作製された結晶質半導体層を用いてTFTを作製することにより、前記TFTの電気的特性を向上させることが出来る。

#### 【0050】

[実施例2]  
本実施例ではアクティブマトリクス基板の作製方法について図4～図5を用いて説明する。

20

#### 【0051】

図1（A）において基板300には、合成石英ガラス基板、バリウムホウケイ酸ガラスアルミノホウケイ酸ガラスなどの無アルカリガラスと言ったガラス基板を用いても良い。例えば、コーニング社製の7059ガラスや1737ガラスなどを好適に用いることが出来る。本実施例においては、1737ガラス基板を用いた。

#### 【0052】

次いで、基板300上に酸化珪素膜、窒化珪素膜または酸化窒化珪素膜などの絶縁膜から成る下地膜301を形成する。本実施例では下地膜301として2層構造を用いるが、前記絶縁膜の単層膜または2層以上積層させた構造を用いても良い。下地膜301の一層目としては、プラズマCVD法を用い、SiH<sub>4</sub>、NH<sub>3</sub>、及びN<sub>2</sub>Oを反応ガスとして成膜される酸化窒化珪素膜301aを10～200nm（好ましくは50～100nm）形成する。本実施例では、膜厚50nmの酸化窒化珪素膜301a（組成比Si=32%、O=27%、N=24%、H=17%）を形成した。次いで、下地膜301の二層目としては、プラズマCVD法を用い、SiH<sub>4</sub>、及びN<sub>2</sub>Oを反応ガスとして成膜される酸化窒化珪素膜301bを50～200nm（好ましくは100～150nm）の厚さに積層形成する。本実施例では、膜厚100nmの酸化窒化珪素膜401b（組成比Si=32%、O=59%、N=7%、H=2%）を形成した。

30

#### 【0053】

次いで、下地膜上に半導体膜302を公知の手段（スパッタ法、LPCVD法、またはプラズマCVD法等）により10～200nm（好ましくは30～100nm）の厚さに成膜した後、所望の形状にパターニングして半導体層402～406を形成する。半導体膜の材料に限定はないが、好ましくは珪素または珪素ゲルマニウム（SiGe）合金などで形成すると良い。本実施例では、プラズマCVD法を用い、55nmの非晶質珪素膜を成膜した後、フォトリソグラフィ法を用いたパターニング処理によって、半導体層402～406を形成した。

40

#### 【0054】

また、半導体層402～406を形成した後、TFTのしきい値を制御するために微量な不純物元素（ボロンまたはリン）のドーピングを行なってもよい。

50

## 【0055】

次いで、半導体層402～406を覆うゲート絶縁膜407を形成する。ゲート絶縁膜407はプラズマCVD法またはスパッタ法を用い、厚さを40～150nmとして珪素を含む絶縁膜で形成する。本実施例では、プラズマCVD法により110nmの厚さで酸化窒化珪素膜（組成比Si=32%、O=59%、N=7%、H=2%）で形成した。もちろん、ゲート絶縁膜は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

## 【0056】

また、酸化珪素膜を用いる場合には、プラズマCVD法でTEOS（Tetraethyl Orthosilicate）とO<sub>2</sub>とを混合し、反応圧力40Pa、基板温度300～400とし、高周波（13.56MHz）電力密度0.5～0.8W/cm<sup>2</sup>で放電させて形成することができる。このようにして作製される酸化珪素膜は、その後400～500の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

## 【0057】

次いで、図4（B）に示すように、ゲート絶縁膜407上に膜厚20～100nmの第1の導電膜408と、膜厚100～400nmの第2の導電膜409とを積層形成する。本実施例では、膜厚30nmのTaN膜からなる第1の導電膜408と、膜厚370nmのW膜からなる第2の導電膜409を積層形成した。TaN膜はスパッタ法で形成し、Taのターゲットを用い、窒素を含む雰囲気内でスパッタした。また、W膜は、Wのターゲットを用いたスパッタ法で形成した。その他に6フッ化タンゲステン（WF<sub>6</sub>）を用いる熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20μcm以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W膜中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。従って、本実施例では、高純度のW（純度99.9999%）のターゲットを用いたスパッタ法で、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9～20μcmを実現することができた。

## 【0058】

なお、本実施例では、第1の導電膜408をTaN、第2の導電膜409をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Cu、Cr、Ndから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶珪素膜に代表される半導体膜を用いてもよい。また、AgPdCu合金を用いてもよい。また、第1の導電膜をタンタル（Ta）膜で形成し、第2の導電膜をW膜とする組み合わせ、第1の導電膜を窒化チタン（TiN）膜で形成し、第2の導電膜をW膜とする組み合わせ、第1の導電膜を窒化タンタル（TaN）膜で形成し、第2の導電膜をAl膜とする組み合わせ、第1の導電膜を窒化タンタル（TaN）膜で形成し、第2の導電膜をCu膜とする組み合わせとしてもよい。

## 【0059】

次に、フォトリソグラフィ法を用いてレジストからなるマスク410～415を形成し、電極及び配線を形成するための第1のエッチング処理を行なう。第1のエッチング処理では第1及び第2のエッチング条件で行なう。本実施例では第1のエッチング条件として、ICP（Inductively Coupled Plasma：誘導結合型プラズマ）エッチング法を用い、エッチング用ガスにCF<sub>4</sub>とCl<sub>2</sub>とO<sub>2</sub>とを用い、それぞれのガス流量比を25：25：10（sccm）とし、1Paの圧力でコイル型の電極に500WのRF（13.56MHz）電力を投入してプラズマを生成してエッチングを行った。ここでは、松下電器産業（株）製のICPを用いたドライエッチング装置（Model E645-ICP）を用いた。基板側（試料ステージ）にも150WのRF（13.56MHz）電力を投入し、実質的に負の自己バイアス電圧を印加する。この第1のエッチング条件によりW膜をエッチングして第1の導電層の端部をテーパー形状とする。

## 【0060】

10

20

30

40

50

この後、レジストからなるマスク 410～415を除去せずに第2のエッティング条件に変え、エッティング用ガスに  $\text{CF}_4$  と  $\text{Cl}_2$  を用い、それぞれのガス流量比を 30:30 ( s c c m ) とし、1Pa の圧力でコイル型の電極に 500W の RF (13.56MHz) 電力を投入してプラズマを生成して約 30 秒程度のエッティングを行った。基板側 (試料ステージ) にも 20W の RF (13.56MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。 $\text{CF}_4$  と  $\text{Cl}_2$  を混合した第2のエッティング条件では W 膜及び TaN 膜とも同程度にエッティングされる。なお、ゲート絶縁膜上に残渣を残すことなくエッティングするためには、10～20% 程度の割合でエッティング時間を増加させると良い。

#### 【0061】

上記第1のエッティング処理では、レジストからなるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパー形状となる。このテーパー部の角度は 15～45° となる。こうして、第1のエッティング処理により第1の導電層と第2の導電層から成る第1の形状の導電層 417～422 (第1の導電層 417a～422a と第2の導電層 417b～422b) を形成する。416 はゲート絶縁膜であり、第1の形状の導電層 417～422 で覆われない領域は 20～50nm 程度エッティングされ薄くなった領域が形成される。

#### 【0062】

そして、レジストからなるマスクを除去せずに第1のドーピング処理を行ない、半導体層に n 型を付与する不純物元素を添加する。(図 5 (A)) ドーピング処理はイオンドープ法、若しくはイオン注入法で行なえば良い。イオンドープ法の条件はドーザ量を  $1 \times 10^{13} \sim 5 \times 10^{15} \text{ atoms/cm}^2$  とし、加速電圧を 60～100 keV として行なう。本実施例ではドーザ量を  $1.5 \times 10^{15} / \text{cm}^2$  とし、加速電圧を 80 keV として行った。n 型を付与する不純物元素として 15 族に属する元素、典型的にはリン (P) または砒素 (As) を用いるが、ここではリン (P) を用いた。この場合、導電層 417～421 が n 型を付与する不純物元素に対するマスクとなり、自己整合的に第1の高濃度不純物領域 306～310 が形成される。第1の高濃度不純物領域 306～310 には  $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$  の濃度範囲で n 型を付与する不純物元素を添加する。

#### 【0063】

次いで、レジストからなるマスクを除去せずに第2のエッティング処理を行なう。ここでは、エッティングガスに  $\text{CF}_4$  と  $\text{Cl}_2$  と  $\text{O}_2$  を用い、W 膜を選択的にエッティングする。この時、第2のエッティング処理により第2の導電層 428b～433b を形成する。一方、第1の導電層 417a～422a は、ほとんどエッティングされず、第2の形状の導電層 428～433 を形成する。

#### 【0064】

次いで、レジストからなるマスクを除去せずに、図 5 (C) に示すように、第2のドーピング処理を行なう。この場合、第1のドーピング処理よりもドーザ量を下げて、70～120 keV の高い加速電圧で、n 型を付与する不純物元素を導入する。本実施例ではドーザ量を  $1.5 \times 10^{14} / \text{cm}^2$  とし、加速電圧を 90 keV として行ない、図 5 (B) で形成された第1の高濃度不純物領域 306～310 より内側の半導体層に新たな不純物領域を形成する。第2のドーピング処理は第2の形状の導電層 428～433 をマスクとして用い、第2の導電層 428b～433b の下方における半導体層にも不純物元素が導入され、新たに第2の高濃度不純物領域 423a～427a および低濃度不純物領域 423b～427b が形成される。

#### 【0065】

次いで、レジストからなるマスクを除去した後、新たにレジストからなるマスク 434a および 434b を形成して、図 6 (A) に示すように、第3のエッティング処理を行なう。エッティング用ガスに  $\text{SF}_6$  および  $\text{Cl}_2$  を用い、ガス流量比を 50/10 (sccm) とし、1.3 Pa の圧力でコイル型の電極に 500W の RF (13.56MHz) 電力を投入してプラズマを生成し、約 30 秒のエッティング処理を行なう。基板側 (資料ステージ) には 10W の RF (13.56MHz) 電力を投入し、実質的には不の自己バイアス電圧

10

20

30

40

50

を印加する。こうして、前記大3のエッティング処理により、pチャネル型TFTおよび画素部のTFT(画素TFT)のTaN膜をエッティングして、第3の形状の導電層435～438を形成する。

#### 【0066】

次いで、レジストからなるマスクを除去した後、第2の形状の導電層428、430および第2の形状の導電層435～438をマスクとして用い、ゲート絶縁膜416を選択的に除去して絶縁層439～444を形成する。(図6(B))

#### 【0067】

次いで、新たにレジストからなるマスク445a～445cを形成して第3のドーピング処理を行なう。この第3のドーピング処理により、pチャネル型TFTの活性層となる半導体層に前記一導電型とは逆の導電型を付与する不純物元素が添加された不純物領域446、447を形成する。第2の導電層435a、438aを不純物元素に対するマスクとして用い、p型を付与する不純物元素を添加して自己整合的に不純物領域を形成する。本実施例では、不純物領域446、447はジボラン( $B_2H_6$ )を用いたイオンドープ法で形成する。(図6(C))この第3のドーピング処理の際には、nチャネル型TFTを形成する半導体層はレジストからなるマスク445a～445cで覆われている。第1のドーピング処理及び第2のドーピング処理によって、不純物領域446、447にはそれぞれ異なる濃度でリンが添加されているが、そのいずれの領域においてもp型を付与する不純物元素の濃度を $2 \times 10^{20} \sim 2 \times 10^{21} \text{ atoms/cm}^3$ となるようにドーピング処理することにより、pチャネル型TFTのソース領域およびドレイン領域として機能するために何ら問題は生じない。本実施例では、pチャネル型TFTの活性層となる半導体層の一部が露呈しているため、不純物元素(ボロン)を添加しやすい利点を有している。

#### 【0068】

以上までの工程で、それぞれの半導体層に不純物領域が形成される。

#### 【0069】

次いで、レジストからなるマスク445a～445cを除去して金属元素の添加を行なって、金属含有層361を形成する。前記金属元素としては、ニッケル、またはパラジウム、または鉛等の金属元素があり、添加の方法は、プラズマ処理法や蒸着法、イオン注入法、スパッタ法、溶液塗布法等を利用すればよい。本実施例では、ニッケルを含む溶液を半導体層および導電層に保持させた。

#### 【0070】

次いで、図7(A)に示すように、加熱処理により、半導体層の結晶化および不純物元素の活性化を行なう。この活性化工程はファーネスアニール炉を用いる熱アニール法またはラピッドサーマルアニール法(RTA法)で行なう。熱アニール法としては、酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400～700、代表的には500～550で行えばよく、本実施例では550、4時間の熱処理で活性化処理を行った。

#### 【0071】

図7(B)はレーザビームを照射して、半導体層の結晶性を向上させる工程を説明する図である。用いる基板や下地絶縁膜の膜厚等によって最適な条件は異なる。まず、レーザアニール法において用いるレーザ発振器について説明する。例えば、エキシマレーザは大出力で、現状で300Hz程度の高周波パルスを発振出来る。また、パルス発振のエキシマレーザだけでなく、連続発振のエキシマレーザやその他のパルス発振又は連続発振の気体レーザや固体レーザを用いることができる。例えば、気体レーザとして、Arレーザ、Krレーザ等があり、固体レーザとして、YAGレーザ、YVO<sub>4</sub>レーザ、YLFレーザ、YAlO<sub>3</sub>レーザ、ガラスレーザ、ルビーレーザ、アレキサンドライドレーザ、Ti:サファイアレーザ等も用いることが出来る。もちろん、非線形素子により変換された高調波を用いてもよい。また、レーザビームの照射は真空中、大気中、窒素雰囲気中などで行なうことが出来る。さらに、レーザビームを照射する際、基板を500度程度まで加熱しても良い。こうすることで半導体膜における熱の流出速度の低下が期待され、結晶粒の粒径

10

20

30

40

50

を拡大することが出来る。

**【0072】**

本実施例では、YAGレーザの第2高調波（波長532nm）を用い、大気中でレーザビームの照射を行なった。また、本実施例では基板として1737ガラス基板を用いており、図2(B)より、YAGレーザの第2高調波に対する透過率は90%以上ある。そのため、YAGレーザの第2高調波は充分基板を透過する。また、本実施例では、導電層428、430、435、436、437、438にTaNおよびWを用いており、YAGレーザの第2高調波に対して透過性を有しない。そこで本実施例では、基板の裏面側からレーザビームを照射し、前記半導体膜の結晶化を行なった。

**【0073】**

次いで、第1の層間絶縁膜461を形成する。この第1の層間絶縁膜461としては、プラズマCVD法またはスパッタ法を用い、厚さを100~200nmとして珪素を含む絶縁膜で形成する。本実施例では、プラズマCVD法により膜厚150nmの酸化窒化珪素膜を形成した。もちろん、第1の層間絶縁膜461は酸化窒化珪素膜に限定されるものではなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

**【0074】**

そして、3~100%の水素を含む雰囲気中で、300~550で1~12時間の熱処理を行ない、半導体層を水素化する工程を行なう。本実施例では水素を約3%の含む窒素雰囲気中で410、1時間の熱処理を行なった。この工程は層間絶縁膜に含まれる水素により半導体層のダンギングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行なっても良い。

**【0075】**

次いで、第1の層間絶縁膜461上に無機絶縁膜材料または有機絶縁物材料から成る第2の層間絶縁膜462を形成する。本実施例では、膜厚1.6μmのアクリル樹脂膜を形成したが、粘度が10~1000cp、好ましくは40~200cpのものを用い、表面に凸凹が形成されるものを用いた。

**【0076】**

本実施例では、鏡面反射を防ぐため、表面に凸凹が形成される第2の層間絶縁膜を形成することによって画素電極の表面に凸凹を形成した。また、画素電極の表面に凹凸を持たせて光散乱性を図るため、画素電極の下方の領域に凸部を形成してもよい。その場合、凸部の形成は、TFTの形成と同じフォトマスクで行なうことができるため、工程数の増加なく形成することができる。なお、この凸部は配線及びTFT部以外の画素部領域の基板上に適宜設ければよい。こうして、凸部を覆う絶縁膜の表面に形成された凸凹に沿って画素電極の表面に凸凹が形成される。

**【0077】**

また、第2の層間絶縁膜462として表面が平坦化する膜を用いてもよい。その場合は、画素電極を形成した後、公知のサンドblast法やエッチング法等の工程を追加して表面を凹凸化させて、鏡面反射を防ぎ、反射光を散乱させることによって白色度を増加させることが好ましい。

**【0078】**

そして、駆動回路506において、各不純物領域とそれぞれ電気的に接続する配線463~467を形成する。なお、これらの配線は、膜厚50nmのTi膜と、膜厚500nmの合金膜（AlとTiとの合金膜）との積層膜をパターニングして形成する。

**【0079】**

また、画素部507においては、画素電極470、ゲート配線469、接続電極468を形成する。（図7(B)）この接続電極468によりソース配線（443bと449の積層）は、画素TFTと電気的な接続が形成される。また、ゲート配線469は、画素TFTのゲート電極と電気的な接続が形成される。また、画素電極470は、画素TFTのドレイン領域442と電気的な接続が形成され、さらに保持容量を形成する一方の電極として機能する半導体層458と電気的な接続が形成される。また、画素電極471としては

10

20

30

40

50

、AlまたはAgを主成分とする膜、またはそれらの積層膜等の反射性の優れた材料を用いることが望ましい。

#### 【0080】

以上の様にして、nチャネル型TFT501とpチャネル型TFT502からなるCMOS回路、及びnチャネル型TFT503を有する駆動回路506と、画素TFT504、保持容量505とを有する画素部507を同一基板上に形成することができる。こうして、アクティブマトリクス基板が完成する。

#### 【0081】

駆動回路506のnチャネル型TFT501はチャネル形成領域423c、ゲート電極の一部を構成する第1の導電層428aと重なる低濃度不純物領域423b(GOLD領域)、とソース領域またはドレイン領域として機能する高濃度不純物領域423aを有している。このnチャネル型TFT501と電極466で接続してCMOS回路を形成するpチャネル型TFT502にはチャネル形成領域446d、ゲート電極の外側に形成される不純物領域446b、446c、ソース領域またはドレイン領域として機能する高濃度不純物領域446aを有している。また、nチャネル型TFT503にはチャネル形成領域425c、ゲート電極の一部を構成する第1の導電層430aと重なる低濃度不純物領域425b(GOLD領域)、とソース領域またはドレイン領域として機能する高濃度不純物領域425aを有している。

#### 【0082】

画素部の画素TFT504にはチャネル形成領域426c、ゲート電極の外側に形成される低濃度不純物領域426b(LDD領域)とソース領域またはドレイン領域として機能する高濃度不純物領域426aを有している。また、保持容量505の一方の電極として機能する半導体層447a、447bには、それぞれp型を付与する不純物元素が添加されている。保持容量505は、絶縁膜444を誘電体として、電極(438aと438bの積層)と、半導体層447a～447cとで形成している。

#### 【0083】

また、本実施例の画素構造は、ブラックマトリクスを用いることなく、画素電極間の隙間が遮光されるように、画素電極の端部をソース配線と重なるように配置形成する。

#### 【0084】

また、本実施例で作製するアクティブマトリクス基板の画素部の上面図を図8に示す。なお、図4～図7に対応する部分には同じ符号を用いている。図7中の鎖線A-A'は図8中の鎖線A-A'で切断した断面図に対応している。また、図7中の鎖線B-B'は図8中の鎖線B-B'で切断した断面図に対応している。

#### 【0085】

##### [実施例3]

本実施例では、実施例2で作製したアクティブマトリクス基板から、反射型液晶表示装置を作製する工程を以下に説明する。説明には図9を用いる。

#### 【0086】

まず、実施例2に従い、図7の状態のアクティブマトリクス基板を得た後、図7のアクティブマトリクス基板上、少なくとも画素電極470上に配向膜471を形成しラビング処理を行う。なお、本実施例では配向膜471を形成する前に、アクリル樹脂膜等の有機樹脂膜をパターニングすることによって基板間隔を保持するための柱状のスペーサ(図示しない)を所望の位置に形成した。また、柱状のスペーサに代えて、球状のスペーサを基板全面に散布してもよい。

#### 【0087】

次いで、対向基板471を用意する。次いで、対向基板471上に着色層472、473、平坦化膜474を形成する。赤色の着色層472と青色の着色層473とを重ねて、遮光部を形成する。また、赤色の着色層と緑色の着色層とを一部重ねて、遮光部を形成してもよい。

#### 【0088】

10

20

30

40

50

本実施例では、実施例2に示す基板を用いている。従って、実施例2の画素部の上面図を示す図8では、少なくともゲート配線469と画素電極470の間隙と、ゲート配線469と接続電極468の間隙と、接続電極468と画素電極470の間隙を遮光する必要がある。本実施例では、それらの遮光すべき位置に着色層の積層からなる遮光部が重なるように各着色層を配置して、対向基板を貼り合わせた。

#### 【0089】

このように、ブラックマスク等の遮光層を形成することなく、各画素間の隙間を着色層の積層からなる遮光部で遮光することによって工程数の低減を可能とした。

#### 【0090】

次いで、平坦化膜474上に透明導電膜からなる対向電極475を少なくとも画素部に形成し、対向基板の全面に配向膜476を形成し、ラビング処理を施した。 10

#### 【0091】

そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール材477で貼り合わせる。シール材477にはフィラーが混入されていて、このフィラーと柱状スペーサによって均一な間隔を持って2枚の基板が貼り合わせられる。その後、両基板の間に液晶材料478を注入し、封止剤(図示せず)によって完全に封止する。液晶材料478には公知の液晶材料を用いれば良い。このようにして図9に示す反射型液晶表示装置が完成する。そして、必要があれば、アクティブマトリクス基板または対向基板を所望の形状に分断する。さらに、対向基板のみに偏光板(図示しない)を貼りつけた。そして、公知の技術を用いてFPCを貼りつけた。 20

#### 【0092】

以上のようにして作製される液晶表示パネルは各種電子機器の表示部として用いることができる。

#### 【0093】

なお、本実施例は実施例1または実施例2と自由に組み合わせることが可能である。

#### 【0094】

#### [実施例4]

本実施例では、実施例2で示したアクティブマトリクス基板を作製するときのTFTの作製方法を用いて、EL(エレクトロルミネセンス)表示装置を作製した例について説明する。なお、図10は本発明のEL表示装置の断面図である。 30

#### 【0095】

本明細書において、EL表示装置とは、基板上に形成された発光素子を該基板とカバー材の間に封入した表示用パネルおよび該表示用パネルにTFTを実装した表示用モジュールを総称したものである。なお、発光素子は、電場を加えることで発生するルミネッセンス(Electro Luminescence)が得られる有機化合物を含む層(発光層)と陽極層と、陰極層とを有する。また、有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光(蛍光)と三重項励起状態から基底状態に戻る際の発光(リン光)があり、これらのうちどちらか、あるいは両方の発光を含む。

#### 【0096】

図10において、基板700上に設けられたスイッチングTFT603は図10のnチャネル型TFT503を用いて形成される。したがって、構造の説明はnチャネル型TFT503の説明を参照すれば良い。 40

#### 【0097】

なお、本実施例ではチャネル形成領域が二つ形成されるダブルゲート構造としているが、チャネル形成領域が一つ形成されるシングルゲート構造もしくは三つ形成されるトリプルゲート構造であっても良い。

#### 【0098】

基板700上に設けられた駆動回路は図10のCMOS回路を用いて形成される。従って、構造の説明はnチャネル型TFT501とpチャネル型TFT502の説明を参照すれば良い。なお、本実施例ではシングルゲート構造としているが、ダブルゲート構造もしく 50

はトリプルゲート構造であっても良い。

**【0099】**

また、配線701、703はCMOS回路のソース配線、702はドレイン配線として機能する。また、配線704はソース配線708とスイッチングTFTのソース領域とを電気的に接続する配線として機能し、配線705はドレイン配線709とスイッチングTFTのドレイン領域とを電気的に接続する配線として機能する。

**【0100】**

なお、電流制御TFT604は図10のpチャネル型TFT502を用いて形成される。従って、構造の説明はpチャネル型TFT502の説明を参照すれば良い。なお、本実施例ではシングルゲート構造としているが、ダブルゲート構造もしくはトリプルゲート構造であっても良い。10

**【0101】**

また、配線706は電流制御TFTのソース配線（電流供給線に相当する）であり、707は電流制御TFTの画素電極710上に重ねることで画素電極710と電気的に接続する電極である。

**【0102】**

なお、710は、透明導電膜からなる画素電極（EL素子の陽極）である。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものを用いても良い。画素電極710は、上記配線を形成する前に平坦な層間絶縁膜711上に形成する。本実施例においては、樹脂からなる平坦化膜711を用いてTFTによる段差を平坦化することは非常に重要である。後に形成されるEL層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、EL層をできるだけ平坦面に形成しうるよう画素電極を形成する前に平坦化しておくことが望ましい。20

**【0103】**

配線701～707を形成後、図10に示すようにバンク712を形成する。バンク712は100～400nmの珪素を含む絶縁膜もしくは有機樹脂膜をパターニングして形成すれば良い。

**【0104】**

なお、バンク712は絶縁膜であるため、成膜時における素子の静電破壊には注意が必要である。本実施例ではバンク712の材料となる絶縁膜中にカーボン粒子や金属粒子を添加して抵抗率を下げ、静電気の発生を抑制する。この際、抵抗率は $1 \times 10^6 \sim 1 \times 10^{12}$  m（好ましくは $1 \times 10^8 \sim 1 \times 10^{10}$  m）となるようにカーボン粒子や金属粒子の添加量を調節すれば良い。30

**【0105】**

画素電極710の上にはEL層713が形成される。なお、図10では一画素しか図示していないが、本実施例ではR（赤）、G（緑）、B（青）の各色に対応したEL層を作り分けている。また、本実施例では蒸着法により低分子系有機EL材料を形成している。具体的には、正孔注入層として20nm厚の銅フタロシアニン（CuPc）膜を設け、その上に発光層として70nm厚のトリス-8-キノリノラトアルミニウム錯体（Alq<sub>3</sub>）膜を設けた積層構造としている。Alq<sub>3</sub>にキナクリドン、ペリレンもしくはDCM1といった蛍光色素を添加することで発光色を制御することができる。40

**【0106】**

但し、以上の例はEL層として用いることのできる有機EL材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせてEL層（発光及びそのためのキャリアの移動を行なわせるための層）を形成すれば良い。例えば、本実施例では低分子系有機EL材料をEL層として用いる例を示したが、高分子系有機EL材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機EL材料や無機材料は公知の材料を用い50

ることができる。

但し、以上の例は E L 層として用いることのできる有機 E L 材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせて E L 層（発光及びそのためのキャリアの移動を行わせるための層）を形成すれば良い。例えば、本実施例では低分子系有機 E L 材料を E L 層として用いる例を示したが、中分子系有機 E L 材料や高分子系有機 E L 材料を用いても良い。なお、本明細書中において、昇華性を有さず、かつ、分子数が 20 以下または連鎖する分子の長さが 10 μm 以下の有機 E L 材料を中分子系有機 E L 材料とする。また、高分子系有機 E L 材料を用いる例として、正孔注入層として 20 nm のポリチオフェン（P E D O T）膜をスピン塗布法により設け、その上に E L 層として 100 nm 程度のパラフェニレンビニレン（P P V）膜を設けた積層構造としても良い。なお、P P V の 共役系高分子を用いると、赤色から青色まで発光波長を選択できる。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機 E L 材料や無機材料は公知の材料を用いることができる。10

#### 【 0 1 0 7 】

次に、E L 層 7 1 3 の上には導電膜からなる陰極 7 1 4 が設けられる。本実施例の場合、導電膜としてアルミニウムとリチウムとの合金膜を用いる。勿論、公知の M g A g 膜（マグネシウムと銀との合金膜）を用いても良い。陰極材料としては、周期表の 1 族もしくは 2 族に属する元素からなる導電膜もしくはそれらの元素を添加した導電膜を用いれば良い。20

#### 【 0 1 0 8 】

この陰極 7 1 4 まで形成された時点で E L 素子 7 1 5 が完成する。なお、ここでいう E L 素子 7 1 5 は、画素電極（陽極）7 1 0、E L 層 7 1 3 及び陰極 7 1 4 で形成されたコンデンサを指す。

#### 【 0 1 0 9 】

E L 素子 7 1 5 を完全に覆うようにしてパッシベーション膜 7 1 6 を設けることは有効である。パッシベーション膜 7 1 6 としては、炭素膜、窒化珪素膜もしくは窒化酸化珪素膜を含む絶縁膜からなり、該絶縁膜を単層もしくは組み合わせた積層で用いる。

#### 【 0 1 1 0 】

この際、カバーレッジの良い膜をパッシベーション膜として用いることが好ましく、炭素膜、特に D L C （ダイヤモンドライクカーボン）膜を用いることは有効である。D L C 膜は室温から 100 以下の温度範囲で成膜可能であるため、耐熱性の低い E L 層 7 1 3 の上方にも容易に成膜することができる。また、D L C 膜は酸素に対するプロッキング効果が高く、E L 層 7 1 3 の酸化を抑制することが可能である。そのため、この後に続く封止工程を行う間に E L 層 7 1 3 が酸化するといった問題を防止できる。30

#### 【 0 1 1 1 】

さらに、パッシベーション膜 7 1 6 上に封止材 7 1 7 を設け、カバー材 7 1 8 を貼り合わせる。封止材 7 1 7 としては紫外線硬化樹脂を用いれば良く、内部に吸湿効果を有する物質もしくは酸化防止効果を有する物質を設けることは有効である。また、本実施例においてカバー材 7 1 8 はガラス基板や石英基板やプラスチック基板（プラスチックフィルムも含む）の両面に炭素膜（好ましくはダイヤモンドライクカーボン膜）を形成したものを用いる。40

#### 【 0 1 1 2 】

こうして図 10 に示すような構造の E L 表示装置が完成する。なお、バンク 7 1 2 を形成した後、パッシベーション膜 7 1 6 を形成するまでの工程をマルチチャンバー方式（またはインライン方式）の成膜装置を用いて、大気解放せずに連続的に処理することは有効である。また、さらに発展させてカバー材 7 1 8 を貼り合わせる工程までを大気解放せずに連続的に処理することも可能である。

#### 【 0 1 1 3 】

こうして、プラスチック基板を母体とする絶縁体 5 0 1 上に n チャネル型 T F T 6 0 1 、50

602、スイッチングTFT(*n*チャネル型TFT)603および電流制御TFT(*n*チャネル型TFT)604が形成される。ここまで製造工程で必要としたマスク数は、一般的なアクティブマトリクス型EL表示装置よりも少ない。

#### 【0114】

即ち、TFTの製造工程が大幅に簡略化されており、歩留まりの向上および製造コストの低減が実現できる。

#### 【0115】

さらに、図10を用いて説明したように、ゲート電極に絶縁膜を介して重なる不純物領域を設けることによりホットキャリア効果に起因する劣化に強い*n*チャネル型TFTを形成することができる。そのため、信頼性の高いEL表示装置を実現できる。

10

#### 【0116】

また、本実施例では画素部と駆動回路の構成のみ示しているが、本実施例の製造工程に従えば、その他にも信号分割回路、D/Aコンバータ、オペアンプ、補正回路などの論理回路を同一の絶縁体上に形成可能であり、さらにはメモリやマイクロプロセッサをも形成しうる。

#### 【0117】

さらに、EL素子を保護するための封止(または封入)工程まで行った後の本実施例のEL発光装置について図11を用いて説明する。なお、必要に応じて図10で用いた符号を引用する。

#### 【0118】

20

図11(A)は、EL素子の封止までを行った状態を示す上面図、図11(B)は図11(A)をC-C'で切断した断面図である。点線で示された801はソース側駆動回路、806は画素部、807はゲート側駆動回路である。また、901はカバー材、902は第1シール材、903は第2シール材であり、第1シール材902で囲まれた内側には封止材907が設けられる。

#### 【0119】

なお、904はソース側駆動回路801及びゲート側駆動回路807に入力される信号を伝送するための配線であり、外部入力端子となるFPC(フレキシブルプリントサーキット)905からビデオ信号やクロック信号を受け取る。なお、ここではFPCしか図示されていないが、このFPCにはプリント配線基盤(PWB)が取り付けられていても良い。本明細書におけるEL表示装置には、EL表示装置本体だけでなく、それにFPCもしくはPWBが取り付けられた状態をも含むものとする。

30

#### 【0120】

次に、断面構造について図11(B)を用いて説明する。基板700の上方には画素部806、ゲート側駆動回路807が形成されており、画素部806は電流制御TFT604とそのドレインに電気的に接続された画素電極710を含む複数の画素により形成される。また、ゲート側駆動回路807は*n*チャネル型TFT601と*p*チャネル型TFT602とを組み合わせたCMOS回路(図14参照)を用いて形成される。

#### 【0121】

画素電極710はEL素子の陽極として機能する。また、画素電極710の両端にはバンク712が形成され、画素電極710上にはEL層713およびEL素子の陰極714が形成される。

40

#### 【0122】

陰極714は全画素に共通の配線としても機能し、接続配線904を経由してFPC905に電気的に接続されている。さらに、画素部806及びゲート側駆動回路807に含まれる素子は全て陰極714およびパッシベーション膜567で覆われている。

#### 【0123】

また、第1シール材902によりカバー材901が貼り合わされている。なお、カバー材901とEL素子との間隔を確保するために樹脂膜からなるスペーサを設けても良い。そして、第1シール材902の内側には封止材907が充填されている。なお、第1シール

50

材 9 0 2、封止材 9 0 7 としてはエポキシ系樹脂を用いるのが好ましい。また、第 1 シール材 9 0 2 はできるだけ水分や酸素を透過しない材料であることが望ましい。さらに、封止材 9 0 7 の内部に吸湿効果をもつ物質や酸化防止効果をもつ物質を含有させても良い。

#### 【 0 1 2 4 】

E L 素子を覆うようにして設けられた封止材 9 0 7 はカバー材 9 0 1 を接着するための接着剤としても機能する。また、本実施例ではカバー材 9 0 1 を構成するプラスチック基板 9 0 1 a の材料として F R P (Fiberglass-Reinforced Plastics)、P V F (ポリビニルフロライド)、マイラー、ポリエステルまたはアクリルを用いることができる。

#### 【 0 1 2 5 】

また、封止材 9 0 7 を用いてカバー材 9 0 1 を接着した後、封止材 9 0 7 の側面（露呈面）を覆うように第 2 シール材 9 0 3 を設ける。第 2 シール材 9 0 3 は第 1 シール材 9 0 2 と同じ材料を用いることができる。10

#### 【 0 1 2 6 】

以上のような構造で E L 素子を封止材 9 0 7 に封入することにより、E L 素子を外部から完全に遮断することができ、外部から水分や酸素等の E L 層の酸化による劣化を促す物質が侵入することを防ぐことができる。従って、信頼性の高い E L 表示装置が得られる。

#### 【 0 1 2 7 】

なお、本実施例は実施例 1 または実施例 2 と自由に組み合わせることが可能である。

#### 【 0 1 2 8 】

#### [ 実施例 5 ]

本発明を実施して形成された C M O S 回路や画素部は様々な半導体装置（アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型 E C ディスプレイ、アクティブマトリクス型 E L ディスプレイ）に用いることが出来る。即ち、それら電気光学装置を表示部に組み込んだ電子機器全てに本発明を実施出来る。20

#### 【 0 1 2 9 】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター（リア型またはフロント型）、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、カーステレオ、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図 1 2、図 1 3 及び図 1 4 に示す。30

#### 【 0 1 3 0 】

図 1 2 ( A ) はパーソナルコンピュータであり、本体 3 0 0 1、画像入力部 3 0 0 2、表示部 3 0 0 3、キーボード 3 0 0 4 等を含む。本発明を画像入力部 3 0 0 2、表示部 3 0 0 3 やその他の信号制御回路に適用することが出来る。

#### 【 0 1 3 1 】

図 1 2 ( B ) はビデオカメラであり、本体 3 1 0 1、表示部 3 1 0 2、音声入力部 3 1 0 3、操作スイッチ 3 1 0 4、バッテリー 3 1 0 5、受像部 3 1 0 6 等を含む。本発明を表示部 3 1 0 2 やその他の信号制御回路に適用することが出来る。

#### 【 0 1 3 2 】

図 1 2 ( C ) はモバイルコンピュータ（モービルコンピュータ）であり、本体 3 2 0 1、カメラ部 3 2 0 2、受像部 3 2 0 3、操作スイッチ 3 2 0 4、表示部 3 2 0 5 等を含む。本発明は表示部 3 2 0 5 やその他の信号制御回路に適用出来る。40

#### 【 0 1 3 3 】

図 1 2 ( D ) はゴーグル型ディスプレイであり、本体 3 3 0 1、表示部 3 3 0 2、アーム部 3 3 0 3 等を含む。本発明は表示部 3 3 0 2 やその他の信号制御回路に適用することが出来る。

#### 【 0 1 3 4 】

図 1 2 ( E ) はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体 3 4 0 1、表示部 3 4 0 2、スピーカ部 3 4 0 3、記録媒体 3 4 0 4、操作スイッチ 3 4 0 5 等を含む。なお、このプレーヤーは記録媒体として D V D ( D i g50

t i a l V e r s a t i l e D i s c ) 、 C D 等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことが出来る。本発明は表示部 3402 やその他の信号制御回路に適用することが出来る。

#### 【 0135 】

図 12 ( F ) はデジタルカメラであり、本体 3501 、表示部 3502 、接眼部 3503 、操作スイッチ 3504 、受像部 ( 図示しない ) 等を含む。本発明を表示部 3502 やその他の信号制御回路に適用することが出来る。

#### 【 0136 】

図 13 ( A ) はフロント型プロジェクターであり、投射装置 3601 、スクリーン 3602 等を含む。本発明は投射装置 3601 の一部を構成する液晶表示装置 3808 やその他の信号制御回路に適用することが出来る。 10

#### 【 0137 】

図 13 ( B ) はリア型プロジェクターであり、本体 3701 、投射装置 3702 、ミラー 3703 、スクリーン 3704 等を含む。本発明は投射装置 3702 の一部を構成する液晶表示装置 3808 やその他の信号制御回路に適用することが出来る。

#### 【 0138 】

なお、図 13 ( C ) は、図 13 ( A ) 及び図 13 ( B ) 中における投射装置 3601 、 3702 の構造の一例を示した図である。投射装置 3601 、 3702 は、光源光学系 3801 、ミラー 3802 、 3804 ~ 3806 、ダイクロイックミラー 3803 、プリズム 3807 、液晶表示装置 3808 、位相差板 3809 、投射光学系 3810 で構成される。投射光学系 3810 は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図 13 ( C ) 中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、 I R フィルム等の光学系を設けてもよい。 20

#### 【 0139 】

また、図 13 ( D ) は、図 13 ( C ) 中における光源光学系 3801 の構造の一例を示した図である。本実施例では、光源光学系 3801 は、リフレクター 3811 、光源 3812 、レンズアレイ 3813 、 3814 、偏光変換素子 3815 、集光レンズ 3816 で構成される。なお、図 13 ( D ) に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、 I R フィルム等の光学系を設けてもよい。 30

#### 【 0140 】

ただし、図 13 に示したプロジェクターにおいては、透過型の電気光学装置を用いた場合を示しており、反射型の電気光学装置での適用例は図示していない。

#### 【 0141 】

図 14 ( A ) は携帯電話であり、本体 3901 、音声出力部 3902 、音声入力部 3903 、表示部 3904 、操作スイッチ 3905 、アンテナ 3906 等を含む。本発明を音声出力部 3902 、音声入力部 3903 、表示部 3904 やその他の信号制御回路に適用することが出来る。

#### 【 0142 】

図 14 ( B ) は携帯書籍 ( 電子書籍 ) であり、本体 4001 、表示部 4002 、 4003 、記憶媒体 4004 、操作スイッチ 4005 、アンテナ 4006 等を含む。本発明は表示部 4002 、 4003 やその他の信号回路に適用することが出来る。 40

#### 【 0143 】

図 14 ( C ) はディスプレイであり、本体 4101 、支持台 4102 、表示部 4103 等を含む。本発明は表示部 4103 に適用することが出来る。本発明のディスプレイは特に大画面化した場合において有利であり、対角 10 インチ以上 ( 特に 30 インチ以上 ) のディスプレイには有利である。

#### 【 0144 】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが 50

可能である。また、本実施例の電子機器は実施例 1 ~ 4 のどのような組み合わせからなる構成を用いても実現することが出来る

【 0 1 4 5 】

【発明の効果】

本発明の構成を採用することにより、以下に示すような基本的有意性を得ることが出来る。

- ( a ) 従来の TFT の作製プロセスに適合した、簡単な構造である。
- ( b ) スリットなどの位置決めのために、レーザ照射装置に特別なミクロンオーダーでの精密な位置決め技術は不要であり、通常のレーザ照射装置をそのまま利用できる。
- ( c ) 以上の利点を満たした上で、結晶性の良好な半導体層を作製できる方法である。 10

【図面の簡単な説明】

【図 1 】 本発明が開示する TFT の作製方法の例を示す図。

【図 2 】 波長に対する基板の透過率の例を示す図。

【図 3 】 従来技術の例を示す図。

【図 4 】 画素 TFT 、駆動回路の TFT の作製工程を示す断面図。

【図 5 】 画素 TFT 、駆動回路の TFT の作製工程を示す断面図。

【図 6 】 画素 TFT 、駆動回路の TFT の作製工程を示す断面図。

【図 7 】 画素 TFT 、駆動回路の TFT の作製工程を示す断面図。

【図 8 】 画素 TFT の構成を示す上面図。

【図 9 】 アクティブマトリクス型液晶表示装置の作製工程を示す断面図。 20

【図 10 】 EL 表示装置の駆動回路及び画素部の断面構造図。

【図 11 】 ( A ) EL 表示装置の上面図。

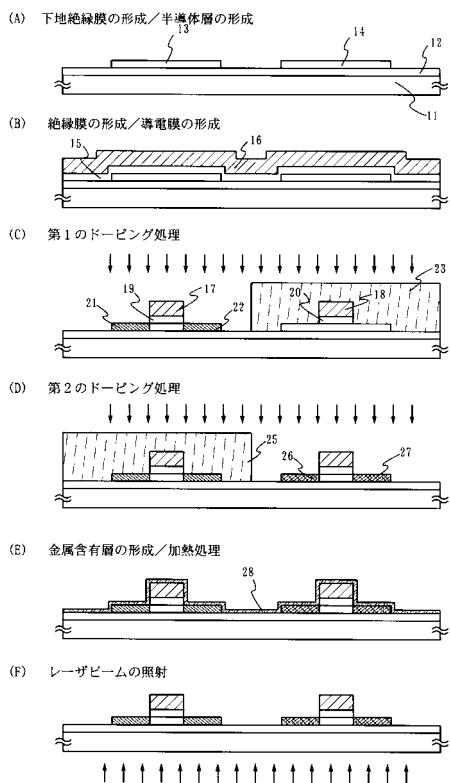
( B ) EL 表示装置の駆動回路及び画素部の断面構造図。

【図 12 】 半導体装置の例を示す図。

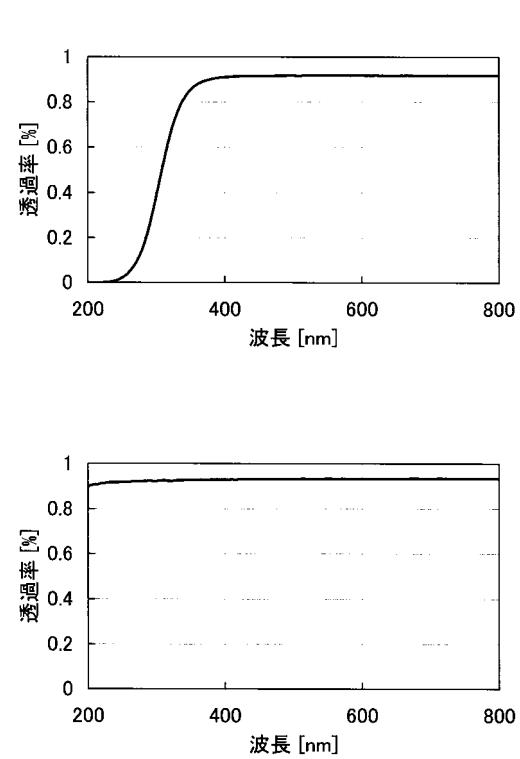
【図 13 】 半導体装置の例を示す図。

【図 14 】 半導体装置の例を示す図。

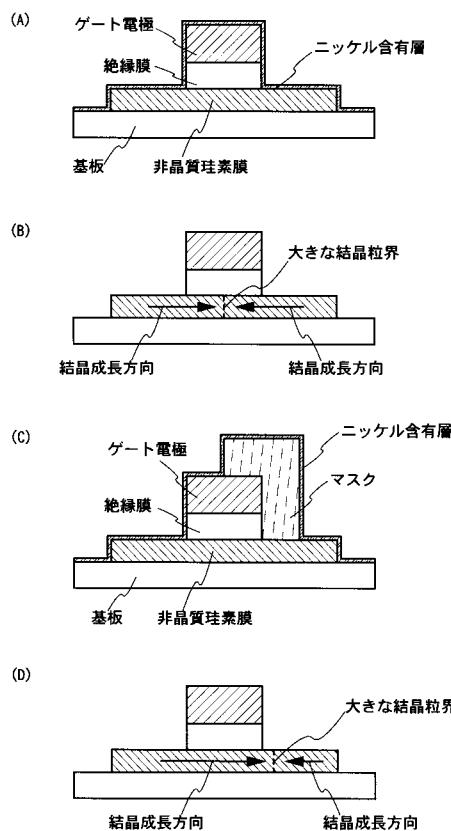
【図1】



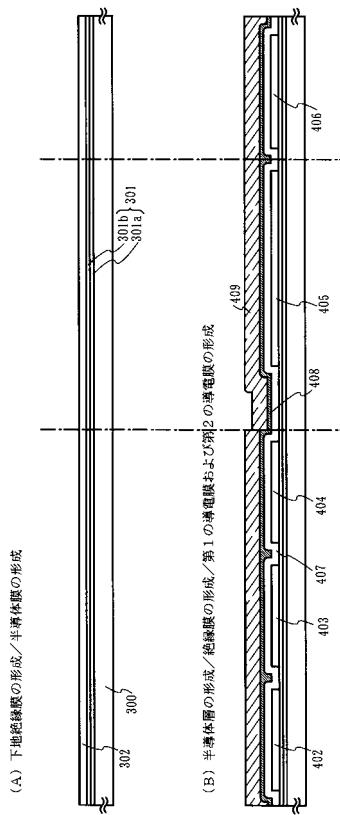
【図2】



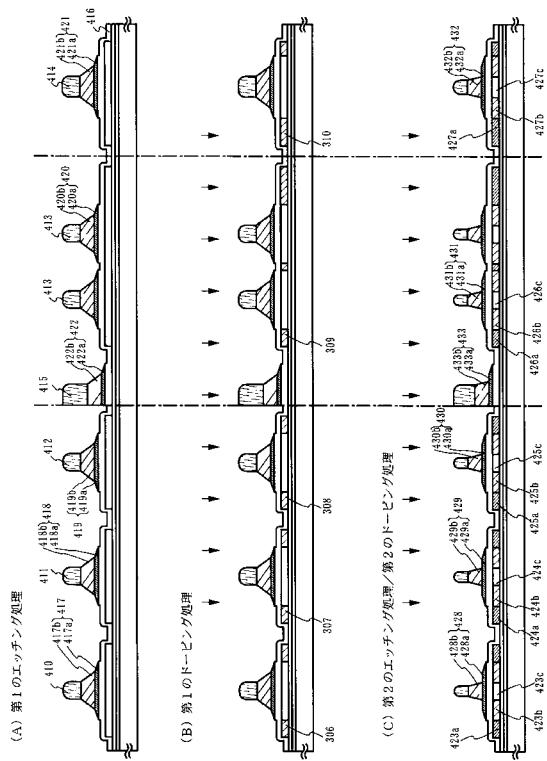
【図3】



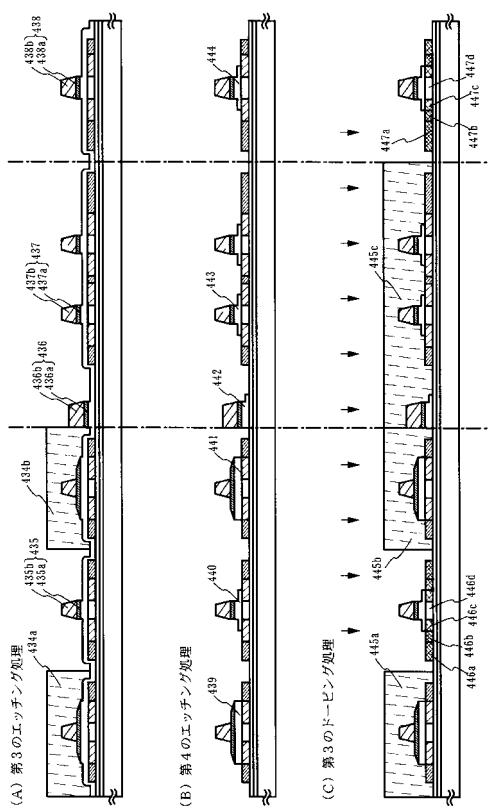
【図4】



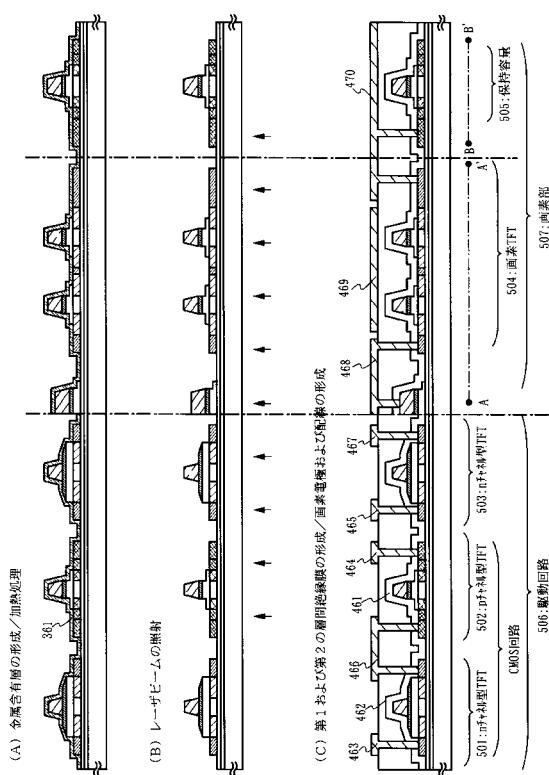
【 四 5 】



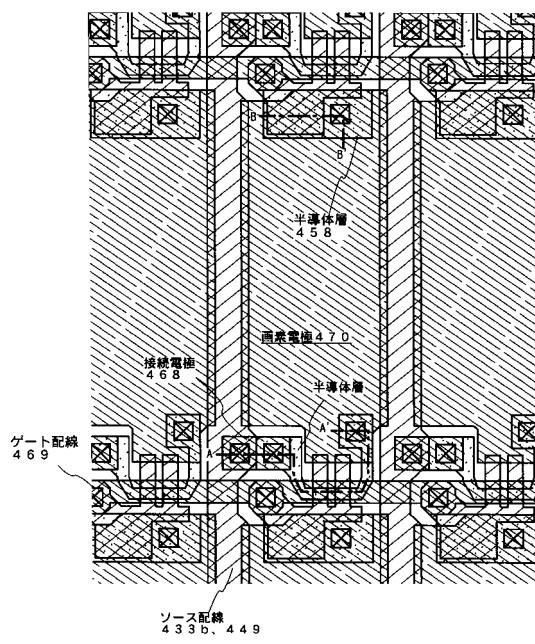
【図6】



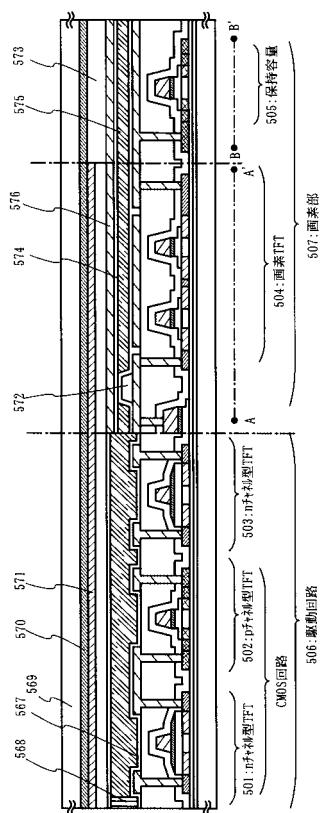
【四七】



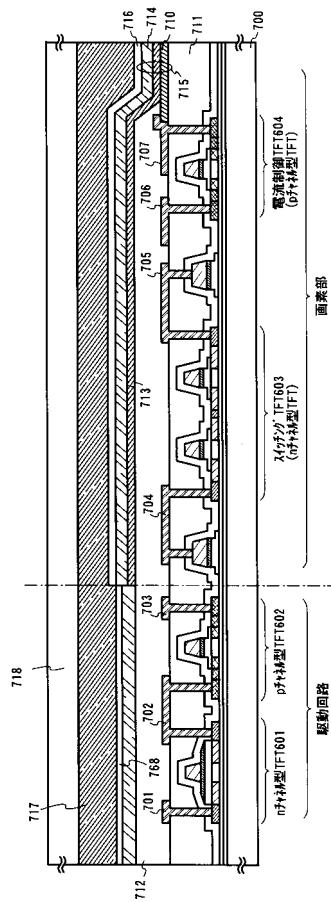
【図8】



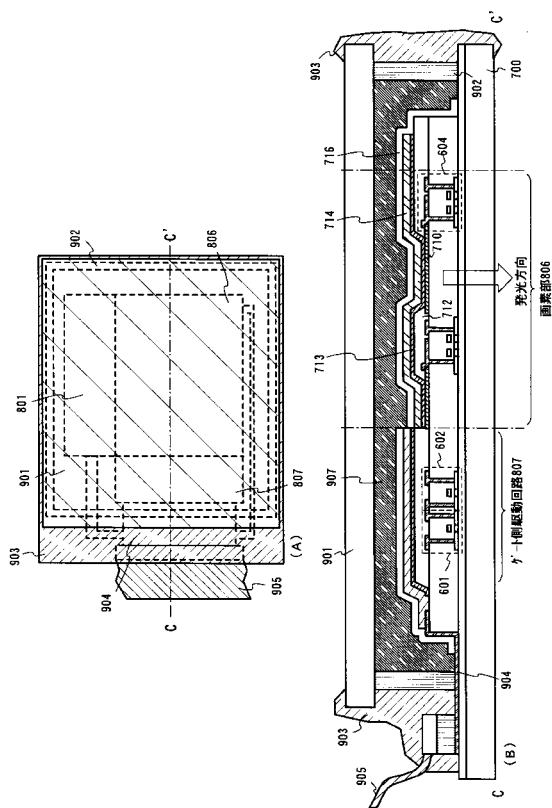
【 図 9 】



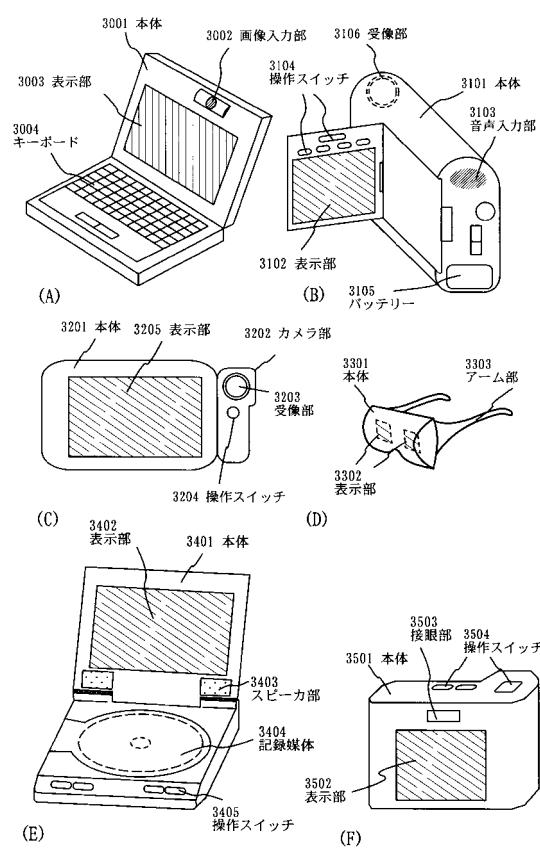
【 図 1 0 】



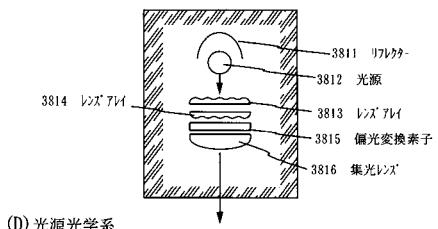
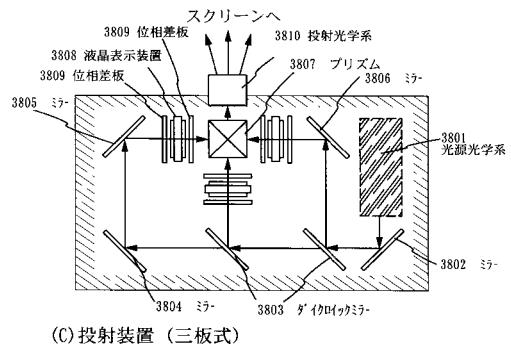
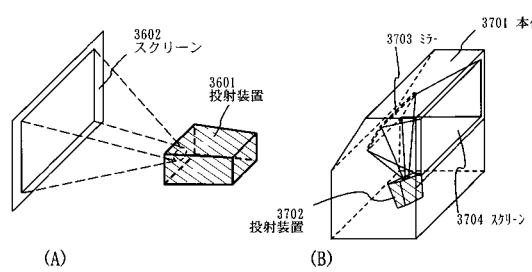
【 図 1 1 】



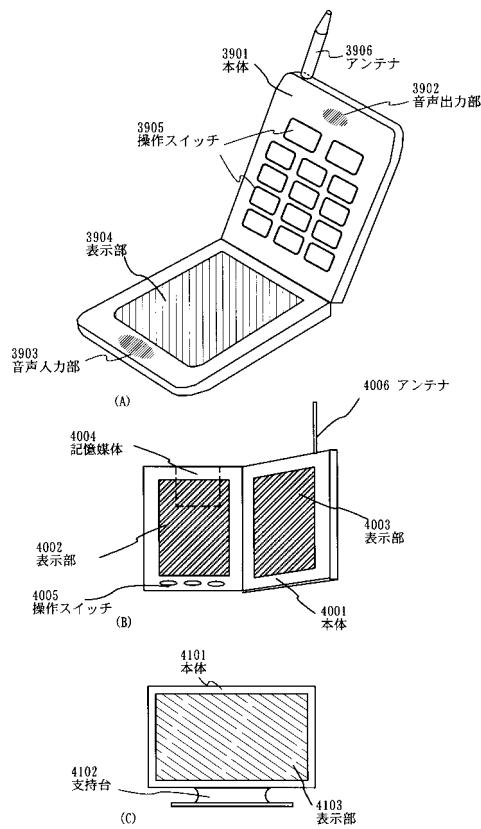
【 図 1 2 】



【図13】



【図14】



---

フロントページの続き

(56)参考文献 特開平06-333951(JP,A)  
特開平07-335546(JP,A)  
特開2000-133594(JP,A)  
特開2000-003875(JP,A)  
特開平11-087724(JP,A)  
特開平08-250736(JP,A)  
特開平11-330488(JP,A)  
特開平11-008394(JP,A)  
特開平07-321333(JP,A)  
特開昭63-009978(JP,A)  
特開平03-171776(JP,A)  
特開平09-172186(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336  
G02F 1/1368  
G09F 9/30  
H01L 21/20  
H01L 29/786