

發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94119874

※申請日期：94年06月15日

※IPC分類：H01L21/768, 21/302
(2006.01)

一、發明名稱：

(中) 具有溝配線或連接孔之半導體裝置的製造方法
(英)

二、申請人：(共 1 人)

1. 姓 名：(中) 東京威力科創股份有限公司
(英) TOKYO ELECTRON LIMITED

代表人：(中) 1. 佐藤潔

(英) 1. SATO, KIYOSHI

地 址：(中) 日本國東京都港區赤坂五丁目三番六號

(英) 3-6, Akasaka 5-chome, Minato-ku, Tokyo 107-8481 Japan

國籍：(中英) 日本 JAPAN

三、發明人：(共 4 人)

1. 姓 名：(中) 志村悟
(英) SHIMURA, SATORU

國 籍：(中) 日本

(英) JAPAN

2. 姓 名：(中) 久保田和宏
(英) KUBOTA, KAZUHIRO

國 籍：(中) 日本

(英) JAPAN

3. 姓 名：(中) 淺子龍一
(英) ASAKO, RYUICHI

國 籍：(中) 日本

(英) JAPAN

4. 姓 名：(中) 高山星一
(英) TAKAYAMA, SEIICHI

國 籍：(中) 日本

四、聲明事項：

◎本案申請前已向下列國家（地區）申請專利 ☐ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

- | | | | |
|-------|--------------|---------------|--|
| 1. 日本 | ； 2004/07/02 | ； 2004-196698 | ☒ 有主張優先權 |
| 2. 日本 | ； 2004/12/10 | ； 2004-358609 | ☒ 有主張優先權 |

四、聲明事項：

◎本案申請前已向下列國家（地區）申請專利 ☐ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

- | | | | |
|-------|--------------|---------------|--|
| 1. 日本 | ； 2004/07/02 | ； 2004-196698 | ☒ 有主張優先權 |
| 2. 日本 | ； 2004/12/10 | ； 2004-358609 | ☒ 有主張優先權 |

(1)

九、發明說明

【發明所屬之技術領域】

本發明係關於例如：藉由單鑲嵌結構(single damascene)法或雙鑲嵌結構(dual damascene)法而形成，具有溝配線或連接孔之半導體裝置的製造方法。

【先前技術】

於半導體裝置的製造程序，於溝配線或連接孔的形成多用雙鑲嵌結構(dual damascene)法(例如：參照專利文獻1)。於第20圖表示模式的圖示由先前的雙鑲嵌結構法的Cu配線的形成方法的一例之說明圖。

首先，於基板上，例如：配線層500、層間絕緣膜501、反射防止膜502為由下依序形成，於該多層膜構造的表面形成第1光阻膜503(第20(a)圖)。接著第1光阻膜503藉由光蝕刻技術(photolithography)而圖形化至特定的圖形(第20(b)圖)。在此圖形化製程，第1光阻膜503為以特定的圖形曝光，該曝光部為藉由顯像而選擇性的被除去。接著，將此第1光阻膜503作為遮罩，藉由蝕刻處理，蝕刻反射防止膜502和層間絕緣膜501。由此從多層膜構造的表面形成通至配線層500的連接孔504(第20(c)圖)。

接著，例如：藉由灰化(ashing)處理而剝離除去成為不必要的第1光阻膜503(第20(d)圖)，替換而形成為了形成配線溝之新的第2光阻膜505(第20(e)圖)。第2光阻膜

(2)

505 係藉由光蝕刻技術 (photolithography) 而被圖形化 (第 20(f) 圖)，之後，藉由已將第 2 光阻膜 505 作為遮罩的蝕刻處理，蝕刻反射防止膜 502 和層間絕緣膜 501 的一部分。如此，連通連接孔 504，形成比連接孔 504 的寬度大的配線溝 506 (第 20(g) 圖)。剝離除去成為不必要的第 2 光阻膜 505 (第 20(h) 圖)，於連接孔 504 與配線溝 506 之中埋入 Cu 材料，形成 Cu 配線 507 (第 20(i) 圖)。

於如此的具有溝配線或連接孔之半導體裝置的製造方法，將已圖形化的第 1 光阻膜 503 及第 2 光阻膜 505 作為蝕刻遮罩，蝕刻以甲基等的烷基作為末端基而具有的低介電常數材料 (Low-k) 所構成之層間絕緣膜 501，則於已形成的連接孔 504 或配線溝 506 的溝側面部係殘留由蝕刻而來的損傷。另外，於蝕刻處理後，在除去第 1 光阻膜 503 及第 2 光阻膜 505 時，連接孔 504 或配線溝 506 的溝側面部亦受到損傷。如此的損傷係，最近，在於半導體裝置的電路圖形的細微化和高集積化進步中，成為招致：起因於由介電常數的上昇的配線間的寄生電容 (Parasitic capacitance) 增大之訊號延遲或絕緣阻抗的下降等的電氣上的特性下降、及伴隨這些的半導體裝置之信賴性下降的原因。

[專利文獻 1] 日本特開 2002-83869 號公報

【發明內容】

[發明欲解決的課題]

(3)

本發明係以如此的事情為鑑，其目的為提供：具有電氣的特性及信賴性優良的具有溝配線或連接孔之半導體裝置的製造方法。

[用以解決課題之手段]

如依本發明的第 1 觀點，提供：一種具有溝配線或連接孔之半導體裝置的製造方法，其特徵為具有：於被蝕刻膜的表面形成具有特定的電路圖形的蝕刻遮罩的製程、和

蝕刻處理前述被蝕刻膜，於前述被蝕刻膜形成溝或孔的製程、和

將藉由前述蝕刻處理而形成於前述被蝕刻膜的溝或孔的側面部矽基(silyl)化處理，使前述溝或孔的側面部從由前述蝕刻處理之損傷恢復的製程。

如依本發明的第 2 觀點，提供：一種具有溝配線或連接孔之半導體裝置的製造方法，其特徵為具有：於被蝕刻膜的表面形成具有特定的電路圖形的蝕刻遮罩的製程、和

蝕刻處理前述被蝕刻膜，於前述被蝕刻膜形成溝或孔的製程、和

除去前述蝕刻遮罩的製程、和

矽烷基化處理前述溝或孔的側面部，使前述溝或孔的側面部從由前述蝕刻遮罩的除去處理之損傷恢復的製程。

如依本發明的第 3 觀點，提供：一種具有溝配線或連接孔之半導體裝置的製造方法，其特徵為具有：於被蝕刻膜的表面形成具有特定的電路圖形的蝕刻遮罩的製程、和

(4)

蝕刻處理前述被蝕刻膜，於前述被蝕刻膜形成溝或孔的製程、和

除去前述蝕刻遮罩的製程、和

除去前述蝕刻遮罩除去處理後的殘渣的製程、和

矽烷基化處理前述溝或孔的側面部，使前述溝或孔的側面部從由前述殘渣處理之損傷恢復的製程。

如依本發明的第 4 觀點，提供：一種具有溝配線或連接孔之半導體裝置的製造方法，其特徵為具有：於蝕刻阻止(etching stopper)膜上形成被蝕刻膜的製程、和

於前述被蝕刻膜的表面形成具有特定的電路圖形的蝕刻遮罩的製程、和

蝕刻處理前述被蝕刻膜，於前述被蝕刻膜形成溝或孔的製程、和

除去前述蝕刻遮罩的製程、和

藉由形成前述溝或孔而除去於前述蝕刻阻止膜露出的部分的製程、和

矽烷基化處理前述溝或孔的側面部，使前述溝或孔的側面部從由前述蝕刻阻止膜的除去處理之損傷恢復的製程。

如依本發明的第 5 觀點，提供：一種基板處理系統，其特徵為具備：對於基板，進行成膜處理的成膜裝置、和進行光阻塗佈處理及顯像處理的光阻塗佈、顯像裝置、和進行曝光處理的曝光裝置、和進行洗淨處理的洗淨處理裝置、和進行光阻的除去的灰化裝置、和進行蝕刻的蝕刻裝

(5)

置、和進行研磨處理的研磨裝置、和使用這些裝置，控制如進行由上述第 1 至第 4 任一的觀點的半導體裝置的製造方法之控制部。

如依本發明的第 6 觀點，提供：一種控制程式，其特徵為：在電腦上動作、實行時，如進行由上述第 1 至第 4 任一的觀點的半導體裝置的製造方法的，控制複數的半導體製造裝置。

如依本發明的第 7 觀點，提供：一種電腦記憶媒體，係記憶在電腦上動作的控制程式的電腦記憶媒體，其特徵為：前述控制程式係於實行時，控制被使用於由上述第 1 至第 4 任一的觀點的半導體裝置的製造方法之複數的半導體製造裝置。

[發明的效果]

如藉由本發明，在形成溝配線或連接孔的過程，於被蝕刻膜受到了損傷的部分，因為可由該損傷恢復，所以電氣上的特性被改善。由此可製造信賴性優良的半導體裝置。

【實施方式】

以下，一邊參照添附的圖面、同時詳細的說明關於本發明的實施形態。在此，採納藉由單鑲嵌結構(single damascene)法或雙鑲嵌結構(dual damascene)法而製造半導體裝置的晶圓處理系統，藉由此晶圓處理系統說明製造

(6)

關於具有溝配線或連接孔(以下稱為「溝配線等」)之半導體裝置的方法。

於第 1 圖表示圖示晶圓處理系統的概略構成的說明圖。此晶圓處理系統係具備：具備了 SOD (Spin On Dielectric)裝置 101、和光阻塗佈/顯像裝置 102、曝光裝置 103、和洗淨處理裝置 104、和灰化裝置 105、蝕刻裝置 106、為 PVD 裝置之一的濺鍍裝置 107、和電解電鍍裝置 108、和作為研磨裝置的 CMP 裝置 109 之處理部 110、與包含程序控制器 111、使用者介面 112、記憶部 113 之主控制部 120。在此，處理部 110 的 SOD 裝置 101 與濺鍍裝置 107 與電解電鍍裝置 108 為成膜裝置。而且，在處理部 110 的裝置間，作為搬運晶圓 W 的方法係使用由操作者的搬運方法、或由無圖示的搬運裝置的搬運方法。

處理部 110 的各裝置係，連接具備了 CPU 的程序控制器 111 而成為被控制的構成。於程序控制器 111，連接：由製程管理者為了管理處理部 110 的各裝置而進行指令的輸入操作等的鍵盤、或可見化處理部 110 的各裝置的運轉狀況而顯示的顯示器等所構成的使用者介面 112、收納將在處理部 110 實行的各種處理，為了在程序控制器 111 的控制而實現的控制程式或記錄處理條件資料等的記錄表(recipe)的記憶部 113。

然後，按照必要，接受從使用者介面 112 的指示，將任意的記錄表由記憶部 113 叫出，於程序控制器 111 實行，在程序控制器 111 的控制下，於處理部 110 進行所希

(7)

望的各種處理。另外，前述記錄表，亦可能例如：利用收納於 CD-ROM、硬碟、軟碟、非揮發性記憶體等的可讀出的記憶媒體的狀態之物等、或於處理部 110 的各裝置間、或由外部的裝置，例如：經由專用線路而隨時傳送，以連線利用。

而且，亦可採用：不進行由主控制部 120 之全體的 control、或者，與由主控制部 120 的全體的 control 重疊，每處理部 110 的各裝置，個別配備包含程序控制器、使用者介面及記憶部的控制部而進行 control 的構成。

SOD 裝置 101 係爲了於晶圓 W 塗佈藥液而藉由旋轉塗佈法而形成 low-k(低介電常數材料)膜等的層間絕緣膜或蝕刻停止膜等而使用。SOD 裝置 101 的詳細的構成係無圖示，而 SOD 裝置 101 係具備：旋轉塗佈單元、和熱處理已形成塗佈膜的晶圓 W 的熱處理單元。在晶圓處理系統，取代 SOD 裝置 101，使用藉由化學氣相沈積法(CVD chemical vapor deposition)法而於晶圓 W 形成絕緣膜等的 CVD 裝置亦佳。

光阻塗佈/顯像裝置 102 係爲了形成作爲蝕刻遮罩而使用的光阻膜或反射防止膜等而使用。光阻塗佈/顯像裝置 102 的詳細的構成係無圖示，而光阻塗佈/顯像裝置 102 係具有：於晶圓 W 塗佈光阻液等而旋轉塗佈成膜光阻膜等的光阻塗佈處理單元、和顯像處理於曝光裝置 103 以特定的圖形曝光的光阻膜之顯像處理單元、和各個熱的處理已成膜光阻膜的晶圓 W、或已曝光處理的晶圓 W、施以顯

(8)

像處理的晶圓 W 之熱的處理單元。

曝光裝置 103 係爲了於形成了光阻膜的晶圓 W，曝光特定的電路圖形而使用。在洗淨處理裝置 104，如之後詳細說明的，進行藉由純水或藥液的洗淨處理、蝕刻處理後的聚合物殘渣等的變性處理、由層間絕緣膜的蝕刻的損傷之恢復處理。在灰化裝置 105，例如：由電漿而灰化處理光阻膜。

在蝕刻裝置 106，於形成於晶圓 W 上的層間絕緣膜等施加蝕刻處理，另外，進行由層間絕緣膜的蝕刻之損傷的恢復處理。蝕刻處理後，利用電漿亦佳、使用藥液亦佳。之後，一面參照第 6 圖同時說明關於利用電漿。在濺鍍裝置 107，例如：形成擴散防止膜或 Cu 薄片。在電解電鍍裝置 108 係於已形成 Cu 薄片的溝配線等埋入 Cu，在 CMP 裝置 109 係進行埋入了 Cu 的溝配線等的表面之平坦化處理。

接著，關於洗淨處理裝置 104 詳細的說明。第 2 圖爲洗淨處理裝置 104 的概略平面圖，第 3 圖爲其概略正面圖，第 4 圖爲其概略背面圖。洗淨處理裝置 104 係具備：爲了已收容晶圓 W 的載子(carrier)從其他的處理裝置依序搬入，反之將收容了於洗淨處理裝置 104 的處理結束的晶圓 W 之載子，向進行下個處理的處理裝置等搬出的載子(carrier)站 4、和設置了各個進行洗淨處理、變性處理或恢復處理的複數的處理單元的處理站 2、和在處理站 2 與載子站 4 之間進行晶圓 W 的搬運的搬運站 3、進行在

(9)

處理站 2 使用的藥液或純水、氣體等的製造、調製、貯存的化學站 5。

於載子 C 的內部，晶圓 W 係在略水平姿勢於鉛直方向(Z 方向)以一定的間隔被收容。對如此的載子 C 之晶圓 W 的搬入出係通過載子 C 的一側面而進行，此側面係藉由蓋體 10a(於第 2 圖係無圖示。於第 3 圖及第 4 圖表示拿下了蓋體 10a 的狀態)而成爲自由開閉。

如第 2 圖所示的，載子站 4 係沿著圖中 Y 方向，於 3 處所具有可載置載子 C 的載置台 6。載子 C 係設置了蓋體 10a 的側面儘量作到朝向載子站 4 與搬運站 3 之間的邊界壁 8a 側而載置於載置台 6。於邊界壁 8a 對應於載子 C 的載置場所的位置係形成窗部 9a。於各窗部 9a 的搬運站 3 側係設置著開閉窗部 9a 的擋板(shutter)10。此擋板 10 係具有把持蓋體 10a 的把持手段(無圖示)，如第 3 圖及第 4 圖所示的，能於在已把持蓋體 10a 的狀態，於搬運站 3 側，可使蓋體 10a 退避。

設置於搬運站 3 的晶圓搬運裝置 7 係具有能保持晶圓 W 的晶圓搬運拾取器 7a。晶圓搬運裝置 7 爲沿著設置如於搬運站 3 的床，延伸於 Y 方向的導軌(參照第 3 圖及第 4 圖)7b 而能移動於 Y 方向。另外，晶圓搬運拾取器 7a 爲於 X 方向自由滑動(slide)，而且，於 Z 方向自由昇降，而且，在 X-Y 平面內自由旋轉(Θ 旋轉)。

藉由如此的構造，在如載子 C 的內部和搬運站 3 經由窗部 9a 而連通的，使擋板 10 退避的狀態，晶圓搬運拾

(10)

取器 7a，能接近至被載置於載置台 6 的全部的載子 C，能將在載子 C 內的任意的高度的位置的晶圓 W 從載子 C 搬出，反之可於載子 C 的任意的的位置搬入晶圓 W。

處理站 2，於搬運站 3 側具有 2 台晶圓載置單元 (TRS)13a、13b。例如：晶圓載置單元 (TRS)13b 係在從搬運站 3 接受晶圓 W 時，爲了載置晶圓 W 而使用，晶圓載置單元 (TRS)13a 係在將於處理站 2 結束特定的處理的晶圓 W 放回搬運站 3 時，爲了載置晶圓 W 而使用。

於處理站 2 係從風扇過濾單元 (FFU)25 的清淨的空氣變爲如垂直層流式 (down flow)，藉由將於處理站 2 處理結束的晶圓 W 載置於上段的晶圓載置單元 (TRS)13a，抑制於處理站 2 的處理後的晶圓 W 的污染。

於搬運站 3 與處理站 2 之間的邊界壁 8b，於對應於晶圓載置單元 (TRS)13a、13b 的位置的部分係設置窗部 9b。晶圓搬運拾取器 7a 係經由此窗部 9b 而能接近晶圓載置單元 (TRS)13a、13b，在載子 C 與晶圓載置單元 (TRS)13a、13b 之間搬運晶圓 W。

於處理站 2 的背面側，配置：將蝕刻處理或灰化處理後的聚合物殘渣等，藉由臭氧 (O_3) 和包含水蒸氣的氣體 (以下稱爲「變性處理氣體」) 的這些分子而使其變性的變性處理單元 (VOS)15a~15f。在此，所謂「變性」，稱聚合物殘渣等殘留在晶圓 W 上的狀態，變化至溶解於純水或藥液的性質。另外，非將光阻膜藉由灰化處理而灰化除去，亦可於此變性處理單元 (VOS)15a~15f，以變性處理氣

(11)

體處理而變性至水溶性。

關於此變性處理單元(VOS)15a~15f的詳細構造係無圖示，而這些係各個，在上下分割式且密閉式，於其內部具有形成爲了收容晶圓W的圓盤狀的空間的室。於此室的內部係於其表面設置爲了以水平姿勢支撐晶圓W的近接銷，於其內部設置埋設了加熱器的晶圓載置台。另外，將此室的圓盤狀空間內，變性處理氣體爲能流向略水平方向。

於變性處理單元(VOS)15a、15d上，設置：爲了使由灰化處理或洗淨處理而受到損害，或者成爲了親水性表面的層間絕緣膜的，該損傷部分由損傷等恢復之矽烷基化處理的矽烷基化單元(SCH)11a、11b。

於第5圖表示矽烷基化單元(SCH)11a的概略構造的剖面圖。矽烷基化單元(SCH)11a係具備收容晶圓W的室41，室41係由下部容器41a、和覆蓋下部容器41a的蓋體41b所構成，蓋體41b爲藉由無圖示的昇降裝置而自由昇降。於下部容器41a係設置加熱板42，由加熱板42的周圍供給包含爲矽烷基化劑的一例的DMSDMA二甲基矽基二甲基胺(dimethylsilyldimethylamine)的蒸氣之氮氣至室41內。

在第5圖，表示將液體的DMSDMA藉由氯化器43而使其氯化而使其包含於氮氣的構成，而作爲僅供給使DMSDMA氣化了的氣體(總之即DMSDMA蒸氣)於室41的構成亦佳。如後述的，在供給DMSDMA於室41內時，室

(12)

41 內係因爲被保持於特定的真空度，利用氯化器 43 與室 41 的壓力差，所以引入 DMSDMA 於室 41 可容易的進行。

加熱板 42，例如能在 $50^{\circ}\text{C} \sim 200^{\circ}\text{C}$ 的範圍溫度調節，於其表面係設置支撐晶圓 W 的銷 44。以不直接載置晶圓 W 於加熱板 42，防止晶圓 W 的裏面的污染。於下部容器 41a 的外周部的上面係設置第 1 封環(seal ring)45，於蓋體 41b 的外周部下面，設置：在壓住蓋體 41b 於下部容器 41a 時與第 1 封環 45 接觸的第 2 封環 46。這些第 1、第 2 封環 45、46 間的空間成爲可減壓，藉由減壓此空間，確保室 41 的氣密性。於蓋體 41b 的略中心部，設置爲了排出供給於室 41 的含有 DMSDMA 的氮氣的排氣口 47，此排氣口 47 係經由壓力調整裝置 48，連接於真空幫浦 49。

於處理站 2 的正面側，在結束了於變性處理單元 (VOS)15a~15f 的處理的晶圓 W 施加藥液處理或水洗處理，配置除去已變性的聚合物殘渣的洗淨單元 (CNU)12a~12d。

洗淨單元 (CNU)12a~12d 的詳細的構造係無圖示，而這些係各個具備：將晶圓 W 以略水平姿勢保持的自由旋轉的旋轉夾頭 (spin chuck)、和圍繞旋轉夾頭的罩、和於保持在旋轉夾頭的晶圓 W 表面，供給特定的藥液的藥液噴嘴、和使氮氣混入至純水，利用該氮氣的氣壓而對保持在旋轉夾頭的晶圓 W 吐出純水的霧的洗淨噴嘴、和爲了水洗處理 (清洗 [rinse] 處理) 晶圓 W 而對晶圓 W 供給純水

(13)

的清洗噴嘴、和於水洗處理後的晶圓 W 噴射乾燥氣體的氣體噴射噴嘴。

於洗淨單元 (CNU)12a~12d，設置：供給爲了除去矽氧化膜或矽氧氮化膜的稀氫氟酸等的藥液於晶圓 W 的噴嘴、或供給爲了進行作爲蝕刻遮罩而被使用的光阻膜的剝離處理的剝離液於晶圓 W 的噴嘴亦佳。

那麼，之前已說明的變性處理單元 (VOS)15a~15c 與變性處理單元 (VOS)15d~15f 係關於其邊界壁 22b 具有略對稱的構造，矽烷基化單元 (SCH)11a 與矽烷基化單元 (SCH)11b 係關於其邊界壁 22b 具有略對稱的構造。同樣的，洗淨單元 (CNU)12a、12b 與洗淨單元 (CNU)12c、12d 係關於其邊界壁 22a 具有略對稱的構造。

於處理站 2 的略中央部，設置於處理站 2 內搬運晶圓 W 的主晶圓搬運裝置 14。主晶圓搬運裝置 14 係具有搬運晶圓 W 的晶圓搬運臂 14a。主晶圓搬運裝置 14 爲於 Z 軸周圍自由旋轉。另外，晶圓搬運臂 14a 爲在水平方向自由進退，而且於 Z 方向自由昇降。藉由如此的構造，主晶圓搬運裝置 14，不使其自體於 X 方向移動，可接近設置於處理站 2 的各單元，能夠在這些各單元間搬運晶圓 W。

於化學站 5 具有：貯存在設置於處理站 2 的各種處理單元而被使用的各種藥液的藥液貯存部 16、和由將貯存於藥液貯存部 16 的各種藥液送液於特定的處理單元之複數的幫浦或開閉閥所構成的送液部 17、和向洗淨單元 (CNU)12a~12d 供給純水的純水供給部 18、和供給於各種

(14)

處理單元特定的氣體的氣體供給部 19。

接著，說明關於蝕刻裝置 106 的構成。於第 6 圖圖示表示蝕刻裝置 106 的概略構造的平面圖。蝕刻裝置 106，具備爲了進行電漿蝕刻處理的蝕刻單元 51、52、和矽烷基化單元(SCH)53、54，這些的各單元 51~54 係各個對應爲六角形的晶圓搬運室 55 的 4 個邊而設置。另外，晶圓搬運室 55 的其他的 2 個邊係設置承載器(Loadlock)室 56、57。於與這些承載器(Loadlock)室 56、57 的晶圓搬運室 55 相反側設置晶圓搬入出室 58，於晶圓搬入出室 58 之與承載器(Loadlock)室 56、57 相反側係設置安裝能收容晶圓 W 的 3 個載子 C 的埠 59、60、61。

蝕刻單元 51、52 及矽烷基化單元(SCH)53、54 及承載器(Loadlock)室 56、57，如於同圖所示，於晶圓搬運室 55 的各邊經由閘閥 G 而連接，這些係藉由開放各閘閥 G 而與晶圓搬運室 55 連通，藉由關閉各閘閥 G 而從晶圓搬運室 55 被遮斷。另外，承載器(Loadlock)室 56、57 的連接於晶圓搬入出室 58 的部分亦設置閘閥 G，承載器(Loadlock)室 56、57 係藉由開放這些閘閥 G 而連通晶圓搬入出室 58，由關閉這些而遮斷晶圓搬入出室 58。

於晶圓搬運室 55 內，對於蝕刻單元 51、52、矽烷基化單元(SCH)53、54、承載器(Loadlock)室 56、57，設置進行晶圓 W 的搬入出的晶圓搬運裝置 62。此晶圓搬運裝置 62，配設於晶圓搬運室 55 的略中央，於能旋轉及伸縮的旋轉・伸縮部 63 的先端具有保持晶圓 W 的二個托板

(15)

(blade)64a、64b，這些二個托板 64a、64b 係被安裝於如相互朝向相對方向的旋轉・伸縮部 63。而且此晶圓搬運室 55 內係能保持特定的真空度。

於晶圓搬入出室 58 的天井部設置無圖示的 HEPA 過濾器，通過了此 HEPA 過濾器的清淨空氣為於晶圓搬入出室 58 內以垂直層流(down flow)狀態供給，能在大氣壓的清淨空氣氣氛進行晶圓 W 的搬入出。於晶圓搬入出室 58 的載子 C 安裝用的 3 個埠 59、60、61 係各個被設置無圖示的擋板，於這些埠 59、60、61 直接安裝收容了晶圓或空的載子 C，在已被安裝時，落下擋板，能一面防止外氣的侵入、同時與晶圓搬入出室 58 連通。另外，於晶圓搬入出室 58 的側面設置對準室(alignment chamber)65，在此進行晶圓 W 的對準。

於晶圓搬入出室 58 內，設置進行對載子 C 的晶圓 W 的搬入出及對承載器(Loadlock)室 56、57 的晶圓 W 的搬入出之晶圓搬運裝置 66。此晶圓搬運裝置 66 係具有多關節臂構造，為能沿著載子 C 的配列方向而可行走於導軌 68 上，於其先端的手部(hand)67 使晶圓 W 搭載而進行該搬運。晶圓搬運裝置 62、66 的動作等、系統全體的控制係藉由控制部 69 而進行。

若比較矽烷基化單元(SCH)53、54 與之前說明的矽烷基化單元(SCH)11a、11b，則在矽烷基化單元(SCH)53、54，於室 41 內能夠供給包含特定濃度的水蒸氣的氮氣(或僅水蒸氣)之點上與矽烷基化單元(SCH)11a、11b 相異，

(16)

那些以外的構成爲與矽烷基化單元(SCH)11a、11b 相同。因此，矽烷基化單元(SCH)53、54 的詳細的構造係不另行圖示。

若由蝕刻處理或灰化處理而受到損傷，或者將成爲親水性表面的層間絕緣膜於大氣中取出，則吸附水分而介電常數上昇。因而，在蝕刻裝置 106 內蝕刻處理晶圓 W 後，不曝露於大氣中，接著以在蝕刻裝置 106 內進行矽烷基化處理，可防止由吸附水份的介電常數上昇。

然而，在蝕刻裝置 106，蝕刻處理後的晶圓 W 係由蝕刻單元 51、52 向矽烷基化單元(SCH)53、54 搬運間係在真空氣氛下，因爲由蝕刻而受到損傷的部分係全部不產生吸濕，所以有變爲難產生矽烷基化反應之虞。

因而，在矽烷基化單元(SCH)53、54，於室 41 內作爲能供給水蒸氣的構造，有意圖的於損傷部分使適度的吸濕反應產生，能夠使矽烷基化反應容易的進行。而且，如前述的，因爲若使吸濕反應過剩的進行，則有反而抑制矽烷基化反應的進行之虞，所以有如不產生如此的反應抑制之控制水蒸氣的供給的必要。

接著，說明關於使用晶圓處理系統而在已形成於晶圓 W 的層間絕緣膜形成溝配線的方法。於第 7 圖圖示表示形成單鑲嵌結構(single damascene)構造的溝配線的製程的流程圖，於第 8 圖圖示模式的表示於第 7 圖所示的流程因而形成的溝配線的形態變化。

最初，經由障蔽金屬(barrier metal)膜 71 而形成下部

(17)

配線(銅配線)72的絕緣膜70，於絕緣膜70的表面，例如：準備形成著SiN膜或SiC膜等的阻止膜73的晶圓W(晶圓W本身無圖示)。將此晶圓W搬入SOD裝置101，因此於阻止膜73上形成low-k膜等的層間絕緣膜74(步驟1、第8(a)圖)。

接著將形成了層間絕緣膜74的晶圓W，搬入光阻塗佈/顯像裝置102，因而於層間絕緣膜74上逐次形成反射防止膜75a和光阻膜75b。接著，搬運晶圓W至曝光裝置103，於是以特定的圖形曝光處理。將晶圓W放回光阻塗佈/顯像裝置102，藉由於顯像處理單元顯像處理光阻膜75b，於光阻膜75b形成特定的電路圖形(步驟2、第8(b)圖)。

接著，將晶圓W搬運至蝕刻裝置106，於是進行蝕刻處理(步驟3)。由此達到阻止膜73的導孔78a為形成於層間絕緣膜74(第8(c)圖)。於第8(c)圖所示的符號79a為之後詳細的說明的損傷部。將如此作用而結束蝕刻處理的晶圓W搬運往灰化裝置105，於是進行使反射防止膜75a和光阻膜75b灰化的灰化處理(步驟4)。

結束了灰化處理的晶圓W係向洗淨處理裝置104搬運，於變性處理單元(VOS)15a~15f的任一個，進行使由蝕刻處理或灰化處理而殘存於晶圓W的聚合物殘渣等變性為水溶性的處理(步驟5)而且，在可使反射防止膜75a和光阻膜75b在由變性處理單元(VOS)15a~15f的處理變性的情況，取代灰化處理而使用此變性處理亦佳。結束了

(18)

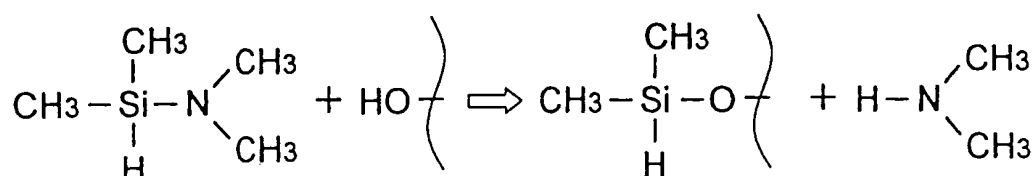
變性處理的晶圓 W，被搬運向洗淨單元 (CNU) 12a~12d 的任一個，於是除去變性了的聚合物殘渣。(步驟 6、第 8(d) 圖)。

如此作用，藉由蝕刻處理或灰化處理、之後的水洗處理等，形成於層間絕緣膜 74 的導孔 78a 的側壁受到損傷。具體而言，如此的損傷部分係與水分反應，於導孔 78a 的側壁近邊的甲基減少，成為氫氧基增加的狀態而介電常數上昇。在於導孔 78a 的側壁形成如此的損傷部的狀態，若之後以金屬材料埋入導孔而形成溝配線，則因為導線間的寄生電容增大，所以產生訊號遲延或溝配線相互間的絕緣性下降等的問題。在第 8(c)、(d)圖係模式的明示如此的損傷部 79a，而損傷部 79a 與未受損傷的部分的邊界，非如表示於第 8(c)、(d)圖所示的明確之物。

因而，為了使層間絕緣膜 74 的損傷部 79a 由該損傷恢復，所以將晶圓 W 搬運至矽烷基化單元 (SCH) 11a、11b 的一方，於是，進行損傷部的矽烷基化處理(步驟 7、第 8(e)圖)。矽烷基化處理的條件，如按照矽烷基化劑的種類而選擇為佳，例如：由氣化器 43 的溫度係室溫~50℃、矽烷基化劑流量為 0.1~1.0g/min、N₂ 氣體(沖洗(purge)氣體)流量為 1~10L/min、處理壓力 666~95976 Pa(5~720 Torr)、加熱板 42 的溫度為室溫~200℃等的範圍可適宜設定。在作為矽烷基化劑而使用 DMSDMA 的情況，例如可舉出：將加熱板 42 成為 100℃，室 41 內壓力減壓至 5 Torr(=666Pa)，之後供給包含了 DMSDMA 的蒸氣的氮氣

(19)

至室 41 內壓力成爲 55 Torr，一面維持其壓力，例如保持 3 分鐘，一面處理的方法。使用了 DMSDMA 的矽化反應，以下述化 1 式表示



結束如此的矽烷基化處理的晶圓 W，被搬運至蝕刻裝置 106，於是進行爲了除去阻止膜 73 的蝕刻處理(步驟 8、第 8(f)圖)。接著，晶圓 W 係被搬運向洗淨處理裝置 104，於洗淨單元(CNU) 12a~12d 任 1 個，被洗淨處理(步驟 9)。如此的蝕刻處理或洗淨處理，形成於層間絕緣膜 74 的導孔 78a 的側壁受到損傷，形成損傷部 79b。於是爲了使如此的損傷部 79b 由該損傷恢復，將晶圓 W 搬運至矽烷基化單元(SCH)11a、11b 的一方，於是進行矽烷基化處理(步驟 10、第 8(g)圖)。

之後，將晶圓 W 搬運向濺鍍裝置 107，於是於導孔 78a 的內壁形成障蔽金屬膜及 Cu 薄片層(總之，電鍍薄片層)(步驟 11)。接著，將晶圓 W 搬運至電解電鍍裝置 108，於是藉由電解電鍍而於導孔 78a 埋入銅等的金屬 76(步驟 12)。之後，藉由熱處理晶圓 W 而進行埋入於導孔 78a 的金屬 76 的退火處理(退火裝置係於第 1 圖無圖示)，再加上將晶圓 W 搬運向 CMP 裝置 109，於是進行藉由 CMP 法的平坦化處理(步驟 13、第 8(h)圖)。

如藉由如此的溝配線的形成方法，在由蝕刻或灰化、

(20)

洗淨而形成於層間絕緣膜 74 的導孔 78a 的側壁為受到損傷的情況，亦可將該損傷部藉由矽烷基化處理而使其由損傷恢復。由此，因為可形成電氣的特性優良的溝配線，所以可使半導體裝置的信賴性提高。

於上述說明，表示關於在洗淨單元(CNU) 12a~12d 的處理結束後，進行矽烷基化處理的情況，而矽烷基化處理係由特定的處理於層間絕緣膜 74 產生了損傷的情況或有產生之虞的情況，每該處理後進行亦佳。例如：於在洗淨單元(CNU) 12a~12d 的處理後取代或者加於此，於步驟 3 或步驟 8 的蝕刻處理之後，使用被設置於蝕刻裝置 106 的矽烷基化單元(SCH)53、54 而進行矽烷基化處理亦理想，另外，於步驟 4 的灰化處理之後，以設置於洗淨處理裝置 104 的矽烷基化單元(SCH)11a、11b 進行矽烷基化處理亦理想。

於第 9 圖，圖示於在洗淨單元(CNU) 12a~12d 的處理後進行了矽烷基化處理的情況與不進行的情況之，表示洩漏電流與累積機率的關係的說明圖及電壓與表示洩漏電流的關係的說明圖。施加了表示於第 9 圖的結果的試料之構成係與第 8(h)圖相同，作為層間絕緣膜 74 係使用 JSR 公司製的 LKD(商品名)系列的 low-k 膜。由第 9 圖了解藉由進行矽烷基化處理而減少洩漏電流，提高耐電壓。總之，明瞭層間絕緣膜的絕緣特性，與不進行矽烷基化處理的情況比較則提高。又，另項，測定了層間絕緣膜的介電常數的結果，於進行了矽烷基化處理的情況，比起不進行矽烷

(21)

基化處理的情況，確認 10%~20% 的改善效果。

接著，說明關於形成於晶圓 W 的層間絕緣膜形成溝配線的別的方法。於第 10 圖表示形成雙鑲嵌結構(dual damascene)構造的溝配線的製程的流程圖，於第 11 圖表示模式的表示於第 10 圖的流程因而形成的溝配線的形態變化的說明圖。在此，在各製程被使用的裝置係因為在之前的說明為明瞭，所以關於裝置係為不論及。

最初，具備經由障蔽金屬膜 71 而形成下部配線(銅配線) 72 的絕緣膜 70，於絕緣膜 70 的表面，準備形成例如：SiN 膜或 SiC 膜等的阻止膜 73 的晶圓 W(晶圓 W 本身無圖示)。於此晶圓 W 的阻止膜 73 上形成 low-k 膜等的層間絕緣膜 74(步驟 101、第 11(a)圖)。

接著，於被形成的層間絕緣膜 74 上逐次形成反射防止膜 75a 和光阻膜 75b。接著，將光阻膜 75b 以特定的圖形曝光、顯像，形成蝕刻圖形(步驟 102、第 11(b)圖)。接著，將光阻膜 75b 作為蝕刻遮罩而進行蝕刻處理，形成達到阻止膜 73 的導孔 78a(步驟 103、第 11(c)圖)。表示於第 11(c)圖的符號 79a 為由蝕刻處理而產生的損傷部。接著，藉由灰化處理而除去光阻膜 75b 和反射防止膜 75a(步驟 104)，接著進行除去在先前的蝕刻處理和灰化處理產生的聚合物殘渣等的洗淨處理(步驟 105)，更進行矽烷基化處理，使層間絕緣膜 74 的損傷部 79a 由其損傷恢復(步驟 106、第 11(d)圖)。而且，矽烷基化處理係在步驟 103 的蝕刻後及/或步驟 104 的灰化後進行亦佳。

(22)

接著於層間絕緣膜 74 的表面形成保護膜 81(步驟 107)，於此保護膜 81 上逐次形成反射防止膜 82a 和光阻膜 82b，將光阻膜 82b 以特定的圖形曝光、顯像，於光阻膜 82b 形成電路圖形(步驟 108、第 11(e)圖)。而且，保護膜 81 係於 SOD 裝置 101，能以旋轉塗佈特定的藥液形成。另外，保護膜 81 係非一定必要，於層間絕緣膜 74 上直接的形成反射防止膜 82a 及光阻膜 82b 亦佳。

接著，藉由將光阻膜 82b 作為蝕刻遮罩而進行蝕刻處理，於層間絕緣膜 74 形成槽溝(trench)78b(步驟 109、第 11(f)圖)，之後藉由灰化處理而除去光阻膜 82b 及反射防止膜 82a(步驟 110)。步驟 110 的處理係使用變性處理單元(VOS) 15a~15f 而進行亦佳。表示於第 11(f)圖的符號 79b 為由步驟 109 的蝕刻處理而產生的損傷部。

接著進行除去在先前的蝕刻處理和灰化處理產生的聚合物殘渣及保護膜 81 等的洗淨處理(步驟 111)，而且進行矽烷基化處理，使層間絕緣膜 74 的損傷部 79b 由其損傷恢復(步驟 112、第 11(g)圖)。在此，矽烷基化處理亦為於步驟 109 的蝕刻處理及/或步驟 110 的灰化處理後進行亦佳。

接著，進行為了除去阻止膜 73 的蝕刻處理和其殘渣除去處理(步驟 113)，之後，進行為了使在蝕刻處理等形成於導孔 78a 及槽溝 78b 的損傷部由其損傷恢復的矽烷基化處理(步驟 114、第 11(h)圖)。於此第 11(h)圖係表示矽烷基化處理後的狀態。

(23)

之後，於導孔 78a 及槽溝 78b 的內壁形成障蔽金屬膜及 Cu 薄片層，之後藉由電解電鍍而形成埋入銅等的金屬 76 於導孔 78a 及槽溝 78b 而形成銷(plug)，藉由熱處理晶圓 W 而進行被埋入導孔 78a 及槽溝 78b 的金屬 76 的退火處理，而且進行藉由 CMP 法的平坦化處理(步驟 115、第 11(i)圖)。

接著，說明關於在被形成於晶圓 W 的層間絕緣膜形成溝配線之更其他的方法。於第 12 圖表示形成雙鑲嵌結構(dual damascene)構造的溝配線的其他製程的流程圖，於第 13 圖表示模式的表示於第 12 圖的流程因而形成的溝配線的形態變化的說明圖。在此，在各製程被使用的裝置係因為在之前的說明為明瞭，所以關於裝置係為不論及。

最初，具備經由障蔽金屬膜 71 而形成下部配線(銅配線) 72 的絕緣膜 70，於絕緣膜 70 的表面，準備形成例如：SiN 膜或 SiC 膜等的阻止膜 73 的晶圓 W(晶圓 W 本身無圖示)。於此晶圓 W 的阻止膜 73 上逐次形成 low-k 膜等的層間絕緣膜 74、硬遮罩 86、反射防止膜 87a、光阻膜 87b，將光阻膜 87b 以特定圖形曝光、顯像，形成蝕刻圖形(步驟 201、第 13(a)圖)。

接著，將光阻膜 87b 作為蝕刻遮罩而進行蝕刻處理(步驟 202)，圖形化硬遮罩 86，之後，除去光阻膜 87b 及反射防止膜 87a(步驟 203、第 13(b)圖)。接著於硬遮罩 86 上逐次形成反射防止膜 88a 和光阻膜 88b，將光阻膜 88b 以特定圖形曝光、顯像，形成蝕刻圖形(步驟 204、第

(24)

13(c)圖)。

接下來，將光阻膜 88b 作為蝕刻遮罩而使用，形成到達阻止膜 73 的導孔 78a(步驟 205、第 13(d)圖)。接著，將光阻膜 88b 和反射防止膜 88a 藉由灰化處理等而除去，而且進行聚合物殘渣等的除去處理(步驟 206、第 13(e)圖)。於此步驟 205 的蝕刻處理後於層間絕緣膜 74 產生損傷部的情況，於灰化處理前進行矽烷基化處理亦佳。另外，於步驟 206 的灰化處理及殘渣除去處理後，於層間絕緣膜 74 產生損傷部的情況，於其之後進行矽烷基化處理亦佳。

於步驟 206 結束後，因為成為露出已形成特定圖形的硬遮罩 86 的狀態，將硬遮罩 86 作為蝕刻遮罩而使用而進行蝕刻處理(步驟 207)，形成槽溝 78b。在此時點於層間絕緣膜 74 產生了損傷部的情況，之後進行矽烷基化處理亦佳。接下來，藉由灰化處理或藥液處理而除去硬遮罩 86(步驟 208、第 13(f)圖)。例如，於此硬遮罩 86 的除去處理後進行矽烷基化處理(步驟 209)，由此，可使於步驟 208 之前產生於層間絕緣膜 74 的損傷部由該損傷恢復。而且，於第 13(f)圖表示損傷恢復後的狀態。

接著，在進行為了除去阻止膜 73 的蝕刻處理和殘渣除去處理後(步驟 210、第 13(g)圖)，為了使在此蝕刻處理等，形成於導孔 78a 及槽溝 78b 的損傷部(無圖示)由其損傷恢復，再度，進行矽烷基化處理(步驟 211)。接下來，於導孔 78a 及槽溝 78b 的內壁形成障蔽金屬膜及 Cu 薄片

(25)

層，之後藉由電解電鍍而形成埋入銅等的金屬 76 於導孔 78a 及槽溝 78b 而形成銷(plug)，而且藉由熱處理晶圓 W 而進行被埋入導孔 78a 及槽溝 78b 的金屬 76 的退火處理，而且進行藉由 CMP 法的平坦化處理(步驟 212、第 13(h)圖)。

於表 1 表示，作為低介電常數絕緣膜(low-k 膜)，使用多孔性 MSQ(Methyl-Silses-Quioxane)膜，作為蝕刻氣體作用 $C_4F_8/Ar/N_2$ ，在蝕刻裝置 106 的蝕刻單元 51、52 蝕刻處理，作為灰化氣體使用 O_2 單一氣體而在灰化裝置 105 進行灰化處理，作為矽烷基化劑，使用 HMDS(Hexamethyldisilazane 六甲基二矽氮烷)而在洗淨處理裝置 104 的矽烷基化單元(SCH)11a、11b 進行矽烷基化處理的情況之，關於 k 值的變化研究的結果。而且多孔性 MSQ 為以旋轉塗佈形成的絕緣膜(SOD 膜)，為具有 Si-O-Si 結合的矽氧烷(siloxane)系膜之一。另外，矽烷基化處理係在 2.5 Torr、200℃ 進行 15 分鐘。

[表 1]

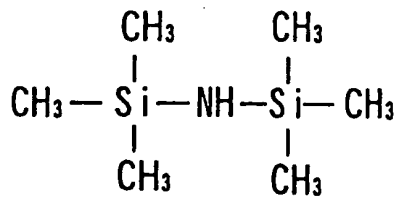
試料的處理狀態	k 值
蝕刻處理前(膜形成後)	2.36
蝕刻處理/灰化處理後	2.80
矽烷基化處理後	2.63

(26)

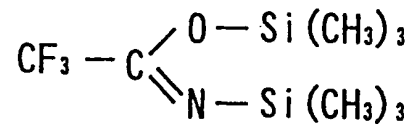
如表示於表 1 的，明瞭在蝕刻前的狀態，k 值為 2.36，而於蝕刻處理和灰化處理後，k 值上昇至 2.80。但是，在之後進行矽烷基化處理，k 值係下降至 2.63。

作為矽烷基化劑，如為產生矽烷基化反應的物質則不特別限制而可使用，而於分子內具有矽氮鍵結(Si-N 鍵結)的化合物群之中，具有比較小的分子構造者，例如：分子量為 260 以下者為理想，分子量 170 以下者為較理想。具體而言，例如：前述的 DMSDMA、HMDS 以外，可使用 TMSDMA(Dimethylaminotrimethylsilane 二甲基胺基三甲基矽烷)、TMDS(1,1,3,3-Tetramethyldisilazane 1,1,3,3-四甲基二矽氮烷)、TMSPyrole(1-Trimethylsilylpyrole 1-三甲基矽烷基吡咯)、BSTFA(N,O-Bis(trimethylsilyl)trifluoroacetamide N,O-雙(三甲基矽基)三氟乙醯胺)、BDMADMS(Bis(dimethylamino)dimethylsilane) 雙(二甲基胺基)二甲基矽烷等。於以下表示這些化學構造。

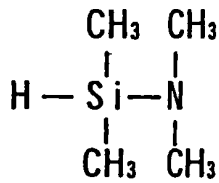
(27)



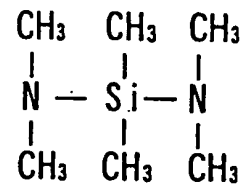
H M D S



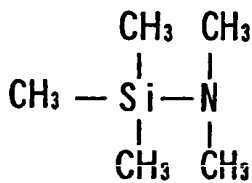
B S T F A



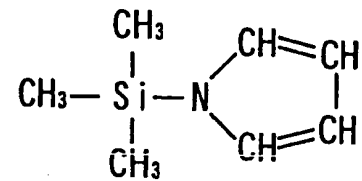
D M S D M A



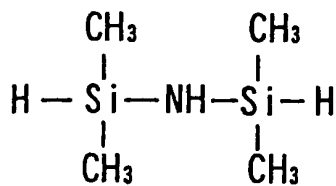
B D M A D M S



T M S D M A



T M S p y r o l e



T M D S

即使在上述化合物中，作為介電常數的恢復效果或洩漏電流的降低效果，使用 TMSDMA 及 TMDS 為理想。另外，由矽烷基化後的安定性的觀點，構成矽氮鍵結的 Si

(28)

Si 為與 3 個烷基(例如：甲基)結合的構造者(例如：TMSDMA、HMDS 等)為理想。

上述的晶圓處理系統係成為將灰化裝置 105 和蝕刻裝置 106 在別體具有的構成，而在構成蝕刻裝置 106 的蝕刻單元 51、52 能藉由變更處理氣體而進行灰化處理，而且如作到能供給 DMSDMA 等的矽烷基化劑，亦能進行矽烷基化處理。

於第 14 圖表示能進行蝕刻處理、灰化處理、矽烷基化處理的蝕刻單元 90 的概略構造的剖面圖。此蝕刻單元 90 係可取代表示於第 6 圖的構成蝕刻裝置 106 之蝕刻單元 51、52 及矽烷基化單元(SCH)53、54，配備於蝕刻裝置 106。

蝕刻單元 90，具備形成至略圓筒狀的電漿處理室(電漿處理 chamber)302。此電漿處理室 302 係例如：表面為由被陽極氧化處理(耐酸鋁(alumite)處理)的鋁構成，被作為接地電位。

於電漿處理室 302 的底部，經由以陶瓷所構成的絕緣板 303，配置承受器(susceptor)支撐台 304，於此承受器支撐台 304 上配置承受器(susceptor)305。承受器 305 係兼為下部電極，於其上面能載置晶圓 W。於此承受器 305 係連接高通濾波器(HPF)306。

於承受器支撐台 304 的內部設置溫度調節媒體室 307。於此溫度調節媒體室 307，連接導入管 308 和排出管 309。然後由導入管 308 導入溫度調節媒體於溫度調節

(29)

媒體室 307 內，此溫度調節媒體為藉由循環於溫度調節媒體室 307 內而由排出管 309 被排出，能調整承受器 305 至所希望的溫度。

承受器 305 係其上側中央部被形成至凸狀的圓板狀，於其上設置靜電吸盤 310。靜電吸盤 310 係成為於絕緣材料 311 之間配置電極 312 的構造，於電極 312 連接直流電源 313。由此直流電源 313 對電極 312，例如：藉由施加 1.5kV 範圍的直流電壓，晶圓 W 被靜電吸附於靜電吸盤 310 上。

於絕緣板 303、承受器支撐台 304、承受器 305 及靜電吸盤 310，於晶圓 W 的裏面形成為了供給傳熱媒體(例如：He 氣)的氣體通路 314。經由由此氣體通路 314 供給的傳熱媒體，為承受器 305 和晶圓 W 之間的熱傳達，晶圓 W 被溫度調節至特定溫度。

為了於灰化處理或矽烷基化處理將晶圓 W 設定至高溫，如提高傳熱媒體的溫度設定為佳。但是，於蝕刻單元 90，在實際上進行蝕刻處理和灰化處理及/或矽烷基化處理的情況，因為若每個各處理變更設定溫度，則於晶圓 W 的溫度安定化需要時間，所以於承受器 305 埋設冷熱元件，作為可進行溫度控制的構成為理想。

於承受器 305 的上端周緣部，如包圍載置於靜電吸盤 310 上的晶圓 W 的周圍的，配置環狀的調焦環(focus ring)315。此調焦環 315 係藉由陶瓷或石英等的絕緣性材料、或導電性材料而構成。

(30)

於承受器 305 的上方，設置與承受器 305 相對，而且平行的上部電極 321。此上部電極 321 係經由絕緣材料 322 而被支撐於電漿處理室 302 的內部。上部電極 321 係由構成與承受器 305 的相對面，具有多數的吐出口 323 的電極板 324、和支撐此電極板 324 的電極支撐體 325 構成。電極板 324 係由絕緣性材料或導電性材料而構成。在本實施的形態，電極板 324 係由矽而構成。電極支撐體 325 係例如：由表面被陽極氧化處理(耐酸鋁(alumite)處理)的鋁等的導電性材料構成。而且，承受器 305 與上部電極 321 的間隔係作為能調整。

於電極支撐體 325 的中央，設置氣體導入口 326。於此氣體導入口 326，連接氣體供給管 327。氣體供給管 327 係經由閥 328 及質流控制器 (Mass Flow Controller) 329，連接於處理氣體供給源 330。

由處理氣體供給源 330，能夠供給為了電漿處理的特定的處理氣體。而且，於第 14 圖，僅表示著一個由氣體供給管 327、閥 328、質流控制器 329、處理氣體供給源 330 等所構成的處理氣體供給系，但實際上係設置複數的處理氣體供給系。由這些處理氣體供給系，各個獨立的流量控制例如： O_2 氣體、 NH_3 氣體、 CO_2 氣體、Ar 氣體、 N_2 氣體、 CF_4 氣體、 C_4F_8 氣體、水蒸氣、DMSDMA 等的矽烷基化劑的氣體等，供給於電漿處理室 302 內。

於電漿處理室 302 的底部，連接排氣管 331，於此排氣管 331 係連接排氣裝置 335。排氣裝置 335 係具備渦輪

(31)

分子幫浦等的真空幫浦，成為能設定電漿處理室 302 內至特定的減壓氣氛(例如： 0.67Pa)以下。

於電漿處理室 302 的側壁部分，設置閘閥 332，打開此閘閥 332，能夠進行向晶圓 W 的電漿處理室 302 內的搬入及搬出。

於上部電極 321 係連接第 1 高頻電源 340，於該供電線係安插第 1 整合器 341。另外，於上部電極 321 係連接低通濾波器 Low-Pass Filter (LPF)342。第 1 高頻電源 340 係能供給電漿產生用的頻率的高之高頻電力，例如：能供給頻率為 $50\sim 150\text{MHz}$ 的高頻電力。藉由將如此的高的頻率的高頻電力施加至上部電極 321，於電漿處理室 302 的內部能以理想的解離狀態而且形成高密度的電漿，成為能在低壓條件下的電漿處理。第 1 高頻電源 340 的頻率數理想為 $50\sim 150\text{MHz}$ ，典型的係使用已圖示的 60MHz 或其近邊的頻率。

於作為下部電極的承受器 305，連接第 2 高頻電源 350，於其供電線安插第 2 整合器 351。此第 2 高頻電源 350 至係使自偏壓電壓(Self-bias voltage)產生，能供給比第 1 高頻電源 340 低的頻率，例如：數百 $\text{Hz}\sim$ 十數 MHz 的頻率電力。藉由施加如此的範圍的頻率的電力於承受器 305，可對於晶圓 W 不施加損傷而施加適當的離子作用。第 2 高頻電源 350 的頻率係典型上的使用已圖示的 2MHz 或 3.2MHz 、 13.56MHz 等。

接著，說明關於使用了如此的構成的蝕刻單元 90 的

(32)

晶圓 W 之處理製程。第 15 圖為模式的圖示處理的晶圓 W 的表面的構造的剖面圖。如表示於第 15 圖(a)的，於晶圓 W(無圖示)，有機系低介電常數膜(例如多孔性(porous)MSQ)601、SiCN 膜 602、反射防止膜(BARC)603; 光阻膜 604，由下側以此順序形成。而且，光阻膜 604 係被圖形化。

於最初，打開閘閥 332，藉由晶圓搬運裝置 62 的托板 64a(或 64b)，將晶圓 W 搬入於電漿處理室 302 內，載置於承受器 305 上。接著，藉由從直流電源 313，於靜電吸盤 310 的電極 312，施加例如：1.5kV 範圍的直流電壓，將晶圓 W 靜電吸附靜電吸盤 310 上。另外，使晶圓搬運裝置 62 的托板 64a，由電漿處理室 302 內避讓。

關閉閘閥 332 後，藉由排氣裝置 335 進行排氣，將電漿處理室 302 內設定於特定的真空度(例如：4Pa 以下)。與此同時，將光阻膜 604 作為蝕刻遮罩，為了進行反射防止膜 603 的蝕刻處理，由處理氣體供給源 330 經由質流控制器 329 等，而將特定的處理氣體(例如：CF₄ 單一氣體)以特定流量導入電漿處理室 302 內，藉由從第 1 高頻電源 340 將電漿產生用的頻率的高(例如：60MHz)之高頻電力，以特定電力施加於上部電極 321，使處理氣體的電漿產生。而且，將由第 2 高頻電源 350 為了使自己偏壓電壓產生的頻率的低(例如：2MHz)之高頻電力，以特定電力施加於作為下部電極的承受器 305，將電漿中的離子引進晶圓 W，將反射防止膜 603 蝕刻處理。

(33)

與如此的反射防止膜 603 的蝕刻處理相同的程序，將 SiCN 膜 602、有機系低介電常數膜 601，改變處理氣體而逐次蝕刻處理，作為表示於第 15(b)圖的形態。SiCN 膜 602 係，例如：藉由 $C_4F_8/Ar/N_2$ 的混合氣體的電漿而進行蝕刻。另外，有機系低介電常數膜 601 係藉由 CF_4/Ar 的混合氣體的電漿而進行蝕刻。接著，以與上述蝕刻處理相同的程序，作為處理氣體，例如：以使用了 O_2 氣體、 NH_3 氣體、 CO_2 氣體等的電漿而灰化處理，除去光阻膜 604 及反射防止膜 603。由此而成為表示於第 15(c)圖的形態。在第 15(c)圖，模式的以符號 605 表示藉由蝕刻處理或灰化處理而受到了損傷的部分。

而且，於如上述的連續進行蝕刻處理和灰化處理的情況，所謂的，進行 2 步驟灰化為理想。亦即，第 1 步驟係以無施加由第 2 高頻電源 350 的偏壓電壓，進行電漿處理室 302 內的清除(cleaning)，於第 2 步驟由第 2 高頻電源 350 施加偏壓電壓，進行晶圓 W 的灰化處理為理想。

接著，將電漿處理室 302 內作為特定的真空度，通過設置於上部電極 321 的吐出口 323 而於電漿處理室 302 內供給特定量的水蒸氣，在有機系低介電常數膜 601 於藉由蝕刻處理及灰化處理而受到了損傷的部分，使適量的水份吸附。

接著，排氣電漿處理室 302 內，一將電漿處理室 302 內到達特定的真空度，則中止排氣，將電漿處理室 302 內保持特定的真空度、同時加熱至使晶圓 W 產生矽烷基化

(34)

反應的溫度，例如： $50^{\circ}\text{C} \sim 200^{\circ}\text{C}$ 。之後，通過設置於上部電極 321 的吐出口 323 而於電漿處理室 302 內供給特定量的 DMSDMA 氣體等的矽烷基化劑的氣體，藉由此矽烷基化劑的氣體而在電漿處理室 302 內的壓力上昇的狀態保持特定時間。由此，如表示於第 15(d)圖的，有機系低介電常數膜 601 的損傷部 605 係藉由矽烷基化而從損傷恢復。已被矽烷基化處理的晶圓 W，之後即使被曝露於大氣，有機系低介電常數膜 601 亦難以吸濕，能維持特性。

而且，第 15(d)圖係爲了模式的表示損傷部 605 的恢復，所以表示損傷部 605 爲恢復於與原來的有機系低介電常數膜 601 相同的構造的狀態，但損傷部 605 恢復後的該部分的化學構造係與原來的有機系低介電常數膜 601 的化學構造不完全一致。

另外，藉由有機系低介電常數膜 601 的矽烷基化處理的損傷恢復，藉由氫氟酸浸漬晶圓 W，可定量的評估。因爲，例如在藉由氧電漿的灰化處理，因爲於有機系低介電常數膜 601 的溝圖形的側壁部係 SiO_2 化，所以如不由損傷恢復，則因爲此 SiO_2 溶解於氫氟酸，所以有機系低介電常數膜 601 被側蝕刻。

於第 16(c)圖表示模式的圖示，由表示於第 15(c)圖所示的狀態不進行矽烷基化處理的進行氫氟酸(氟化氫酸水溶液)浸漬處理的情況(第 16(a)圖)、與藉由矽烷基化處理而成爲第 15(d)圖的狀態進行了氫氟酸浸漬處理的情況(第 16(b)圖)的溝圖形的形狀之剖面圖。如表示於第 16(a)圖

(35)

的，若進行不進行矽烷基化處理的氫氟酸處理，則因為由灰化處理而產生的 SiO_2 溶解於氫氟酸，所以有機系低介電常數膜 601 被側蝕刻，而線寬變細。對於此，如表示於第 16(b)圖的，於進行了矽烷基化處理的情況，因為溝圖形的側壁部係成為 SiO_2 為不露出的狀態，所以提高對於氫氟酸的耐蝕性，抑制由有機系低介電常數膜 601 的由氫氟酸之側蝕刻。

接著，說明關於確認本發明的效果之試驗結果。

(1)介電常數、洩漏電流密度及含水量的測定

如第 17 圖所示的，製作於 Si 基板上成膜作為 SOD 膜的多孔性 MSQ 膜之測試樣本，依序實施蝕刻處理、灰化處理，於多孔性 MSQ 膜置入損傷後，關於使用表示於下述表 2 的矽烷基化劑而進行了矽烷基化處理的情況、和不進行矽烷基化處理的情況，進行介電常數及洩漏電流密度的測定。

蝕刻處理、灰化處理都於第 14 圖所示的蝕刻單元 90 實施，作為蝕刻氣體使用 CF_4 ，作為灰化氣體，使用 O_2 、 NH_3 或 CO_2 。矽烷基化處理係使用與表示於第 5 圖的矽烷基化單元 (SCH)11a 的相同的構成的裝置而進行。矽烷基化的條件係按照矽烷基化劑的種類，DMSDMA 係處理溫度 100°C 、處理時間 180 秒、TMSDMA 係處理溫度 150°C 、處理時間 150 秒、TMDS 係處理溫度 180°C 、處理時間 900 秒、BSTFA 和 BDMADMS 和 TMSpyrole 係各個設定於處理溫度 180°C 、處理時間 300 秒，將 N_2 氣體(沖洗

(36)

(purge)氣體)流量作為 5.0L/min、按照矽烷基化種類，氣化器 43 的溫度係在室溫~50℃、矽烷基化劑流量係 0.1~1.0g/min、處理壓力係在 666~95976Pa(5~720 Torr)之間適宜設定。

介電常數及洩漏電流密度的測試，如第 17(b)圖所示的，於測試樣本的多孔性 MSQ 膜上安裝 Al 襯墊(pad)，於 Si 基板與 Al 襯墊之間施加電壓，藉由測定 k 值及洩漏電流而實施。合併這些試驗的結果而表示於表 2。而且，洩漏電流密度係將於 1MV/cm 的測定值作為代表值而記載。

(37)

[表 2]

灰化氣體	矽烷基化劑	介電常數		洩漏電流密度 (A/cm ²) @1MV/cm
		k 值	灰化後的恢復率	
未處理		2.47	—	3.28×10 ⁻¹⁰
僅蝕刻處理		3.25	—	1.13×10 ⁻⁵
O ₂	無矽烷基化	4.12	—	6.15×10 ⁻⁵
	DMSDMA	3.16	58.1	5.47×10 ⁻⁶
	TMSDMA	2.94	71.6	5.52×10 ⁻⁷
	TMDS	2.89	74.8	1.80×10 ⁻⁶
	BSTFA	3.14	59.6	8.90×10 ⁻⁷
	BDMADMS	3.80	19.0	1.49×10 ⁻⁵
	TMSpyrole	3.59	31.7	3.28×10 ⁻⁵
NH ₃	無矽烷基化	3.88	—	6.50×10 ⁻⁵
	DMSDMA	3.43	31.8	1.40×10 ⁻⁵
	TMSDMA	3.16	50.8	2.04×10 ⁻⁶
	TMDS	3.22	47.0	1.04×10 ⁻⁶
	BSTFA	3.61	19.1	5.29×10 ⁻⁵
	BDMADMS	4.48	-43.1	1.69×10 ⁻⁴
	TMSpyrole	3.63	17.5	3.10×10 ⁻⁵
CO ₂	無矽烷基化	4.25	—	3.62×10 ⁻⁵
	DMSDMA	3.39	48.2	1.19×10 ⁻⁵
	TMSDMA	3.07	66.6	1.13×10 ⁻⁶
	TMDS	3.22	57.6	5.31×10 ⁻⁶
	BSTFA	3.42	46.6	2.92×10 ⁻⁶
	BDMADMS	4.13	6.7	1.26×10 ⁻⁵
	TMSpyrole	3.49	42.8	4.17×10 ⁻⁵



(38)

由表 2，藉由於灰化後進行矽烷基化處理，與不實施矽烷基化的情況比較，確認可抑制 k 值上昇與洩漏電流密度的增加。特別是，於 k 值的恢復效果及洩漏電流密度的減低效果，明瞭於 TMSDMA 及 TMDS 優良。另外，在與灰化氣體種類的關係，表示了於藉由 O_2 氣體而進行了灰化的情況，特別是矽烷基化效果高。

另外，對於與第 17(a)圖同樣的樣本，使用各種矽烷基化劑進行了矽烷基化處理後，以每秒 1°C 昇溫，將由昇溫的水份的脫離量(亦即，膜中的含水量)，藉由質量分析而測定。膜中的含水量成為使介電常數或洩漏電流惡化的主要原因。表示該結果於第 18 圖。而且，第 18 圖的縱軸係將 $100^\circ\text{C} \sim 500^\circ\text{C}$ 的水份的脫離量(脫離氣體量)，以溫度單位積分而以樣本的質量規格化的值。

藉由第 18 圖，於 O_2 灰化的情況，了解不依藥液而減低效果大。一方面，於 NH_3 灰化、 CO_2 灰化的情況，以 TMSDMA 或 TMDS 進行了矽烷基化處理的情況，可得到含水率的減低效果。

(2)對於稀氫氟酸的耐蝕性試驗：

在於 Si 基板上積疊作為 SOD 膜的多孔性 MQS 膜，成膜遮罩膜，以光蝕刻技術曝光、顯像槽溝(trench)圖形。將此遮罩圖形作為蝕刻遮罩而蝕刻處理多孔性 MSQ 膜，之後，為了蝕刻遮罩的殘渣處理而使用作為灰化氣體的 O_2 、 NH_3 或 CO_2 而實施灰化處理，於多孔性 MQS 膜形成了如表示於第 19(a)圖的圖形的槽溝構造。

(39)

對於如此的具有槽溝構造的測試樣本，在前述矽烷基化劑進行了矽烷基化處理後，使用 0.5% 稀氫氟酸而進行 30 秒鐘浸漬處理，測定如於第 19(b)圖所示的槽溝的上部和下部的槽溝寬（以下，記為「頂部 CD」、「底部 CD」）。關於頂部 CD 和底部 CD 的長度的增加量，比較了稀氫氟酸處理前已進行矽烷基化處理的情況與不進行的情況的結果於表 3 表示。而且，蝕刻、灰化及矽烷基化的條件係與前述(1)的試驗作為相同。

(40)

[表 3]

灰化氣體	灰化後的 CD (nm) 頂部/底部	矽烷基化劑	稀氫氟酸處理後的 CD 增加量 (nm) 頂部/底部
O ₂	220/197	無矽烷基化	67/53
		DMSDMA	6/7
		TMSDMA	4/3
		TMDS	23/13
		BSTFA	7/4
		BDMADMS	4/0
		TMSpyrole	3/3
NH ₃	217/197	無矽烷基化	73/53
		DMSDMA	70/44
		TMSDMA	±50
		TMDS	77/37
		BSTFA	76/60
		BDMADMS	23/0
		TMSpyrole	27/27
CO ₂	223/197	無矽烷基化	57/50
		DMSDMA	7/3
		TMSDMA	0/3
		TMDS	17/17
		BSTFA	13/17
		BDMADMS	4/3
		TMSpyrole	30/17

(41)

由表 3，在稀氫氟酸處理前進行了矽烷基化處理的情況，比起不進行矽烷基化的情況，大略抑制 CD 的增加，確認可謀求損傷的恢復。特別是，於 O_2 灰化後的矽烷基化顯著的抑制了 CD 的增加。

另外，即使在矽烷基化劑中 TMSDMA 係即使在 O_2 、 CO_2 任一的灰化氣體的情況，亦表示出優良的損傷恢復效果。

以上，說明了關於本發明的實施形態，但本發明係不被限定於如此的形態。例如：可藉由矽烷基化處理而謀求損傷恢復的膜係不被限定於上述的多孔性 MSQ，例如：亦可將以 CVD 形成的無機絕緣膜之 1 的 SiOC 膜作為對象。此係於先前的 SiO_2 膜的 Si-O 結合導入甲基 ($-CH_3$)，因為使 Si- CH_3 結合混合，Black Diamond (Applied Materials 公司)、Coral (Novellus 公司)、Aurora (ASM 公司) 等為該當於此。SiOC 膜為多孔性 (porous) 亦佳。另外，MSQ 系的絕緣膜係不限定於多孔性之物，為緻密性亦佳。

而且，於形成了的導孔或槽溝逐次形成障蔽金屬膜和 Cu 薄片，將銅藉由電解電鍍等而埋入而形成，進行退火處理、進行 CMP 處理，於形成銅配線後，藉由氬電漿處理而進行銅配線表面的還原處理，之後形成阻止膜。於此情況為了使由氬電漿處理而受到了損傷的部分，由該損傷而恢復，所以進行矽烷基化處理亦佳。

(42)

[產業上的可利用性]

本發明係適於作為半導體裝置的製造方法。

【圖式簡單說明】

[第 1 圖]表示晶圓處理系統的概略構成的說明圖。

[第 2 圖]表示洗淨處理裝置的概略構造的平面圖。

[第 3 圖]表示洗淨處理裝置的概略構造的正面圖。

[第 4 圖]表示洗淨處理裝置的概略構造的背面圖。

[第 5 圖]表示矽烷基化單元(SCH)的概略構造的剖面圖。

[第 6 圖]表示蝕刻裝置的概略構造的平面圖。

[第 7 圖]表示形成單鑲嵌結構構造的溝配線的製程之說明圖。

[第 8 圖]模式的表示於第 7 圖圖示的流程因而被形成的溝配線的形態變化之說明圖。

[第 9 圖]表示依矽烷基化處理的有無的電氣特性之不同的說明圖。

[第 10 圖]表示形成雙鑲嵌結構構造的溝配線的製程之說明圖。

[第 11 圖]模式的表示於第 10 圖圖示的流程因而被形成的溝配線的形態變化之說明圖。

[第 12 圖]表示形成雙鑲嵌結構構造的溝配線的別的製程之說明圖。

[第 13 圖]模式的表示於第 12 圖圖示的流程因而被形

(43)

成的溝配線的形態變化之說明圖。

[第 14 圖]表示蝕刻單元的概略構造的剖面圖。

[第 15 圖]模式的表示使用了第 14 圖的蝕刻單元的晶圓的處理製程之晶圓的表面構造之剖面圖。

[第 16 圖]模式的表示由氫氟酸浸漬處理的矽烷基化處理的有無與溝圖形的形狀的關係。

[第 17 圖]表示爲了測定介電常數、洩漏電流密度及水分脫離量的測試樣本的概略構成的圖面。

[第 18 圖]表示由矽烷基化的有無及矽烷基化劑的種類的水分脫離量的變化的線圖。

[第 19 圖]模式的表示由稀氫氟酸的耐蝕性試驗的測試樣本構造的圖面。

[第 20 圖]模式的表示藉由先前的雙鑲嵌結構法的溝配線的形成製程之說明圖。

【主要元件符號說明】

2	處理站
11a、11b	矽烷基化單元(SCH)
12a~12d	洗淨單元(CNU)
15a~15f	變性處理單元(VOS)
70	絕緣膜
72	下部配線
73	阻止膜
74	層間絕緣膜

(44)

75 a	反 射 防 止 膜
75 b	光 阻 膜
78 a	導 孔
78 b	槽 溝
79 a、79 b	損 傷 部
81	保 護 膜
86	硬 遮 罩 層
90	蝕 刻 單 元
101	S O D 裝 置
102	光 阻 塗 佈 / 顯 像 裝 置
103	曝 光 裝 置
104	洗 淨 處 理 裝 置
105	灰 化 裝 置
106	蝕 刻 裝 置
107	濺 鍍 裝 置
108	電 解 電 鍍 裝 置
109	C M P 裝 置
110	處 理 部
111	程 序 控 制 器
112	使 用 者 介 面
113	記 憶 部
120	主 控 制 部
W	晶 圓 (基 板)

五、中文發明摘要

發明之名稱：具有溝配線或連接孔之半導體裝置的製造方法

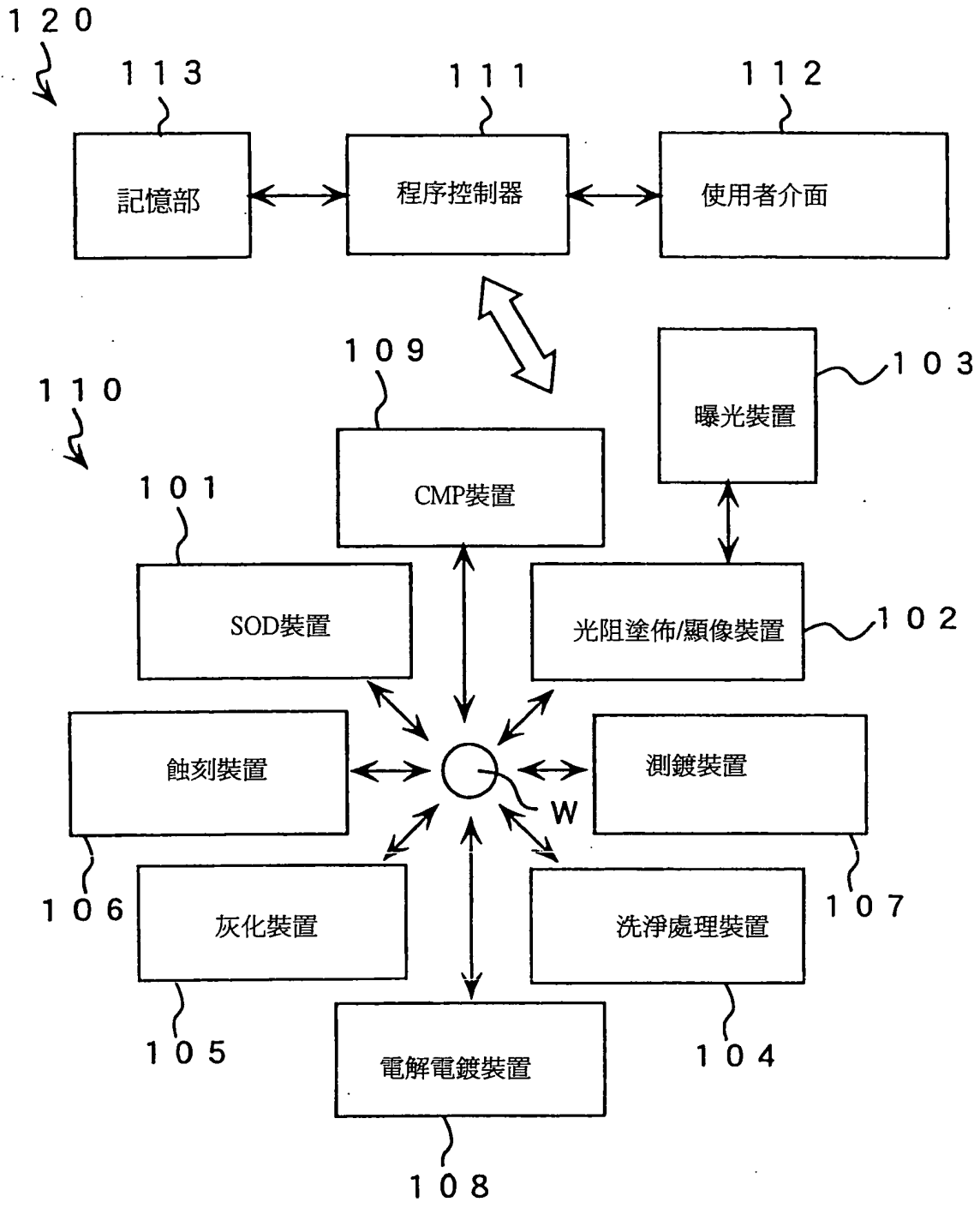
[課題]提供具有優良電氣的特性及信賴性的溝配線或連接孔之半導體裝置的製造方法。

[解決手段]於層間絕緣膜 74 上形成具有特定的電路圖形的光阻膜 75b，將光阻膜 75b 作為遮罩而蝕刻處理，於層間絕緣膜 74 形成導孔 78a。將藉由此蝕刻處理而形成於層間絕緣膜 74 的導孔 78a 之側面部矽烷基化處理，使導孔 78a 的側面部由蝕刻處理的損傷恢復。之後，於導孔 78a 埋入金屬，平坦化該表面。

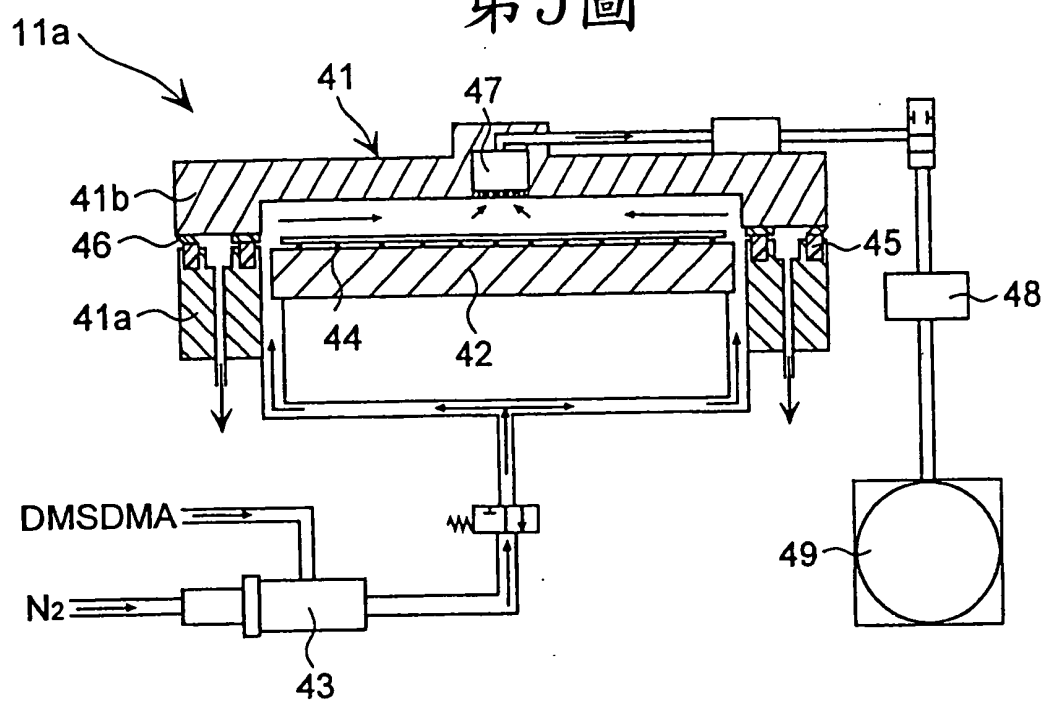
六、英文發明摘要

發明之名稱：

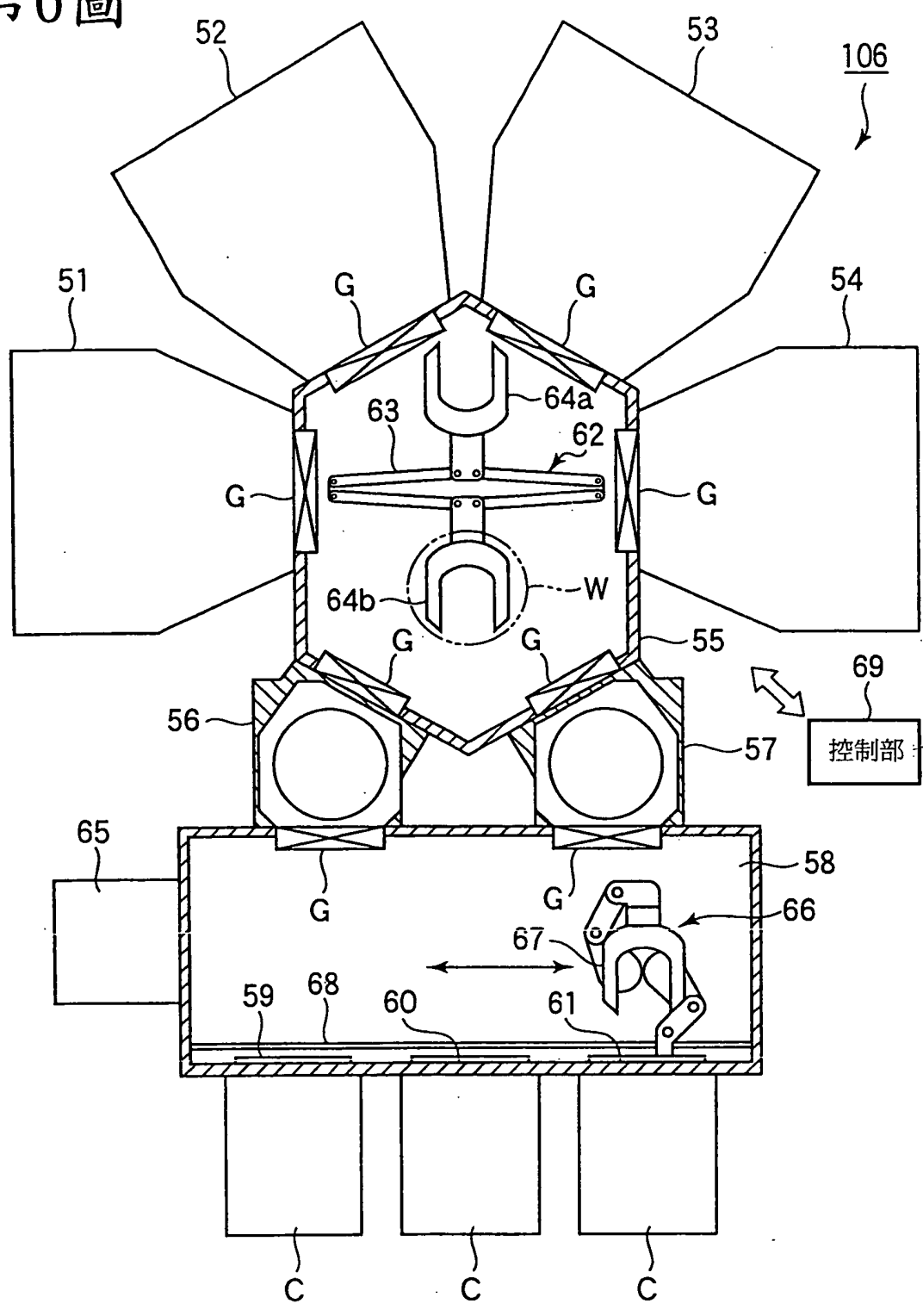
第1圖



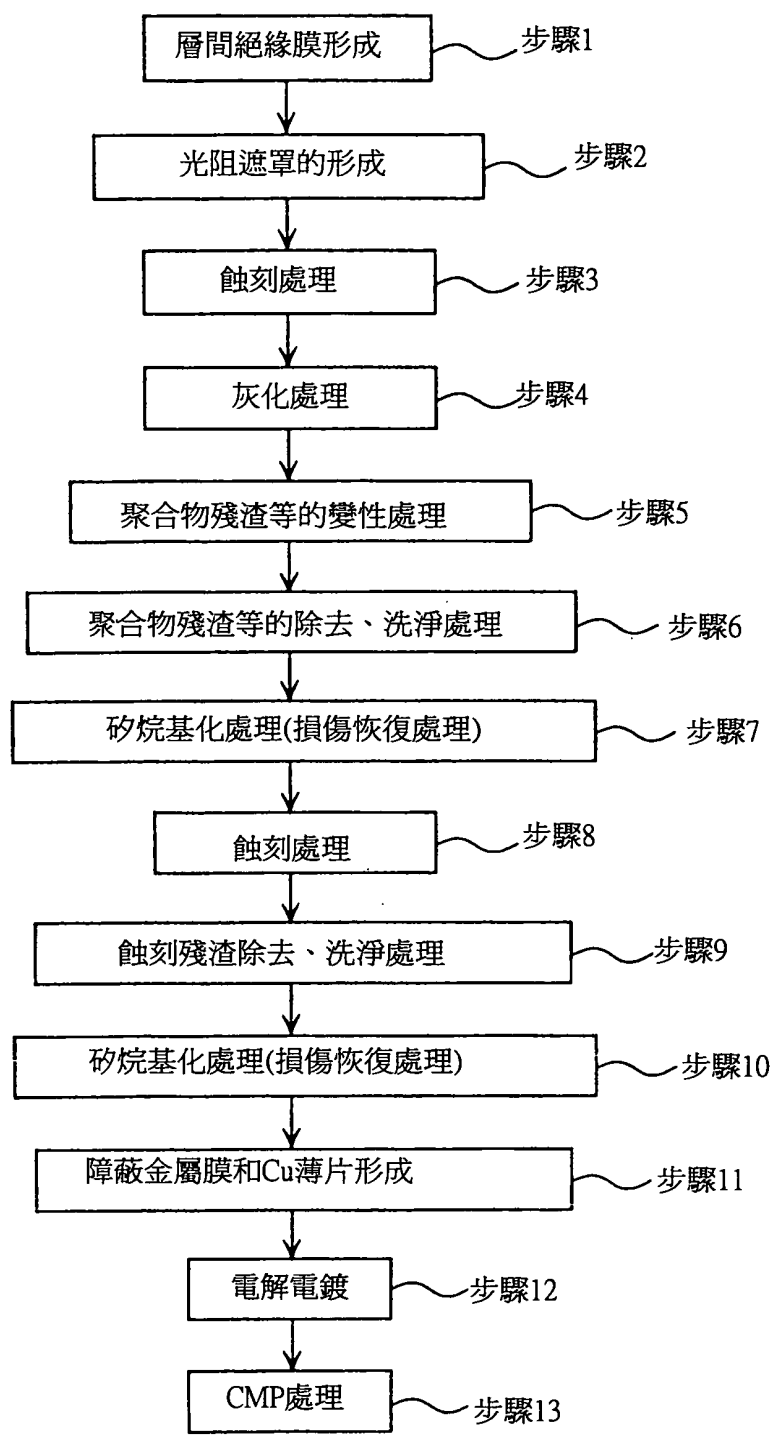
第5圖



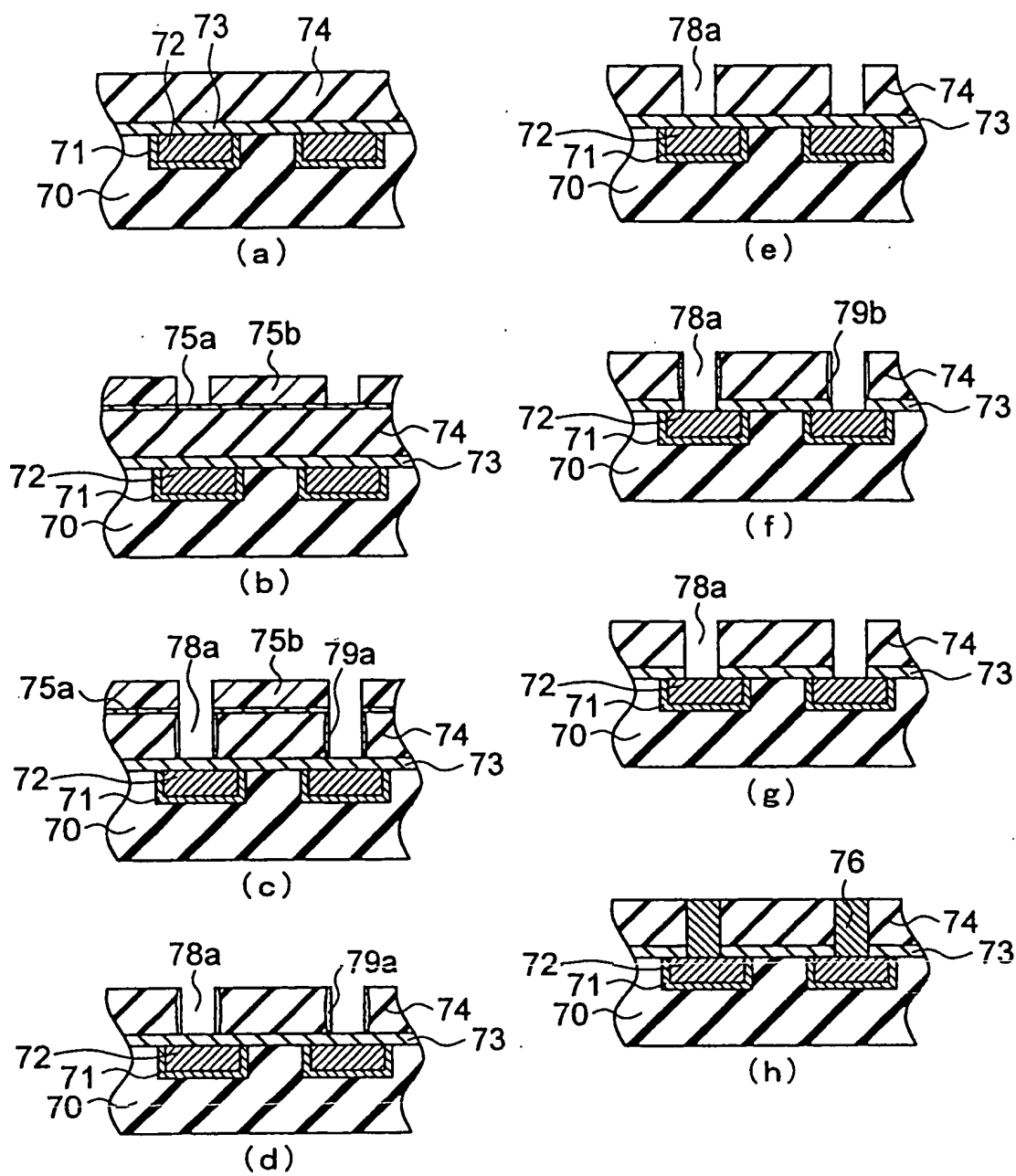
第6圖



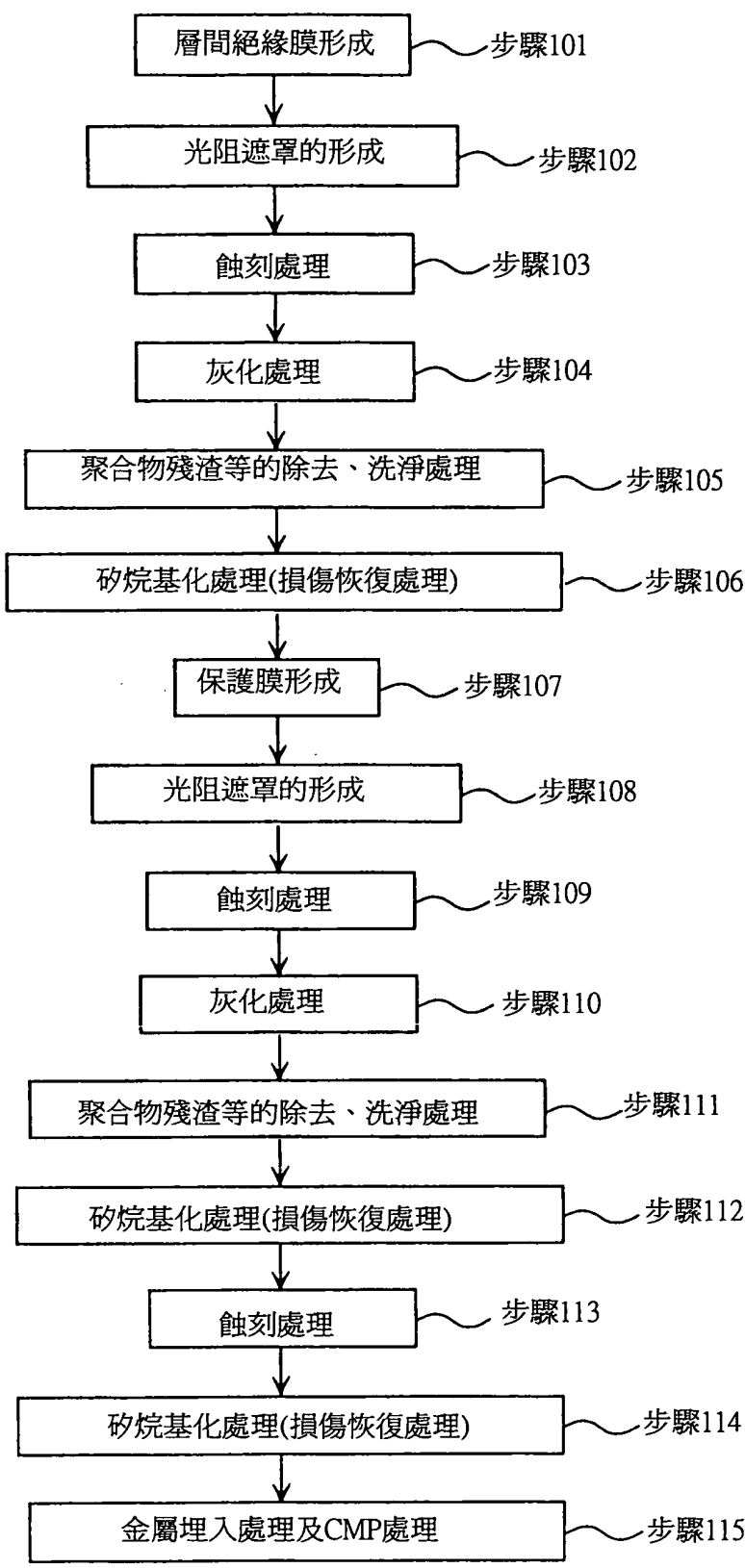
第7圖



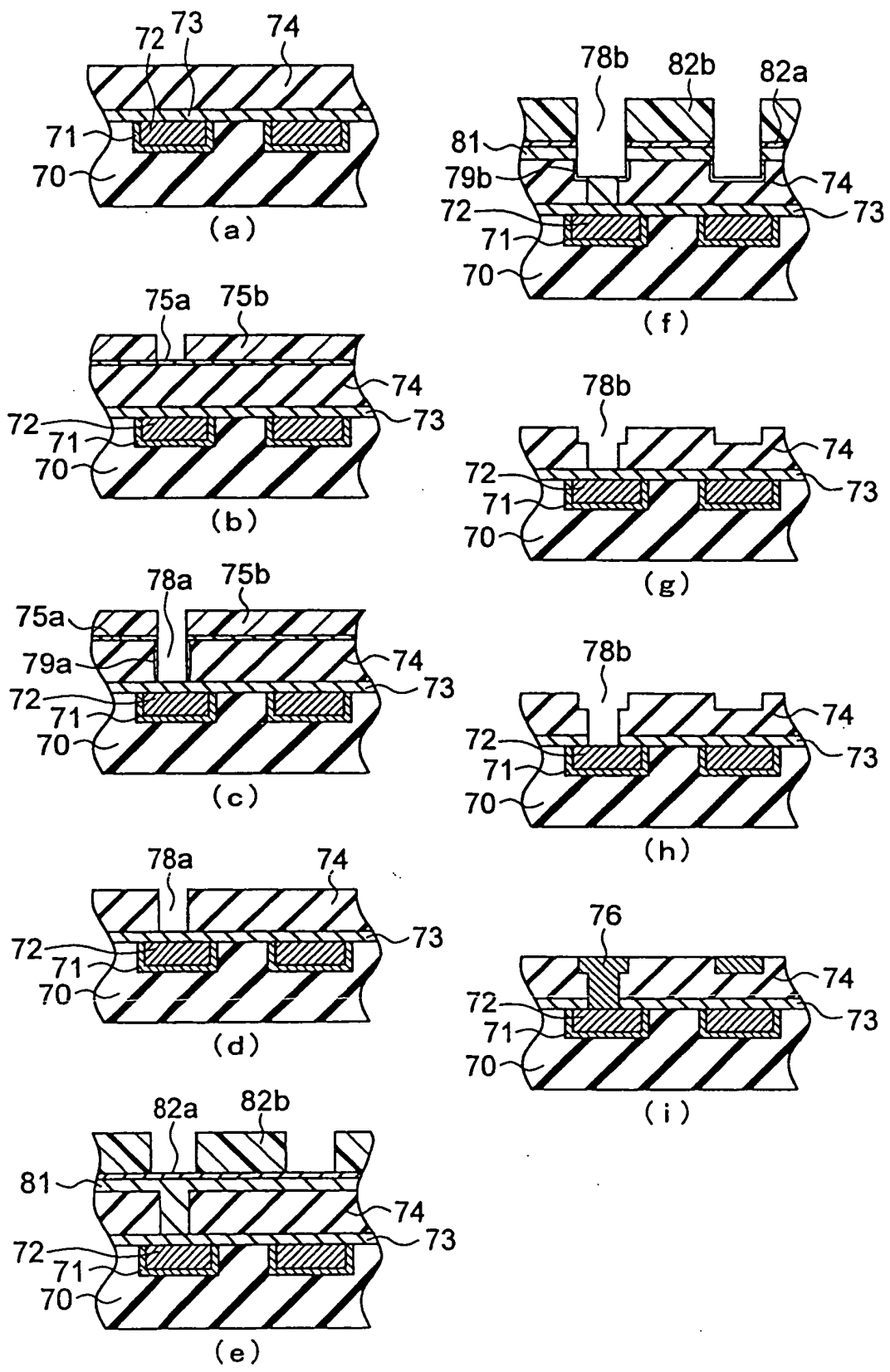
第8圖



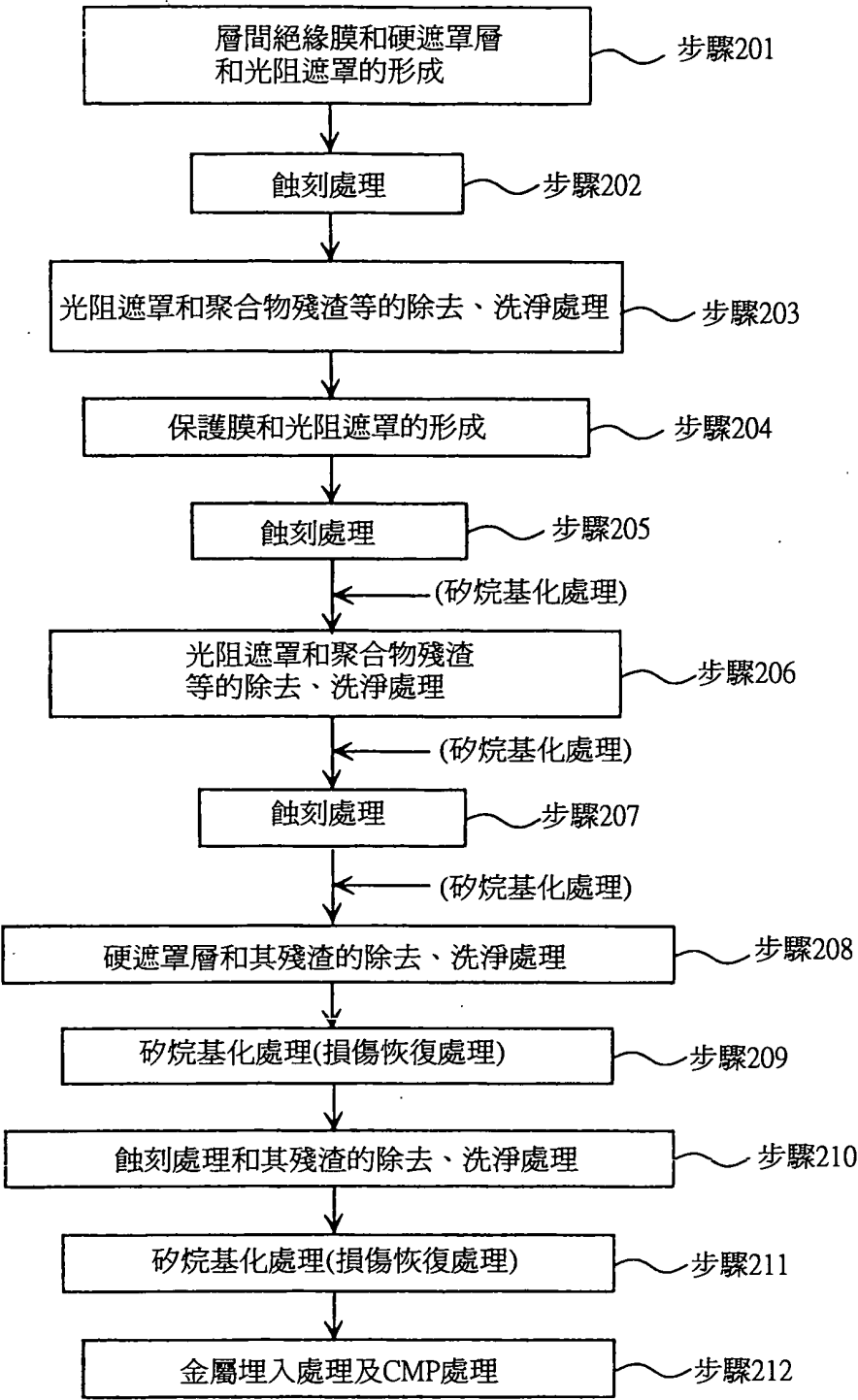
第10圖



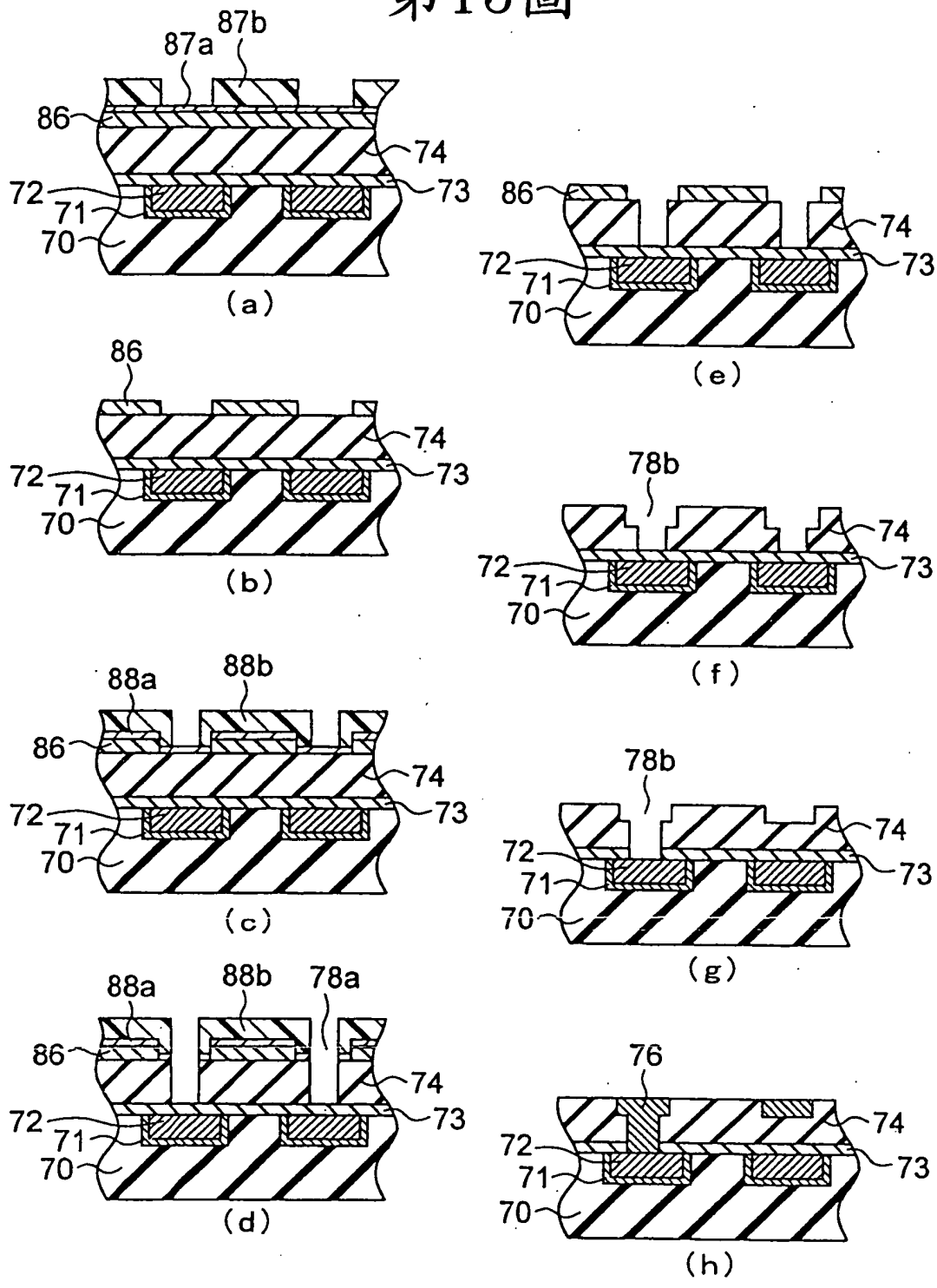
第11圖



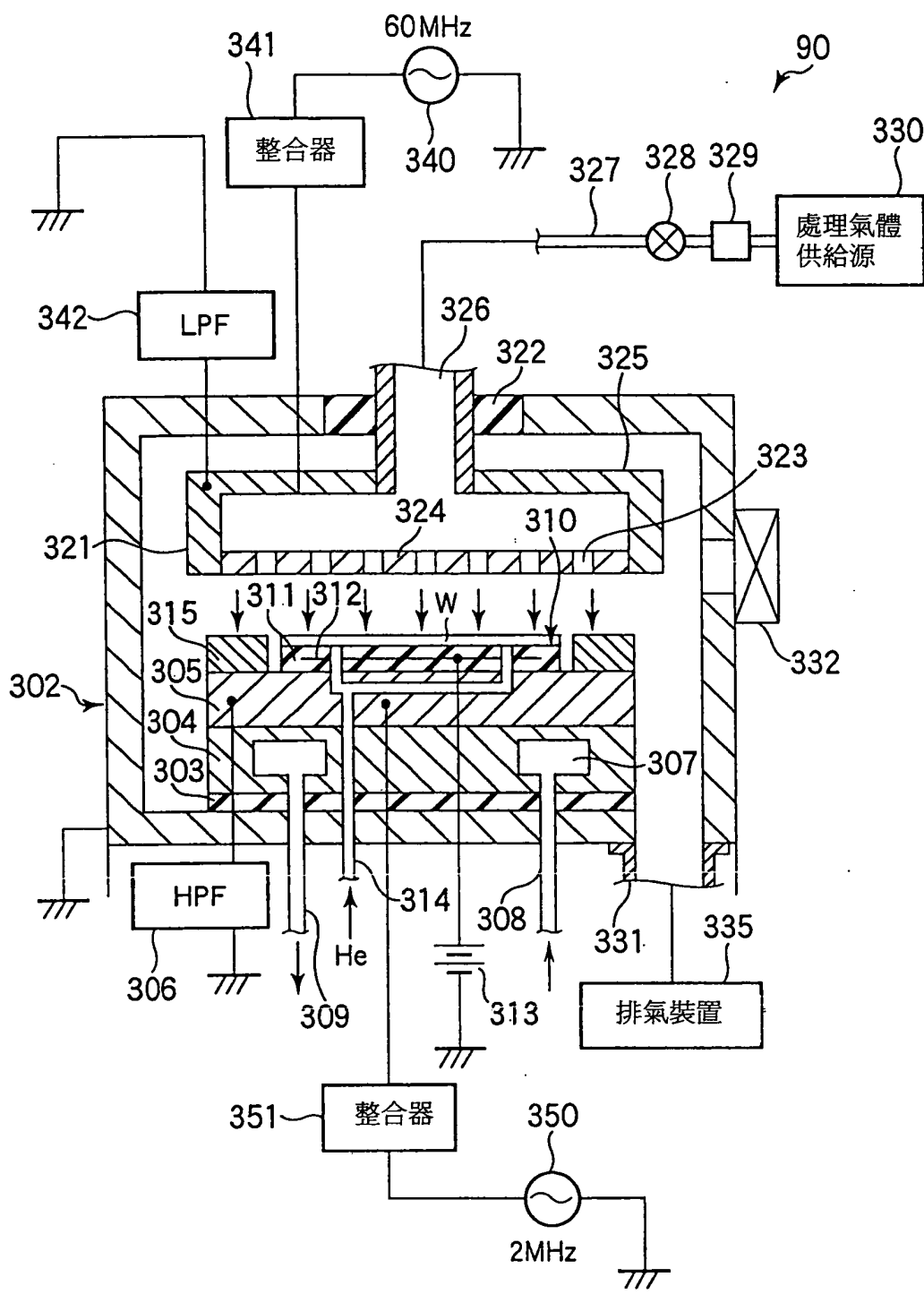
第12圖



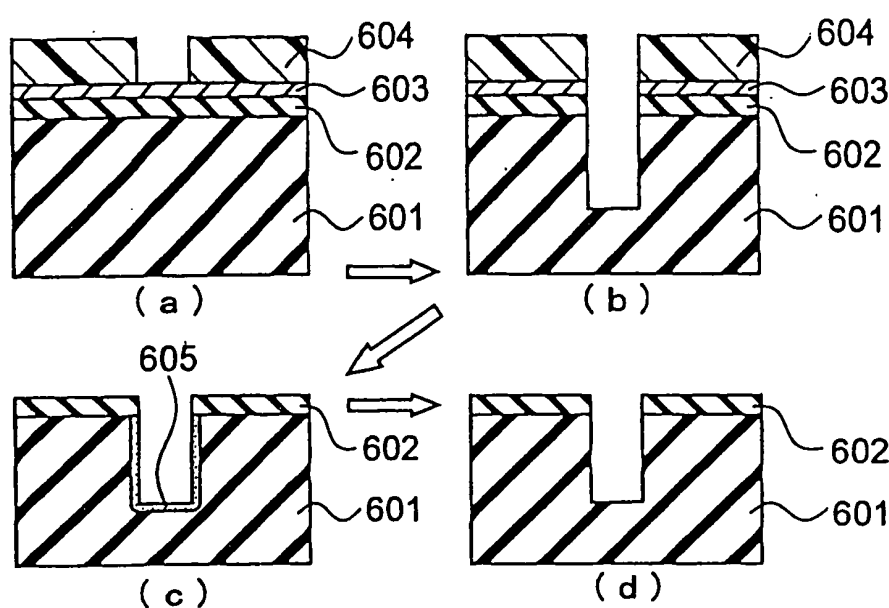
第13圖



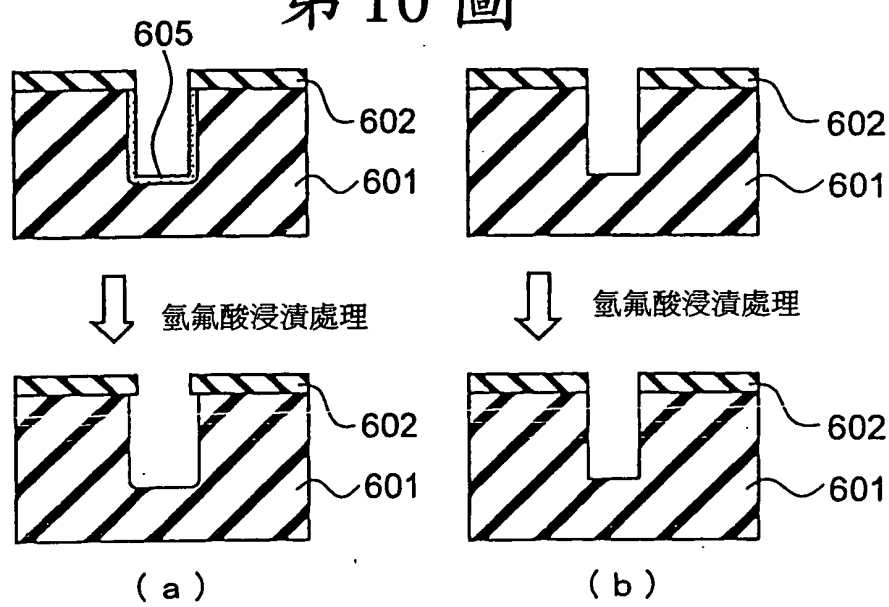
第14圖



第15圖

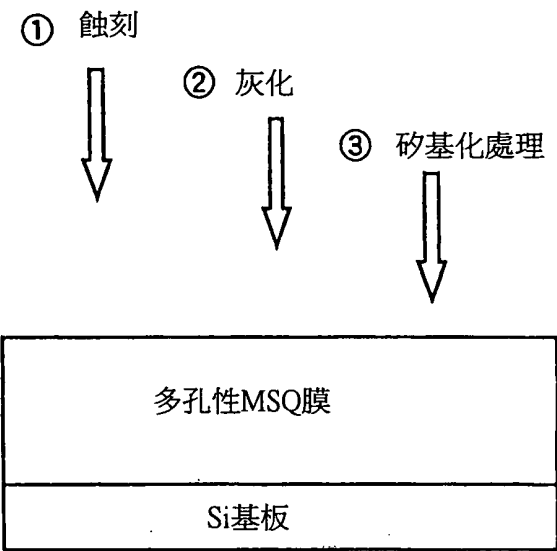


第16圖

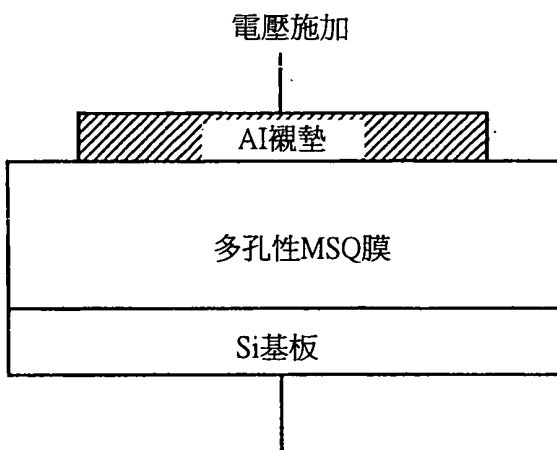


第17圖

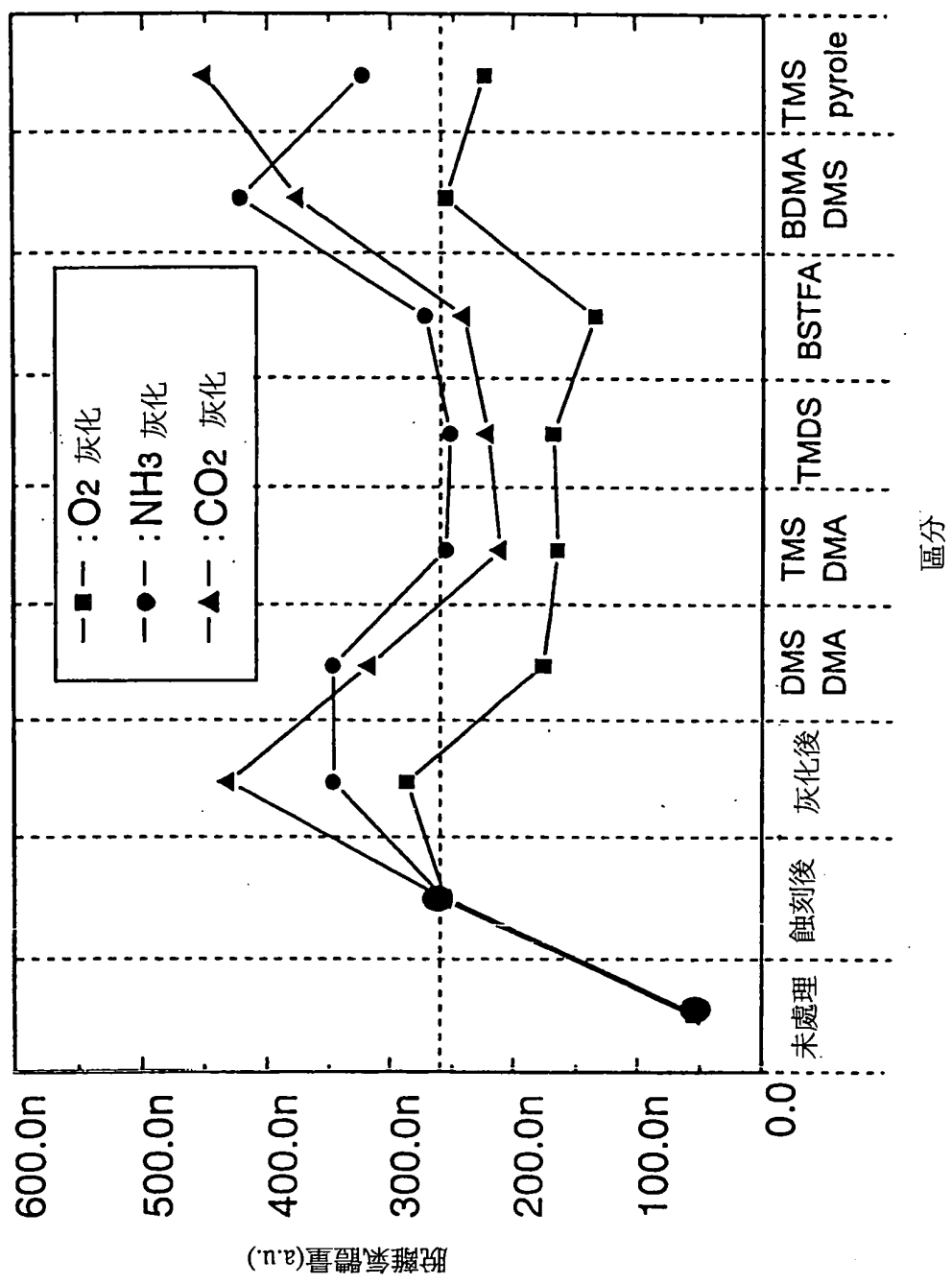
(a)



(b)

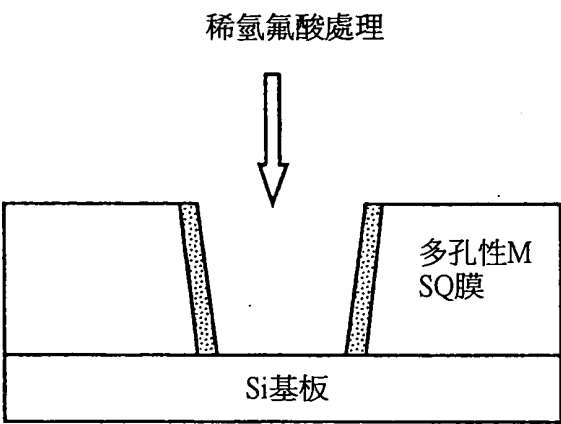


第18圖

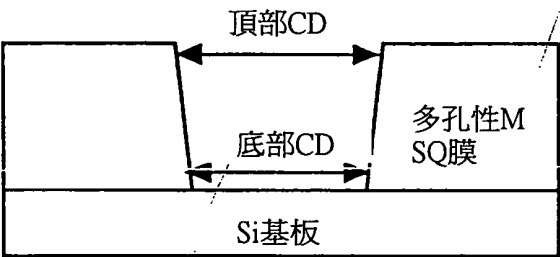


第19圖

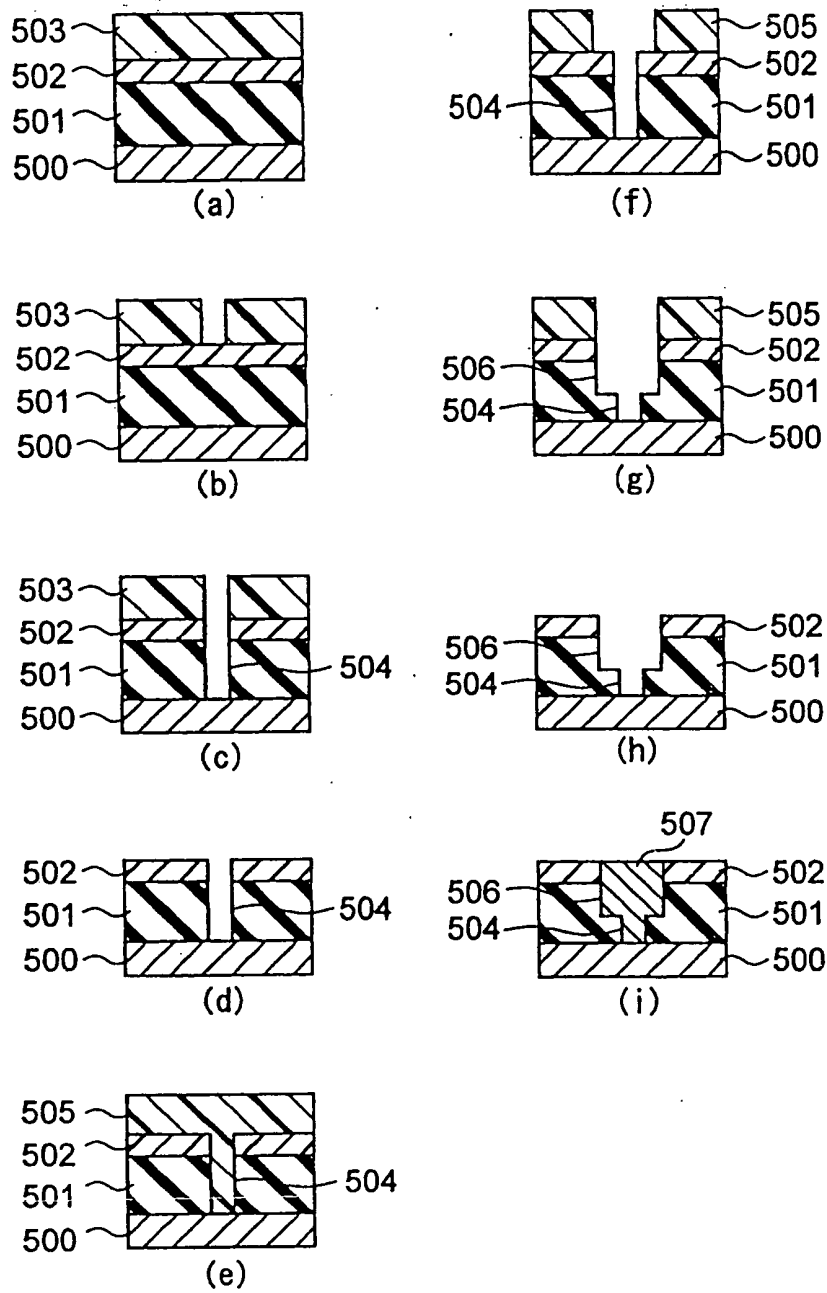
(a)



(b)



第20圖



七、指定代表圖：

(一)、本案指定代表圖為：第 (8) 圖

(二)、本代表圖之元件代表符號簡單說明：

70	絕緣膜
71	障蔽金屬膜
72	下部配線
73	阻止膜
74	層間絕緣膜
75a	反射防止膜
75b	光阻膜
76	金屬
78a	導孔
79a	損傷部
79b	損傷部

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

民國 100 年 1 月 31 日修正

十、申請專利範圍

1. 一種半導體裝置的製造方法，其特徵為具備：

在配設於被處理體上的被蝕刻膜上，形成具有特定的開口圖形的蝕刻遮罩的製程、和

於第 1 處理室內，藉由通過前述蝕刻遮罩的前述開口圖形而對前述被蝕刻膜施以蝕刻處理，於前述被蝕刻膜形成溝或孔的製程、和

將前述蝕刻處理後的前述被處理體，在真空氣氛下從前述第 1 處理室搬送至第 2 處理室的製程、和

於前述第 2 處理室內，於前述被蝕刻膜的露出部的前述溝或孔的側面部施以矽烷基化處理的製程，

前述矽烷基化處理工程係具備：為了使吸溼反應產生於前述被蝕刻膜的露出部之前述溝或前述孔的內面，而對前述矽烷基化室內供給水蒸氣，使能夠促進矽烷基化反應之工程。

2. 如申請專利範圍第 1 項所記載的方法，其中，更具備：

於前述矽烷基化處理之前，於前述第 2 處理室內供給水蒸氣，於前述溝或孔的側面部使水分吸附的製程。

3. 如申請專利範圍第 2 項所記載的方法，其中，更具備：

搬運前述被處理體至前述第 2 處理室前，從前述被處

理體上除去前述蝕刻遮罩的製程。

4. 如申請專利範圍第 1 項所記載的方法，其中，前述矽烷基化處理係具備：

供給包含於分子內具有矽氮鍵結(Si—N 鍵結)的化合物之矽烷基化劑於前述第 2 處理室內的製程。

5. 如申請專利範圍第 4 項所記載的方法，其中，前述化合物係具備 TMDS(1,1,3,3 — 四甲基二矽氮烷)或 TMSDMA(二甲基胺基三甲基矽氮烷)。

6. 一種半導體裝置的製造方法，其特徵為具備：

在配設於被處理體上的被蝕刻膜上，形成具有特定的開口圖形的蝕刻遮罩的製程、和

於處理室內，藉由通過前述蝕刻遮罩的前述開口圖形而對前述被蝕刻膜施以蝕刻處理，於前述被蝕刻膜形成溝或孔的製程、和

於前述處理室內，於前述被蝕刻膜的露出部的前述溝或孔的側面部施以矽烷基化處理的製程，

前述矽烷基化處理工程係具備：為了使吸溼反應產生於前述被蝕刻膜的露出部之前述溝或前述孔的內面，而對前述矽烷基化室內供給水蒸氣，使能夠促進矽烷基化反應之工程。

7. 如申請專利範圍第 6 項所記載的方法，其中，更具備：

於前述矽烷基化處理之前，於前述處理室內供給水蒸氣，於前述溝或孔的側面部使水分吸附的製程。

8. 如申請專利範圍第 7 項所記載的方法，其中，更具備：

於前述處理室內供給前，從前述被處理體上除去前述蝕刻遮罩的製程。

9. 如申請專利範圍第 6 項所記載的方法，其中，前述矽烷基化處理係具備：

供給包含於分子內具有矽氮鍵結(Si—N 鍵結)的化合物之矽烷基化劑於前述處理室內的製程。

10. 如申請專利範圍第 9 項所記載的方法，其中，前述化合物係具備 TMDS(1,1,3,3 — 四甲基二矽氮烷)或 TMSDMA(二甲基胺基三甲基矽氮烷)。

11. 一種半導體裝置的製造方法，其特徵為具備：

在配設於被處理體上的被蝕刻膜上，形成具有特定的開口圖形的蝕刻遮罩的製程、和

通過前述蝕刻遮罩的前述開口圖形而於前述被蝕刻膜施以蝕刻處理，於前述被蝕刻膜形成溝或孔的製程、和

於前述蝕刻處理後，藉由於前述蝕刻遮罩施以灰化處理，從前述被處理體上除去前述蝕刻遮罩的製程

於前述灰化處理後，於前述被蝕刻膜的露出部的前述溝或孔的側面部施以矽烷基化處理的製程，

前述矽烷基化處理工程係具備：為了使吸溼反應產生於前述被蝕刻膜的露出部之前述溝或前述孔的內面，而對前述矽烷基化室內供給水蒸氣，使能夠促進矽烷基化反應之工程。

12. 如申請專利範圍第 11 項所記載的方法，其中，前述蝕刻處理、前述灰化處理、及前述矽烷基化處理係於一個處理系統內，前述被處理體不曝露於大氣而連續的進行。

13. 如申請專利範圍第 12 項所記載的方法，其中，前述蝕刻處理及前述灰化處理係在 1 個處理室內進行。

14. 如申請專利範圍第 12 項所記載的方法，其中，前述蝕刻處理、前述灰化處理、及前述矽烷基化處理係在 1 個處理室內進行。

15. 如申請專利範圍第 11 項所記載的方法，其中，在前述灰化處理後且在前述矽烷基化處理前，更具備對前述被處理體施以洗淨處理的製程。

16. 如申請專利範圍第 15 項所記載的方法，其中，前述洗淨處理係具備：

爲了除去前述蝕刻遮罩的殘渣，對前述被處理體供給藥液的製程。

17. 如申請專利範圍第 11 項所記載的方法，其中，在前述灰化處理後且在前述矽烷基化處理前，更具備對前述被處理體供給水蒸氣，於前述溝或孔的側面部使水分吸附的製程。

18. 如申請專利範圍第 11 項所記載的方法，其中，前述矽烷基化處理係具備：

供給包含於分子內具有矽氮鍵結(Si—N 鍵結)的化合物之矽烷基化劑於前述被處理體的製程。

19. 如申請專利範圍第 18 項所記載的方法，其中，前述化合物係具備：TMDs(1,1,3,3-四甲基二矽氮烷)或 TMSDMA(二甲基胺基三甲基矽氮烷)。

20. 如申請專利範圍第 19 項所記載的方法，其中，前述灰化處理係具備：供給包含 O_2 的灰化氣體於前述被處理體的製程。

21. 一種半導體裝置的製造方法，其特徵為具備：
在配設於被處理體上的被蝕刻膜上，形成具有特定的開口圖形的蝕刻遮罩的製程、和

通過前述蝕刻遮罩的前述開口圖形而於前述被蝕刻膜施以蝕刻處理，於前述被蝕刻膜形成溝或孔的製程、和

於前述蝕刻處理後，使用藥液而於前述被處理體施以洗淨處理的製程、和

於前述洗淨處理後，於前述被蝕刻膜的露出部的前述溝或孔的側面部施以矽烷基化處理的製程，

前述矽烷基化處理工程係具備：為了使吸溼反應產生於前述被蝕刻膜的露出部之前述溝或前述孔的內面，而對前述矽烷基化室內供給水蒸氣，使能夠促進矽烷基化反應之工程。

22. 如申請專利範圍第 21 項所記載的方法，其中，前述洗淨處理及前述矽烷基化處理係在 1 個處理室內進行。

23. 一種半導體裝置的製造方法，其特徵為具備：

於配設於被處理體上的蝕刻阻止(etching stopper)膜

上形成層間絕緣膜的製程、和

如到達前述蝕刻阻止膜的，於前述層間絕緣膜形成溝或孔的製程、和

藉由通過前述層間絕緣膜的前述溝或孔而於前述蝕刻阻止膜施以蝕刻處理，除去位於前述溝或孔的底部的前述蝕刻阻止膜的部分的製程、和

於前述蝕刻處理後，於前述層間絕緣膜的露出部的前述溝或孔的側面部施以矽烷基化處理的製程，

前述矽烷基化處理工程係具備：爲了使吸溼反應產生於前述被蝕刻膜的露出部之前述溝或前述孔的內面，而對前述矽烷基化室內供給水蒸氣，使能夠促進矽烷基化反應之工程。

24. 如申請專利範圍第 23 項所記載的方法，其中，於前述層間絕緣膜形成前述溝或孔的製程係具備：

於前述層間絕緣膜上形成具有特定的開口圖形的蝕刻遮罩的製程、和

藉由通過前述蝕刻遮罩的開口圖形而於前述層間絕緣膜施以第 1 蝕刻處理，於前述層間絕緣膜形成溝或孔的製程、和

於前述第 1 蝕刻處理後，由前述被處理體上除去前述蝕刻遮罩的製程；

前述方法係在除去前述蝕刻遮罩的製程、與除去前述蝕刻阻止膜的部分的製程之間，

更具備於前述層間絕緣膜的露出部的前述溝或孔的側

[S1]

面部，施以第 1 矽烷基化處理。

25. 一種半導體裝置的製造系統，其特徵為具備：

收容具有被蝕刻膜、與具有形成於其上的特定的開口圖形的蝕刻遮罩的被處理體的第 1 處理室、和

於前述第 1 處理室內，對於前述被蝕刻膜，藉由通過蝕刻遮罩的開口圖形而施以蝕刻處理，於前述形成被蝕刻膜形成溝或孔的蝕刻機構、和

收容於前述第 1 處理室內處理後的前述被處理體的第 2 處理室、和

於前述第 2 處理室內，於前述被蝕刻膜的露出部的前述溝或孔的側面部，施以矽烷基化處理的矽烷基化機構、和

連接前述第 1 及第 2 處理室的真空搬送路徑、和

配設於前述真空搬送路徑內，為了由前述第 1 處理室向第 2 處理室，搬送前述被處理體的搬送機構，

前述矽烷基化處理機構係具備：為了使吸溼反應產生於前述被蝕刻膜的露出部之前述溝或前述孔的內面，而對前述矽烷基化室內供給水蒸氣，使能夠促進矽烷基化反應之矽烷基化處理機構。

26. 一種半導體裝置的製造系統，其特徵為具備：

收容具有被蝕刻膜、與具有形成於其上的特定的開口圖形的蝕刻遮罩的被處理體的處理室、和

於前述處理室內，對於前述被蝕刻膜，藉由通過蝕刻遮罩的開口圖形而施以蝕刻處理，於前述形成被蝕刻膜形

成溝或孔的蝕刻機構、和

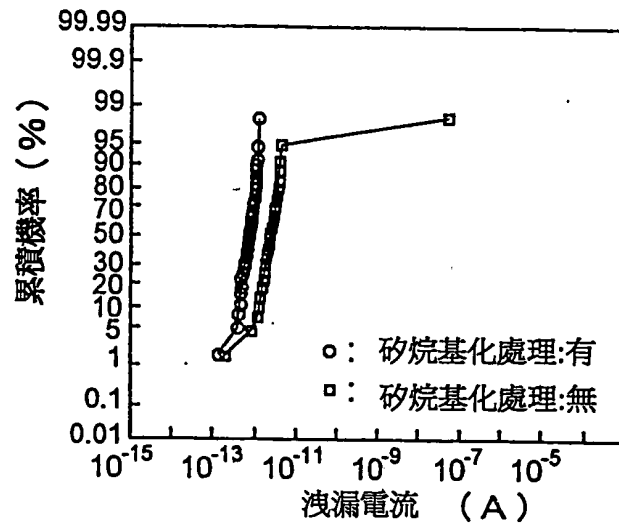
於前述處理室內，於前述被蝕刻膜的露出部的前述溝或孔的側面部，施以矽烷基化處理的矽烷基化機構，

前述矽烷基化處理機構係具備：爲了使吸溼反應產生於前述被蝕刻膜的露出部之前述溝或前述孔的內面，而對前述矽烷基化室內供給水蒸氣，使能夠促進矽烷基化反應之矽烷基化處理機構。

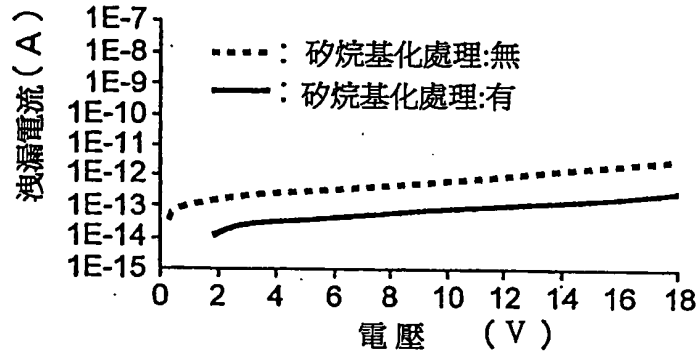
27.一種電腦可讀取的媒體，係包含爲了在處理器(processor)上執行的程式指令，其特徵爲：前述程式指令，係藉由處理器而執行時，如執行於申請專利範圍 1、6、11、21、23 的任一項所記載的製造方法的，控制半導體裝置的製造系統。

第9圖

99年7月8日修正
補充



(a)



(b)