



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2010년02월04일  
(11) 등록번호 10-0940352  
(24) 등록일자 2010년01월27일

(51) Int. Cl.

H01L 21/336 (2006.01) H01L 21/8234 (2006.01)

H01L 29/78 (2006.01)

(21) 출원번호 10-2004-7018365

(22) 출원일자 2002년12월17일

심사청구일자 2007년12월11일

(85) 번역문제출일자 2004년11월13일

(65) 공개번호 10-2004-0106546

(43) 공개일자 2004년12월17일

(86) 국제출원번호 PCT/US2002/040500

(87) 국제공개번호 WO 2003/098685

국제공개일자 2003년11월27일

(30) 우선권주장

10/145,519 2002년05월14일 미국(US)

(56) 선행기술조사문헌

US05576226 A1\*

US06251747 B1\*

US5918116 A

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

어드밴스드 마이크로 디바이시즈, 인코포레이티드  
미국 캘리포니아 94088-3453 서니베일 원 에이엠  
디 플레이스 메일 스톱68

(72) 발명자

블러제임스에프.

미국 텍사스 78759 오스틴 인디카 코우브 6908

치코존디.

미국 텍사스 78681 라운드 록 뉴랜드 플레이스  
3602

(74) 대리인

박장원

전체 청구항 수 : 총 20 항

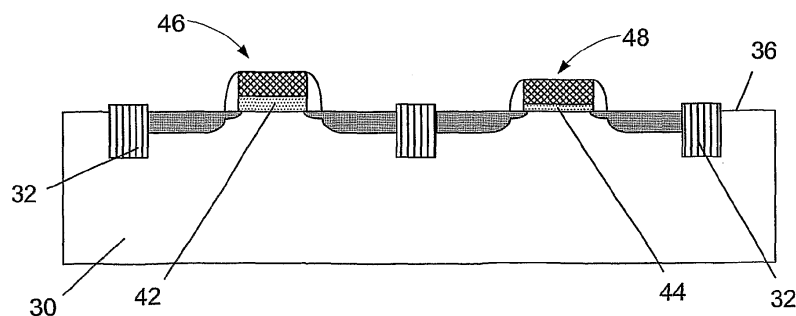
심사관 : 박근용

(54) 서로 다른 두께의 게이트 절연층들을 갖는 트랜지스터의 제조 방법

(57) 요약

예시적인 일 실시예에서, 본 발명의 방법은 실리콘 기판(30) 위에 희생 물질층(34)을 형성하는 단계와; 상기 희생 물질층(34)을 제거하기 위해 습식 식각 공정을 수행하는 단계와; 상기 희생 물질층(34)을 제거한 후, 상기 기판(30)의 선택된 부분들 내에 불소 원자들을 주입하는 단계와; 그리고 상기 기판(30) 위에 복수의 게이트 절연층들(42, 44)을 형성하기 위해 열 산화 공정을 수행하는 단계를 포함하며, 상기 불소가 주입된 상기 기판(30)의 선택된 부분들 위에 형성된 상기 게이트 절연층들(42)은 불소가 주입되지 않은 상기 기판(30)의 부분들 위에 형성된 게이트 절연층들(44) 보다 큰 두께를 갖는다.

대표도 - 도3F



## 특허청구의 범위

### 청구항 1

서로 다른 두께의 게이트 절연층들을 갖는 트랜지스터의 제조 방법으로서,

실리콘 기판 위에 희생 물질층을 형성하는 단계와;

상기 희생 물질층을 제거하기 위해 습식 식각 공정을 수행하는 단계와;

상기 희생 물질층을 제거한 후, 상기 기판의 선택된 부분들 내에 불소 원자들을 주입하는 단계와; 그리고

상기 기판 위에 복수의 게이트 절연층들을 형성하기 위해 열 산화 공정을 수행하는 단계를 포함하며,

상기 기판의 상기 불소가 주입되는 선택된 부분들 위에 형성되는 상기 게이트 절연층들은 불소가 주입되지 않은 상기 기판의 부분들 위에 형성되는 게이트 절연층들 보다 큰 두께를 갖는 것을 특징으로 하는 서로 다른 두께의 게이트 절연층들을 갖는 트랜지스터의 제조 방법.

### 청구항 2

제 1 항에 있어서,

상기 실리콘 기판 위에 희생 물질층을 형성하는 단계는 상기 실리콘 기판 위에 실리콘 이산화물로 된 희생 물질층을 형성하는 단계를 포함하는 것을 특징으로 하는 서로 다른 두께의 게이트 절연층들을 갖는 트랜지스터의 제조 방법.

### 청구항 3

제 1 항에 있어서,

상기 실리콘 기판 위에 희생 물질층을 형성하는 단계는 상기 실리콘 기판 위에 실리콘 이산화물로 된 희생 물질층을 열 성장시키는 단계를 포함하는 것을 특징으로 하는 서로 다른 두께의 게이트 절연층들을 갖는 트랜지스터의 제조 방법.

### 청구항 4

제 1 항에 있어서,

상기 희생 물질층을 제거하기 위해 습식 식각 공정을 수행하는 단계는 상기 희생 물질층을 제거하기 위해 희석된 HF 산을 이용하여 습식 식각 공정을 수행하는 단계를 포함하는 것을 특징으로 하는 서로 다른 두께의 게이트 절연층들을 갖는 트랜지스터의 제조 방법.

### 청구항 5

제 1 항에 있어서,

상기 희생 물질층을 제거한 후 상기 기판의 선택된 부분들 내에 불소 원자들을 주입하는 단계는, 상기 희생 물질층을 제거한 후 상기 기판의 선택된 부분들 내에 불소 원자들을 주입하는 단계를 포함하며, 상기 불소 원자들은  $5 \times 10^{14}$  내지  $5 \times 10^{15}$  ions/cm<sup>2</sup>의 주입량으로 주입되는 것을 특징으로 하는 서로 다른 두께의 게이트 절연층들을 갖는 트랜지스터의 제조 방법.

### 청구항 6

제 1 항에 있어서,

상기 희생 물질층을 제거한 후 상기 기판의 선택된 부분들 내에 불소 원자들을 주입하는 단계는,

상기 기판 위에 패터닝된 포토레지스트 물질층을 형성하는 단계와; 그리고

상기 희생 물질층을 제거한 후, 상기 패터닝된 포토레지스트 물질층을 마스크로서 이용하여 상기 기판 내에 불소 원자들을 주입하는 단계를 포함하는 것을 특징으로 하는 서로 다른 두께의 게이트 절연층들을 갖는 트랜지스터의 제조 방법.

## 청구항 7

제 1 항에 있어서,

상기 기판 위에 복수의 게이트 절연층들을 형성하기 위해 열 산화 공정을 수행하는 단계-여기서, 상기 기판의 상기 불소가 주입되는 선택된 부분들 위에 형성되는 상기 게이트 절연층들은 불소가 주입되지 않은 상기 기판의 부분들 위에 형성되는 게이트 절연층들 보다 큰 두께를 갖는다는, 상기 기판 위에 복수의 게이트 절연층들을 형성하기 위해 열 산화 공정을 수행하는 단계를 포함하고, 여기서 상기 기판의 상기 불소가 주입되는 선택된 부분들 위에 형성되는 상기 게이트 절연층들은 불소가 주입되지 않은 상기 기판의 부분들 위에 형성되는 게이트 절연층들 보다 큰 두께를 가지며, 상기 두께 차이는 0.1-1.0nm인 것을 특징으로 하는 서로 다른 두께의 게이트 절연층들을 갖는 트랜지스터의 제조 방법.

## 청구항 8

제 1 항에 있어서,

상기 복수의 게이트 절연층들 각각 위에 게이트 전극 구조를 형성하는 단계를 더 포함하는 것을 특징으로 하는 서로 다른 두께의 게이트 절연층들을 갖는 트랜지스터의 제조 방법.

## 청구항 9

제 1 항에 있어서,

상기 열 산화 공정을 수행하는 단계는 600-1000℃의 온도에서 열 산화 공정을 수행하는 단계를 포함하는 것을 특징으로 하는 서로 다른 두께의 게이트 절연층들을 갖는 트랜지스터의 제조 방법.

## 청구항 10

서로 다른 두께의 게이트 절연층들을 갖는 트랜지스터의 제조 방법으로서,

실리콘 기판 위에 실리콘 이산화물의 희생 물질층을 형성하는 단계와;

상기 희생 물질층을 제거하기 위해 희석된 HF 산을 이용하여 습식 식각 공정을 수행하는 단계와;

상기 실리콘 이산화물의 희생 물질층을 제거한 후, 상기 기판의 선택된 부분들 내에 불소 원자들을 주입하는 단계와; 그리고

상기 기판 위에 복수의 게이트 절연층들을 형성하기 위해 열 산화 공정을 수행하는 단계를 포함하며,

여기서, 상기 기판의 상기 불소가 주입되는 선택된 부분들 위에 형성되는 상기 게이트 절연층들은 불소가 주입되지 않은 상기 기판의 부분들 위에 형성되는 게이트 절연층들 보다 큰 두께를 갖는 것을 특징으로 하는 서로 다른 두께의 게이트 절연층들을 갖는 트랜지스터의 제조 방법.

## 청구항 11

제 10 항에 있어서,

실리콘 기판 위에 실리콘 이산화물의 희생 물질층을 형성하는 단계는 상기 실리콘 기판 위에 실리콘 이산화물의 희생 물질층을 열 성장시키는 단계를 포함하는 것을 특징으로 하는 서로 다른 두께의 게이트 절연층들을 갖는 트랜지스터의 제조 방법.

## 청구항 12

제 10 항에 있어서,

상기 희생 물질층을 제거한 후, 상기 기판의 선택된 부분들 내에 불소 원자들을 주입하는 단계는, 상기 희생 물질층을 제거한 후 상기 기판의 선택된 부분들 내에 불소 원자들을 주입하는 단계를 포함하며, 상기 불소 원자들은  $5 \times 10^{14}$  내지  $5 \times 10^{15}$  ions/cm<sup>2</sup>의 주입량으로 주입되는 것을 특징으로 하는 서로 다른 두께의 게이트 절연층들을 갖는 트랜지스터의 제조 방법.

## 청구항 13

제 10 항에 있어서,

상기 희생 물질층을 제거한 후, 상기 기판의 선택된 부분들 내에 불소 원자들을 주입하는 단계는,

상기 기판 위에 패터닝된 포토레지스트 물질층을 형성하는 단계와; 그리고

상기 희생 물질층을 제거한 후, 상기 패터닝된 포토레지스트 물질층을 마스크로서 이용하여 상기 기판 내에 불소 원자들을 주입하는 단계를 포함하는 것을 특징으로 하는 서로 다른 두께의 게이트 절연층들을 갖는 트랜지스터의 제조 방법.

#### 청구항 14

제 10 항에 있어서,

상기 기판 위에 복수의 게이트 절연층들을 형성하기 위해 열 산화 공정을 수행하는 단계-여기서, 상기 기판의 상기 불소가 주입되는 선택된 부분들 위에 형성되는 상기 게이트 절연층들은 불소가 주입되지 않은 상기 기판의 부분들 위에 형성되는 게이트 절연층들 보다 큰 두께를 갖는다는, 상기 기판 위에 복수의 게이트 절연층들을 형성하기 위해 열 산화 공정을 수행하는 단계를 포함하며, 여기서 상기 기판의 상기 불소가 주입되는 선택된 부분들 위에 형성되는 상기 게이트 절연층들은 불소가 주입되지 않은 상기 기판의 부분들 위에 형성되는 게이트 절연층들 보다 큰 두께를 가지며, 상기 두께 차이는 0.1-1.0nm인 것을 특징으로 하는 서로 다른 두께의 게이트 절연층들을 갖는 트랜지스터의 제조 방법.

#### 청구항 15

제 10 항에 있어서,

상기 복수의 게이트 절연층들 각각 위에 게이트 전극 구조를 형성하는 단계를 더 포함하는 것을 특징으로 하는 서로 다른 두께의 게이트 절연층들을 갖는 트랜지스터의 제조 방법.

#### 청구항 16

제 10 항에 있어서,

상기 열 산화 공정을 수행하는 단계는 600-1000℃의 온도에서 열 산화 공정을 수행하는 단계를 포함하는 것을 특징으로 하는 서로 다른 두께의 게이트 절연층들을 갖는 트랜지스터의 제조 방법.

#### 청구항 17

서로 다른 두께의 게이트 절연층들을 갖는 트랜지스터의 제조 방법으로서,

실리콘 기판 위에 실리콘 이산화물의 희생 물질층을 열 성장시키는 단계와;

상기 희생 물질층을 제거하기 위해 희석된 HF 산을 이용하여 습식 식각 공정을 수행하는 단계와;

상기 기판 위에 패터닝된 포토레지스트 물질층을 형성하는 단계와;

상기 희생 물질층을 제거한 후, 상기 패터닝된 포토레지스트 물질층을 마스크로서 이용하여 상기 기판 내에 불소 원자들을 주입하는 단계; 그리고

상기 기판 위에 복수의 게이트 절연층들을 형성하기 위해 열 산화 공정을 수행하는 단계를 포함하며,

여기서, 상기 기판의 상기 불소가 주입되는 선택된 부분들 위에 형성되는 상기 게이트 절연층들은 불소가 주입되지 않은 상기 기판의 부분들 위에 형성되는 게이트 절연층들 보다 큰 두께를 가지며, 상기 두께 차이는 0.1-1.0nm인 것을 특징으로 하는 서로 다른 두께의 게이트 절연층들을 갖는 트랜지스터의 제조 방법.

#### 청구항 18

제 17 항에 있어서,

상기 희생 물질층을 제거한 후, 상기 기판의 선택된 부분들 내에 불소 원자들을 주입하는 단계는, 상기 희생 물질층을 제거한 후 상기 기판의 선택된 부분들 내에 불소 원자들을 주입하는 단계를 포함하며, 여기서 상기 불소 원자들은  $5 \times 10^{14}$  내지  $5 \times 10^{15}$  ions/cm<sup>2</sup>의 주입량으로 주입되는 것을 특징으로 하는 서로 다른 두께의 게이트 절

연층들을 갖는 트랜지스터의 제조 방법.

## 청구항 19

제 17 항에 있어서,

상기 복수의 게이트 절연층들 각각 위에 게이트 전극 구조를 형성하는 단계를 더 포함하는 것을 특징으로 하는 서로 다른 두께의 게이트 절연층들을 갖는 트랜지스터의 제조 방법.

## 청구항 20

제 17 항에 있어서,

상기 열 산화 공정을 수행하는 단계는 600-1000℃의 온도에서 열 산화 공정을 수행하는 단계를 포함하는 것을 특징으로 하는 서로 다른 두께의 게이트 절연층들을 갖는 트랜지스터의 제조 방법.

## 명세서

### 기술 분야

[0001] 본 발명은 일반적으로 반도체 제조 기술에 관한 것으로서, 특히 서로 다른 두께를 갖는 게이트 절연층들을 갖는 트랜지스터의 제조 방법에 관한 것이다.

### 배경 기술

[0002] 반도체 산업에서는, 예를 들어 마이크로프로세서, 메모리 디바이스 등과 같은 집적 회로 디바이스의 동작 속도에 대해 끊임없는 증가가 요구되고 있다. 이는 소비자들이 더욱 더 높은 속도에서 동작하는 컴퓨터 및 전자 디바이스를 요구하기 때문이다. 이와같은 속도 증가에 대한 요구로 인해, 예를 들어 트랜지스터와 같은 반도체 디바이스의 크기가 끊임없이 감소하였다. 즉, 전형적인 전계 효과 트랜지스터(FET)의 구성 요소들, 예를 들어 채널 길이, 접합 깊이, 게이트 절연 두께 등이 감소하였다. 예를 들어, 다른 모든 조건들이 같은 상태에서, 트랜지스터의 채널 길이가 짧아질수록, 트랜지스터가 보다 빨리 동작할 것이다. 따라서, 트랜지스터 및 이러한 트랜지스터들을 포함하는 집적 회로 디바이스들의 전체 속도를 증가시키기 위해 전형적인 트랜지스터의 구성 요소들의 크기 또는 규모의 감소가 끊임없이 요구되고 있다.

[0003] 종래 기술로서, 도 1은 웨이퍼 또는 기판(11)에 제조된 예시적인 트랜지스터(10)를 도시한다. 이 트랜지스터(10)는 게이트 절연층(14), 게이트 전극(16), 측벽 스페이서들(19) 및 소스/드레인 영역들(18)로 이루어진다. 게이트 전극(16)은 임계 치수(게이트 길이)(16A)를 갖는다. 기판(11)에는 또한 트랜치 절연 영역들(17)이 형성된다. 도 1에는 또한, 절연 물질층(21)에 형성된 다수의 전도성 콘택들(15)이 도시되어 있다. 이러한 전도성 콘택들(15)은 소스/드레인 영역들(18)에 대한 전기적인 연결을 제공한다. 구성된 바와 같이, 트랜지스터(10)는 게이트 절연층(14) 바로 아래의 기판(11) 내에 채널 영역(12)을 정의한다. 일반적으로, 기판(11)에는 적절한 도펀트 물질, 예를 들어 NMOS 디바이스들을 위한 붕소 또는 이불화 붕소(boron difluoride)와 같은 P형 도펀트, 또는 PMOS 디바이스들을 위한 비소 또는 인과 같은 N형 도펀트로 도핑된다.

[0004] 기존의 집적 회로 디바이스들의 성능 특성을 증가시키고자 노력함에 있어서, 전형적으로 실리콘 이산화물의 게이트 절연층(14)은 2.0-2.5nm(20-25Å)로 얇게 형성될 수 있으며, 미래에는 그보다 더 감소될 것이다. 이러한 얇은 게이트 절연층(14)은 트랜지스터의 구동 전류를 보다 높게 하여, 트랜지스터의 스위칭 속도를 보다 빠르게 할 수 있다. 하지만, 게이트 절연층(14)의 두께를 상기 설명한 레벨로 감소시키게 되면, 다른 문제들을 야기시킬 수 있다. 예를 들어, 기존의 일부 집적 회로 디바이스들의 동작 전압들에서는, 게이트 전류, 즉 기판(11)과 게이트 전극(16) 간에 전류가 흐를 수 있다. 이러한 게이트 전류는 게이트 절연층(14)의 감소된 두께에 부분적으로 기인한 것으로서, 게이트 전극(16)을 전기적으로 절연시키는 게이트 절연층의 의도된 기능의 수행 능력을 제한하는 경향이 있다. 이러한 게이트 전류는 트랜지스터(10)의 전력 소모를 증가시키고 오프 상태 누설 전류를 증가시킬 수 있기 때문에, 많은 점에서 문제가 될 수 있다.

[0005] 하지만, 기존의 많은 집적 회로 디바이스들, 예를 들어 마이크로프로세서, 주문형 집적 회로(ASIC) 등에서는, 집적 회로 제품의 모든 회로들에 대해 이러한 매우 얇은 게이트 절연층(14)을 다 형성할 필요가 없는 상황들이 있을 수 있다. 예를 들어, 마이크로프로세서와 관련하여, 이 마이크로프로세서 상에는, 완성된 디바이스의 스위칭 속도의 설정과 관련되기 때문에 "임계 경로"의 일부가 아닌 어떠한 회로가 있을 수 있다. 다른 경우들에 있

어서, 마이크로프로세서 상에는, 다른 이유들로 인해 증가된 게이트 절연 두께를 가질 것이 요구되는 어떠한 회로들이 있을 수 있다. 예를 들어, 외부 디바이스들과 인터페이스하는 다양한 입/출력 회로들에 대해서는, 게이트 전류가 과도하게 높아지지 않도록 하기 위해 보다 두꺼운 게이트 절연층(14)을 갖는 것이 바람직하다. 다른 예로서, 집적 회로 디바이스 위에서 많은 양의 플롯 공간(plot space)을 차지하지만, 그럼에도 불구하고, 집적 회로 디바이스의 동작 주파수를 설정하는 것에 관련되기 때문에 임계 경로의 일부가 아닌 어떠한 회로들이 있을 수 있다. 예를 들어, 마이크로프로세서의 경우, 많은 디커플링 캐패시터 회로(decoupling capacitor circuit)들이 있을 수 있는바, 이들은 집적 회로 디바이스 위에서 많은 플롯 공간을 차지하기는 하지만, 성능의 측면에서 마이크로프로세서에 대한 임계 경로의 일부가 아니다. 이러한 상황에서, 디커플링 캐패시터들이 매우 얇은 게이트 절연층을 가지고 제조된다면, 이러한 디커플링 캐패시터 회로들은 전체 디바이스에 대해 게이트 전류를 불필요하게 증가시켜, 상기 설명한 단점들중 일부를 야기시킨다.

[0006] 따라서, 기존의 일부 집적 회로 디바이스들에서, 제조업자들은 집적 회로 디바이스 내의 다양한 회로들에 대해서도 다른 게이트 절연 두께를 갖는 트랜지스터들, 즉 소위 이중 게이트 산화물 회로, 삼중 게이트 산화물 회로를 제조하기 시작했다. 즉, 적어도 일부의 회로들에 대해, 어떠한 트랜지스터들(10)의 게이트 절연층(14)은 매우 얇은 두께로 형성되고, 집적 회로 디바이스의 보다 덜 임계적인 회로들의 다른 트랜지스터들은 보다 두꺼운 게이트 절연층(14)을 갖는다. 예를 들어, 도 2를 참조하여, 제 1 트랜지스터(22)는 비교적 두꺼운 게이트 절연층(22A)을 갖고, 제 2 트랜지스터(24)는 비교적 얇은 게이트 절연층(24A)을 갖는다. 도 2에 도시된 게이트 절연층들(22A, 24A)의 상대적인 두께는 명확성 및 설명의 목적으로 과장된 것이다. 상기 설명한 바와 같이, 트랜지스터(24)는 성능의 측면에서 집적 회로 디바이스의 임계 경로의 일부를 형성하고, 트랜지스터(22)는 이러한 임계 경로 내에 있지 않거나, 또는 다른점에서 트랜지스터(22)에 대해 비교적 두꺼운 게이트 절연층(22A)을 제공하는 것이 중요할 수 있다. 즉, 이는 집적 회로 제품의 입/출력 회로의 일부가 될 수 있다.

[0007] 도 2에 도시된 트랜지스터들(22, 24)을 형성하는 하나의 예시적인 공정 흐름은 다음과 같다. 먼저, 기판(11)에 트렌치 절연 영역들(17)을 형성한다. 이후, 기판(11)의 표면에 희생 산화물층(미도시)을 증착 또는 열 성장시킨다. 다음으로, 기판(11) 위에 패터닝된 포토레지스트층(미도시)을 형성한다. 이 패터닝된 포토레지스트층은, 도 2에 도시된 트랜지스터(22)와 같이 증가된 게이트 절연 두께를 갖는 트랜지스터들을 형성하고자 하는 기판(11)의 선택된 부분들을 노출시키는 데에 이용된다. 마스크층을 형성한 후, 이온 주입 공정을 수행함으로써, 패터닝된 마스크층에 의해 노출된 기판(11)의 부분들 내에 희생 산화물을 통해 불소 원자들을 주입한다. 이후, 패터닝된 포토레지스트 마스크층을 제거한다. 그런 다음, 트랜지스터 디바이스들(22, 24)의 게이트 절연층들(22A, 24A)을 형성하기 전에, 습식 식각 공정, 전형적으로 HF 산을 이용한 습식 식각 공정을 이용하여 희생 산화물을 제거하고, 일반적으로 기판(11)을 세정한다. 이후, 열 산화 공정을 수행하여 도 2에 도시된 게이트 절연층들(22A, 24A)을 형성한다. 기판(11) 내에 불소가 주입된 영역들에 형성된 게이트 절연층들이 보다 두꺼운데, 이는 주입된 불소 원자들이 실리콘 기판(11)의 산화 속도를 높이기 때문이다. 게이트 절연층들(22A, 24A)을 형성한 후에는, 트랜지스터들(22, 24)을 형성하기 위한 전형적인 공정 동작들을 계속하여 수행한다.

[0008] 유감스럽게도, 상기 설명한 공정 흐름은 문제들을 발생시킨다. 예를 들어, 희생 산화물층을 제거하기 위해 수행하는 식각 공정, 즉 상기 설명한 HF 산을 이용한 식각 공정 동안, (희생 산화물층을 통해 수행했던) 불소 주입 공정에 이전에 노출되었던 트렌치 절연 영역들(17)이 불소 주입 공정에 노출되지 않은 트렌치 절연 영역들(17)보다 빠른 속도로 식각되는 경향이 있다. 결과로서, 도 2에 도시된 바와 같이, 불소 주입된 트렌치 절연 영역들(17), 즉 트랜지스터(22)와 관련된 절연 영역들이, 희생 산화물층을 제거하기 위해 이용하는 습식 식각 공정 동안 과식각되는 경향이 있다. 결과적으로, 영향을 받은 절연 영역들(17)에 인접한 기판(11)의 부분들(23)이 노출될 수 있다. 이러한 기판(11)의 노출된 부분들은 많은 점에서 문제가 될 수 있다. 예를 들어, 디바이스의 성능을 저하시킬 수 있다.

### 발명의 상세한 설명

[0009] 본 발명은 상기 문제들중 일부 또는 전부를 해결하거나 또는 적어도 감소시키는 방법에 관한 것이다.

[0010] 본 발명은 일반적으로 서로 다른 게이트 절연 두께를 갖는 트랜지스터의 제조 방법에 관한 것이다. 예시적인 일 실시예에서, 본 발명의 방법은 실리콘 기판 위에 희생 물질층을 형성하는 단계와; 상기 희생 물질층을 제거하기 위해 습식 식각 공정을 수행하는 단계와; 상기 희생 물질층을 제거한 후, 상기 기판의 선택된 부분들 내에 불소 원자들을 주입하는 단계와; 그리고 상기 기판 위에 다수의 게이트 절연층들을 형성하기 위해 열 산화 공정을 수행하는 단계를 포함하며, 상기 불소 주입된 기판의 선택된 부분들 위에 형성된 상기 게이트 절연층들은 불소가 주입되지 않은 기판의 부분들 위에 형성된 게이트 절연층들 보다 큰 두께를 갖는다.



## 실시예

- [0017] 이하, 본 발명의 예시적인 실시예들에 대해 설명한다. 명확성을 위해, 본원에서는 실제 구현의 모든 특징들을 모두 설명하지는 않는다. 물론, 주목할 사항으로서, 이러한 모든 실제 실시예의 개발시, 예를 들어 시스템 관련 제약 및 사업 관련 제약을 따르는 것과 같이, 개발자의 특정한 목표들을 달성하기 위해서는, 구현마다 특정한 다양한 결정들이 이루어져야 하는바, 이는 구현마다 달라질 것이다. 또한, 주목할 사항으로서, 이러한 개발 노력은 복잡하고 시간 소모적이지만, 그럼에도 불구하고 본원의 개시의 이득을 갖는 당업자들에게는 일상적인 작업이다.
- [0018] 이제, 첨부 도면들을 참조하여 본 발명에 대해 설명한다. 도면들에서는 반도체 디바이스의 다양한 영역들 및 구조들이 매우 정확하고 뚜렷한 구성들 및 프로파일들을 갖는 것으로서 도시되었지만, 당업자라면 실제로 이러한 영역들 및 구조들이 도면들에 나타난 것과 정확히 같지 않다는 것을 알 수 있을 것이다. 또한, 도면들에 도시된 다양한 피쳐(feature)들 및 도핑 영역들의 상대적인 크기는 제조된 디바이스들 상의 이러한 피쳐들 또는 영역의 크기와 비교하여 확대되거나 또는 축소될 수 있다. 그럼에도 불구하고, 첨부 도면들은 본 발명의 예들을 묘사 및 설명하기 위해 포함된 것이다. 본원에서 이용되는 단어들 및 구들은 당업자들이 가지고 있는 이러한 단어들 및 구들에 대한 지식과 일치하는 의미를 갖는 것으로 이해 및 해석되어야 한다. 본원에서 어떠한 용어 또는 구를 일관되게 이용한다고 해서, 이러한 용어 및 구에 대한 어떠한 특별한 정의, 즉 당업자에 의해 이해되는 일상적이고 통상적인 의미와 다른 어떠한 특별한 정의를 포함하는 것은 아니다. 어떠한 용어 또는 구가 특별한 의미, 즉 당업자에게 이해되는 것과 다른 의미를 갖는 것으로 의도되는 정도까지, 이러한 특별한 정의는 이 용어 또는 구에 대한 특별한 정의를 직접적이고 명확하게 제공하는 정의 방식으로 명세서에서 명백히 설명할 것이다.
- [0019] 일반적으로, 본 발명은 서로 다른 두께의 게이트 절연층들을 갖는 트랜지스터들의 제조 방법에 관한 것이다. 본 발명이 처음에 예시적인 NMOS 트랜지스터의 제조 환경에서 설명되기는 하지만, 당업자라면 본 명세서를 완전히 읽은 후 본 발명이 NMOS 트랜지스터에만 한정되지 않는다는 것을 이해할 수 있을 것이다. 보다 특정하게, 본 발명은 다양한 기술들, 예를 들어 NMOS, PMOS, COMS 등과 관련하여 이용될 수 있으며, 다른 타입의 다양한 디바이스들, 예를 들어 메모리 디바이스들, 마이크로프로세서들, 논리 디바이스들 등에 이용될 수 있다. 본 발명은 또한 SOI 기판들 등 위에 집적 회로 디바이스들을 형성하는 환경에서도 이용될 수 있다.
- [0020] 도 3A에 도시한 바와 같이, 반도체 기판(30)에 다수의 절연 영역들(32)을 형성하고, 기판(30)의 표면(36)에 희생 물질층(34)을 형성한다. 도 3A에 도시한 단계들에 앞서서, 다양한 웰 주입들 및 어닐 공정들을 수행하여, NMOS 및 PMOS 디바이스들을 형성하기 위해, 즉 CMOS 응용을 위해 기판(30) 내에 (만일 요구되는 경우) 원하는 웰들을 형성할 수 있다. 절연 영역들(32)은 알려진 다양한 기술들을 이용하여 형성할 수 있다. 예를 들어, 기판(30)에 다수의 트렌치들을 형성한 다음, 실리콘 이산화물과 같은 절연 물질로 채울 수 있다. 유사하게, 희생 물질층(34) 또한 예를 들어 실리콘 이산화물로 구성될 수 있는바, 이는 약 10-20nm(100-200Å)의 두께를 가질 수 있고, 예를 들어 증착, 열 성장 등과 같은 많은 기술들에 의해 형성될 수 있다.
- [0021] 다음으로, 도 3B에 나타난 바와 같이, 완성 디바이스를 위한 게이트 절연층들을 형성하기 전에, 습식 식각 공정을 수행하여 희생 물질층(34)을 제거하고 기판(30)의 표면(36)을 세정한다. 이러한 습식 식각 공정은, 예를 들어 약 10:1의 농도로 희석된 HF 산을 이용하여 수행할 수 있다.
- [0022] 이후, 도 3C에 도시한 바와 같이, 패터닝된 포토레지스트층(양성 또는 음성 물질)(38)을 기판(30)의 표면(36)에 형성한다. 이 패터닝된 포토레지스트층(38)은 다수의 개구부들(39)을 갖는바, 이들을 통해 기판(30)의 영역들이 이후의 공정을 위해 노출된다. 이후, 화살표(40)로 나타난 이온 주입 공정을 수행하여, 패터닝된 마스크층(38)에 의해 드러난 기판(30)의 부분들 내에 불소 원자들을 주입한다. 이러한 불소 원자들의 주입량은 상기 불소 원자들이 주입되는 영역들의 기판(30) 위에 형성될 게이트 절연층들의 요구되는 두께에 따라 달라질 것이다. 일반적으로, 약  $5 \times 10^{14}$  내지  $5 \times 10^{15}$  이온/cm<sup>2</sup>의 주입량을 이용하여 이온 주입 공정(40)을 수행할 수 있다. 이러한 이온 주입 공정에 의해, 영역(33)으로 나타난 바와 같이 기판(30) 내에 불소 원자들이 주입된다. 주목할 사항으로서, 이러한 이온 주입 공정(40)은, 습식 식각 또는 스트리핑(stripping) 공정, 예를 들어 희석된 HF 산을 이용한 습식 식각 공정을 수행하여 희생 물질층(34)을 제거한 후에 이루어질 수 있다.
- [0023] 다음으로, 도 3D에 나타난 바와 같이, 패터닝된 포토레지스트층(38)을 제거하고 기판(30)의 표면(36)을 세정한다. 이러한 포토레지스트 물질의 제거는 다양한 기술들, 예를 들어 산소(O<sub>2</sub>) 플라즈마 애싱(ashing) 공정을 수행한 다음, 희석된 황산(deluted sulfuric acid)을 이용한 습식 린스(rinse) 공정을 수행하여 달성할 수 있다.

주목할 사항으로서, 본원에서 설명되는 공정 흐름에서는, 기판(30)의 노출된 부분들 및 노출된 절연 구조들(32) 내에 불소 원자들을 주입하는 불소 주입 단계(40) 이전에, 희생 물질층(34)을 제거한다. 이는, 절연 영역들을 불소 주입 공정에 노출시킨 후에 희생 물질층(34)을 제거함으로써 영향을 받은(즉, 불소가 주입된) 절연 영역들의 식각 속도가 높아졌었던 종래 기술의 공정 흐름과 대조적이다. 이러한 새로운 공정 흐름의 결과로서, 절연 영역들(32)의 무결성(integrity)이 보다 우수하게 유지될 수 있고, 절연 영역들(32)에 인접하는 기판(30) 부분들의 원치않는 노출을 피할 수 있게 된다. 즉, 본 발명은 도 2에 도시한 기판의 노출된 부분들(23)을 감소시키거나 또는 없애는 데에 이용될 수 있다.

[0024] 이후, 도 3E에 나타난 바와 같이, 약 600-1000℃의 온도에서 열 산화 공정을 수행하여 게이트 절연층(42, 44)을 형성한다. 이 게이트 절연층(42)은 게이트 절연층(44) 보다 약 0.1-1.0nm(1-10 Å) 더 두꺼운 두께를 갖는다. 이와같이 게이트 절연층(42)의 두께가 증가하는 것은 상기 설명한 주입 공정(40) 동안 주입된 불소 원자들의 존재로 인한 것이다. 게이트 절연층들(42, 44)의 두께의 차이는 기판(30) 내에 주입되는 불소의 양에 기초하여 제어할 수 있다. 일반적으로, 주입 공정(40) 동안 기판(30) 내에 보다 많은 불소가 주입될수록, 게이트 절연층(42)과 게이트 절연층(44) 간의 두께 차이가 커진다. 예시적인 일 실시예에서, 게이트 절연층(42)은 약 2.1-3.0nm(21-30 Å)의 두께를 갖고, 게이트 절연층(44)은 약 2.0-2.5nm(20-25 Å)의 두께를 갖는다.

[0025] 다음으로, 도 3F에 나타난 바와 같이, 트랜지스터들(46 및 48)의 형성을 완료하기 위한 추가적인 공정을 수행한다. 이러한 공정은 게이트 전극, 측벽 스페이서들 및 소스/드레인 영역들의 형성을 포함한다. 주목할 사항으로서, 본원에서 설명되는 공정 흐름을 이용하게 되면, 불소 원자들이 주입되는 기판(30)의 영역에 인접하는 절연 영역들의 무결성이 유지된다. 즉, 불소 주입 공정(40) 이전에 희생 물질층(34)을 제거한다는 사실로 인해, 절연 영역들이 희생 물질층(34)을 제거하는 데에 이용하는 비교적 적극적인(aggressive) 습식 식각 공정, 예를 들어 HF 산을 이용한 식각 공정에 노출되기 전에 이 절연 영역들 내에 불소를 주입함으로써, 이러한 절연 영역들의 식각율이 높아지지 않게 된다. 결과적으로, 절연 영역들의 무결성이 손상되지 않고 유지된다.

[0026] 도 4A 및 4B는 본 발명의 효과를 증명하는 다양한 테스트 데이터의 플롯들이다. 도 4A는 기생 필드 트랜지스터의 임계 전압의 플롯이다. 도 4B는 액티브/STI 에지 게이트 산화물 캐패시터들에 대한 게이트 전류의 플롯이다. 두 플롯들에서는, 3개의 라인들이 확인된다. 라인(50)은 본원의 배경 기술 부분에서 설명한 종래 기술에 따라 형성된 디바이스들에 대한 데이터를 나타낸다. 즉, 라인(50)은 절연 영역들이 불소 주입 공정에 노출된 다음 식각 공정에 노출되는 디바이스들을 나타낸다. 라인(52)은 개시된 본 발명의 방법에 따라 제조된 디바이스들에 대응한다. 라인(54)은 불소 주입이 전혀 수행되지 않은 디바이스들을 나타낸다.

[0027] 도 4A와 관련하여, 기생 필드 트랜지스터의 임계 전압이 높을 수록, 보다 우수하다. 도 4A에 나타난 바와 같이, 중간값(56)에서, 샘플 모집단(sampled universe)에 대한 임계 전압은 종래 기술에 따라 제조된 디바이스들에 대해서는 약 9.2V(플롯 50)이고, 본 발명에 따라 제조된 디바이스들에 대해서는 약 10.8V(플롯 52)이며, 그리고 어떠한 이중 게이트 산화물 주입 단계도 수행하지 않은 디바이스들에 대해서는 11.2V(플롯 54)이다. 플롯 50(종래 기술)과 비교하여 플롯 52(본 발명)의 임계 전압이 상대적으로 더 높다는 것은, 본원에 개시된 공정을 이용하여 이중 게이트를 형성하게 되면, 절연 영역들을 덜 소모하고 덜 부식시킨다는 것을 의미한다.

[0028] 유사하게, 중간값(56)에서, 액티브/STI 에지 집중 게이트 산화물 캐패시터들의 게이트 전류는 종래 기술의 공정 흐름에 따라 형성된 디바이스들과 비교하여 본 발명에 따라 형성된 디바이스들에 대해서 더 낮다. 즉, 도 4B에 나타난 바와 같이, 중간값(56)에서, 본 발명에 따라 형성된 디바이스들의 게이트 전류는 약  $1e^{-4} \text{ A/cm}^2$ 이고(플롯 52), 종래 기술의 공정에 따라 형성된 디바이스들의 게이트 전류는 약  $0.13 \text{ A/cm}^2$ 이다(플롯 50). 비 이중 게이트 디바이스들에 대한 게이트 전류는  $1e^{-3} \text{ A/cm}^2$  보다 약간 적은 것으로 도시된다(플롯 54). 따라서, 본 발명을 이용하게 되면, 액티브/STI 에지 캐패시터들에 대한 원치않는 게이트 전류가 종래 기술의 공정 흐름에 따라 제조된 디바이스들의 게이트 전류 보다 낮아진다. 이는 이중 게이트 산화물들을 형성하는 데에 본원에 개시된 본 발명의 공정을 이용함으로써 절연 영역들의 부식이 감소된 결과이다.

[0029] 본 발명은 일반적으로 서로 다른 두께를 갖는 게이트 절연층들을 갖는 트랜지스터들을 제조하는 방법에 관련된다. 예시적인 일 실시예에서, 본 발명의 방법은 실리콘 기판 위에 희생 물질층을 형성하는 단계와; 상기 희생 물질층을 제거하기 위해 습식 식각 공정을 수행하는 단계와; 상기 희생 물질층을 제거한 후, 상기 기판의 선택된 부분들 내에 불소 원자들을 주입하는 단계와; 그리고 상기 기판 위에 다수의 게이트 절연층들을 형성하기 위해 열 산화 공정을 수행하는 단계를 포함하며, 상기 불소 주입된 기판의 선택된 부분들 위에 형성된 상기 게이트 절연층들은 불소가 주입되지 않은 기판의 부분들 위에 형성된 게이트 절연층들 보다 큰 두께를 갖는다.



[0030] 상기 개시된 특정한 실시예들은 단지 예시적인 것으로서, 본 발명은 본원의 개시의 이득을 갖는 당업자들에게 명백한 다르지만 등가의 방법들로 변형 및 실행될 수 있다. 예를 들어, 상기 설명된 공정 단계들은 다른 순서로 수행될 수 있다. 또한, 하기의 청구항들에 정의되는 것 외에는, 본원에 개시된 구성 또는 설계의 세부 사항들에 대한 어떠한 한정도 의도되지 않는다. 따라서, 상기 개시된 특정 실시예들은 변경 또는 수정될 수 있으며, 이러한 모든 변경들은 본 발명의 범위 및 정신 내에 있는 것으로 간주된다. 따라서, 본원이 보호를 받고자 하는 바는 하기의 청구항들에서 설명된다.

### 도면의 간단한 설명

[0011] 본 발명은 첨부 도면들을 참조로 한 하기의 상세한 설명으로부터 보다 명확히 이해될 수 있는바, 도면들에서 동일한 참조 부호들은 동일한 요소들을 나타낸다.

[0012] 도 1은 기판 위에 형성된 종래의 예시적인 반도체 디바이스의 단면도이다.

[0013] 도 2는 종래의 예시적인 기술에 따라 형성된 서로 다른 두께의 게이트 절연층들을 갖는 다수의 트랜지스터들을 구비한 예시적인 기판의 단면도이다.

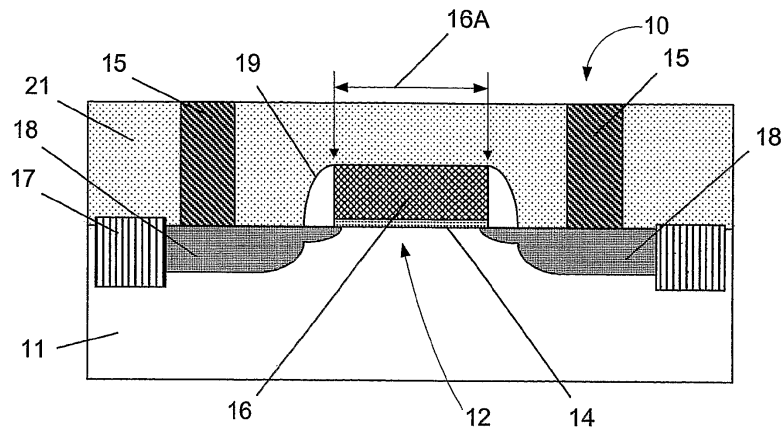
[0014] 도 3A-3F는 본 발명의 예시적인 일 실시예에 따른 방법의 다양한 단면도들이다.

[0015] 도 4A-4B는 본 발명의 효과를 나타내는 다양한 테스트 데이터의 플롯들이다.

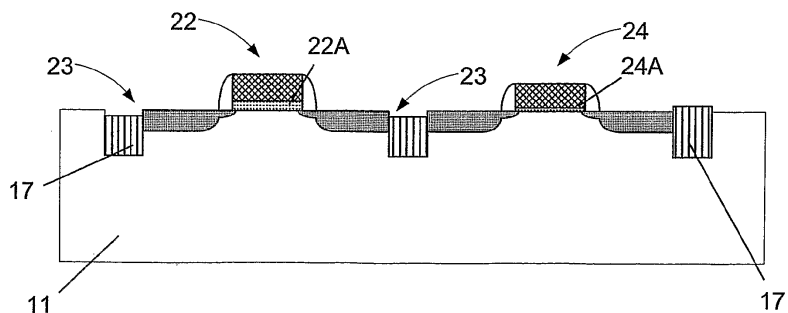
[0016] 본 발명은 많은 변형들 및 대안적인 형태들을 가질 수 있지만, 도면들에는 특정한 실시예들이 도시되어 있으며, 본원에서는 이에 대해 상세히 설명한다. 그러나, 이러한 특정한 실시예들은 본 발명을 개시된 형태들로 한정하지 않으며, 본 발명은 첨부된 청구항들에 의해 정의되는 본 발명의 정신 및 범위 내에 있는 모든 변형들, 등가물 및 대안들을 포함한다.

### 도면

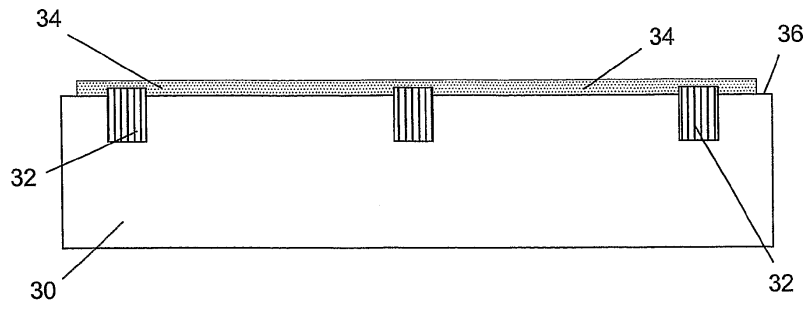
#### 도면1



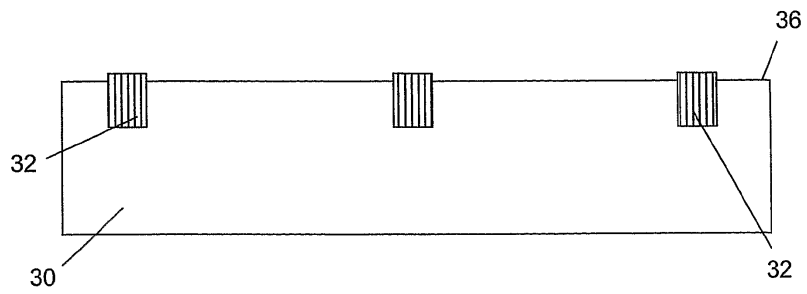
#### 도면2



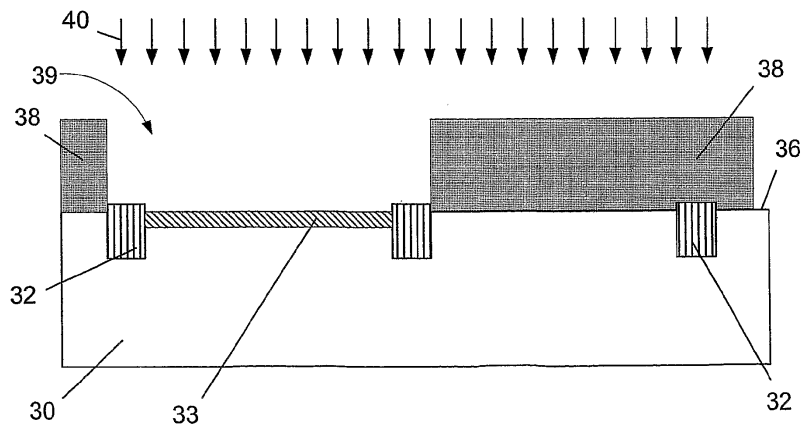
도면3A



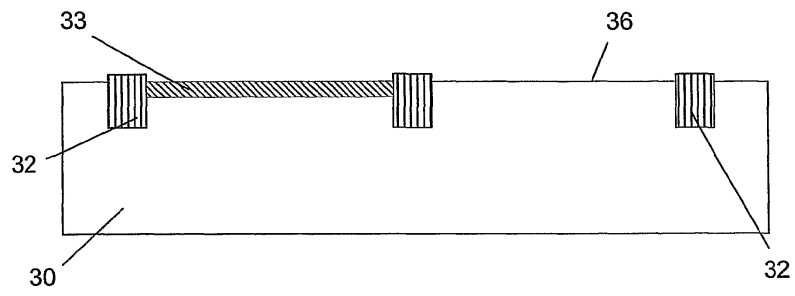
도면3B



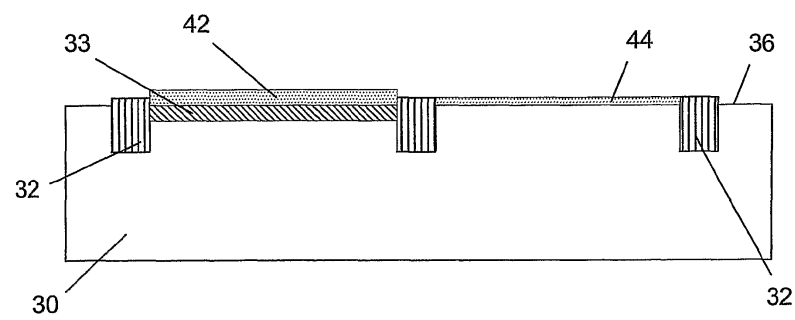
도면3C



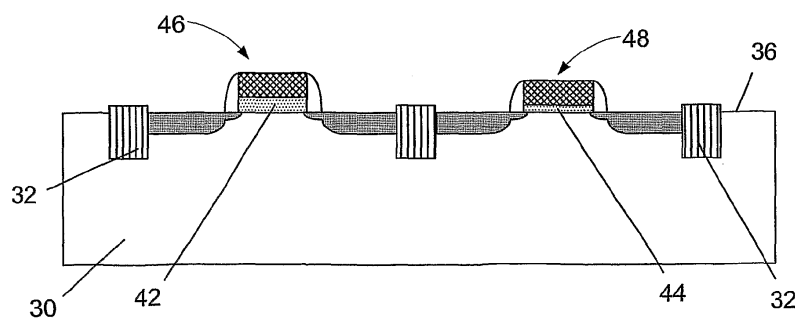
도면3D



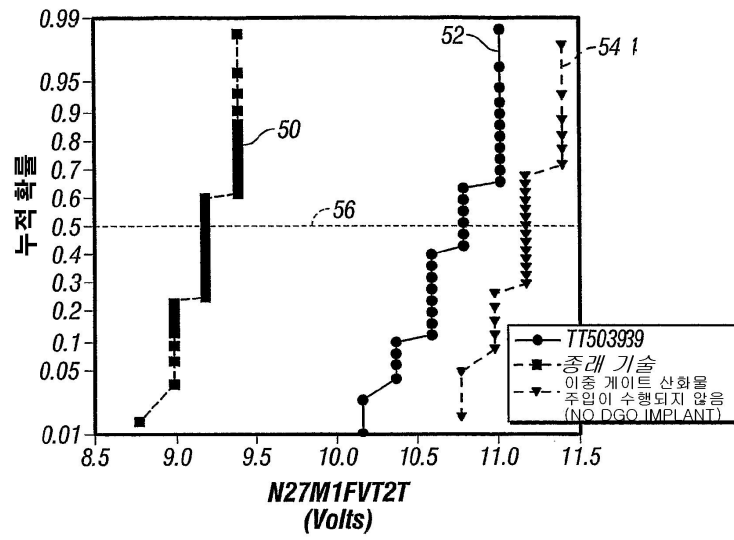
도면3E



도면3F



도면4A



도면4B

