

本案已向

國(地區)申請專利

申請日期

案號

主張優先權

美國 US

2001/04/24 09/841,469

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

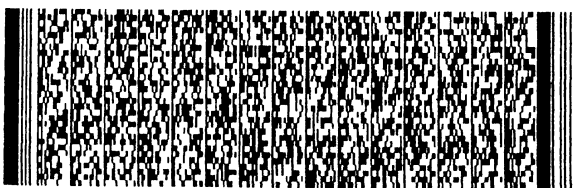
1. 發明領域：

本發明係大致有關電腦系統，尤係有關多個處理器實施虛擬記憶體並存取一共用式記憶體之多處理器系統。

2. 相關技藝說明：

典型的電腦系統包含記憶體階層，以便在較低的成本下得到較高層級的效能。通常係將數個不同軟體程式的指令儲存在一個容量較大但較慢的非揮發性儲存單元（例如磁碟機單元）。當使用者選擇其中一個程式來執行時，即將所選擇程式的指令複製到主記憶體，且處理器（例如中央處理單元（Central Processing Unit；簡稱 CPU））自該主記憶體取得所選擇程式的指令。習知的虛擬記憶體管理技術可讓該處理器存取容量大於該主記憶體容量之各資料結構，其方式是在任何特定的時間上只將該等資料結構的一部分儲存在該主記憶體內。該等資料結構的其餘部分係儲存在該容量較大但較慢的非揮發性儲存單元，而且只有在需要時，才將該等其餘部分複製到該主記憶體。

通常係將該處理器的一位址空間分成多個被稱為頁框（Page frame）或“記憶頁”（“page”）的區段，而實施虛擬記憶。在任何特定時間上，只將對應於該等記憶頁的一部分之資料儲存在該主記憶體內。當該處理器產生特定記憶頁內的位址，且該記憶頁的一份拷貝並未存在於該主記憶體時，即將所需記憶頁的資料自該容量較大但較慢的非揮發性儲存單元複製到該主記憶體。在該程序中，可將另一記憶頁的資料自該主記憶體複製到該非揮發性儲存單

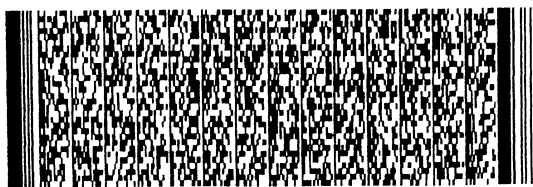
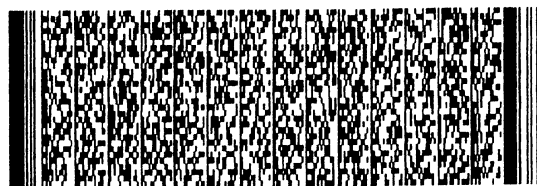


五、發明說明 (2)

元，以便將空間讓給所需的該記憶頁。

常見的處理器架構（例如 80x86 或 "x86" 處理器架構）通常包含專用的硬體元件，用以支援虛擬記憶體的實施。例如，該 x86 處理器架構包含用來支援保護虛擬位址模式（亦即保護模式）之專用硬體元件。此類處理器產生虛擬位址，並採用虛擬至實體位址轉換機構，以便將該等虛擬位址 "對映到" (map) 該主記憶體中各記憶位置之實體位址。該位址轉換機構通常包含被配置而形成一階層的一個或多個資料結構（亦即 "記憶頁表" ("page table")）。通常係將該等記憶頁表儲存在主記憶體中，且係由作業系統軟體（亦即一作業系統）維護該等記憶頁表。最高順序的記憶頁表（亦即 x86 記憶頁目錄）必然 是被放在主記憶體內。可自該儲存單元取得任何額外的記憶頁表，並視需要而將該等額外的記憶頁表儲存在主記憶體中。

通常係將其中包含最高順序的記憶頁表（例如該 x86 記憶頁目錄）的一記憶頁之基址儲存在一暫存器中。該最高順序的記憶頁表包含多個資料項。該等資料項可能是其他記憶頁表之基址，或者是其中包含對應於虛擬位址的實體位址之各記憶頁的基址。當利用多個記憶頁表來執行虛擬至實體位址轉換時，該最高順序的記憶頁表之各資料項是其他記憶頁表之基址。將該處理器產生的一虛擬位址分成多個部分，且係將該等部分用來作為該等記憶頁表之索引。



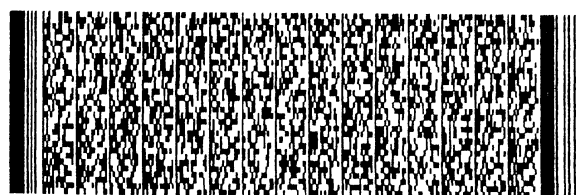
五、發明說明 (3)

最低順序的記憶頁表包含一個資料項，該資料項係用來儲存其中包括對應於虛擬位址的實體位址的記憶頁之基址。將虛擬位址的最低順序之部分或"偏移量"(offset)部分加到該最低順序的記憶頁表的所選擇資料項中之基址，而形成實體位址。

前文所述的虛擬至實體位址轉換機構需要存取主記憶體中的一個或多個記憶頁表(亦即，記憶頁表"查詢lookups"或"索尋walks")。此種記憶頁表存取需要相當長的時間，且對處理器的效能有不好的影響。因此，各處理器通常包含轉換後援緩衝區(Translation Look-aside Buffer; 簡稱 TLB)，用以儲存最近使用的記憶頁表資料項。通常係由作業系統維護 TLB 資料項。設有該 TLB 時，大幅提昇了處理器的效能。

最好是能將虛擬記憶體的效益延伸到包含多個處理器的多處理器系統。此種多處理器系統最好是具有由所有處理器共用的主記憶體。由於所有處理器能夠存取該共用式主記憶體中儲存的指令及資料(亦即"程式碼")，所以無須將程式碼自某一處理器所唯一存取的記憶體複製到另一處理器所唯一存取的另一記憶體。此外，可將該共用式主記憶體的一部分用於程序間通訊。

實施虛擬記憶體且具有共用式主記憶體的多處理器系統出現了數項問題。問題是如何產生並維護虛擬記憶體資料結構(例如記憶頁表)、以及如何協調主記憶體與一個或多個儲存單元間之記憶頁轉移。當多個處理器中的每一



五、發明說明 (4)

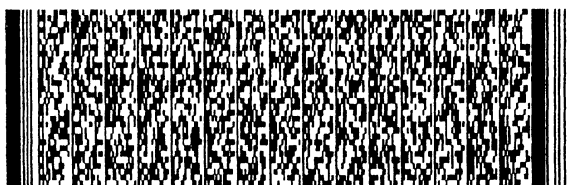
處理器預期會有其本身的效能增強 TLB 時，將會發生在本文中被稱為 "TLB 一致性問題" 的另一項問題。如前文所述，每一記憶頁表資料項對應於該共用式主記憶體中的不同記憶頁。當其中一個處理器以來自儲存單元的記憶頁取代該共用式主記憶體中之記憶頁時，對應於其他處理器中被取代的該記憶頁之各 TLB 資料項會變成無效。一個或多個該等其他處理器可能將其 TLB 中此種無效的記憶頁表資料項用來執行虛擬至實體位址轉換，因而存取了記憶體中錯誤的記憶頁，並且可能在系統作業中產生不正確的結果及（或）其他的錯誤。

此外，為了進一步阻止對主記憶體進行的記憶頁表存取，可將對主記憶體中各記憶頁執行的寫入記錄在該等 TLB 中儲存的 "更動" 位元 ("dirty" bit 不純的，已修改更動的位元)，而無須存取該共用式主記憶體中對應的記憶頁表資料項之更動位元。由於並未檢視其他處理器的 TLB，所以取代共用式主記憶體中的記憶頁之處理器可能並不知道某一其他的處理器先前已寫入被取代的該記憶頁，因而可能不會將被取代的該記憶頁寫回到儲存單元。因此，被取代的該記憶頁中之資料可能不是正確的，因而可能在系統作業中產生不正確的結果及（或）其他錯誤。

本發明係有關一種實施種可解決或至少減輕全部或部分的上述問題的方法之系統。

發明概述：

本發明所揭示的電腦系統包含第一處理器、與該第一

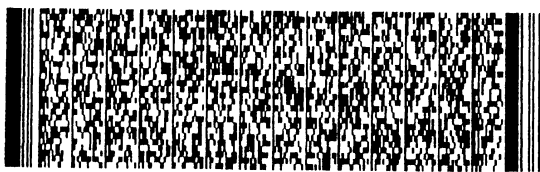
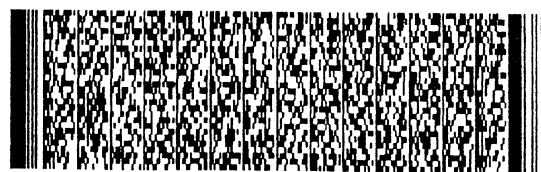


五、發明說明 (5)

處理器通訊的第二處理器、耦合到該第一及第二處理器且包含多個記憶位置之記憶體（亦即共用式記憶體）、以及耦合到該第一處理器之儲存裝置。該第一及第二處理器利用該記憶體實施虛擬記憶體。該第一處理器在該記憶體中維護第一組記憶頁表及第二組記憶頁表，並將該第一組記憶頁表用來存取該記憶體內的該等記憶位置。該第二處理器將該第一處理器所維護的該第二組記憶頁表用來存取該記憶體內的該等記憶位置。

該第一組及第二組記憶頁表可包含至少一個記憶頁表。該第一處理器可使用該第一組記憶頁表，以便將該第一處理器內產生的一虛擬位址轉換為該記憶體內的記憶位置之一對應實體位址。同樣地，該第二處理器可使用該第二組記憶頁表，以便將該第二處理器內產生的虛擬位址轉換為該記憶體內的記憶位置之對應實體位址，且可將該記憶位置的該實體位址用來存取該記憶位置。

該第二組記憶頁表可包含多個記憶頁表資料項。當該記憶體中存在有對應的記憶頁時，可將每一該等記憶頁表資料項用來儲存該對應的記憶頁之基址。該第二處理器可包含緩衝器，該緩衝器包含多個資料項，用以儲存最近使用的各記憶頁表資料項，並記錄該第二處理器寫入該對應的記憶頁之存取情形。在以該儲存裝置中儲存的記憶頁取代該記憶體中存在的記憶頁之前，該第一處理器可先將需要移除該緩衝器中對應於要被取代的該記憶頁的實體位址範圍的任何資料項之訊息通知該第二處理器。

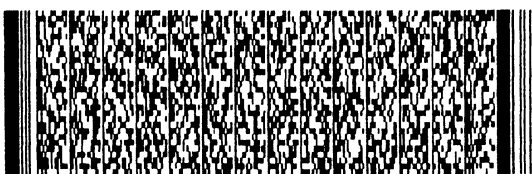
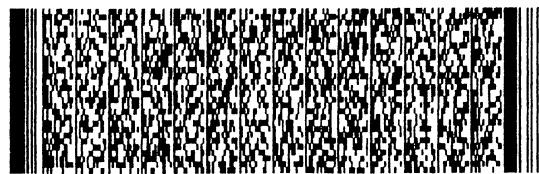


五、發明說明 (6)

本發明說明了一種用於包含第一及第二處理器的電腦系統之虛擬記憶頁取代方法，其中該虛擬記憶頁取代方法被設計成協助維護該多處理器電腦系統內的分頁式記憶體一致性。在一實施例中，該方法包含下列步驟：存取該第二處理器的一組記憶頁表資料項之每一記憶頁表資料項。該組記憶頁表資料項的每一記憶頁表資料項對應於該第二處理器的一組記憶頁之不同記憶頁（亦即頁）。該第二處理器的該組記憶頁之每一記憶頁係被儲存在記憶體中，且係對應於該第一處理器中將要自該記憶體移除的第一記憶頁。該第二處理器的每一記憶頁表資料項包含更動（D）位元，用以指示是否需要將該第二處理器的該對應記憶頁寫入儲存裝置。

標示該組記憶頁表資料項的每一記憶頁表資料項，以便指示該記憶體中並未存在有該第二處理器的該對應記憶頁。例如，可改變該組記憶頁表資料項的每一記憶頁表資料項之一存在（P）位元（例如，"清除"該位元，或將該位元設定為邏輯"0"），以便指示該記憶體中並未存在有該第二處理器的該對應記憶頁。將需要移除該第二處理器的緩衝器中對應於該組記憶頁的記憶頁之任何資料項的訊息通知該第二處理器，其中該緩衝器包含多個資料項，用以儲存最近使用的各記憶頁表資料項。該緩衝器的每一資料項可包含一更動（D）位元，用以指示是否需要將該第二處理器的對應記憶頁寫入該儲存裝置。

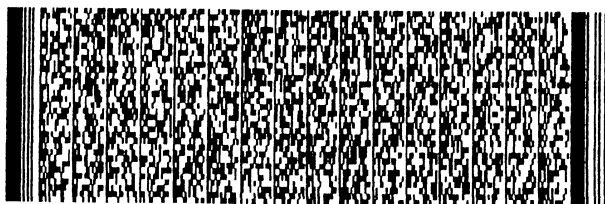
在前文所述的通知該第二處理器之後，執行讀取該組



五、發明說明 (7)

記憶頁表資料項的每一記憶頁表資料項。執行讀取對應於該第一處理器的該第一記憶頁之記憶頁表資料項，其中該記憶頁表資料項包含更動 (D) 位元，用以指示是否需要將第一位元寫入該儲存裝置。如果 (i) 在讀取該組記憶頁表資料項的每一記憶頁表資料項期間所得到的至少一個記憶頁表資料項之更動 (D) 位元指示需要將該第二處理器的該對應記憶頁寫入該儲存裝置，或 (ii) 在讀取該第一處理器的該記憶頁表資料項期間所得到的該記憶頁表資料項之該更動 (D) 位元指示需要將該第一處理器的該第一記憶頁寫入該儲存裝置，則將該第一處理器的該第一記憶頁自該記憶體寫入該儲存裝置。

在其他的實施例中，在前文所述的標示期間，可清除該組記憶頁表資料項的每一記憶頁表資料項之該存在 (P) 位元及該更動 (D) 位元。在這些實施例中，對該組記憶頁表資料項的每一記憶頁表資料項之存取可包括第一讀取作業，且前文所述在該通知之後執行的對該組記憶頁表資料項的每一記憶頁表資料項之讀取可構成第二讀取作業。如果 (i) 在該第一讀取作業期間所得到的至少一個記憶頁表資料項之更動 (D) 位元指示需要將該第二處理器的該對應記憶頁寫入該儲存裝置，或 (ii) 在該第二讀取作業期間所得到的至少一個記憶頁表資料項之更動 (D) 位元指示需要將該第二處理器的該對應記憶頁寫入該儲存裝置，或 (iii) 在讀取該第一處理器的該記憶頁表資料項期間所得到的該記憶頁表資料項之該更動 (D) 位元



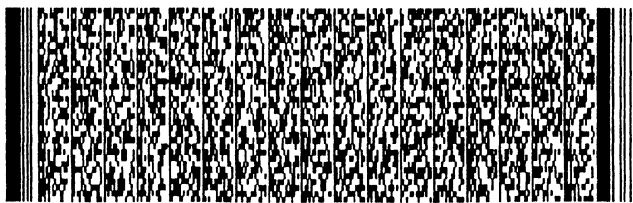
五、發明說明 (8)

指示需要將該第一處理器的該第一記憶頁寫入該儲存裝置，則可將該第一處理器的該第一記憶頁自該記憶體寫入該儲存裝置。

該虛擬記憶頁取代方法可包含以下列步驟回應前文所述的該通知該第二處理器，這些步驟包括：(i) 找出該緩衝器中對應於該組記憶頁的記憶頁之資料項；(ii) 如果對應於該組記憶頁的該記憶頁之該資料項之該更動(D)位元指示需要將該組記憶頁的該記憶頁寫入該儲存裝置，則更新該第二處理器中對應於該組記憶頁的該記憶頁的該記憶頁表資料項之該更動(D)位元，以便指示需要將該組記憶頁的該記憶頁寫入該儲存裝置；以及(iii) 清除對應於該組記憶頁的該記憶頁之該資料項。

前文所述的該通知該第二處理器之該步驟可包含下列步驟：將訊息傳送到該第二處理器，以便指示需要清除該第二處理器的該緩衝器中對應於該組記憶頁的一記憶頁之任何資料項。

該虛擬記憶頁取代方法亦可包含下列步驟：(i) 接收該第二處理器中記憶頁錯誤狀況的指示；以及(ii) 決定必須以該儲存裝置中儲存的該第一處理器之第二記憶頁取代該記憶體中儲存的該第一處理器之第一記憶頁，以便清除該第二處理器中之該記憶頁錯誤狀況。前文所述的接收該指示之該步驟可包含下列步驟：自該第二處理器接收指示該第二處理器中的記憶頁錯誤狀況之訊息。該虛擬記憶頁取代方法亦可包含下列步驟：當已消除該第二處理器



五、發明說明 (9)

中之該記憶頁錯誤狀況時，即將指示記憶頁錯誤狀況消除的訊息傳送到該第二處理器。

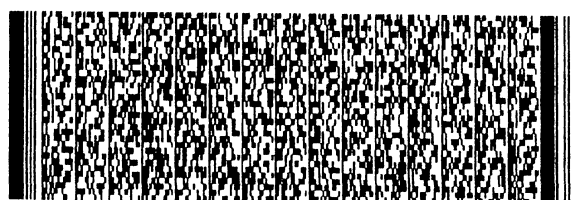
本發明說明了一種承載媒體，該承載媒體包含用來執行該虛擬記憶頁取代方法之程式指令。該承載媒體可以是諸如電腦可讀取的儲存媒體（例如軟碟或一唯讀光碟（CD-ROM））。

雖然本發明易於作出各種修改及替代形式，但是已以圖示舉例之方式示出且詳細說明了本發明的一些特定實施例。然而，我們當了解，本文中對這些特定實施例的說明之用意並非在使本發明限於所揭示的該等特定形式，相反地，其用意在於涵蓋在最後的申請專利範圍所界定的本發明精神及範圍內的所有修改、等效物、及替代方式。

特定實施例之詳細說明：

下文中將說明本發明的一些實施例。為了顧及表達的清晰，本說明書中並未說明一實際實施例的所有特徵。當然，我們當了解，在開發任何此類實際的實施例時，必須作出與實施方式有關的許多決策，以便達到開發者的特定目標，例如符合與系統有關的及與商業有關的限制條件，而這些特定的目標在每一個實施例中都將有所不同。此外，我們當了解，此種開發工作可能是複雜且耗時的，但仍然是對此項技藝具有一般知識者在了解本發明的揭示事項之後可進行的例行工作。

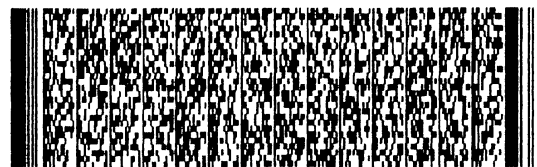
第 1 圖表示多處理器電腦系統（100）之一實施例，該多處理器電腦系統（100）包含主處理器（102）、協同



五、發明說明 (10)

處理器 (104)、共用式記憶體 (106)、第一裝置 (110)、及第二裝置 (112)，所有該等元件皆係耦合到匯流排 (108)。主處理器 (102) 及協同處理器 (104) 之組態都被設定成執行指令。主處理器 (102) 及協同處理器 (104) 經由匯流排 (108) 而自共用式記憶體 (106) 讀取資料並將資料寫入共用式記憶體 (106) (亦即存取)。主處理器 (102) 經由匯流排 (108) 及 (或) 共用式記憶體 (106) 而與協同處理器 (104) 通訊。主處理器 (102) 及 (或) 協同處理器 (104) 經由匯流排 (108) 而與裝置 (110) 及 (112) 通訊。裝置 (110) 可以是諸如儲存裝置 (例如硬碟機)。裝置 (112) 可以是諸如通訊裝置 (例如數據機、網路介面卡等)、輸入/輸出裝置 (例如鍵盤、指向裝置、印表機、掃描器等)、或另一儲存裝置 (例如另一硬碟機)。匯流排 (108) 可以是任何適用的匯流排結構。

在第 1 圖所示之實施例中，主處理器 (102) 指示協同處理器 (104) 的活動，因而協同處理器 (104) 可說是協助主處理器 (102)。主處理器 (102) 及協同處理器 (104) 可以是相同類型的處理器，或者是大致相同類型的處理器，且可具有類似的架構及功能能力。在替代實施例中，主處理器 (102) 及協同處理器 (104) 可以是不同類型的處理器，且可具有不同的架構及 (或) 功能能力。主處理器 (102) 及協同處理器 (104) 可執行來自相同指令集之指令、或來自不同指令集之指令。

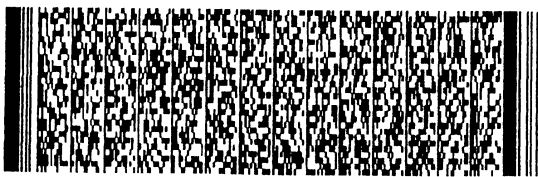


五、發明說明 (11)

如將於下文中說明的，主處理器 (102) 於作業時執行共用式記憶體 (106) 中儲存的作業系統軟體之指令。該作業系統軟體利用共用式記憶體 (106) 實施虛擬記憶體，且裝置 (110) 及 (或) 裝置 (112) 設有虛擬至實體位址轉換機構。該作業系統軟體在共用式記憶體 (106) 中產生並維護一組主處理器記憶頁表，且係利用該組主處理器記憶頁表來執行主處理器 (102) 內的虛擬至實體位址轉換。共用式記憶體 (106) 中儲存的主處理器 (102) 之最低順序的記憶頁表包含多個記憶頁表資料項。為了減少自主處理器 (102) 的該最低順序的記憶頁表取得記憶頁表資料項所需的記憶體存取次數，並因而增加主處理器 (102) 的效能，主處理器 (102) 最好是包含供選用的轉換後援緩衝區 (TLB) (114)，用以儲存最近使用的各記憶頁表資料項。

在第 1 圖所示之實施例中，協同處理器 (104) 包含核心 (116) 及 TLB (118)。核心 (116) 包含可讓協同處理器 (104) 執行主處理器 (102) 發出到協同處理器 (104) 的程序之指令及資料 (亦即程式碼)。於作業期間，協同處理器 (104) 執行核心 (116) 之指令，並執行主處理器 (102) 發出到協同處理器 (104) 之程序。發出到協同處理器 (104) 的每一程序存在於共用式記憶體 (106) 內，且通常包含程式碼。

如將於下文中說明的，核心 (116) 設有一虛擬至實體位址轉換機構，並利用一組協同處理器記憶頁表而存取



五、發明說明 (12)

共用式記憶體 (106) 內的實體位址。在主處理器 (102) 上執行的作業系統軟體產生並維護該組協同處理器記憶頁表。共用式記憶體 (106) 中儲存的協同處理器 (104) 之最低順序的記憶頁表包含多個記憶頁表資料項。TLB (118) 係用來儲存最近使用的各記憶頁表資料項，且係包含在協同處理器 (104) 中，以便減少自協同處理器 (104) 的該最低順序的記憶頁表取得記憶頁表資料項所需的記憶體存取次數，並因而增加協同處理器 (104) 的效能。

第 2 圖是第 1 圖所示共用式記憶體 (106) 之一實施例。在第 2 圖所示之實施例中，共用式記憶體 (106) 包含若干主處理器記憶頁表 (200)、若干協同處理器記憶頁表 (202)、程序部分 (204)、及主處理器作業系統 (206)。如前文所述，主處理器 (102) (第 1 圖) 於作業期間執行主處理器作業系統 (206) 之指令。如將於下文中詳細說明的，主處理器作業系統 (206) 利用共用式記憶體 (106) 以及裝置 (110) 及 (或) 裝置 (112) (第 1 圖)，而在主處理器 (102) 及協同處理器 (104) (第 1 圖) 內實施虛擬記憶體。程序部分 (204) 包含主處理器 (102) 及協同處理器 (104) 可存取的若干記憶頁，且係用來儲存程序碼。在作業期間，協同處理器 (104) 根據來自主處理器 (102) 的指令而存取並執行程序部分 (204) 內儲存的程序碼。

主處理器作業系統 (206) 產生並維護該等主處理器記憶頁表 (200) 及該等協同處理器記憶頁表 (202)，並

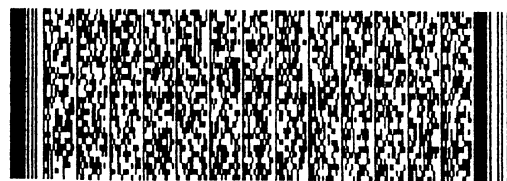


五、發明說明 (13)

設有主處理器 (102) 及協同處理器 (104) 的虛擬至實體位址轉換機構。主處理器 (102) 使用該等主處理器記憶頁表 (200)，以便將主處理器 (102) 內產生的虛擬位址轉換為共用式記憶體 (106) 內的實體位址。協同處理器 (104) 使用該等協同處理器記憶頁表 (202)，以便將協同處理器 (104) 內產生的虛擬位址轉換為共用式記憶體 (106) 內的實體位址。主處理器 (102) 及協同處理器 (104) 共用共用式記憶體 (106) 內的共同之實體位址空間。為了作業的簡化，主處理器 (102) 及協同處理器 (104) 亦可共用一共同的虛擬位址空間。

第 2 圖朔之承載媒體 (208) 可用來將主處理器作業系統 (206) 載送到共用式記憶體 (106)。例如，裝置 (112) (第 1 圖) 可以用來容納抽取式磁碟的磁碟機 (例如軟碟機、唯讀光碟機 (CD-ROM) 等)，且承載媒體 (208) 可以是存有主處理器作業系統 (206) 的磁碟 (例如軟碟、唯讀光碟等)。主處理器 (102) (第 1 圖) 可經由裝置 (112) 而自承載媒體 (208) 讀取主處理器作業系統 (206) 之程式碼。

在替代實施例中，承載媒體 (208) 可以用來載送主處理器作業系統 (206) 之信號 (例如載波信號)。例如，裝置 (112) 可以是網路介面卡，承載媒體 (208) 可以是經由耦合到裝置 (112) 的傳輸媒體而載送之信號 (例如電信號或光信號)。主處理器 (102) 可經由裝置 (112) 及承載媒體 (208) 而接收主處理器作業系統

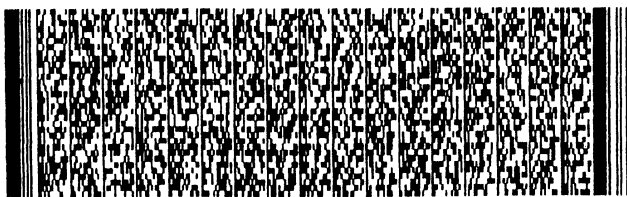


五、發明說明 (14)

(206) 之程式碼，並將該程式碼儲存在共用式記憶體 (106) 中。

主處理器記憶頁表 (200) 及 (或) 協同處理器記憶頁表 (202) 可包含被配置而形成記憶頁表階層之多個記憶頁表。第 3 圖示出第 2 圖所示主處理器記憶頁表 (200) 及程序部分 (204) 之一實施例。在第 3 圖所示之實施例中，主處理器記憶頁表 (200) 包含記憶頁表 (300)。記憶頁表 (300) 可以是諸如主處理器記憶頁表階層中之最低順序的記憶頁表。記憶頁表 (300) 包含多個記憶頁表資料項 (PTE) (302)，且程序部分 (204) 包含主處理器 (102) (第 1 圖) 的多個記憶頁 (亦即頁)。每一該等記憶頁表資料項 (302) 對應於主處理器 (102) 的該等記憶頁 (304) 中之不同記憶頁，並包含該對應記憶頁 (304) 的基址。

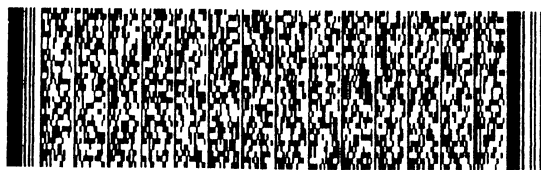
第 4 圖示出第 2 圖所示協同處理器記憶頁表 (202) 及程序部分 (204) 之一實施例。在第 4 圖所示之實施例中，協同處理器記憶頁表 (202) 包含記憶頁表 (400)。記憶頁表 (400) 可以是諸如協同處理器記憶頁表階層中之最低順序的記憶頁表。記憶頁表 (400) 包含多個記憶頁表資料項 (PTE) (402)，且程序部分 (204) 包含協同處理器 (104) (第 1 圖) 的多個記憶頁 (404)。每一該等記憶頁表資料項 (402) 對應於協同處理器 (104) 的該等記憶頁 (404) 中之不同記憶頁，並包含該對應記憶頁 (404) 的基址。



五、發明說明 (15)

第 5 圖示出每一記憶頁表資料項 (PTE) (302) (第 3 圖) 及 (402) (第 4 圖) 的一格式之一實施例。在第 5 圖所示之實施例中，每一記憶頁表資料項 (302/402) 包含記憶頁基址欄位、更動 (D) 位元、及存在 (P) 位元。該存在 (P) 位元指示對應記憶頁 (304/404) 是否存在於程序部分 (204) 內。當對應記憶頁 (304/404) 存在於程序部分 (204) 內時，該記憶頁基址欄位指定該對應記憶頁 (304/404) 之基址。該更動 (D) 位元指示在將對應記憶頁 (304/404) 自裝置 (110) 及 (或) 裝置 (112) (第 1 圖) 複製到共用式記憶體 (106) 之後該對應記憶頁是否已被修改 (亦即寫入)，並指示當來自裝置 (110) 及 (或) 裝置 (112) 的另一記憶頁取代對應記憶頁 (304/404) 時是否因而需要將該對應記憶頁寫回到裝置 (110) 及 (或) 裝置 (112)。

第 6 圖示出第 2 圖所示主處理器記憶頁表 (200)、協同處理器記憶頁表 (202)、及程序部分 (204) 之一實施例，其中主處理器 (102) (第 1 圖) 的每一記憶頁之容量是協同處理器 (104) (第 1 圖) 的每一記憶頁之容量的兩倍。在第 6 圖所示之實施例中，主處理器記憶頁表 (200) 之記憶頁表 (300) 包含一記憶頁表資料項 (302A)，且協同處理器記憶頁表 (202) 之記憶頁表 (400) 包含兩個記憶頁表資料項 (402A) 及 (402B)。記憶頁表資料項 (302A) 包含 (亦即 "指向") 位於程序部分 (204) 中的主處理器記憶頁之基址。如第 6 圖所

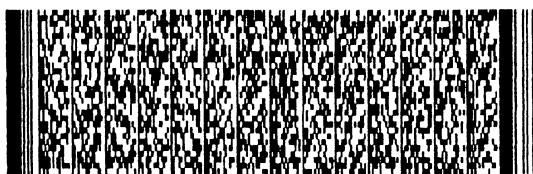
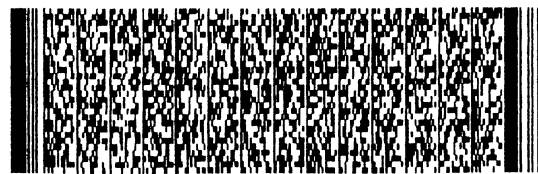


五、發明說明 (16)

示，協同處理器 (104) 的兩個相鄰之記憶頁佔用與該主處理器記憶頁相同的實體記憶體空間。協同處理器記憶頁表 (202) 之記憶頁表資料項 (402A) 及 (402B) 包含 (亦即 "指向") 對應於該主處理器記憶頁的協同處理器 (104) 的兩相鄰記憶頁之基址。記憶頁表資料項 (402A) 及 (402B) 可以是第 6 圖所示的協同處理器記憶頁表 (202) 之相鄰記憶頁表資料項。

在第 1 至 6 圖所示之實施例中，我們當了解，雖然圖中只示出程序部分 (204) (第 2 至 4 圖及第 6 圖) 內的記憶頁 (304) (第 3 圖) 及 (404) (第 4 圖)、以及對應的記憶頁表資料項 (302) (第 3 圖) 及 (402) (第 4 圖)，但是主處理器 (102) (第 1 圖) 及協同處理器 (104) (第 1 圖) 可經由虛擬記憶體及相關聯的虛擬至實體位址轉換機構而存取共用式記憶體 (106) 的整個實體位址空間。

一般而言，協同處理器 (104) (第 1 圖) 及主處理器 (102) (第 1 圖) 之記憶頁容量通常是彼此的整數倍。換言之，主處理器 (102) 的記憶頁容量可以是協同處理器 (104) 的記憶頁容量之 i 倍，其中 i 是一整數，且 $i \geq 1$ 。相反地，協同處理器 (104) 的記憶頁容量可以是主處理器 (102) 的記憶頁容量之 i 倍，其中 i 是一整數，且 $i \geq 1$ 。當 $i = 1$ 時，主處理器 (102) 的記憶頁容量與協同處理器 (104) 的記憶頁容量相同。然而，本發明所述的方法及系統尤其適用於主處理器



五、發明說明 (17)

(102) 的記憶頁容量與協同處理器 (104) 的記憶頁容量不同之情形，且主處理器 (102) 的記憶頁容量是協同處理器 (104) 的記憶頁容量之 i 或 $1/i$ 倍，其中 i 是一整數，且 $i \geq 2$ 。當主處理器 (102) 的記憶頁容量是協同處理器 (104) 的記憶頁容量之 i 倍時，主處理器

(102) 的每一記憶頁與協同處理器 (104) 的 i 個記憶頁可佔用前文所述的程序部分 (204) (第 2 至 4 圖) 的相同實體位址區域。另一方面，當主處理器 (102) 的記憶頁容量是協同處理器 (104) 的記憶頁容量之 $1/i$ 倍時，協同處理器 (104) 的每一記憶頁與主處理器 (102) 的 i 個記憶頁可佔用程序部分 (204) 的相同實體位址區域。

請注意，通常係由位元數決定記憶頁容量，記憶頁容量因而通常是二的乘冪。因此，主處理器 (102) 的記憶頁容量可以是協同處理器 (104) 的記憶頁容量之 2^i 或 $1/2^i$ ，其中 i 是一整數，且 $i \geq 0$ 。

如前文所述，協同處理器 (104) (第 1 圖) 可能具有主處理器 (102) (第 1 圖) 所無的功能性能力。在此種情形中，裝置 (110) 及 (或) 裝置 (112) (第 1 圖) 中儲存的指令及資料 (亦即程式碼) 可具有一標記，用以指示該程序碼的執行需要協同處理器 (104) 的功能性能力。當主處理器作業系統 (206) 的一載入常式將該程序碼載入共用式記憶體 (106) 的程序部分 (204) 時，該載入常式可將該程序碼的執行需要協同處理器 (104) 的



五、發明說明 (18)

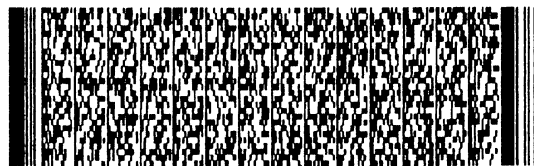
功能性能之訊息通知主處理器作業系統 (206)。

當該載入常式將載入程序部分 (204) 的該程序碼需要協同處理器 (104) 的功能性能之訊息通知主處理器作業系統 (206) 時，主處理器作業系統 (206) 可決定該程序碼中需要協同處理器 (104) 的功能性能之一個或多個部分，並可同時 (亦即以平行之方式) 更新主處理器記憶頁表 (200) 及協同處理器記憶頁表 (202)。

在下文中，該程序碼中需要協同處理器 (104) 的功能性能之該等一個或多個部分本身將被視為獨立的程序。主處理器 (102) 可 (諸如經由任何適用的程序間通訊方法) 將一個或多個程式碼執行訊息傳送到協同處理器 (104)。每一程式碼執行訊息可包含諸如與將要執行的一程序相關聯的該等協同處理器記憶頁表 (202) 中之最高順序的記憶頁表之基址、以及該程序的第一指令之虛擬位址。協同處理器 (104) 可回應特定的程式碼執行訊息，而安排該相關聯的程序之執行時程。

協同處理器 (104) 可包含記憶頁表暫存器，用以儲存該等協同處理器記憶頁表 (202) 中的最高順序的記憶頁表之基址。當協同處理器 (104) 開始執行特定程序時，協同處理器 (104) 可先將對應的程式碼執行訊息中包含的該等協同處理器記憶頁表 (202) 中的該最高順序的記憶頁表之該位址載入該記憶頁表暫存器。

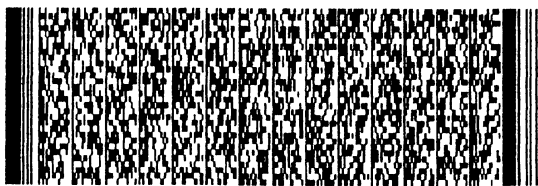
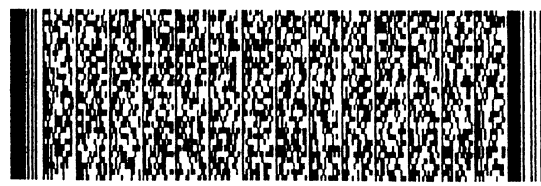
在某些實施例中，主處理器作業系統 (206) 可以只將該等協同處理器記憶頁表 (202) 中的該最高順序的記



五、發明說明 (19)

憶頁表載入共用式記憶體 (106) 的一個 "鎖定(locked)" 部分, 且可等候到協同處理器 (104) 通知記憶頁錯誤訊息而要將該等協同處理器記憶頁表 (202) 中的任何額外記憶頁表載入共用式記憶體 (106) 為止。請注意, 不需要在 "鎖定的" 記憶體中維護該等協同處理器記憶頁表 (202) 中的任何額外記憶頁表。如果自共用式記憶體 (106) 中移除其中包含該等協同處理器記憶頁表 (202) 中的記憶頁表之任何記憶頁 (亦即 "移出記憶頁"), 則必須在該協同處理器記憶頁表階層的次一最高層級中反映該移除動作。

除了前文所述的主處理器作業系統 (206) 所的和包含在協同處理器 (104) (第 1 圖) 將要執行的每一程序的協同處理器記憶頁表 (202) 中之 "應用程式" 虛擬位址空間對映, 主處理器作業系統 (206) (第 2 圖) 亦為每一程序產生 "監管模式" 虛擬位址空間對映。協同處理器 (104) 的核心 (116) (第 1 圖) 於執行該相關聯的程序時, 可使用該監管模式虛擬位址空間對映。當協同處理器 (104) 在執行該相關聯的程序期間接收到一錯誤或中斷信號時, 核心 (116) 經由該監管模式虛擬位址空間對映而存取共用式記憶體 (106) 的程序部分 (204) 中儲存的程式碼, 以便服務該錯誤或中斷。該監管模式虛擬位址空間對映在所有的程序中可能是相同的, 因而可將相同的監管模式虛擬位址空間對映包含在主處理器作業系統 (206) 為每一程序所產生的協同處理器記憶頁表 (202)



五、發明說明 (20)

中。

於執行一程序時，協同處理器 (104) 可嘗試存取並未存在於共用式記憶體 (106) 的記憶頁內之程式碼。在此種情形中，協同處理器記憶頁表 (202) 的對應記憶頁表資料項 (402) (第 4 圖) 之存在 (P) 位元指示該對應記憶頁並未存在於共用式記憶體 (106) 中。協同處理器 (104) 的核心 (116) (第 1 圖) 中止造成該記憶頁錯誤之程序，並 (諸如經由中斷，或經由程序間通訊而傳送的訊息) 將該記憶頁錯誤的訊息通知主處理器作業系統 (206)。

主處理器作業系統 (206) 回應協同處理器 (104) 中之記憶頁錯誤狀況，而將協同處理器 (104) 所需的記憶頁 "對映" (maps) 到主處理器 (102) 的對應記憶頁，並將該對應記憶頁置入共用式記憶體 (106)。主處理器作業系統 (206) 將該對應記憶頁自裝置 (110) 及 (或) 裝置 (112) (第 1 圖) 複製到共用式記憶體 (106)，並更新主處理器記憶頁表 (200) 及協同處理器記憶頁表 (202)。主處理器作業系統 (206) 然後 (諸如經由透過程序間通訊而傳送的一訊息) 將所需的記憶頁現在已存在於共用式記憶體 (106) 之訊息通知協同處理器 (104)。當協同處理器 (104) 的核心 (116) 接收到該訊息時，核心 (116) 使被中止的該程序備妥，並重新開始該程序。

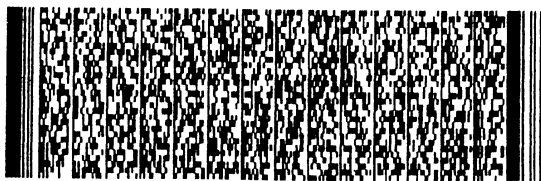
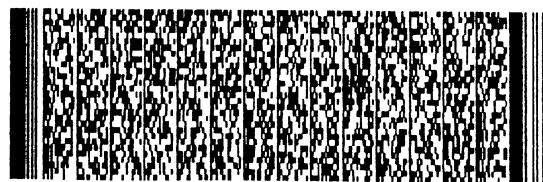
如前文所述，協同處理器 (104) 包含 TLB (118) (第 1 圖)，用以儲存最近使用的各記憶頁表資料項



五、發明說明 (21)

(402) (第4圖)。TLB(118)減少為了自協同處理器記憶頁表(202)的記憶頁表(400)取得記憶頁表資料項(402)所需的對共用式記憶體(106)之存取次數，因而增加了協同處理器(104)之效能。如前文所述，為了進一步阻止對記憶體中儲存的記憶頁表之存取，各TLB通常包含更動(D)位元，用以記錄對記憶體中儲存的各記憶頁之寫入情形。在TLB之外通常無法檢視該等更動(D)位元之內容。

在第1至6圖所示之實施例中，協同處理器(104)之核心(116)(第1圖)控制協同處理器(104)內的TLB(118)之作業。TLB(118)具有多個資料項，用以儲存協同處理器(104)的各最近使用之記憶頁表資料項。TLB(118)的每一資料項可具有一更動(D)位元，用以指示對應記憶頁在共用式記憶體(106)時是否被(協同處理器(104))修改。例如，當核心(116)移除(或指示移除)TLB(118)的資料項(以便讓出空間給一最近使用的記憶頁表資料項(402))時，核心(116)可檢查該資料項的更動(D)位元。如果該更動(D)位元指示對應記憶頁在共用式記憶體(106)時已被(協同處理器(104))修改過，則核心(116)可在記憶頁表(400)中更新對應記憶頁表資料項(402)之更動(D)位元，以便反映該對應記憶頁在共用式記憶體(106)中時已被修改過，且於自共用式記憶體(106)移除該對應記憶頁時需要將該對應記憶頁寫入儲存裝置(亦即第1圖所示

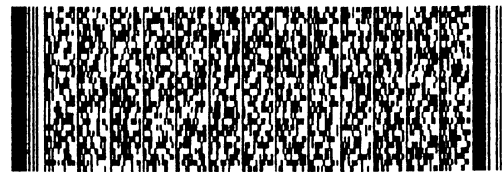


五、發明說明 (22)

之裝置 (110) 及 (或) 裝置 (112))。

由於 TLB (118) 存在於協同處理器 (104) 中，所以縱使主處理器作業系統 (206) 自協同處理器記憶頁表 (202) 的記憶頁表 (400) 中移除了該對應記憶頁之後，協同處理器 (104) 仍可繼續使用 TLB (118) 中儲存的該等記憶頁表資料項 (402) 中之記憶頁表資料項。因此，當主處理器作業系統 (206) 將要自共用式記憶體 (106) 移除記憶頁時，主處理器作業系統 (206) 必須先將應自 TLB (118) 移除對應於將要自共用式記憶體 (106) 移除的該記憶頁之 TLB (118) 之任何資料項的訊息通知核心 (116)。請注意，對應於將要自共用式記憶體 (106) 移除的該記憶頁之 TLB (118) 之各資料項對應於將要自共用式記憶體 (106) 移除的該記憶頁之實體位址範圍。

如前文所述，當核心 (116) 自 TLB (118) 移除對應的資料項時，如果該對應資料項的更動 (D) 位元值指示將要自共用式記憶體 (106) 移除的該記憶頁在共用式記憶體 (106) 中時已被 (協同處理器 (104)) 修改過，則核心 (116) 在協同處理器記憶頁表 (202) 的記憶頁表 (400) 中更新該對應記憶頁表資料項 (402) 之該更動 (D) 位元，以便反映將要自共用式記憶體 (106) 移除的該記憶頁在共用式記憶體 (106) 中時已被修改過，且於自共用式記憶體 (106) 移除該記憶頁時，需要將該記憶頁寫入儲存裝置 (亦即第 1 圖所示之裝置 (110) 及 (或) 裝置 (112))。

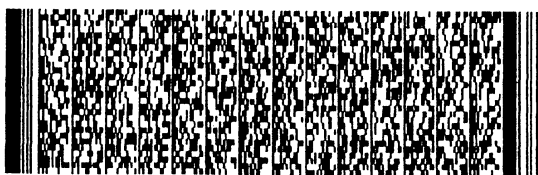


五、發明說明 (23)

主處理器作業系統 (206) 然後可繼續自共用式記憶體 (106) 移除該記憶頁。主處理器作業系統 (206) 檢查 (i) 對應於主處理器記憶頁表 (200) 的記憶頁表 (300) 中將要移除的記憶頁之一個或多個記憶頁表資料項 (302) 之更動 (D) 位元值、以及 (ii) 對應於協同處理器記憶頁表 (202) 的記憶頁表 (400) 中將要移除的記憶頁之一個或多個記憶頁表資料項 (402) 之更動 (D) 位元值。如果任一更動 (D) 位元指示將要自共用式記憶體 (106) 移除的該記憶頁在共用式記憶體 (106) 中時已被修改過，則主處理器作業系統 (206) 把將要自共用式記憶體 (106) 移除的該記憶頁 "寫回" 到儲存裝置 (例如，寫回到第 1 圖所示之裝置 (110) 及 (或) 裝置 (112))。

請注意，一旦自 TLB (118) 一除了該對應的資料項之後，協同處理器 (104) 任一次嘗試存取將要自共用式記憶體 (106) 移除的該記憶頁時，將需要存取記憶頁表 (400)，以便自共用式記憶體 (106) 得到對應於將要被移除的該記憶頁之記憶頁表資料項 (402)。一旦已自共用式記憶體 (106) 移除了將要自共用式記憶體 (106) 移除的該記憶頁之後，協同處理器 (104) 嘗試存取被移除的該記憶頁時，將 (最好是) 得到記憶頁錯誤訊息。

當協同處理器 (104) 自執行第一程序切換到執行第二程序時，協同處理器 (104) 將與該第二程序相關聯的新記憶頁表基址載入該記憶頁表暫存器，並自 TLB (118)



五、發明說明 (24)

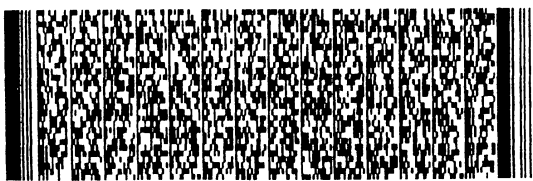
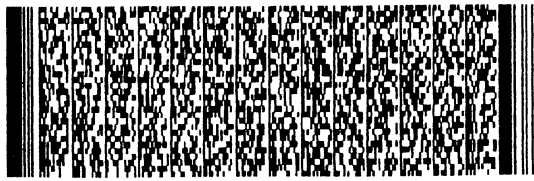
) 移除與該第一程序相關聯的 TLB (118) 之所有資料項。因此, 作為一種效能上的特徵, 除非協同處理器

(104) 目前正在執行與將要自共用式記憶體 (106) 移除的該記憶頁有對映關係之程序, 否則主處理器作業系統 (206) 無須將記憶頁將要被自共用式記憶體 (106) 移除的訊息通知協同處理器 (104)。

第 7A 至 7B 圖合而形成用於多處理器電腦系統的虛擬記憶頁取代方法 (700) 實施例之流程圖。該虛擬記憶頁取代方法 (700) 被設計成協助維護該多處理器系統內的分頁式記憶體一致性。雖然本文中將以與第 1 圖所示多處理器電腦系統 (100) 相關之方式說明方法 (700), 但是亦可在任何多處理器電腦系統中實施該方法 (700)。就第 1 圖所示之多處理器電腦系統 (100) 而論, 可在主處理器作業系統 (206) (第 2 圖) 內實施該方法 (700)。

在方法 (700) 的一步驟 (702) 中, 存取目前儲存在共用式記憶體 (106) 中且將要被取代的對應於主處理器 (102) 的一記憶頁之協同處理器 (104) 之每一記憶頁表資料項 (402) (第 4 圖)。在一步驟 (704) 中, 標示將要被取代的對應於主處理器 (102) 的該記憶頁之協同處理器 (104) 之每一記憶頁表資料項 (402), 以便指示協同處理器 (104) 的該對應記憶頁並未存在於共用式記憶體 (106) 中。

例如, 該在步驟 (702) 中 (例如於第一讀取作業時

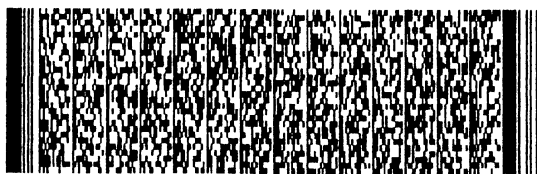


五、發明說明 (25)

), 可自共用式記憶體 (106) 讀取將要被取代的對應於主處理器 (102) 的該記憶頁之協同處理器 (104) 之每一記憶頁表資料項 (402)。在 (諸如步驟 (702) 中) 讀取了特定的記憶頁表資料項 (402) 之後, 可改變該特定記憶頁表資料項 (402) 之存在 (P) 位元值 (例如, "清除" 該位元, 或將該位元值設定為邏輯 "0"), 以便指示協同處理器 (104) 的該對應記憶頁並未存在於共用式記憶體 (106) 中。然後可 (在步驟 (704) 中) 將該特定的記憶頁表資料項 (402) 寫回到共用式記憶體 (106)。由於協同處理器 (104) 可能存取該特定的記憶頁表資料項 (402), 所以可以一種 "不可分割的" ("atomic") 交易方式完成將對特定記憶頁表資料項 (402) 的讀取及寫入。

在步驟 (706) 中, 將需要移除對應於與將要被移除的主處理器 (102) 的該記憶頁對應的協同處理器 (104) 的每一記憶頁表資料項 (402) 的 TLB (118) 之各資料項之訊息通知協同處理器 (104)。例如, 主處理器 (102) 可將訊息 (例如 "PageRemoval" 訊息) 傳送到協同處理器 (104), 該訊息指示需要移除對應於與將要被移除的主處理器 (102) 的該記憶頁對應的協同處理器 (104) 的記憶頁表的 TLB (118) 之任何資料項。在移除 TLB (118) 的任何此種資料項之後, 協同處理器 (104) 可將指示已完成該移除的訊息傳送到主處理器 (102)。

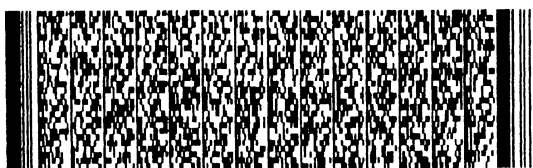
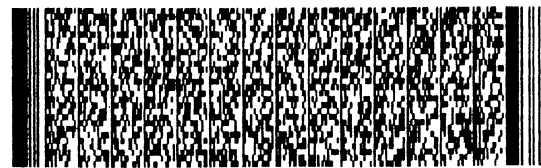
在步驟 (708) 中, 然後執行讀取對應於將要被移除的主處理器 (102) 的該記憶頁之協同處理器 (104) 之該



五、發明說明 (26)

等記憶頁表資料項 (402)。在步驟 (710) 中，執行讀取對應於將要被移除的主處理器 (102) 的該記憶頁之記憶頁表資料項 (302) (第 3 圖)。在步驟 (712) 中，如果 (i) 在步驟 (708) 的讀取作業期間取得的其中一個記憶頁表資料項 (402) 之更動位元指示需要將協同處理器 (104) 的該對應記憶頁寫入儲存裝置，或 (ii) 在步驟 (710) 的讀取作業期間取得的對應於將要被取代的主處理器 (102) 的該記憶頁之其中一個記憶頁表資料項 (302) 之更動位元指示需要把將要被取代的主處理器 (102) 的該記憶頁寫入該儲存裝置，則把將要被取代的主處理器 (102) 之該記憶頁自共用式記憶體 (106) 寫入該儲存裝置 (亦即第 1 圖所示之裝置 (110) 及 (或) 裝置 (112))。

如前文所述，在步驟 (702) 中 (例如在第一讀取作業期間)，可自共用式記憶體 (106) 讀取對應於將要被取代的主處理器 (102) 的該記憶頁之協同處理器 (104) 之每一記憶頁表資料項 (402)。在讀取特定記憶頁表資料項 (402) 之後 (例如在步驟 (702) 中)，可改變該特定記憶頁表資料項 (402) 的存在 (P) 位元值 (例如，清除該位元，或將該位元值設定為邏輯 "0")，以便指示協同處理器 (104) 的該對應記憶頁並未存在於共用式記憶體 (106)。然後可將該特定記憶頁表資料項 (402) 寫回到共用式記憶體 (106) (例如在步驟 (704) 中)。雖然改變該存在 (P) 位元時最好是不要改變該特定記憶頁表



五、發明說明 (27)

資料項 (402) 之更動 (D) 位元值，但是不一定要如此。

在某些實施例中，可在將該特定記憶頁表資料項 (402) 寫回到共用式記憶體 (106) 之前，先清除該特定記憶頁表資料項 (402) 之該存在 (P) 位元及該更動 (D) 位元。在這些實施例中，在步驟 (702) 的第一讀取作業期間，可讀取對應於將要被取代的主處理器 (102) 的該記憶頁之協同處理器 (104) 之每一記憶頁表資料項 (402)，且步驟 (708) 之該讀取作業可構成第二讀取作業。在上述步驟 (712) 中，如果 (i) 在該第一讀取作業期間 (例如在步驟 (702) 中) 取得的其中一個記憶頁表資料項 (402) 之更動位元指示需要將協同處理器 (104) 的該對應記憶頁寫入該儲存裝置，或 (ii) 在該第二讀取作業期間 (例如在步驟 (708) 中) 取得的其中一個記憶頁表資料項 (402) 之更動位元指示需要將協同處理器 (104) 的該對應記憶頁寫入該儲存裝置，或 (iii) 在步驟 (710) 的讀取作業期間取得的對應於將要被取代的主處理器 (102) 的該記憶頁之其中一個記憶頁表資料項 (302) 之該更動位元指示需要把將要被取代的主處理器 (102) 之該記憶頁寫入該儲存裝置，則可把將要被取代的主處理器 (102) 之該記憶頁自共用式記憶體 (106) 寫入該儲存裝置 (亦即第 1 圖所示之裝置 (110) 及 (或) 裝置 (112))。

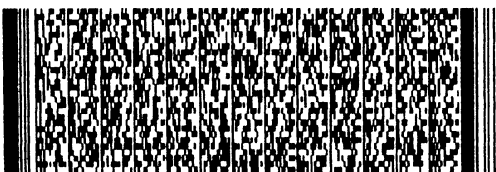
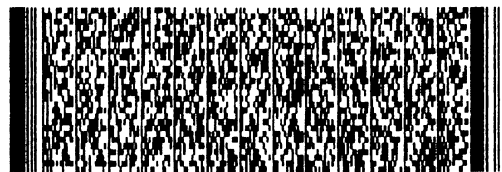
如前文所述，在步驟 (706) 中，將需要移除對應於與將要被移除的主處理器 (102) 的該記憶頁對應的協同



五、發明說明 (28)

處理器 (104) 的每一記憶頁表資料項 (402) 之 TLB (118) 各資料項之訊息通知協同處理器 (104)。執行核心 (116) 的程式碼之協同處理器 (104) 於回應時，可找出對應於與將要被移除的主處理器 (102) 的該記憶頁對應的協同處理器 (104) 的其中一個記憶頁表資料項 (402) 之 TLB (118) 之其中一個資料項。如果 TLB (118) 的該其中一個資料項之該更動位元指示需要將協同處理器 (104) 的該對應記憶頁寫入該儲存裝置，則協同處理器 (104) 可在共用式記憶體 (106) 中更新該對應的其中一個記憶頁表資料項 (402) 之該更動位元，以便指示需要將協同處理器 (104) 的該對應記憶頁寫入該儲存裝置。協同處理器 (104) 然後可清除 TLB (118) 的該其中一個資料項。協同處理器 (104) 可為對應於與將要被移除的主處理器 (102) 的該記憶頁對應的協同處理器 (104) 的每一記憶頁表資料項 (402) 之 TLB (118) 之所有資料項重複上述這些動作。

在決定需要被移除的主處理器 (102) 之該記憶頁 (例如主處理器 (102) 之第一記憶頁) 時，主處理器 (102) 可接收協同處理器 (104) 中的記憶頁錯誤狀況之指示 (例如指示協同處理器 (104) 的一記憶頁錯誤的來自協同處理器 (104) 之訊息)。主處理器 (102) 可決定必須以該儲存裝置 (亦即第 1 圖所示之裝置 (110) 及 (或) 裝置 (112)) 中儲存的主處理器 (102) 之第二記憶頁取代共用式記憶體 (106) 中儲存的主處理器 (102)



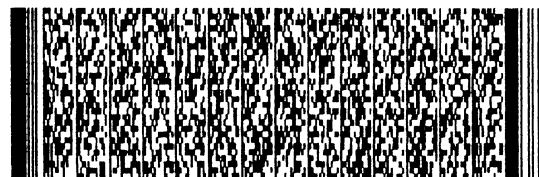
五、發明說明 (29)

之該第一記憶頁，以便清除協同處理器 (104) 之該記憶頁錯誤狀況。

請再參閱第 1 圖，多處理器電腦網路 (100) 之主處理器 (102) (諸如經由前文所述之匯流排 (108) 及 (或) 共用式記憶體 (106)) 與協同處理器 (104) 通訊。主處理器 (102) 及協同處理器 (104) 可諸如經由訊息而通訊。在主處理器 (102) 與協同處理器 (104) 之間交換的訊息可包括諸如 "CreateProcess" 訊息。主處理器 (102) 可將 "CreateProcess" 訊息傳送到協同處理器 (104)，以便指示程序要安排時程以供執行。該

"CreateProcess" 訊息可包括用來指示該程序之 "程序識別碼"、以及由該主處理器作業系統 (206) (第 2 圖) 所產生且與該程序相關聯的最高順序的記憶頁表之基址。當該程序要被執行時 (亦即要變成現用程序時)，協同處理器 (104) 的核心 (116) 可將該最高順序的記憶頁表之該基址儲存在前文所述的協同處理器 (104) 之記憶頁表基址暫存器。

主處理器 (102) 亦可將 "PageAdded" 訊息傳送到協同處理器 (104)，以便指示已將協同處理器 (104) 的特定記憶頁儲存在 (亦即加入) 共用式記憶體 (106) 中。該 "PageAdded" 訊息可包含用來識別可能需要存取該加入的記憶頁的程序之 "程序識別碼"、以及該加入的記憶頁之基址。當執行具有該 "程序識別碼" 之程序時，協同處理器 (104) 之核心 (116) 可移除 (或指示移除) TLB



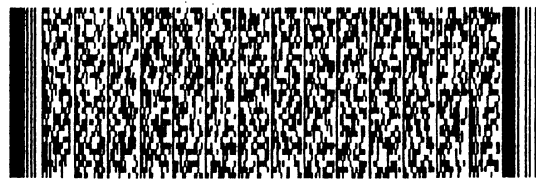
五、發明說明 (30)

(118) 中對應於該加入的記憶頁的該基址之任何資料項。如果是由於執行程序時的記憶頁錯誤狀況而加入該加入的記憶頁，則核心 (116) 可恢復該程序的執行。

主處理器 (102) 亦可將 "PageRemoved" 訊息傳送到協同處理器 (104)，以便指示已自共用式記憶體 (106) 協同處理器 (104) 的特定記憶頁。該 "PageRemoved" 訊息可包含用來識別可能具有與該被移除記憶頁的一對映關係的程序之 "程序識別碼"、以及該被移除記憶頁之基址。當執行具有該 "程序識別碼" 的程序時，協同處理器 (104) 之核心 (116) 可移除 (或指示移除) TLB (118) 中對應於該被移除記憶頁的該基址之任何資料項。

協同處理器 (104) 可將 "ProcessStoppedDueToPageFault" 訊息傳送到主處理器 (102)，以便指示由於記憶頁錯誤狀況而已經中止某一程序之執行。該 "ProcessStoppedDueToPageFault" 訊息可包含用來識別由於該記憶頁錯誤而停止的程序之 "程序識別碼"、造成該記憶頁錯誤狀況之虛擬位址、以及指示為了清除該記憶頁錯誤狀況而對加入的記憶頁之存取必須是唯讀或讀取-寫入之寫入旗標。

主處理器作業系統 (206) 可回應來自協同處理器 (104) 的該 "ProcessStoppedDueToPageFault" 訊息，而將主處理器 (102) 的記憶頁置入共用式記憶體 (106) 中包含一對應於造成該記憶頁錯誤的該虛擬位址之實體位址之實體位址範圍。主處理器作業系統 (206) 可標示該

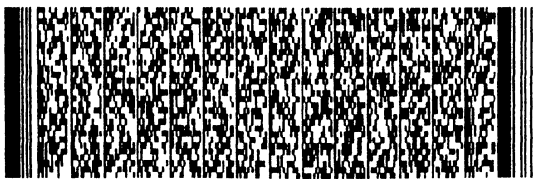
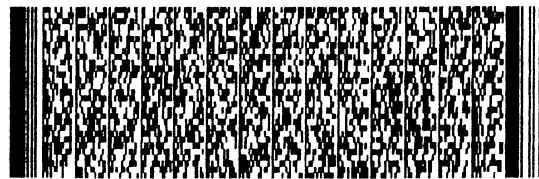


五、發明說明 (31)

所需存取之記憶頁，並可更新主處理器記憶頁表 (200) 及協同處理器記憶頁表 (202)。如前文所述，主處理器 (102) 的該加入的記憶頁可對應於協同處理器 (104) 的一個或多個 "加入的" 記憶頁。主處理器 (102) 可將一個或多個 "PageAdded" 訊息傳送到協同處理器 (104)，以便識別對應於主處理器 (102) 的該加入的記憶頁之協同處理器 (104) 的該等一個或多個加入的記憶頁。

請注意，協同處理器 (104) 的 TLB (118) (第 1 圖) 之該等資料項無須包含更動 (D) 位元，即可使用第 7A 至 B 圖所示之方法 (700)。此外，可以硬體 (例如一數位邏輯電路) 來執行協同處理器 (104) 的核心 (116) (第 1 圖) 之作業。

前文所揭示的該等特定實施例只是舉例說明，這是因為熟習此項技藝者在參閱本發明的揭示事項之後，可易於以不同但等效之方式來修改並實施本發明。此外，除了下文的申請專利範圍所述者之外，並非將本發明限於本文所示出的結構或設計之細節。因而顯然可改變或修改前文所揭示的該等特定實施例，且將所有此類變化視為在本發明的範圍及精神內。因此，本發明所尋求的保護係述於下文的申請專利範圍中。



圖式簡單說明

[圖式之簡單說明]：

參照下文中之說明，並配合各附圖，將可了解本發明，在這些附圖中，相同的代號識別類似的元件，這些附圖中：

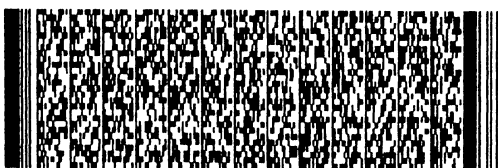
第 1 圖表示包含主處理器、協同處理器、及共用式記憶體的一多處理器電腦系統之一實施例；

第 2 圖表示第 1 圖所示共用式記憶體之一實施例，其中該共用式記憶體包含若干主處理器記憶頁表、若干協同處理器記憶頁表、程序部分、及主處理器作業系統；

第 3 圖表示第 2 圖所示該等主處理器記憶頁表及該程序部分之一實施例，其中該程序部分包含該主處理器的多個記憶頁，且其中該等主處理器記憶頁表的記憶頁表之多個記憶頁表資料項 (Page Table Entry；簡稱 PTE) 之每一 PTE 對應於該主處理器的該等多個記憶頁之不同記憶頁，且包含該對應記憶頁之基址；

第 4 圖表示第 2 圖所示該等協同處理器記憶頁表及該程序部分之一實施例，其中該程序部分包含該協同處理器之多個記憶頁，且其中該等協同處理器記憶頁表的記憶頁表的多個記憶頁表資料項 (PTE) 之每一 PTE 對應於該協同處理器的該等多個記憶頁之不同記憶頁，且包含該對應記憶頁之基址；

第 5 圖表示第 3 至 4 圖所示每一該等記憶頁表資料項 (PTE) 的格式之一實施例，其中每一該等記憶頁表資料項包含記憶頁基址欄位、更動 (D) 位元、及存在 (P) 位



圖式簡單說明

元；

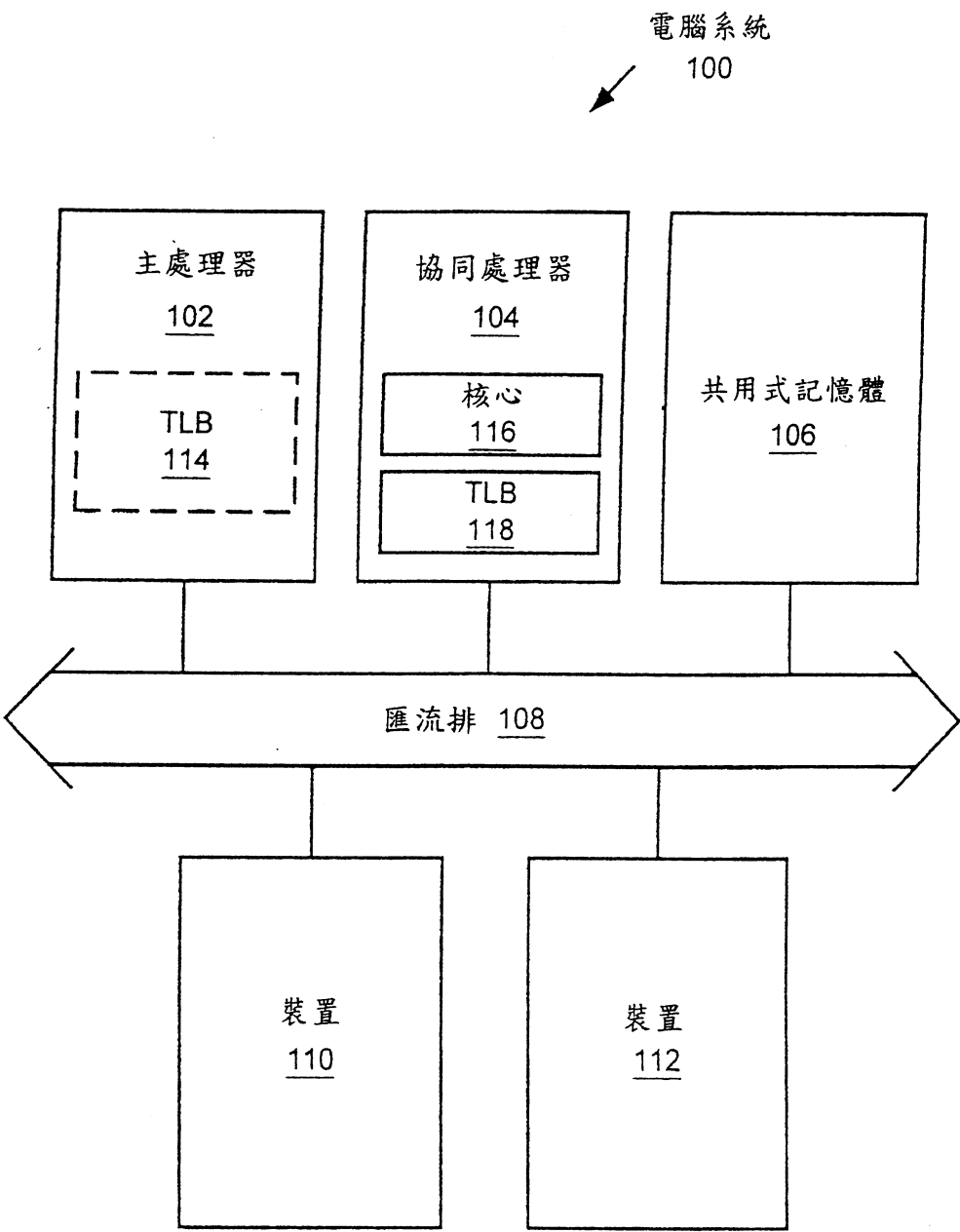
第 6 圖表示第 2 圖所示該等主處理器記憶頁表、該等協同處理器記憶頁表、及該程序部分之一實施例，其中該主處理器的每一記憶頁之容量為該協同處理器的每一記憶頁之容量的兩倍；以及

第 7A 及 7B 圖組合而形成用於多處理器電腦系統的虛擬記憶頁取代方法實施例之流程圖。

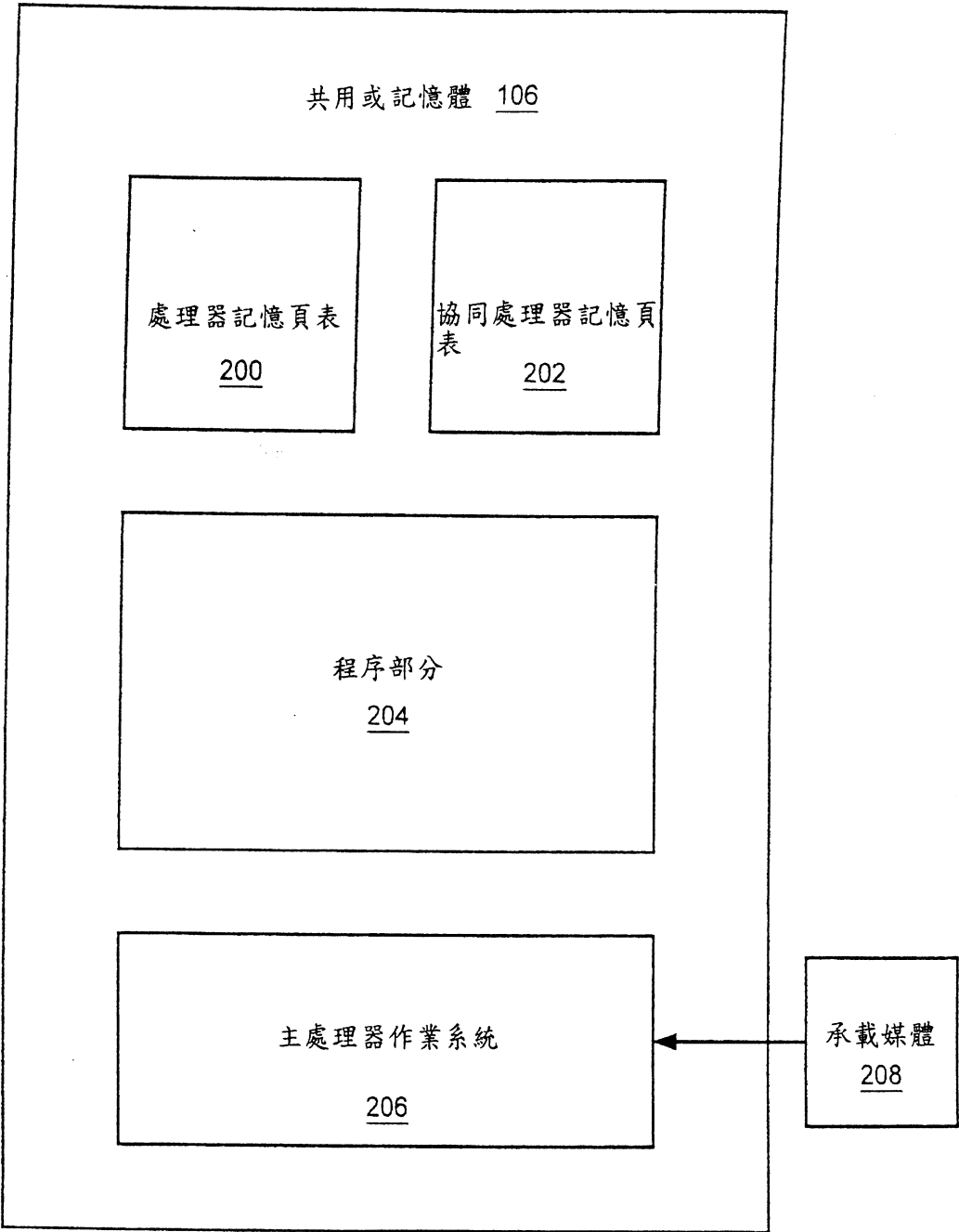
[元件符號之說明]

100	多處理電腦系統	102	主處理器
104	協同處理器	106	共用式記憶體
108	匯流排	110	第一裝置
112	第二裝置	114、118	轉換後援緩衝區
116	核心	200	主處理器記憶頁表
202	協同處理器記憶頁表	204	程序部分
206	主處理器作業系統	208	承載媒體
300、400 記憶頁表			
302、302A、402、402A、402B 記憶頁表資料項			
304、404 記憶頁		700 虛擬記憶頁取代方法	

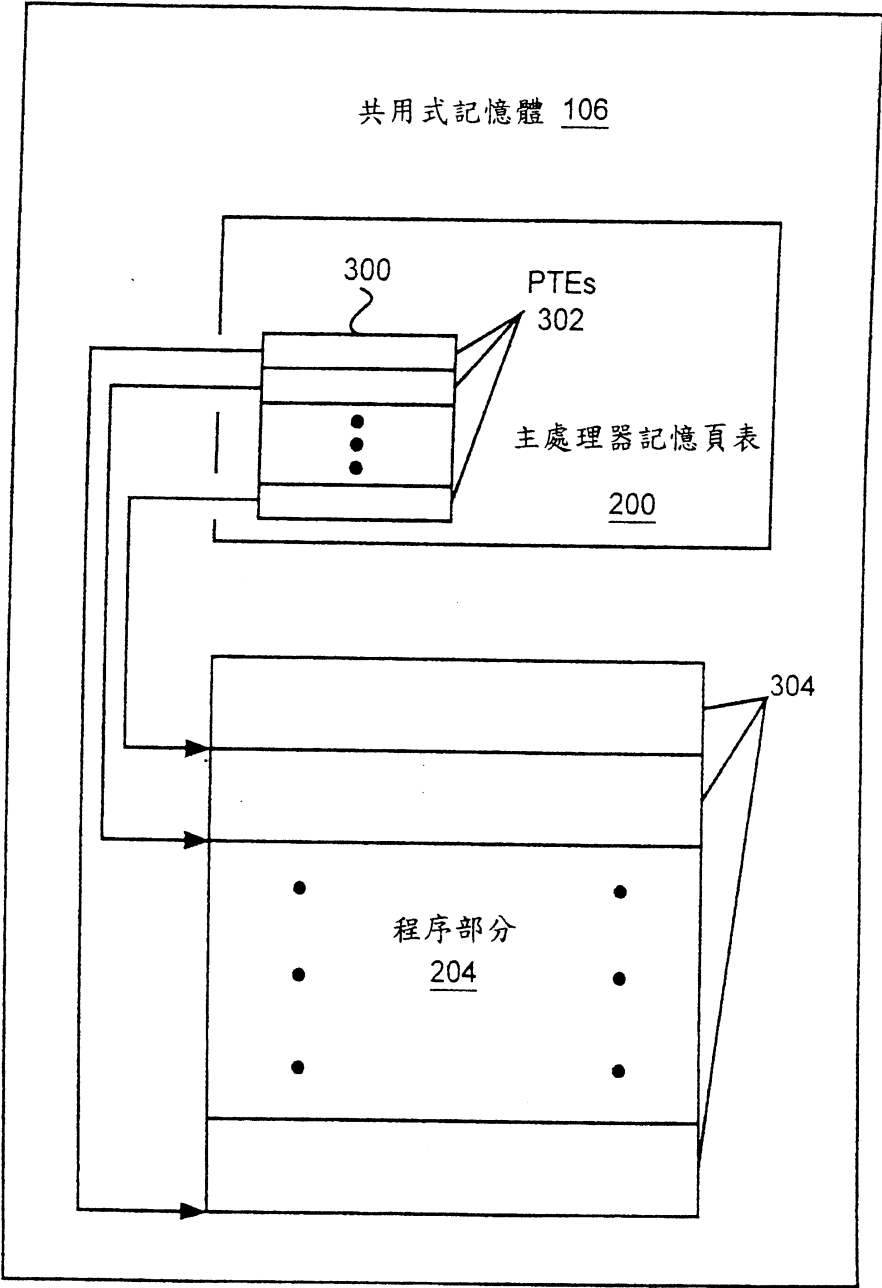




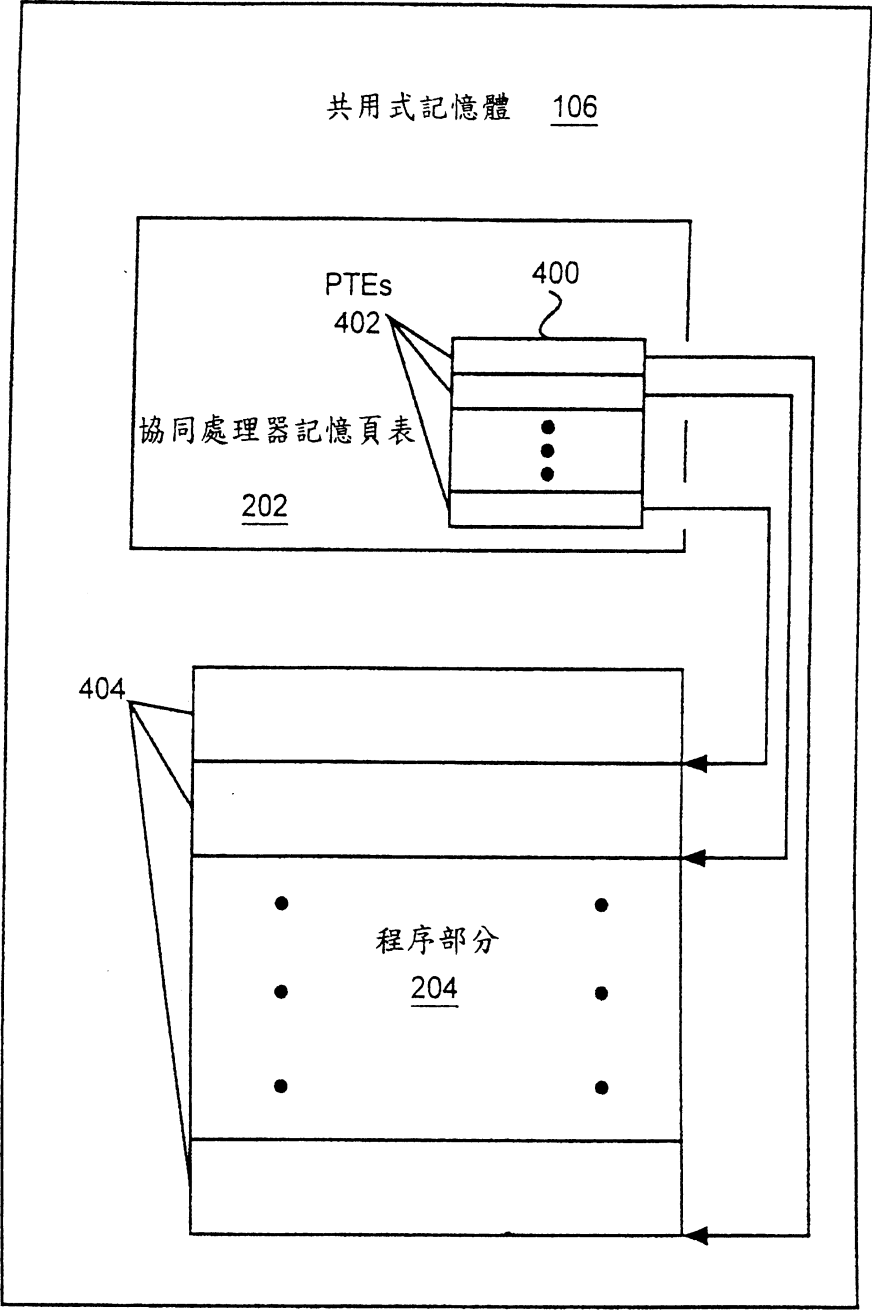
第 1 圖



第 2 圖



第 3 圖

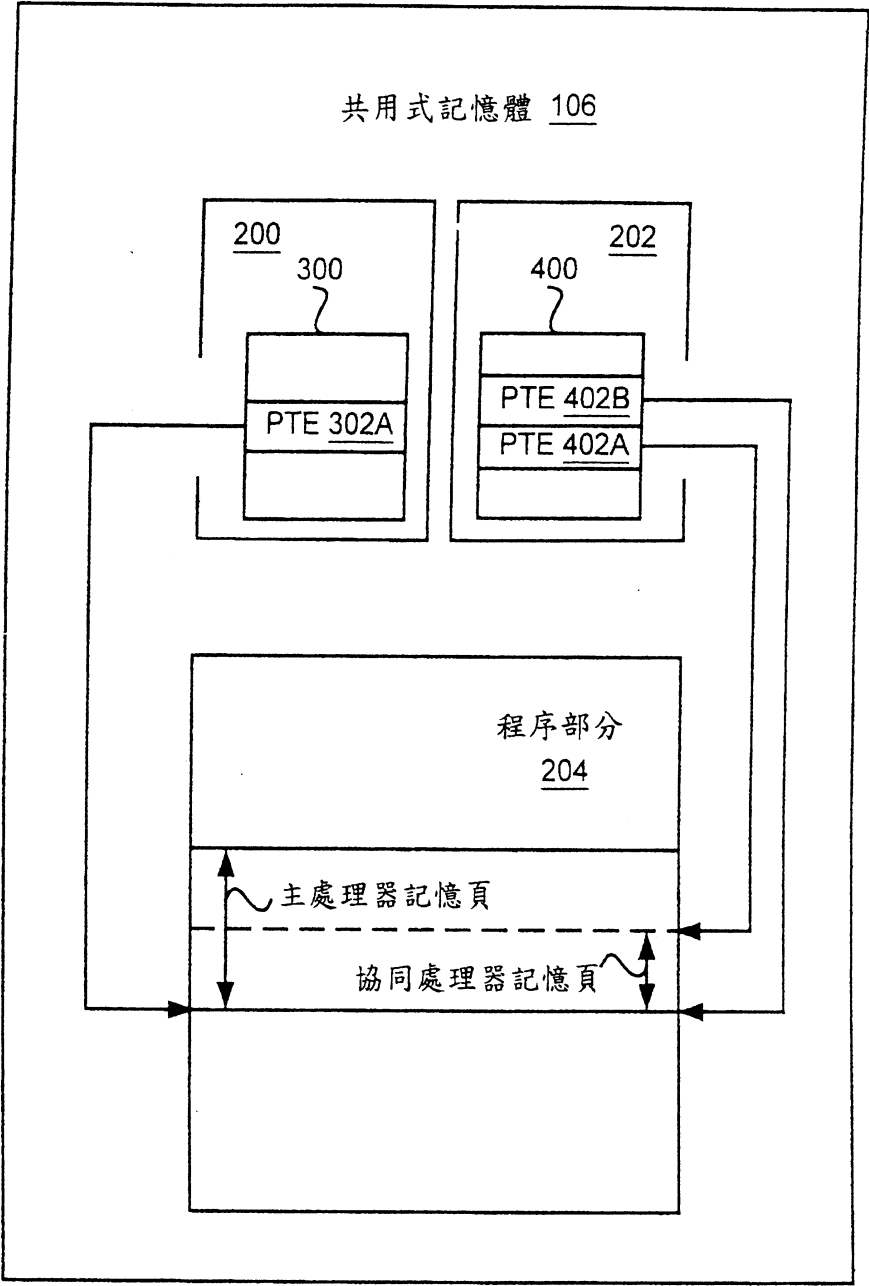


第 4 圖

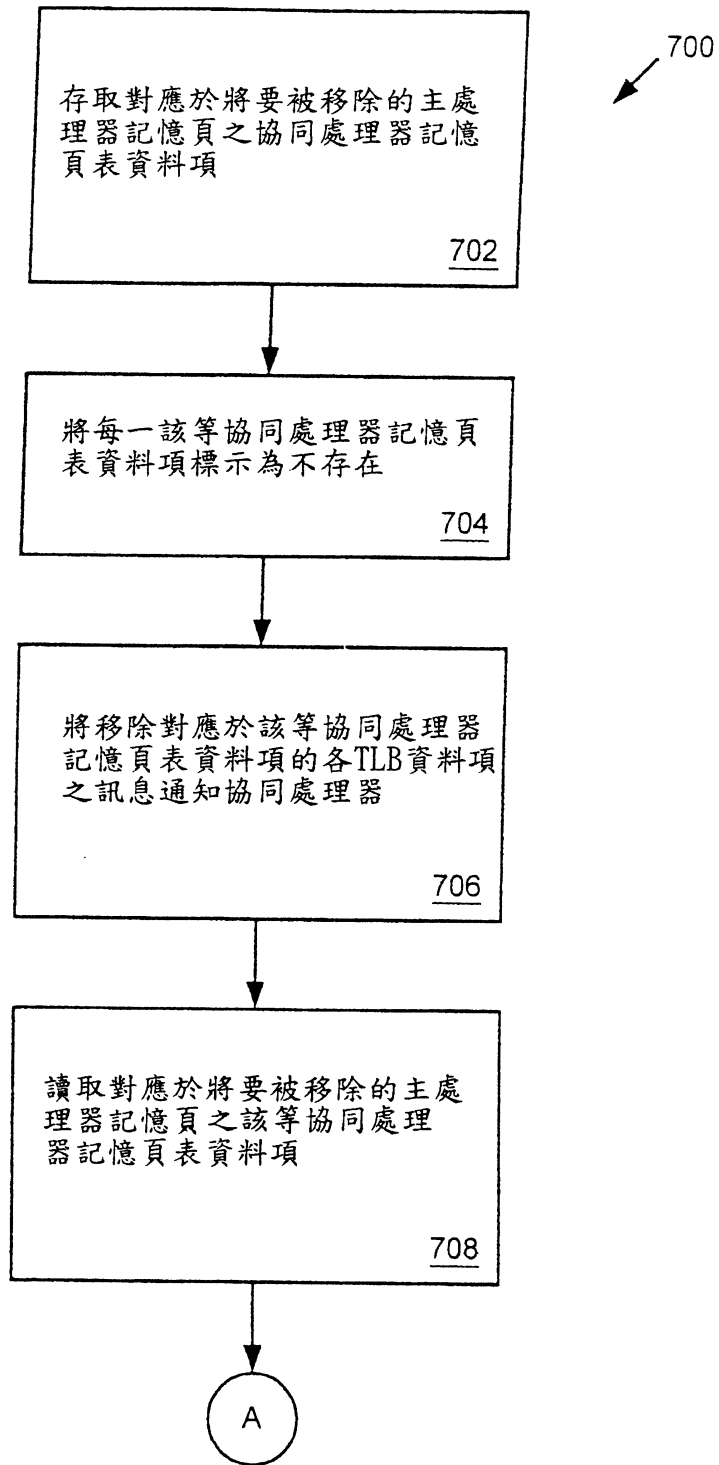
PTE 302/402 格式：

記憶頁基址		D		P	
-------	--	---	--	---	--

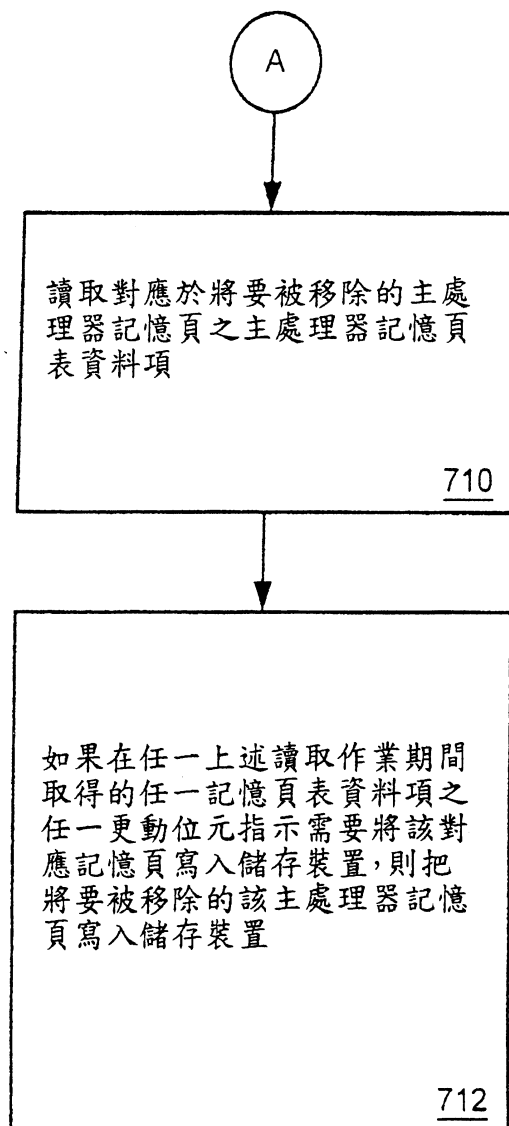
第 5 圖



第 6 圖



第 7A 圖



第 7B 圖

92年10月6日

修正

申請日期：91.3.29

案號：91106272

類別：

G66F12/06

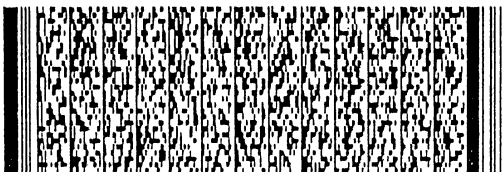
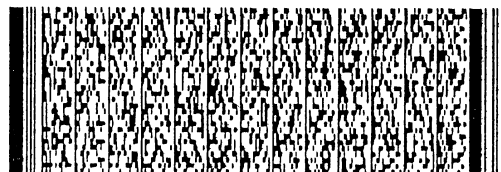
公告本

(以上各欄由本局填註)

發明專利說明書

574646

一、 發明名稱	中文	使用共用記憶體施行虛擬記憶之多處理器系統以及維持分頁記憶整合性之記憶頁更換方法
	英文	MULTIPROCESSOR SYSTEM IMPLEMENTING VIRTUAL MEMORY USING A SHARED MEMORY, AND A PAGE REPLACEMENT METHOD FOR MAINTAINING PAGED MEMORY COHERENCE
二、 發明人	姓名 (中文)	1. 德尼 湯瑪士 M
	姓名 (英文)	1. DENEAU, THOMAS M.
	國籍	1. 美國
	住、居所	1. 美國·德州78746·奧斯汀·彩虹灣604號 604 Rainbow Cove Austin, TX 78746, USA
三、 申請人	姓名 (名稱) (中文)	1. 高級微裝置公司
	姓名 (名稱) (英文)	1. ADVANCED MICRO DEVICES, INC.
	國籍	1. 美國
	住、居所 (事務所)	1. 美國·加州94088-3453·桑尼威·第1AMD區·M/S 68·郵政信箱3453號 One AMD Place, M/S 68, P. O. Box 3453, Sunnyvale, CA 94088-3453, U. S. A.
	代表人 姓名 (中文)	1. 諾迪 理查 J
	代表人 姓名 (英文)	1. RODDY, RICHARD J.

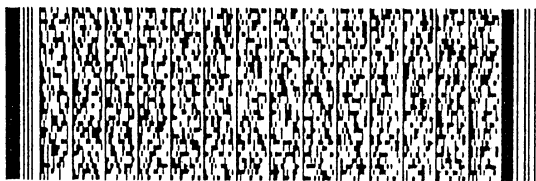
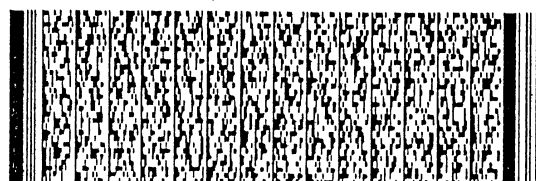


四、中文發明摘要 (發明之名稱：使用共用記憶體施行虛擬記憶之多處理器系統以及維持分頁記憶整合性之記憶頁更換方法)

本發明所揭示的一電腦系統包含第一處理器、與該第一處理器通訊的第二處理器、耦合到該第一及第二處理器且包含多個記憶位置之記憶體(亦即共用式記憶體)、以及耦合到該第一處理器之儲存裝置。該第一及第二處理器利用該記憶體實施虛擬記憶體。該第一處理器在該記憶體中維護第一組記憶頁表及第二組記憶頁表。該第一處理器將該第一組記憶頁表用來存取該記憶體內的該等記憶位置。該第二處理器將該第一處理器所維護的該第二組記憶頁表用來存取該記憶體內的該等記憶位置。本發明說明了一種用於電腦系統之虛擬記憶頁取代方法，其中該虛擬記憶頁取代方法被設計成協助維護該多處理器電腦系統內的分頁式記憶體一致性。

英文發明摘要 (發明之名稱：MULTIPROCESSOR SYSTEM IMPLEMENTING VIRTUAL MEMORY USING A SHARED MEMORY, AND A PAGE REPLACEMENT METHOD FOR MAINTAINING PAGED MEMORY COHERENCE)

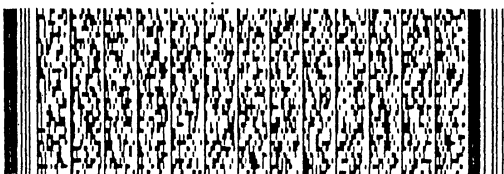
A computer system including a first processor, a second processor in communication with the first processor, a memory coupled to the first and second processors (i.e., a shared memory) and including multiple memory locations, and a storage device coupled to the first processor. The first and second processors implement virtual memory using the memory. The first processor maintains a first set of page tables and a second set of page tables in the memory. The first processor uses the



四、中文發明摘要 (發明之名稱：使用共用記憶體施行虛擬記憶之多處理器系統以及維持分頁記憶整合性之記憶頁更換方法)

英文發明摘要 (發明之名稱：MULTIPROCESSOR SYSTEM IMPLEMENTING VIRTUAL MEMORY USING A SHARED MEMORY, AND A PAGE REPLACEMENT METHOD FOR MAINTAINING PAGED MEMORY COHERENCE)

first set of page tables to access the memory locations within the memory. The second processor uses the second set of page tables, maintained by the first processor, to access the memory locations within the memory. A virtual memory page replacement method is described for use in the computer system, wherein the virtual memory page replacement method is designed to help maintain paged memory coherence within the multiprocessor computer system.



六、申請專利範圍

1. 一種用於包含第一處理器及第二處理器的多處理器系統之虛擬記憶頁取代方法，該方法包含下列步驟：

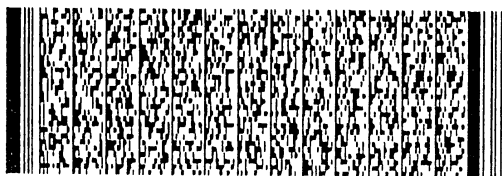
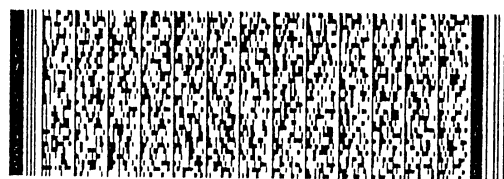
存取該第二處理器的一組記憶頁表資料項，其中該組記憶頁表資料項的每一記憶頁表資料項對應於該第二處理器的一組記憶頁之不同記憶頁，且其中該第二處理器的該組記憶頁之每一記憶頁係被儲存在記憶體中，且係對應於該第一處理器中將要自該記憶體移除的第一記憶頁，且其中該第二處理器的每一記憶頁表資料項包含存在位元及更動位元，且其中該存在位元具有用來指示該第二處理器的該對應記憶頁是否存在於該記憶體中之值，且其中該更動位元具有用來指示是否需要將該第二處理器的該對應記憶頁寫入儲存裝置之值；

改變該組記憶頁表資料項的每一記憶頁表資料項之該存在位元之值，以便指示該記憶體中並未存在有該第二處理器的該對應記憶頁，其中係執行該改變，因而並不改變該組記憶頁表資料項的每一記憶頁表資料項的該更動位元值；

將需要移除該第二處理器的一緩衝器中對應於該組記憶頁的記憶頁之任何資料項的訊息通知該第二處理器，其中該緩衝器包含多個資料項；

讀取該組記憶頁表資料項之每記憶頁表資料項，其中係在該通知之後才執行該讀取；

讀取對應於該第一處理器的該第一記憶頁之記憶



六、申請專利範圍

頁表資料項，其中該記憶頁表資料項包含更動位元，用以示是否需要將第一位元寫入該儲存裝置；以及

如果 (i) 在讀取該組記憶頁表資料項的每一記憶頁表資料項期間所得到的該組記憶頁表資料項中之至少一個記憶頁表資料項之更動位元指示需要將該第二處理器的該對應記憶頁寫入該儲存裝置，或 (ii) 在讀取該第一處理器的該記憶頁表資料項期間所得到的該記憶頁表資料項之該更動位元指示需要將該第一處理器的該第一記憶頁寫入該儲存裝置，則將該第一處理器的該第一記憶頁自該記憶體寫入該儲存裝置。

2. 如申請專利範圍第 1 項之虛擬記憶頁取代方法，其中該通知步驟包含下列步驟：

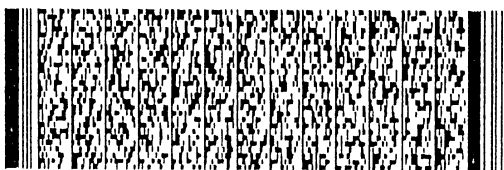
將需要移除該第二處理器的緩衝器中對應於該組記憶頁的記憶頁之任何資料項之訊息通知該第二處理器，其中該緩衝器包含多個資料項，且其中該緩衝器的每一資料項包含更動位元，用以指示是否需要將該第二處理器的對應記憶頁寫入該儲存裝置；

且其中該虛擬記憶頁取代方法進一步包含下列步驟：

以下列步驟回應該通知步驟：

找出該緩衝器中對應於該組記憶頁的記憶頁之資料項；

如果對應於該組記憶頁的該記憶頁之該資料項之該更動位元指示需要將該組記憶頁的該記憶頁寫入該



六、申請專利範圍

儲存裝置，則更新該第二處理器中對應於該組記憶頁的該記憶頁之該記憶頁表資料項之該更動位元，以便指示需要將該組記憶頁的該記憶頁寫入該儲存裝置；以及

清除對應於該組記憶頁的該記憶頁之該資料項。

3. 如申請專利範圍第 1 項之虛擬記憶頁取代方法，其中通知該第二處理器之該步驟包含下列步驟：

將訊息傳送到該第二處理器，以便指示需要清除該第二處理器的該緩衝器中對應於該組記憶頁的記憶頁之任何資料項。

4. 如申請專利範圍第 1 項之虛擬記憶頁取代方法，進一步包含下列步驟：

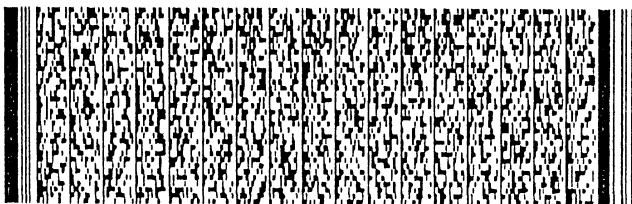
接收該第二處理器中記憶頁錯誤狀況的指示；以及

決定必須以該儲存裝置中儲存的該第一處理器之第二記憶頁取代該記憶體中儲存的該第一處理器之第一記憶頁，以便清除該第二處理器中之該記憶頁錯誤狀況。

5. 如申請專利範圍第 4 項之虛擬記憶頁取代方法，其中接收該指示之該步驟包含下列步驟：

自該第二處理器接收一指示該第二處理器中的一記憶頁錯誤狀況之訊息。

6. 一種用於包含第一處理器及一第二處理器的多處理器系統之虛擬記憶頁取代方法，該方法包含下列步驟：



六、申請專利範圍

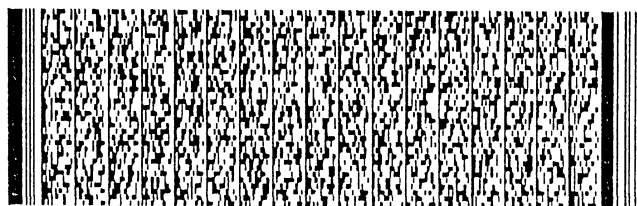
對該第二處理器的一組記憶頁表資料項之每一記憶頁表資料項執行第一讀取，其中該組記憶頁表資料項之每一記憶頁表資料項對應於該第二處理器的一組記憶頁之不同記憶頁，其中該第二處理器的該組記憶頁之每一記憶頁係被儲存在一記憶體中，且係對應於該第一處理器中將要自該記憶體移除的一第一記憶頁，且其中該第二處理器的每一記憶頁表資料項包含更動位元，用以是否需要將該第二處理器的該對應記憶頁寫入儲存裝置；

標示該組記憶頁表資料項之每一記憶頁表資料項，以便指示該記憶體中並未存在有該第二處理器的該對應記憶頁；

將需要移除該第二處理器的緩衝器中對應於該組記憶頁的記憶頁之任何資料項的訊息通知該第二處理器，其中該緩衝器包含多個資料項，且其中該緩衝器的每一資料項包含更動位元，用以指示是否需要將該第二處理器的對應記憶頁寫入該儲存裝置；

對該組記憶頁表資料項之每一記憶頁表資料項執行一第二讀取，其中係在該通知步驟之後才執行該第二讀取；

對與該第一處理器的該第記憶頁對應之一記憶頁表資料項執行一讀取，其中該記憶頁表資料項包含更動位元，用以指示是否需要將第一位元寫入該儲存裝置；以及



六、申請專利範圍

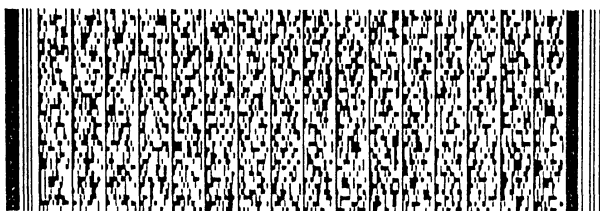
如果 (i) 在對該第二處理器的該組記憶頁表資料項之每一記憶頁表資料項執行該第一讀取期間所得到的該組記憶頁表資料項中之至少一個記憶頁表資料項之更動位元指示需要將該第二處理器的該對應記憶頁寫入該儲存裝置，或 (ii) 在對該第二處理器的該組記憶頁表資料項之每一記憶頁表資料項執行該第二讀取期間所得到的該組記憶頁表資料項中之至少一個記憶頁表資料項之更動位元指示需要將該第二處理器的該對應記憶頁寫入該儲存裝置，或 (iii) 在讀取該第一處理器的該記憶頁表資料項期間所得到的該記憶頁表資料項之該更動位元指示需要將該第一處理器的該第一記憶頁寫入該儲存裝置，則可將該第一處理器的該第一記憶頁自該記憶體寫入該儲存裝置。

7. 如申請專利範圍第 6 項之虛擬記憶頁取代方法，進一步包含下列步驟：

以下列步驟回應該通知步驟：

找出該緩衝器中對應於該組記憶頁的記憶頁之一資料項；

如果對應於該組記憶頁的該記憶頁之該資料項之該更動位元指示需要將該組記憶頁的該記憶頁寫入該儲存裝置，則更新該第二處理器中對應於該組記憶頁的該記憶頁之該記憶頁表資料項之該更動位元，以便指示需要將該組記憶頁的該記憶頁寫入該儲存裝置；以及



六、申請專利範圍

清除對應於該組記憶頁的該記憶頁之該資料項。

8. 如申請專利範圍第 6 項之虛擬記憶頁取代方法，其中通知該第二處理器之該步驟包含下列步驟：

將訊息傳送到該第二處理器，以便指示需要清除該第二處理器的該緩衝器中對應於該組記憶頁的記憶頁之任何資料項。

9. 如申請專利範圍第 6 項之虛擬記憶頁取代方法，進一步包含下列步驟：

接收該第二處理器中記憶頁錯誤狀況的指示；以及

決定必須以該儲存裝置中儲存的該第一處理器之一第二記憶頁取代該記憶體中儲存的該第一處理器之第一記憶頁，以便清除該第二處理器中之該記憶頁錯誤狀況。

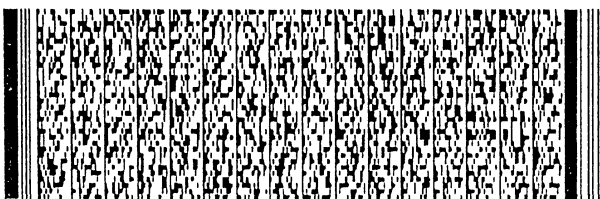
10. 如申請專利範圍第 9 項之虛擬記憶頁取代方法，其中接收該指示之該步驟包含下列步驟：

自該第二處理器接收指示該第二處理器中的記憶頁錯誤狀況之訊息。

11. 一種用於包含第一處理器及一第二處理器的多處理器系統之虛擬記憶頁取代方法，該方法包含下列步驟：

自該第二處理器接收指示該第二處理器中的記憶頁錯誤狀況之訊息；

決定必須以該儲存裝置中儲存的該第一處理器之第二記憶頁取代該記憶體中儲存的該第一處理器之第



六、申請專利範圍

一 記憶頁，以便清除該第二處理器中之該記憶頁錯誤狀況；

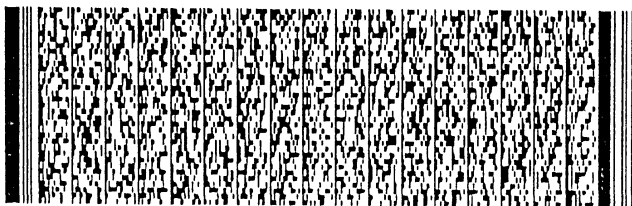
對該第二處理器的一組記憶頁表資料項之每一記憶頁表資料項執行一第一讀取，其中該組記憶頁表資料項之每一記憶頁表資料項對應於該第二處理器的一組記憶頁之一不同記憶頁，其中該第二處理器的該組記憶頁之每一記憶頁係被儲存在該記憶體中，且係對應於該第一處理器的該第一記憶頁，且其中該第二處理器的每一記憶頁表資料項包含一更動位元，用以是否需要將該第二處理器的該對應記憶頁寫入該儲存裝置；

標示該組記憶頁表資料項之每一記憶頁表資料項，以便指示該記憶體中並未存在有該第二處理器的該對應記憶頁；

將指示需要移除該第二處理器的緩衝器中對應於該組記憶頁的一記憶頁之任何資料項的訊息傳送到第二處理器，其中該緩衝器包含多個資料項，且其中該緩衝器的每一資料項包含更動位元，用以指示是否需要將該第二處理器的一對應記憶頁寫入該儲存裝置；

對該組記憶頁表資料項之每一記憶頁表資料項執行一第二讀取，其中係在傳送該訊息之後才執行該第二讀取；

對與該第一處理器的該第一記憶頁對應之記憶頁表資料項執行讀取，其中該記憶頁表資料項包含更動



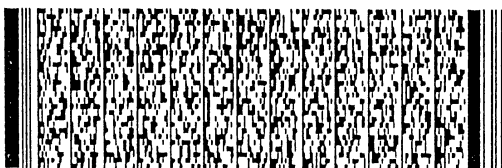
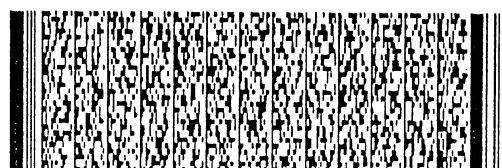
六、申請專利範圍

位元，用以指示是否需要將第一位元寫入該儲存裝置；以及

如果 (i) 在對該第二處理器的該組記憶頁表資料項執行該第一讀取期間所得到的該組記憶頁表資料項中之至少一個記憶頁表資料項之更動位元指示需要將該第二處理器的該對應記憶頁寫入該儲存裝置，或 (ii) 在對該第二處理器的該組記憶頁表資料項之每一記憶頁表資料項執行該第二讀取期間所得到的該組記憶頁表資料項中之至少一個記憶頁表資料項之更動位元指示需要將該第二處理器的該對應記憶頁寫入該儲存裝置，或 (iii) 在讀取該第一處理器的該記憶頁表資料項期間所得到的該記憶頁表資料項之該更動位元指示需要將該第一處理器的該第一記憶頁寫入該儲存裝置，則可將該第一處理器的該第一記憶頁自該記憶體寫入該儲存裝置。

12. 一種包含程式指令之承載媒體，該等程式指令係用來執行在包含第一處理器及第二處理器的多處理器系統中之虛擬記憶頁取代方法，其中可操作該等程式指令而執行下列步驟：

存取該第二處理器的一組記憶頁表資料項，其中該組記憶頁表資料項的每一記憶頁表資料項對應於該第二處理器的一組記憶頁之不同記憶頁，且其中該第二處理器的該組記憶頁之每一記憶頁係被儲存在一記憶體中，且係對應於該第一處理器中將要自該記憶體



六、申請專利範圍

移除的第一記憶頁，且其中該第二處理器的每一記憶頁表資料項包含存在位元及一更動位元，且其中該存在位元具有用來指示該第二處理器的該對應記憶頁是否存在於該記憶體中之值，且其中該更動位元具有用來指示是否需要將該第二處理器的該對應記憶頁寫入儲存裝置之值；

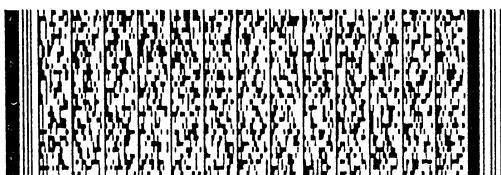
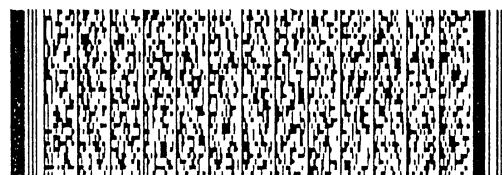
改變該組記憶頁表資料項的每一記憶頁表資料項之該存在位元之值，以便指示該記憶體中並未存在有該第二處理器的該對應記憶頁，其中係執行該改變，因而並不改變該組記憶頁表資料項的每一記憶頁表資料項的該更動位元值；

將需要移除該第二處理器的一緩衝器中對應於該組記憶頁的一記憶頁之任何資料項的訊息通知該第二處理器，其中該緩衝器包含多個資料項；

讀取該組記憶頁表資料項之每一記憶頁表資料項，其中係在該通知之後才執行該讀取；

讀取對應於該第一處理器的該第一記憶頁之記憶頁表資料項，其中該記憶頁表資料項包含更動位元，用以指示是否需要將第一位元寫入該儲存裝置；以及

如果 (i) 在讀取該組記憶頁表資料項的每一記憶頁表資料項期間所得到的該組記憶頁表資料項中之至少一個記憶頁表資料項之更動位元指示需要將該第二處理器的該對應記憶頁寫入該儲存裝置，或 (ii) 在讀取該第一處理器的該記憶頁表資料項期間所得到的



六、申請專利範圍

該記憶頁表資料項之該更動位元指示需要將該第一處理器記憶頁寫入該儲存裝置，則將該第一處理器的該第一記憶頁自該記憶體寫入該儲存裝置。

13. 如申請專利範圍第 12 項之承載媒體，其中該承載媒體是電腦可讀取的儲存媒體。

14. 如申請專利範圍第 13 項之承載媒體，其中該電腦可讀取的儲存媒體是軟碟或唯讀光碟（CD-ROM）。

15. 一種多處理器系統，包含：

第一處理器；

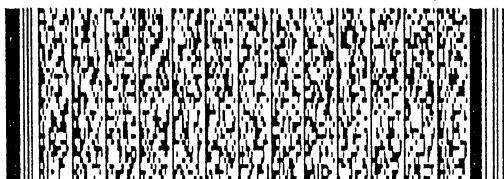
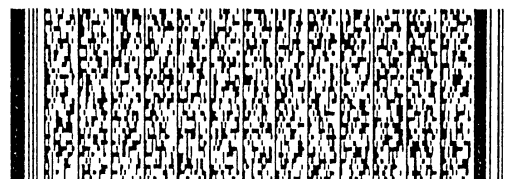
與該第一處理器通訊的第二處理器；

可作業而耦合到該第一及第二處理器之記憶體；

可作業而耦合到該第一處理器之儲存裝置；

存取裝置，用以存取該第二處理器的一組記憶頁表資料項，其中該組記憶頁表資料項的每一記憶頁表資料項對應於該第二處理器的一組記憶頁之不同記憶頁，且其中該第二處理器的該組記憶頁之每一記憶頁係被儲存在記憶體中，且係對應於該第一處理器中將要自該記憶體移除的第一記憶頁，且其中該第二處理器的每一記憶頁表資料項包含存在位元及更動位元，且其中該存在位元具有用來指示該第二處理器的該對應記憶頁是否存在於該記憶體中之值，且其中該更動位元具有用來指示是否需要將該第二處理器的該對應記憶頁寫入該儲存裝置之值；

存在位元值改變裝置，用以改變該組記憶頁表資



六、申請專利範圍

料項的每一記憶頁表資料項之該存在位元之值，以便指示該記憶體中並未存在有該第二處理器的該對應記憶頁，其中係執行該改變，因而並不改變該組記憶頁表資料項的每一記憶頁表資料項的該更動位元值；

通知裝置，用以將需要移除該第二處理器的緩衝器中對應於該組記憶頁的記憶頁之任何資料項的訊息通知該第二處理器，其中該緩衝器包含多個資料項；

讀取該組記憶頁表資料項的每記憶頁表資料項之裝置，其中係在該通知之後才執行該讀取；

讀取對應於該第一處理器的該第一記憶頁之一記憶頁表資料項之裝置，其中該記憶頁表資料項包含更動位元，用以指示是否需要將第一位元寫入該儲存裝置；以及

寫入裝置，用以在發生下列的情形時將該第一處理器的該第一記憶頁自該記憶體寫入該儲存裝置，這些情形包括：(i) 在讀取該組記憶頁表資料項的每一記憶頁表資料項期間所得到的該組記憶頁表資料項中之至少一個記憶頁表資料項之更動位元指示需要將該第二處理器的該對應記憶頁寫入該儲存裝置，或(ii) 在讀取該第一處理器的該記憶頁表資料項期間所得到的該記憶頁表資料項之該更動位元指示需要將該第一處理器的該第一記憶頁寫入該儲存裝置。

