



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.

H01L 21/8247 (2006.01)
H01L 27/115 (2006.01)

(11) 공개번호 10-2007-0006712
(43) 공개일자 2007년01월11일

(21) 출원번호 10-2006-7015075

(22) 출원일자 2006년07월26일

심사청구일자 없음

번역문 제출일자 2006년07월26일

(86) 국제출원번호 PCT/US2004/043197

(87) 국제공개번호 WO 2005/074471

국제출원일자 2004년12월21일

국제공개일자 2005년08월18일

(30) 우선권주장 10/765,804 2004년01월27일 미국(US)

(71) 출원인 프리스케일 세미컨덕터, 인크.
미합중국 텍사스 (우편번호 78735) 오스틴 윌리엄 캐논 드라이브 웨스트 6501

(72) 발명자 인거솔, 폴, 에이.
미국 78729 텍사스주 오스틴 올드 하버 레인 6304
친달로에르, 고리산카르, 엘.
미국 78749 텍사스주 오스틴 소텔레 레인 9101
무달리드하르, 라마찬드란
미국 78750 텍사스주 오스틴 피크페어 드라이브 10601

(74) 대리인 주성민
백만기
이중희

전체 청구항 수 : 총 38 항

(54) 수정된 표면 지형 및 그 구조를 이용하여 메모리 구조를 형성하는 방법

(57) 요약

반도체 디바이스(10)의 게이트 커플링 비를 증가시키기 위해, 나노크리스털과 같은 분리 소자(22)가 부유 게이트(16)위에 증착된다. 일 실시예에서, 분리 소자(22)는 기체 상태에서 미리 형성되고, 정전기력에 의해 반도체 디바이스(10)에 부착된다. 일 실시예에서, 분리 소자(22)는 이들이 부착되는 곳과는 다른 챔버에서 미리 형성된다. 다른 실시예에서, 동일한 챔버가 전체 증착 공정에서 이용된다. 선택적인, 계면층(17)은 부유 게이트(16)와 분리 소자(22)간에 형성될 수 있다.

대표도

도 6

특허청구의 범위

청구항 1.

반도체 구조를 형성하기 위한 방법에 있어서,

반도체 기판을 제공하는 단계;

상기 반도체 기판위에 제1 터널 유전체를 형성하는 단계;

상기 제1 터널 유전체위에 제1 부유(floating) 게이트를 형성하는 단계;

상기 제1 부유 게이트위에 복수의 미리 형성된 분리 소자(discrete element)를 증착하는 단계;

상기 복수의 미리 형성된 분리 소자위에 제어 유전체를 형성하는 단계; 및

상기 제어 유전체위에 제어 게이트를 형성하는 단계를 포함하는 방법.

청구항 2.

제1항에 있어서,

상기 반도체 기판에 분리 트렌치(isolation trench)를 형성하는 단계;

상기 분리 트렌치를 트렌치 충전 재료로 충전하는 단계;

상기 반도체 기판위에 제2 터널 유전체를 형성하는 단계; 및

상기 제2 터널 유전체위에 제2 부유 게이트를 형성하는 단계를 더 포함하고,

상기 트렌치 충전 재료는 상기 제1 부유 게이트와 상기 제2 부유 게이트사이에 있는 방법.

청구항 3.

제2항에 있어서,

상기 제1 부유 게이트위에 복수의 미리 형성된 분리 소자를 증착하는 단계는, 상기 트렌치 충전 재료 및 상기 제2 부유 게이트위에 상기 복수의 미리 형성된 분리 소자를 증착하는 단계를 포함하는 방법.

청구항 4.

제3항에 있어서,

상기 제어 유전체를 형성하는 단계는, 상기 제1 부유 게이트, 상기 트렌치 충전 재료, 및 상기 제2 부유 게이트위의 상기 복수의 미리 형성된 분리 소자위에 상기 제2 유전체가 존재하도록 형성되는 방법.

청구항 5.

제1항에 있어서,

상기 제1 부유 게이트위에 복수의 미리 형성된 분리 소자를 증착하는 단계는,

기체 상태 핵형성(nucleation) 동안 상기 복수의 미리 형성된 분리 소자 중 적어도 하나를 형성하는 단계; 및

상기 복수의 미리 형성된 분리 소자 중 적어도 하나를 형성한 후에, 상기 복수의 미리 형성된 분리 소자 중 적어도 하나를 상기 제1 부유 게이트 위에서 상기 반도체 기판의 표면에 부착하는 단계를 포함하는 방법.

청구항 6.

제5항에 있어서,

상기 기체 상태 핵형성은 제1 챔버에서 수행되고, 상기 부착은 제2 챔버에서 수행되는 방법.

청구항 7.

제6항에 있어서,

상기 부착은 정전기력 및 써모포레틱(thermophoretic) 힘으로 구성되는 그룹으로부터 선택되는 힘을 이용하여 수행되는 방법.

청구항 8.

제1항에 있어서,

상기 제1 부유 게이트는 폴리실리콘을 포함하는 방법.

청구항 9.

제1항에 있어서,

상기 제1 부유 게이트는 금속을 포함하는 방법.

청구항 10.

제1항에 있어서,

상기 제어 유전체를 형성하는 단계는, 상기 복수의 미리 형성된 분리 소자 위에 산화물층을 형성하고, 상기 산화물층 위에 질화물층을 형성하는 단계를 포함하는 방법.

청구항 11.

제1항에 있어서,

상기 제어 유전체를 형성하는 단계는, 상기 복수의 미리 형성된 분리 소자위에 고 유전 상수를 갖는 유전층을 형성하는 단계를 포함하는 방법.

청구항 12.

제1항에 있어서,

상기 복수의 미리 형성된 분리 소자는 미리 제조된 분리 소자인 것을 더 특징으로 하는 방법.

청구항 13.

제1항에 있어서,

상기 복수의 미리 형성된 분리 소자는 나노크리스털(nanocrystal)을 포함하는 방법.

청구항 14.

제1항에 있어서,

상기 복수의 미리 형성된 분리 소자는 분리 저장 소자를 포함하는 방법.

청구항 15.

제1항에 있어서,

상기 복수의 미리 형성된 분리 소자의 각각은 실질적으로 도전 재료를 포함하는 방법.

청구항 16.

제1항에 있어서,

상기 복수의 미리 형성된 분리 소자를 증착한 후에, 상기 복수의 미리 형성된 분리 소자 각각은 적어도 평균 약 10나노미터 만큼 서로 이격되는 방법.

청구항 17.

반도체 구조를 형성하기 위한 방법에 있어서,

반도체 기판을 제공하는 단계;

상기 반도체 기판위에 제1 터널 유전체를 형성하는 단계;

상기 제1 터널 유전체위에 제1 부유 게이트를 형성하는 단계;

상기 제1 부유 게이트위에 제1 계면층(interfacial layer)을 형성하는 단계;

상기 제1 계면층위에 복수의 분리 소자를 형성하는 단계;

상기 복수의 분리 소자 위에 제어 유전체를 형성하는 단계; 및

상기 제어 유전체위에 제어 게이트를 형성하는 단계를 포함하는 방법.

청구항 18.

제17항에 있어서,

상기 반도체 기판에 분리 트렌치를 형성하는 단계;

상기 분리 트렌치를 트렌치 충전 재료로 충전하는 단계;

상기 반도체 기판위에 제2 터널 유전체를 형성하는 단계;

상기 제2 터널 유전체위에 제2 부유 게이트를 형성하는 단계; 및

상기 제2 부유 게이트위에 제2 계면층을 형성하는 단계를 더 포함하고,

상기 트렌치 충전 재료는 상기 제1 부유 게이트와 상기 제2 부유 게이트사이에 있는 방법.

청구항 19.

제18항에 있어서,

상기 제1 계면층위에 복수의 분리 소자를 증착하는 단계는, 상기 트렌치 충전 재료 및 상기 제2 계면층위에 상기 복수의 미리 형성된 분리 소자를 증착하는 단계를 포함하는 방법.

청구항 20.

제19항에 있어서,

상기 제어 유전체를 형성하는 단계는, 상기 제1 부유 게이트, 상기 트렌치 충전 재료, 및 상기 제2 부유 게이트위의 상기 복수의 분리 소자위에 상기 제어 유전체가 존재하도록 형성되는 방법.

청구항 21.

제17항에 있어서,

상기 제1 부유 게이트는 폴리실리콘 및 금속 중 하나를 포함하는 방법.

청구항 22.

제17항에 있어서,

상기 복수의 분리 소자는 나노크리스털을 포함하는 방법.

청구항 23.

제17항에 있어서,

상기 복수의 분리 소자는 분리 저장 소자를 포함하는 방법.

청구항 24.

제17항에 있어서,

상기 복수의 분리 소자 각각은 실질적으로 도전 재료를 포함하는 방법.

청구항 25.

제17항에 있어서,

상기 제1 계면층위에 복수의 분리 소자를 형성하는 단계는, 저압 화학 기상 증착(LPCVD), 물리적 기상 증착(PVD), 및 원자 층 증착(ALD)을 포함하는 그룹으로부터 선택되는 공정을 이용하여 수행되는 방법.

청구항 26.

제17항에 있어서,

상기 복수의 분리 소자를 증착한 후에, 상기 복수의 분리 소자 각각은 적어도 평균 약 10나노미터 만큼 서로 이격되는 방법.

청구항 27.

제17항에 있어서,

상기 제1 부유 게이트위에 제1 계면층을 형성하는 단계는, 상기 제1 부유 게이트위에 산화물 층을 형성하는 단계를 포함하는 방법.

청구항 28.

제17항에 있어서,

상기 제1 부유 게이트위에 제1 계면층을 형성하는 단계는, 상기 제1 부유 게이트위에 금속층을 형성하는 단계를 포함하는 방법.

청구항 29.

반도체 구조에 있어서,

반도체 기판;

상기 반도체 기판위의 제1 터널 유전체;

상기 제1 터널 유전체위의 제1 부유 게이트;

상기 제1 부유 게이트위의 복수의 분리 소자 - 상기 복수의 분리 소자 각각은 서로 이격됨 -;

상기 복수의 분리 소자위의 제어 유전체; 및

상기 제어 유전체위의 제어 게이트를 포함하는 반도체 구조.

청구항 30.

제29항에 있어서,

상기 제1 부유 게이트위 및 상기 복수의 분리 소자 아래의 계면층을 더 포함하는 반도체 구조.

청구항 31.

제29항에 있어서,

트렌치 충전 재료로 충전된 분리 트렌치;

상기 반도체 기판위의 제2 터널 유전체; 및

상기 제2 터널 유전체위의 제2 부유 게이트를 더 포함하고,

상기 트렌치 충전 재료는 상기 제1 부유 게이트와 상기 제2 부유 게이트 사이에 있는 반도체 구조.

청구항 32.

제31항에 있어서,

상기 복수의 분리 소자는 상기 트렌치 충전 재료 및 상기 제2 부유 게이트위에 존재하는 반도체 구조.

청구항 33.

제29항에 있어서,

상기 제1 부유 게이트는 폴리실리콘을 포함하는 반도체 구조.

청구항 34.

제29항에 있어서,

상기 제1 부유 게이트는 금속을 포함하는 반도체 구조.

청구항 35.

제29항에 있어서,

상기 복수의 분리 소자는 나노크리스털을 포함하는 반도체 구조.

청구항 36.

제29항에 있어서,

상기 복수의 분리 소자는 분리 저장 소자를 포함하는 반도체 구조.

청구항 37.

제29항에 있어서,

상기 복수의 분리 소자 각각은 실질적으로 도전 재료인 반도체 구조.

청구항 38.

제29항에 있어서,

상기 복수의 분리 소자 각각은 적어도 10나노미터 만큼 서로 이격되어 있는 반도체 구조.

명세서

기술분야

본 발명은 일반적으로 반도체 디바이스에 관한 것이며, 특히, 메모리 디바이스에 관한 것이다.

배경기술

비휘발성 메모리 디바이스에서, 제어 게이트와 부유(floating) 게이트간의 제1 커패시턴스와 부유 게이트와 기판간의 제2 커패시턴스의 비(ratio)를 증가시키는 것이 바람직하다. 제1 및 제2 커패시턴스의 비는 게이트 커플링 비로 알려져 있다. 높은 게이트 커플링 비를 가짐으로써 더 적은 외면이 이용될 수 있고, 이에 따라 바람직하게 칩 공간을 절감할 수 있다.

게이트 커플링 비를 증가시키는 하나의 방법은 비 휘발성 메모리에서 부유 게이트의 폭을 증대시키는 것이다. 그러나, 부유 게이트의 폭을 증가시키면 바람직하지 않게 비 휘발성 메모리 디바이스의 크기를 증가시키게 된다. 게다가, 부유 게이트의 폭이 증가함에 따라, 부유 게이트간의 공간은 감소한다. 부유 게이트는 전형적으로 등각(conformal) 층을 증착하고 다음에 부유 게이트를 형성하기 위해 그 층을 에칭하여 형성된다. 부유 게이트간의 공간이 너무 적으면, 공간을 형성하기 위해 층의 임의의 불필요한 부분을 제거하는데 서브-리소그래픽 공정이 이용된다. 서브-리소그래픽 공정은 고가이고, 제조 환경에서 제어가 곤란하다. 따라서, 게이트 커플링 비를 상당히 감소시키지 않고 부유 게이트 사이지를 감소시키기 위한 제조 공정이 필요하게 된다.

도면의 간단한 설명

본 발명은 일례로서 설명되고, 첨부 도면에 의해 제한되는 것은 아니며, 여기서 동일한 참조 번호는 동일한 엘리먼트를 나타낸다.

도 1은 본 발명의 실시예에 따른 터널 유전체, 부유 게이트, 마스크, 및 (분리) 트랜치를 구비한 반도체 디바이스의 단면도.

- 도 2는 본 발명의 실시예에 따른 트렌치내에 트렌치 충전 재료를 형성한 후의 도 1의 반도체 디바이스를 도시하는 도면.
- 도 3은 본 발명의 실시예에 따라 반도체 디바이스 위에 분리 소자를 형성한 후의 도 2의 반도체 디바이스를 도시하는 도면.
- 도 4는 본 발명의 다른 실시예에 따라 계면층 및 분리 소자를 형성한 후의 도 2의 반도체 디바이스를 도시하는 도면.
- 도 5는 본 발명의 실시예에 따라 제어 유전체를 형성한 후의 도 3의 반도체 디바이스를 도시하는 도면.
- 도 6은 본 발명의 실시예에 따라 제어 게이트를 형성한 후의 도 5의 반도체 디바이스를 도시하는 도면.

도면에서의 엘리먼트는 간략화 및 명확화를 위해 도시되었고, 반드시 축적에 따라 도시된 것은 아니라는 것을 본 기술분야의 숙련자는 알 수 있다. 예컨대, 도면내의 몇몇 엘리먼트의 치수는 본 발명의 실시예의 이해를 돕기 위해 다른 엘리먼트에 비해 과장될 수 있다.

실시예

반도체 기판을 제공하고, 반도체 기판위에 터널 유전체를 형성하고, 제1 터널 유전체 위에 부유 게이트를 형성하고, 제1 부유 게이트위에 복수의 분리 소자를 형성하고, 복수의 미리 형성된 분리 소자위에 제어 유전체를 형성하고, 제어 유전체 위에 제어 게이트를 형성하여 반도체 구조가 형성될 수 있다. 또한, 부유 게이트위에 계면층이 선택적으로 형성될 수 있고, 여기서 복수의 분리 소자는 계면층위에 형성된다. 일 실시예에서, 미리 형성된 분리 소자를 제공하고, 존재한다면, 계면층과 부유 게이트위의 미리 형성된 분리 소자를 반도체 기판의 표면에 부착하여 부유 게이트위에 복수의 분리 소자가 형성될 수 있다. 더 상세한 사항 및 대안적인 공정 및 결과적인 구조는 도면을 참조하여 더 잘 이해될 수 있다.

마스크(18), 부유 게이트(16), 터널 유전체(14), 및 (분리) 트렌치(11)를 형성하도록 패터닝된 반도체 기판(12)을 구비한 반도체 디바이스(10)(예컨대, 비-휘발성 메모리 디바이스)의 일부가 도 1에 도시된다. 반도체 기판(12)은 임의의 반도체 재료, 또는 갈륨 비소, 실리콘 게르마늄, 실리콘-온-절연체(SOI), 실리콘, 모노크리스털라인(monocrystalline) 실리콘 등과 같은 재료의 조합 및 전술한 재료들의 조합이 될 수 있다. 트렌치(11)를 형성하기 이전에 터널 유전체(14), 부유 게이트(16) 및 마스크(18)가 반도체 기판(12)위에 형성된다. 터널 유전체(14)는 실리콘 이산화물, 트랩-프리(trap-free) 실리콘 질화물, 임의의 다른 적절한 절연 재료, 열적 성장, 열적 보조 확산 또는 증착(예컨대, 화학 기상 증착(CVD))에 의해 형성되는 전술한 재료의 조합, 또는 전술한 재료의 조합이 될 수 있다. 일 실시예에서, 터널 유전체(14)는 약 5-15 나노미터의 두께를 갖는다. 터널 유전체(14)위에 형성된, 부유 게이트(16)는 폴리실리콘, 금속(예컨대, 티타늄), 임의의 다른 도전성 재료(예컨대, 티타늄 질화물), 또는 전술한 재료의 조합이 될 수 있다. 부유 게이트(16)는 CVD와 같은 임의의 다른 증착 공정에 의해 형성될 수 있고, 약 50-200 나노미터의 두께를 갖는다.

부유 게이트(16)를 형성한 후에, 마스크(18)가 반도체 디바이스(10)위에 증착된다. 마스크(18)는 하나의 층 또는 하나 이상의 층을 포함할 수 있다. 일 실시예에서, 마스크(18)는 하드마스크(예컨대, 질화물) 또는 포토레지스트 재료가 될 수 있다. 마스크(18)는 당업자에게 알려진 종래의 공정을 이용하여 패터닝된다. 일 실시예에서, 마스크(18)는 하부 부유 게이트(16) 및 터널 유전체(14)를 패터닝하고, 트렌치(11)를 형성하도록 반도체 기판(12)을 에칭하는 것 모두에 이용된다. 일 실시예에서, CF_4 는 부유 게이트(16), 터널 유전체(14), 및 반도체 기판(12)을 (건식) 에칭하는데 이용되지만, 다른 화학물도 이용될 수 있다. 다른 실시예에서, 습식 에칭이 수행된다. 트렌치(11)의 측벽은 경사지게 도 1에 도시되고, 이것은 에칭 공정에 의한 가공물이고, 이용되는 공정에 따라 다르다. 일 실시예에서, 트렌치(11)의 폭은 약 100 내지 300 나노미터이고, 트렌치(11)의 깊이는 약 200-500 나노미터이다.

도 1에 도시된 바와 같이, 부유 게이트(16)가 트렌치(11)에 대해 자기 정렬(self aligned)되기 때문에 부유 게이트(16)간의 거리는 충분히 커서 부유 게이트(16)간의 재료는 리소그래픽 공정을 이용하여 제거될 수 있다. 또한, 자기 정렬은 부유 게이트와 트렌치(11)의 오버래핑으로 인해 발생하는 다른 문제를 피할 수 있게 한다. 유감스럽게도, 부유 게이트(16)가 트렌치(11)에 대해 자기 정렬되도록 부유 게이트(16)의 폭을 감소시키는 것은 게이트 커플링 비를 감소시킨다. 그러나, 이하 설명되는 바와 같이, 부유 게이트(16)의 표면의 지형은 분리 소자를 형성하여 게이트 커플링 비를 증가시키도록 수정될 수 있다. 따라서, 부유 게이트 폭으로 인해 감소된 게이트 커플링 비가 부유 게이트(16)의 지형의 수정에 의해 증가된 게이트 커플링에 의해 오프셋되는 것은 명백하다.

이하 기술되는 부유 게이트의 지형의 수정은 임의의 부유 게이트 및 이러한 장점을 얻기 위해 이용될 수 있다. 따라서, 부유 게이트가 자기 정렬되지 않고 대신에 트렌치를 오버래핑하면, 다음에 지형에 대한 수정은 게이트 커플링 비를 증가시키게 된다.

트렌치(11)를 형성한 후에, 트렌치 충전 재료(20)는 반도체 디바이스(10)위에 형성된다. 일 실시예에서, 트렌치 충전 재료(20)는 CVD를 이용하여 증착되지만, PVD(physical vapor deposition)와 같은 임의의 다른 증착 공정도 이용될 수 있다. 트렌치 충전 재료(20)는 실리콘 이산화물, 임의의 유전체, 또는 이들의 조합이 될 수 있다. 일 실시예에서, 트렌치 충전 재료(20)를 증착한 후에 트렌치 충전 재료(20)는 도 2에 도시된 바와 같이 화학적 기계적 연마(CMP)를 이용하여 마스크(18)의 상부와 동일 평면상에 형성된다.

트렌치 충전 재료(20)를 평탄화한 후에, 마스크(18)는 종래의 기술을 이용하여 제거된다. 예컨대, 마스크(18)가 질화물이면, 웨트 스트립(wet strip)(예컨대, 인산)이 이용될 수 있다. 다음에, 분리 소자(22)는 부유 게이트(16)위에 형성된다. 분리 소자(22)는, 나노클러스터(nanocluster), 나노크리스탈, 분리 기억 소자, 표면 강화 분리 소자등, 또는 이들의 조합이 될 수 있다. 분리 소자(22)는 반도체 재료(예컨대, 실리콘, 게르마늄등 또는 이들의 조합) 또는 도전 재료(예컨대, 금속 또는 금속 합금)이 될 수 있다. 따라서, 분리 소자(22)는 실질적으로 도전성이다.

분리 소자(22)는 서로간에 이격되어 형성된다. 즉, 분리 소자(22)는 서로간에 물리적으로 분리되어 있다. 일 실시예에서, 분리 소자(22)는 적어도 평균 약 10 나노미터 또는 더 구체적으로 평균 약 20-40 나노미터 이격되어 있다. 분리 소자(22)는 서로간에 모두가 동일 거리로 이격되지는 않는다. 예컨대, 제1 분리 소자(22)는 제2 분리 소자(22)와 약 11 나노미터 이격될 수 있고, 제2 분리 소자(22)는 제3 분리 소자와 약 9 나노미터 이격될 수 있지만, 평균적으로 제1, 제2 및 제3 분리 소자(22)는 적어도 약 10 나노미터 이격된다.

도 3-6에 도시된 바와 같이, 2개 이상의 분리 소자(22)가 하나의 거대한 분리 소자(23)를 형성하도록 서로간에 결합될 수 있지만, 모든 분리 소자(22)가 서로간에 물리적으로 접촉되어 있는 것은 아니다. 일 실시예에서, 분리 소자(22)는 약 5 내지 30 나노미터의 직경을 갖는다. 일 실시예에서, 분리 소자(22)가 직경이 다를 수 있지만, 그 변화는 평균 직경에 대해 단지 10 퍼센트 정도이다.

일 실시예에서, 분리 소자(22)는 부유 게이트(16)(예컨대, 실리콘)와 동일한 재료이고, 이것은 분리 소자(22)의 형성을 방해한다. 즉, 분리 소자(22)가 동일한 재료로 이루어진 층위에 응집될 때, 분리 소자(22)는 에너지 문제로 인해 바람직하지 않게 합체하고 연속적인 층을 형성한다. 따라서, 분리 소자가 형성되는 동일한 재료위에 분리 소자(22)를 형성하기 위해서는, 부유 게이트(16)의 표면에 접촉하기 전에 분리 소자가 응집되어야 한다. 따라서, 분리 소자(22)는 부유 게이트(16)에 접촉하기 전에 미리 형성되어야 한다. 일 실시예에서, 분리 소자(22)는 고온의 실리콘-함유 프리커서(precursor) 가스에서 열분해(pyrolysis)(즉, 기체 상태 핵 형성) 다음의 가스/증기 상태에서 응집한다. 일 실시예에서, 이용되는 프리커서는 실란(SiH_4)이다. 이용되는 온도는 실란을 실리콘 원자 및 가스 상태의 수소 가스로 분해하기에 충분하게 높아야 한다. 다음에 실리콘 원자는 가스 상태에서 응집되고, 기상 증착 및 응고에 의해 성장한다. 일 실시예에서, 실리콘 핵은 직경이 약 5 내지 30 나노미터이다. 일 실시예에서, 이용되는 온도는 약 섭씨 900도보다 높고, 실리콘 함유 프리커서의 부분 압력은 약 0.1 torr 보다 크다. 이러한 온도는 실리콘에 대한 전형적인 저압 화학 기상 증착(LPCVD) 공정에서 이용되는 것 보다 높다. 나노크리스탈을 형성한 후에, 이들은 정전기력에 의해 반도체 디바이스(10)에 부착되고, 그 핵은 인력이 되는 중력으로서 너무 작다. 형성, 이온화, 증착 공정의 부착 단계는 동일하거나 다른 챔버 또는 튜에서 발생할 수 있다. 대안적으로, 분자는 웨이퍼상에 써포포레틱(thermophoretic) 방식으로 증착될 수 있다. 고온 변화에서 나타나는 작은 분자는 더 높은 온도의 영역으로부터 더 낮은 온도의 영역으로 운반된다. 예컨대, 낮은 압력의 환경에서, 더 높은 운동 에너지로 인해, 더 고온의 측면에서 더 높은 속도로 나노입자상에 가스 원자가 충돌하고, 이에 따라 더 낮은 온도의 영역으로 운반한다. 이러한 써포포레틱 모션은 고온의 분위기로부터의 나노입자를 훨씬 낮은 온도에서 유지되는 웨이퍼의 표면에 증착시키는데 이용될 수 있다.

다른 실시예에서, 분리 소자(22)는 부유 게이트(16)와는 다른 재료이다. 예컨대, 분리 소자(22)는 금속이 될 수 있고, 부유 게이트(16)는 폴리실리콘이 될 수 있으며, 또는 그 반대가 될 수 있다. 본 실시예에서 분리 소자(22)를 증착시키기 위해, 핵이 부유 게이트(16)의 표면에 형성되는 LPCVD에 의해, 또는 PVD 또는 원자 층 증착(ALD)과 같은 임의의 다른 공정에 의해 전술한 바와 같이 부착 이전에 기체 상태에서 핵이 형성될 수 있다. 따라서, 분리 소자(22)는 본 실시예에서는 기체 상태에서 응집될 필요가 없다.

다른 실시예에서, 계면층(17)은 도 4에 도시된 바와 같이, 부유 게이트(16)위에 형성될 수 있다. 일 실시예에서, 계면층(17)은 실리콘 이산화물과 같은 유전체이다. 다른 실시예에서, 계면층(17)은 도전체(예컨대, 금속 또는 금속 합금)가 될 수 있다. 계면층(17)은 양호하게는 전기적으로 투명한 박막층(예컨대, 약 0.5 내지 1nm)이다. 계면층(17)이 충분히 얇으면, 후속 고온 공정동안 불(ball)로 합체될 수 있고, 이것은 반도체 디바이스(10)의 기능에 영향을 주지 않게 된다. 계면층(17)은, 도 1 및 도 2에 따라 위에서 설명된 바와 같이, 부유 게이트(16)위에 CVD, PVD, ALD, 확산등 또는 이들의 조합에 의해 형성될 수 있고, 마스크(18)를 이용하여 패턴화될 수 있다. 대안적으로, 계면층(17)은 마스크(18)를 제거한 후에 형성될 수 있다. 본 실시예에서, 계면층(17)이 도전체이면, 마스크(도시되지 않음)를 이용하여 패턴화되고 제거될 수 있고, 따라서 트렌치 충전 재료(20)에 의해 서로간에 전기적으로 분리되는 반도체 디바이스(10)의 영역에 전기적으로 결합되지 않는다. 계면층(17)이 유전체이면, 제거될 필요가 없다. 계면층(17)은 분리 소자(22) 및 부유 게이트(16)과는 다른 재료인 층을 형성하기 위해 존재하고, 이에 따라 LPCVD를 통한 나노크리스털의 증착이 이용될 수 있고, 이것은 부유 게이트(16)와 접촉하기 이전에 기체 상태에서 각각의 핵이 형성되는 곳에서 분리 소자(22)를 증착하는 것 보다 비용이 적게 든다. 예컨대, 부유 게이트(16) 및 분리 소자(22)가 실리콘을 포함하면, 층(17)은 실리콘 이산화물 또는 실리콘 질화물이 될 수 있다.

다른 실시예에서, 미리 제조된 분리 소자(22)는 콜로이드 용액에서 반도체 디바이스를 웨팅(wetting)하여 반도체 디바이스(10)상에 증착될 수 있다. 콜로이드 용액은 솔벤트 및 미리 제조된 분리 소자를 포함할 수 있다. 일 실시예에서, 웨팅 프로모터가 콜로이드 용액의 균일한 분산을 촉진하기 위해 콜로이드 용액에 부가될 수 있다.

도 3 및 4에 따라 설명된 실시예에서, 분리 소자(22)는 전체 표면 영역을 증가시켜 부유 게이트(16)의 지형을 수정한다. 존재한다면, 계면층(17)이 얇기 때문에, 분리 소자(22)는, 계면층(17)이 유전체이면, 부유 게이트로부터 전기적으로 분리되지 않는다. 계면층(17)이 금속이면, 부유 게이트는 역시 부유 게이트(16)로부터 전기적으로 분리되지 않고, 대신에, 계면층(17)을 통해 부유 게이트(16)로 결합된다. 부유 게이트(16)의 전체 표면 영역을 증가시킴으로서, 게이트 커플링 비는 증가한다.

도 3-4에 도시된 바와 같이, 분리 소자(22)는 부유 게이트(16) 및 트렌치 충전 재료(20)로 채워진 트렌치(11)위에 형성된다. 분리 소자(22)가 부유 게이트(16) 서로와 결합 또는 단락되지 않기 때문에 트렌치 충전 재료(20)위의 분리 소자(22)를 제거할 필요가 없다. 즉, 분리 소자(22)가 서로간에 물리적으로 분리되어 있기 때문에, 부유 게이트(16)위의 분리 소자(22)가 서로 결합되었다면 필요했을 패턴링 공정을 제거할 수 있어서 공정이 간단해진다. 예컨대, 분리 소자(22) 대신에 연속적인 층이 이용되었다면, 부유 게이트(16)가 서로 단락되지 않도록 트렌치 충전 재료(20)위에 형성되는 연속 층의 일부를 제거하기 위해 패턴링 공정이 필요하게 된다.

분리 소자(22)를 형성한 후에, 제어 유전체(24)가 도 5에 도시된 바와 같이 분리 소자(22)위에 형성된다. 분리 소자(22)간의 공간으로 인해, 제어 유전체(24)의 일부는 분리 소자(22) 사이에 형성된다. 제어 유전체(24)는 하부 분리 소자(22)의 존재로 인해 비 평면 지형을 갖게 된다. 일 실시예에서, 제어 유전체(24)는 절연 또는 유전 층 또는 적층된 층이 될 수 있다. 예컨대, 제어 유전체(24)는 산화물-질화물-산화물(ONO) 적층(여기서, 일 실시예에서, 산화물은 실리콘 이산화물이고, 질화물은 실리콘 질화물) 또는 고-k(고 유전 상수) 재료가 될 수 있다. 여기서 이용된 바와 같이, 고-k 재료는 실리콘 이산화물보다 큰 유전 상수를 갖는 재료이다. 제어 유전체(24)는 증착(예컨대, CVD, PVD, ALD, 등 또는 이들의 조합), 열적 산화등, 또는 이들의 조합에 의해 형성될 수 있다.

제어 유전체(24)를 형성한 후에, 제어 전극(제어 게이트)(26)가 반도체 디바이스(10)위에 형성된다. 일 실시예에서, 제어 전극(26)은 폴리실리콘, 금속, 임의의 다른 도전성 재료, 또는 이들의 조합이다. 제어 전극(26)은 CVD, PVD, ALD 등 또는 이들의 조합에 의해 형성될 수 있다. 당업자에게 알려진 종래의 공정은 제어 전극(24)을 형성한 후에 수행될 수 있다.

게이트 커플링 비를 상당히 감소시키지 않고, 부유 게이트 사이즈를 감소시키는 제조 공정이 제공되었다는 것을 이제 알 수 있다. 부유 게이트간의 공간은 제조가능한 공정을 이용하여 제거되기에 충분하게 크고, 부유 게이트의 수정된 지형은 디바이스의 게이트 커플링 비를 증가시킨다.

전술한 명세서에서, 본 발명은 특정 실시예를 참조하여 기술되었다. 그러나, 당업자는 이하 기술되는 특허청구범위에 따른 본 발명의 범주를 벗어남이 없이 다양한 변형 및 변경이 만들어질 수 있다는 것을 알 수 있다. 예컨대, 부유 게이트(16)는 트렌치(11)에 자기 정렬될 필요가 없다. 따라서, 명세서 및 도면은 제한적이라기 보다는 예시적인 것으로 간주되어야 하고, 이러한 모든 변형은 본 발명의 범주내에 포함되도록 의도된다.

장점, 이점 및 문제에 대한 해결책이 특정 실시예에 따라 기술되었다. 그러나, 장점, 이점 및 문제에 대한 해결책 및 임의의 장점 이점 및 해결책이 발생하도록 하는 임의의 엘리먼트는 임의의 또는 모든 특허청구범위에 대해 중요하고, 요구되고,

필수적인 특징 또는 엘리먼트로 해석되어서는 안된다. 여기서 이용된 용어 "포함", "포함함" 또는 임의의 다른 변형은 비제한적인 포함을 커버하도록 의도되었고, 엘리먼트의 리스트를 포함하는 공정, 방법, 아티클, 또는 장치는 이러한 엘리먼트만을 포함하는 것은 아니며 이러한 공정, 방법, 아티클 또는 장치에 명백하게 열거되거나 포함되지 않은 다른 엘리먼트도 포함할 수 있다. 여기서 이용된 용어 "a", "an"은 하나 또는 그 이상을 나타내도록 정의된다. 게다가, 명세서 및 특허청구범위에 존재하는, 용어 "전면", "후면", "상부", "하부", "위에", "아래에"등은 설명을 위한 목적으로 기술되었고, 반드시 영구적인 상대 위치를 기술하는 것은 아니다. 이용된 용어는 적절한 환경에서 상호교환가능하고, 예컨대, 여기서 기술된 본 발명의 실시예는 여기서 기술된 것과는 다른 근원에서 동작할 수 있다. 용어 "복수"는 2개 이상을 정의한다. 용어 "다른"은 적어도 2개 이상을 정의한다. 이용된 용어 "결합"은 반드시 직접 및 반드시 기계적은 아닐지라도 접속을 정의한다.

도면의 간단한 설명

본 발명은 일례로서 설명되고, 첨부 도면에 의해 제한되는 것은 아니며, 여기서 동일한 참조 번호는 동일한 엘리먼트를 나타낸다.

도 1은 본 발명의 실시예에 따른 터널 유전체, 부유 게이트, 마스크, 및 (분리) 트렌치를 구비한 반도체 디바이스의 단면도.

도 2는 본 발명의 실시예에 따른 트렌치내에 트렌치 충전 재료를 형성한 후의 도 1의 반도체 디바이스를 도시하는 도면.

도 3은 본 발명의 실시예에 따라 반도체 디바이스 위에 분리 소자를 형성한 후의 도 2의 반도체 디바이스를 도시하는 도면.

도 4는 본 발명의 다른 실시예에 따라 계면층 및 분리 소자를 형성한 후의 도 2의 반도체 디바이스를 도시하는 도면.

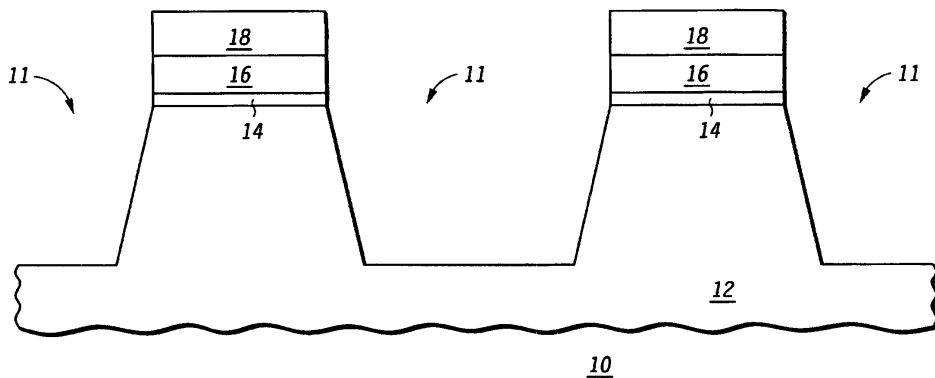
도 5는 본 발명의 실시예에 따라 제어 유전체를 형성한 후의 도 3의 반도체 디바이스를 도시하는 도면.

도 6은 본 발명의 실시예에 따라 제어 게이트를 형성한 후의 도 5의 반도체 디바이스를 도시하는 도면.

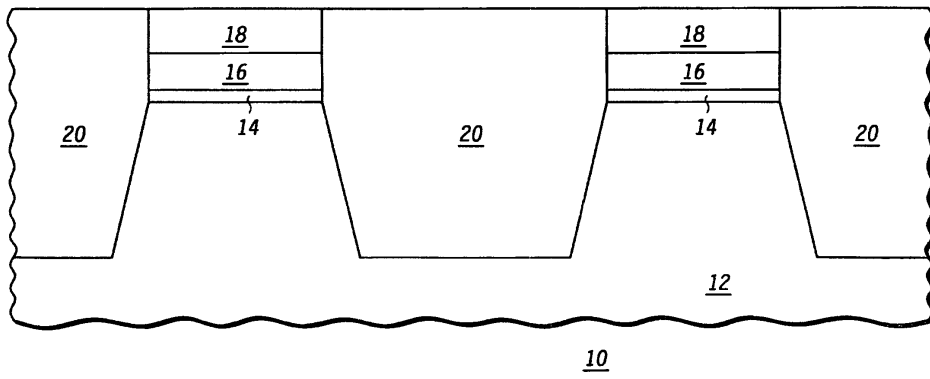
도면에서의 엘리먼트는 간략화 및 명확화를 위해 도시되었고, 반드시 축적에 따라 도시된 것은 아니라는 것을 본 기술분야의 숙련자는 알 수 있다. 예컨대, 도면내의 몇몇 엘리먼트의 치수는 본 발명의 실시예의 이해를 돕기 위해 다른 엘리먼트에 비해 과장될 수 있다.

도면

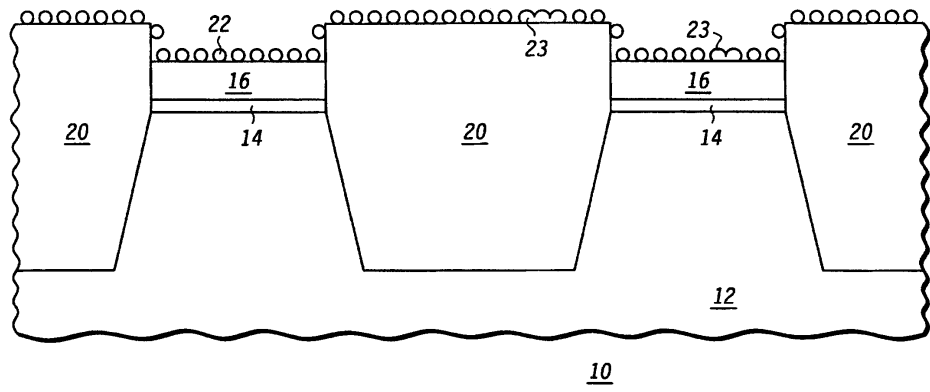
도면1



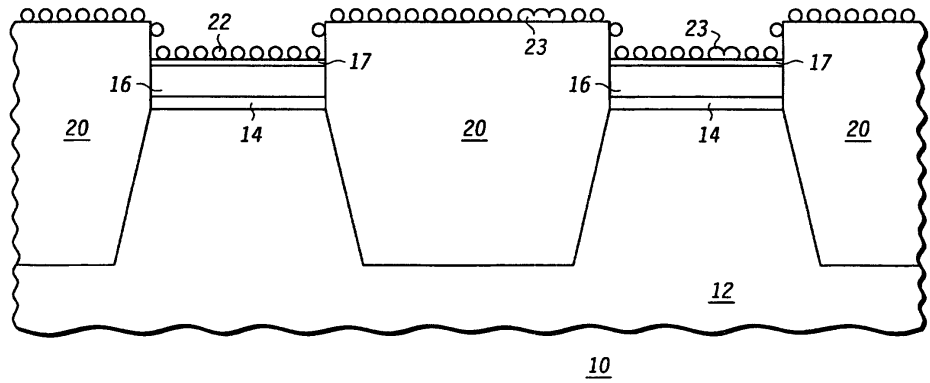
도면2



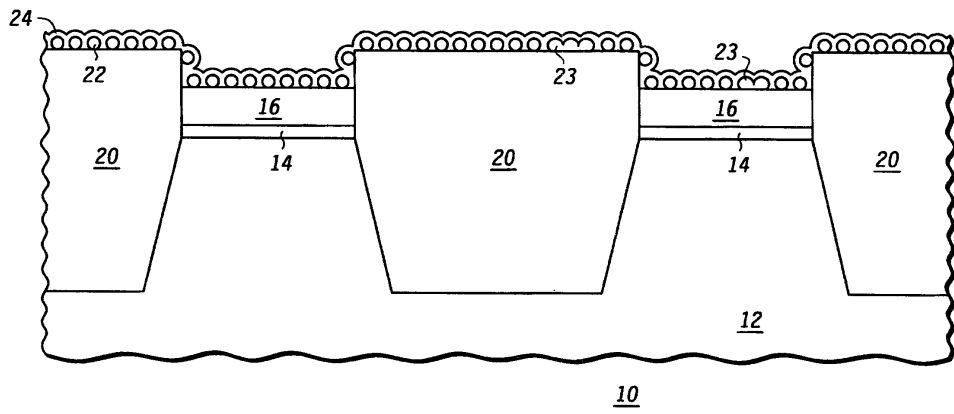
도면3



도면4



도면5



도면6

