

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5001494号  
(P5001494)

(45) 発行日 平成24年8月15日(2012.8.15)

(24) 登録日 平成24年5月25日(2012.5.25)

(51) Int.Cl.

H01L 29/786 (2006.01)

F 1

H01L 29/78 626B  
H01L 29/78 617N

請求項の数 12 (全 12 頁)

(21) 出願番号 特願2001-276805 (P2001-276805)  
 (22) 出願日 平成13年9月12日 (2001.9.12)  
 (65) 公開番号 特開2003-152184 (P2003-152184A)  
 (43) 公開日 平成15年5月23日 (2003.5.23)  
 審査請求日 平成20年9月10日 (2008.9.10)  
 (31) 優先権主張番号 特願2001-258334 (P2001-258334)  
 (32) 優先日 平成13年8月28日 (2001.8.28)  
 (33) 優先権主張国 日本国 (JP)

(出願人による申告) 国等の委託研究の成果に係る特許出願(平成11年度新エネルギー・産業技術総合開発機構極低電力情報端末用LSIの研究開発委託研究、産業活力再生特別措置法第30条の適用をうけるもの)。

(73) 特許権者 000002325  
 セイコーインスツル株式会社  
 千葉県千葉市美浜区中瀬1丁目8番地  
 (73) 特許権者 500304660  
 林 豊  
 茨城県つくば市梅園2-3-10  
 (74) 代理人 100154863  
 弁理士 久原 健太郎  
 (74) 代理人 100142837  
 弁理士 内野 則彰  
 (74) 代理人 100123685  
 弁理士 木村 信行  
 (72) 発明者 林 豊  
 茨城県つくば市梅園2-3-10

最終頁に続く

(54) 【発明の名称】絶縁性基板上に形成された電界効果トランジスタ

## (57) 【特許請求の範囲】

## 【請求項1】

絶縁性基板と、  
 該絶縁性基板上に設けられた半導体薄膜と、  
 該半導体薄膜上に設けられたゲート絶縁膜と、  
 該半導体薄膜表面上に該ゲート絶縁膜を介して設けられた、長さと幅を有する第1のゲート電極と、

該半導体薄膜表面上または表面内に設けられかつ該第1のゲート電極の平面からみて長さ方向の両側に設けられた第1の導電型の第1の領域と第1の導電型の第2の領域と、

該第1のゲート電極のゲート幅方向に前記第2の領域と並置された第1の導電型と逆導電型の第3の領域と、

該第2の領域と該第3の領域とに接続された導電性薄膜と、

該半導体薄膜表面上に前記第2の領域に沿って該ゲート絶縁膜を介して設けられた、長さと幅を有する第2のゲート電極と、

該半導体薄膜の上または表面内に該第2のゲート電極に関して前記第2の領域と反対側に設けられた第1導電型の第4領域とから構成され、

該第1の領域及び該第4の領域の一方はソースとして機能し、他方はドレインとして機能し、

該第3の領域へは外部から電位が供給されず、該第2の領域はフローティング状態である

10

ことを特徴とする絶縁性基板上に形成された電界効果トランジスタ。

【請求項 2】

絶縁性基板と、

該絶縁性基板上に設けられた半導体薄膜と、

該半導体薄膜上に設けられたゲート絶縁膜と、

該半導体薄膜表面上に該ゲート絶縁膜を介して設けられた、長さと幅を有する第1のゲート電極と、

該半導体薄膜表面上または表面内に設けられかつ該第1のゲート電極の平面からみて長さ方向の両側に設けられた第1の導電型の第1の領域と第1の導電型の第2の領域と、

該第1のゲート電極のゲート幅方向に前記第2の領域と並置されたシリサイドあるいは金属薄膜からなる第3の領域と、

該第2の領域とおよび該第3の領域とに接続された導電性薄膜と、

該半導体薄膜表面上に前記第2の領域に沿って該ゲート絶縁膜を介して設けられた、長さと幅を有する第2のゲート電極と、

該半導体薄膜の上または表面内に該第2のゲート電極に関して前記第2の領域と反対側に設けられた第1導電型の第4領域とから構成され、

該第1の領域及び該第4の領域の一方はソースとして機能し、他方はドレインとして機能し、

該第3の領域へは外部から電位が供給されず、該第2の領域はフローティング状態である

10

ことを特徴とする絶縁性基板上に形成された電界効果トランジスタ。

【請求項 3】

絶縁性基板と、

該絶縁性基板上に設けられた半導体薄膜と、

該半導体薄膜上に設けられたゲート絶縁膜と、

該半導体薄膜表面上に該ゲート絶縁膜を介して設けられた、長さと幅を有する第1のゲート電極と、

該半導体薄膜表面上または表面内に設けられかつ該第1のゲート電極の平面からみて長さ方向の両側に設けられた第1の導電型の第1の領域と第1の導電型の第2の領域と、

該第1のゲート電極のゲート幅方向に前記第2の領域と並置された、第1の導電型と逆導電型で低抵抗の第3の領域と、

該半導体薄膜表面上に前記第2の領域に沿って該ゲート絶縁膜を介して設けられた、長さと幅を有する第2のゲート電極と、

該半導体薄膜の上または表面内に該第2のゲート電極に関して前記第2の領域と反対側に設けられた第1導電型の第4領域とから構成され、

該第1または該第4の領域のうち、ソース領域として機能している一方の領域から注入された少数キャリアは該第2領域に吸収され、

該第1または該第4の領域の他方はドレインとして機能し、

該第3の領域へは外部から電位が供給されず、該第2の領域はフローティング状態である

30

ことを特徴とする絶縁性基板上に形成された電界効果トランジスタ。

【請求項 4】

前記第3の領域は $10^{19}$ 原子/cc以上の不純物濃度を有することを特徴とする請求項3記載の絶縁性基板上に形成された電界効果トランジスタ。

【請求項 5】

絶縁性基板と、

該絶縁性基板上に設けられた半導体薄膜と、

該半導体薄膜上に設けられたゲート絶縁膜と、

該半導体薄膜表面上に該ゲート絶縁膜を介して設けられた、長さと幅を有する第1のゲート電極と、

40

50

該半導体薄膜表面上または表面内に設けられかつ該第1のゲート電極の平面からみて長さ方向の両側に設けられた第1の導電型の第1の領域と第1の導電型の第2の領域と、

前記第1のゲート電極のゲート幅方向に前記第2の領域と並置された、シリサイドあるいは金属薄膜からなる第3の領域と、

該半導体薄膜表面上に前記第2の領域に沿って該ゲート絶縁膜を介して設けられた、長さと幅を有する第2のゲート電極と、

該半導体薄膜の上または表面内に該第2のゲート電極に関して前記第2の領域と反対側に設けられた第1導電型の第4領域とから構成され、

該第1または該第4の領域のうち、ソース領域として機能している一方の領域から注入された少数キャリアは該第2領域に吸収され、

該第1または該第4の領域の他方はドレインとして機能し、

該第3の領域へは外部から電位が供給されず、該第2の領域はフローティング状態である

ことを特徴とする絶縁性基板上に形成された電界効果トランジスタ。

#### 【請求項6】

前記第2の領域は複数領域からなり、該第3の領域を該複数の第2の領域によりゲート幅方向に挟む様に配置されたことを特徴とする請求項1、2、3、5のうち1つに記載の絶縁性基板上に形成された電界効果トランジスタ。

#### 【請求項7】

該第3の領域は離間されて配置された複数領域からなり、該第3の領域間の距離がチャネル長の50倍以内であることを特徴とする請求項6記載の絶縁性基板上に形成された電界効果トランジスタ。

#### 【請求項8】

該第3の領域は離間されて配置された複数領域からなり、該第3の領域間の距離がチャネル長の10倍以内であることを特徴とする請求項6記載の絶縁性基板上に形成された電界効果トランジスタ。

#### 【請求項9】

該第1及び該第4の領域は不純物濃度の相対的に薄い部分と濃い部分を有し、該相対的に薄い部分は該相対的に濃い部分より該第1ないしは該第2のゲート電極へ近く位置することを特徴とする請求項1、2、3、5のうち1つに記載の絶縁性基板上に形成された電界効果トランジスタ。

#### 【請求項10】

前記絶縁性基板はガラス、サファイアおよびセラミックのうちのひとつを含む絶縁材料からなることを特徴とする請求項1、2、3、5のうち1つに記載の絶縁性基板上に形成された電界効果トランジスタ。

#### 【請求項11】

前記絶縁性基板はシリコン基板上に絶縁膜を形成したものであることを特徴とする請求項1、2、3、5のうち1つに記載の絶縁性基板上に形成された電界効果トランジスタ。

#### 【請求項12】

該第2の領域の幅がチャネル長の25倍以内であることを特徴とする請求項6記載の絶縁性基板上に形成された電界効果トランジスタ。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は、SOI(Silicon on Insulator)、ガラス基板上の多結晶シリコン、SOS(Silicon on Sapphire)で代表される絶縁性基板上の半導体薄膜に形成された電界効果トランジスタとその集積回路に関する。

##### 【0002】

##### 【従来の技術】

従来、SOIなどに形成されたMOS電界効果トランジスタ(MOSトランジスタと略称する)

10

20

30

40

50

はチャネルが形成されるbodyと呼ばれるシリコン薄膜部分が浮遊状態にあると、ドレイン電圧を増加していった時に、ドレインとbody間に発生する高電界により電流がドレインbody間に発生し、この電流がbodyからソースへ流れ込む。この電流流入によりbodyとソースが順バイアスされ、MOSトランジスタのゲート閾値電圧V<sub>th</sub>が低下する。さらにこの電流がソースをエミッタ、bodyをベースとする寄生バイポーラトランジスタにより増幅されて、コレクタとして動作するドレインから更に電流を引き出す。この正帰還現象によりドレイン電流があるドレイン電圧以上で急激に増加して、bodyを浮遊状態で使用するMOSトランジスタは耐圧が低下する。また、電流の急激な増加をもたらすドレイン電圧より小さいドレイン電圧領域でも、出力コンダクタンスの増加の原因となりアナログ回路の電圧増幅率には悪影響を及ぼす。典型的な出力電流の増加現象はkink効果と呼ばれ、ドレイン・ソース間電圧が3～4Vの時にドレイン電流にステップ状の増加が見られる。

この現象を改善する事を目的として、bodyを定電位に固定する為に、従来では図1に平面図を示すT型トランジスタ構造、図2に平面図を示すH型トランジスタ構造、図3に平面図を示すソース・タイ構造、図4に断面図を示すもぐり込みbodyコンタクト構造が用いられていた。

#### 【0003】

図中、111は第1の導電型のドレイン領域、121は第1の導電型のソース領域、131は逆導電型のbodyコンタクト領域、400は導電性ゲート領域である。113、123、133、403はそれぞれドレイン領域、ソース領域、bodyコンタクト領域、ゲート領域上に設けられたコンタクトホールで、それぞれの領域と金属薄膜配線501、502、503、504とを接続している。ドレイン領域111とソース領域121との間のゲート領域400の下には図4に示される様にゲート絶縁膜200、チャネルが形成されるbodyの部分100が設けられている。図4で、10は支持基板、102はbodyもぐり込み部分、20は支持基板と半導体薄膜(111+121+131+100+102)を絶縁する絶縁層、300は素子間を分離するいわゆるフィールド絶縁膜、310は配線と半導体薄膜を絶縁する絶縁層である。

#### 【0004】

図1のT型構造、図2のH型構造では、このbodyの部分はbodyコンタクト領域131とソース、ドレイン領域との間のゲート領域の下を通ってbodyコンタクト領域と接続されている。これらの構造は、ソース、ドレイン領域に対してbodyコンタクト領域が対象に配置されているのでソース、ドレインの役割が入れ替わるいわゆる両極性の回路動作が可能である。図3のソース・タイ構造、図4のもぐり込みbodyコンタクト構造はソース領域とbodyコンタクト領域とが接続されているので、ソース領域とドレイン領域の役割を入れ替えることはできず、いわゆる片極性の回路動作しか出来ない。

#### 【0005】

##### 【本発明が解決しようとする課題】

上記T型、H型はいずれもいわゆる浮遊body効果を避けて実用的なソース・ドレイン間の電圧(数ボルト以上)を実現するためにbodyコンタクト電極503を介して、bodyの電位を固定するためにゲートの幅方向の端部にゲート下部のbodyを介してbodyコンタクトを取っている。ソース・タイ構造もゲート幅方向のソース両端にbodyコンタクトを取っている。しかし、トランジスタのゲート幅Wが大きくなると、T型トランジスタでは、bodyコンタクトと、コンタクトと最も遠いコンタクトの反対側の部分との抵抗が大きくなり、前記body電位固定の効果は小さくなる。H型トランジスタ、ソース・タイ構造もゲート幅Wが大きくなると、ゲート中央部分で、前記body電位固定の効果は小さくなる。

#### 【0006】

もぐり込みbodyコンタクト構造はソース121の下側を通してコンタクト部分131とゲート下のbody100とが連続した構造となっているので、ソース接合が深くなるとbodyコンタクトとゲート下のbodyとの間の102の部分の抵抗が大きくなり、body電位固定の効果が小さくなる。今後半導体薄膜が薄くなる方向へ技術が進化するので、このもぐり込み部分の抵抗が大きくなることは避けられない。

#### 【0007】

10

20

30

40

50

上記T型、H型トランジスタでも回路応用上の制限があった。すなわち両極性の回路動作が可能と言う上記利点はbodyコンタクト電位に対して、いわゆる逆極性の範囲であり、たとえばp型bodyの電位を一旦固定してしまうと、ソースもドレインもこれより負電位（厳密にはpn接合の順方向電圧を超える負電位）での動作は保障されなかった。従って、従来のT型、H型トランジスタは片極性の回路動作においても課題を抱えていた。

#### 【0008】

上記のような技術の現状に鑑み、本発明はゲート幅が大きくなても、ドレイン耐圧低下、または出力コンダクタンスの増加が抑えられる構造の提供を目的とする。またソース・タイ構造の場合は片極性となり、ドレインとソースを入れ替えた回路応用が出来なくなるがこの課題を解決する構造を提供することも目的とする。

10

上記T型、H型トランジスタでも回路応用上bodyコンタクト電位を規定後はドレイン・ソースの動作可能な電位はbodyコンタクト電位から正負一方の極性での動作が保障されなかつたが、本発明では、この電位の極性の制限をなくすことを目的とする。

#### 【0009】

##### 【課題を解決するための手段】

本発明では、絶縁性基板上に形成された半導体薄膜に電界効果トランジスタを形成するにあたって、

第1の手段として

絶縁性基板と、

該絶縁性基板上に設けられた半導体薄膜と、

20

該半導体薄膜の上に設けられたゲート絶縁膜と、

該半導体薄膜表面上にゲート絶縁膜を介して設けられた、長さと幅を有する第1のゲート電極と、

該半導体薄膜表面上または表面内に設けられかつ該第1のゲート電極の平面からみて長さ方向の両側に設けられた第1の導電型の第1の領域と第1の導電型の第2の領域と、

該第1の領域と該第2の領域を結ぶ方向とは垂直であるゲート幅方向に該第2の領域と隣り合って配置された逆導電型の第3の領域と、

該第2の領域および第3の領域とともに接続された導電性薄膜と、

該半導体薄膜表面上に設けられた該第2の領域に沿ってゲート絶縁膜を介して設けられた長さと幅を有する第2のゲート電極と、

30

該第2の領域とともに該第2のゲート電極の長さ方向の両側の該半導体薄膜表面に設けられた、第1導電型の第4領域とからなり、

前記第1の領域および第4の領域を出力領域とする構成から少なくともなる。

本第1の手段は、両極性の動作と高いドレイン耐圧と低い出力コンダクタンスを実現する解決策を与える。

#### 【0010】

第2の手段として、絶縁性基板上に形成された前記電界効果トランジスタにおいて、更に、前記第2の領域を複数領域となし、前記複数の第2の領域が該第3の領域をゲート幅方向に挟む様に配置する。

40

#### 【0011】

第3の手段として、絶縁性基板上に形成された前記電界効果トランジスタにおいて、更に、前記第3の領域を複数領域となし、前記複数の第3の領域が該第2の領域をゲート幅方向に挟む様に配置する。

第2および第3の手段は、ゲート幅の大きいデバイスにおいても高いドレイン耐圧と低い出力コンダクタンスを実現する解決策を与える。

#### 【0012】

第4の手段として

さらに前記第1の領域、または第4の領域を相対的に、不純物濃度の多い部分（例えば $10^2$   
原子 / cc 以上の不純物濃度）と比較的少ない部分（例えば、 $10^{20} \sim 10^{18}$  原子 / cc 程度の不純物濃度）とに作り分け、不純物濃度の比較的少ない部分をゲート電極に近い

50

部分に配置し、要すればゲート電極と絶縁膜を介して一部オーバラップさせる。

第4の手段は高いドレイン耐圧と低い出力コンダクタンスを実現する異なる解決策を与える。

#### 【0013】

なお、本発明では、絶縁性基板とは、シリコンなど半導体基板表面にシリコン酸化膜、シリコン窒化膜などの絶縁膜を形成した基板、または、石英ガラス、アルミナ等の絶縁物基板、サファイア等の絶縁性結晶基板を言う。半導体薄膜の形成には、半導体基板を絶縁基板に接着した後研磨して薄膜化する方法、半導体基板を絶縁基板に接着した後薄膜になる部分を剥離する方法、サファイア等の結晶基板上にヘテロエピタキシャル成長させる方法、シリコン基板表面へ酸素イオンをイオン注入し、その後の熱処理により酸化膜とその表面にシリコン薄膜を形成するSIMOXと呼ばれる方法、絶縁基板上へCVDを用いて成膜する方法、等を用いる。10

#### 【0014】

##### 【作用】

電界効果トランジスタは部分空乏型、完全空乏型によらず、また半導体薄膜が「真性半導体」に近いものでも、ドレイン・body間の高電界で発生した逆導電型キャリアを逆導電型の第3領域で収集するため、本発明の目的は実現される。

#### 【0015】

#### 【0016】

第1の手段を用いることにより、20

回路動作において、bodyコンタクトの電位を外部から供給制御せずとも自動的に出力電圧の極性の切り替わりに追従して最適電位に変化する。したがって、従来のbodyコンタクト電位の制限から開放されて、従来のbodyコンタクト電位に関して正電位、負電位出力可能なソース・ドレイン互換の両極性のトランジスタを実現することが出来る。

従来の両極性の可能なH型、T型トランジスタではW方向の長さはドレイン耐圧ないしは出力コンダクタンスから決まる限界があり大きく設計は出来なかった。本発明によればW方向の長さはチップ面積から許される範囲で大きく設計できる。

したがって、トランジスタのon抵抗、ないしは相互コンダクタンスは回路動作に必要な値に設計できる。

#### 【0017】

一方、Wの大きいトランジスタを構成する為に従来型のトランジスタを多数併置して結線すると仮定すると、H型のトランジスタを併置することになり、相互配線が複雑になりかつ、耐圧ないしは出力コンダクタンスの大きいトランジスタを得るために併置する一つのユニットはWを大きく出来ないので、本ユニットとなるトランジスタを結線するために必要となる面積は本ユニットの面積と同じ程度となる。その結果、本発明の構成のトランジスタは複雑な相互配線が無い分だけレイアウトが簡単となる。30

#### 【0018】

また、本発明の構造では、第1の領域と第4の領域の内ソースとして機能しているどちらかの領域は、bodyと順方向にバイアスされる。しかし、ソースからbodyに注入された少数キャリアはフローティング状態の第2の領域に吸収されるので、第2の領域とドレインとなっている領域の間のbodyへ少数キャリアが与える影響は少ない。40

本発明のトランジスタは第1のゲート電極下のチャネル（長さL1）と第2のゲート電極下のチャネル（長さL2）とが直列に接続された形で動作する為に、単位チャネル幅（W）当たりのon抵抗は（L1+L2）/L1倍または出力電流はL1/（L1+L2）となることを考慮する必要があるが、これらの低下は下記の方法で改善される。

#### 【0019】

上記のごとくソースとbodyが順方向バイアスされていると、この部分のチャネルのV<sub>th</sub>はドレイン側のチャネルより小さくなる。この為にソース側へ直列に接続されているチャネル抵抗はドレイン側に較べて小さくなる。特にゲートバイアスがドレイン側のチャネルのV<sub>th</sub>に近い値である時は、この現象の影響でドレイン電流の減少が改善される。また、50

部分空乏形のSOIでかつ、出力電圧が大きいときはソース側のチャネルでの電圧降下はソースbody間ダイオードの順方向電圧にクランプされるので、この場合も出力電流値が改善される。

【0020】

【0021】

### 【発明の実施の形態】

本発明の平面構造例を図5に示す。断面構造例を図6、図7に示す。

図5で、110は第1の導電型の第1の領域、120は第1の導電型の第2の領域、130は逆導電型の第3の領域、140は第1の導電型の第4の領域、401、402は第1及び第2の導電性ゲート電極、412は該第1及び第2の導電性ゲート電極を接続する導電性薄膜で本実施例の場合は前記導電性ゲート電極と同じ材料（例えば多結晶シリコンまたはタンゲステンシリサイドと多結晶シリコンの2層膜、チタンシリサイドまたはコバルトシリサイドと多結晶シリコンの2層膜）で連続して設けられている。114、144は第1、第4の領域に設けられた不純物濃度の小さい部分で、ゲート電極401、402とゲート絶縁膜を介して一部オーバラップしている。なお、114、144は出力領域となる第1、第4の領域が大きな耐圧を必要としない場合は省略することが出来る。113、123、133、143、403はそれぞれ、第1、第2、第3、第4の領域、ゲート電極へのコンタクトホールで、それぞれの領域と金属薄膜配線511、532、514、504とを接続している。金属薄膜配線532はコンタクトホール123及び133を通して、第2、第3の領域を接続しているが電位は固定されていない。

【0022】

図6は本発明の実施例図5のA-A'部分の断面図、図7は図5のB-B'部分の断面図である。図中、10は支持基板、100はbody、200はゲート絶縁膜、20は支持基板と半導体薄膜（110（+114）+120+130（図6には示されず）+140（+144）+100）を絶縁する絶縁層、300は素子間を分離するいわゆるフィールド絶縁膜、310は配線と半導体薄膜を絶縁する絶縁層である。チャネルは第1の領域と第2の領域の間のbody表面又は内部、及び第2の領域と第4の領域の間のbodyの表面又は内部に形成され、body上のゲート絶縁膜を介して第1のゲート電極、第2のゲート電極の電位でチャネルの電気抵抗が制御される。図7に示す様にbody100はbodyコンタクト領域130と連続している。bodyコンタクト領域は逆導電型の不純物（例えば硼素）を $10^{19}$ 原子/cc以上添加して低抵抗化した半導体領域により形成することが出来るが、bodyコンタクト領域が逆導電型のキャリアを吸収するまたは逆導電型のキャリアのフェルミレベルを制御する機能を果たすことにより本発明の実施が可能であるので、bodyコンタクト領域はbodyの一部に接触した金属、シリサイド薄膜でも良い。

この場合は、第2領域の配線532と共に領域として形成することが出来る。また、bodyとヘテロ接合を形成する異種の半導体領域でも良い。

bodyは逆導電型でも真性形でも第1の導電型でもよい。第1の導電型の場合はエンハンスマント型のトランジスタを得るために、ゲート電圧0Vのときbody表面から裏面に至るまでキャリアが空乏していることが望ましい。

第3の領域のゲート幅方向の寸法はリソグラフィ技術で可能な最小寸法で良い。

第2の領域へのコンタクトホールと第3の領域へのコンタクトホールとは別々に設ける必要はなく、第2の領域と第3の領域の境界を含む部分へ共通のコンタクトホールを設けてもよい。

【0023】

本発明の実施例のトランジスタの電気特性を図3に示すソース・タイ構造のトランジスタと比較する。測定に用いたトランジスタの構造・材料パラメータは下記の通り。トランジスタのbody、第1、第2、第3、第4の領域、第2の領域のチャネル幅方向の寸法w2は同じ寸法、ないしは同じ不純物濃度を用いた。

body : 厚さ = 400nm、導電型 = p型シリコン、不純物濃度 =  $10^{16}$ 原子/cm<sup>3</sup>

ゲート : n型ポリシリコン、ゲート長 : L1 = 10、L2 = 5 μm

ゲート酸化膜厚 = 30nm、絶縁層20の厚さ = 400nm

10

20

30

40

50

第1、第2、第4領域の不純物濃度：ピーク値～ $10^{20}$ 原子/cm<sup>3</sup>

第3領域の不純物濃度：ピーク値～ $5 \times 10^{19}$ 原子/cm<sup>3</sup>

第3領域の長さ：3μm

第1、4の領域の不純物濃度の薄い領域の不純物濃度： $2.5 \times 10^{17}$ 原子/cm<sup>3</sup>、長さ：2μm  
w2 = 25 μm

図8は従来のソース・タイ構造のトランジスタの出力特性を示す。図8(A)は第1の領域をドレイン、第2の領域をソースとした場合で、図8(B)は第2の領域をドレイン、第1の領域をソースとした場合である。図8(B)で示される出力特性では、出力電圧が約1Vを超えると、出力電流が通常のMOSトランジスタのような飽和電流特性を示さず、出力電圧の増加にしたがって増加することが示されている。この実測特性からソース・タイ構造のトランジスタは第2の領域をドレインとすると殆ど耐圧が無くなってしまうことが判る。

#### 【0024】

一方、図9は本発明の図5の構造のトランジスタの出力特性である。この出力特性は第1の領域をドレインとし第4の領域をソースとした時のものであるが、その逆の接続をした時とで出力特性は殆ど変わらない。図8(A)と比較すると、ゲート電圧の大きい部分では出力電流はチャネル長増加分程度( $L_1/(L_1+L_2)$ )電流が減少している。ゲート電圧がゲート閾値電圧に近い電圧範囲では出力電流の減少は改善されている。

#### 【0025】

上記トランジスタの構造・材料パラメータの内、ゲート長を2μmとし、合計のチャネル幅は100μmとし、w2のみを変化させたトランジスタの出力電流・出力電圧特性を調べた。w2 = 100μmの特性を図10に、w2 = 10μmの特性を図11に示す。ゲート電圧一定の下に出力電圧を増加していくと、出力コンダクタンスdIout/dVoutが増加してトランジスタのチャネルコンダクタンスと等しくなる出力電圧を出力電圧の最大許容電圧とすると、図12のようになる。w2 = 100μmの時は上述のキンク効果のため大幅に最大許容電圧が低下している。キンク効果そのものは出力電圧4V+Vの電圧で観測されているので、w2 = 10μmでは最大許容電圧は5.4Vと改善されていることが判るが、w2がチャネル長(約1.5μm)の50倍のw2 = 75μmではキンク効果がさらに軽減され、最大許容電圧は下記の原因による影響が大きくなる。この条件は、第3領域を2つの第2領域の間に設けた構造の時は、チャネル長の25倍、75/2 = 38μmの第2領域の幅に相当する。

#### 【0026】

キンク効果が軽減された次には、ドレイン-body接合でのキャリア増倍により発生した少数キャリアが第3の領域へどのくらい吸収されるかが最大許容電圧を決めている原因となる。この原因に対しては、w2をチャネル長の10倍以下とすると最大許容電圧の大幅な改善が得られることがわかった。

#### 【0027】

本発明の構造によれば、第3の領域を複数個設けることにより、複数の第3領域間の距離w2を小さくして、上記の発生した逆極性の少数キャリアを効率よく吸収することが出来る。この効果により上記の実施例の様に出力電圧の最大許容電圧の増加を実現することができる。これと同じ効果を従来の両極性のトランジスタで実現する為にはH型構造とし、上記の例ではチャネル幅をチャネル長の約10倍以下にする必要があり、結局H構造のオーバヘッド面積が無視できなくなり、この単位構造を繰り返して必要な電流容量を実現することになる。この結果、面積もほぼ同様となり、各単位H構造のボディコンタクトへの配線が錯綜する分だけ不利となる。

#### 【0028】

回路応用で更に有用な本発明の効果は、従来のボディ電位に関して正負両電位での動作が可能なトランジスタが提供されることである。

#### 【図面の簡単な説明】

【図1】 実際は片極性動作である従来のT型両極性トランジスタの平面図例。

【図2】 実際は片極性動作である従来のH型両極性トランジスタの平面図例。

10

20

30

40

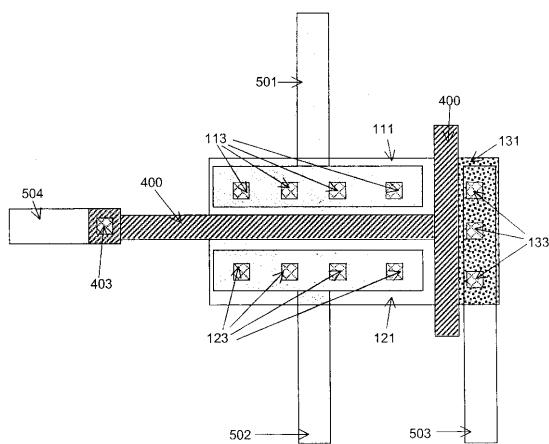
50

- 【図3】 従来のソース・タイ型片極性トランジスタの平面図例。
- 【図4】 従来のもぐり込みボディコンタクトの断面図例。
- 【図5】 本発明の両極性トランジスタの実施例の平面図。
- 【図6】 本発明の図5のA-A'部分を切った断面図。
- 【図7】 本発明の図5のB-B'部分を切った断面図。
- 【図8】 (A)はソース・タイ型トランジスタの出力特性、(B)は(A)のソース・タイ型トランジスタのソースを出力端子とした時の出力特性。
- 【図9】 本発明の両極性トランジスタの出力特性。
- 【図10】 第3領域間距離が100μmのトランジスタの出力特性。
- 【図11】 第3領域間距離が10μmのトランジスタの出力特性。 10
- 【図12】 最大許容電圧と第3領域間距離との関係を示す実験例。

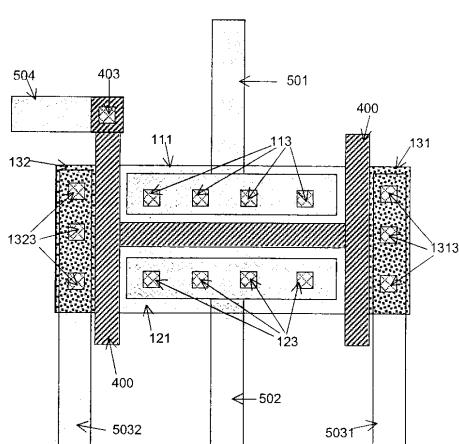
## 【符号の説明】

10	支持基板
100	body
113	第1の領域
123	第2の領域
133	第3の領域
200	ゲート絶縁膜
300	フィールド絶縁膜
403	第4の領域
532	金属薄膜配線
20	

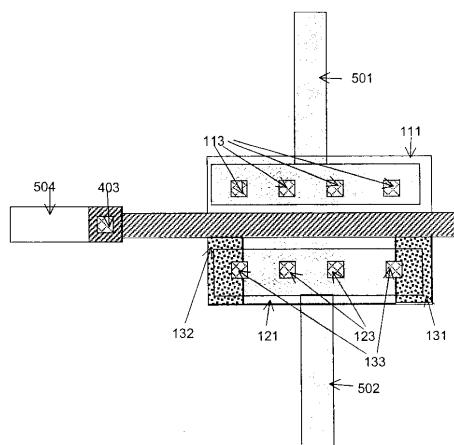
【図1】



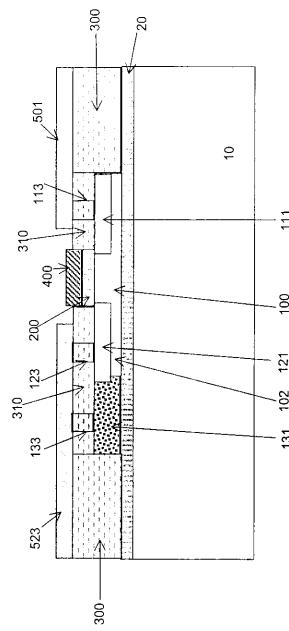
【図2】



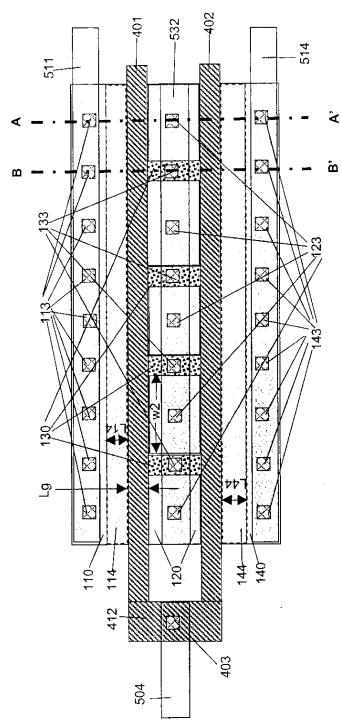
【図3】



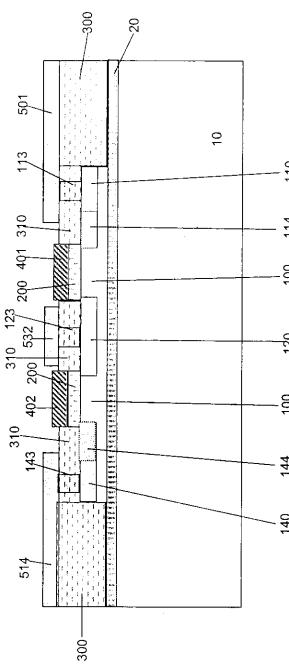
【図4】



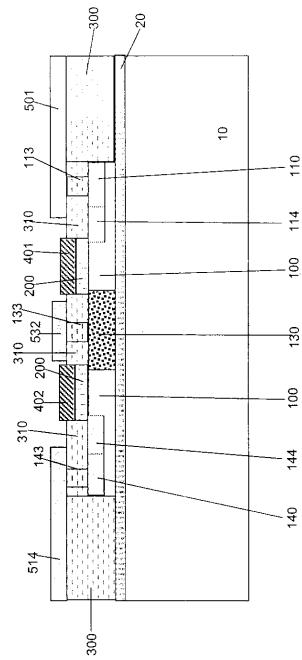
【図5】



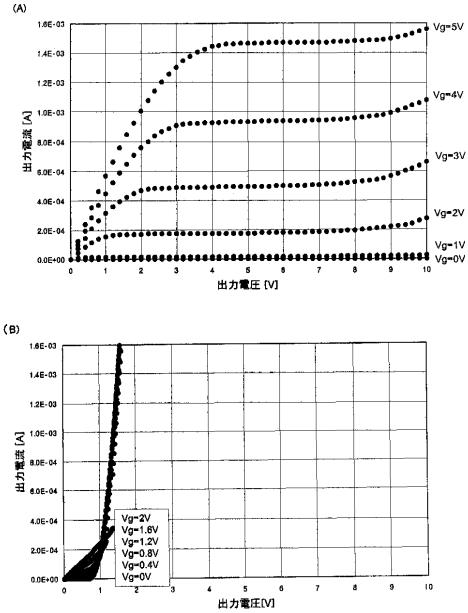
【図6】



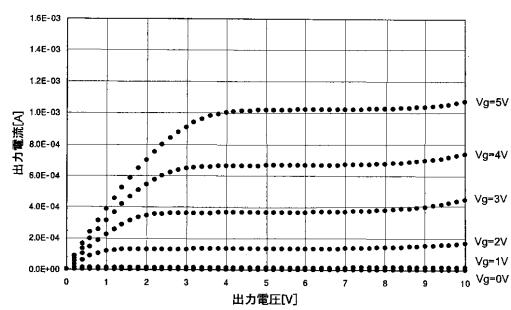
【図7】



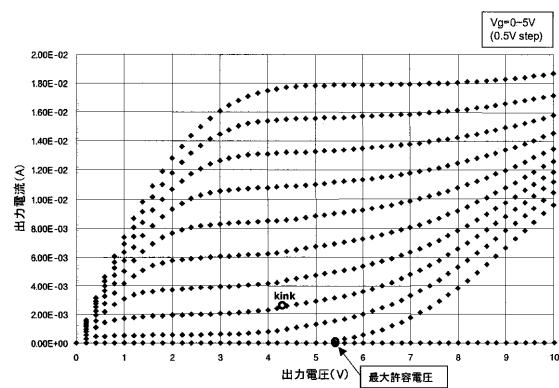
【図8】



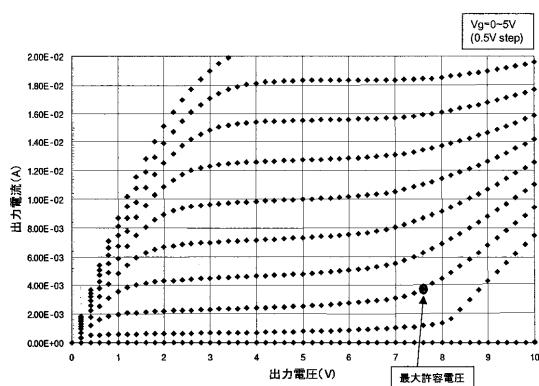
【図9】



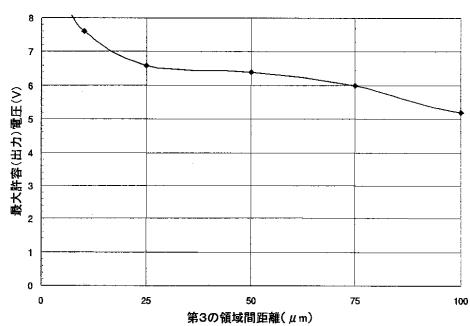
【図10】



【図11】



【図12】



---

フロントページの続き

(72)発明者 長谷川 尚

千葉県千葉市美浜区中瀬1丁目8番地 セイコーインスツルメンツ株式会社内

(72)発明者 鷹巣 博昭

千葉県千葉市美浜区中瀬1丁目8番地 セイコーインスツルメンツ株式会社内

(72)発明者 小山内 潤

千葉県千葉市美浜区中瀬1丁目8番地 セイコーインスツルメンツ株式会社内

審査官 綿引 隆

(56)参考文献 特開2000-332250(JP,A)

特開昭61-278164(JP,A)

特開平09-107103(JP,A)

特開2000-252471(JP,A)

特開2001-094114(JP,A)

特開平11-135795(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336

H01L 29/786