(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 116438646 A
(43)申请公布日 2023.07.14

(21)申请号 202180072606.4
(22)申请日 2021.10.26
(30)优先权数据
2020-186408 2020.11.09 JP
(85)PCT国际申请进入国家阶段日
2023.04.24
(86)PCT国际申请的申请数据
PCT/JP2021/039425 2021.10.26
(87)PCT国际申请的公布数据
WO2022/097533 JA 2022.05.12
(71)申请人 罗姆股份有限公司
地址 日本京都府
(72)发明人 安武一平
(74)专利代理机构 北京银龙知识产权代理有限公司 11243
专利代理师 曾贤伟
(51)Int.Cl.
H01L 23/13(2006.01)

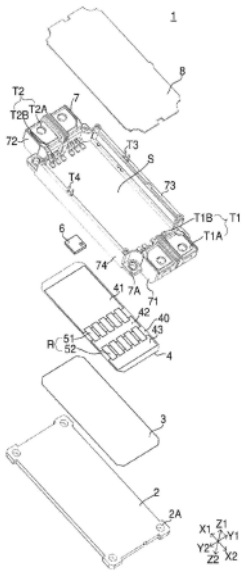
权利要求书2页 说明书7页 附图6页

(54)发明名称

放电电路模块

(57)摘要

一种放电电路模块(1),用于使电容部(CX)放电并且具有:绝缘基板(40);具有形成在绝缘基板上的至少一个电阻器(51、52)的放电电阻部(R);以及安装在绝缘基板上并且用作与放电电阻部电连接的半导体开关的半导体芯片(6)。绝缘基板、放电电阻部和半导体芯片形成为封装。



CN 116438646 A

1.一种放电电路模块,用于使电容部放电,所述放电电路模块包括:

绝缘基板;

放电电阻部,所述放电电阻部具有形成于所述绝缘基板上的至少一个电阻器;以及

半导体芯片,所述半导体芯片在所述绝缘基板上实现为半导体开关并且与所述放电电阻部电连接,

其中,

所述绝缘基板、所述放电电阻部和所述半导体芯片形成封装。

2.根据权利要求1所述的放电电路模块,其中,

所述绝缘基板为陶瓷基板。

3.根据权利要求2所述的放电电路模块,其还包括:

DCB基板,所述DCB基板包括:

所述陶瓷基板;以及

形成于所述陶瓷基板中的布线部,

其中,

所述电阻器和所述半导体芯片与所述布线部电连接。

4.根据权利要求3所述的放电电路模块,其还包括:

具有腿部的第一外部端子,

其中,

所述布线部与所述腿部接触。

5.根据权利要求3或4所述的放电电路模块,其还包括:

第二外部端子,

其中,

所述布线部通过接合线或接合带与所述第二外部端子连接。

6.根据权利要求3至5中任一项所述的放电电路模块,其中,

所述布线部具有:

第一布线部、第二布线部和第三布线部,

所述第一布线部、所述第二布线部和所述第三布线部在第一方向上按这种顺序布置,并且在与所述第一方向正交的第二方向上延伸,

构成第一电阻器组的多个电阻器在所述第二方向上排列成将所述第一布线部和所述第二布线部连接在一起,并且

构成第二电阻器组的多个电阻器在所述第二方向上排列成将所述第二布线部和所述第三布线部连接在一起。

7.根据权利要求2至6中任一项所述的放电电路模块,其还包括:

与所述陶瓷基板接合的铜板。

8.根据权利要求7所述的放电电路模块,其中,

所述陶瓷基板经由焊料部与所述铜板接合。

9.根据权利要求1至8中任一项所述的放电电路模块,其还包括:

容纳所述绝缘基板、所述放电电阻部和所述半导体芯片的壳体。

10.根据权利要求9所述的放电电路模块,其还包括:

与所述绝缘基板接合且设置在所述壳体下方的板，

其中，

在所述壳体中沿上下方向贯穿设置的紧固孔和在所述板中沿所述上下方向贯穿设置的通孔在从上方观察时彼此重叠。

11.一种放电系统,其包括：

根据权利要求1至10中任一项所述的放电电路模块；

连接在电源线之间的电容部。

放电电路模块

技术领域

[0001] 本发明涉及一种放电电路模块。

背景技术

[0002] 传统地,连接在电源线之间的电容器被称为X电容器。为了保护人体免受充电到X电容器中的电荷的电击,通常提供使X电容器放电的放电电路。

[0003] 一些这样的放电电路包括其中电阻器和开关串联连接的电路(例如,专利文献1)。串联电路与X电容器并联连接。接通开关允许X电容器中的电荷经由电阻器放电。

[0004] 引用列表

[0005] 专利文献

[0006] 专利文献1:特开2013-158211号公报(图8)

发明内容

[0007] 技术问题

[0008] 不方便地,如上所述的传统放电电路通常采用排列在基板上的陶瓷电阻器或芯片电阻器,这可能导致其具有增大的尺寸。

[0009] 本文公开的本发明的目的是提供一种可以紧凑制造的放电电路模块。

[0010] 问题的解决方案

[0011] 例如,根据本文公开的内容的一方面的放电电路模块是用于使电容部放电的放电电路模块,并且包括绝缘基板、具有形成于绝缘基板上的至少一个电阻器的放电电阻部以及在绝缘基板上实现为半导体开关并且与放电电阻部电连接的半导体芯片。绝缘基板、放电电阻部和半导体芯片形成封装。

[0012] 发明的有益效果

[0013] 根据本文公开的内容,可以使放电电路模块紧凑。

附图说明

[0014] 图1是示出根据本文公开的内容的说明性实施方式的放电系统的电路配置的图。

[0015] 图2是放电电路模块的分解立体图。

[0016] 图3是处于其组装状态的放电电路模块的立体图。

[0017] 图4是示出放电电路模块中的放电电路的配置的电路图。

[0018] 图5是示出根据一个变形例的放电电路的配置的电路图。

[0019] 图6是示出根据一个变形例的放电电阻部的配置的电路图。

[0020] 图7是示意性示出根据一个变形例的放电电路模块的立体图。

具体实施方式

[0021] 在下文中,将参照附图描述本文公开的内容的说明性实施方式。

[0022] <1.放电系统的配置>

[0023] 图1是示出根据本文公开的内容的说明性实施方式的放电系统15的电路配置的图。图1所示的放电系统15包括由多个电容器组成的电容部CX和放电电路模块1。

[0024] 电容部CX对应于连接在电源线之间的X电容器。在图1的配置中,作为一个例子,电容部CX被配置为五个串联电路的并联电路,每个串联电路由连接在电池10的正极侧和负极侧之间的两个电容器组成。然而,这并不意味着任何限制;相反,例如,电容部CX可以由连接在电池10的正极侧和负极侧之间的一个电容器形成。

[0025] 稍后将描述配置的放电电路模块1是形成封装的放电电路,包括放电电阻部R和半导体开关SW。在图1的配置中,作为一个例子,放电电阻部R被配置为具有多个电阻器。然而,这并不意味着任何限制;相反,放电电阻部R可以被配置为具有一个电阻器。

[0026] 在图1的配置中,作为一个例子,半导体开关SW被配置为具有使用SiC(碳化硅)作为半导体材料的SiC-MOSFET(金属氧化物半导体场效应晶体管)。然而,这并不意味着任何限制;相反,例如,半导体开关SW可以被配置为具有Si-MOSFET或Si-IGBT(绝缘栅双极晶体管)。在图1的配置中,作为一个例子,半导体开关SW是N沟道MOSFET。

[0027] 放电电阻部R的一个端子与电池10(电容部CX)的正极侧连接。放电电阻部R的另一个端子与半导体开关SW的第一端子连接。半导体开关SW的第二端子与电池10(电容部CX)的负极侧连接。如图1所示,在半导体开关SW被配置为具有N沟道MOSFET的情况下,第一端子对应漏极,第二端子对应源极。

[0028] 半导体开关SW通过供给到半导体开关SW的控制端子(栅极)的控制电压来接通和断开。如果半导体开关SW被储存在电容部CX中的电荷接通,则放电电流经由放电电阻部R和半导体开关SW流动,使得存储在电容部CX中的电荷被释放。

[0029] 在放电系统15被结合到例如EV(电动车辆)中的情况下,电容部CX两端的DC电压与例如600V到900V的电压一样高。因此,具有例如1200V耐受电压的高耐受电压装置用于半导体开关SW。放电电阻部R的电阻值被确定为符合本地安全标准,如通过基于允许电容部CX两端的电压在放电开始之后的预定时长(例如,2秒)内下降到预定电压(例如,45V)或更小的时间常数来确定它。放电电阻部R的电阻值例如为几十欧姆。

[0030] 在如上所述电容部CX两端的电压是高电压的情况下,在放电电阻部R和半导体开关SW中消耗的功率会产生大量的热量。稍后描述的放电电路模块1的配置有助于提高散热。

[0031] <2.放电电路模块的结构>

[0032] 接下来,将详细描述放电电路模块1的结构。图2是放电电路模块1的分解立体图。图3是处于其组装状态的放电电路模块1的立体图。在图3中,为了方便起见,省略了盖8。

[0033] 在图2和图3中,将纵向方向(第一方向)作为X方向,其中纵向方向的一侧被标识为X1,另一侧被标识为X2。将横向方向(第二方向)作为Y方向,其中横向方向的一侧被标识为Y1,另一侧被标识为Y2。将上下方向作为Z方向,其中向上方向被标识为Z1,向下方向被标识为Z2。纵向方向、横向方向和上下方向彼此正交。

[0034] 如图2和图3所示,放电电路模块1包括铜板2、焊料部3、DCB基板4、第一电阻器组51、第二电阻器组52、半导体芯片6、树脂壳体7和盖8。放电电路模块1还包括用于与外部建立电连接的外部端子T1至T4。

[0035] 铜板2是由铜制成的板状构件,从上方观察时,其基本上是矩形形状,在纵向方向

和横向方向上延伸，并且其厚度方向与上下方向对准。铜板2具有良好的导热性。然而，这并不意味着任何限制：代替铜板2，可以使用由具有良好导热率的铜以外的金属(例如铝)制成的金属板。

[0036] 树脂壳体7是由树脂制成的外壳。代替树脂壳体7，可以使用由除了树脂之外的绝缘材料制成的外壳。树脂壳体7一体地具有第一安装基部71、第二安装基部72、第一侧部73和第二侧部74。

[0037] 第一侧部73和第二侧部74各自是在纵向方向上延伸的基本上为壁状的构件。第一侧部73和第二侧部74在横向方向上彼此相对设置。第一安装基部71设置在纵向方向上的另一侧，第二安装基部72设置在纵向方向上的一侧。外部端子T1被放置在第一安装基部71上，外部端子T2被放置在第二安装基部72上。第一侧部73和第二侧部74在纵向方向上将第一安装基部71和第二安装基部72连接在一起。由第一安装基部71和第二安装基部72以及第一侧部73和第二侧部74包围的容纳部S形成在树脂壳体7内部，该容纳部S是在顶部和底部打开的空间。

[0038] 在从上方观察的树脂壳体7的四个角中，形成了沿上下方向贯穿树脂壳体7的紧固孔7A。在从上方观察的铜板2的四个角中，形成了沿上下方向贯穿铜板2的通孔2A。铜板2设置在树脂壳体7下方，在这种状态下，贯穿孔部2A和紧固孔部7A从上方观察时彼此重叠，以在每个角中形成一个贯穿孔。通过每对通孔2A和紧固孔7A，螺栓(未被示出)沿上下方向插入以将散热器(未被示出)紧固在铜板2下方。散热器例如是水冷散热器。

[0039] DCB(直接铜接合)基板4是在纵向方向和横向方向上延伸的板状构件，并且其厚度方向与上下方向对准。DCB基板4具有陶瓷基板40、第一布线部41、第二布线部42以及第三布线部43。DCB基板4通过将作为铜板的第一布线部41、第二布线部42和第三布线部43直接与陶瓷基板40接合而形成。

[0040] 陶瓷基板40由例如氧化铝、氮化铝或氮化硅形成，具有良好的导热性。陶瓷基板40是绝缘基板的一个例子。

[0041] 在纵向方向上从一侧到另一侧，第一布线部41、第二布线部42和第三布线部43按这种顺序布置。第一布线部41、第二布线部42和第三布线部43在横向方向上延伸。第一电阻器组51以将第一布线部41和第二布线部42连接在一起的方式通过在陶瓷基板40上印刷而形成。作为一个例子，第一电阻器组51被配置为具有在纵向方向上延伸并且在横向方向上排列的五个电阻器。同样，第二电阻器组52以将第二布线部42和第三布线部43连接在一起的方式通过在陶瓷基板40上印刷而形成。作为一个例子，第二电阻器组52被配置为具有在纵向方向上延伸并且在横向方向上排列的五个电阻器。

[0042] 第一电阻器组51和第二电阻器组52中的每个电阻器由例如诸如银或银/钯(Ag/Pd)的金属或诸如氧化钌(RuO_2)的金属氧化物形成。

[0043] 利用上述的配置，各自由第一电阻器组51中的一个电阻器和第二电阻器组52中的一个电阻器组成的五个串联电路并联连接以形成放电电阻部R。图4是示出放电电路模块1中的放电电路的配置的电路图。作为图4所示的一个例子，放电电阻部R被配置为具有两个串联和五个并联连接的电阻器。

[0044] 如图4所示，第二布线部42使电阻器的串联电路中的连接节点N短接在一起。因此，即使由于一些原因，电阻器的串联电路中的一个电阻器与第二布线部42断开，另一个电阻

器也仍然与第二布线部42连接，因此可以抑制作为整体的放电电阻部R的电阻值的变化。

[0045] DCB基板4设置在铜板2上方。焊料部3通过在上下方向上夹在DCB基板4和铜板2之间而设置。DCB基板4经由焊料部3与铜板2的顶面接合。DCB基板4和第一电阻器组51和第二电阻器组52被容纳在容纳部S中。

[0046] 外部端子T1一体地具有安装部T1A和腿部T1B。安装部T1A是安装在第一安装基部71上的板状部分。腿部T1B与从安装部T1A穿过第一安装基部71的部分连接，并且形成为从第一安装基部71的下部在纵向方向的一侧朝向容纳部S突出。腿部T1B形成为首先从第一安装基部71在纵向方向的一个方向上延伸，然后向下延伸，然后再在纵向方向的一个方向上延伸。

[0047] 作为一个例子，外部端子T1由铜制成。如上所述的形成于陶瓷基板40上的第三布线部43通过从下面与腿部T1B接触而与外部端子T1电连接。也就是说，第三布线部43通过Cu夹与外部端子T1连接。

[0048] 半导体芯片6对应于半导体开关SW(参见图4)。半导体芯片6的底面经由未被示出的焊料部与第一布线部41的顶面接合。外部端子T4具有从第二侧部74的顶面向上突出的部分。第一布线部41的顶面经由第一接合线W1与外部端子T4的下端部连接(参见图3)。第一接合线W1由例如铝形成。

[0049] 因此，如图4所示，在半导体芯片6(半导体开关SW)是N沟道MOSFET的情况下，半导体芯片6的漏极与外部端子T4电连接。

[0050] 外部端子T2一体地具有安装部T2A和腿部T2B。安装部T2A是安装在第二安装基部72上的板状部分。腿部T2B与从安装部T2A穿过第二安装基部72的部分连接，并且形成为从第二安装基部72的下部在纵向方向的另一侧朝向容纳部S突出。腿部T2B形成为首先从第二安装基部72在纵向方向的另一个方向上延伸，然后向下延伸，然后再在纵向方向的另一个方向上延伸。

[0051] 半导体芯片6的源极垫由腿部T2B和第二接合线W2连接(参见图3)。第二接合线W2由例如铝形成。因此，如图4所示，半导体芯片6的源极与外部端子T2电连接。

[0052] 外部端子T3具有从第一侧部73的顶面向上突出的部分。半导体芯片6的栅极垫通过第三接合线W3而与外部端子T3的下端部连接(参见图3)。第三接合线W3由例如铝形成。因此，如图4所示，半导体芯片6的栅极与外部端子T3电连接。

[0053] 注意，可以使用接合带来代替接合线W1至W3。

[0054] 具有O形环的布线(未被示出)用螺栓(未被示出)和紧固到螺栓上的螺母(未被示出)紧固在安装部T1A上，螺栓穿过形成在外部端子T1的安装部T1A和第一安装基部71上的通孔插入。因此，外部端子T1通过布线与电容部CX的正极侧电连接(参见图1)。

[0055] 具有O形环的布线(未被示出)用螺栓(未被示出)和紧固到螺栓上的螺母(未被示出)紧固在安装部T2A上，螺栓穿过形成在外部端子T2的安装部T2A和第二安装基部72上的通孔插入。因此，外部端子T2通过布线与电容部CX的负极侧电连接。

[0056] 盖8以从上方覆盖容纳部S的方式附接于树脂壳体7上。

[0057] 因此，利用根据本实施方式的放电电路模块1，通过将通过在DCB基板4上进行印刷形成的电阻器和作为在DCB基板4上实施的半导体芯片6的半导体开关进行封装，可以使放电电路模块1紧凑。

[0058] 即使在电容部CX放电时电阻器和半导体开关产生热量时，所产生的热量也会通过具有良好导热性的陶瓷基板40和铜板2进行传导而从散热器消散，这有助于改善散热。

[0059] 陶瓷基板40具有较大的热容量，因此即使电阻器的数量减少，也可以抑制温度的瞬时上升。例如，传统地，为了实现与放电电阻部R相当的几十欧姆的电阻值，需要在基板上布置大约100个芯片电阻器；相比之下，在本实施方式中，仅需要大约10个电阻器。

[0060] <3.变形>

[0061] 本发明的实施方式可以包括如下各种变形。图5是放电电路中的放电电阻部R的变形例。在图5所示的放电电阻部R中，第一电阻器组51中的一个电阻器和第二电阻器组52中的一个电阻器串联连接在一起的各连接节点没有短接在一起。

[0062] 在图4或图5所示的配置中，可以提供热敏电阻，例如NTC(负温度系数)热敏电阻。例如，在图4或图5中，热敏电阻插入在第一电阻器组51的不同于连接节点N侧的端子的一个端子与半导体芯片6的漏极和外部端子T4连接在一起的节点之间。

[0063] 图6是放电电阻部R的另一个变形例。在图6所示的配置中，各自由第一电阻器组501中的一个电阻器、第二电阻器组502中的一个电阻器和第三电阻器组503中的一个电阻器组成的五个串联电路并联连接。也就是说，放电电阻部R被配置为具有三个串联和五个并联连接的电阻器。

[0064] 因此，在放电电路安装在例如EV中的情况下，可以使放电电阻部R具有高耐受电压。在每个串联电路具有两个电阻器的图4的例子中，如果一个电阻器的耐受电压例如是600V，则放电电阻部R的耐受电压可以是1200V。相比之下，在每个串联电路具有三个电阻器的图6的例子中，即使一个电阻器的耐受电压低于上述600V，例如为400V，放电电阻部R的耐受电压也可以是1200V。也就是说，增加每个串联电路中的电阻器的数量允许使用耐受电压低的电阻器。

[0065] 在图6中，第一电阻器组501中的一个电阻器和第二电阻器组502中的一个电阻器串联连接在一起的各连接节点短接在一起，第二电阻器组502中的一个电阻器和第三电阻器组503中的一个电阻器串联连接在一起的各连接节点也短接在一起。然而，那些连接节点不必短接。

[0066] 图7是示意性示出根据变形例的放电电路模块1X的立体图。在图7所示的配置中，在陶瓷基板20上形成的电阻器(未被示出)和在陶瓷基板20上实施的半导体芯片(未被示出)用密封材料25(诸如树脂)密封到封装中。如图7所示，陶瓷基板20的顶面暴露于外部，并且散热器(未被示出)可以与该暴露部分接合。外部端子30从密封材料25的侧面突出。如图7所示，在外部端子30的数量为八个的情况下，例如，除了对应于上面描述的外部端子T1至T4的端子之外的四个外部端子30是NC端子(在内部未电连接的端子)。

[0067] <4.其他>

[0068] 尽管上面已经描述了本公开的实施方式，但是可以对本发明的范围内的实施方式进行各种变形。

[0069] <5.注意>

[0070] 如上所述，例如，根据本文公开的内容的一个方面的放电电路模块(1)是用于使电容部(CX)放电的放电电路模块，并且包括：

[0071] 绝缘基板(40)；

[0072] 放电电阻部(R),该放电电阻部具有形成于绝缘基板上的至少一个电阻器(51、52);以及

[0073] 半导体芯片(6),该半导体芯片在绝缘基板上实现为半导体开关并且与放电电阻部电连接,

[0074] 其中,

[0075] 绝缘基板、放电电阻部和半导体芯片形成封装。(第一配置)。

[0076] 在上述的第一配置中,绝缘基板可以是陶瓷基板(40)。(第二配置)。

[0077] 在上述的第二配置中,还可以提供DCB基板(4),该DCB基板包括陶瓷基板(40)和形成于陶瓷基板中的布线部(41、42、43)。电阻器(51、52)和半导体芯片(6)可以与布线部电连接。(第三配置)。

[0078] 在上述的第三配置中,还可以提供具有腿部(T1B、T2B)的第一外部端子(T1、T2)。布线部(43、41)可以与腿部接触。(第四配置)。

[0079] 在上述的第三或第四配置中,还可以提供第二外部端子(T3、T4)。布线部(41)可以通过接合线(W3、W1)或接合带与第二外部端子连接。(第五配置)。

[0080] 在上述的第三至第五配置中的任何一个配置中,布线部可以具有:

[0081] 第一布线部(41)、第二布线部(42)和第三布线部(43),

[0082] 第一布线部、第二布线部和第三布线部可以在第一方向上按这种顺序布置,并且可以在与第一方向正交的第二方向上延伸,

[0083] 构成第一电阻器组(51)的多个电阻器可以在第二方向上排列成将第一布线部和第二布线部连接在一起,并且

[0084] 构成第二电阻器组(52)的多个电阻器可以在第二方向上排列成将第二布线部和第三布线部连接在一起。(第六配置)。

[0085] 在上述的第二至第六配置中的任何一个配置中,还可以提供与陶瓷基板(40)接合的铜板(2)。(第七配置)。

[0086] 在上述的第七配置中,陶瓷基板(40)可以经由焊料部(3)与铜板(2)接合。(第八配置)。

[0087] 在上述的第一至第八配置中的任何一个配置中,还可以提供容纳绝缘基板(40)、放电电阻部(R)和半导体芯片(6)的壳体(7)。(第九配置)。

[0088] 在上述的第九配置中,还可以提供与绝缘基板(40)接合且设置在壳体(7)下方的板(2)。在壳体上沿上下方向贯穿设置的紧固孔(7A)和在板上沿上下方向贯穿设置的通孔(2A)可以在从上方观察时彼此重叠。(第十配置)。

[0089] 根据本文公开的内容的另一方面的放电系统(15)包括上述任何一个配置的放电电路模块(1)和连接在电源线之间的电容部(CX)。

[0090] 工业实用性

[0091] 本发明在例如X电容器的放电中获得应用。

[0092] 附图标记列表

[0093] 1、1X 放电电路模块

[0094] 2 铜板

[0095] 2A 通孔

[0096] 3 焊料部

[0097] 4 DCB基板

[0098] 6 半导体芯片

[0099] 7树脂壳体

[0100] 7A紧固孔

[0101] 8 盖

[0102] 10 电池

[0103] 15 放电系统

[0104] 20 陶瓷基板

[0105] 25 密封材料

[0106] 30 外部端子

[0107] 40 陶瓷基板

[0108] 41 第一布线部

[0109] 42 第二布线部

[0110] 43 第三布线端子

[0111] 51 第一电阻器组

[0112] 52 第二电阻器组

[0113] 71 第一安装基部

[0114] 72 第二安装基部

[0115] 73 第一侧部

[0116] 74 第二侧部

[0117] 501 第一电阻器组

[0118] 502 第二电阻器组

[0119] 503 第三电阻器组

[0120] CX 电容部

[0121] N 连接节点

[0122] R 放电电阻部

[0123] S 容纳部

[0124] SW 半导体开关

[0125] T1至T4外部端子

[0126] T1A安装部

[0127] T1B腿部

[0128] T2A安装部

[0129] T2B 腿部

[0130] W1 第一接合线

[0131] W2 第二接合线

[0132] W3 第三接合线

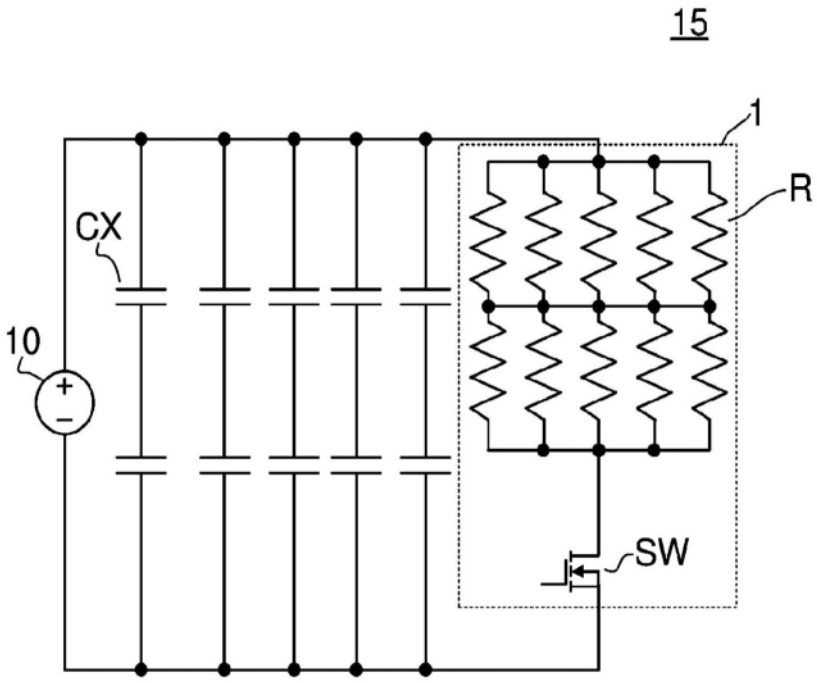


图1

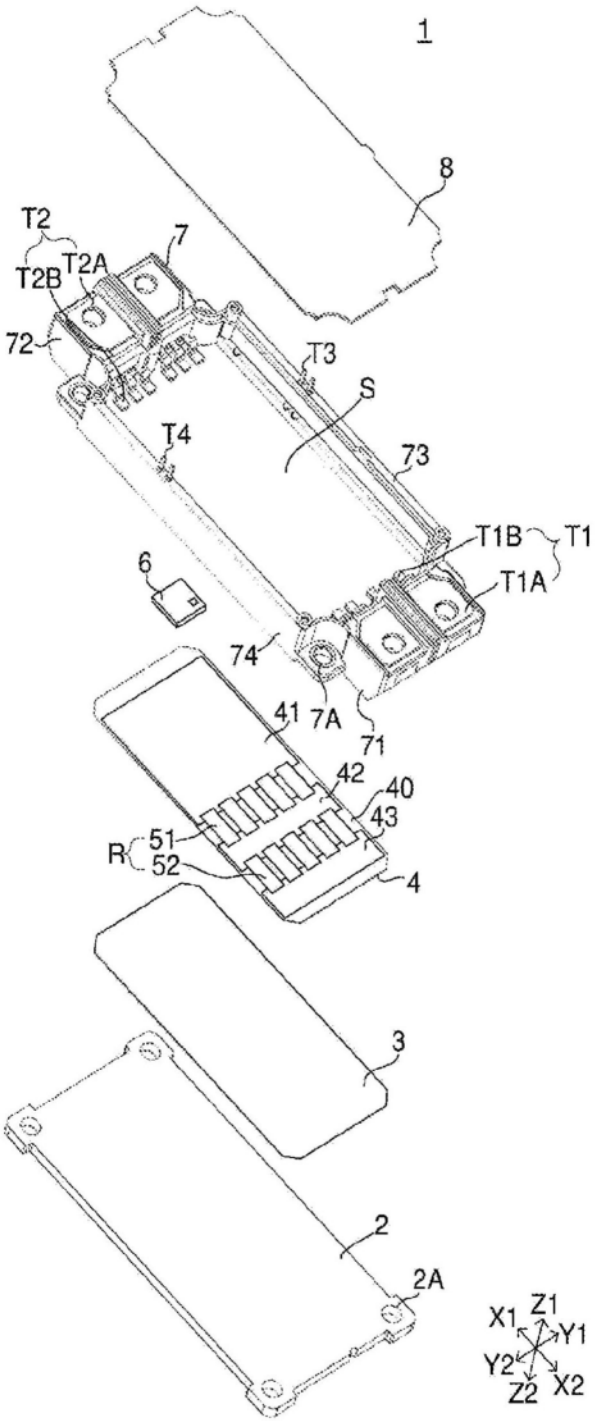

1
8
T2
T2B
T2A
7
72
T3
S
T4
73
T1B
T1
T1A
6
74
41
7A
71
42
40
43
R
51
52
4
3
2
2A
X1
Z1
Y1
Y2
Z2
X2

图2

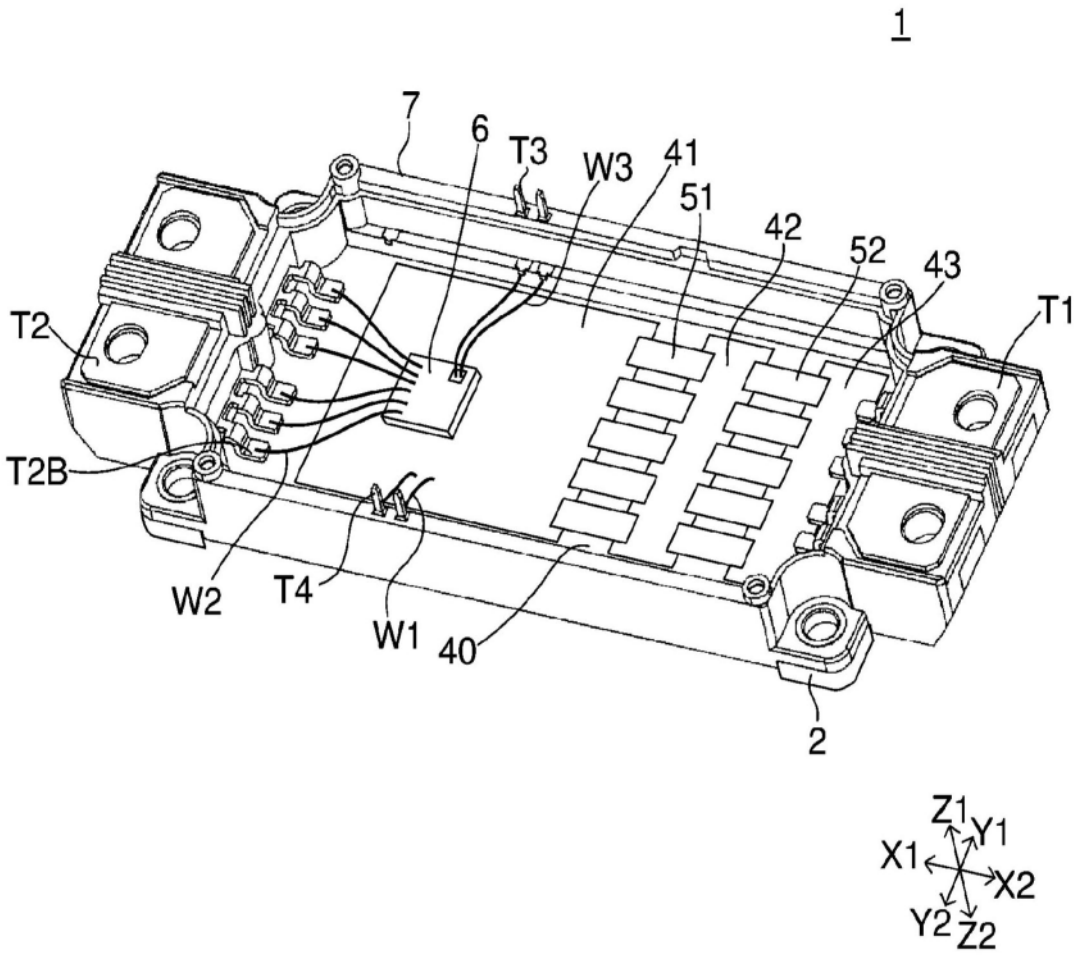


图3

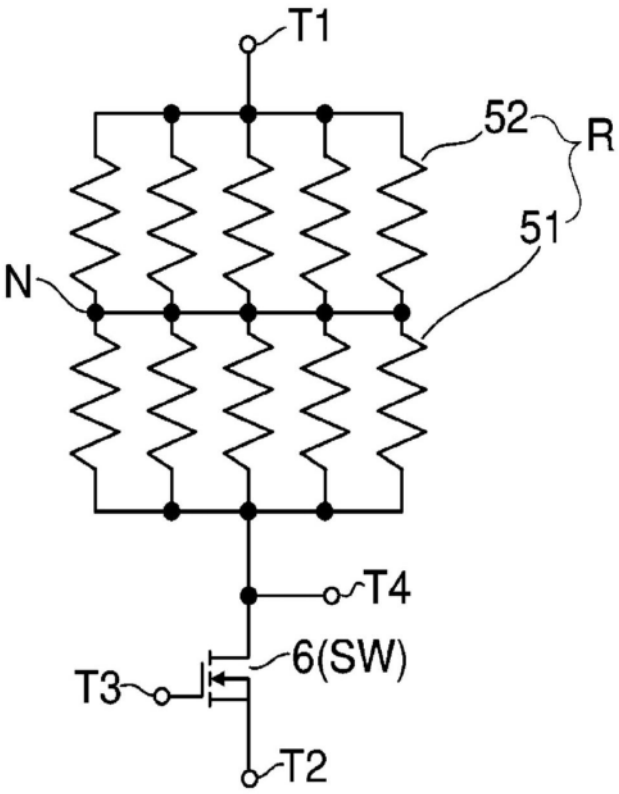


图4

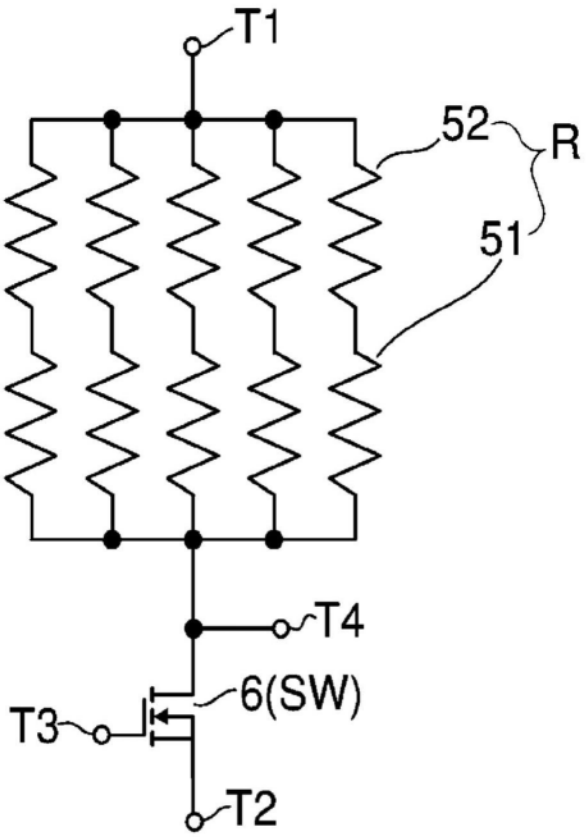


图5

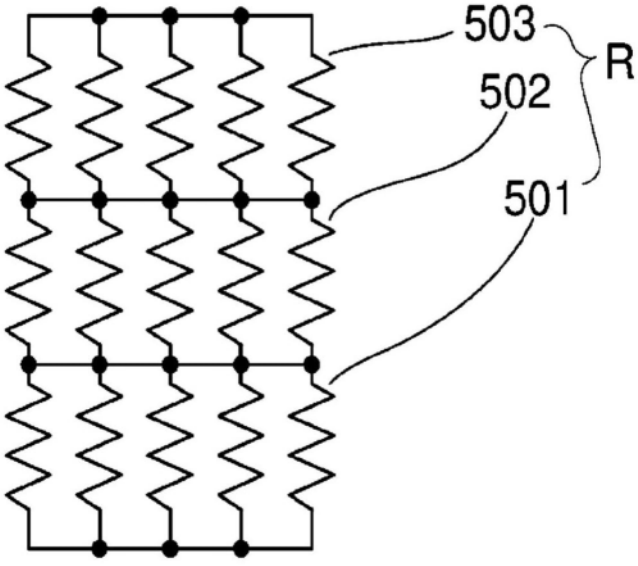


图6

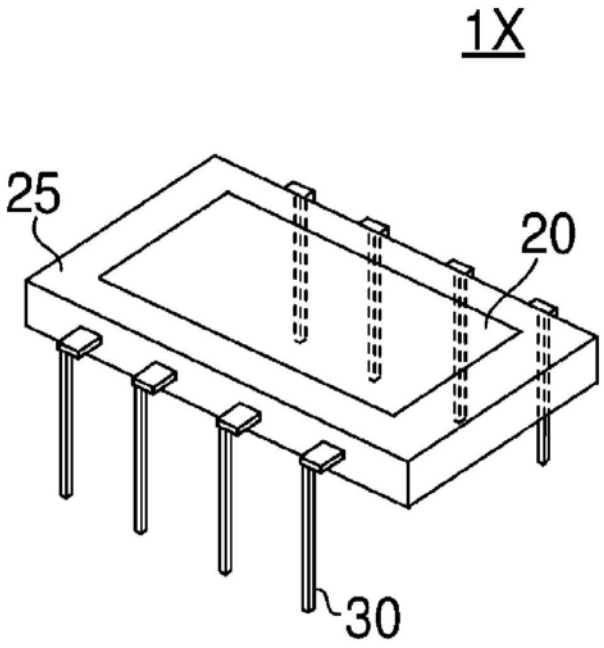


图7