

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2022年4月7日 (07.04.2022)



(10) 国际公布号
WO 2022/068256 A1

(51) 国际专利分类号:
H01L 29/10 (2006.01) *H01L 21/335* (2006.01)
H01L 29/20 (2006.01) *H01L 29/778* (2006.01)

(21) 国际申请号: PCT/CN2021/099163

(22) 国际申请日: 2021年6月9日 (09.06.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202022206942.9 2020年9月30日 (30.09.2020) CN
202011065977.3 2020年9月30日 (30.09.2020) CN

(71) 申请人: 苏州能讯高能半导体有限公司 (DYNAX SEMICONDUCTOR, INC.) [CN/CN]; 中

国江苏省昆山市玉山镇晨丰路18号, Jiangsu 215300 (CN)。

(72) 发明人: 张晖 (ZHANG, Hui); 中国江苏省昆山市玉山镇晨丰路18号, Jiangsu 215300 (CN)。李仕强 (LI, Shiqiang); 中国江苏省昆山市玉山镇晨丰路18号, Jiangsu 215300 (CN)。张乃千 (ZHANG, Naiqian); 中国江苏省昆山市玉山镇晨丰路18号, Jiangsu 215300 (CN)。裴轶 (PEI, Yi); 中国江苏省昆山市玉山镇晨丰路18号, Jiangsu 215300 (CN)。

(74) 代理人: 北京市中咨律师事务所 (ZHONGZI LAW OFFICE); 中国北京市西城区平安里西大街26号新时代大厦7层, Beijing 100034 (CN)。

(54) Title: EPITAXIAL STRUCTURE OF SEMICONDUCTOR DEVICE AND PREPARATION METHOD THEREFOR

(54) 发明名称: 半导体器件的外延结构及其制备方法

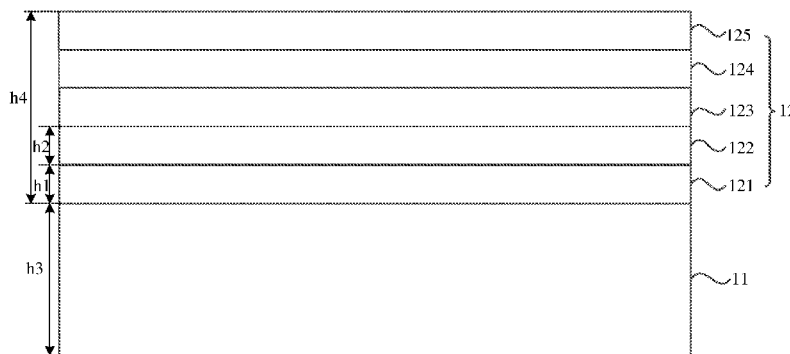


图1

(57) Abstract: The embodiments of the present disclosure provide an epitaxial structure of a semiconductor device and a preparation method therefor. The epitaxial structure comprises a substrate; and an epitaxial layer located at one side of the substrate, the epitaxial layer comprising a nucleating layer located at one side of the substrate and a buffer layer located at the side of the nucleating layer away from the substrate, wherein the thickness of the buffer layer is inversely proportional to the thickness of the nucleating layer. By using the technical solution, the thickness of a nucleating layer is set to be inversely proportional to the thickness of a buffer layer, improving the crystal quality of the nucleating layer while ensuring that the thermal resistance of the nucleating layer in an epitaxial structure is not high, so as to improve the quality of the epitaxial structure and the quality of a semiconductor device.

(57) 摘要: 本公开的实施例提供了一种半导体器件的外延结构及其制备方法, 所述外延结构包括衬底; 位于所述衬底一侧的外延层, 所述外延层包括位于所述衬底一侧的成核层以及位于所述成核层远离所述衬底一侧的缓冲层, 其中, 所述缓冲层的厚度与所述成核层的厚度成反比例关系。采用上述技术方案, 通过设置成核层的厚度与缓冲层的厚度成反比例关系, 保证外延结构中成核层的热阻不变高的情况下提升成核层的晶体质量, 进而提升外延结构的质量以及半导体器件的质量。

WO 2022/068256 A1

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告 (条约第21条(3))。

半导体器件的外延结构及其制备方法

技术领域

本公开实施例涉及半导体技术领域，尤其涉及一种半导体器件的外延结构、其制备方法及半导体器件。

背景技术

半导体材料氮化镓(GaN)由于具有禁带宽度大、电子迁移率高、击穿场强高、导热性能好等特点，且具有很强的自发和压电极化效应，相较于第一代半导体材料和第二代半导体材料更适合于制造高频、高压和耐高温的大功率电子器件，尤其是在射频和电源领域优势明显。

目前制造 GaN 基光电器件与功率器件，GaN 外延层与基底存在热失配和晶格失配，在外延生长过程中引起的热失配应力以及晶格失配应变会使得外延片发生形变，从而使得外延层均匀性下降，外延产品良率下降，成本提高。为此，在 GaN 外延层与基底之间引入了成核层。

但是成核层的存在会使外延层总体热阻变高，因此为了缓解这个问题业内多数采用的是薄的成核层，但是薄成核层又存在晶体质量差的问题，而晶体质量差会影响后续生长的 GaN 的晶体质量，进而影响最终器件的可靠性。目前，要制造电学性能优越，可靠性稳定的第三代半导体器件，都离不开晶体质量好，均匀性好，工业成本低的半导体外延结构作为基础匹配半导体器件的性能。

因此如何在热阻不变高的情况下获得晶体质量好，成本低的外延结构成为了目前亟需解决的问题。

另外，由于 AlGaIn/GaN 异质结构中存在较强的二维电子气，通常采用 AlGaIn/GaN 异质结形成的高电子迁移率晶体管（High Electron Mobility Transistor; HEMT）为耗尽型器件，为了使该器件获得更大的击穿电压、更好的开关特性以及更可靠的性能，则必须先获得高阻的 GaN 缓冲层。

要获得高阻的 GaN 缓冲层方法有多种，常用的方法是进行 C 掺杂或者 Fe 掺杂。但是为了获得足够高阻的 GaN 缓冲层所需的 C 含量会导致晶体质量变差，进而影响最终器件的可靠性，并且 C 杂质形成的深能级陷阱容易使最终器件的输出功率等性能衰减；而为了获得足够高阻的 GaN 缓冲层所需的 Fe 含量则会引起外延层表面和晶体质量变差，同时也会影响最终器件的性能。因此如何在保证外延层晶体质量的同时又能保证最终器件的性能成为了目前亟需解决的问题。

发明内容

有鉴于此，本公开实施例提供一种半导体器件的外延结构、其制备方法及半导体器件，以提供一种成核层热阻情况以及晶体质量均良好的外延结构，进而提供一种缓冲层高阻特性以及晶体质量均良好的外延结构。

第一方面，本公开实施例提供了一种半导体器件的外延结构，包括：

衬底；

位于所述衬底一侧的外延层，所述外延层包括位于所述衬底一侧的成核层以及位于所述成核层远离所述衬底一侧的缓冲层；

其中，所述缓冲层的厚度与所述成核层的厚度成反比例关系。

可选的，所述成核层的厚度为 h_1 ，所述缓冲层的厚度为 h_2 ；

其中， $0.1/h_2 \leq h_1 \leq 0.25/h_2$ 。

可选的， $h_1=0.17/h_2$ 。

可选的，所述成核层的厚度为 h_1 ，所述衬底的厚度为 h_3 ；

其中， $2 \times 10^{-5} \leq h_1/h_3 \leq 5 \times 10^{-4}$ 。

可选的，所述成核层的厚度为 h_1 ，所述外延层的厚度为 h_4 ；

其中， $0.05 \leq h_1/h_4 \leq 0.3$ 。

可选的， $0.07 \leq h_1/h_4 \leq 0.1$ 。

可选的，所述成核层的厚度为 h_1 ，其中， $100\text{nm} \leq h_1 \leq 150\text{nm}$ 。

可选的，所述外延层还包括：

位于所述缓冲层远离所述衬底一侧的间隔层；

位于所述间隔层远离所述衬底基板一侧的势垒层，所述势垒层与所述缓冲层形成异质结结构；

位于所述势垒层远离所述衬底一侧的盖层。

可选的，所述缓冲层包括叠层设置的第一类缓冲层和第二类缓冲层，所述第一类缓冲层位于靠近所述衬底的一侧，且所述第一类缓冲层的掺杂浓度大于所述第二类缓冲层的掺杂浓度。

可选的，所述第一类缓冲层包括至少一层第一缓冲层，所述第二类缓冲层包括至少一层第二缓冲层；

所述第一缓冲层的掺杂浓度大于所述第二缓冲层的掺杂浓度。

可选的，所述第一类缓冲层包括叠层设置的第一甲缓冲层和第

一乙缓冲层，所述第一甲缓冲层位于靠近所述衬底的一侧；所述第一甲缓冲层的掺杂浓度大于或者等于所述第一乙缓冲层的掺杂浓度；

所述第二类缓冲层包括叠层设置的第二甲缓冲层和第二乙缓冲层，所述第二甲缓冲层位于靠近所述衬底的一侧；所述第二甲缓冲层的掺杂浓度大于所述第二乙缓冲层的掺杂浓度。

可选的，所述第一甲缓冲层、所述第一乙缓冲层、所述第二甲缓冲层和所述第二乙缓冲层中均掺杂有碳离子；

所述第一甲缓冲层中碳离子的掺杂浓度为第一掺杂浓度 C_1 ，所述第一乙缓冲层中碳离子的掺杂浓度为第二掺杂浓度 C_2 ，所述第二甲缓冲层中碳离子的掺杂浓度为第三掺杂浓度 C_3 ，所述第二乙缓冲层中碳离子的掺杂浓度为第四掺杂浓度 C_4 ，其中， $C_1 > C_2 \geq C_3 > C_4$ 。

可选的，所述第一甲缓冲层和所述第一乙缓冲层中还掺杂有铁离子，所述第二甲缓冲层和所述第二乙缓冲层中不掺杂铁离子；

所述第一甲缓冲层中铁离子的掺杂浓度为第五掺杂浓度，所述第一乙缓冲层中铁离子的掺杂浓度为第六掺杂浓度，其中，所述第五掺杂浓度与所述第六掺杂浓度相同。

可选的，所述第一甲缓冲层中碳离子的掺杂浓度为第一掺杂浓度 C_1 ，所述第五掺杂浓度 C_5 ，其中， $C_1/C_5=(0.5\sim 1.2)/10$ ；

所述第一乙缓冲层中碳离子的掺杂浓度为第二掺杂浓度 C_2 ，所述第六掺杂浓度 C_6 ，其中 $C_2/C_6=(0.1\sim 0.3)/10$ ；

所述第二甲缓冲层中碳离子的掺杂浓度为第三掺杂浓度 C_3 ，其中， $C_3=C_2$ ；

所述第二乙缓冲层中碳离子的掺杂浓度为第四掺杂浓度 C_4 ，其中， $C_4/C_3=(1\sim 2)/10$ 。

可选的，所述第一缓冲层的厚度大于所述第二缓冲层的厚度。

可选的，所述第一类缓冲层包括叠层设置的第一甲缓冲层和第一乙缓冲层，所述第一甲缓冲层位于靠近所述衬底的一侧；所述第一甲缓冲层的厚度大于或者等于所述第一乙缓冲层的厚度；

所述第二类缓冲层包括叠层设置的第二甲缓冲层和第二乙缓冲层，所述第二甲缓冲层位于靠近所述衬底的一侧；所述第二甲缓冲层的厚度大于所述第二乙缓冲层的厚度。

可选的，所述第一甲缓冲层的厚度为 h_1 ，所述第一乙缓冲层的厚度为 h_2 ，所述第二甲缓冲层的厚度为 h_3 ，所述第二乙缓冲层的厚度为 h_4 ；

其中， $h_2=h_1$ ， $2/10 \leq h_3/h_2 \leq 9/10$ ， $4/10 \leq h_4/h_3 \leq 9/10$ 。

第二方面，本公开实施例还提供了一种半导体器件，包括第一方面所述的外延结构，所述外延结构包括衬底以及依次位于所述衬底一侧的成核层、缓冲层、间隔层、势垒层以及帽层；

所述半导体器件还包括：

位于所述势垒层远离所述衬底一侧的源极和漏极；

位于所述盖层远离所述衬底一侧的栅极，所述栅极位于所述源极和所述漏极之间。

第三方面，本公开实施例还提供了一种半导体器件的外延结构的制备方法，包括：

提供衬底；

在所述衬底一侧制备成核层；

在所述成核层远离所述衬底的一侧制备缓冲层；
在所述缓冲层远离所述衬底的一侧制备间隔层；
在所述间隔层远离所述衬底的一侧制备势垒层，所述势垒层与
所述缓冲层形成异质结结构；

在所述势垒层远离所述衬底的一侧制备盖层，

其中，所述缓冲层的厚度与所述成核层的厚度成反比例关系。

本公开实施例提供的半导体器件的外延结构及半导体器件，通过设置成核层的厚度与缓冲层的厚度成反比例关系，保证外延结构中成核层的热阻不变高的情况下提升成核层的晶体质量，进而提升外延结构的质量以及半导体器件的可靠性。

另外，本公开实施例提供的半导体器件的外延结构及其制备方法、半导体器件，通过设置缓冲层包括叠层设置的第一类缓冲层和第二类缓冲层，同时设置第一类缓冲层的掺杂浓度大于第二类缓冲层的掺杂浓度，保证外延结构中缓冲层的高阻特性的同时保证缓冲层的晶体质量良好，进而提升外延结构以及半导体器件的质量。

附图说明

图 1 是本公开实施例提供的一种半导体器件的外延结构的结构示意图；

图 2 是本公开实施例提供的一种半导体器件的结构示意图；

图 3 是本公开实施例提供的一种半导体器件的外延结构的制备方法的流程示意图；

图 4 是本公开实施例提供的一种半导体器件的制备方法的流程示意图。

图 5 是本公开实施例提供的一种半导体器件的外延结构的结构示意图；

图 6 是本公开实施例提供的一种半导体器件的结构示意图；

图 7 是本公开实施例提供的一种半导体器件的外延结构的制备方法的流程示意图；

图 8 是本公开实施例提供的一种半导体器件的制备方法的流程示意图。

具体实施方式

下面结合附图和实施例对本公开作进一步的详细说明。可以理解的是，此处所描述的具体实施例仅仅用于解释本公开，而非对本公开的限定。另外还需要说明的是，为了便于描述，附图中仅示出了与本公开相关的部分而非全部结构。

图 1 是本公开实施例提供的一种半导体器件的外延结构的结构示意图，如图 1 所示，本公开实施例提供的半导体器件的外延结构包括衬底 11，位于衬底 11 一侧的外延层 12；外延层 12 包括位于衬底 11 一侧的成核层 121 以及位于成核层 12 远离衬底 11 一侧的缓冲层 122；其中，缓冲层 122 的厚度与成核层 121 的厚度成反比例关系。

示例性的，衬底 11 可以是氮化镓、铝镓氮、铟镓氮、铝铟镓氮、磷化铟、砷化镓、碳化硅、金刚石、蓝宝石、锗、硅中的一种或多种的组合，或任何其他能够生长 III 族氮化物的材料，本公开实施例对衬底 11 的具体类型不进行限定。

外延层 12 位于衬底 11 一侧，外延层 12 具体可以包括基于 III-

V族化合物的半导体材料。

具体的，外延层 12 包括靠近衬底 11 一侧的成核层 121 以及位于成核层 121 远离衬底 11 一侧的缓冲层 122。其中，成核层 121 影响外延层 12 中位于成核层 121 上方的其他膜层的晶体质量、表面形貌以及电学性质等参数；成核层 121 主要起到匹配衬底 11 材料和外延层 12 中异质结结构中的半导体材料层的作用。缓冲层 122 起到粘合接下来需要生长的半导体材料层的作用。

进一步的，成核层 121 的材料可以为氮化铝，缓冲层 122 的材料可以为氮化镓。

由于 AlN 成核层的存在会使外延层 12 总体热阻变高，因此为了缓解这个问题业内多数采用的是薄的 AlN 作为 AlN 成核层，但薄的 AlN 成核层要获得好的晶体质量难度非常高。通过增加 AlN 成核层厚度则是实现晶体质量提升的方法之一，但如果只是单纯的增加 AlN 厚度会导致热阻升高，影响器件性能。本公开实施例创造性地设置外延层 12 中成核层 121 的厚度和缓冲层 122 的厚度成反比例关系，即当增加成核层 121 的厚度后，需要同时减薄缓冲层 122 的厚度，当减薄成核层 121 的厚度后，需要增加缓冲层 122 的厚度。经过大量验证，当外延层 12 中成核层 121 的厚度和缓冲层 122 的厚度成反比例关系时可以实现在热阻不变高的情况下提升成核层 121 的晶体质量，保证位于成核层 121 上方的其他外延层的晶体质量、表面形貌以及电学性质良好，保证外延结构以及半导体器件整体质量良好，可靠性高。

综上，本公开实施例提供的半导体器件的外延结构，通过设置成核层的厚度与缓冲层的厚度成反比例关系，保证外延结构中成核

层的热阻不变高的情况下提升成核层的晶体质量，进而提升外延结构以及半导体器件的质量。

在上述实施例的基础上，成核层 121 的厚度为 h_1 ，缓冲层 122 的厚度为 h_2 ；

其中， $0.1/h_2 \leq h_1 \leq 0.25/h_2$ 。

示例性的，外延层 12 中成核层 121 的厚度和缓冲层 122 的厚度成反比例关系可以设置成核层 121 的厚度 h_1 和缓冲层 122 的厚度 h_2 满足 $0.1/h_2 \leq h_1 \leq 0.25/h_2$ ，当成核层 121 的厚度 h_1 和缓冲层 122 的厚度 h_2 满足上述比例关系时，能够保证成核层 121 的热阻不变高的情况下提升成核层 121 的晶体质量，保证外延结构以及半导体器件的可靠性高。

具体的，成核层 121 的厚度 h_1 和缓冲层 122 的厚度 h_2 满足 $0.1/h_2 \leq h_1 \leq 0.25/h_2$ ，可以是 $h_1=0.1/h_2$ 、或者是 $h_1=0.15/h_2$ 、或者是 $h_1=0.17/h_2$ 、或者是 $h_1=0.2/h_2$ 、或者是 $h_1=0.25/h_2$ ，本公开实施例对成核层 121 的厚度 h_1 和缓冲层 122 的厚度 h_2 的具体比例关系不进行限定，只需保证成核层 121 的厚度 h_1 和缓冲层 122 的厚度 h_2 满足 $0.1/h_2 \leq h_1 \leq 0.25/h_2$ 即可，如此保证成核层 121 的热阻不变高的情况下提升成核层 121 的晶体质量，保证外延结构以及半导体器件的可靠性高。

在上述实施例的基础上，优选的，成核层 121 的厚度 h_1 和缓冲层 122 的厚度 h_2 可以满足 $h_1=0.17/h_2$ ，如此保证成核层 121 的热阻情况以及晶体质量情况处于最佳平衡状态，保证实现在成核层 121 热阻不变高的情况下成核层 121 的晶体质量最佳，或者保证实现在成核层 121 晶体质量良好的情况下热阻最小，保证成核层 121

的质量最佳，进而保证外延结构以及半导体器件的整体可靠性最佳。

可选的，成核层 121 的厚度为 h_1 ，衬底的厚度为 h_3 ；其中， $2 \times 10^{-5} \leq h_1 / h_3 \leq 5 \times 10^{-4}$ 。

示例性的，通过合理设置成核层 121 的厚度 h_1 与衬底 11 的厚度 h_3 满足 $2 \times 10^{-5} \leq h_1 / h_3 \leq 5 \times 10^{-4}$ ，在保证成核层 121 的热阻情况以及晶体质量均较好的情况下，保证成核层 121 可以充分匹配衬底 11，进一步提升外延结构以及半导体器件的可靠性。

具体的，成核层 121 的厚度 h_1 与衬底 11 的厚度 h_3 满足 $2 \times 10^{-5} \leq h_1 / h_3 \leq 5 \times 10^{-4}$ ，可以是 $h_1 / h_3 = 2 \times 10^{-5}$ 、或者是 $h_1 / h_3 = 5 \times 10^{-5}$ 、或者是 $h_1 / h_3 = 1 \times 10^{-4}$ 、或者是 $h_1 / h_3 = 3 \times 10^{-4}$ 、或者是 $h_1 / h_3 = 5 \times 10^{-4}$ ，本公开实施例对成核层 121 的厚度 h_1 和衬底 11 的厚度 h_3 的具体比例关系不进行限定，只需保证成核层 121 的厚度 h_1 与衬底 11 的厚度 h_3 满足 $2 \times 10^{-5} \leq h_1 / h_3 \leq 5 \times 10^{-4}$ 即可。

可选的，成核层 121 的厚度为 h_1 ，外延层 12 的厚度为 h_4 ；其中， $0.05 \leq h_1 / h_4 \leq 0.3$ 。

示例性的，通过合理设置成核层 121 的厚度 h_1 与外延层 12 的厚度 h_4 满足 $0.05 \leq h_1 / h_4 \leq 0.3$ ，在保证成核层 121 的热阻情况以及晶体质量均较好的情况下，保证成核层 121 的厚度可以匹配外延层 12 的整体厚度，保证外延层 12 中除成核层 121 之外的其他膜层具备合适的厚度范围，保证外延层 12 整体质量良好，外延结构以及半导体器件可靠性高。

具体的，成核层 121 的厚度 h_1 与外延层 12 的厚度 h_4 满足 $0.05 \leq h_1 / h_4 \leq 0.3$ ，可以是 $h_1 / h_4 = 0.05$ 、或者是 $h_1 / h_4 = 0.1$ 、或者是 $h_1 / h_4 = 0.2$ 、或者是 $h_1 / h_4 = 0.3$ ，本公开实施例对成核层 121 的厚

度 h_1 和外延层 12 的厚度 h_4 的具体比例关系不进行限定，只需保证成核层 121 的厚度 h_1 与外延层 12 的厚度 h_4 满足 $0.05 \leq h_1/h_4 \leq 0.3$ 即可。

在上述实施例的基础上，优选的，成核层 121 的厚度 h_1 和外延层 12 的厚度 h_4 满足 $0.07 \leq h_1/h_4 \leq 0.1$ ，如此保证成核层 121 的热阻情况以及晶体质量情况均较好的情况下，保证实现在成核层 121 的厚度可以完美匹配外延层 12 的整体厚度，进一步保证外延层 12 中除成核层 121 之外的其他膜层具备合适的厚度范围，进一步提升外延层 12 整体质量，进一步提升外延结构以及半导体器件可靠性。

可选的，当衬底的厚度 h_3 在 $400\mu\text{m}$ 至 $600\mu\text{m}$ 之间时，成核层 121 的厚度为 h_1 ，其中， $100\text{nm} \leq h_1 \leq 150\text{nm}$ 。

示例性的，合理设置成核层 121 的厚度 h_1 满足 $100\text{nm} \leq h_1 \leq 150\text{nm}$ ，保证成核层 121 即具备较小的热阻，同时具备良好的晶体质量。

具体的，成核层 121 的厚度 h_1 满足 $100\text{nm} \leq h_1 \leq 150\text{nm}$ ，可以是 $h_1 = 100\text{nm}$ 、或者是 $h_1 = 110\text{nm}$ 、或者是 $h_1 = 130\text{nm}$ 、或者是 $h_1 = 150\text{nm}$ ，本公开实施例对成核层 121 的具体厚度不进行限定，只需保证成核层 121 的厚度 h_1 满足 $100\text{nm} \leq h_1 \leq 150\text{nm}$ 即可。

在上述实施例的基础上，继续参考图 1 所示，本公开实施例提供的外延层 12 还可以包括位于缓冲层 122 远离衬底 11 一侧的间隔层 123；位于间隔层 123 远离衬底 11 基板一侧的势垒层 124，势垒层 124 与缓冲层 122 形成异质结结构；位于势垒层 124 远离衬底 11 一侧的盖层 125。

示例性的，间隔层 123 可以为 AlN 间隔层，间隔层 123 可以抬高势垒，增加二维电子气的限域性，同时减小合金散射，提升迁移率。

势垒层 124 可以为 AlGa_N 势垒层，势垒层 124 与缓冲层 122 一起形成异质结结构，形成二维电子气的运动沟道。

盖层 125 的主要作用是减小表面态，减小后续半导体器件的表面漏电，抑制电流崩塌，从而提升外延结构以及半导体器件的性能和可靠性。可选的，盖层 125 的材料为 III 族氮化物，优选为 P 型掺杂氮化镓 (P-GaN)，P-GaN 结构能够有效降低 AlGa_N 层的势垒高度。

基于同样的发明构思，本公开实施例还提供了一种半导体器件，本公开实施例提供的半导体器件包括上述实施例所述的半导体器件的外延结构。进一步的，图 2 是本公开实施例提供的一种半导体器件的结构示意图，如图 2 所示，本公开实施例提供的半导体器件包括：

衬底 11；

位于衬底 11 一侧的外延层 12，外延层 12 包括依次位于衬底 11 一侧的成核层 121、缓冲层 122、间隔层 123、势垒层 124 以及帽层 125；

位于势垒层 124 远离衬底 11 一侧的源极 131 和漏极 132；

位于帽层 125 远离衬底 11 一侧的栅极 133，栅极 133 位于源极 131 和漏极 132 之间。

示例性的，源极 131 和漏极 132 位于势垒层 124 远离衬底 11 的一侧，源极 131 和漏极 132 分别与势垒层 124 形成欧姆接触；栅极

133 位于源极 131 和漏极 132 之间，同时位于盖层 125 远离衬底 11 的一侧，栅极 133 与盖层 125 形成肖特基接触。

基于同一发明构思，本公开实施例还提供了一种半导体器件的外延结构的制备方法，图 3 是本公开实施例提供的一种半导体器件的外延结构的制备方法的流程示意图，如图 3 所示，本公开实施例提供的半导体器件的外延结构的制备方法可以包括：

S110、提供衬底。

示例性的，衬底的材料可以氮化镓、铝镓氮、铟镓氮、铝铟镓氮、磷化铟、砷化镓、碳化硅、金刚石、蓝宝石、锗、硅中的一种或多种的组合，或任何其他能够生长 III 族氮化物的材料。衬底的制备方法可以是常压化学气相沉积法、亚常压化学气相沉积法、金属有机化合物气相沉淀法、低压力化学气相沉积法、高密度等离子体化学气相沉积法、超高真空化学气相沉积法、等离子体增强化学气相沉积法、触媒化学气相沉积法、混合物理化学气相沉积法、快速热化学气相沉积法、气相外延法、脉冲激光沉积法、原子层外延法、分子束外延法、溅射法或蒸发法。

S120、在所述衬底一侧制备外延层，所述外延层包括位于所述衬底一侧的成核层以及位于所述成核层远离所述衬底一侧的缓冲层；其中，所述缓冲层的厚度与所述成核层的厚度成反比例关系。

由于成核层的存在会使外延层总体热阻变高，但薄的 AlN 成核层要获得好的晶体质量难度非常高，而单纯的增加 AlN 厚度会导致热阻升高，影响器件性能。本公开实施例创造性的设置外延层中成核层的厚度和缓冲层的厚度成反比例关系，实现在热阻不变高的情况下提升成核层的晶体质量，保证位于成核层上方的其他外延层的

晶体质量、表面形貌以及电学性质良好，保证外延结构以及半导体器件整体质量良好，可靠性好。

综上，本公开实施例提供的半导体器件的外延结构的制备方法，通过设置成核层的厚度与缓冲层的厚度成反比例关系，保证外延结构中成核层的热阻不变高的情况下提升成核层的晶体质量，进而提升外延结构以及半导体器件的质量。

在上述实施的基础上，在衬底一侧制备外延层，可以包括：

在衬底一侧制备成核层；

在成核层远离衬底的一侧制备缓冲层；

在缓冲层远离衬底的一侧制备间隔层；

在间隔层远离衬底的一侧制备势垒层，述势垒层与缓冲层形成异质结结构；

在势垒层远离衬底的一侧制备盖层。

通过间隔层抬高势垒，增加二维电子气的限域性，同时减小合金散射，提升迁移率。通过势垒层与缓冲层一起形成异质结结构，形成二维电子气的运动沟道。通过盖层减小表面态，减小后续半导体器件的表面漏电，抑制电流崩塌，从而提升外延结构以及半导体器件的性能和可靠性。

基于同样的发明构思，本公开实施例还提供了一种半导体器件的制备方法，图4是本公开实施例提供的一种半导体器件的制备方法的流程示意图，如图4所示，本公开实施例提供的半导体器件的制备方法可以包括：

S210、提供衬底。

S220、在所述衬底一侧制备外延层，所述外延层包括依次位于

所述衬底一侧的成核层、缓冲层、间隔层、势垒层和帽层。

S230、在所述势垒层远离所述衬底的一侧制备源极和漏极；在所述帽层远离所述衬底的一侧制备栅极，所述栅极位于所述源极和所述漏极之间。

源极和漏极分别与势垒层形成欧姆接触，栅极与盖层形成肖特基接触。

为了进一步提高外延结构的质量，提高外延结构使用可靠性，对半导体外延结构进一步优化。图5是本公开实施例提供的一种半导体器件的外延结构的结构示意图，如图5所示，本公开实施例提供的外延结构包括衬底11，位于衬底11一侧的外延层12，外延层12包括缓冲层122，缓冲层122包括叠层设置的第一类缓冲层1221和第二类缓冲层1222，第一类缓冲层1221位于靠近衬底11的一侧，且第一类缓冲层1221的掺杂浓度大于第二类缓冲层1222的掺杂浓度。

外延层12位于衬底11一侧，外延层12具体可以包括基于III-V族化合物的半导体材料。

具体的，外延层12包括缓冲层122，缓冲层122起到粘合接下来需要生长的半导体材料层的作用。

缓冲层122包括叠层设置的第一类缓冲层1221和第二类缓冲层1222，第一类缓冲层1221位于靠近衬底11的一侧，第二类缓冲层1222位于远离衬底11的一侧，第一类缓冲层1221和第二类缓冲层1222的材料可以相同，优选可以为氮化镓。进一步的，第一类缓冲层1221和第二类缓冲层1222的厚度和掺杂可以不同。

首先对第一类缓冲层1221和第二类缓冲层1222的掺杂情况进

行说明。

由于获得高阻 GaN 缓冲层所需的 C 掺杂浓度需要满足 $>1 \times 10^{19}/\text{cm}^3$ ，如此会导致 GaN 缓冲层晶体质量变差；而获得高阻 GaN 缓冲层所需的 Fe 掺杂浓度需要满足 $>1 \times 10^{19}/\text{cm}^3$ ，如此会影响最终器件的性能。本公开实施例创造性地设置缓冲层 122 包括多层缓冲层，例如包括叠层设置的第一类缓冲层 1221 和第二类缓冲层 1222，第一类缓冲层 1221 位于靠近衬底 11 的一侧，同时设置第一类缓冲层 1221 的掺杂浓度大于第二类缓冲层 1222 的掺杂浓度，通过第一类缓冲层 1221 和第二类缓冲层 1222 特定的掺杂浓度关系来实现高阻缓冲层，例如可以设置缓冲层为轻掺杂，如此可以保证在半导体器件漏电和击穿等性能不变差的前提下提升外延结构以及半导体器件的可靠性。

综上，本公开实施例提供的外延结构，通过设置缓冲层包括叠层设置的第一类缓冲层和第二类缓冲层，同时设置第一类缓冲层的掺杂浓度大于第二类缓冲层的掺杂浓度，保证外延结构中缓冲层的高阻特性的同时保证缓冲层的晶体质量良好；同时通过第一类缓冲层和第二类缓冲层特定的掺杂浓度关系来实现高阻缓冲层，例如可以设置缓冲层为轻掺杂，如此可以保证在半导体器件漏电和击穿等性能不变差的前提下提升外延结构以及半导体器件的可靠性。

在上述实施例的基础上，第一类缓冲层 1221 可以包括至少一层第一缓冲层，第二类缓冲层 1222 可以包括至少一层第二缓冲层；第一缓冲层的掺杂浓度大于第二缓冲层的掺杂浓度。

示例性的，第一类缓冲层 1221 可以包括一层或者多层第一缓冲层，第二类缓冲层 1222 可以包括一层或者多层第二缓冲层，每层

第一缓冲层的掺杂浓度均大于第二缓冲层的掺杂浓度，保证缓冲层的高阻特性的同时保证缓冲层的晶体质量良好；同时缓冲层可以为轻掺杂，如此可以保证在半导体器件漏电和击穿等性能不变差的前提下提升外延结构以及半导体器件的可靠性。

具体的，第一类缓冲层 1221 可以包括两层第一缓冲层，第二类缓冲层 1222 可以包括两层第二缓冲层，本公开实施例以第一类缓冲层 1221 包括两层第一缓冲层，第二类缓冲层 1222 包括两层第二缓冲层为例进行说明。示例性的，继续参考图 5 所示，第一类缓冲层 1221 包括叠层设置的第一甲缓冲层 1221a 和第一乙缓冲层 1221b，第一甲缓冲层 1221a 位于靠近衬底 11 的一侧；第一甲缓冲层 1221a 的掺杂浓度大于或者等于第一乙缓冲层 1221b 的掺杂浓度；第二类缓冲层 1222 包括叠层设置的第二甲缓冲层 1222a 和第二乙缓冲层 1222b，第二甲缓冲层 1222a 位于靠近衬底 11 的一侧；第二甲缓冲层 1222a 的掺杂浓度大于第二乙缓冲层 1222b 的掺杂浓度。

示例性的，如图 5 所示，缓冲层 122 从下至上可以依次包括第一甲缓冲层 1221a、第一乙缓冲层 1221b、第二甲缓冲层 1222a 和第二乙缓冲层 1222b，第一甲缓冲层 1221a 和第一乙缓冲层 1221b 中任意一层的掺杂浓度大于第二甲缓冲层 1222a 和第二乙缓冲层 1222b 中任意一层的掺杂浓度，且第一甲缓冲层 1221a 的掺杂浓度大于或者等于第一乙缓冲层 1221b 的掺杂浓度，第二甲缓冲层 1222a 的掺杂浓度大于第二乙缓冲层 1222b 的掺杂浓度，如此缓冲层 122 中位于下层的缓冲层的掺杂浓度均不小于位于上层的缓冲层的掺杂浓度。进一步的，第一甲缓冲层 1221a、第一乙缓冲层 1221b、第二甲缓冲层 1222a 和第二乙缓冲层 1222b 在远离衬底的方向上四层

缓冲层的掺杂浓度逐渐减小。如此通过缓冲层中特定的掺杂浓度关系来实现高阻缓冲层，而对缓冲层的具体掺杂浓度不做要求，保证在半导体器件漏电和击穿等性能不变差的前提下提升外延结构以及半导体器件的可靠性。

在上述实施例的基础上，第一甲缓冲层 1221a、第一乙缓冲层 1221b、第二甲缓冲层 1222a 和第二乙缓冲层 1222b 中可以均掺杂有碳离子；第一甲缓冲层 1221a 的掺杂浓度为 C_1 ，第一乙缓冲层 1221b 的掺杂浓度为 C_2 ，第二甲缓冲层 1222a 的掺杂浓度为 C_3 ，第二乙缓冲层 1222b 的掺杂浓度为 C_4 ；其中， $C_1 > C_2 \geq C_3 > C_4$ 。

示例性的，通过设置第一甲缓冲层 1221a 的掺杂浓度 C_1 、第一乙缓冲层 1221b 的掺杂浓度 C_2 ，第二甲缓冲层 1222a 的掺杂浓度 C_3 以及第二乙缓冲层 1222b 的掺杂浓度 C_4 满足 $C_1 > C_2 \geq C_3 > C_4$ ，保证缓冲层 122 中位于下层的缓冲层的掺杂浓度均不小于位于上层的缓冲层的掺杂浓度，通过合理设置第一甲缓冲层 1221a、第一乙缓冲层 1221b、第二甲缓冲层 1222a 以及第二乙缓冲层 1222b 相应的掺杂浓度关系，可以在实现传统高阻 GaN 缓冲层相同作用的同时保证晶体质量不变差。

在上述实施例的基础上，第一甲缓冲层 1221a 和第一乙缓冲层 1221b 中还掺杂有铁离子，第二甲缓冲层 1222a 和第二乙缓冲层 1222b 中不掺杂铁离子；第一甲缓冲层中 1221a 铁离子的掺杂浓度为第五掺杂浓度，第一乙缓冲层 1221b 中铁离子的掺杂浓度为第六掺杂浓度，其中，第五掺杂浓度与第六掺杂浓度相同。

示例性的，第一甲缓冲层 1221a 和第一乙缓冲层 1221b 中还可以掺杂有相同浓度铁离子，第二甲缓冲层 1222a 和第二乙缓冲层

1222b 中不掺杂铁离子，通过合理设置各个缓冲层中的掺杂成分，保证在实现传统高阻 GaN 缓冲层相同作用的同时保证晶体质量不变差。

进一步的，第一甲缓冲层 1221a 中碳离子的掺杂浓度为第一掺杂浓度 C_1 ，第五掺杂浓度 C_5 ，其中， $C_1/C_5=(0.5\sim 1.2)/10$ ；第一乙缓冲层 1221b 中碳离子的掺杂浓度为第二掺杂浓度 C_2 ，第六掺杂浓度 C_6 ，其中 $C_2/C_6=(0.1\sim 0.3)/10$ ；第二甲缓冲层 1222a 中碳离子的掺杂浓度为第三掺杂浓度 C_3 ，其中， $C_3=C_2$ ；第二乙缓冲层 1222b 中碳离子的掺杂浓度为第四掺杂浓度 C_4 ，其中， $C_4/C_3=(1\sim 2)/10$ 。通过合理设置同一缓冲层中碳离子和铁离子的掺杂比例，同时设置不同缓冲层中碳离子的掺杂比例，保证最终可以好的高阻的缓冲层，且缓冲层的晶体质量良好，保证外延结构以及半导体器件的质量良好，可靠性高。

进一步的，由于第一乙缓冲层 1221b、第二甲缓冲层 1222a 以及第二乙缓冲层 1222b 中的碳离子的掺杂浓度均直接或者间接与第一甲缓冲层 1221a 中碳离子的掺杂浓度相关，且第一甲缓冲层 1221a 中碳离子的掺杂浓度与第一甲缓冲层 1221a 中铁离子的掺杂浓度相关，因此当第一甲缓冲层 1221a 中铁离子的掺杂浓度发生变化后，第一甲缓冲层 1221a 中碳离子的掺杂浓度也要相应调整，同时第一乙缓冲层 1221b、第二甲缓冲层 1222a 以及第二乙缓冲层 1222b 中的碳离子的掺杂浓度也要相应调整。例如当第一甲缓冲层 1221a 中铁离子的掺杂浓度增大至两倍掺杂浓度时，第一甲缓冲层 1221a 中碳离子的掺杂浓度也要相应调整，同时第一乙缓冲层 1221b、第二甲缓冲层 1222a 以及第二乙缓冲层 1222b 中的碳离子的掺杂浓度也

要相应调整。

具体的，第一甲掺杂层 1221a 中碳离子的掺杂浓度 C_1 与铁离子的掺杂浓度 C_5 满足 $C_1/C_5=(0.5\sim 1.2)/10$ ，可以是 $C_1/C_5=0.5/10$ ，也可以是 $C_1/C_5=0.8/10$ ，也可以是 $C_1/C_5=1.0/10$ ，也可以是 $C_1/C_5=1.2/10$ ，本公开实施例对第一甲掺杂层 1221a 中碳离子的掺杂浓度 C_1 与铁离子的掺杂浓度 C_5 的具体掺杂比例不进行限定，只需满足 $C_1/C_5=(0.5\sim 1.2)/10$ 即可。进一步的，第一乙掺杂层 1221b 中碳离子的掺杂浓度 C_2 与铁离子的掺杂浓度 C_6 满足 $C_2/C_6=(0.1\sim 0.3)/10$ ，可以是 $C_2/C_6=0.1/10$ ，也可以是 $C_2/C_6=0.2/10$ ，也可以是 $C_2/C_6=0.3/10$ ，本公开实施例对第一乙掺杂层 1221b 中碳离子的掺杂浓度 C_2 与铁离子的掺杂浓度 C_6 的具体掺杂比例不进行限定，只需满足 $C_2/C_6=(0.1\sim 0.3)/10$ 即可。进一步的，第二乙掺杂层 1222b 中碳离子的掺杂浓度 C_4 与第二甲掺杂层 1222a 中碳离子的掺杂浓度 C_3 满足 $C_4/C_3=(1\sim 2)/10$ ，可以是 $C_4/C_3=1/10$ ，也可以是 $C_4/C_3=1.5/10$ ，也可以是 $C_4/C_3=2/10$ ，本公开实施例对第二乙掺杂层 1222b 中碳离子的掺杂浓度 C_4 与第二甲掺杂层 1222a 中碳离子的掺杂浓度 C_3 的具体掺杂比例不进行限定，只需满足 $C_4/C_3=(1\sim 2)/10$ 即可。

进一步的，第一甲缓冲层 1221a 中铁离子的掺杂浓度 C_5 可以满足 $C_5=1*10^{18}/\text{cm}^3\sim 1*10^{19}/\text{cm}^3$ ，第一乙缓冲层 1221b 中铁离子的掺杂浓度 C_6 可以满足 $C_6=1*10^{18}/\text{cm}^3\sim 1*10^{19}/\text{cm}^3$ ，第一甲缓冲层 1221a 中铁离子的掺杂浓度和第一乙缓冲层 1221b 中铁离子的掺杂浓度均为轻掺杂，不会影响各个缓冲层的晶体质量，保证外延结构以及半导体器件性能稳定。作为一种可行的实施方式，第一甲缓冲层 1221a

中碳离子的掺杂浓度 $C1$ 可以为 $2 \times 10^{17}/\text{cm}^3$, 第一甲缓冲层 1221a 中铁离子的掺杂浓度 $C5$ 可以为 $2 \times 10^{18}/\text{cm}^3$, 第一乙缓冲层 1221b 中碳离子的掺杂浓度 $C2$ 可以为 $5 \times 10^{16}/\text{cm}^3$, 第一乙缓冲层 1221b 中铁离子的掺杂浓度 $C6$ 可以为 $2 \times 10^{18}/\text{cm}^3$, 第二甲缓冲层 1222a 中碳离子的掺杂浓度 $C3$ 可以为 $5 \times 10^{16}/\text{cm}^3$, 第二甲缓冲层 1222a 中铁离子的掺杂浓度为 0, 第二乙缓冲层 1222b 中碳离子的掺杂浓度 $C4$ 可以为 $2.5 \times 10^{16}/\text{cm}^3$, 第二乙缓冲层 1222b 中铁离子的掺杂浓度为 0。

上述实施例对各个缓冲层中的掺杂情况进行说明, 通过合理设置各个缓冲层中的掺杂浓度, 可以保证外延结构中缓冲层的高阻特性的同时保证缓冲层的晶体质量良好, 保证在半导体器件漏电和击穿等性能不变差的前提下提升外延结构以及半导体器件的可靠性。

接下来对第一类缓冲层 1221 和第二类缓冲层 1222 的厚度情况进行说明。

可选的, 第一缓冲层的厚度大于第二缓冲层的厚度。

示例性的, 第一类缓冲层 1221 可以包括一层或者多层第一缓冲层, 第二类缓冲层 1222 可以包括一层或者多层第二缓冲层, 每层第一缓冲层的厚度均大于第二缓冲层的厚度, 保证缓冲层的高阻特性的同时保证缓冲层的晶体质量良好; 同时缓冲层可以为轻掺杂, 如此可以保证在半导体器件漏电和击穿等性能不变差的前提下提升外延结构以及半导体器件的可靠性。

具体的, 第一类缓冲层 1221 可以包括两层第一缓冲层, 第二类缓冲层 1222 可以包括两层第二缓冲层, 本公开实施例以第一类缓冲层 1221 包括两层第一缓冲层, 第二类缓冲层 1222 包括两层第二缓冲层为例进行说明。示例性的, 继续参考图 5 所示, 第一类缓冲

层 1221 包括叠层设置的第一甲缓冲层 1221a 和第一乙缓冲层 1221b, 第一甲缓冲层 1221a 位于靠近衬底 11 的一侧; 第一甲缓冲层 1221a 的厚度大于或者等于第一乙缓冲层 1221b 的厚度; 第二类缓冲层 1222 包括叠层设置的第二甲缓冲层 1222a 和第二乙缓冲层 1222b, 第二甲缓冲层 1222a 位于靠近衬底 11 的一侧; 第二甲缓冲层 1222a 的厚度大于第二乙缓冲层 1222b 的厚度。

示例性的, 如图 5 所示, 缓冲层 122 从下至上可以依次包括第一甲缓冲层 1221a、第一乙缓冲层 1221b、第二甲缓冲层 1222a 和第二乙缓冲层 1222b, 第一甲缓冲层 1221a 和第一乙缓冲层 1221b 中任意一层的厚度大于第二甲缓冲层 1222a 和第二乙缓冲层 1222b 中任意一层的厚度, 且第一甲缓冲层 1221a 的厚度大于或者等于第一乙缓冲层 1221b 的厚度, 第二甲缓冲层 1222a 的厚度大于第二乙缓冲层 1222b 的厚度, 如此缓冲层 122 中位于下层的缓冲层的厚度均不小于位于上层的缓冲层的厚度。例如, 以靠近衬底的第一类甲缓冲层厚度 h_1 为基础, 在远离衬底的方向上各缓冲层的厚度逐渐减小。即第一类甲缓冲层厚度 h_1 为预设厚度, 其他缓冲层厚度 h 根据 h_1 的厚度关系确定, $h \leq h_1$ 。如此通过缓冲层中特定的厚度关系来实现高阻缓冲层, 而对缓冲层的掺杂浓度不做要求, 保证在半导体器件漏电和击穿等性能不变差的前提下提升外延结构以及半导体器件的可靠性。

在上述实施例的基础上, 第一甲缓冲层 1221a 的厚度为 h_1 , 第一乙缓冲层 1221b 的厚度为 h_2 , 第二甲缓冲层 1222a 的厚度为 h_3 , 第二乙缓冲层 1222b 的厚度为 h_4 ; 其中, $h_2 = h_1$, $2/10 \leq h_3/h_2 \leq 9/10$, $4/10 \leq h_4/h_3 \leq 9/10$ 。

示例性的，通过设置第一甲缓冲层 1221a 的厚度 h_1 、第一乙缓冲层 1221b 的厚度 h_2 ，第二甲缓冲层 1222a 的厚度 h_3 以及第二乙缓冲层 1222b 的厚度 h_4 满足 $h_2=h_1$ 、 $2/10 \leq h_3/h_2 \leq 9/10$ 、 $4/10 \leq h_4/h_3 \leq 9/10$ ，通过合理设置第一甲缓冲层 1221a、第一乙缓冲层 1221b、第二甲缓冲层 1222a 以及第二乙缓冲层 1222b 之间相应的厚度比例，可以在实现传统高阻 GaN 缓冲层相同作用的同时保证晶体质量不变差。

具体的，第一乙缓冲层 1221b 的厚度 h_2 和第二甲缓冲层 1222a 的厚度 h_3 满足 $2/10 \leq h_3/h_2 \leq 9/10$ ，可以是 $h_3/h_2=2/10$ 、或者是 $h_3/h_2=4/10$ 、或者是 $h_3/h_2=6/10$ 、或者是 $h_3/h_2=8/10$ 、或者是 $h_3/h_2=9/10$ ，本公开实施例对第一乙缓冲层 1221b 的厚度 h_2 和第二甲缓冲层 1222a 的厚度 h_3 的具体比例关系不进行限定，只需满足 $2/10 \leq h_3/h_2 \leq 9/10$ 即可。进一步的，第二甲缓冲层 1222a 的厚度 h_3 和第二乙缓冲层 1222b 的厚度 h_4 满足 $4/10 \leq h_4/h_3 \leq 9/10$ ，可以是 $h_4/h_3=4/10$ 、或者是 $h_4/h_3=6/10$ 、或者是 $h_4/h_3=8/10$ 、或者是 $h_4/h_3=9/10$ ，本公开实施例对第二甲缓冲层 1222a 的厚度 h_3 和第二乙缓冲层 1222b 的厚度 h_4 的具体比例关系不进行限定，只需满足 $4/10 \leq h_4/h_3 \leq 9/10$ 即可。作为一种可行的实施方式，第一甲缓冲层 1221a 的厚度 h_1 可以为 500nm，第一乙缓冲层 1221b 的厚度 h_2 可以为 500nm，第二甲缓冲层 1222a 的厚度 h_3 可以为 400nm，第二乙缓冲层 1222b 的厚度 h_4 可以为 300nm。

上述实施例对各个缓冲层的厚度情况进行说明，通过合理设置各个缓冲层的厚度，可以保证外延结构中缓冲层的高阻特性的同时保证缓冲层的晶体质量良好，保证在半导体器件漏电和击穿等性能

不变差的前提下提升外延结构以及半导体器件的可靠性。

综上，上述实施例分别从不同缓冲层的掺杂浓度情况以及厚度情况两个方面对外延层的具体设置方式进行了说明。可以理解的是，在实际外延层设置中，可以综合考虑不同缓冲层的掺杂浓度情况以及厚度情况，例如对于厚度较厚的缓冲层，可以设置其掺杂浓度较大，对于厚度较小的缓冲层，可以设置其掺杂浓度较小。通过综合考虑不同缓冲层的掺杂浓度情况以及厚度情况，保证外延结构中缓冲层的高阻特性的同时保证缓冲层的晶体质量良好，保证在半导体器件漏电和击穿等性能不变差的前提下提升外延结构以及半导体器件的可靠性。

在上述实施例的基础上，继续参考图 5 所示，本公开实施例提供的外延层 12 还可以包括位于缓冲层 122 靠近衬底 11 一侧的成核层 121；位于缓冲层 122 远离衬底 11 一侧的间隔层 123；位于间隔层 123 远离衬底 11 基板一侧的势垒层 124，势垒层 124 与缓冲层 122 形成异质结结构；位于势垒层 124 远离衬底 11 一侧的盖层 125。

示例性的，成核层 121 影响外延层 12 中位于成核层 121 上方的其他膜层的晶体质量、表面形貌以及电学性质等参数；成核层 121 主要起到匹配衬底 11 材料和外延层 12 中异质结结构中的半导体材料层的作用。

间隔层 123 可以为 AlN 间隔层，间隔层 123 可以抬高势垒，增加二维电子气的限域性，同时减小合金散射，提升迁移率。

势垒层 124 可以为 AlGa_N 势垒层，势垒层 124 与缓冲层 122 一起形成异质结结构，形成二维电子气的运动沟道。

盖层 125 的主要作用是减小表面态，减小后续半导体器件的表

面漏电，抑制电流崩塌，从而提升外延结构以及半导体器件的性能和可靠性。可选的，盖层 125 的材料为 III 族氮化物，优选为 P 型掺杂氮化镓（P-GaN），P-GaN 结构能够有效降低 AlGaN 层的势垒高度。

基于同样的发明构思，本公开实施例还提供了一种半导体器件，本公开实施例提供的半导体器件包括上述实施例所述的半导体器件的外延结构。进一步的，图 6 是本公开实施例提供的一种半导体器件的结构示意图，如图 6 所示，本公开实施例提供的半导体器件包括：

衬底 11；

位于衬底 11 一侧的外延层 12，外延层 12 包括依次位于衬底 11 一侧的成核层 121、缓冲层 122、间隔层 123、势垒层 124 以及帽层 125；

位于势垒层 124 远离衬底 11 一侧的源极 131 和漏极 132；

位于帽层 125 远离衬底 11 一侧的栅极 133，栅极 133 位于源极 131 和漏极 132 之间。

示例性的，源极 131 和漏极 132 位于势垒层 124 远离衬底 11 的一侧，源极 131 和漏极 132 分别与势垒层 124 形成欧姆接触；栅极 133 位于源极 131 和漏极 132 之间，同时位于盖层 125 远离衬底 11 的一侧，栅极 133 与盖层 125 形成肖特基接触。

应该理解，本公开实施例是从半导体器件结构设计的角度来保证半导体器件中成核层的热阻不变高的情况下提升成核层的晶体质量。半导体器件包括但不限于：工作在高电压大电流环境下的大功率氮化镓高电子迁移率晶体管（High Electron Mobility

Transistor, 简称 HEMT)、绝缘衬底上的硅 (Silicon-On-Insulator, 简称 SOI) 结构的晶体管、砷化镓 (GaAs) 基的晶体管以及金属氧化层半导体场效应晶体管 (Metal-Oxide-Semiconductor Field-Effect Transistor, 简称 MOSFET)、金属绝缘层半导体场效应晶体管 (Metal-Semiconductor Field-Effect Transistor, 简称 MISFET)、双异质结场效应晶体管 (Double Heterojunction Field-Effect Transistor, 简称 DHFET)、结型场效应晶体管 (Junction Field-Effect Transistor, 简称 JFET)、金属半导体场效应晶体管 (Metal-Semiconductor Field-Effect Transistor, 简称 MESFET)、金属绝缘层半导体异质结场效应晶体管 (Metal-Semiconductor Heterojunction Field-Effect Transistor, 简称 MISHFET) 或者其他场效应晶体管。

基于同一发明构思, 本公开实施例还提供了一种半导体器件的外延结构制备方法, 图 7 是本公开实施例提供的一种半导体器件的外延结构的制备方法的流程示意图, 如图 7 所示, 本公开实施例提供的半导体器件的外延结构的制备方法可以包括:

S110、提供衬底。

S120、在所述衬底一侧制备外延层, 所述外延层包括缓冲层, 所述缓冲层包括叠层设置的第一类缓冲层和第二类缓冲层, 所述第一类缓冲层位于靠近所述衬底的一侧, 且所述第一类缓冲层的掺杂浓度大于所述第二类缓冲层的掺杂浓度。

由于获得高阻 GaN 缓冲层所需的 C 掺杂浓度需要满足 $>1 \times 10^{19}/\text{cm}^3$, 如此会导致 GaN 缓冲层晶体质量变差; 而获得高阻 GaN 缓冲层所需的 Fe 掺杂浓度需要满足 $>1 \times 10^{19}/\text{cm}^3$, 如此会影响最终器件的性能。本公开实施例创造性地设置缓冲层 122 包括多层

缓冲层，例如包括叠层设置的第一类缓冲层 1221 和第二类缓冲层 1222，第一类缓冲层 1221 位于靠近衬底 11 的一侧，同时设置第一类缓冲层 1221 的掺杂浓度大于第二类缓冲层 1222 的掺杂浓度，通过第一类缓冲层 1221 和第二类缓冲层 1222 特定的掺杂浓度关系来实现高阻缓冲层，而对缓冲层的具体掺杂浓度不作要求，例如可以设置缓冲层为轻掺杂，如此可以保证在半导体器件漏电和击穿等性能不变差的前提下提升外延结构以及半导体器件的可靠性。

综上，本公开实施例提供的半导体器件的外延结构的制备方法，通过设置缓冲层包括叠层设置的第一类缓冲层和第二类缓冲层，同时设置第一类缓冲层的掺杂浓度大于第二类缓冲层的掺杂浓度，保证半导体器件中缓冲层的高阻特性的同时保证缓冲层的晶体质量良好；同时通过第一类缓冲层和第二类缓冲层特定的掺杂浓度关系来实现高阻缓冲层，而对缓冲层的具体掺杂浓度不作要求，例如可以设置缓冲层为轻掺杂，如此可以保证在半导体器件漏电和击穿等性能不变差的前提下提升外延结构以及半导体器件的可靠性。

在上述实施的基础上，在衬底一侧制备外延层，可以包括：

在衬底一侧制备成核层；

在成核层远离衬底的一侧制备缓冲层；

在缓冲层远离衬底的一侧制备间隔层；

在间隔层远离衬底的一侧制备势垒层，述势垒层与缓冲层形成异质结结构；

在势垒层远离衬底的一侧制备盖层。

通过成核层匹配衬底材料和外延层中异质结结构中的半导体材料层；通过间隔层抬高势垒，增加二维电子气的限域性，同时减

小合金散射，提升迁移率；通过势垒层与缓冲层一起形成异质结结构，形成二维电子气的运动沟道；通过盖层减小表面态，减小后续半导体器件的表面漏电，抑制电流崩塌，从而提升外延结构以及半导体器件的性能和可靠性。

基于同样的发明构思，本公开实施例还提供了一种半导体器件的制备方法，图 8 是本公开实施例提供的一种半导体器件的制备方法的流程示意图，如图 8 所示，本公开实施例提供的半导体器件的制备方法可以包括：

S210、提供衬底。

S220、在所述衬底一侧制备外延层，所述外延层包括依次位于所述衬底一侧的成核层、缓冲层、间隔层、势垒层和帽层。

S230、在所述势垒层远离所述衬底的一侧制备源极和漏极；在所述帽层远离所述衬底的一侧制备栅极，所述栅极位于所述源极和所述漏极之间。

源极和漏极分别与势垒层形成欧姆接触，栅极与盖层形成肖特基接触。

注意，上述仅为本公开的较佳实施例及所运用技术原理。本领域技术人员会理解，本公开不限于这里所述的特定实施例，对本领域技术人员来说能够进行各种明显的变化、重新调整、相互结合和替代而不会脱离本公开的保护范围。因此，虽然通过以上实施例对本公开进行了较为详细的说明，但是本公开不仅仅限于以上实施例，在不脱离本公开构思的情况下，还可以包括更多其他等效实施例，而本公开的范围由所附的权利要求范围决定。

权 利 要 求

- 1、一种半导体器件的外延结构，其特征在于，包括：
衬底；
位于所述衬底一侧的外延层，所述外延层包括位于所述衬底一侧的成核层以及位于所述成核层远离所述衬底一侧的缓冲层；
其中，所述缓冲层的厚度与所述成核层的厚度成反比例关系。
- 2、根据权利要求 1 所述的外延结构，其特征在于，所述成核层的厚度为 h_1 ，所述缓冲层的厚度为 h_2 ；
其中， $0.1/h_2 \leq h_1 \leq 0.25/h_2$ 。
- 3、根据权利要求 2 所述的外延结构，其特征在于， $h_1 = 0.17/h_2$ 。
- 4、根据权利要求 1 所述的外延结构，其特征在于，所述成核层的厚度为 h_1 ，所述衬底的厚度为 h_3 ；
其中， $2 \times 10^{-5} \leq h_1/h_3 \leq 5 \times 10^{-4}$ 。
- 5、根据权利要求 1 所述的外延结构，其特征在于，所述成核层的厚度为 h_1 ，所述外延层的厚度为 h_4 ；
其中， $0.05 \leq h_1/h_4 \leq 0.3$ 。
- 6、根据权利要求 5 所述的外延结构，其特征在于， $0.07 \leq h_1/h_4 \leq 0.1$ 。
- 7、根据权利要求 1 所述的外延结构，其特征在于，所述成核层的厚度为 h_1 ，其中， $100\text{nm} \leq h_1 \leq 150\text{nm}$ 。
- 8、根据权利要求 1-7 任一项所述的外延结构，其特征在于，
所述缓冲层包括叠层设置的第一类缓冲层和第二类缓冲层，所述
所述第一类缓冲层位于靠近所述衬底的一侧，且所述第一类缓冲层的

掺杂浓度大于所述第二类缓冲层的掺杂浓度。

9、根据权利要求 8 所述的外延结构，其特征在于，所述第一类缓冲层包括至少一层第一缓冲层，所述第二类缓冲层包括至少一层第二缓冲层；

所述第一缓冲层的掺杂浓度大于所述第二缓冲层的掺杂浓度。

10、根据权利要求 9 所述的外延结构，其特征在于，所述第一类缓冲层包括叠层设置的第一甲缓冲层和第一乙缓冲层，所述第一甲缓冲层位于靠近所述衬底的一侧；所述第一甲缓冲层的掺杂浓度大于或者等于所述第一乙缓冲层的掺杂浓度；

所述第二类缓冲层包括叠层设置的第二甲缓冲层和第二乙缓冲层，所述第二甲缓冲层位于靠近所述衬底的一侧；所述第二甲缓冲层的掺杂浓度大于所述第二乙缓冲层的掺杂浓度。

11、根据权利要求 10 所述的外延结构，其特征在于，所述第一甲缓冲层、所述第一乙缓冲层、所述第二甲缓冲层和所述第二乙缓冲层中均掺杂有碳离子；

所述第一甲缓冲层中碳离子的掺杂浓度为第一掺杂浓度 C_1 ，所述第一乙缓冲层中碳离子的掺杂浓度为第二掺杂浓度 C_2 ，所述第二甲缓冲层中碳离子的掺杂浓度为第三掺杂浓度 C_3 ，所述第二乙缓冲层中碳离子的掺杂浓度为第四掺杂浓度 C_4 ，其中， $C_1 > C_2 \geq C_3 > C_4$ 。

12、根据权利要求 10 所述的外延结构，其特征在于，所述第一甲缓冲层和所述第一乙缓冲层中还掺杂有铁离子，所述第二甲缓冲层和所述第二乙缓冲层中不掺杂铁离子；

所述第一甲缓冲层中铁离子的掺杂浓度为第五掺杂浓度，所述

第一乙缓冲层中铁离子的掺杂浓度为第六掺杂浓度，其中，所述第五掺杂浓度与所述第六掺杂浓度相同。

13、根据权利要求 12 所述的外延结构，其特征在于，所述第一甲缓冲层中碳离子的掺杂浓度为第一掺杂浓度 C_1 ，所述第五掺杂浓度 C_5 ，其中， $C_1/C_5=(0.5\sim 1.2)/10$ ；

所述第一乙缓冲层中碳离子的掺杂浓度为第二掺杂浓度 C_2 ，所述第六掺杂浓度 C_6 ，其中 $C_2/C_6=(0.1\sim 0.3)/10$ ；

所述第二甲缓冲层中碳离子的掺杂浓度为第三掺杂浓度 C_3 ，其中， $C_3=C_2$ ；

所述第二乙缓冲层中碳离子的掺杂浓度为第四掺杂浓度 C_4 ，其中， $C_4/C_3=(1\sim 2)/10$ 。

14、根据权利要求 9 所述的外延结构，其特征在于，所述第一缓冲层的厚度大于所述第二缓冲层的厚度。

15、根据权利要求 14 所述的外延结构，其特征在于，所述第一类缓冲层包括叠层设置的第一甲缓冲层和第一乙缓冲层，所述第一甲缓冲层位于靠近所述衬底的一侧；所述第一甲缓冲层的厚度大于或者等于所述第一乙缓冲层的厚度；

所述第二类缓冲层包括叠层设置的第二甲缓冲层和第二乙缓冲层，所述第二甲缓冲层位于靠近所述衬底的一侧；所述第二甲缓冲层的厚度大于所述第二乙缓冲层的厚度。

16、一种半导体器件的外延结构的制备方法，用于制备权利要求 1-15 任一项所述的外延结构，其特征在于，包括：

提供衬底；

在所述衬底一侧制备成核层；

在所述成核层远离所述衬底的一侧制备缓冲层；
在所述缓冲层远离所述衬底的一侧制备间隔层；
在所述间隔层远离所述衬底的一侧制备势垒层，所述势垒层与
所述缓冲层形成异质结结构；
在所述势垒层远离所述衬底的一侧制备盖层，
其中，所述缓冲层的厚度与所述成核层的厚度成反比例关系。

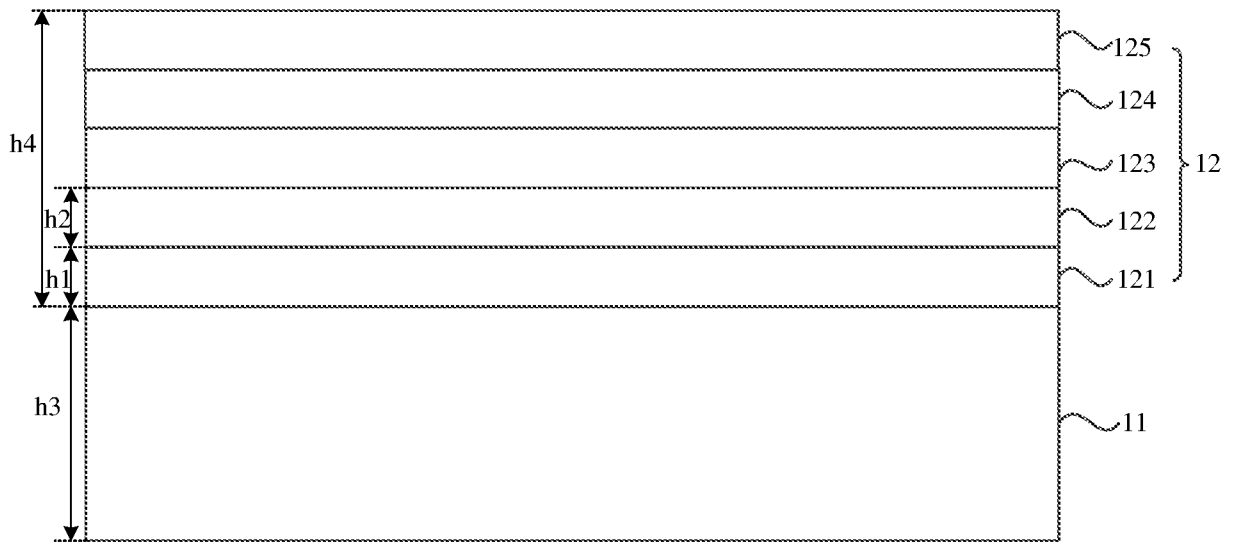


图 1

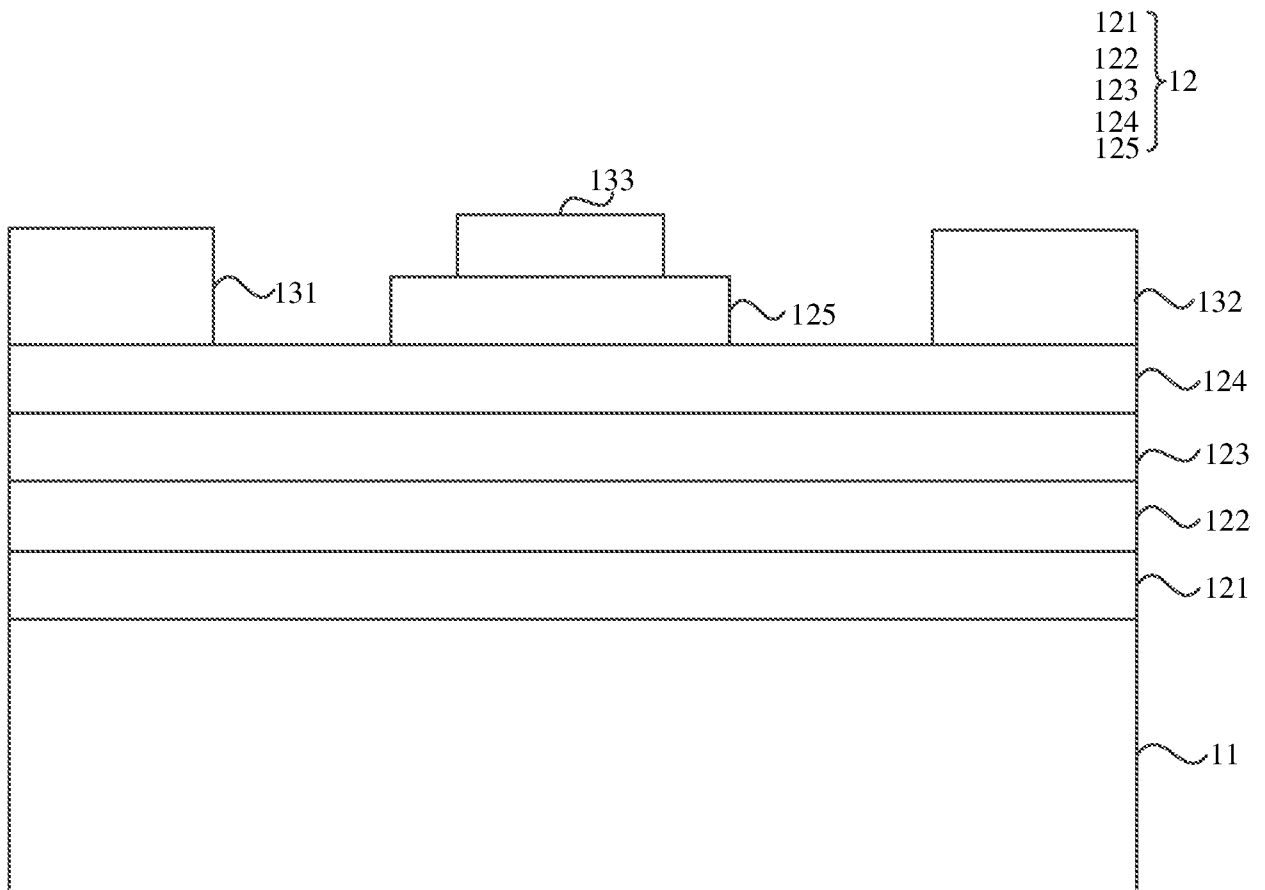


图 2

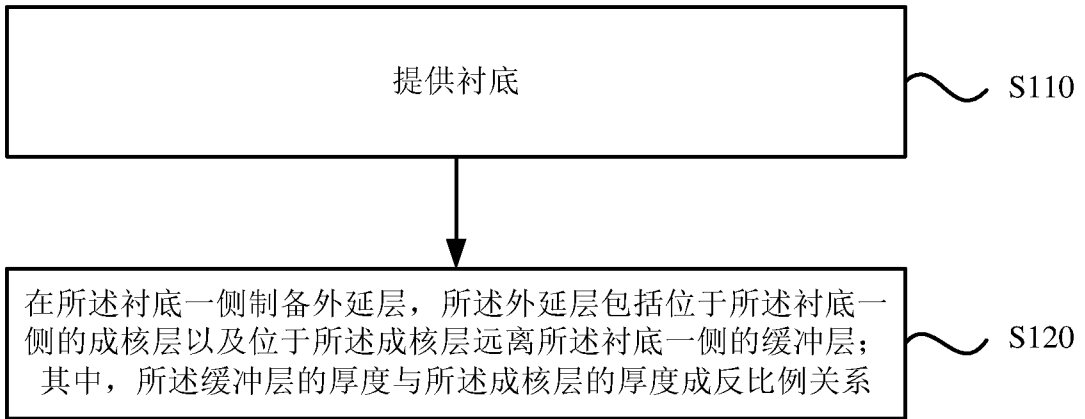


图 3

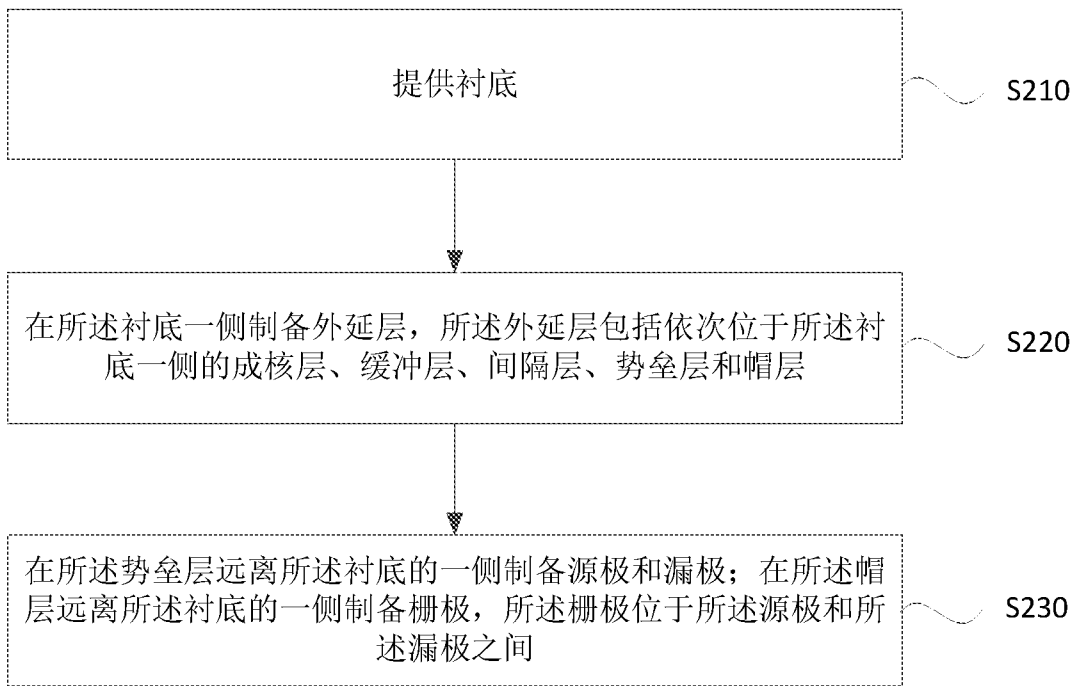


图 4

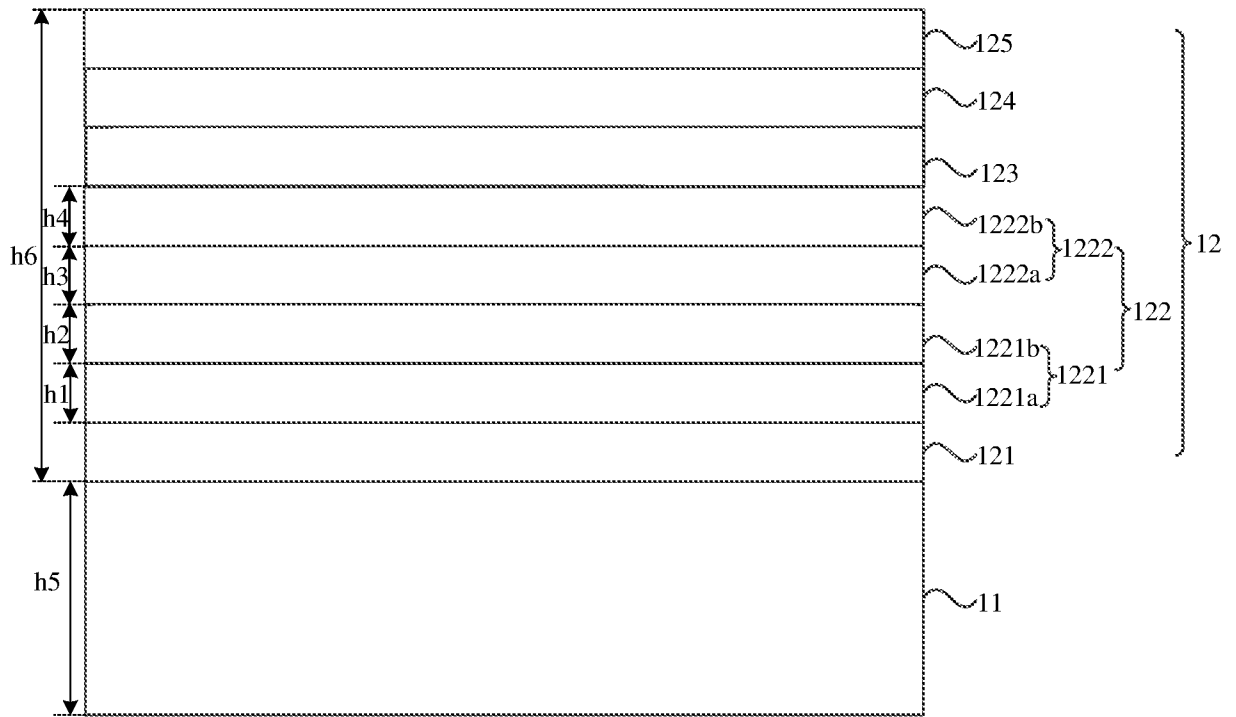


图 5

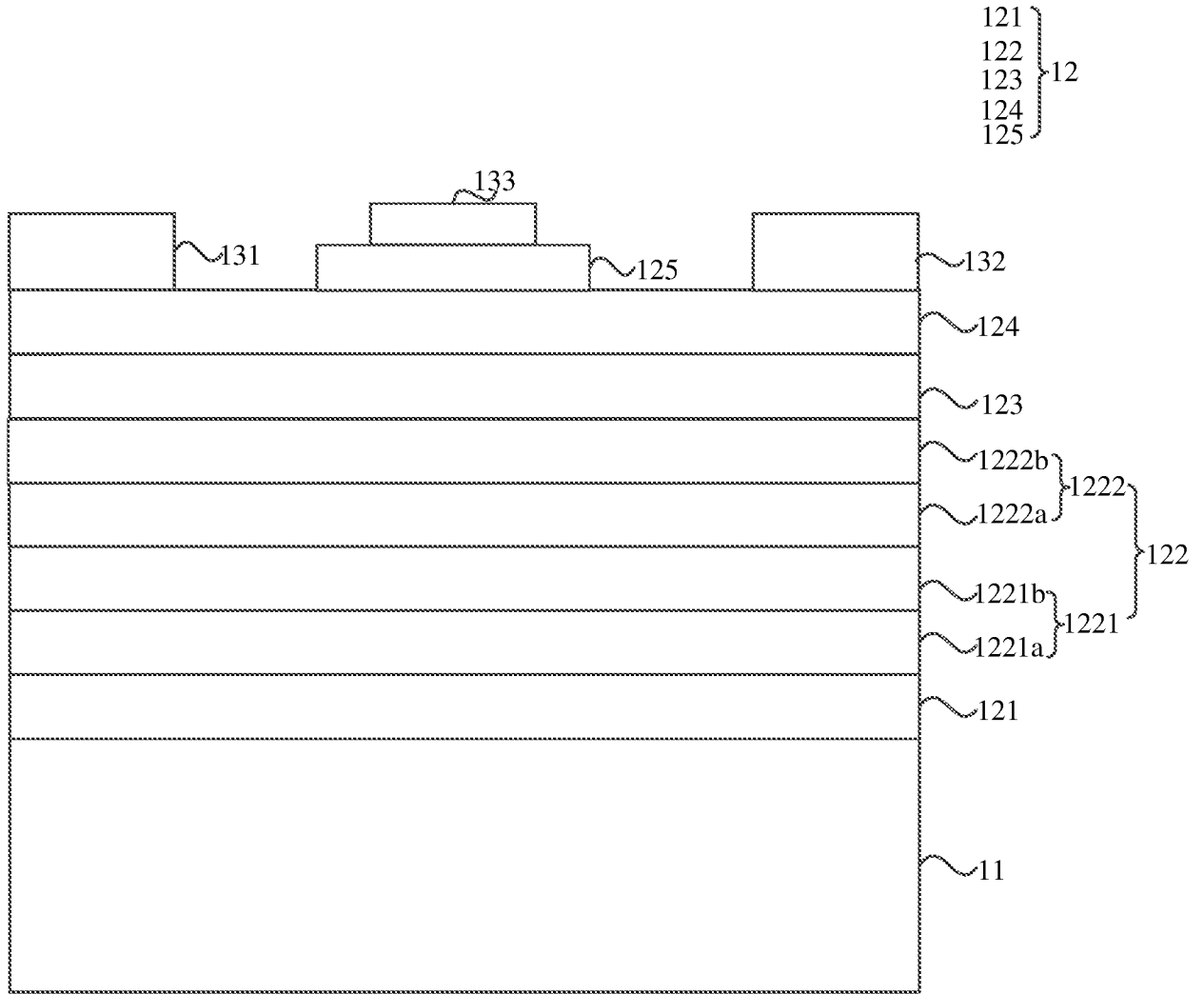


图 6

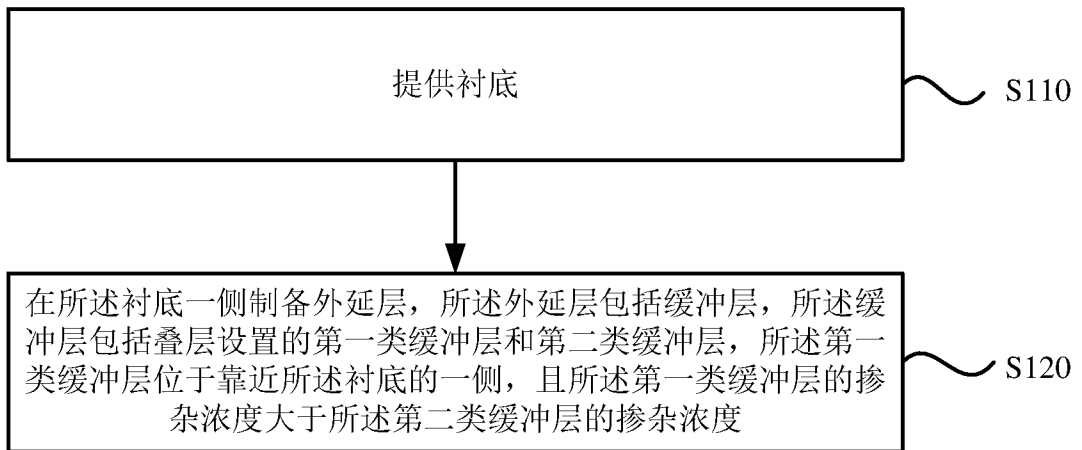


图 7

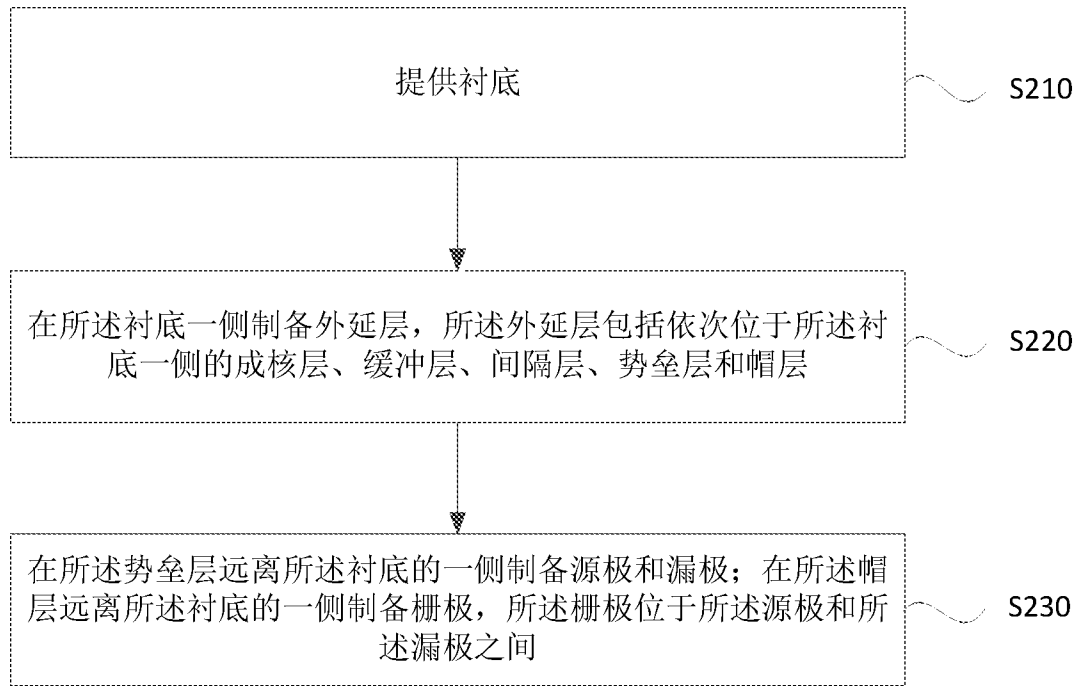


图 8

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/099163

A. CLASSIFICATION OF SUBJECT MATTER		
H01L 29/10(2006.01)i; H01L 29/20(2006.01)i; H01L 21/335(2006.01)i; H01L 29/778(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
WPI, CNPAT, IEEE, CNKI: GaN, 氮化镓, 成核层, 缓冲层, 厚度, 反比, 铁, 碳, 掺杂, 热阻, nucleat+ layer, buffer layer, thick +, inver+, Fe, carbon, dop+, heat		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 213212169 U (DYNAX SEMICONDUCTOR, INC.) 14 May 2021 (2021-05-14) (description paragraphs 0034-0084, figures 1-4)	1-16
X	CN 106373884 A (XIDIAN UNIVERSITY) 01 February 2017 (2017-02-01) description, paragraphs 0049-0050, figure 1	1-7
Y	CN 106373884 A (XIDIAN UNIVERSITY) 01 February 2017 (2017-02-01) description, paragraphs 0049-0050, figure 1	8-15
Y	CN 104600109 A (SUN YAT-SEN UNIVERSITY) 06 May 2015 (2015-05-06) description, paragraphs 0005, 0039, figure 1	8-15
A	CN 110838514 A (DYNAX SEMICONDUCTOR, INC.) 25 February 2020 (2020-02-25) entire document	1-16
A	CN 108400165 A (WUHAN UNIVERSITY) 14 August 2018 (2018-08-14) entire document	1-16
A	CN 101789446 A (SHANGHAI INSTITUTE OF TECHNICAL PHYSICS OF THE CHINESE ACADEMY OF SCIENCES) 28 July 2010 (2010-07-28) entire document	1-16
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
25 August 2021		10 September 2021
Name and mailing address of the ISA/CN		Authorized officer
China National Intellectual Property Administration (ISA/CN) No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088 China		
Facsimile No. (86-10)62019451		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/099163

C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2014091318 A1 (FUJITSU LIMITED) 03 April 2014 (2014-04-03) entire document	1-16
A	CN 103579326 A (UNIVERSITY OF ELECTRONIC SCIENCE AND TECHNOLOGY OF CHINA) 12 February 2014 (2014-02-12) entire document	1-16
A	CN 101009326 A (THE 55TH RESEARCH INSTITUTE OF CHINA ELECTRONIC TECHNOLOGY GROUP CORPORATION) 01 August 2007 (2007-08-01) entire document	1-16

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/099163

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
CN	213212169	U	14 May 2021	None	
CN	106373884	A	01 February 2017	CN 106373884	B 24 December 2019
CN	104600109	A	06 May 2015	None	
CN	110838514	A	25 February 2020	None	
CN	108400165	A	14 August 2018	None	
CN	101789446	A	28 July 2010	CN 101789446	B 22 June 2011
US	2014091318	A1	03 April 2014	JP 2014072429	A 21 April 2014
				US 9269799	B2 23 February 2016
				CN 103715246	A 09 April 2014
				CN 103715246	B 19 October 2016
				TW 201413951	A 01 April 2014
				TW 1518901	B 21 January 2016
CN	103579326	A	12 February 2014	CN 103579326	B 21 December 2016
CN	101009326	A	01 August 2007	CN 100485959	C 06 May 2009

国际检索报告

国际申请号

PCT/CN2021/099163

<p>A. 主题的分类</p> <p>H01L 29/10(2006.01)i; H01L 29/20(2006.01)i; H01L 21/335(2006.01)i; H01L 29/778(2006.01)i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																													
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>H01L</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>WPI, CNPAT, IEEE, CNKI: GaN, 氮化镓, 成核层, 缓冲层, 厚度, 反比, 铁, 碳, 掺杂, 热阻, nucleat+ layer, buffer layer, thick+, invers+, Fe, carbon, dop+, heat</p>																													
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>PX</td> <td>CN 213212169 U (苏州能讯高能半导体有限公司) 2021年 5月 14日 (2021 - 05 - 14) (说明书第0034-0084段, 附图1-4)</td> <td>1-16</td> </tr> <tr> <td>X</td> <td>CN 106373884 A (西安电子科技大学) 2017年 2月 1日 (2017 - 02 - 01) 说明书第0049-0050段, 附图1</td> <td>1-7</td> </tr> <tr> <td>Y</td> <td>CN 106373884 A (西安电子科技大学) 2017年 2月 1日 (2017 - 02 - 01) 说明书第0049-0050段, 附图1</td> <td>8-15</td> </tr> <tr> <td>Y</td> <td>CN 104600109 A (中山大学) 2015年 5月 6日 (2015 - 05 - 06) 说明书第0005, 0039段, 附图1</td> <td>8-15</td> </tr> <tr> <td>A</td> <td>CN 110838514 A (苏州能讯高能半导体有限公司) 2020年 2月 25日 (2020 - 02 - 25) 全文</td> <td>1-16</td> </tr> <tr> <td>A</td> <td>CN 108400165 A (武汉大学) 2018年 8月 14日 (2018 - 08 - 14) 全文</td> <td>1-16</td> </tr> <tr> <td>A</td> <td>CN 101789446 A (中国科学院上海技术物理研究所) 2010年 7月 28日 (2010 - 07 - 28) 全文</td> <td>1-16</td> </tr> <tr> <td>A</td> <td>US 2014091318 A1 (FUJITSU LTD.) 2014年 4月 3日 (2014 - 04 - 03) 全文</td> <td>1-16</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	PX	CN 213212169 U (苏州能讯高能半导体有限公司) 2021年 5月 14日 (2021 - 05 - 14) (说明书第0034-0084段, 附图1-4)	1-16	X	CN 106373884 A (西安电子科技大学) 2017年 2月 1日 (2017 - 02 - 01) 说明书第0049-0050段, 附图1	1-7	Y	CN 106373884 A (西安电子科技大学) 2017年 2月 1日 (2017 - 02 - 01) 说明书第0049-0050段, 附图1	8-15	Y	CN 104600109 A (中山大学) 2015年 5月 6日 (2015 - 05 - 06) 说明书第0005, 0039段, 附图1	8-15	A	CN 110838514 A (苏州能讯高能半导体有限公司) 2020年 2月 25日 (2020 - 02 - 25) 全文	1-16	A	CN 108400165 A (武汉大学) 2018年 8月 14日 (2018 - 08 - 14) 全文	1-16	A	CN 101789446 A (中国科学院上海技术物理研究所) 2010年 7月 28日 (2010 - 07 - 28) 全文	1-16	A	US 2014091318 A1 (FUJITSU LTD.) 2014年 4月 3日 (2014 - 04 - 03) 全文	1-16
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																											
PX	CN 213212169 U (苏州能讯高能半导体有限公司) 2021年 5月 14日 (2021 - 05 - 14) (说明书第0034-0084段, 附图1-4)	1-16																											
X	CN 106373884 A (西安电子科技大学) 2017年 2月 1日 (2017 - 02 - 01) 说明书第0049-0050段, 附图1	1-7																											
Y	CN 106373884 A (西安电子科技大学) 2017年 2月 1日 (2017 - 02 - 01) 说明书第0049-0050段, 附图1	8-15																											
Y	CN 104600109 A (中山大学) 2015年 5月 6日 (2015 - 05 - 06) 说明书第0005, 0039段, 附图1	8-15																											
A	CN 110838514 A (苏州能讯高能半导体有限公司) 2020年 2月 25日 (2020 - 02 - 25) 全文	1-16																											
A	CN 108400165 A (武汉大学) 2018年 8月 14日 (2018 - 08 - 14) 全文	1-16																											
A	CN 101789446 A (中国科学院上海技术物理研究所) 2010年 7月 28日 (2010 - 07 - 28) 全文	1-16																											
A	US 2014091318 A1 (FUJITSU LTD.) 2014年 4月 3日 (2014 - 04 - 03) 全文	1-16																											
<p><input checked="" type="checkbox"/> 其余文件在C栏的续页中列出。</p> <p><input checked="" type="checkbox"/> 见同族专利附件。</p> <table border="0"> <tr> <td> <p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> </td> <td> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&” 同族专利的文件</p> </td> </tr> </table>			<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p>	<p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&” 同族专利的文件</p>																									
<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p>	<p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&” 同族专利的文件</p>																												
<p>国际检索实际完成的日期</p> <p>2021年 8月 25日</p>	<p>国际检索报告邮寄日期</p> <p>2021年 9月 10日</p>																												
<p>ISA/CN的名称和邮寄地址</p> <p>中国国家知识产权局(ISA/CN)</p> <p>中国 北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10)62019451</p>	<p>受权官员</p> <p>韩冰</p> <p>电话号码 86-(10)-53961217</p>																												

C. 相关文件		
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 103579326 A (电子科技大学) 2014年 2月 12日 (2014 - 02 - 12) 全文	1-16
A	CN 101009326 A (中国电子科技集团公司第五十五研究所) 2007年 8月 1日 (2007 - 08 - 01) 全文	1-16

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/099163

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	213212169	U	2021年 5月 14日	无			
CN	106373884	A	2017年 2月 1日	CN	106373884	B	2019年 12月 24日
CN	104600109	A	2015年 5月 6日	无			
CN	110838514	A	2020年 2月 25日	无			
CN	108400165	A	2018年 8月 14日	无			
CN	101789446	A	2010年 7月 28日	CN	101789446	B	2011年 6月 22日
US	2014091318	A1	2014年 4月 3日	JP	2014072429	A	2014年 4月 21日
				US	9269799	B2	2016年 2月 23日
				CN	103715246	A	2014年 4月 9日
				CN	103715246	B	2016年 10月 19日
				TW	201413951	A	2014年 4月 1日
				TW	1518901	B	2016年 1月 21日
CN	103579326	A	2014年 2月 12日	CN	103579326	B	2016年 12月 21日
CN	101009326	A	2007年 8月 1日	CN	100485959	C	2009年 5月 6日