

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年5月22日(22.05.2020)



(10) 国際公開番号

WO 2020/100520 A1

(51) 国際特許分類:

H01L 27/146 (2006.01) H01L 21/768 (2006.01)

H01L 21/3205 (2006.01) H01L 23/522 (2006.01)

H01L 21/60 (2006.01) H04N 5/369 (2011.01)

(21) 国際出願番号: PCT/JP2019/041068

(22) 国際出願日: 2019年10月18日(18.10.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2018-212463 2018年11月12日(12.11.2018) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

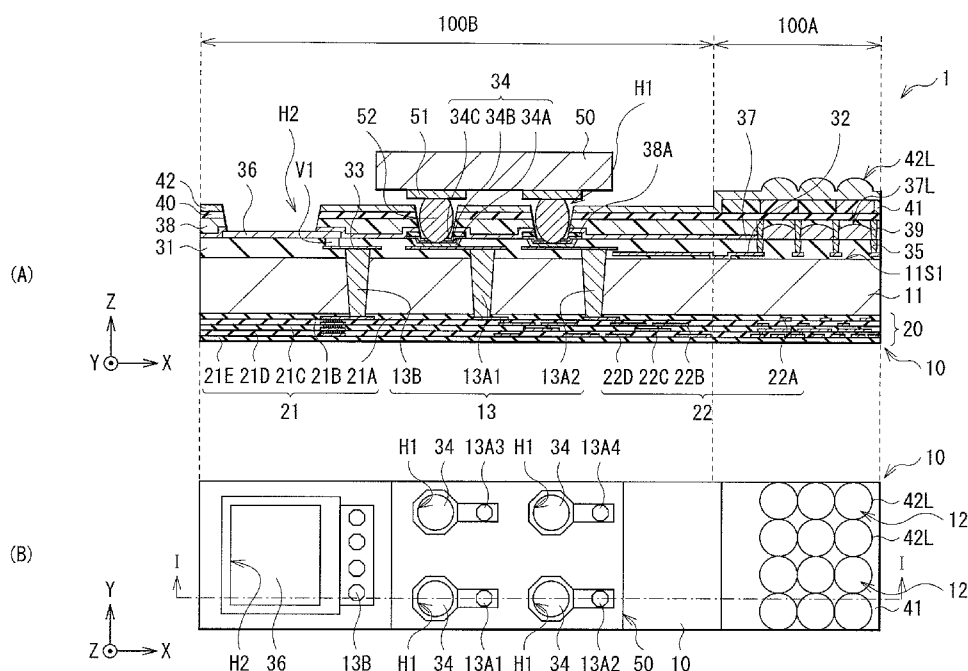
(72) 発明者: 藤曲 潤一郎(FUJIMAGARI, Junichiro); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 特許業務法人つばさ国際特許事務所 (TSUBASA PATENT PROFESSIONAL CORPORATION); 〒1600022 東京都新宿区新宿1丁目15番9号さわだビル3階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,

(54) Title: IMAGE-CAPTURE DEVICE AND ELECTRONIC DEVICE

(54) 発明の名称: 撮像装置および電子機器



(57) Abstract: This image-capture device of an embodiment of the present disclosure comprises: one surface and another surface opposing the one surface which form a light impinging surface; a semiconductor layer having within the one surface a light receiving region in which a plurality of photoelectric conversion units that do photoelectric conversion of impinged light are arranged, and a peripheral region provided around the light receiving region; a through via that penetrates between the one surface and the other surface; a first connection unit that is provided in the peripheral region of

CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

the one surface side, and is wider than the through via; a second connection unit that is provided in the peripheral region of the one surface side, and is used for connecting with an external board; a first semiconductor element that has connection wiring that electrically connects the first connection unit, the second connection unit, and the through via; and a second semiconductor element that is mounted on the first semiconductor element by the first connection unit.

(57) 要約: 本開示の一実施形態の撮像装置は、光入射面となる一の面および一の面と対向する他の面と、一の面内において、入射した光を光電変換する複数の光電変換部が配列された受光領域および受光領域の周囲に設けられた周辺領域とを有する半導体層と、一の面と他の面との間を貫通する貫通ビアと、一の面側の周辺領域に設けられ、貫通ビアよりも幅の広い第1の接続部と、一の面側の周辺領域に設けられ、外部基板との接続に用いられる第2の接続部と、第1の接続部、第2の接続部および貫通ビアを電気的に接続する接続配線とを有する第1の半導体素子と、第1の接続部により第1の半導体素子に実装された第2の半導体素子とを備える。

明 細 書

発明の名称：撮像装置および電子機器

技術分野

[0001] 本開示は、裏面照射型の撮像装置およびこれを備えた電子機器に関する。

背景技術

[0002] 近年、入射した光を光電変換する画素部と、信号処理を行う周辺回路部とを別素子（センサ半導体素子およびロジック半導体素子）に分割し、例えば画素部を有するセンサ半導体素子の画素部外の領域に周辺回路半導体素子をフリップチップ実装する固体撮像装置が提案されている（例えば、特許文献1参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開2016-171297号公報

発明の概要

[0004] ところで、裏面照射型の撮像装置において、センサ半導体素子の受光面側にロジック半導体素子を積層する場合、ロジック半導体素子の実装部の直下には半導体層を貫通する配線（貫通ビア）が形成される。この貫通ビアは、センサ半導体素子の、ロジック半導体素子が積層される面とは反対の面側に形成された配線と、ロジック半導体素子の接続部の電極とを接続するものである。このため、ロジック半導体素子の実装部の直下は、回路配置などができないビア専用領域となり、面積効率の低下が懸念される。

[0005] 面積効率を向上させることが可能な撮像装置および電子機器を提供することが望ましい。

[0006] 本開示の一実施形態の撮像装置は、光入射面となる一の面および一の面と対向する他の面と、一の面内において、入射した光を光電変換する複数の光電変換部が配列された受光領域および受光領域の周囲に設けられた周辺領域とを有する半導体層と、一の面と他の面との間を貫通する貫通ビアと、一の

面側の周辺領域に設けられ、貫通ビアよりも幅の広い第１の接続部と、一の面側の周辺領域に設けられ、外部基板との接続に用いられる第２の接続部と、第１の接続部、第２の接続部および貫通ビアを電氣的に接続する接続配線とを有する第１の半導体素子と、第１の接続部により第１の半導体素子に実装された第２の半導体素子とを備えたものである。

[0007] 本開示の一実施形態の電子機器は、撮像装置として、上記本開示の一実施形態の撮像装置を有するものである。

[0008] 本開示の一実施形態の撮像装置および一実施形態の電子機器では、第１の半導体素子を構成する、複数の光電変換部を有する半導体層の一の面側に、第２の半導体素子の実装に用いられる第１の接続部と、外部基板との接続に用いられる第２の接続部とが設けられている。これにより、一の面と対向する半導体層の他の面の第２の接続部に対応する領域に所望の配線パターンを形成できるようになる。

図面の簡単な説明

[0009] [図1]本開示の第１の実施の形態に係る撮像装置の断面構成（Ａ）および平面構成（Ｂ）を表す模式図である。

[図2A]図１に示した撮像装置の製造方法を説明するための断面模式図である。

[図2B]図２Ａに続く工程を表す断面模式図である。

[図2C]図２Ｂに続く工程を表す断面模式図である。

[図2D]図２Ｃに続く工程を表す断面模式図である。

[図2E]図２Ｄに続く工程を表す断面模式図である。

[図2F]図２Ｅに続く工程を表す断面模式図である。

[図2G]図２Ｆに続く工程を表す断面模式図である。

[図2H]図２Ｇに続く工程を表す断面模式図である。

[図3]本開示の変形例に係る撮像装置の断面模式図である。

[図4]本開示の第２の実施の形態に係る撮像装置の断面模式図である。

[図5]本開示の第３の実施の形態に係る撮像装置の断面模式図である。

[図6]本開示の第4の実施の形態に係る撮像装置の断面模式図である。

[図7]図1に示した撮像装置の全体構成を表すブロック図である。

[図8]図7に示した撮像装置を用いた電子機器（カメラ）の一例を表す機能ブロック図である。

[図9]体内情報取得システムの概略的な構成の一例を示すブロック図である。

[図10]車両制御システムの概略的な構成の一例を示すブロック図である。

[図11]車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0010] 以下、本開示における一実施形態について、図面を参照して詳細に説明する。以下の説明は本開示の一具体例であって、本開示は以下の態様に限定されるものではない。また、本開示は、各図に示す各構成要素の配置や寸法、寸法比などについても、それらに限定されるものではない。なお、説明する順序は、下記の通りである。

1. 第1の実施の形態（外部取り出し用のパッド部と半導体素子実装用のパッド部とを半導体層の裏面側に設けた例）

1-1. 撮像装置の構成

1-2. 撮像装置の製造方法

1-3. 作用・効果

2. 変形例（外部取り出し用のパッド部と半導体素子実装用のパッド部と半導体層の裏面側に設けた配線を介して電氣的に接続した例）

3. 第2の実施の形態（半導体層の表面側にロジックチップを設けた一例）

4. 第3の実施の形態（半導体層の表面側にロジックチップを設けた他の例）

5. 第4の実施の形態（半導体層の表面側にロジックチップを設けた他の例）

6. 適用例

7. 応用例

[0011] < 1. 第 1 の実施の形態 >

(1 - 1. 撮像装置の構成)

図 1 は、本開示の第 1 の実施の形態に係る撮像装置（撮像装置 1）の断面構成（A）および平面構成（B）を模式的に表したものである。撮像装置 1 は、例えば、裏面照射型（裏面受光型）の CMOS（Complementary Metal Oxide Semiconductor）イメージセンサであり、センサ素子 10（第 1 の半導体素子）上に、信号処理を行う各種の信号処理回路を有するロジックチップ 50（第 2 の半導体素子）がフリップチップ実装された積層型の撮像装置である。なお、図 1（A）は、図 1（B）に示した I - I 線における断面構成を表したものである。

[0012] （センサ素子）

センサ素子 10 は、シリコン基板 11（半導体層）に複数の光電変換部 12 が 2 次元配列されてなる受光領域 100A と、受光領域 100A の周辺に設けられた周辺領域 100B とを有する。センサ素子 10 は、シリコン基板 11 の裏面（面 11S1、一の面）が光入射面となっており、シリコン基板 11 の表面（面 11S2、他の面）に多層配線層 20 が設けられている。ロジックチップ 50 は、センサ素子 10 の周辺領域 100B において、シリコン基板 11 の裏面（面 11S1）側に設けられたパッド部 34（第 1 の接続部）を介して実装されている。

[0013] 本実施の形態の撮像装置 1 では、センサ素子 10 の周辺領域 100B において、シリコン基板 11 の裏面（面 11S1）側に外部基板（図示せず）との接続に用いられるパッド部 36（第 2 の接続部）がさらに設けられた構成を有する。パッド部 34 とパッド部 36 とは、例えば、シリコン基板 11 の面 11S1 上に設けられた配線 33 と、シリコン基板 11 を貫通する貫通ビア 13 と、シリコン基板 11 の表面（面 11S2）側に設けられた多層配線層 20 を構成する配線 22 とによって電氣的に接続されている。

[0014] （受光領域）

受光領域 100A には、単位画素 P（例えば、図 7 参照）毎に、それぞれ

異なる波長域の光を選択的に検出して光電変換を行う光電変換部 12 が設けられている。光電変換部 12 は、シリコン基板 11 の厚み方向（図 1 では Z 軸方向）に形成された、例えば n 型半導体領域であり、シリコン基板 11 の面 11 S2 に設けられた p 型半導体領域との p n 接合型のフォトダイオード（PD）によって構成されており、例えば、単位画素 P 毎にシリコン基板 11 に埋設形成されている。

[0015] シリコン基板 11 には、さらに、面 11 S2 近傍に、光電変換部 12 で発生した信号電荷を蓄積する電荷蓄積部や、電荷蓄積部に信号電荷を転送する転送トランジスタ（TG）が設けられている。シリコン基板 11 の面 11 S2 近傍には、転送トランジスタ（TG）と共に、例えばリセットトランジスタ（RST）、増幅トランジスタ（Amp）および選択トランジスタ（SEL）などが設けられている。このようなトランジスタは例えば MOSFET（Metal Oxide Semiconductor Field Effect Transistor）であり、各画素 P ごとに回路を構成する。各回路は、例えば転送トランジスタ（TG）、リセットトランジスタ（RST）および増幅トランジスタ（Amp）を含む 3 トランジスタ構成であってもよく、あるいはこれに選択トランジスタ（SEL）が加わった 4 トランジスタ構成であってもよい。転送トランジスタ（TG）以外のトランジスタは、画素間で共有することも可能である。

[0016] 受光領域 100A には、シリコン基板 11 の受光面（面 11 S1）側に、例えば、層間絶縁層 31、インナーレンズ 37L、平坦化層 38、保護層 40、カラーフィルタ 41 およびオンチップレンズ 42L がこの順に設けられている。インナーレンズ 37L、カラーフィルタ 41 およびオンチップレンズ 42L は、それぞれ、例えば各单位画素 P に設けられた光電変換部 12 と対向配置されている。

[0017] 層間絶縁層 31、インナーレンズ 37L、平坦化層 38、保護層 40、カラーフィルタ 41 およびオンチップレンズ 42L は、それぞれ、例えば光透過性を有する材料により構成されている。具体的には、例えば、窒化シリコン（SiN）および酸窒化シリコン（SiON）などのうちのいずれかより

なる単層膜、あるいはそれらのうちの２種以上よりなる積層膜により構成されている。

[0018] また、各单位画素Pの間には、画素分離部３５，３９が設けられている。画素分離部３５は層間絶縁層３１に、画素分離部３９は平坦化層３８にそれぞれ設けられており、互いに接続されている。画素分離部３５，３９は、例えば、タングステン（W）などの遮光性を有する材料を用いて形成されている。

[0019] （周辺領域）

周辺領域１００Ｂには、例えば、シリコン基板１１の面１１Ｓ１側に、例えば、層間絶縁層３１、インナーレンズ層３７、平坦化層３８、保護層４０およびオンチップレンズ層４２がこの順に積層されている。インナーレンズ層３７およびオンチップレンズ層４２は、それぞれ、受光領域１００Ａに設けられたインナーレンズ３７Ｌおよびオンチップレンズ４２Ｌから延在するものである。

[0020] 周辺領域１００Ｂには、センサ素子１０上にロジックチップ５０を実装するための、例えば４つのパッド部３４（図１（Ａ）では、そのうち２つを図示）と、外部基板との接続に用いられる、例えば１つのパッド部３６とがそれぞれ設けられており、詳細は後述するが、例えば、層間絶縁層３１と平坦化層３８との間に設けられている。層間絶縁層３１内には、例えば、パッド部３４とパッド部３６とを電氣的に接続する配線３３が設けられている。更に、層間絶縁層３１内には、例えば受光領域１００Ａと周辺領域１００Ｂとの間に、例えば、タングステン（W）などの遮光性を有する導電性材料からなる遮光膜３２が設けられていてもよい。

[0021] シリコン基板１１には、例えば、面１１Ｓ１と面１１Ｓ２との間を貫通する貫通ビア１３が設けられている。貫通ビア１３は、例えばパッド部３４，３６毎に設けられており、例えば図１（Ｂ）では、４つのパッド部３４にはそれぞれ貫通ビア１３Ａ１，１３Ａ２，１３Ａ３，１３Ａ４が、パッド部３６には複数の貫通ビア１３Ｂが、それぞれ配線３３を介して接続されている

。

[0022] (多層配線層)

シリコン基板 11 の面 11 S 2 上には、絶縁層 21 と配線 22 とからなる多層配線層 20 が設けられている。絶縁層 21 は、例えば、絶縁層 21 A, 21 B, 21 C, 21 D, 21 E からなり、配線 22 は、各絶縁層 21 A, 21 B, 21 C, 21 D, 21 E の間にそれぞれ設けられた配線 22 A, 22 B, 22 C, 22 D からなる。シリコン基板 11 を貫通する貫通ビア 13 は、一方がシリコン基板 11 の面 11 S 1 側に設けられたパッド部 34 あるいはパッド部 36 に接続された配線 33 と接続されており、他方がシリコン基板 11 の面 11 S 2 側に設けられた配線 22 A と接続されている。パッド部 34 とパッド部 36 とは、上記貫通ビア 13 を含む各配線を介して電氣的に接続されている。

[0023] (パッド部)

パッド部 34 は、センサ素子 10 上にロジックチップ 50 を実装するための、所謂ランド電極であり、例えば、層間絶縁層 31 内に設けられた配線 33 を露出するように設けられた開口 31 H 内に設けられている。パッド部 34 は、例えば、複数の金属層から構成されており、例えば、シリコン基板 11 側から順に、金属膜 34 A, 34 B, 34 C の順に積層された積層構造を有する。パッド部 34 の材料として、例えば、タンタル (Ta)、窒化タンタル (Ta₂N₅) および銅 (Cu) などに導電材料を用いることができる。このうち、配線 33 と直接接する金属膜 34 A には、例えばタンタル (Ta) を、金属膜 34 A と金属膜 34 C との間に設けられる金属膜 34 B には、例えば窒化タンタル (Ta₂N₅) を、半田 52 を介してロジックチップ 50 と接続される金属膜 34 C には、例えば銅 (Cu) を用いることが好ましい。パッド部 34 上の絶縁膜 38 A、インナーレンズ層 37、平坦化層 38、保護層 40 およびオンチップレンズ層 42 には、パッド部 34 を露出させる開口 H1 が設けられている。

[0024] パッド部 36 は、外部基板との接続に用いられるものであり、例えば、層

間絶縁層 31 上に設けられている。パッド部 36 の材料としては、例えば、アルミニウム (Al) の単層膜、あるいはバリアメタルとの積層膜として形成されている。パッド部 36 上のインナーレンズ層 37、平坦化層 38、保護層 40 およびオンチップレンズ層 42 には、パッド部 36 を露出させる開口 H2 が設けられている。

[0025] 更に、パッド部 36 は、例えばパッド部 34 と同等の高さに設けられていることが望ましい。ここで、同等とは、例えば、パッド部 34 およびパッド部 36 の下面の高さの差が、パッド部 34 およびパッド部 36 の一方が設けられた絶縁層の厚み以下であるものとする。これにより、パッド部 34 およびパッド部 36 の加工が容易となる。

[0026] ロジックチップ 50 は、信号処理を行う各種の信号処理回路が形成されたものである。ロジックチップ 50 には、例えば、電極 51 が下面に形成されている。本実施の形態では、シリコン基板 11 の裏面 (面 11S1) 側に設けられ、開口 H1 を介してそれぞれ露出された 4 つのパッド部 34 上に、半田 52 および電極 51 を介して実装されている。

[0027] (1-2. 撮像装置の製造方法)

本実施の形態の撮像装置 1 は、例えば以下のようにして製造することができる。図 2A~図 2H は、撮像装置 1 の製造方法を工程順に表したものである。

[0028] まず、シリコン基板 11 内に光電変換部 12 を形成したのち、シリコン基板 11 の表面 (面 11S2) に、電荷蓄積部および転送トランジスタ (TG) などの各種トランジスタの各ゲート (図示せず) を形成する。続いて、図 2A に示したように、シリコン基板 11 の面 11S2 上に、絶縁層 21A, 21B, 21C, 21D, 21E および配線 22A, 22B, 22C, 22D からなる多層配線層 20 を形成したのち、シリコン基板 11 の面 11S2 に支持基板 (図示せず) を接合して上下反転する。

[0029] 次に、図 2B に示したように、シリコン基板 11 の面 11S1 上に層間絶縁層 31 を構成する、例えば酸化シリコン (SiO_2) からなる絶縁層 31a

および例えばタングステン（W）からなる遮光膜 32 を形成したのち、所定の位置に、例えばドライエッチングにより絶縁層 31 a およびシリコン基板 11 を加工し、例えば環状の開口 11 H を形成する。続いて、開口 11 H の側面に、例えばバリアメタルとして Ta を成膜したのち、開口 11 H に、例えば Cu をメッキして貫通ビア 13 を形成する。

[0030] 次に、図 2 C に示したように、貫通ビア 13 および絶縁層 31 a 上に、例えば SiO₂ 膜を成膜したのち、所定の位置（具体的には、配線 33 を形成する位置に溝を形成し、銅（Cu）をメッキする。続いて、例えば CMP によって溝以外に形成された Cu を除去し配線 33 を形成する。次に、絶縁層 31 a および配線 33 上に、例えば SiO₂ 膜を成膜したのち、所定の位置に、例えばエッチングにより開口 31 H を形成し、配線 33 を露出させる。この開口 31 H 内に、例えば、Ta（金属膜 34 A）／Ta₂N（金属膜 34 B）／Cu（金属膜 34 C）からなるパッド部 34 を、例えばめっきによって形成したのち、例えば CMP によって表面を平坦化し、パッド部 34 以外に形成された上記金属膜 34 A，34 B，34 C を除去する。

[0031] 続いて、図 2 D に示したように、例えば SiCN／SiO₂ の積層膜を成膜したのち、例えばドライエッチングにより SiCN／SiO₂ の積層膜をパターンニングし、パッド部 34 上に、絶縁膜 38 A を形成する。次に、SiO₂ 膜を成膜したのち、配線 33 上に、例えばフォトリソグラフィなどによって開口を形成し、開口内に、例えばタングステン（W）またはアルミニウム（Al）を埋設してビア V1 を形成する。また、画素分離部 35 も併せて形成する。次に、層間絶縁層 31 上に、例えば TaN／Ta（バリアメタル）および Al 膜を成膜したのち、フォトリソグラフィなどによってパターンニングしてビア V1 を含む層間絶縁層 31 上の所定の位置にパッド部 36 を形成する。

[0032] 続いて、図 2 E に示したように、層間絶縁層 31、パッド部 36 および絶縁膜 38 A 上に、例えば SiON／SiN の積層膜を成膜したのち、フォトリソグラフィおよびリフローを用いて受光領域 100 A に対応する領域の積

層膜上にレジストを形成する。次に、エッチバックにより、積層膜にレンズ形状を転写し、受光領域 100A にインナーレンズ 37L が設けられたインナーレンズ層 37 を形成する。続いて、インナーレンズ層 37 上に、例えば SiO_2 膜を成膜する。次に、受光領域 100A の各単位画素 P の間に、上記画素分離部 35 と同様の方法を用いて画素分離部 39 を形成したのち、例えば、CMP (Chemical Mechanical Polishing) 法を用いて SiO_2 膜の表面を平坦化し、平坦化層 38 を形成する。

[0033] 続いて、図 2 F に示したように、例えばコーターなどにより平坦化層 38 上に樹脂を塗布して保護層 40 を形成したのち、受光領域 100A の各単位画素 P に対応する位置に所定の色を有するカラーフィルタ 41 を形成する。次に、保護層 40 およびカラーフィルタ 41 上に、レンズ材を塗布したのち、フォトリソグラフィおよびリフローを用いて受光領域 100A に対応する領域のレンズ材上にレジストを形成する。次に、エッチバックにより、レンズ材にレンズ形状を転写し、受光領域 100A にオンチップレンズ 42L が設けられたオンチップレンズ層 42 を形成する。

[0034] 続いて、図 2 G に示したように、例えばパッド部 36 に対応する位置に、例えばドライエッチングによりオンチップレンズ層 42、保護層 40、平坦化層 38 およびインナーレンズ層 37 を加工し、例えば矩形の開口 H2 を形成してパッド部 36 を露出させる。

[0035] 次に、図 2 H に示したように、例えばパッド部 34 に対応する位置に、例えばドライエッチングによりオンチップレンズ層 42、保護層 40、平坦化層 38、インナーレンズ層 37、絶縁膜 38A を加工し、例えば円形の開口 H1 を形成してパッド部 34 を露出させることでセンサ素子 10 が完成する。最後に半田 52 を介してパッド部 34 上にロジックチップ 50 を実装させる。以上により、図 1 に示した撮像装置 1 が完成する。

[0036] (撮像装置の動作)

このような撮像装置 1 では、例えば、次のようにして信号電荷（ここでは電子）が取得される。撮像装置 1 に、オンチップレンズ 42L およびインナ

ーレンズ37Lを介して光Lが入射すると、光Lはカラーフィルタ41などを通過して各单位画素Pに設けられた光電変換部12で検出（吸収）され、赤、緑または青の色光が光電変換される。光電変換部12で発生した電子－正孔対のうち、例えば、電子はシリコン基板11のn型半導体領域へ移動して蓄積され、正孔はp型領域へ移動して排出される。

[0037] （1－3．作用・効果）

前述したように、近年、画素部と周辺回路部とを別素子に分割し、C o C（Chip on Chip）積層する技術を適用した固体撮像装置が提案されている。このような固体撮像装置としては、例えば、表面照射型センサを構成するセンサ半導体素子の受光面上における画素外の領域に、周辺回路部である周辺回路半導体素子をフリップチップ実装する構造がある。また、周辺回路半導体素子上に、受光面とは反対面に電極を有する裏面照射型センサを構成するセンサ半導体素子を積層する構造がある。

[0038] ところで、裏面照射型センサを構成するセンサ半導体素子では、受光面とは反対側に配線層が形成されているため、センサ半導体素子の受光面側に、周辺回路半導体素子をフリップチップ実装する場合、周辺回路半導体素子の実装部の直下に半導体層を貫通する貫通ビアが形成される。この貫通ビアは、周辺回路半導体素子と、センサ半導体素子の受光面とは反対側に形成された配線とを電氣的に接続するためのものである。このため、周辺回路半導体素子の実装部の直下は回路配置などができない貫通ビア専用領域となり、面積効率の低下の要因となる。

[0039] これに対して本実施の形態の撮像装置1では、センサ素子10の周辺領域100Bにおいて、ロジックチップ50が実装されるパッド部34と、外部基板との接続に用いられるパッド部36とを受光面となるシリコン基板11の裏面（面11S1）上に設け、さらに、センサ素子10を構成するシリコン基板11を貫通する貫通ビア13およびパッド部34とパッド部36とを電氣的に接続する接続配線（例えば、配線33）を設けるようにした。これにより、例えば、パッド部36に対応するシリコン基板11の表面（面11

S 2) 側に所望の配線パターンを形成することが可能となる。また、シリコン基板 1 1 を貫通する貫通ビア 1 3 を任意の位置に形成することが可能となる。

[0040] 以上、本実施の形態では、センサ素子 1 0 を構成するシリコン基板 1 1 の裏面 (面 1 1 S 1) 側にロジックチップ 5 0 の実装に用いられるパッド部 3 4 と、外部基板との接続に用いられるパッド部 3 6 とを設けるようにしたので、例えば、パッド部 3 6 に対応するシリコン基板 1 1 の表面 (面 1 1 S 2) 側に所望の配線パターンを形成することができる。また、シリコン基板 1 1 を貫通する貫通ビア 1 3 に任意の位置に形成できる。よって、面積効率を向上させることが可能となる。

[0041] 更に、本実施の形態では、上記のように、ロジックチップ 5 0 の実装に用いられるパッド部 3 4 と、外部基板との接続に用いられるパッド部 3 6 とを設けるようにしたので、外部基板との接続に用いられるパッド部 3 6 がシリコン基板 1 1 の表面 (面 1 1 S 2) 側に設けられる一般的な撮像装置と比較して、パッド部 3 4 およびパッド部 3 6 を露出させる開口 (開口 H 1 および開口 H 2) を容易に形成することが可能となる。

[0042] 次に、変形例および第 2 ～第 4 の実施の形態について説明する。なお、第 1 の実施の形態の撮像装置 1 に対応する構成要素には同一の符号を付して説明を省略する。

[0043] < 2. 変形例 >

図 3 は、本開示の変形例に係る撮像装置 (撮像装置 1 A) の断面構成を模式的に表したものである。上記第 1 の実施の形態における撮像装置 1 では、パッド部 3 4 とパッド部 3 6 とが、配線 3 3 と、貫通ビア 1 3 と、配線 2 2 とによって電氣的に接続されている例を示したがこれに限らない。例えば、図 3 に示したように、パッド部 3 4 とパッド部 3 6 とは、例えば、シリコン基板 1 1 の面 1 1 S 1 上に設けられた配線 3 3 のみを介して電氣的に接続されていてもよい。

[0044] < 3. 第 2 の実施の形態 >

図4は、本開示の第2の実施の形態に係る撮像装置（撮像装置2）の断面構成を模式的に表したものである。撮像装置2は、上記第1の実施の形態と同様に、例えば、裏面照射型（裏面受光型）のCMOSイメージセンサである。撮像装置2は、上記第1の実施の形態と同様に、センサ素子10を構成するシリコン基板11の裏面（面11S1）側にパッド部34およびパッド部36が設けられたものである。本実施の形態では、信号処理を行う各種の信号処理回路が形成されたロジックチップ50が、センサ素子10を構成するシリコン基板11の表面（面11S2）側に貼り合わされ、シリコン基板11の裏面（面11S1）側に設けられたパッド部34には、例えばメモリ素子などの機能素子60が実装されている点が上記第1の実施の形態とは異なる。

[0045] 撮像装置2では、パッド部34とパッド部36とを電氣的に接続する接続配線として、シリコン基板11の表面（面11S1）側に配線71が設けられている。また、撮像装置2では、パッド部34およびパッド部36と、シリコン基板11の表面（面11S2）側に配置されたロジックチップ50とを電氣的に接続する貫通ビアとしてシリコン基板11および多層配線層20を貫通する貫通ビア72が設けられている。ロジックチップ50は、例えば、基板53と、基板53の表面（面53S1）上に設けられた多層配線層54とから構成されている。貫通ビア72は、一方が配線71に、他方が多層配線層54に設けられた配線に接続されており、これによって、パッド部34、パッド部36およびロジックチップ50は電氣的に接続されている。

[0046] 機能素子60としては、例えば、メモリ素子の他、半導体レーザ（LD）などの発光素子、Time of flight・Single Photon Avalanche Diode（TOF・SPAD）センサおよびField-Programmable Gate Array（FPGA）などが挙げられる。撮像装置2では、例えばメモリ素子が、パッド部34、電極61および半田62を介してセンサ素子10上に実装されている。また、図4では、センサ素子10上に1つの機能素子60を実装した例を示したがこれに限らない。同種または異なる2種類の機能素子を実装するようにしても

よい。

[0047] 以上のように、本実施の形態の撮像装置2では、ロジックチップ50に限らず、各種機能素子60を実装することができ、その場合でも上記第1の実施の形態と同様の効果を得ることができる。

[0048] <4. 第3の実施の形態>

図5は、本開示の第3の実施の形態に係る撮像装置（撮像装置3）の断面構成を模式的に表したものである。撮像装置3は、上記第1の実施の形態と同様に、例えば、裏面照射型（裏面受光型）のCMOSイメージセンサである。撮像装置3は、上記第2の実施の形態と同様に、センサ素子10を構成するシリコン基板11の裏面（面11S1）側にパッド部34およびパッド部36が設けられ、シリコン基板11の表面（面11S2）側にロジックチップ50が貼り合わされたものである。本実施の形態では、パッド部34、パッド部36およびロジックチップ50が、シリコン基板11を貫通するtwin-TCV構造を有する貫通ビア73によって電氣的に接続されている点が上記第2の実施の形態とは異なる。

[0049] 撮像装置3では、上記のように、シリコン基板11の裏面（面11S1）側に設けられたパッド部34およびパッド部36と、シリコン基板11の表面（面11S2）側に設けられたロジックチップとが、シリコン基板11の裏面（面11S1）側に設けられた配線71と、シリコン基板11を貫通する貫通ビア73とを介して電氣的に接続されている。

[0050] 貫通ビア73は、一方が配線71に接続された2つの貫通ビア73A、73Bを有する。貫通ビア73Aは、例えば、シリコン基板11を貫通し、他方がシリコン基板11の表面（面11S1）上に設けられた多層配線層20を構成する配線22に接続されている。貫通ビア73Bは、例えば、シリコン基板11および多層配線層20を貫通し、他方がロジックチップ50を構成する基板53の表面（面53S1）上に設けられた多層配線層54内の配線に接続されている。

[0051] 以上のように、本実施の形態の撮像装置3では、パッド部34、パッド部

36およびロジックチップ50を電氣的に接続する貫通ビアとしてtwin-TCV構造を有する貫通ビア73を用いたが、その場合でも上記第1の実施の形態と同様の効果を得ることができる。

[0052] <5. 第4の実施の形態>

図6は、本開示の第4の実施の形態に係る撮像装置（撮像装置4）の断面構成を模式的に表したものである。撮像装置4は、上記第1の実施の形態と同様に、例えば、裏面照射型（裏面受光型）のCMOSイメージセンサである。撮像装置4は、上記第2の実施の形態と同様に、センサ素子10を構成するシリコン基板11の裏面（面11S1）側にパッド部34およびパッド部36が設けられ、シリコン基板11の表面（面11S2）側にロジックチップ50が貼り合わされたものである。本実施の形態の撮像装置4では、センサ素子10とロジックチップ50とは、互いに対向する多層配線層20および多層配線層54の表面にそれぞれ設けられた接合部23と接合部55とを接合することによって貼り合わされている。

[0053] 接合部23および接合部55は、例えば銅（Cu）によって構成されている。即ち、本実施の形態の撮像装置4は、センサ素子10とロジックチップ50とがCu-Cu接合によって貼りわされたものである。

[0054] このように、センサ素子10とロジックチップ50とをCu-Cu接合を用いて貼り合わせた場合でも、上記第1の実施の形態と同様の効果を得ることができる。

[0055] <6. 適用例>

（適用例1）

図7は、例えば、上記第1の実施の形態において説明した撮像装置1の全体構成を表したものである。この撮像装置1は、CMOSイメージセンサであり、シリコン基板11上に、撮像エリアとしての画素部1aを有すると共に、この画素部1aの周辺領域に、例えば、行走査部131、水平選択部133、列走査部134およびシステム制御部132からなる周辺回路部130を有している。なお、適用例1では、撮像装置1として説明しているが、

本構成は、上記第2～第4の実施の形態の撮像装置2～4のいずれにも適用される。

[0056] 画素部1 aは、例えば、行列状に2次元配置された複数の単位画素P（光電変換部1 2に相当）を有している。この単位画素Pには、例えば、画素行ごとに画素駆動線L read（具体的には行選択線およびリセット制御線）が配線され、画素列ごとに垂直信号線L sigが配線されている。画素駆動線L readは、画素からの信号読み出しのための駆動信号を伝送するものである。画素駆動線L readの一端は、行走査部1 3 1の各行に対応した出力端に接続されている。

[0057] 行走査部1 3 1は、シフトレジスタやアドレスデコーダなどによって構成され、画素部1 aの各単位画素Pを、例えば、行単位で駆動する画素駆動部である。行走査部1 3 1によって選択走査された画素行の各単位画素Pから出力される信号は、垂直信号線L sigの各々を通して水平選択部1 3 3に供給される。水平選択部1 3 3は、垂直信号線L sigごとに設けられたアンプや水平選択スイッチなどによって構成されている。

[0058] 列走査部1 3 4は、シフトレジスタやアドレスデコーダなどによって構成され、水平選択部1 3 3の各水平選択スイッチを走査しつつ順番に駆動するものである。この列走査部1 3 4による選択走査により、垂直信号線L sigの各々を通して伝送される各画素の信号が順番に水平信号線1 3 5に出力され、当該水平信号線1 3 5を通してシリコン基板1 1の外部へ伝送される。

[0059] 行走査部1 3 1、水平選択部1 3 3、列走査部1 3 4および水平信号線1 3 5からなる回路部分は、シリコン基板1 1上に直に形成されていてもよいし、あるいは外部制御ICに配設されたものであってもよい。また、それらの回路部分は、ケーブルなどにより接続された他の基板に形成されていてもよい。

[0060] システム制御部1 3 2は、シリコン基板1 1の外部から与えられるクロックや、動作モードを指令するデータなどを受け取り、また、撮像装置1の内部情報などのデータを出力するものである。システム制御部1 3 2はさらに

、各種のタイミング信号を生成するタイミングジェネレータを有し、当該タイミングジェネレータで生成された各種のタイミング信号を基に行走査部 131、水平選択部 133 および列走査部 134 などの周辺回路の駆動制御を行う。

[0061] (適用例 2)

上述の撮像装置 1 は、例えば、デジタルスチルカメラやビデオカメラなどのカメラシステムや、撮像機能を有する携帯電話など、撮像機能を備えたあらゆるタイプの撮像装置に適用することができる。図 8 に、その一例として、電子機器 5 (カメラ) の概略構成を示す。この電子機器 5 は、例えば、静止画または動画を撮影可能なビデオカメラであり、撮像装置 1 と、光学系 (光学レンズ) 310 と、シャッタ装置 311 と、撮像装置 1 およびシャッタ装置 311 を駆動する駆動部 313 と、信号処理部 312 とを有する。

[0062] 光学系 310 は、被写体からの像光 (入射光) を撮像装置 1 の画素部 1a へ導くものである。この光学系 310 は、複数の光学レンズから構成されていてもよい。シャッタ装置 311 は、撮像装置 1 への光照射期間および遮光期間を制御するものである。駆動部 313 は、撮像装置 1 の転送動作およびシャッタ装置 311 のシャッタ動作を制御するものである。信号処理部 312 は、撮像装置 1 から出力された信号に対し、各種の信号処理を行うものである。信号処理後の映像信号 D out は、メモリなどの記憶媒体に記憶されるか、あるいは、モニタなどに出力される。

[0063] 更に、上記撮像装置 1 は、下記電子機器 (カプセル型内視鏡 10100 および車両などの移動体) にも適用することが可能である。

[0064] <7. 適用例>

<体内情報取得システムへの応用例>

図 9 は、本開示に係る技術 (本技術) が適用され得る、カプセル型内視鏡を用いた患者の体内情報取得システムの概略的な構成の一例を示すブロック図である。

[0065] 体内情報取得システム 10001 は、カプセル型内視鏡 10100 と、外

部制御装置１０２００とから構成される。

- [0066] カプセル型内視鏡１０１００は、検査時に、患者によって飲み込まれる。カプセル型内視鏡１０１００は、撮像機能および無線通信機能を有し、患者から自然排出されるまでの間、胃や腸などの臓器の内部を蠕動運動などによって移動しつつ、当該臓器の内部の画像（以下、体内画像ともいう）を所定の間隔で順次撮像し、その体内画像についての情報を体外の外部制御装置１０２００に順次無線送信する。
- [0067] 外部制御装置１０２００は、体内情報取得システム１０００１の動作を統括的に制御する。また、外部制御装置１０２００は、カプセル型内視鏡１０１００から送信されてくる体内画像についての情報を受信し、受信した体内画像についての情報に基づいて、表示装置（図示せず）に当該体内画像を表示するための画像データを生成する。
- [0068] 体内情報取得システム１０００１では、このようにして、カプセル型内視鏡１０１００が飲み込まれてから排出されるまでの間、患者の体内の様子を撮像した体内画像を随時得ることができる。
- [0069] カプセル型内視鏡１０１００と外部制御装置１０２００の構成および機能についてより詳細に説明する。
- [0070] カプセル型内視鏡１０１００は、カプセル型の筐体１０１０１を有し、その筐体１０１０１内には、光源部１０１１１、撮像部１０１１２、画像処理部１０１１３、無線通信部１０１１４、給電部１０１１５、電源部１０１１６、および制御部１０１１７が収納されている。
- [0071] 光源部１０１１１は、例えばＬＥＤ（light emitting diode）などの光源から構成され、撮像部１０１１２の撮像視野に対して光を照射する。
- [0072] 撮像部１０１１２は、撮像素子、および当該撮像素子の前段に設けられる複数のレンズからなる光学系から構成される。観察対象である体組織に照射された光の反射光（以下、観察光という）は、当該光学系によって集光され、当該撮像素子に入射する。撮像部１０１１２では、撮像素子において、そこに入射した観察光が光電変換され、その観察光に対応する画像信号が生成

される。撮像部１０１１２によって生成された画像信号は、画像処理部１０１１３に提供される。

[0073] 画像処理部１０１１３は、ＣＰＵ（Central Processing Unit）やＧＰＵ（Graphics Processing Unit）などのプロセッサによって構成され、撮像部１０１１２によって生成された画像信号に対して各種の信号処理を行う。画像処理部１０１１３は、信号処理を施した画像信号を、ＲＡＷデータとして無線通信部１０１１４に提供する。

[0074] 無線通信部１０１１４は、画像処理部１０１１３によって信号処理が施された画像信号に対して変調処理などの所定の処理を行い、その画像信号を、アンテナ１０１１４Ａを介して外部制御装置１０２００に送信する。また、無線通信部１０１１４は、外部制御装置１０２００から、カプセル型内視鏡１０１００の駆動制御に関する制御信号を、アンテナ１０１１４Ａを介して受信する。無線通信部１０１１４は、外部制御装置１０２００から受信した制御信号を制御部１０１１７に提供する。

[0075] 給電部１０１１５は、受電用のアンテナコイル、当該アンテナコイルに発生した電流から電力を再生する電力再生回路、および昇圧回路などから構成される。給電部１０１１５では、いわゆる非接触充電の原理を用いて電力が生成される。

[0076] 電源部１０１１６は、二次電池によって構成され、給電部１０１１５によって生成された電力を蓄電する。図９では、図面が煩雑になることを避けるために、電源部１０１１６からの電力の供給先を示す矢印などの図示を省略しているが、電源部１０１１６に蓄電された電力は、光源部１０１１１、撮像部１０１１２、画像処理部１０１１３、無線通信部１０１１４、および制御部１０１１７に供給され、これらの駆動に用いられ得る。

[0077] 制御部１０１１７は、ＣＰＵなどのプロセッサによって構成され、光源部１０１１１、撮像部１０１１２、画像処理部１０１１３、無線通信部１０１１４、および、給電部１０１１５の駆動を、外部制御装置１０２００から送信される制御信号に従って適宜制御する。

[0078] 外部制御装置１０２００は、ＣＰＵ、ＧＰＵなどのプロセッサ、又はプロセッサとメモリなどの記憶素子が混載されたマイクロコンピュータ若しくは制御基板などで構成される。外部制御装置１０２００は、カプセル型内視鏡１０１００の制御部１０１１７に対して制御信号を、アンテナ１０２００Ａを介して送信することにより、カプセル型内視鏡１０１００の動作を制御する。カプセル型内視鏡１０１００では、例えば、外部制御装置１０２００からの制御信号により、光源部１０１１１における観察対象に対する光の照射条件が変更され得る。また、外部制御装置１０２００からの制御信号により、撮像条件（例えば、撮像部１０１１２におけるフレームレート、露出値など）が変更され得る。また、外部制御装置１０２００からの制御信号により、画像処理部１０１１３における処理の内容や、無線通信部１０１１４が画像信号を送信する条件（例えば、送信間隔、送信画像数など）が変更されてもよい。

[0079] また、外部制御装置１０２００は、カプセル型内視鏡１０１００から送信される画像信号に対して、各種の画像処理を施し、撮像された体内画像を表示装置に表示するための画像データを生成する。当該画像処理としては、例えば現像処理（デモザイク処理）、高画質化処理（帯域強調処理、超解像処理、ＮＲ（Noise reduction）処理および／又は手ブレ補正処理など）、並びに／又は拡大処理（電子ズーム処理）など、各種の信号処理を行うことができる。外部制御装置１０２００は、表示装置の駆動を制御して、生成した画像データに基づいて撮像された体内画像を表示させる。あるいは、外部制御装置１０２００は、生成した画像データを記録装置（図示せず）に記録させたり、印刷装置（図示せず）に印刷出力させてもよい。

[0080] 以上、本開示に係る技術が適用され得る体内情報取得システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、例えば、撮像部１０１１２に適用され得る。これにより、精細な術部画像を得ることができるため、検査の精度が向上する。

[0081] ＜移動体への応用例＞

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボットなどのいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0082] 図10は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0083] 車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図10に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、および統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、および車載ネットワークI/F（interface）12053が図示されている。

[0084] 駆動系制御ユニット12010は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット12010は、内燃機関又は駆動用モータなどの車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、および、車両の制動力を発生させる制動装置などの制御装置として機能する。

[0085] ボディ系制御ユニット12020は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット12020は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウィンカー又はフォグランプなどの各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット12020には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニッ

ト１２０２０は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプなどを制御する。

[0086] 車外情報検出ユニット１２０３０は、車両制御システム１２０００を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット１２０３０には、撮像部１２０３１が接続される。車外情報検出ユニット１２０３０は、撮像部１２０３１に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット１２０３０は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字などの物体検出処理又は距離検出処理を行ってもよい。

[0087] 撮像部１２０３１は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部１２０３１は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部１２０３１が受光する光は、可視光であっても良いし、赤外線などの非可視光であっても良い。

[0088] 車内情報検出ユニット１２０４０は、車内の情報を検出する。車内情報検出ユニット１２０４０には、例えば、運転者の状態を検出する運転者状態検出部１２０４１が接続される。運転者状態検出部１２０４１は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット１２０４０は、運転者状態検出部１２０４１から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0089] マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット１２０１０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告などを含むＡＤＡＳ（Advanced Driver Assistance System

)の機能実現を目的とした協調制御を行うことができる。

[0090] また、マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置などを制御することにより、運転者の操作に拠らずに自律的に走行する自動運転などを目的とした協調制御を行うことができる。

[0091] また、マイクロコンピュータ12051は、車外情報検出ユニット12030で取得される車外の情報に基づいて、ボディ系制御ユニット12020に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車外情報検出ユニット12030で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替えるなどの防眩を図ることを目的とした協調制御を行うことができる。

[0092] 音声画像出力部12052は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声および画像のうちの少なくとも一方の出力信号を送信する。図10の例では、出力装置として、オーディオスピーカ12061、表示部12062およびインストルメントパネル12063が例示されている。表示部12062は、例えば、オンボードディスプレイおよびヘッドアップディスプレイの少なくとも一つを含んでいてもよい。

[0093] 図11は、撮像部12031の設置位置の例を示す図である。

[0094] 図11では、撮像部12031として、撮像部12101, 12102, 12103, 12104, 12105を有する。

[0095] 撮像部12101, 12102, 12103, 12104, 12105は、例えば、車両12100のフロントノーズ、サイドミラー、リアバンパ、バックドアおよび車室内のフロントガラスの上部などの位置に設けられる。フロントノーズに備えられる撮像部12101および車室内のフロントガラスの上部に備えられる撮像部12105は、主として車両12100の前方の画像を取得する。サイドミラーに備えられる撮像部12102, 1210

3は、主として車両12100の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部12104は、主として車両12100の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部12105は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線などの検出に用いられる。

[0096] なお、図11には、撮像部12101ないし12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像部12101の撮像範囲を示し、撮像範囲12112, 12113は、それぞれサイドミラーに設けられた撮像部12102, 12103の撮像範囲を示し、撮像範囲12114は、リアバンパ又はバックドアに設けられた撮像部12104の撮像範囲を示す。例えば、撮像部12101ないし12104で撮像された画像データが重ね合わせられることにより、車両12100を上方から見た俯瞰画像が得られる。

[0097] 撮像部12101ないし12104の少なくとも1つは、距離情報を取得する機能を有していてもよい。例えば、撮像部12101ないし12104の少なくとも1つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0098] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を基に、撮像範囲12111ないし12114内における各立体物までの距離と、この距離の時間的変化（車両12100に対する相対速度）を求めることにより、特に車両12100の進行路上にある最も近い立体物で、車両12100と略同じ方向に所定の速度（例えば、0km/h以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ12051は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）などを行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転などを目的とした協調制御を行うことができる。

[0099] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を元に、立体物に関する立体物データを、2輪車、普通車両、大型車両、歩行者、電柱などその他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ12051は、車両12100の周辺の障害物を、車両12100のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ12051は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ12061や表示部12062を介してドライバに警報を出力することや、駆動系制御ユニット12010を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0100] 撮像部12101ないし12104の少なくとも1つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ12051は、撮像部12101ないし12104の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部12101ないし12104の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ12051が、撮像部12101ないし12104の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部12052は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部12062を制御する。また、音声画像出力部12052は、歩行者を示すアイコンなどを所望の位置に表示するように表示部12062を制御してもよい。

[0101] 以上、第1～第4の実施の形態および変形例ならびに適用例を挙げて説明したが、本開示内容は上記実施の形態などに限定されるものではなく、種々変形が可能である。

[0102] なお、本開示は、以下のような構成も可能である。以下の構成の本技術に

よれば、第1の半導体素子を構成する、複数の光電変換部を有する半導体層の一の面側に、第2の半導体素子の実装に用いられる第1の接続部と、外部基板との接続に用いられる第2の接続部とを設けるようにした。これにより、一の面と対向する半導体層の他の面の第2の接続部に対応する領域に所望の配線パターンを形成できるようになり、面積効率を向上させることが可能となる。なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれの効果であってもよい。

(1)

光入射面となる一の面および前記一の面と対向する他の面と、前記一の面内において、入射した光を光電変換する複数の光電変換部が配列された受光領域および前記受光領域の周囲に設けられた周辺領域とを有する半導体層と、

前記一の面と前記他の面との間を貫通する貫通ビアと、

前記一の面側の前記周辺領域に設けられ、前記貫通ビアよりも幅の広い第1の接続部と、

前記一の面側の前記周辺領域に設けられ、外部基板との接続に用いられる第2の接続部と、

前記第1の接続部、前記第2の接続部および前記貫通ビアを電氣的に接続する接続配線とを有する第1の半導体素子と、

前記第1の接続部により前記第1の半導体素子に実装された第2の半導体素子と

を備えた撮像装置。

(2)

前記第1の接続部と前記第2の接続部とは、前記接続配線を介して電氣的に接続されている、前記(1)に記載の撮像装置。

(3)

前記第1の半導体素子は、前記半導体層の前記他の面側にさらに配線層を有し、

前記貫通ビアは、さらに前記配線層を構成する配線と電氣的に接続されている、前記（１）または（２）に記載の撮像装置。

（４）

前記第１の接続部はランド構造を有し、バンプを介して前記第２の半導体素子と接続することで、前記第２の半導体素子は、前記第１の半導体素子に実装されている、前記（１）乃至（３）のうちのいずれかに記載の撮像装置。

（５）

前記半導体層の前記他の面側にさらに第３の半導体素子を有し、

前記第１の半導体素子と前記第３の半導体素子とは、前記貫通ビアを介して電氣的に接続されている、前記（１）乃至（４）のうちのいずれかに記載の撮像装置。

（６）

前記半導体層の前記他の面側にさらに第３の半導体素子を有し、

前記貫通ビアは２つの貫通ビアからなるＴｗｉｎ－ＴＣＶ構造を有し、一方の貫通ビアは前記配線層を構成する配線と電氣的に接続され、他方の貫通ビアは前記第３の半導体素子と電氣的に接続されている、前記（３）乃至（５）のうちのいずれかに記載の撮像装置。

（７）

前記半導体層の前記他の面側にさらに第３の半導体素子を有し、

前記第１の半導体素子と前記第３の半導体素子とは、Ｃｕ－Ｃｕ接合により電氣的に接続されている、前記（１）乃至（６）のうちのいずれかに記載の撮像装置。

（８）

前記第１の半導体素子はセンサ素子である、前記（１）乃至（７）のうちのいずれかに記載の撮像装置。

（９）

前記第２の半導体素子は、ロジック回路、メモリ素子、発光素子、Time of

flight・Single Photon Avalanche Diode (TOF・SPAD) センサおよびField-Programmable Gate Array (FPGA) のうちのいずれかである、前記(1)乃至(8)のうちのいずれかに記載の撮像装置。

(10)

撮像装置を有し、

前記撮像装置は、

光入射面となる一の面および前記一の面と対向する他の面と、前記一の面内において、入射した光を光電変換する複数の光電変換部が配列された受光領域および前記受光領域の周囲に設けられた周辺領域とを有する半導体層と、

前記一の面と前記他の面との間を貫通する貫通ビアと、

前記一の面側の前記周辺領域に設けられ、前記貫通ビアよりも幅の広い第1の接続部と、

前記一の面側の前記周辺領域に設けられ、外部基板との接続に用いられる第2の接続部と、

前記第1の接続部、前記第2の接続部および前記貫通ビアを電氣的に接続する接続配線とを有する第1の半導体素子と、

前記第1の接続部により前記第1の半導体素子に実装された第2の半導体素子と

を備えた電子機器。

[0103] 本出願は、日本国特許庁において2018年11月12日に出願された日本特許出願番号2018-212463号を基礎として優先権を主張するものであり、この出願の全ての内容を参照によって本出願に援用する。

[0104] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

請求の範囲

- [請求項1] 光入射面となる一の面および前記一の面と対向する他の面と、前記一の面内において、入射した光を光電変換する複数の光電変換部が配列された受光領域および前記受光領域の周囲に設けられた周辺領域とを有する半導体層と、
- 前記一の面と前記他の面との間を貫通する貫通ビアと、
- 前記一の面側の前記周辺領域に設けられ、前記貫通ビアよりも幅の広い第1の接続部と、
- 前記一の面側の前記周辺領域に設けられ、外部基板との接続に用いられる第2の接続部と、
- 前記第1の接続部、前記第2の接続部および前記貫通ビアを電氣的に接続する接続配線とを有する第1の半導体素子と、
- 前記第1の接続部により前記第1の半導体素子に実装された第2の半導体素子と
- を備えた撮像装置。
- [請求項2] 前記第1の接続部と前記第2の接続部とは、前記接続配線を介して電氣的に接続されている、請求項1に記載の撮像装置。
- [請求項3] 前記第1の半導体素子は、前記半導体層の前記他の面側にさらに配線層を有し、
- 前記貫通ビアは、さらに前記配線層を構成する配線と電氣的に接続されている、請求項1に記載の撮像装置。
- [請求項4] 前記第1の接続部はランド構造を有し、バンプを介して前記第2の半導体素子と接続することで、前記第2の半導体素子は、前記第1の半導体素子に実装されている、請求項1に記載の撮像装置。
- [請求項5] 前記半導体層の前記他の面側にさらに第3の半導体素子を有し、
- 前記第1の半導体素子と前記第3の半導体素子とは、前記貫通ビアを介して電氣的に接続されている、請求項1に記載の撮像装置。
- [請求項6] 前記半導体層の前記他の面側にさらに第3の半導体素子を有し、

前記貫通ビアは2つの貫通ビアからなるTwin-TCV構造を有し、一方の貫通ビアは前記配線層を構成する配線と電氣的に接続され、他方の貫通ビアは前記第3の半導体素子と電氣的に接続されている、請求項3に記載の撮像装置。

[請求項7] 前記半導体層の前記他の面側にさらに第3の半導体素子を有し、
前記第1の半導体素子と前記第3の半導体素子とは、Cu-Cu接合により電氣的に接続されている、請求項1に記載の撮像装置。

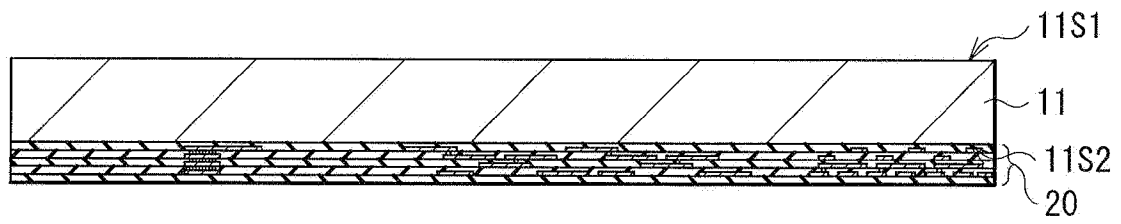
[請求項8] 前記第1の半導体素子はセンサ素子である、請求項1に記載の撮像装置。

[請求項9] 前記第2の半導体素子は、ロジック回路、メモリ素子、発光素子、Time of flight・Single Photon Avalanche Diode (TOF・SPAD) センサおよびField-Programmable Gate Array (FPGA) のうちのいずれかである、請求項1に記載の撮像装置。

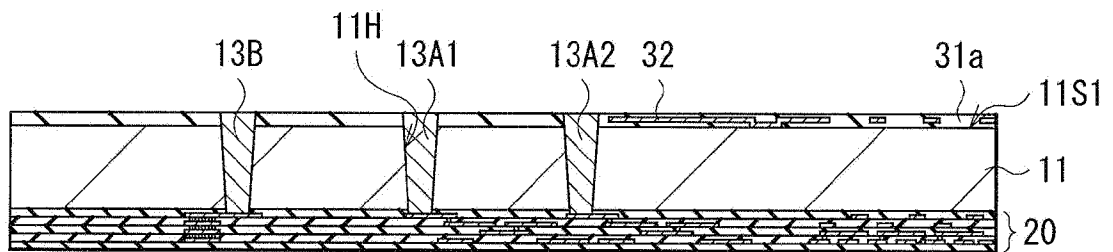
[請求項10] 撮像装置を有し、
前記撮像装置は、
光入射面となる一の面および前記一の面と対向する他の面と、前記一の面内において、入射した光を光電変換する複数の光電変換部が配列された受光領域および前記受光領域の周囲に設けられた周辺領域とを有する半導体層と、
前記一の面と前記他の面との間を貫通する貫通ビアと、
前記一の面側の前記周辺領域に設けられ、前記貫通ビアよりも幅の広い第1の接続部と、
前記一の面側の前記周辺領域に設けられ、外部基板との接続に用いられる第2の接続部と、
前記第1の接続部、前記第2の接続部および前記貫通ビアを電氣的に接続する接続配線とを有する第1の半導体素子と、
前記第1の接続部により前記第1の半導体素子に実装された第2の半導体素子と

を備えた電子機器。

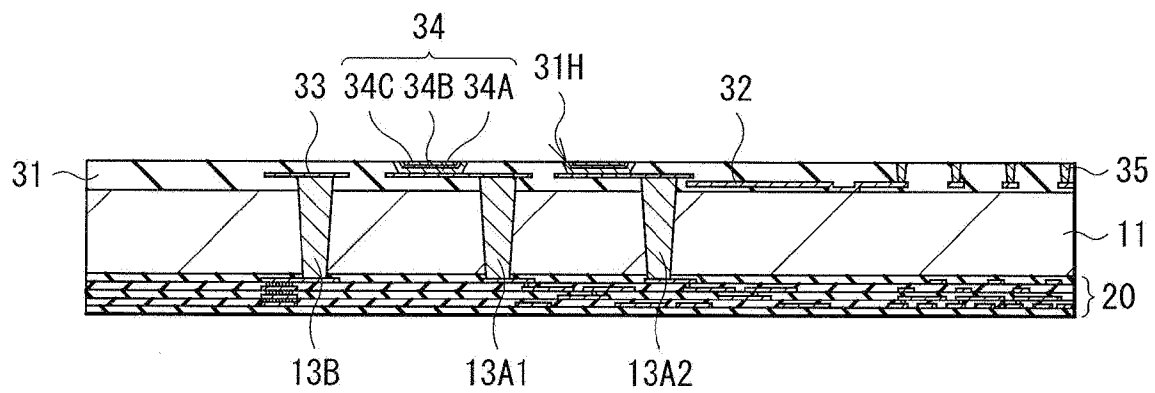
[図2A]



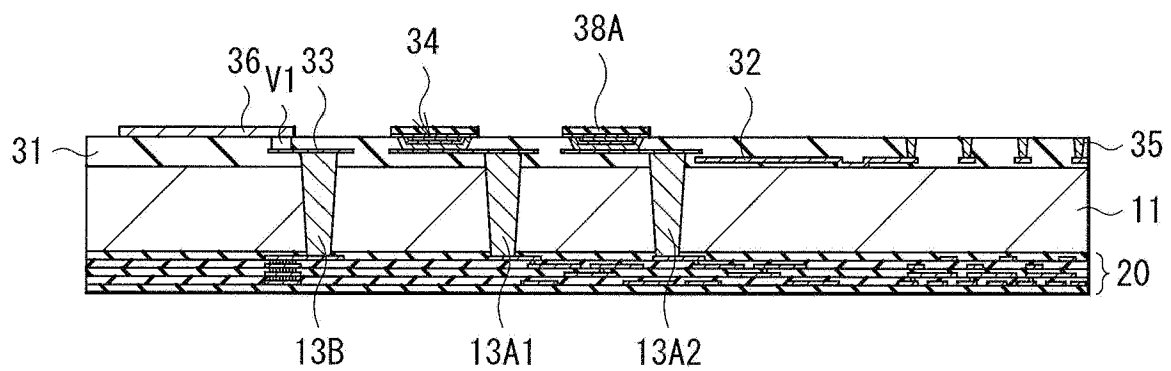
[図2B]



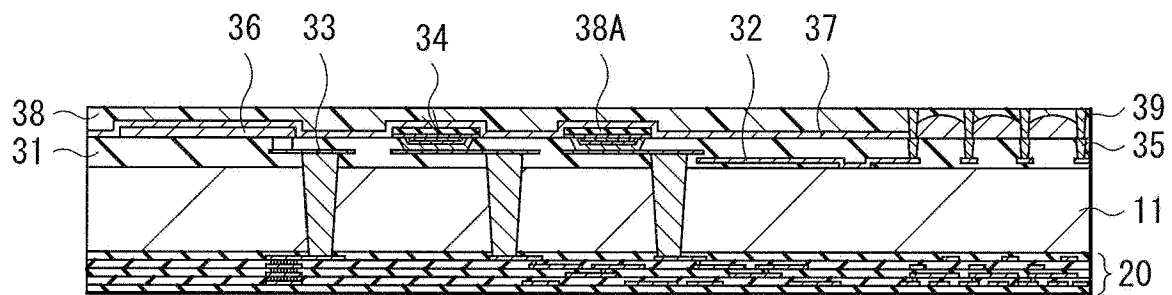
[図2C]



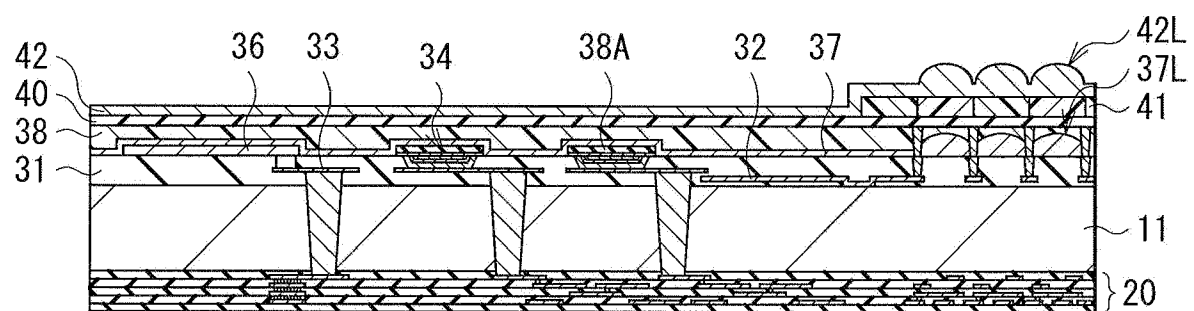
[図2D]



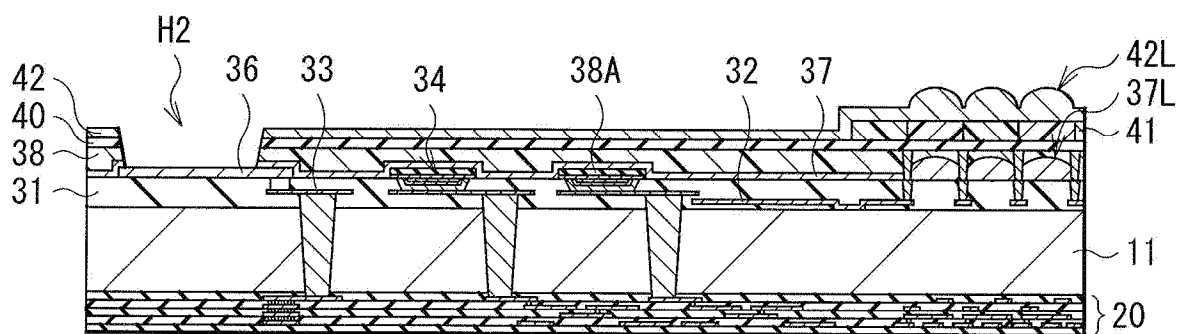
[図2E]



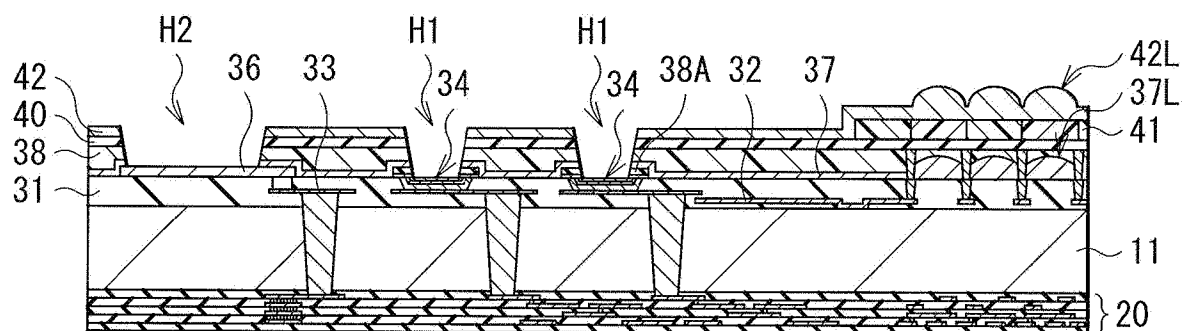
[図2F]



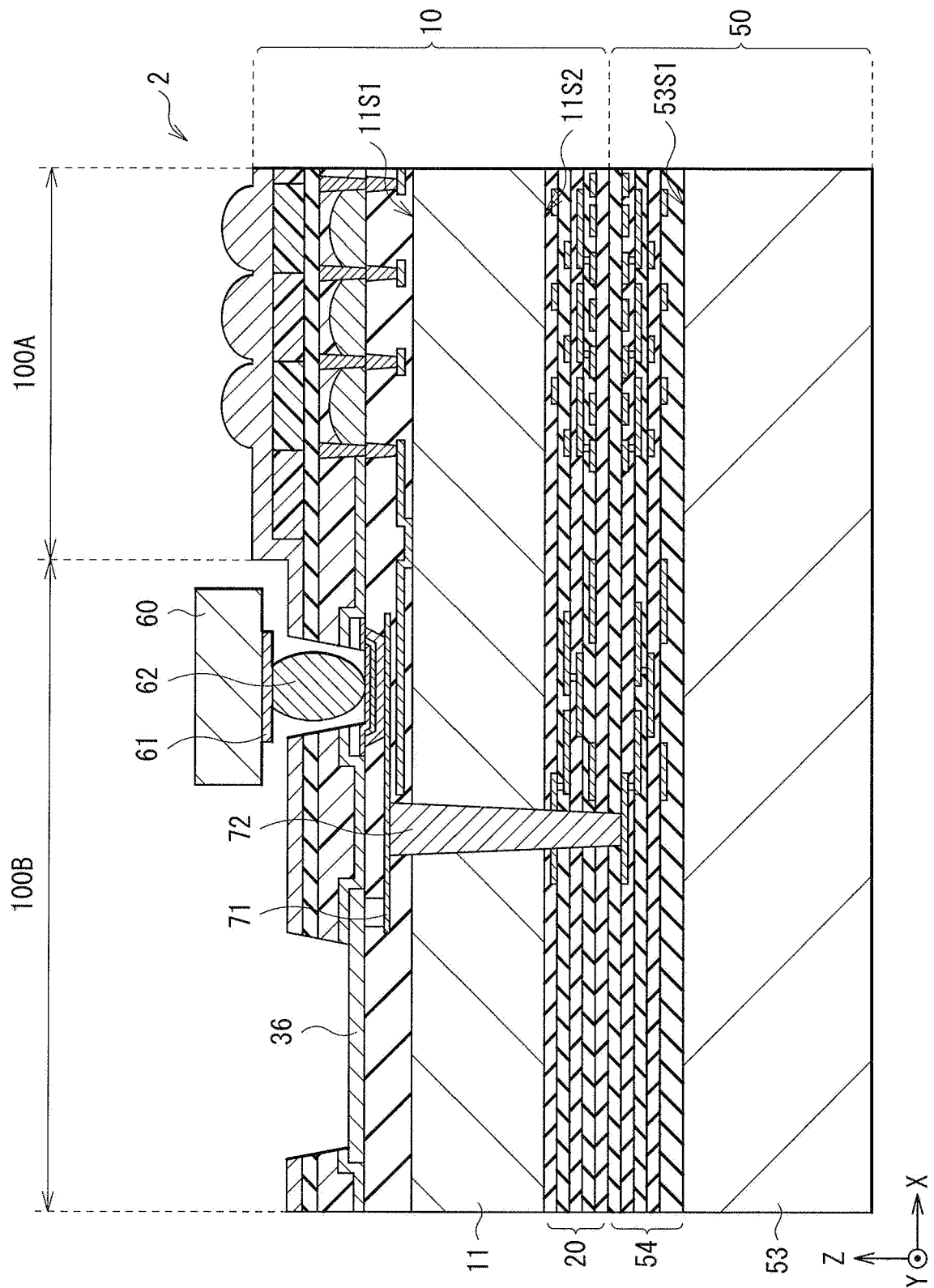
[図2G]



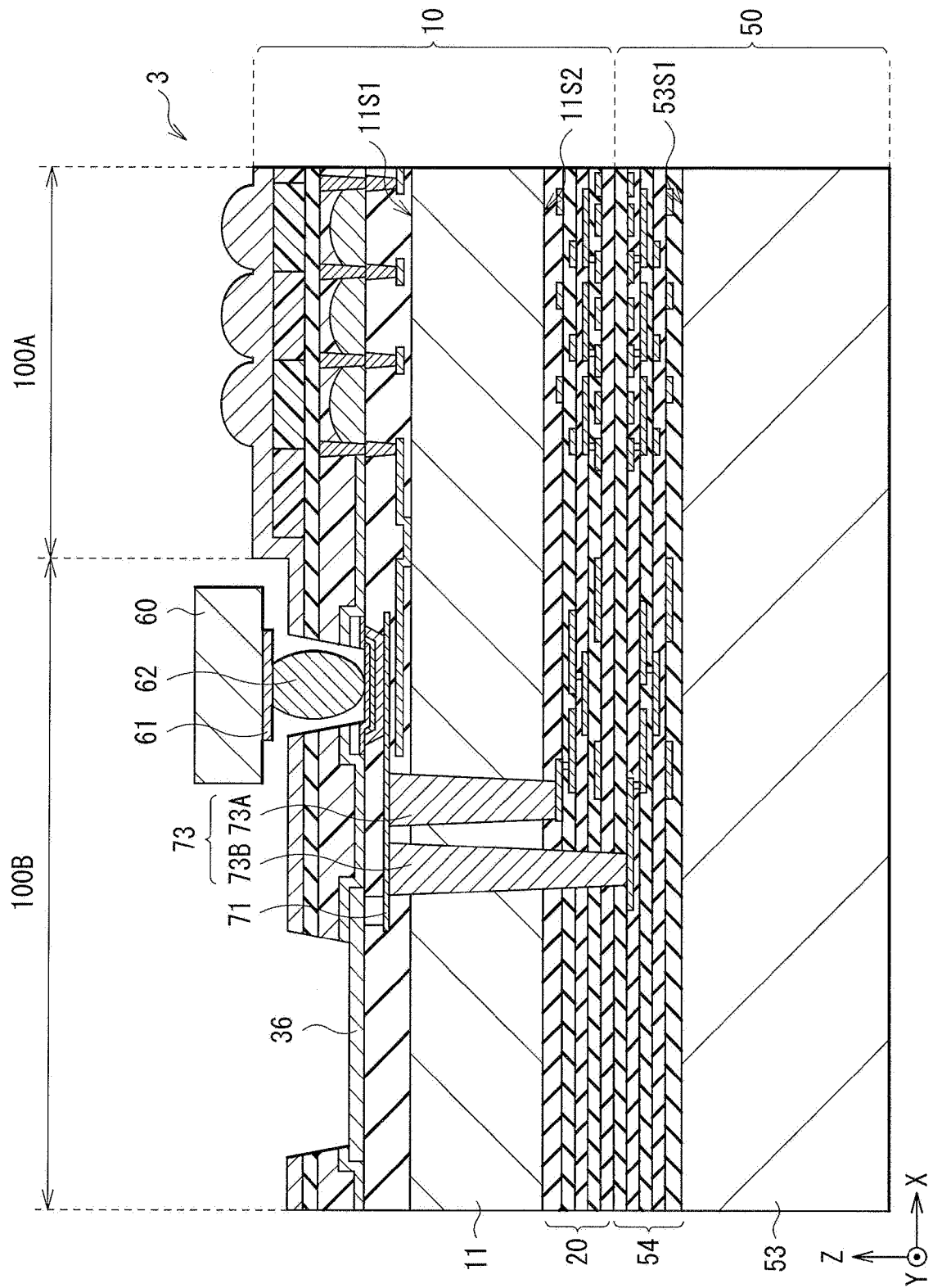
[図2H]



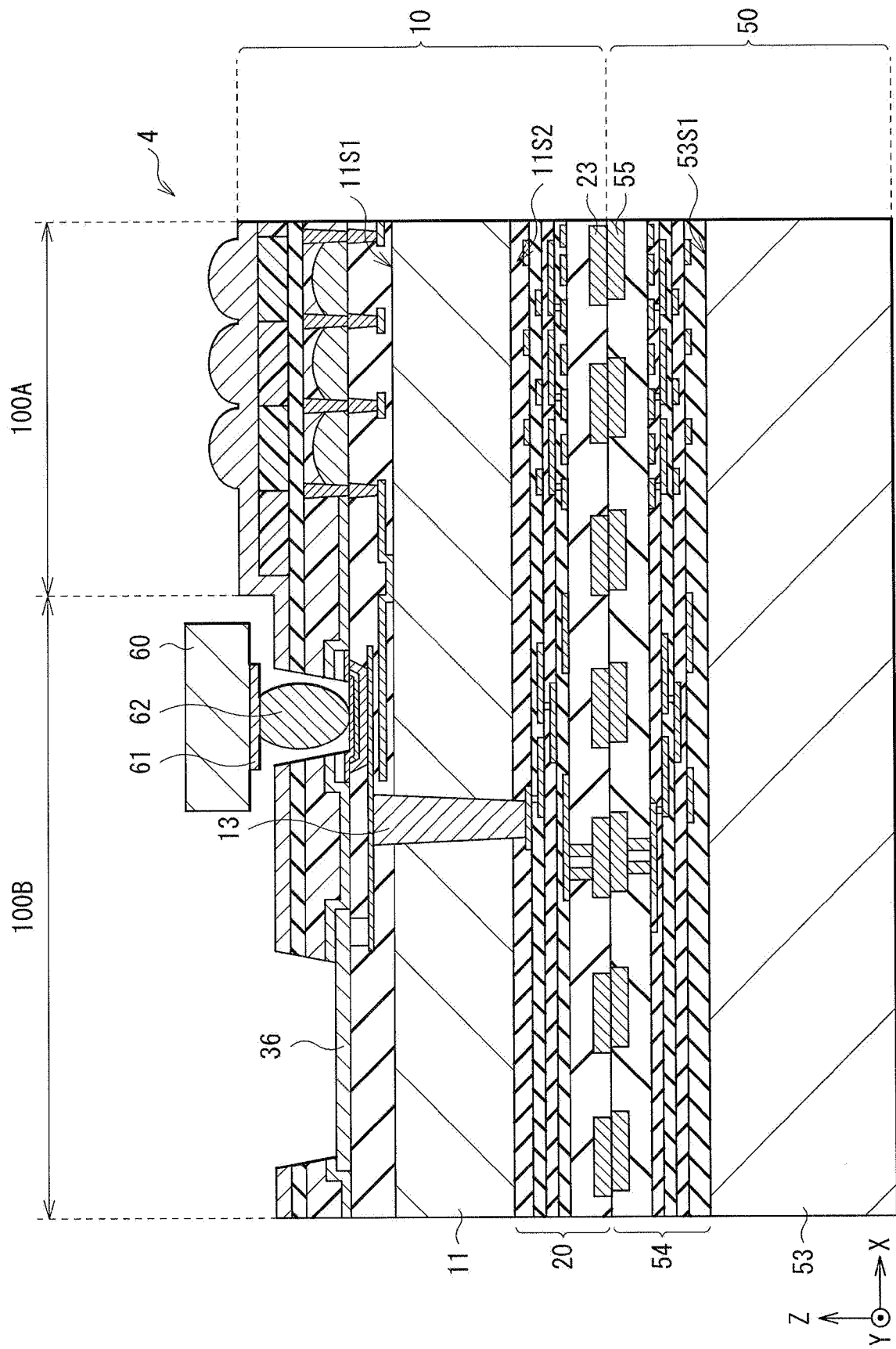
[図4]



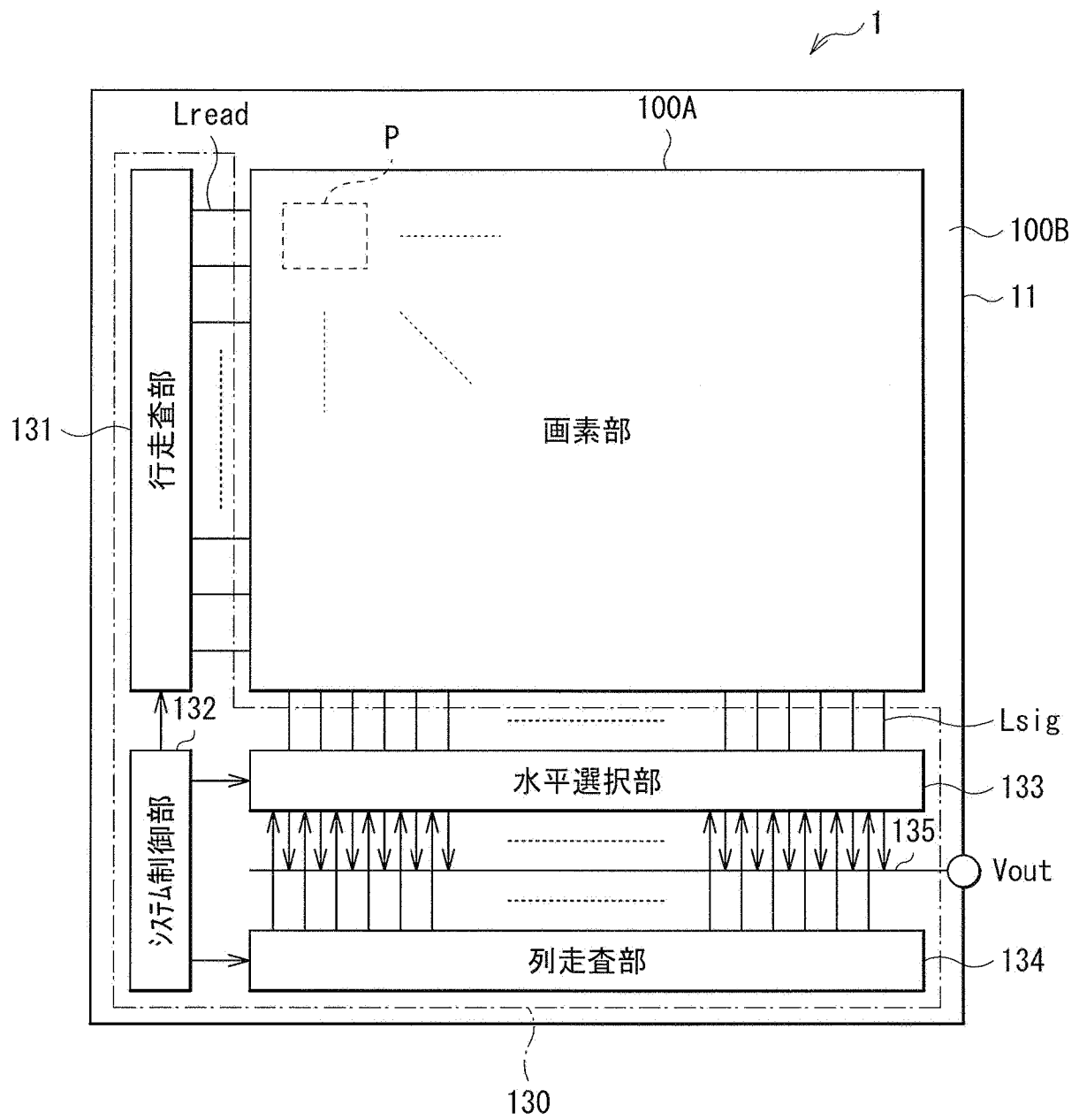
[図5]



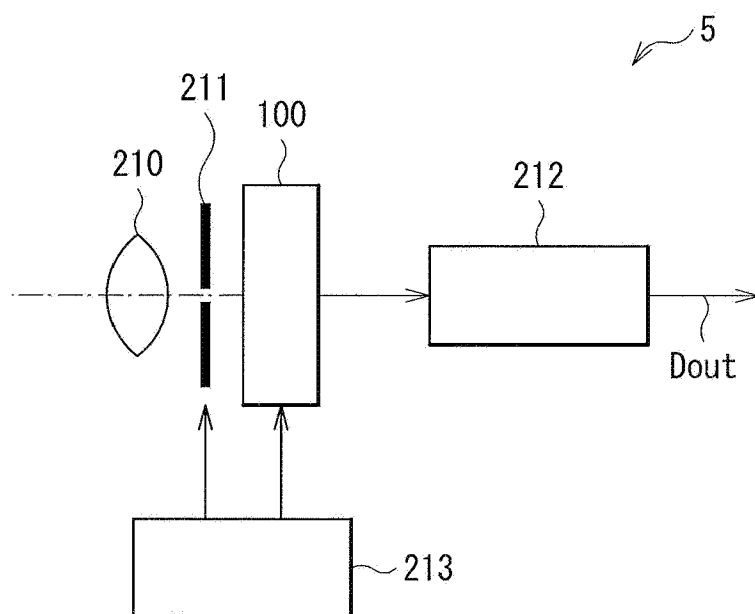
[図6]



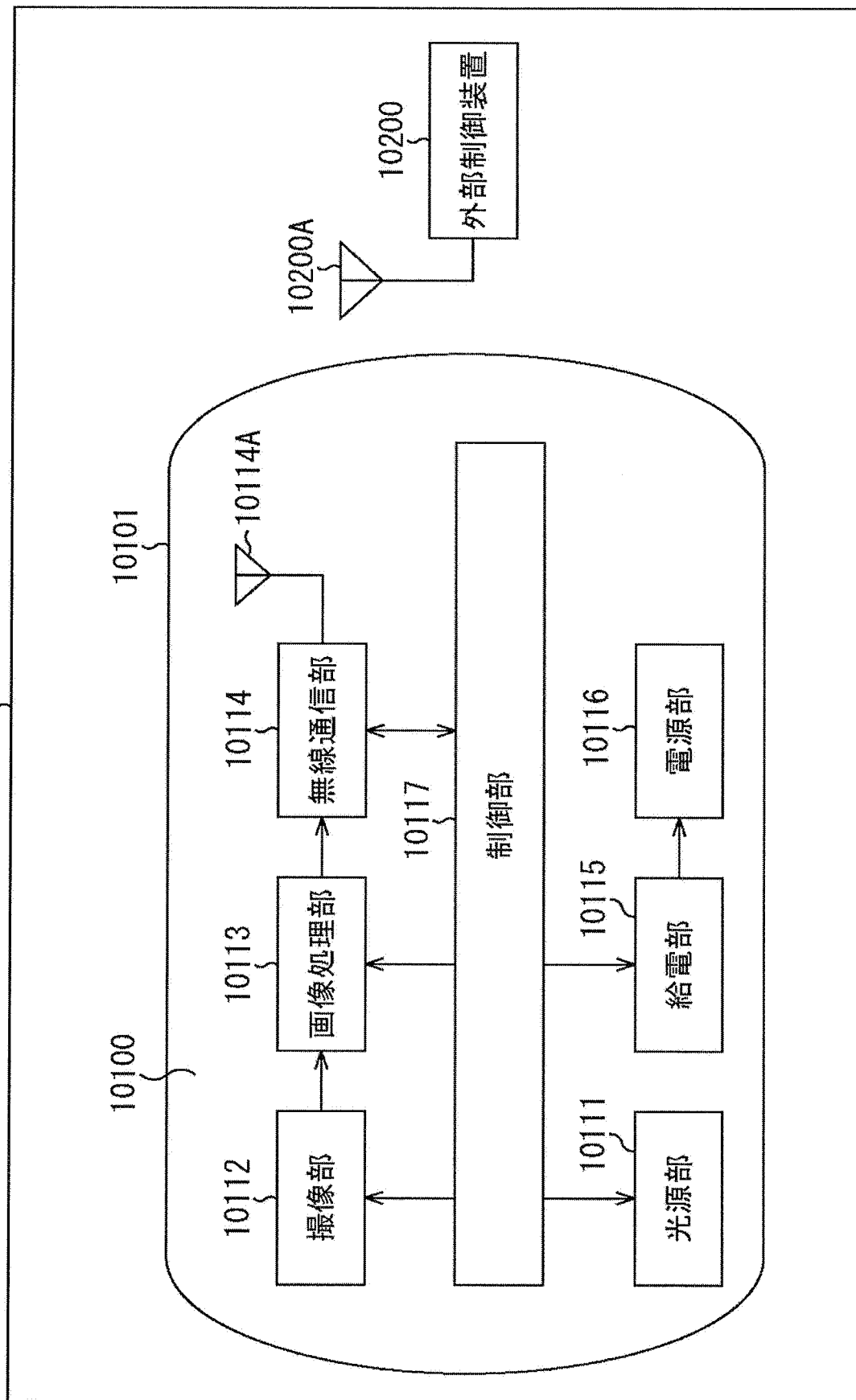
[図7]



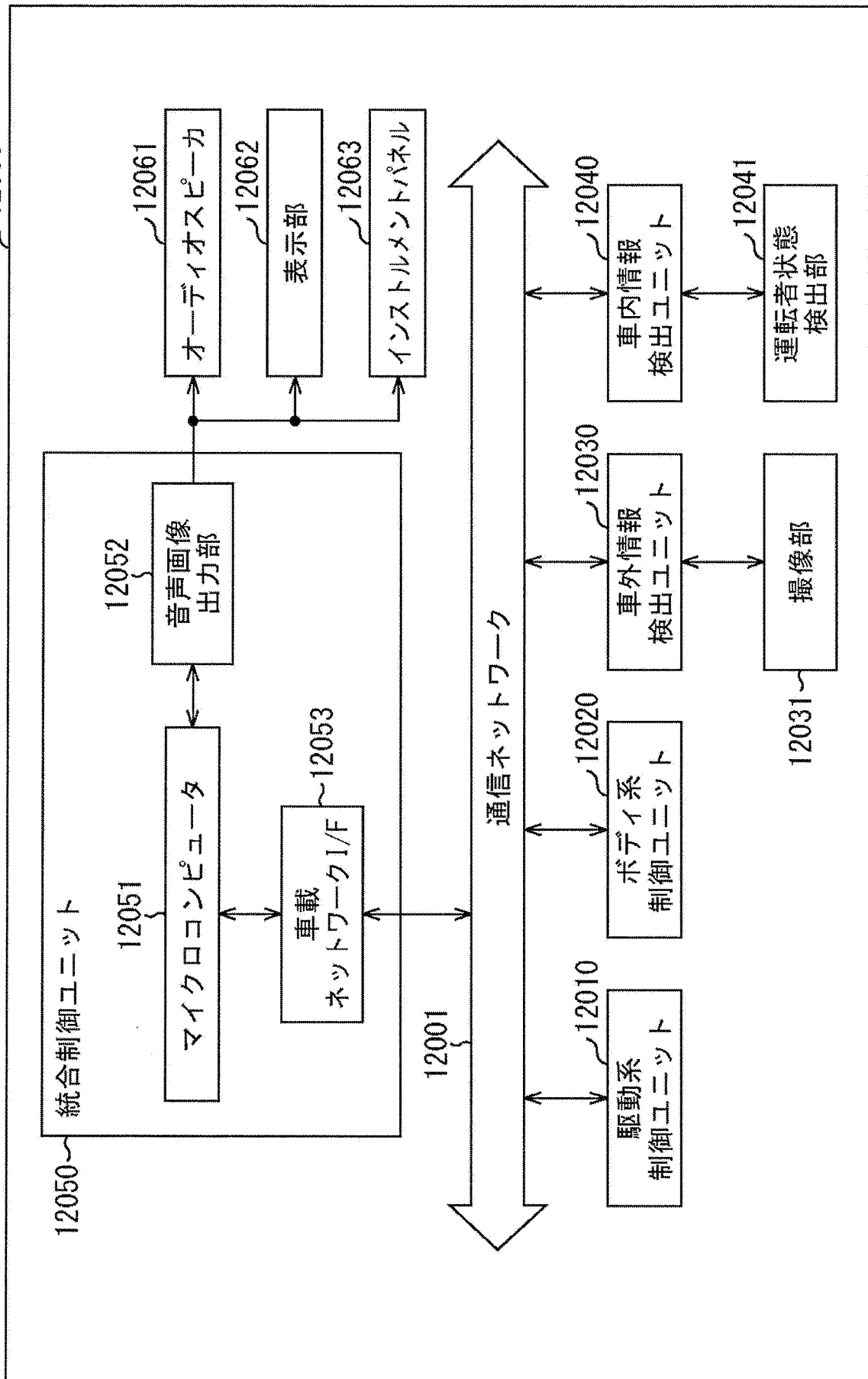
[図8]



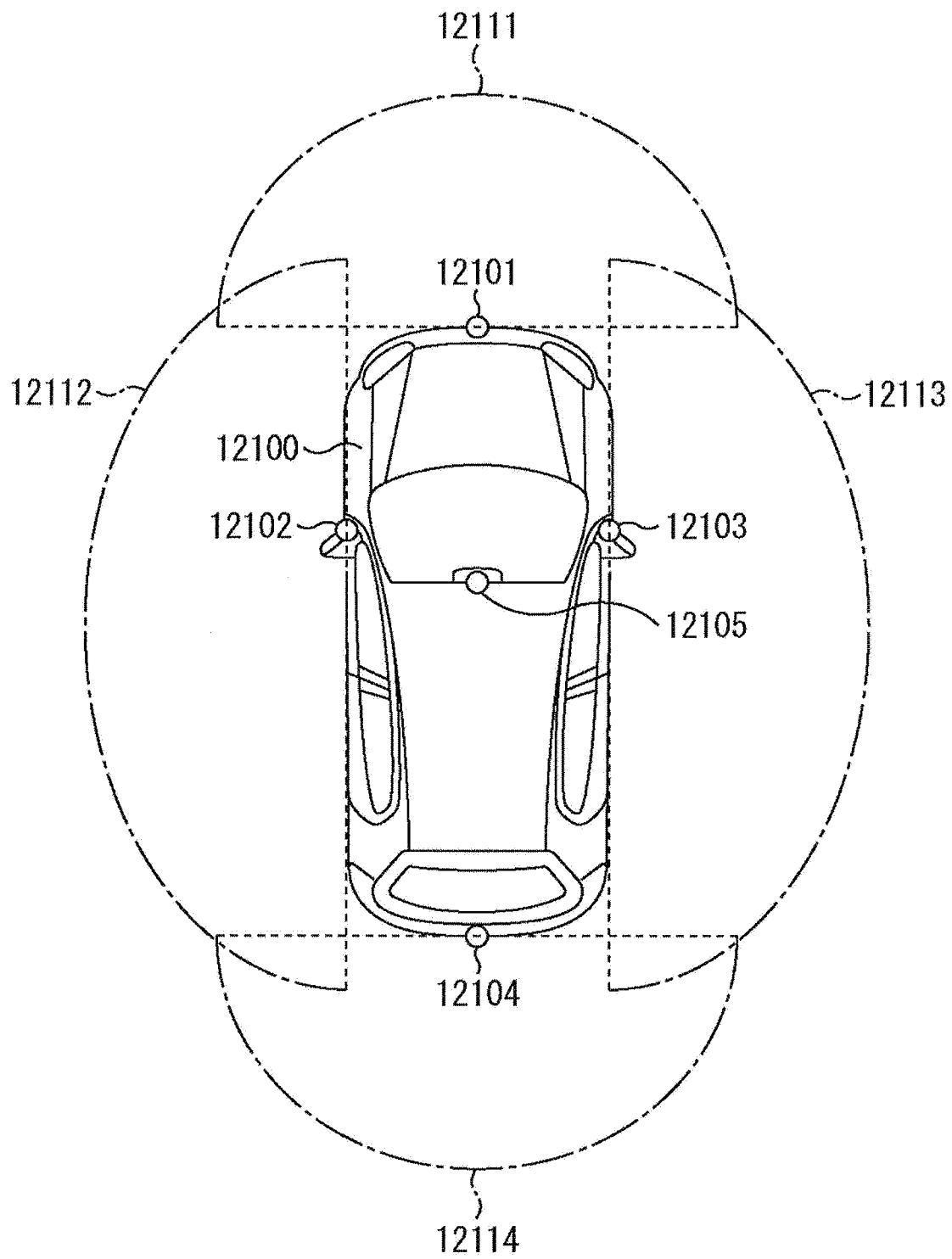
[図9]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/041068

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L27/146(2006.01)i, H01L21/3205(2006.01)i, H01L21/60(2006.01)i,
H01L21/768(2006.01)i, H01L23/522(2006.01)i, H04N5/369(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L27/146, H01L21/3205, H01L21/60, H01L21/768, H01L23/522,
H04N5/369

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2016-171297 A (SONY CORP.) 23 September 2016, paragraphs [0048]-[0111], fig. 2, 9 & US 2018/0166490 A1, paragraphs [0084]-[0150], fig. 2, 9 & WO 2016/143288 A1 & EP 3268990 A1 & TW 201633524 A & CN 107278328 A & KR 10-2017-0124538 A	1-4, 8-10 5-7



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
20 December 2019 (20.12.2019)

Date of mailing of the international search report
07 January 2020 (07.01.2020)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/041068

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2015-135938 A (SONY CORP.) 27 July 2015, paragraphs [0055]-[0118], fig. 5, 14 & US 2016/0284753 A1, paragraphs [0334]-[0408], fig. 5, 14 & EP 3084831 A1 & TW 201526219 A & CN 105593995 A & KR 10-2016-0100904 A	5-7
A	JP 2007-013089 A (SONY CORP.) 18 January 2007, paragraphs [0028]-[0032], fig. 1 & US 2006/0197007 A1, paragraphs [0116]-[0127], fig. 7 & KR 10-2006-0096924 A & CN 1838423 A	1-10

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L27/146(2006.01)i, H01L21/3205(2006.01)i, H01L21/60(2006.01)i, H01L21/768(2006.01)i,
H01L23/522(2006.01)i, H04N5/369(2011.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L27/146, H01L21/3205, H01L21/60, H01L21/768, H01L23/522, H04N5/369

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2016-171297 A（ソニー株式会社）2016.09.23, [0048]-[0111], 図2, 9 & US 2018/0166490 A1, [0084]-[0150], FIGS. 2, 9 & WO 2016/143288 A1 & EP 3268990 A1 & TW 201633524 A & CN 107278328 A & KR 10-2017-0124538 A	1-4, 8-10 5-7

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

20.12.2019

国際調査報告の発送日

07.01.2020

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

加藤 俊哉

5 F

9554

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2015-135938 A (ソニー株式会社) 2015. 07. 27, [0055]-[0118], 図 5, 14 & US 2016/0284753 A1, [0334]-[0408], FIGS. 5, 14 & EP 3084831 A1 & TW 201526219 A & CN 105593995 A & KR 10-2016-0100904 A	5-7
A	JP 2007-013089 A (ソニー株式会社) 2007. 01. 18, [0028]-[0032], 図 1 & US 2006/0197007 A1, [0116]-[0127], FIG. 7 & KR 10-2006-0096924 A & CN 1838423 A	1-10