

公告本

申請日期	85.9.16
案號	85-111317
類	Int.別C1 ⁶ 1+3K 3/02

A4
E4

321805

(以上各欄由本局填註)

發明專利說明書		
一、發明名稱	中文	昇壓脈沖產生電路
	英文	
二、發明人	姓名	飛田洋一
	國籍	日本
	住、居所	東京都千代田區丸之內二丁目2番3號
三、申請人	姓名 (名稱)	三菱電機股份有限公司
	國籍	日本
	住、居所 (事務所)	東京都千代田區丸之內二丁目2番3號
	代表人姓名	北岡 隆

裝
訂
線

經濟部中央標準局員工消費合作社印製

(由本局填寫)

承辦人代碼：
大類：
I P C分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權
日本 1995/12/11 特願平 07-321760

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明 (1)

本發明係有關於半導體積體電路，尤其是利用二極體連接 MOS 電晶體之臨限電壓的昇壓脈沖產生電路設計用之半導體積體電路。

近來，在移動式設備例如筆記型個人電腦、蜂巢式電話、個人手提電路等之廣泛及快速傳佈的情況下，小功率消費型之半導體積體電路的需求增加。最普及之達成小功率消費的方法為使用具有低電壓之功率源的半導體積體電路。然而當驅動具有低電壓之功率源的半導體積體電路時，有一缺點即由 MOS 電晶體之臨限電壓所導致之電壓降和電源電位之比率太大，且難以利用 MOS 電晶體之臨限電壓所導致之電壓降達到電位調整，其嚴重地影響電路之設計。

第 7 圖係習用昇壓脈沖產生電路的電路圖，例如日本新型公告 shou 61-166627 中所描述。第 7 圖中，參考電位節點 1 連接至接地電位 V_{SS} ；及參考電位節點 3 連接至電源電位 V_{CC} 。輸出節點 8 係用來產生昇壓脈沖 OUT 之端點及輸入節點 14 係用來接收自高位準至低位準變化之輸入信號之端點，如第 8(a)圖所繪示。在電源電位節點 3 和接地電位節點 1 之間反相器電路 2 包括連接之 P 通道 MOS 電晶體 17 及 N 通道 MOS 電晶體 18。反相器 2 之輸入端點 13 連接至輸入節點 14 及反相器 2 之輸出端點 4 經電容器 6 連接至節點 7。在電源電位節點 3 和節點 7 間，連接一二極體及在節點 7 和接地電位節點 1 之間，另一反相器電路 16 包括連接之 P 通道 MOS 電晶體 19 及 N 通道 MOS 電晶體

五、發明說明 (2)

20。反相器 16 之輸入端點連接至輸入節點 14 及反相器 16 之輸出端點連接至輸出節點 8。

第 7 圖之習用昇壓脈沖產生電路的操作參照第 8 圖之时序描述。當輸入信號 IN 為高位準時，P 通道 MOS 電晶體 17 關閉而 N 通道 MOS 電晶體 18 打開，反相器 2 之輸出為低位準。再者，因為 P 通道 MOS 電晶體關閉而 N 通道 MOS 電晶體 20 打開，反相器 16 之輸出維持低位準。此時，電容器 6 經二極體 5 及 N 通道 MOS 電晶體 18 自電源電位 V_{CC} 充電，且因此節點 4 之電壓電位為零且節點 7 之電壓電位 $V7$ 為下列方程式所示之電壓。

$$V7 = V_{CC} - V_f = V_{CC} - 0.7$$

其次，當輸入信號 IN 自高位準變至低位準時，P 通道 MOS 電晶體 17 打開且 N 通道 MOS 電晶體 18 關閉，節點 4 之電壓升至 V_{CC} 。因此，節點 7 之電壓電位 $V7$ 上升如下列方程式。

$$V7 = V_{CC} - V_f + V_{CC} = 2V_{CC} - V_f$$

同時，由於輸入信號 IN 之變化，P 通道 MOS 電晶體 19 打開且 N 通道 MOS 電晶體 20 關閉，節點 7 之電壓轉移至輸出節點 8。因此，節點 8 之電壓電位 $V8$ 由下列方程式表示。

$$V8 = V7 = 2V_{CC} - V_f$$

通常，用來執行此操作之電路稱為昇壓脈沖產生電路。然當使用低電壓電源如 1.5 至 2.0V 時，因為 MOS 電晶體之臨限電壓 $|V_{th}|$ 通常約 0.7V 左右，MOS 電晶體之電壓降占源電壓極大百分比，造成低效率。

(請先閱讀背面之注意事項再填寫本頁)

五、發明說明(3)

如上所述之習用之昇壓脈沖產生電路中，因此存在一問題，即，MOS電晶體的臨限電壓 $|V_{th}|$ 關於源電壓 V_{CC} 之百分比相當大，特別是在以低電壓電源動作時，且因此昇壓脈沖產生電路之性能非常差。

本發明係為了解決上述問題而產生，且本發明之目的係提供一種相關於源電壓之高性能的昇壓脈沖產生電路，特別是在以低電壓電源動作時。

本發明之另一目的係提供一種昇壓脈沖產生電路，其能快速地產生預定電位。

本發明之再一目的係提供一種昇壓脈沖產生電路，其能增加藉以驅動之電路之操作邊限。

根據本發明之特徵，昇壓脈沖產生電路包括：一第一反相器電路，在一第一電位節點和一第二電位節點間連接及接收該輸入信號；一第二反相器電路，在該第一電位節點和該第二電位節點間經一二極體連接之MOS電晶體連接及連接該輸入端點及一輸出端點；一電容器，其在一該第一反相器電路之輸出端點和一該二極體及第二反相器電路之連接節點之間連接；及其特徵在於：一該MOS電晶體之背閘係連接至其閘極。

圖式之簡單說明：

第1圖係本發明應用之DRAM的方塊圖。

第2圖係繪示本發明之MOS電晶體之臨限電壓相關於背閘和源極間之電壓的特性圖表。

第3圖係本發明之一實施例之昇壓脈沖產生電路的電

五、發明說明 (4)

路圖。

第 4 圖係本發明之 V_{BB} 產生電路的動作的時序圖。

第 5 圖係本發明之昇壓脈沖產生電路的修正例的電路圖。

第 6 圖係本發明之昇壓脈沖產生電路的動作的時序圖。

第 7 圖係已知之昇壓脈沖產生電路的電路圖。

第 8 圖係已知之昇壓脈沖產生電路的動作的時序圖。
較佳實施例之詳細敘述

第 1 圖係繪示本發明應用之 DRAM(動態隨機存取記憶體)100 的方塊圖，包括內部電位產生電路群 200、POR(Power On Reset 電源啟動重置)電路 210 及包括複數記憶體儲存單元配置在複數行列之記憶體儲存單元陣列(memory cell array)101。/RAS(列位址閃控 Row Address Strobe)緩衝器 110 接收自外部施加之外部/RAS 信號及輸出/RAS 信號至位址緩衝器 130；和/CAS(行位址閃控)緩衝器 120 接收自外部施加之外部/CAS 信號及輸出/CAS 信號至位址緩衝器 130。位址緩衝器 130 接收外部位址信號 ext $A_i(i=0,1,2,\dots)$ 及/RAS 信號，閃鎖外部位址信號 ext A_i ，輸出內部電路用之列位信號 RA_i 和 $\overline{RA_i}$ ，且接收外部位址信號 ext $A_i(i=0,1,2,\dots)$ 及/CAS 信號，閃鎖外部位址信號 ext A_i ，及輸出內部電路用之行位址信號 CA_i 和 $\overline{CA_i}$ 。

列解碼器數字 140 自位址緩衝器 130 接收列位址信號

(請先閱讀背面之注意事項再填寫本頁)

五、發明說明(5)

RAi 和 /RAi 且挑選對應的字元線；行解碼器 150 自位址緩衝器 130 接數 CAi 和 /CAi 信號且挑選對應的感測放大器及 I/O 電路 170，其放大數元線上讀出之記憶體儲存單元 101 之電位，且轉移數元線上讀出之記憶體儲存單元 101 之資料。數字 160 標示字元驅動器，其用來升壓列解碼器 140 挑選之字元線的電位；180 標示讀寫控制電路，其接收自外部施加之寫入致能信號 ext/WE 及輸出致能信號 ext/OE，且輸出用來控制內部電路之讀寫的信號 WO；及 190 標示 I/O 緩衝器，其自讀寫控制電路 180 接收信號 WO，寫入時自外部施加之資料 ext Din 經過資料線轉移至感測放大器及 I/O 電路 170，且讀出資料 ext Dout 時自記憶體儲存單元讀出資料經過感測放大器及 I/O 電路 170 和資料線輸出至 I/O 接腳。

第 3 圖係本發明之較佳實施例之昇壓脈沖產生電路 194 之概略圖，及第 4 圖係其操作之時序圖。第 3 圖內，昇壓脈沖產生電路不同于第 7 圖所示之習用使用二極體，其以二極體連接 MOS 電晶體 15 代替，其中該 MOS 電晶體之背閘係連接至其閘極。MOS 電晶體可以是 P 通道 MOS 電晶體或 N 通道 MOS 電晶體。

背閘連接至閘極的 MOS 電晶體之臨限電壓將在下文參照第 2 圖描述。第 2 圖概略地繪示 MOS 電晶體之臨限電壓 V_{th} 的升降相關於背閘和 MOS 電晶體之源閘之電位差 V_{BS} 的圖表。且電位差示于下列表示式(1)。

$$V_{th} = V_0 + K [(2\phi_F + V_{BS})^{1/2} - (2\phi_F)^{1/2}] \quad (1)$$

五、發明說明(6)

其中： V_{BS} 代表背閘電壓(在源電壓的基礎上)， K 代表基板效應常數，及 ϕ_F 代表基板表面電位，及 V_O 代表當 $V_{BS}=0V$ 時之臨限電壓。

在第 2 圖之圖表中，(d)代表一點，該點背閘及 MOS 之源間之電位差 V_{BS} 和 MOS 電晶體之臨限電壓 V_{th} 相等。如第 3 圖所明示者，因為 $V_{BS}=V_{th}$ ，在習知 $V_{BS}=-1.5V$ 有可能減少其臨限電壓自 $0.7V$ 至 $0.25V$ ，在 $V_{BS}=0V$ 因 V_{BS} 和 V_{th} 相等其較在 MOS 電晶體之臨限電壓 $0.35V$ 少 $0.01V$ 。由連接背閘和 MOS 電晶體之閘極可得到 $V_{BS}=V_{th}$ 。下列之敘述中，為了區別， $|V_{th0}|$ 指在連接背閘和閘極時，MOS 電晶體之臨限電壓的絕對值，而 $|V_{th}|$ 指 $V_{BS0}=-1.5V$ 的習知臨限電壓。

第 3 圖所繪示之昇壓脈沖產生電路的動作請參照第 4 圖之時序圖。第 4 圖中，(a)指輸入信號 IN 之電位的變動，(b)指節點 7 的電位的變動及(c)指第 3 圖所示之昇壓脈沖產生電路的輸出節點 8 的昇壓輸出 OUT 的變動。

首先，當輸入信號 IN 自 V_{SS} 位準升至 V_{CC} 位準時反相器電路 2 和 16 之操作和習知相同，但由於臨限電壓值之差，節點 7 和輸出節點 8 之電壓電位分別和習知不同，即，產生帶有大電壓振幅之昇壓脈沖。

第 5 圖繪示第 1 圖之輸入/輸出緩衝器 190 之詳細電路圖，其中包括昇壓脈沖產生電路。第 6 圖係此電路之操作的時序圖。第 5 圖中，輸入/輸出緩衝器 190 包括輸出緩衝器 196 及輸入緩衝器 197，輸出緩衝器 196 傳遞輸出資料

五、發明說明(7)

至資料輸入/輸出節點 N4，其和自記憶體儲存單元陣列 101 之記憶體儲存單元讀出之讀取資料對應，然後輸入至輸入節點 190C，及輸入緩衝器 197 傳遞寫入記憶體儲存單元陣列 101 之記憶體儲存單元之寫入資料至節點 190C，其和輸入至資料輸入/輸出節點 N4 之輸入對應。

輸出緩衝器 196 包括 N 通道 MOS 電晶體 195n1，其在電源電位節點 190a 和資料輸入/輸出節點 N4 間連接，及另一 N 通道 MOS 電晶體 195n2，其在資料輸入/輸出節點 N4 及接地電位節點 190b 之間連接。輸出緩衝器 196 更包括資料輸出控制電路 191、192 及昇壓脈沖產生電路 194。在資料輸出控制電路 191 內，對應自記憶體陣列內之記憶體儲存單元讀出之讀取資料及自寫入/讀取控制電路 180 之寫入/讀取控制信號 WO，當寫入/讀取控制信號 WO 在 H 位準上表示讀取時，如果讀取資料為二進位位準之 H 位準，N 通道 MOS 電晶體 195n2 變成不導電，如果讀取資料繼續在二進位位準之 L 位準，N 通道 MOS 電晶體 195n2 變成導電。另一方面，當寫入/讀取控制信號 WO 在 L 位準上表示寫入，N 通道 MOS 電晶體 195n2 不考慮讀取資料不導電。上述之資料輸出電路 191 包括邏輯電路 191a。

在資料輸出控制電路 192 內，對應自記憶體陣列內之記憶體儲存單元讀出之讀取資料及自寫入/讀取控制電路 180 之寫入/讀取控制信號 WO，當寫入/讀取控制信號 WO 在 H 位準上表示讀取時，如果讀取資料為二進位位準之 L 位準資料輸出控制信號輸出至節點 N1，所以 N 通道 MOS

五、發明說明(8)

電晶體 195n2 不導電，如果讀取資料繼續在二進位位準之 H 位準，資料輸出控制信號輸出至節點 N1，所以 195n2 導電。另一方面，當寫入/讀取控制信號 WO 在 L 位準上表示寫入，資料輸出控制信號輸出至節點 1，所以 N 通道 MOS 電晶體 195n2 不考慮讀取資料不導電。上述之資料電位電路 192 包括邏輯電路 192a，用來產生資料輸出控制信號至節點 N1，其和寫入/讀取控制信號 WO 及讀取資料對應。

再者，昇壓信號產生電路 194 接收自資料輸出控制電路 192 之資料輸出控制信號，且其中當資料輸出控制信號指示 N 通道 MOS 電晶體 195n1 導電時，N 通道 MOS 電晶體 195n1 之閘極電位上升高于電源電位 V_{CC} 施加至電源電位節點 190a 至，N 通道 MOS 電晶體 195n 藉以導電；當資料輸出控制信號指示 N 通道 MOS 電晶體 195n1 不導電時，N 通道 MOS 電晶體 195n1 之閘極電位降至接地電位 V_{SS} ，電晶體 195n1 藉以不導電。

昇壓信號產生電路 194 包括反轉電路 192b、N 通道 MOS 電晶體 194n2、昇壓電容器 194c、P 通道 MOS 電晶體 194p1 及 N 通道 MOS 電晶體 194n1。上述之反轉電路 192b 包括：反相器 192ba，用來反相自資料輸出控制電路 192 輸出之資料輸出控制信號，及延遲電路 192bb。上述之 N 通道 MOS 電晶體 194n2 在電源電位節點 190a 和昇壓節點 194q 之間二極體連接，俾自電源電位節點 190a 至昇壓節點 194q 順向配置，且其中該 MOS 電晶體之背閘係連接至其閘極。上述之昇壓電容器 194c 中，一電極連接至昇壓節

五、發明說明(9)

點 194q，且當自資料輸出控制電路 192 輸出之資料輸出控制信號指示 N 通道 MOS 電晶體 195nl 導電時，自反轉電路 192b 至節點 N2 輸出之資料輸出控制信號之反轉及延遲信號由于電容耦合昇壓昇壓節點 194q 之電位。上述之 P 通道 MOS 電晶體 194pl 在昇壓節點 194q 和 N 通道 MOS 電晶體 195nl 之間極間連接，且當自資料輸出控制電路 192 至節點 N1 輸出之資料輸出控制信號指示 N 通道 MOS 電晶體 195nl 導電時則開路，而當自資料輸出控制電路 192 至節點 N1 輸出之資料輸出控制信號指示 N 通道 MOS 電晶體 195nl 不導電時則不導電。上述之 N 通道 MOS 電晶體 194nl 在 N 通道 MOS 電晶體 195nl 之間極和接地電位節點 190b 之間連接，且當自資料輸出控制信號 192 至節點 N1 輸出之資料輸出控制信號指示 N 通道 MOS 電晶體 195nl 導電時則閉路，而當自資料輸出控制電路 192 至節點 N1 輸出之資料輸出控制信號指示 N 通道 MOS 電晶體 195nl 不導電時則導電。

接著，以下參照第 6 圖之時序圖描述第 5 圖之昇壓脈沖產生電路的操作。第 6 圖中，(a)繪示當出現在輸入節點 190c 之讀取資料在 H 位準時之電位 N190c 變動；(b)繪示寫入/讀取控制信號 WO 之電位變動；(c)繪示資料輸出電路 192 之輸出節點 N1 之電位變動；(d)繪示昇壓脈沖產生電路 194 之輸出節點 N3 之電位變動；(e)繪示昇壓節點 194q 之電位 N194q 變動；及(f)繪示資料輸入/輸出節點 N4 之電位變動。

五、發明說明(10)

當自節點 N4 之讀取資料在二進位位準之 H 位準時昇壓脈沖產生電路顯出一優點。當自記憶體儲存單元陣列 101 之記憶體儲存單元讀取之讀取資料在二進位位準之 H 位準時如第 6(a)圖所示及自讀寫控制電路 180 之寫入/讀取控制信號 WO 在 H 位準表示讀取如第 6(b)圖所示，自資料輸出控制電路 192 之節點 N1 之電位自高位準降至低位準。因此，此時 N 通道 MOS 電晶體 195nl 之閘極之節點 N3 之電位升至節點 194q 之電位位準，即，至 $V_{CC} - |V_{th0}|$ 。

以此方式，N 通道 MOS 電晶體 195nl 係導通，如第 6(f)圖所繪，因為節點 N3 之電位位準為 $V_{CC} - |V_{th0}|$ ，其中節點 N4 之位準將自高阻抗狀態升至 H 位準之電位位準限制在 $V_{CC} - |V_{th0}| - |V_{th}|$ 。因此，當節點 N1 之電位變動由反轉電路 192b 反相時，延遲及傳輸至節點 N3，由于如第 6(e)圖所示之昇壓電容器 194c 之電容耦合，節點 194q 之電位更自預充電電位 $V_{CC} - |V_{th}|$ 昇壓。此昇壓電位然後經第 6(d)圖所示之 P 通道 MOS 電晶體 194p1 傳輸至節點 N3，且隨著節點 N3 上之電位的上升，輸出節點 N4 之電位上升至 V_{CC} ，如第 6(f)圖所繪。除非配置昇壓脈沖產生電路 194，電位上升限制在 $V_{CC} - |V_{th0}| - |V_{th}|$ ，如第 6(f)圖之點線所繪示。

上述配置之昇壓脈沖產生電路中，對應源電壓能執行有效的昇壓脈沖。最好使用二極體連接之 P 通道 MOS 電晶體，俾自電源電位節點 194a 至第一連接節點 194q 順向配置且其中該 MOS 電晶體之背閘係連接至其閘極，代替上述

五、發明說明(11)

之昇壓脈沖產生電路之 N 通道 MOS 電晶體 194n2。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

四、中文發明摘要（發明之名稱：昇壓脈沖產生電路）

一種昇壓脈沖產生電路，包括：一第一反相器電路，在一第一電位節點和一第二電位節點間連接及接收該輸入信號；一第二反相器電路，在該第一電位節點和該第二電位節點間經一二極體連接之 MOS 電晶體連接及連接該輸入端點及一輸出端點；一電容器，其在一該第一反相器電路之輸出端點和一該二極體及第二反相器電路之連接節點之間連接；及其特徵在於：一該 MOS 電晶體之背閘係連接至其閘極。

英文發明摘要（發明之名稱：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

六、申請專利範圍

1.一種昇壓脈沖產生電路，包括：

一輸入端點，接收一輸入信號；

一第一反相器電路，在一第一電位節點和一第二電位節點間連接及接收該輸入信號；

一第二反相器電路，在該第一電位節點和該第二電位節點間經一二極體連接之 MOS 電晶體連接及連接該輸入端點及一輸出端點；

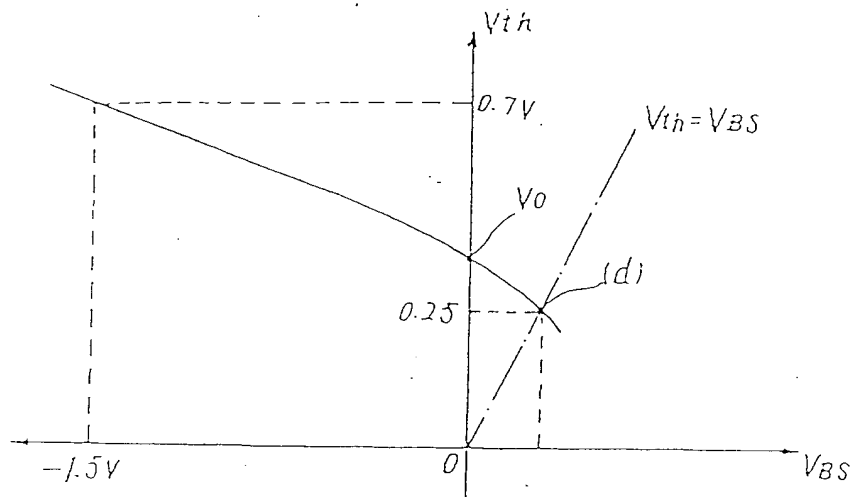
一電容器，其在一該第一反相器電路之輸出端點和一該二極體及第二反相器電路之連接節點之間連接；及其特徵在於：

一該 MOS 電晶體之背閘係連接至其閘極。

2.如申請專利範圍第 1 項所述之昇壓脈沖產生電路，該 MOS 電晶體係一 P 通道 MOS 電晶體。

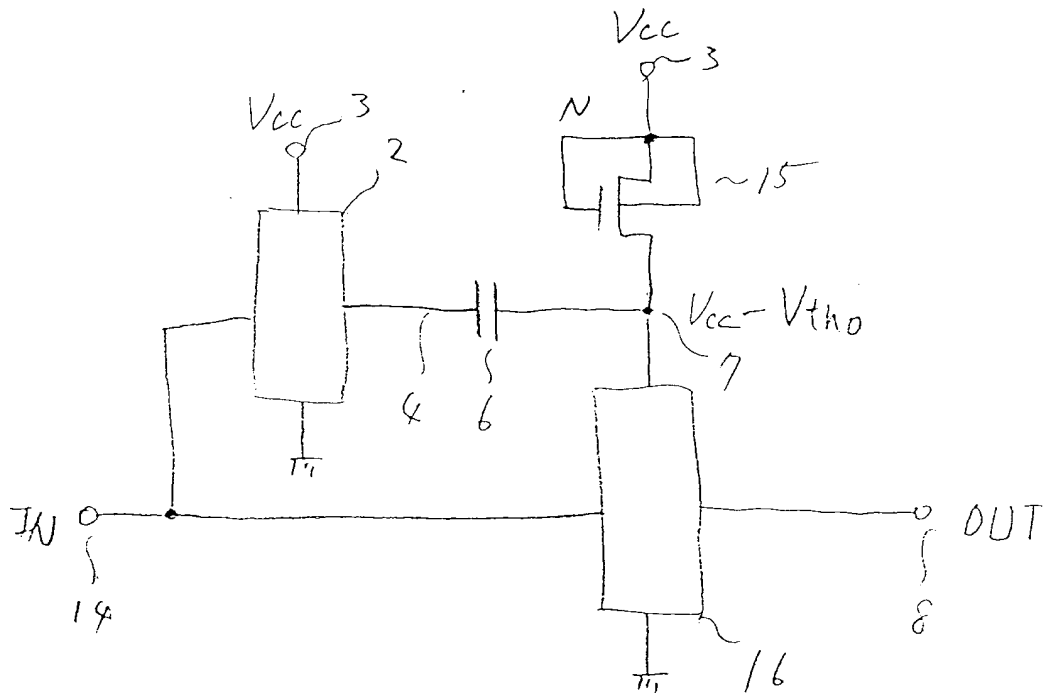
3.如申請專利範圍第 1 項所述之昇壓脈沖產生電路，該 MOS 電晶體係一 N 通道 MOS 電晶體。

第 1 圖

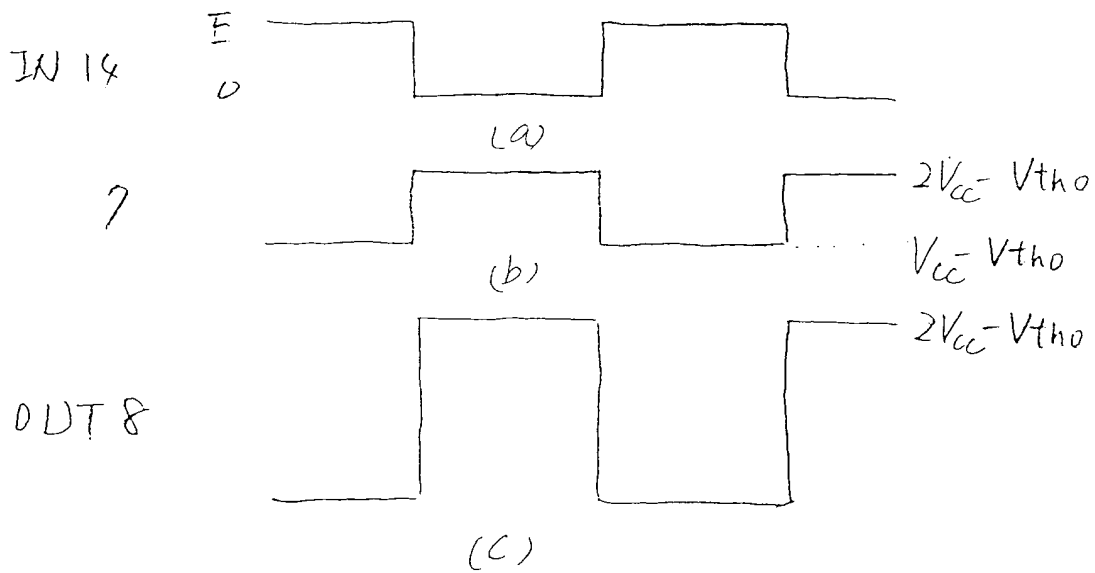


$$V_{th} = V_0 + K(\sqrt{2\phi_F + V_{BS}} - \sqrt{2\phi_F})$$

第 2 圖

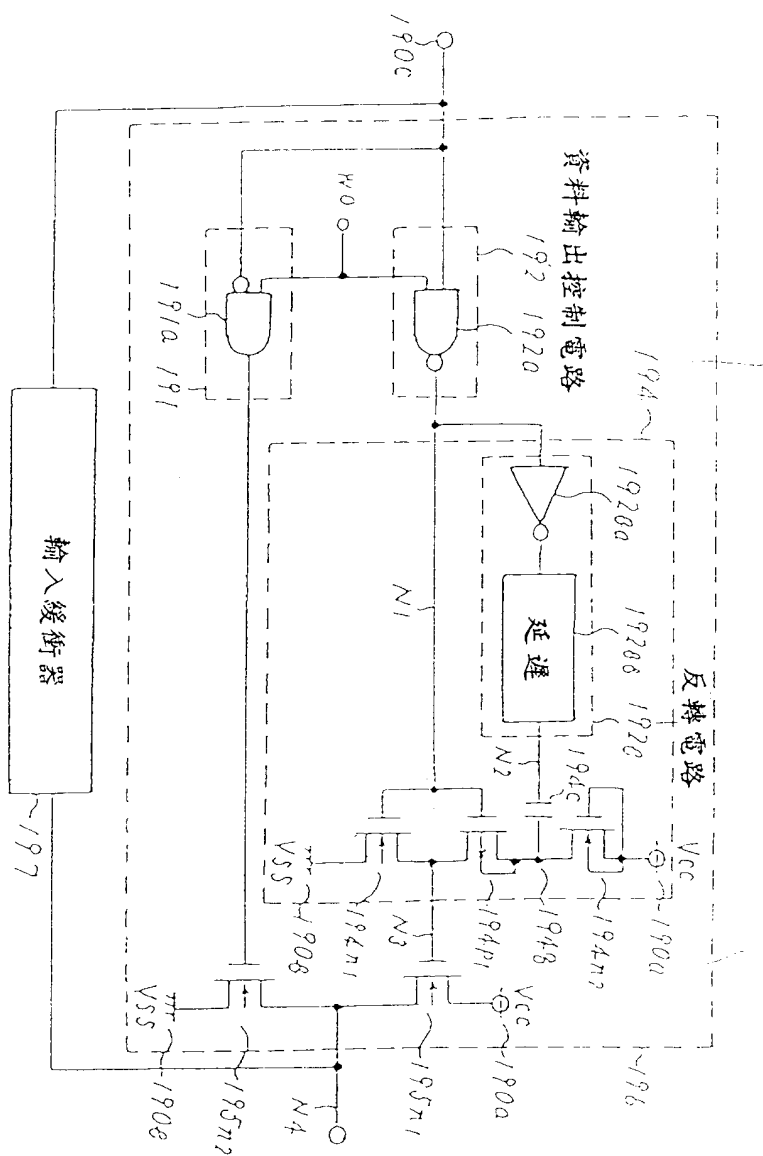


第 3 圖



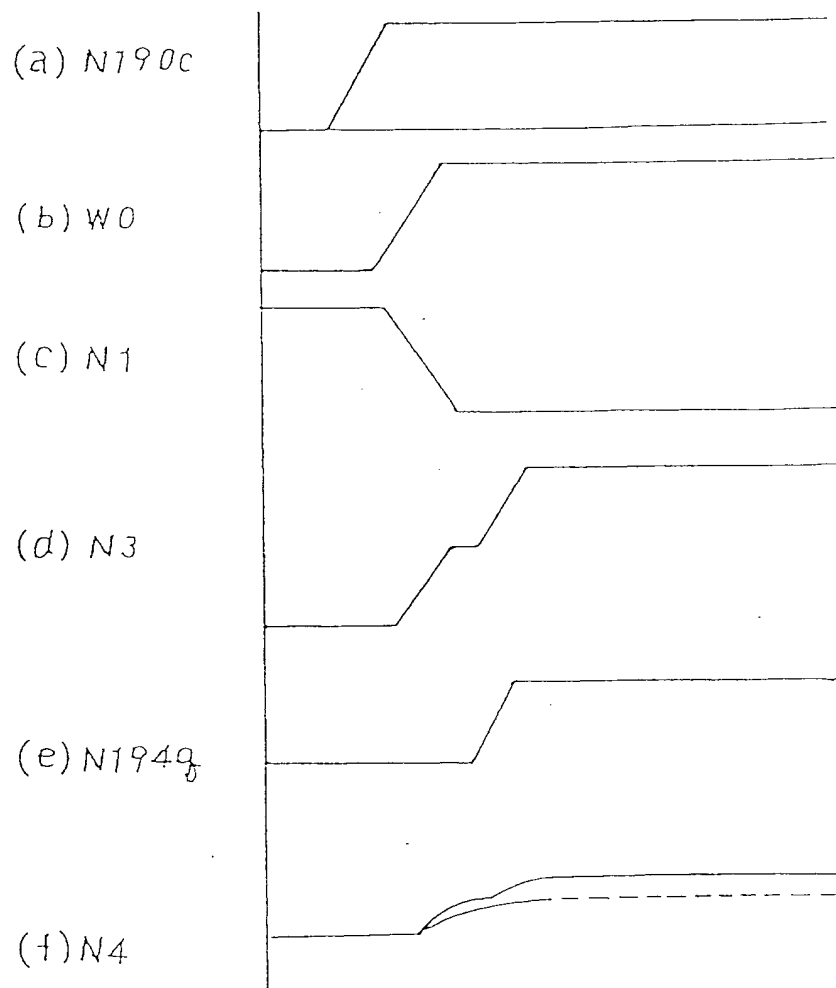
第 4 圖

昇壓信號產生電路

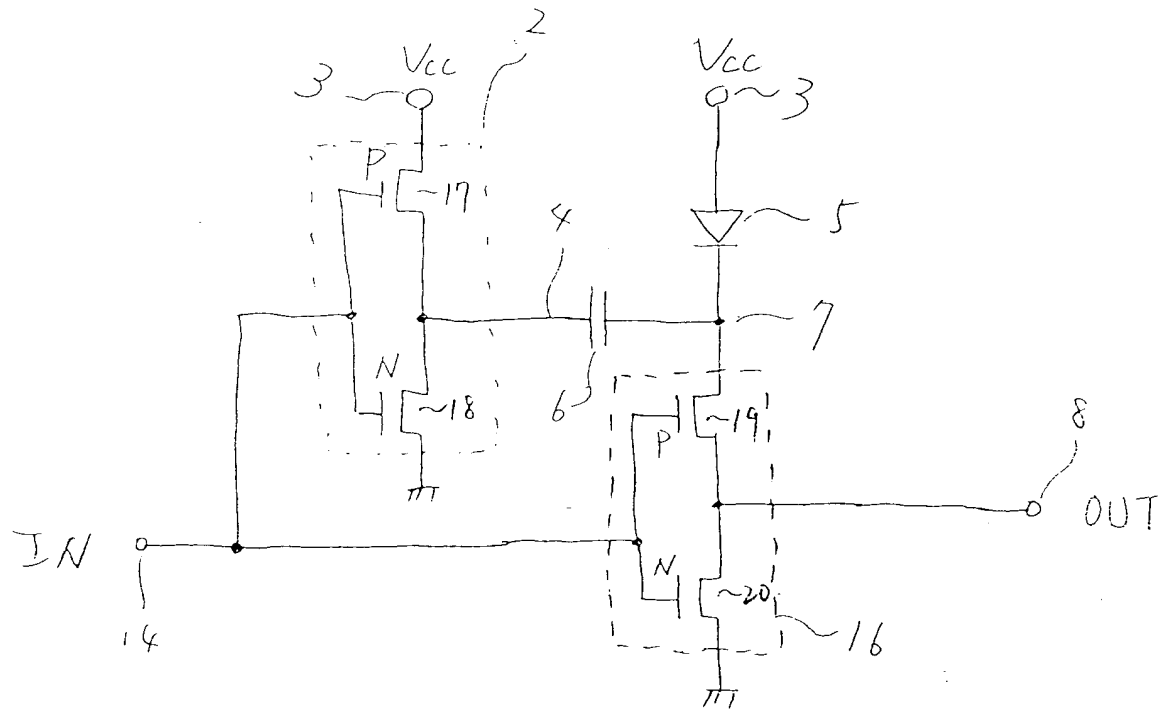


第 5 圖

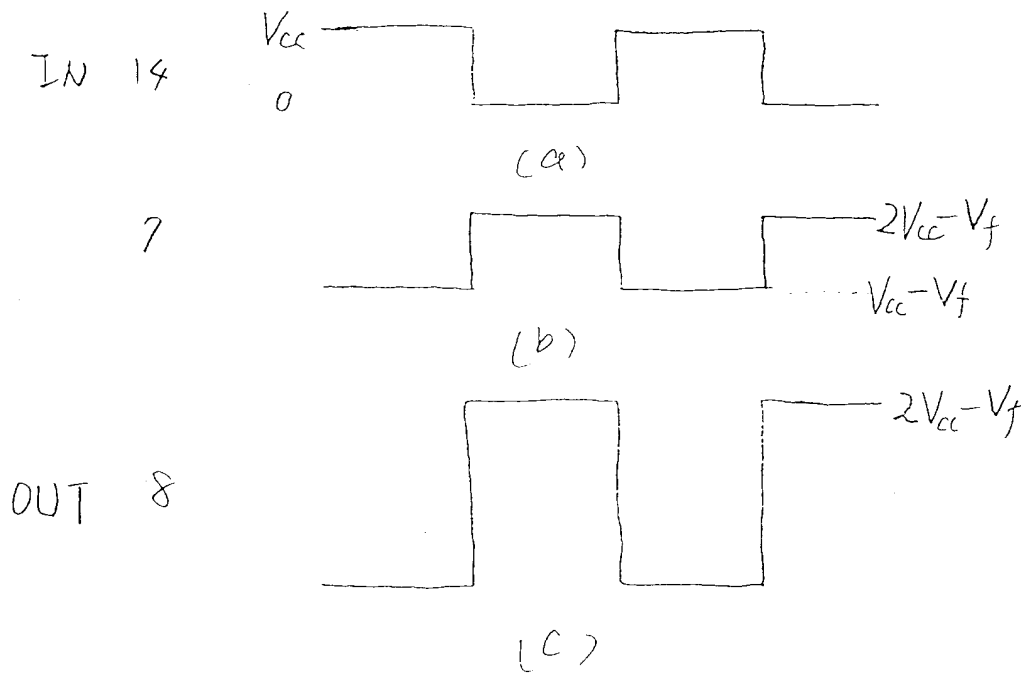
190



第 6 圖



第 7 圖



第 8 圖