

(19) 대한민국특허청(KR) (12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H01L 27/04	(45) 공고일자 1999년06월 15일
	(11) 등록번호 10-0201719
	(24) 등록일자 1999년03월 16일
(21) 출원번호 10-1995-0021531	(65) 공개번호 특 1996-0005995
(22) 출원일자 1995년07월21일	(43) 공개일자 1996년02월23일
(30) 우선권 주장 94-169639 1994년07월21일 일본(JP)	
(73) 특허권자 가부시끼가이샤 도시바 일본국 가나가와현 가와사키시 사이와이구 호리가와쵸 72반지	
(72) 발명자 소메야 타다시 일본국 가나가와현 가와사키시 사이와이구 호리가와쵸 580번 1호 가부시끼가 이샤 도시바 반도체시스템기술센터내 마스다 마사미 일본국 가나가와현 가와사키시 사이와이구 호리가와쵸 580번 1호 가부시끼가 이샤 도시바 반도체시스템기술센터내	
(74) 대리인 김윤배, 이세진	

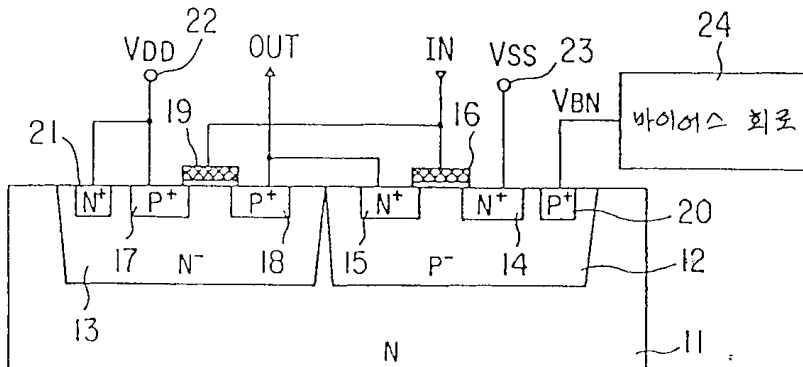
심사관 : 정해근

(54) 래치업 방지회로를 갖춘 반도체 집적회로

요약

본 발명의 반도체 집적회로는, 제1도전형의 제1웰영역과 제2도전형의 제2웰영역이 형성되어 있는 반도체 기판을 갖추고 있다. 제1전원단자는 제1전위를 공급하고, 제2전원단자는 제2전위를 공급한다. 제1MOS트랜지스터는 상기 제1웰영역에 형성되고, 상기 제1전원단자에 접속되는 소오스/드레인영역을 갖추고 있다. 또, 제2MOS트랜지스터는 상기 제2웰영역에 형성되고, 상기 제2전원단자에 접속되는 소오스/드레인영역을 갖추고 있다. 제1바이어스회로는 상기 제2웰영역에 바이어스전위를 공급하고, 접속회로는 상기 제2전원단자와 상기 제2웰영역을 선택적으로 접속한다.

대표도



명세서

[발명의 명칭]

래치업 방지회로를 갖춘 반도체 집적회로

[도면의 간단한 설명]

제1도는 종래의 CMOS 인버터회로를 나타낸 도면.

제2도는 기판전위와 기생용량과의 관계를 나타낸 도면.

제3도는 제1도의 바이어스회로의 일례를 나타낸 회로도.

제4도(a)~(c)는 제3도의 바이어스회로의 주요 노드의 파형을 나타낸 파형도.

제5도는 전원투입후의 기판전위의 변화를 나타낸 도면.

제6도는 제1도의 인버터회로에 있어서 기생 트랜지스터를 나타낸 도면.
 제7도는 제6도의 등가회로를 나타낸 도면.
 제8도는 본 발명의 제1실시예에 따른 반도체 집적회로를 나타낸 도면.
 제9도는 제8도의 반도체 집적회로의 X부분을 상세하게 나타낸 회로도.
 제10도는 제8도의 반도체 집적회로의 동작을 나타낸 그래프.
 제11도는 본 발명이 제2실시예에 따른 반도체 집적회로를 나타낸 도면.
 제12도는 제11도의 반도체 집적회로의 X'부분을 상세하게 나타낸 회로도.
 제13도는 제11도의 반도체 집적회로의 N형 웰영역에 공급되는 전위의 변화를 나타낸 도면.
 제14도는 종래의 반도체 집적회로의 N형 웰영역에 공급되는 전위의 변화를 나타낸 도면.
 제15도는 본 발명의 제3실시예에 따른 반도체 집적회로를 나타낸 도면.
 제16도는 본 발명의 제4실시예에 따른 반도체 집적회로를 나타낸 도면.
 제17도는 본 발명의 제5실시예에 따른 반도체 집적회로를 나타낸 도면.
 제18도는 본 발명의 제6실시예에 따른 반도체 집적회로를 나타낸 도면.
 제19도는 본 발명의 제7실시예에 따른 반도체 집적회로를 나타낸 도면.
 제20도는 제19도의 반도체 집적회로의 주요부를 나타낸 도면.
 제21도는 본 발명의 제8실시예에 따른 반도체 집적회로를 나타낸 도면.
 제22도는 제21도의 반도체 집적회로의 주요부를 나타낸 도면이다.

* 도면의 주요부분에 대한 부호의 설명

11 : N형 실리콘기판	12 : P ⁻ 형 웰영역
13 : N ⁻ 형 웰영역	14 : N ⁺ 형 소오스영역
15 : N ⁺ 형 드레인영역	16, 19 : 게이트전극
17 : P ⁺ 형 소오스영역	18 : P ⁺ 형 드레인영역
20 : P ⁺ 형 영역	21 : N ⁺ 형 영역
22, 23 : 전원단자	24, 25 : 바이어스회로
31, 31a, 31b : 스위치회로	32 : 스위칭 제어회로
33 : VDD레벨 검출회로	34 : 랫치회로
T1, M1~Mn : N채널 MOS트랜지스터	T2 : P채널 MOS트랜지스터
D, D1~Dn : 다이오드	C, C1, C2 : 캐패시터
I1~I3 : 인버터	R1, R2 : 저항

[발명의 상세한 설명]

[산업상의 이용분야]

본 발명은, 기판 바이어스전원을 내장한 CMOS (상보형 MOS) 반도체회로의 전원투입시의 이상동작 방지기술에 관한 것이다.

[종래의 기술 및 그 문제점]

최근, 고속동작이 요구되는 CMOS 집적회로에서는, N채널 MOS트랜지스터가 형성되는 P형 영역(기판 또는 웰영역)에 부(負)전위를 공급하기 위한 전원회로를 갖춘 것이 증가하고 있다.

제1도는 종래의 CMOS 인버터회로를 나타낸 것이다. N형 실리콘기판(11)에는 P⁻형 웰영역(12)과 N⁻형 웰영역(13)이 형성되어 있다. P⁻형 웰영역(12)에는 N채널 MOS트랜지스터(TN)가 형성되어 있다. N채널 MOS트랜지스터(TN)는 N⁺형 소오스영역(14), N⁺형 드레인영역(15) 및 게이트전극(16)을 갖추고 있다. N⁻형 웰영역(13)에는 P채널 MOS트랜지스터(TP)가 형성되어 있다. P채널 MOS트랜지스터(TP)는 P⁺형 소오스영역(17), P⁺형 드레인영역(18) 및 게이트전극(19)을 갖추고 있다. 또, P⁻형 웰영역(12)에는 P⁺형 영역(20)이 형성되고, N⁻형 웰영역(13)에는 N⁺형 영역(21)이 형성되어 있다. 입력신호(IN)는 N채널 MOS트랜지스터(TN)의 게이트전극(16) 및 P채널 MOS트랜지스터(TP)의 게이트전극(19)에 인가되고, 출력신호(OUT)는 N채널 MOS트랜지스터(TN)의 N⁺형 드레인영역(15) 및 P채널 MOS트랜지스터(TP)의 P⁺형 드레인영역(18)으로부터 출력된다.

전원단자(22)는 P채널 MOS트랜지스터(TP)의 P⁺형 소오스영역(17) 및 N⁺형 영역(21)에 접속되어 있고, P채

널 MOS트랜지스터(TP)의 P⁺형 소오스영역(17) 및 N⁻형 웰영역(13)에 고전위(VDD)를 공급한다.

전원단자(23)는 N채널 MOS트랜지스터(TN)의 N⁺형 소오스영역(14)에 접속되어 있고, N채널 MOS트랜지스터(TM)의 N⁺형 소오스영역(14)에 저전위(VSS)를 공급한다.

제1도의 CMOS 반도체 집적회로는 바이어스회로(24)를 더 갖추고 있다. 이 바이어스회로(24)는, N채널 MOS트랜지스터(TN)가 형성되는 P⁻형 웰영역(12)에 상기 저전위(VSS)보다도 낮은 전위(VBN)를 공급한다. 예컨대, 저전위(VSS)가 접지전위(0V)일 때는, 전위(VBN)는 부전위로 된다. 저전위(VSS)보다도 낮은 전위(VBN)를 P⁻형 웰영역(12)에 공급함으로써, N⁺형 드레인영역(15)과 P⁻형 웰영역(12) 사이의 기생용량을 저감할 수 있다.

제2도는 (1) N⁺형 드레인영역과 P⁻형 웰영역 사이의 기생용량 및 (2) P⁻형 웰영역에 공급되는 전위와의 관계를 나타낸 것이다. 종축은 N⁺형 드레인영역과 P⁻형 웰영역 사이의 단위면적당의 정전용량을 나타내고, 횡축은 P⁻형 웰영역에 인가되는 전위의 절대치(|VBN|)를 나타내고 있다. 이 그래프에 의하면, P⁻형 웰영역에 인가되는 전위의 절대치(|VBN|)가 커짐에 따라 N⁺형 드레인영역과 P⁻형 웰영역 사이의 단위면적당의 정전용량이 작아져 감을 알 수 있다.

제3도는 제1도의 바이어스회로(24)의 일례를 나타낸 것이다. 이 바이어스회로는, 링 오실레이터(25)와, 캐패시터(C1) 및 N채널 MOS트랜지스터(Q1, Q2)를 갖춘 펌프회로로 구성되어 있다. 링 오실레이터(25)는 링 모양으로 접속된 3개의 인버터(I1~I3)로 구성되어 있다.

제4도는 제3도의 바이어스회로의 주요 노드의 파형을 나타낸 것이다. 제4도(a)는 제3도의 노드 a에서의 전압레벨(Va)을 나타내고, 제4도(b)는 제3도의 노드 b에서의 전압레벨(Vb)을 나타낸다. 전원이 투입된 후, 링 오실레이터가 동작을 개시하여 Va로 나타낸 바와 같은 구형파(rectangular wave)를 만들어낸다. 구형파의 상승엣지에서 커플링이 발생한다. 펌프회로는 캐패시터(C1)에 부전하를 축적하여 트랜지스터(Q1, Q2)가 턴온되도록 한다. 구형파의 하강엣지에서는, 커플링이 발생하여 캐패시터(C1)에 축적된 부전하가 출력단자로 방출된다. 이들 동작이 반복된다. 따라서, 바이어스회로(24)는 출력전위(VBN; 제4도(c) 참조)를 저전위(VSS)보다도 낮은 부전위로 유지하고, 이 전위를 P⁻형 웰영역(12)에 인가한다.

제3도의 바이어스회로에서의 전위(VBN)의 공급능력은 링 오실레이터(25)의 발진 주파수(f)와, 펌프회로의 캐패시터(C1)의 용량(C)과, 노드(a)의 전압파형의 진폭(Va)과의 곱(f · C · Va)에 비례하고 있다. 통상, 펌프회로의 캐패시터(C1)는 집적회로 전체의 P⁻형 웰영역과 실리콘기판간의 용량보다 작으므로, CMOS 반도체 집적회로의 전원이 투입된 후, 링 오실레이터가 발진을 개시하고, 바이어스회로가 P⁻형 웰영역(12)에 저전위(VSS)보다도 낮은 전위(VBN)를 공급하기까지의 시간이 수마이크로~수십마이크로초로 길었다.

이와 같이, 종래기술에서는 CMOS 반도체 집적회로의 전원이 투입된 후, 링 오실레이터가 발진을 개시하고, 바이어스회로가 저전위(VSS)보다도 낮은 전위(VBN)를 공급하기까지의 시간이 수마이크로~수십마이크로초로 길었다. 따라서, 이 수마이크로~수십마이크로초동안 P⁻형 웰영역은 부유상태로 되어 그 전위가 불안정해지는 결점이 있다.

제5도는 CMOS 반도체 집적회로의 전원이 투입된 후의 전원전위(VDD)의 상승부분의 파형과 P⁻형 웰영역의 전위변화를 나타낸 것이다. 종축은 전위를 나타내고, 횡축은 시간(T)을 나타내고 있다. 시간 T=t1에 있어서 CMOS 반도체 집적회로에 전원이 투입된 것으로 한다. 시간 T=t1으로부터 일정시간동안 P⁻형 웰영역은 부유상태로 되어 그 전위가 불안정해지고 있다. 따라서, 전원전위(VDD)의 상승엣지에서의 과도변화에 의해, P⁻형 웰영역에는 전원단자와 P⁻형 웰영역간의 용량결합에 의한 과도전압이 발생한다. 이 전압에 의해, 영역(12, 20)의 전위는 VSS보다 높아진다. 이에 따라, N채널 MOS트랜지스터(TN)의 N⁺형 영역(14) 및 P⁻형 웰영역(12) 사이는 순방향으로 바이어스된다. N채널 MOS트랜지스터(TM)의 N⁺형 영역(14) 및 P⁻형 웰영역(12) 사이의 전위차가 다이오드의 순방향전압을 넘으면, 당해 N⁺형 영역(14)과 P⁻형 웰영역(12) 사이에 순방향전류가 흐른다.

제6도는 제1도의 CMOS 인버터에 기생트랜지스터의 심볼을 기재한 것이고, 제7도는 제6도의 기생트랜지스터에 의해 구성되는 등가회로를 나타낸 것이다.

CMOS 반도체 집적회로는, 그 구조상 기생 바이폴라 트랜지스터를 갖추고 있다. 그리고, 제7도의 등가회로는 다이리스터를 구성하고 있다.

따라서, 전원투입시 과도변동에 의해 VSS < VBN으로 되면, 기생 바이폴라 트랜지스터(Tr2)에 베이스전류가 흐른다. 또, 이 베이스전류가 기생 바이폴라 트랜지스터(Tr2)를 온시키기에 충분하면, 기생 바이폴라 트랜지스터(Tr2)는 온상태로 된다. 기생 바이폴라 트랜지스터(Tr2)가 온상태로 되면, 기생 바이폴라 트랜지스터(Tr1)에 베이스전류가 흘러 기생 바이폴라 트랜지스터(Tr1)가 온상태로 된다. 기생 바이폴라 트랜지스터(Tr1)가 온상태로 되면, 기생 바이폴라 트랜지스터(Tr2)에 베이스전류가 공급된다. 즉, 기생 바이폴라 트랜지스터(Tr1, Tr2)는 서로 베이스전류를 공급하게 된다. 이 때문에, 기생 바이폴라 트랜지스터(Tr1, Tr2)의 에미터접지 전류이득(hfe1, hfe2)이 (hfe1 × hfe2) > 1의 조건을 만족하고 있으면, 이후 VSS ≥ VBN으로 되어도 전원단자(22)로부터 전원단자(23)로 큰 전류가 계속 흐르게 된다 [랫치업(latch-up)현상]. CMOS 반도체 집적회로에 있어서 이러한 랫치업현상이 발생하면, CMOS회로가 정상적으로 동작하지 않는다. 게다가, 반도체장치의 파괴를 초래하게 된다.

이상과 같이, 기관바이어스회로를 갖춘 CMOS 반도체 집적회로에 있어서는, 당해 CMOS 반도체 집적회로의 전원투입시에 랫치업현상이 발생하기 쉽다.

이러한 랫치업현상을 처리하기 위한 하나의 방법으로서, VSS와 P^+ 형 영역(20)을 접속하는 것이 있다. 그렇지만, 이 경우는, 바이어스회로(24)를 사용하는 것과는 달리 트랜지스터(TM)의 임계치전압을 제어할 수 없다. 이 경우에 트랜지스터의 임계치전압은 채널영역에 이온을 주입함으로써 제어할 수 있지만, 이온주입에 의해 설정되는 임계치전압은 고정되어 변경할 수 없다.

[발명의 목적]

본 발명은 상기한 점을 감안하여 발명된 것으로, 기판바이어스회를 갖춘 CMOS 반도체 집적회로에 있어서 당해 CMOS 반도체 집적회로의 전원투입시의 랫치업현상을 방지하는 것을 그 목적으로 한다.

[발명의 구성 및 작용]

본 발명의 한 실시태양에 따르면, 반도체 집적회로는 제1도전형의 제1웰영역과 제2도전형의 제2웰영역이 형성되어 있는 반도체기판을 갖추고 있다. 제1전원단자는 제1전위를 공급하고, 제2전원단자는 제2전위를 공급한다. 제1MOS트랜지스터는 상기 제1웰영역에 형성되고, 상기 제1전원단자에 접속되는 소오스/드레인영역을 갖추고 있다. 또, 제2MOS트랜지스터는 상기 제2웰영역에 형성되고, 상기 제2전원단자에 접속되는 소오스/드레인영역을 갖추고 있다. 제1바이어스회로는 상기 제2웰영역에 바이어스전위를 공급하고, 접속회로는 상기 제2전원단자와 상기 제2전원단자와 상기 제2웰영역을 선택적으로 접속한다.

본 발명의 다른 실시태양에 따르면, 반도체 집적회로는 제1도전형의 제1웰영역과 제2도전형의 제2웰영역이 형성되어 있는 반도체기판을 갖추고 있다. 제1전원단자는 제1전위를 공급하고, 제2전원단자는 제2전위를 공급한다. 제1MOS트랜지스터는 상기 제1웰영역에 형성되고, 상기 제1전원단자에 접속되는 소오스/드레인영역을 갖추고 있다. 또, 제2MOS트랜지스터는 상기 제2웰영역에 형성되고, 상기 제2전원단자에 접속되는 소오스/드레인영역을 갖추고 있다. 제1바이어스회로는 상기 제1웰영역에 제1바이어스전위를 공급하고, 제2바이어스회로는 상기 제2웰영역에 제2바이어스전위를 공급한다. 제1접속회로는 상기 제1전원단자와 상기 제1웰영역을 선택적으로 접속하고, 제2접속회로는 상기 제2전원단자와 상기 제2웰영역을 선택적으로 접속한다.

또, 본 발명의 더욱 다른 실시태양에 따르면, 반도체 집적회로는 웰영역이 형성되어 있는 반도체기판을 갖추고 있다. 제1전원단자는 전원이 투입되고 나서 소정 시간에 제1전위레벨에 도달하는 제1전위를 공급한다. 제2전원단자는 제2전위를 공급한다. MOS트랜지스터는 상기 웰영역에 형성되고, 상기 제2전원단자에 접속되는 소오스/드레인영역을 갖추고 있다. 상기 제1전위를 공급받는 바이어스회로는 상기 웰영역에 바이어스전위를 공급한다. 접속회로는 전원이 투입되고 나서 상기 제1전위의 전위레벨이 소정의 전위레벨과 같아지거나 커질 때까지 상기 제2전원단자와 상기 웰영역을 접속한다.

이들 구성에 의하면, 랫치업을 방지할 수 있다. 더욱이, 웰영역에 형성되는 트랜지스터의 임계치전압을 변경할 수 있다.

(실시예)

이하, 예시도면을 참조하면서 본 발명의 실시예에 따른 반도체 집적회로를 상세히 설명한다.

제8도는 본 발명의 제1실시예에 따른 CMOS 반도체 집적회로를 나타내고 있다. 이 반도체 집적회로는, 예컨대 CMOS 인버터를 갖추고 있다.

먼저, CMOS 인버터의 구성에 대해 설명한다.

N형 실리콘기판(11)에는 P^- 형 웰영역(12)과 N^- 형 웰영역(13)이 형성되어 있다. P^- 형 웰영역(12)에는 N채널 MOS트랜지스터(TN)가 형성되어 있다. N채널 MOS트랜지스터(TN)는 N^+ 형 소오스영역(14), N^+ 형 드레인영역(15) 및 게이트전극(16)을 갖추고 있다. N^- 형 웰영역(13)에는 P채널 MOS트랜지스터(TP)가 형성되어 있다. P채널 MOS트랜지스터(TP)는 P^+ 형 소오스영역(17), P^+ 형 드레인영역(18) 및 게이트전극(19)을 갖추고 있다. 또, P^- 형 웰영역(12)에는 P^+ 형 영역(20)이 형성되고, N^- 형 웰영역(13)에는 N^+ 형 영역(21)이 형성되어 있다. 입력신호(IN)는 N채널 MOS트랜지스터(TN)의 게이트전극(16) 및 P채널 MOS트랜지스터(TP)의 게이트전극(19)에 인가되고, 출력신호(OUT)는 N채널 MOS트랜지스터(TN)의 N^+ 형 드레인영역(15) 및 P채널 MOS트랜지스터(TP)의 P^+ 드레인영역(18)으로부터 출력된다.

전원단자(22)는 P채널 MOS트랜지스터(TP)의 P^+ 형 소오스영역(17) 및 N^+ 형 영역(21)에 접속되어 있고, P채널 MOS트랜지스터(TP)의 P^+ 형 소오스영역(17) 및 N^- 형 웰영역(13)에 고전위(VDD)를 공급한다.

전원단자(23)는 N채널 MOS트랜지스터(TN)의 N^+ 형 소오스영역(14)에 접속되어 있고, N채널 MOS트랜지스터(TN)의 N^+ 형 소오스영역(14)에 저전위(VSS)를 공급한다.

제8도의 CMOS 반도체 집적회로는 바이어스회로(24)를 더 갖추고 있다. 이 바이어스회로(24)는, N채널 MOS트랜지스터(TN)가 형성되는 P^- 형 웰영역(12)에 상기 저전위(VSS)보다도 낮은 전위(VBN)를 공급한다. 예컨대, 저전위(VSS)가 접지전위(0V)일 때는, 전위(VBN)는 부전위로 된다. 저전위(VSS)보다도 낮은 전위(VBN)를 P^- 형 웰영역(12)에 공급함으로써, N^+ 형 드레인영역(15)과 P^- 형 웰영역(12) 사이의 기생용량을 저감할 수 있다.

다음에는 제8도에 있어서 박스 X로 둘러싸인 반도체 집적회로장치 부분에 대해 설명한다.

P^+ 형 영역(20)과 전원단자(23) 사이에는 스위치회로(31)가 접속되어 있다. 스위치회로(31)는, 스위칭 제어회로(32)로부터의 스위칭 제어신호(40)에 기초하여, P^+ 형 영역(20)과 전원단자(23)를 단락시키거나, P^+ 형

영역(20)을 전원단자(23)로부터 분리한다. 한편, VDD레벨 검출회로(33)는 전원단자(22)의 전위(고전위; VDD)의 레벨을 검출하고, 그 검출된 레벨에 대응하는 VDD레벨신호(41)를 스위칭 제어회로(32)에 공급한다. 스위칭 제어회로(32)는, VDD레벨 검출회로(33)로부터의 VDD레벨 신호(41)에 기초하여, CMOS 반도체 집적회로에 전원이 투입된 후, VDD가 어떤 일정 레벨에 도달한 때에 스위치회로(31)를 오프상태로 한다.

제9도는 제8도에 있어서 박스 X로 둘러싸인 회로의 일례이다. 스위치회로(31)는, 예컨대 N채널 MOS트랜지스터(T1)와 다이오드(D)로 구성된다. MOS트랜지스터(T1)의 한쪽의 소오스·드레인영역 및 다이오드(D)의 애노드는 P⁺형 영역(20)에 접속되어 있다. 따라서, MOS트랜지스터(T1)의 한쪽의 소오스·드레인영역 및 다이오드(D)의 애노드에는 바이어스회로(24)로부터 출력전위(VBN)가 공급된다. MOS트랜지스터(T1)의 다른쪽의 소오스·드레인영역 및 다이오드(D)의 캐소드는 저전위(VSS)를 공급하는 전원단자(23)에 접속되어 있다.

VDD레벨 검출회로(33)는, 예컨대 직렬로 접속된 n개의 다이오드(D1~Dn)로 구성된다. 다이오드(D1)의 애노드는 고전위(VDD)를 공급하는 전원단자(22)에 접속되고, 다이오드(Dn)의 캐소드는 스위칭 제어회로(32)의 랫치회로(34)에 접속되어 있다. 전원단자(22)는 고전위(VDD)를 공급한다.

스위칭 제어회로(32)는, 예컨대 랫치회로(34) 및 캐패시터(C1, C2)로 구성되어 있다. 랫치회로(34)는 2개의 인버터(I1, I2)로 구성되어 있다. 인버터(I1)의 출력단 및 인버터(I2)의 입력단은 각각 MOS트랜지스터(T1)의 게이트 및 캐패시터(C1)를 매개해서 전원단자(22)에 접속되어 있다. 또, 인버터(I1)의 입력단 및 인버터(I2)의 출력단은 각각 VDD레벨 검출회로(33)의 다이오드(Dn)의 캐소드 및 캐패시터(C2)를 매개해서 전원단자(23)에 접속되어 있다.

다음에는 제8도 및 제9도의 CMOS 반도체 집적회로의 동작에 대해 설명한다.

제10도는 제8도 및 제9도의 CMOS 반도체 집적회로의 동작을 나타낸 파형도이다. 제10도는 임의의 시간(t1)에 있어서 전원을 투입한 때의 전원전위(고전위; VDD)의 상승부분의 파형, P⁺형 웰영역의 전위변화 및 주요노드의 전위변화를 나타내고 있다. 여기서, 종축은 전위(V)의 크기를 나타내고, 횡축은 시간(T)을 나타내고 있다.

전원전위(VDD)의 상승시, 용량결합에 의해 P⁺형 웰영역(12)에 발생한 정(正)전하는 다이오드(D)를 통해 전원단자(23)로 방전된다. 또, 노드(A)의 전위(VA)는 캐패시터(C1)를 매개한 용량결합에 의해 점차로 상승한다. 전위(VA)는 (1)식으로 나타낸 최대레벨(VAmax)까지 상승한다.

$$VA_{max} = (C1 \times VDD) / (C1 + CX) \quad (1)$$

여기서, C1은 캐패시터(C1)의 용량, CX는 노드(A)와 전원단자(23) 사이의 용량이다.

MOS트랜지스터(T1)의 임계치를 VTN, 랫치회로(34)의 임계치를 VTL로 했을 때, VAmax > VTN, VAmax > VTL의 관계를 만족하도록 캐패시터(C1)의 용량의 설정되어 있다. 전원이 투입되고, 노드(A)의 전위(VA)가 MOS트랜지스터(T1)의 임계치(VTN)를 넘으면, MOS트랜지스터(T1)는 온상태로 된다. 이에 따라, P⁺형 웰영역(12)과 전원단자(23)가 단락된다. 이때, 랫치회로(34)가 셋트되어 노드(A)를 고전위(VA)를 고전위(VDD)로 충전하려고 작용한다. 그 결과, MOS트랜지스터(T1)는 온상태를 유지한다.

이에 대해, 노드(B)의 전위(VB)는, 랫치회로(34)가 셋트됨으로써 저전위(VSS)를 유지한다.

그러나, 노드(B)의 전위(VB)는, VDD레벨 검출회로(33)에 의해 (2)식으로 나타낸 조건을 만족하면, 상승한다.

$$VDD \geq n \times VTD \quad (2)$$

여기서, VTD는 직렬로 접속된 n개의 다이오드의 1개분의 임계치이고, 고전위(VDD)는 전원투입시에 발생하는 과도위상의 존재 때문에 시간(T)의 함수로 되어 있다.

노드(B)의 전위(VB)가 VB > VTL을 만족하게 되면, 랫치회로(34)는 리셋된다. 따라서 노드(A)의 정전하는 랫치회로(34)를 매개해서 전원단자(23)로 방전된다. 노드(A)의 전위(VA)가 VA < VTN을 만족하게 되면, MOS트랜지스터(T1)가 오프상태로 된다. 이에 따라, P⁺형 웰영역(12)과 전원단자(23)가 분리되고, 바이어스회로(24)로부터 전위(VBN; < VSS)가 P⁺형 웰영역(12)으로 공급된다. 여기서, 바이어스회로(24)가 정상동작을 행하기 위한 필요최소한의 전원전위를 VDDmin으로 하면, 기본적으로는 스위치회로에 의한 P⁺형 웰영역(12)과 전원단자(23)의 단락이 종료하기 전에, VDD ≥ VDDmin이라는 조건을 만족하는 것이 필요하다. 예컨대, (3) 및 (4)식으로 나타낸 조건을 만족하도록 VDD레벨 검출회로(33)의 다이오드의 수(n)를 결정해주면 좋다.

$$VDD_{min} = n \cdot VTD \quad (3)$$

$$VDDn \cdot VTD + VTL \quad (4)$$

이와 같이 해서, 전원투입시에 있어서, N채널 MOS트랜지스터가 형성되는 기판, 예컨대 P⁺형 웰영역에 공급되는 전위가 과도적으로 저전위(VSS)보다도 커지는 것을 방지할 수 있다.

제11도는 본 발명의 제2실시예에 따른 CMOS 반도체 집적회로를 나타내고 있다. 이 반도체 집적회로는, 예컨대 CMOS 인버터를 갖추고 있다.

먼저, CMOS 인버터의 구성에 대해 설명한다.

N형 실리콘기판(11)에는 P⁺형 웰영역(12)과 N⁺형 웰영역(13)이 형성되어 있다. P⁺형 웰영역(12)에는 N채널

MOS트랜지스터(TN)가 형성되어 있다. N채널 MOS트랜지스터(TN)는 N^+ 형 소오스 영역(14), N^+ 형 드레인영역(15) 및 게이트전극(16)을 갖추고 있다. N^- 형 웰영역(13)에는 P채널 MOS트랜지스터(TP)가 형성되어 있다. P채널 MOS트랜지스터(TP)는 P^+ 형 소오스영역(17), P^+ 형 드레인영역(18) 및 게이트전극(19)을 갖추고 있다. 또, P^- 형 웰영역(12)에는 P^+ 형 영역(20)이 형성되고, N^- 형 웰영역(13)에는 N^+ 형 영역(21)이 형성되어 있다. 입력신호(IN)는 N채널 MOS트랜지스터(TN)의 게이트전극(16) 및 P채널 MOS트랜지스터(TP)의 게이트전극(19)에 인가되고, 출력신호(OUT)는 N채널 MOS트랜지스터(TN)의 N^+ 형 드레인영역(15) 및 P채널 MOS트랜지스터(TP)의 P^+ 형 드레인영역(18)으로부터 출력된다.

전원단자(22)는 P채널 MOS트랜지스터(TP)의 P^+ 형 소오스영역(17)에 접속되어 있고, P채널 MOS트랜지스터(TP)의 P^+ 형 소오스영역(17)에 고전위(VDD)를 공급한다.

전원단자(23)는 N채널 MOS트랜지스터(TN)의 N^+ 형 소오스영역(14)에 접속되어 있고, N채널 MOS트랜지스터(TN)의 N^+ 형 소오스영역(14)에 저전위(VSS)를 공급한다.

이 제11도의 CMOS 반도체 집적회로는 바이어스회로(24,25)를 더 갖추고 있다. 바이어스회로(24)는 N채널 MOS트랜지스터(TN)가 형성되는 P^- 형 웰영역(12)에 상기 저전위(VSS)보다도 낮은 전위(VBN)를 공급하고, 바이어스회로(25)는 P채널 MOS트랜지스터(TP)가 형성되는 N^- 형 웰영역(13)에 상기 고전위(VDD)보다도 높은 전위(VBP)를 공급한다.

다음에는 제11도에 있어서 박스 X' 로 둘러싸인 반도체 집적회로장치 부분에 대해 설명한다.

P^+ 형 영역(20)과 전원단자(23) 사이에는 스위치회로(31a)가 접속되어 있다. 스위치회로(31a)는, 스위칭 제어회로(32)로부터의 제1스위칭 제어신호(40a)에 기초하여, P^+ 형 영역(20)과 전원단자(23)를 단락시키거나, P^+ 형 영역(20)을 전원단자(23)로부터 분리한다. 마찬가지로, N^+ 형 영역(21)과 전원단자(22) 사이에는 스위치회로(31b)가 접속되어 있다. 스위치회로(31b)는, 스위칭 제어회로(32)로부터의 제2스위칭 제어신호(40b)에 기초하여, N^+ 형 영역(21)과 전원단자(22)를 단락시키거나, N^+ 형 영역(21)을 전원단자(22)로부터 분리한다.

한편, VDD레벨 검출회로(33)는 전원단자(22)의 전위(고전위; VDD)의 레벨을 검출하고, 그 검출된 레벨에 대응하는 VDD레벨신호(41)를 스위칭 제어회로(32)에 공급한다. 스위칭 제어회로(32)는, VDD레벨 검출회로(33)로부터의 VDD레벨신호(41)에 기초하여, CMOS 반도체 집적회로에 전원이 투입된 후, VDD가 어떤 일정 레벨에 도달한 때에 스위치회로(31a,31b)를 오프상태로 한다.

제12도는 제11도에 있어서 박스 X' 로 둘러싸인 회로의 일례이다. 스위치회로(31a)는, 예컨대 N채널 MOS트랜지스터(T1)와 다이오드(D)로 구성된다. MOS트랜지스터(T1)의 한쪽의 소오스·드레인영역 및 다이오드(D)의 애노드는 P^+ 형 영역(20)에 접속되어 있다. 따라서, MOS트랜지스터(T1)의 한쪽의 소오스·드레인영역 및 다이오드(D)의 애노드에는 바이어스회로(24)로부터 출력전위(VBN)가 공급된다. MOS트랜지스터(T1)의 다른쪽의 소오스·드레인영역 및 다이오드(D)의 캐소드는 저전위(VSS)를 공급하는 전원단자(23)에 접속되어 있다.

스위치회로(31b)는, 예컨대 P채널 MOS트랜지스터(T2)와 다이오드(D')로 구성된다. MOS트랜지스터(T2)의 한쪽의 소오스·드레인영역 및 다이오드(D')의 캐소드는 N^+ 형 영역(21)에 접속되어 있다. 따라서, MOS트랜지스터(T2)의 한쪽의 소오스·드레인영역 및 다이오드(D')의 캐소드에는 바이어스회로(25)로부터 출력전위(VBP)가 공급된다. MOS트랜지스터(T2)의 다른쪽의 소오스·드레인영역 및 다이오드(D')의 애노드는 고전위(VDD)를 공급하는 전원단자(22)에 접속되어 있다.

VDD레벨 검출회로(33)는, 예컨대 직렬로 접속된 n개의 다이오드(D1~Dn)로 구성된다. 다이오드(D1)의 애노드는 전원단자(22)에 접속되고, 다이오드(Dn)의 캐소드는 스위칭 제어회로(32)의 래치회로에 접속되어 있다. 전원단자(22)는 고전위(VDD)를 공급된다.

스위칭 제어회로(32)는, 예컨대 래치회로(34), 캐패시터(C1,C2) 및 인버터(I3)로 구성되어 있다. 래치회로(34)는 2개의 인버터(I1,I2)로 구성되어 있다. 인버터(I1)의 출력단 및 인버터(I2)의 입력단은 각각 MOS트랜지스터(T1)의 게이트 및 캐패시터(C1)를 매개해서 전원단자(22)에 접속되어 있다. 인버터(I1)의 출력단 및 인버터(I2)의 입력단은 인버터(I3)를 매개해서 MOS트랜지스터(T2)의 게이트에도 접속되어 있다. 또, 인버터(I1)의 입력단 및 인버터(I2)의 출력단은 각각 VDD레벨 검출회로(33)의 다이오드(Dn)의 캐소드 및 캐패시터(C2)를 매개해서 전원단자(23)에 접속되어 있다.

본 실시예는, 바이어스회로(24)에 의해 N채널 MOS트랜지스터가 형성되는 P^- 형 웰영역(12)에 저전위(VSS)보다도 낮은 전위(VBN)를 공급하고, 바이어스회로(25)에 의해 P채널 MOS트랜지스터가 형성되는 N^- 형 웰영역(13)에 고전위(VDD)보다도 높은 전위(VBP)를 공급하는 CMOS 반도체 집적회로에 관한 것이다. 즉, 전원투입시에 있어서, P^- 형 웰영역(12)과 전원단자(23)를 단락시킴과 더불어, N^- 형 웰영역(13)과 전원단자(22)를 단락시킨다. 이후, 예컨대 고전위(VDD)가 바이어스회로(24,25)가 정상동작하기에 충분한 값으로 상승하면, P^- 형 웰영역(12)은 전원단자(23)로부터 분리되고, N^- 형 웰영역(13)은 전원단자(22)로부터 분리된다.

다음에는 제11도 및 제12도의 CMOS 반도체 집적회로의 동작에 대해 설명한다.

제13도는 제11도 및 제12도의 CMOS 반도체 집적회로의 전원투입시의 N^- 형 웰영역의 전위파형도이다. 제13

도는 임의의 시간(t_1)에 있어서 전원을 투입한 때의 전원전위(고전위; V_{DD})의 상승부분의 파형, N^- 형 웰영역에 인가되는 전위의 변화를 나타내고 있다. 여기서, 중축은 전위(V)의 크기를 나타내고, 횡축은 시간(T)을 나타내고 있다. P^- 형 웰영역의 전위변화는 제1실시에(제10도 참조)와 동일하다.

전원투입시, 용량결합에 의해 P^- 형 웰영역(12)에 발생한 정전하는 다이오드(D)를 통해 전원단자(23)로 방전되고, N^- 형 웰영역(13)에 발생한 부전하는 다이오드(D')를 통해 전원단자(22)로 방전된다. 또, 노드(A)의 전위는 캐패시터(C1)를 매개한 용량결합에 의해 점차로 상승한다. 전위(VA)는 상기(1)식으로 나타낸 최대레벨(V_{Amax})까지 상승한다.

MOS트랜지스터(T1)의 임계치를 V_{TN} , 래치회로(34)의 임계치를 V_{TL} 로 했을 때, $V_{Amax} > V_{TN}$, $V_{Amax} > V_{TL}$ 의 관계를 만족하도록 캐패시터(C1)의 용량이 설정되어 있다. 전원이 투입되고, 노드(A)의 전위(VA)가 MOS트랜지스터(T1)의 임계치(V_{TN})를 넘으면, MOS트랜지스터(T1)는 온상태로 된다. 동시에, 노드(C)의 전위(VC)가 MOS트랜지스터(T2)의 임계치(V_{TP})를 넘으면, MOS트랜지스터(T2)는 온상태로 된다. 이에 따라, P^- 형 웰영역(12)과 전원단자(23)가 접속(단락)됨과 더불어, N^- 형 웰영역(13)과 전원단자(22)가 접속(단락)된다. 즉, 전원투입후, P^- 형 웰영역(12)은 저전위(V_{SS})를 유지하고, N^- 형 웰영역(13)은 고전위(V_{DD})를 유지한다.

이때, 래치회로(34)가 셋트되어 노드(A)의 전위(VA)를 고전위(V_{DD})로 충전하고, 노드(C)의 전위(VC)를 저전위(V_{SS})로 충전하려고 작용한다. 그 결과, MOS트랜지스터(T1, T2)는 온상태를 유지한다.

이에 대해, 노드(B)의 전위(VB)는 래치회로(34)가 셋트됨으로써 저전위(V_{SS})를 유지한다.

그러나, 노드(B)의 전위(VB)는, V_{DD} 레벨 검출회로(33)에 의해 (2)식으로 나타낸 조건을 만족하면, 상승한다.

노드(B)의 전위(VB)가 $V_B > V_{TL}$ 을 만족하게 되면, 래치회로(34)는 리셋된다. 따라서, 노드(A)의 정전하는 래치회로(34)를 매개해서 전원단자(23)로 방전되고, 노드(C)의 부전하는 인버터(13)를 매개해서 전원단자(22)로 방전된다. 노드(A)의 전위(VA)가 $V_A < V_{TN}$ 을 만족하게 되면, MOS트랜지스터(T1)가 오프상태로 된다. 이에 따라, P^- 형 웰영역(12)과 전원단자(23)가 분리되고, 바이어스회로(24)로부터 전위(V_{BN} ; $< V_{SS}$)가 P^- 형 웰영역(12)으로 공급된다. 또, 노드(C)의 전위(VC)가 $V_C < V_{TP}$ (여기서, V_{TP} 는 MOS트랜지스터(T2)의 임계치이다)를 만족하게 되면, MOS트랜지스터(T2)가 오프상태로 된다. 이에 따라, N^- 형 웰영역(13)과 전원단자(22)가 분리되고, 바이어스회로(25)로부터 전위(V_{BP} ; $> V_{DD}$)가 N^- 형 웰영역(13)으로 공급된다.

여기서, 바이어스회로(24, 25)가 정상동작을 행하기 위한 필요최소한의 전원전위를 V_{DDmin} 으로 하면, 기본적으로는 스위치회로에 의한 P^- 형 웰영역(12)과 전원단자(23)의 단락 및 N^- 형 웰영역(13)과 전원단자(22)의 단락이 종료하기 전에, $V_{DD} \geq V_{DDmin}$ 이라는 조건을 만족하는 것이 필요하다. 예컨대, 상기(3) 및 (4)식으로 나타낸 조건을 만족하도록 V_{DD} 레벨 검출회로(33)의 다이오드의 수(n)를 결정해 주면 좋다.

이와 같이 해서, 전원투입시에 있어서, N 채널 MOS트랜지스터가 형성되는 기판, 예컨대 P^- 형 웰영역에 공급되는 전위가 과도적으로 저전위(V_{SS})보다도 커지는 것을 방지할 수 있다. 예컨대, 저전위(V_{SS})가 접지전위일 때, P^- 형 웰영역에 공급되는 전위가 정전위로 되는 일은 없고, 접지전위로부터 곧바로 바이어스회로에 의해 부전위로 된다. 또, 전원투입시에 있어서, P 채널 MOS트랜지스터가 형성되는 기판, 예컨대 N^- 형 웰영역에 공급되는 전위가 과도적으로 고전위(V_{DD})보다도 작아지는 것을 방지할 수 있다. 따라서, 전원투입시의 래치업현상을 방지할 수 있다.

이에 대해, 종래의 CMOS 반도체 집적회로에서는 제14도에 나타낸 바와 같이 전원이 투입된 후 바이어스회로(25)가 정상동작하기까지 N^- 형 웰영역(13)의 전위(V_{BP})가 고전위(V_{DD})보다도 낮아진다. 그리고, N^- 형 웰영역(13)과 P 채널 MOS트랜지스터의 P^+ 형 소오스영역(17)이 순방향으로 바이어스된다. 따라서, N^- 형 웰영역(13)과 P^+ 형 소오스영역(17)사이의 전위차가 소정치를 넘으면, 래치업현상을 일으킨다.

제15도는 본 발명의 제3실시에 따른 CMOS 반도체 집적회로를 나타내고 있다. 이 반도체집적회로는, V_{DD} 레벨 검출회로의 구성이 다른 것을 제외하고, 그 외는 상기 제1실시예의 구성과 동일하다. 즉, V_{DD} 레벨 검출회로(33)는 n개의 N 채널 MOS트랜지스터($M_1, M_2, \dots, M_n$)로 구성되어 있다. 각 MOS트랜지스터($M_1, M_2, \dots, M_n$)는 P^- 형 웰영역 또는 P 형 실리콘기판에 형성되고, 제8도의 바이어스회로(24)에 의해 이 P^- 형 웰영역 또는 P 형 실리콘기판에도 저전위(V_{SS})보다도 낮은 전위(V_{BN})가 공급된다.

각 MOS트랜지스터($M_1, M_2, \dots, M_n$)의 게이트와 소오스(또는 드레인)는 서로 접속되어 있다. n개의 MOS트랜지스터($M_1, M_2, \dots, M_n$)는 그 전류경로에 대해 서로 직렬로 접속되어 있다.

스위치회로(31)는, 예컨대 N 채널 MOS트랜지스터(T1)와 다이오드(D)로 구성된다. MOS트랜지스터(T1)의 한쪽의 소오드·드레인영역 및 다이오드(D)의 애노드는 P^+ 형영역(20)에 접속되어 있다. 따라서, MOS트랜지스터(T1)의 한쪽의 소오스·드레인영역 및 다이오드(D)의 애노드에는 바이어스회로(24)로부터 출력전위(V_{BN})가 공급된다. MOS트랜지스터(T1)의 다른쪽의 소오스·드레인영역 및 다이오드(D)의 캐소드는 저전위(V_{SS})를 공급하는 전원단자(23)에 접속되어 있다.

스위칭 제어회로(32)는, 예컨대 래치회로(34) 및 캐패시터(C_1, C_2)로 구성되어 있다. 래치회로(34)는 2개의 인버터(I_1, I_2)로 구성되어 있다. 인버터(I_1)의 출력단 및 인버터(I_2)의 입력단은 각각 MOS트랜지스터(T1)의 게이트 및 캐패시터(C_1)를 매개해서 전원단자(22)에 접속되어 있다. 또, 인버터(I_1)의 입력단 및 인버터(I_2)의 출력단은 각각 V_{DD} 레벨 검출회로(33)의 일단, 즉 MOS트랜지스터(M_n)의 드레인(또는 소오스)에 접속되어 있다. 인버터(I_1)의 입력단 및 인버터(I_2)의 출력단은 캐패시터(C_2)를 매개해서 전원단자

(23)에도 접속되어 있다.

상기 구성에 있어서도, 전원투입시에 있어서, N채널 MOS트랜지스터가 형성되는 기판, 예컨대 P⁻형 웰영역에 공급되는 전위가 과도적으로 저전위(VSS)보다도 커지는 것을 방지할 수 있다.

제16도는 본 발명의 제4실시예에 따른 CMOS 반도체 집적회로를 나타내고 있다. 이 반도체 집적회로는, VDD레벨 검출회로의 구성의 다른 것을 제외하고, 그 외는 상기 제2실시예의 구성과 동일하다. 즉, VDD레벨 검출회로(33)는 n개의 N채널 MOS트랜지스터(M1, M2, ..., Mn)로 구성되어 있다. 각 MOS트랜지스터(M1, M2, ..., Mn)는 P⁻형 웰영역 또는 P형 실리콘기판에 형성되고, 제11도의 바이어스회로에 의해 이 P⁻형 웰영역 또는 P형 실리콘기판에도 저전위(VSS)보다도 낮은 전위(VBN)가 공급된다.

각 MOS트랜지스터(M1, M2, ..., Mn)의 게이트와 소오스(또는 드레인)는 서로 접속되어 있다. n개의 MOS트랜지스터(M1, M2, ..., Mn)는 그 전류경로에 대해 서로 직렬로 접속되어 있다.

스위치회로(31a)는, 예컨대 N채널 MOS트랜지스터(T1)와 다이오드(D)로 구성된다. MOS트랜지스터(T1)의 한쪽의 소오스·드레인영역 및 다이오드(D)의 애노드는 P⁺형 영역(20)에 접속되어 있다. 따라서, MOS트랜지스터(T1)의 한쪽의 소오스·드레인영역 및 다이오드(D)의 애노드에는 바이어스회로(24)로부터 출력전위(VBN)가 공급된다. MOS트랜지스터(T1)의 다른쪽의 소오스·드레인영역 및 다이오드(D)의 캐소드는 저전위(VSS)를 공급하는 전원단자(23)에 접속되어 있다.

스위치회로(31b)는, 예컨대 P채널 MOS트랜지스터(T2)와 다이오드(D')로 구성된다. MOS트랜지스터(T2)의 한쪽의 소오스·드레인영역 및 다이오드(D')의 캐소드는 N⁺형 영역(21)에 접속되어 있다. 따라서, MOS트랜지스터(T2)의 한쪽의 소오스·드레인영역 및 다이오드(D')의 캐소드에는 바이어스회로(25)로부터 출력전위(VBP)가 공급된다. MOS트랜지스터(T2)의 다른쪽의 소오스·드레인영역 및 다이오드(D')의 애노드는 고전위(VDD)를 공급하는 전원단자(22)에 접속되어 있다.

스위칭 제어회로(32)는, 예컨대 램치회로(34), 캐패시터(C1, C2) 및 인버터(I3)로 구성되어 있다. 램치회로(34)는 2개의 인버터(I1, I2)로 구성되어 있다. 인버터(I1)의 출력단 및 인버터(I2)의 입력단은 각각 MOS트랜지스터(T1)의 게이트 및 캐패시터(C1)를 매개해서 전원단자(22)에 접속되어 있다. 인버터(I1)의 출력단 및 인버터(I2)의 입력단은 인버터(I3)를 매개해서 MOS트랜지스터(T2)의 게이트에도 접속되어 있다. 또, 인버터(I1)의 입력단 및 인버터(I2)의 출력단은 각각 VDD레벨 검출회로(33), 즉 MOS트랜지스터(Mn)의 드레인(또는 소오스) 및 캐패시터(C2)를 매개해서 전원단자(23)에 접속되어 있다.

상기 구성에 있어서도, 전원투입시에 있어서, N채널 MOS트랜지스터가 형성되는 기판, 예컨대 P⁻형 웰영역에 공급되는 전위가 과도적으로 저전위(VSS)보다도 커지는 것을 방지할 수 있다. 또, 전원투입시에 있어서, P채널 MOS트랜지스터가 형성되는 기판, 예컨대 N⁻형 웰영역에 공급되는 전위가 과도적으로(VDD)보다도 작아지는 것을 방지할 수 있다.

제17도는 본 발명의 제5실시예에 따른 CMOS 반도체 집적회로를 나타내고 있다. 이 반도체 집적회로는, VDD레벨 검출회로의 구성이 다른 것을 제외하고, 그 외는 상기 제1실시예의 구성과 동일하다. 즉, VDD레벨 검출회로(33)는 2개의 저항(R1, R2)으로 구성되어 있다. 저항(R1)의 일단은 전원단자(22)에 접속되고, 저항(R2)의 일단은 전원단자(23)에 접속되어 있다. 저항(R1)의 타단과 저항(R2)의 타단은 서로 접속되고, 이들 저항(R1, R2)의 접속점은 램치회로(34)의 일단에 접속되어 있다.

스위치회로(31)는, 예컨대 N채널 MOS트랜지스터(T1)와 다이오드(D)로 구성된다. MOS트랜지스터(T1)의 한쪽의 소오스·드레인영역 및 다이오드(D)의 애노드는 P⁺형 영역(20)에 접속되어 있다. 따라서, MOS트랜지스터(T1)의 한쪽의 소오스·드레인영역 및 다이오드(D)의 애노드에는 바이어스회로(24)로부터 출력전위(VBN)가 공급된다. MOS트랜지스터(T1)의 다른쪽의 소오스·드레인영역 및 다이오드(D)의 캐소드는 저전위(VSS)를 공급하는 전원단자(23)에 접속되어 있다.

스위칭 제어회로(32)는, 예컨대 램치회로(34) 및 캐패시터(C1)로 구성되어 있다. 램치회로(34)는 2개의 인버터(I1, I2)로 구성되어 있다. 인버터(I1)의 출력단 및 인버터(I2)의 입력단은 각각 MOS트랜지스터(T1)의 게이트 및 캐패시터(C1)를 매개해서 전원단자(22)에 접속되어 있다. 또, 인버터(I1)의 입력단 및 인버터(I2)의 출력단은 각각 VDD레벨 검출회로(33)의 저항(R1, R2)의 접속점에 접속되어 있다.

또한, 본 실시예에 있어서도, 스위치회로(31)는 바이어스회로가 정상적으로 동작하는데 필요한 최소전위(VDDmin) 이상으로 전원전압(VDD)이 상승한 시점에서, P⁻형 웰영역(12)을 전원단자(23)로부터 분리할 필요가 있다. 그래서, 램치회로(34)의 임계치를 VTL로 하고, 저항(R1, R2)의 저항치를 각각 r1, r2로 하면, 저항(R1, R2)의 저항치(r1, r2)는 각각 (5)식을 만족하도록 설정한다.

$$VTL = VDDmin \{r2 / (r1 + r2)\} \quad (5)$$

상기 구성에 있어서도, 전원투입시에 있어서, N채널 MOS트랜지스터가 형성되는 기판, 예컨대 P⁻형 웰영역에 공급되는 전위가 과도적으로 저전위(VSS)보다도 커지는 것을 방지할 수 있다.

제18도는 본 발명의 제6실시예에 따른 CMOS 반도체 집적회로를 나타내고 있다. 이 반도체 집적회로는, VDD레벨 검출회로의 구성이 다른 것을 제외하고, 그 외는 상기 제2실시예의 구성과 동일하다. 즉, VDD레벨 검출회로(33)는 2개의 저항(R1, R2)으로 구성되어 있다. 저항(R1)의 일단은 전원단자(22)에 접속되고, 저항(R2)의 일단은 전원단자(23)에 접속되어 있다. 저항(R1)의 타단과 저항(R2)의 타단은 서로 접속되고, 이들 저항(R1, R2)의 접속점은 램치회로(34)의 일단에 접속되어 있다.

스위치회로(31a)는, 예컨대 N채널 MOS트랜지스터(T1)와 다이오드(D)로 구성된다. MOS트랜지스터(T1)의 한쪽의 소오스·드레인영역 및 다이오드(D)의 애노드는 P⁺형 영역(20)에 접속되어 있다. 따라서, MOS트랜지스터(T1)의 한쪽의 소오스·드레인영역 및 다이오드(D)의 애노드에는 바이어스회로(24)로부터 출력전위

(VBN)가 공급된다. MOS트랜지스터(T1)의 다른쪽의 소오스·드레인영역 및 다이오드(D)의 캐소드는 저전위(VSS)를 공급하는 전원단자(23)에 접속되어 있다.

스위치회로(31b)는, 예컨대 P채널 MOS트랜지스터(T2)와 다이오드(D')로 구성된다. MOS트랜지스터(T2)의 한쪽의 소오스·드레인영역 및 다이오드(D')의 캐소드는 N^+ 형 영역(21)에 접속되어 있다. 따라서, MOS트랜지스터(T2)의 한쪽의 소오스·드레인영역 및 다이오드(D')의 캐소드에는 바이어스회로(25)로부터 출력전위(VBP)가 공급된다. MOS트랜지스터(T2)의 다른쪽의 소오스·드레인영역 및 다이오드(D')의 애노드는 고전위(VDD)를 공급하는 전원단자(22)에 접속되어 있다.

스위칭 제어회로(32)는, 예컨대 램치회로(34), 캐패시터(C1) 및 인버터(I3)로 구성되어 있다. 램치회로(34)는 2개의 인버터(I1, I2)로 구성되어 있다. 인버터(I1)의 출력단 및 인버터(I2)의 입력단은 각각 MOS트랜지스터(T1)의 게이트 및 캐패시터(C1)를 매개해서 전원단자(22)에 접속되어 있다. 인버터(I1)의 출력단 및 인버터(I2)의 입력단은 인버터(I3)를 매개해서 MOS트랜지스터(T2)의 게이트에도 접속되어 있다. 또, 인버터(I1)의 입력단 및 인버터(I2)의 출력단은 각각 VDD레벨 검출회로(33)의 저항(R1, R2)의 접속점에 접속되어 있다.

또한, 본 실시예에 있어서도, 바이어스회로가 정상적으로 동작하는데 필요한 최소전위(VDDmin) 이상으로 전원전압(VDD)이 상승한 시점에서, 스위치회로(31a)는 P^- 형 웰 영역(12)을 전원단자(23)로부터 분리하고, 스위치회로(31b)는 N^+ 형 웰영역(13)을 전원단자(22)로부터 분리할 필요가 있다.

그래서, 램치회로(34)의 임계치를 VTL로 하고, 저항(R1, R2)의 저항치를 각각 r_1 , r_2 로 하면, 저항(R1, R2)의 저항치(r_1, r_2)는 각각 상기 (5)식을 만족하도록 설정한다.

상기 구성에 있어서도, 전원투입시에 있어서, N채널 MOS트랜지스터가 형성되는 기판(예컨대, P^- 형 웰영역)과 N^+ 형 소오스영역이 순방향으로 바이어스되지 않는다. 또, P채널 MOS트랜지스터가 형성되는 기판(예컨대, N형 웰영역)과 P^+ 형 소오스영역이 순방향으로 바이어스되지 않는다.

제19도 및 제20도는 본 발명의 제7실시예에 따른 CMOS 반도체 집적회로를 나타내고 있다. 이 반도체 집적회로는, VDD레벨 검출회로를 갖추지 않은 점 및 스위칭 제어회로의 구성이 다른 것을 제외하고, 그 외는 상기 제1실시예의 구성과 동일하다.

즉, 스위치회로(31)는, 예컨대 N채널 MOS트랜지스터(T1)와 다이오드(D)로 구성된다. MOS트랜지스터(T1)의 한쪽의 소오스·드레인영역 및 다이오드(D)의 애노드는 P^+ 형 영역(20)에 접속되어 있다. 따라서, MOS트랜지스터(T1)의 한쪽의 소오스·드레인영역 및 다이오드(D)의 애노드에는 바이어스회로(24)로부터 출력전위(VBN)가 공급된다. MOS트랜지스터(T1)의 다른쪽의 소오스·드레인영역 및 다이오드(D)의 캐소드는 저전위(VSS)를 공급하는 전원단자(23)에 접속되어 있다.

타이머·스위칭 제어회로(32)는, 예컨대 캐패시터(C) 및 저항(R)으로 구성되어 있다. 캐패시터(C)의 일단은 전원단자(22)에 접속되고, 저항(R)의 일단은 전원단자(23)에 접속되어 있다. 캐패시터(C)의 타단과 저항(R)의 타단은 서로 접속되고, 캐패시터(C)와 저항(R)의 접속점은 MOS트랜지스터(T1)의 게이트에 접속되어 있다.

상기 구성의 반도체 집적회로는, 전원투입시에 스위치회로(31)에 의해 전원단자(23)와 P^- 형 웰영역(12)을 단락하고, 또한 전원투입시로부터 일정 시간이 경과한 후에 스위치회로(31)에 의해 P^- 형 웰영역(12)을 전원단자(23)로부터 분리한다고 하는 동작을 행한다.

즉, 전원이 투입되면, 노드(a)의 전위가 상승하여 MOS트랜지스터(T1)가 온상태로 된다. 따라서, 전원단자(23)와 P^- 형 웰영역(12)이 단락된다. 그후, 노드(a)의 전위는 캐패시터(C)의 용량과 저항(R)의 저항치에 의해 설정되는 시정수에 따라 점차로 감소한다(즉, 전기적으로 전원단자(23)로 방전되어 간다). 전원투입시로부터 일정 시간이 경과한 후에, 노드(a)의 전위(V_a)가 MOS트랜지스터(T1)의 임계치(V_T) 이하로 되면, MOS트랜지스터(T1)가 오프상태로 된다. 따라서, P^- 형 웰영역(12)은 전원단자(23)로부터 분리된다.

또한, 본 실시예에 있어서도, 스위치회로(31)는 바이어스회로가 정상적으로 동작하는데 필요한 최소전위(VDDmin) 이상으로 전원전압(VDD)이 상승한 시점에서, P^- 형 웰영역(12)을 전원단자(23)로부터 분리할 필요가 있다.

즉, 전원투입시로부터 $V_a \leq V_T$ 로 될 때까지에 요하는 시간이 전원투입시로부터 바이어스회로가 정상적으로 동작하기까지에 요하는 시간보다도 길어지도록, 캐패시터(C)의 용량 및 저항(R)의 저항치를 설정해 주면 좋다.

상기 구성에 있어서도, 전원투입시에 있어서, N채널 MOS트랜지스터가 형성되는 기판, 예컨대 P^- 형 웰영역에 공급되는 전위가 과도적으로 저전위(VSS)보다도 커지는 것을 방지할 수 있다.

제21도 및 제22도는 본 발명의 제8실시예에 따른 CMOS 반도체 집적회로를 나타내고 있다. 이 반도체 집적회로에서는, 고전위(VDD)가 일정치(예컨대, 접지전위)로 유지되고, 전원투입에 의해 저전위(VSS)가 부전위로 된다. 따라서, 바이어스회로(25)는 N^+ 형 영역(21)에 접속되고, N^- 형 웰영역(13)에 정전위($>VDD$)를 공급한다.

스위치회로(31)는, 예컨대 P채널 MOS트랜지스터(T2)와 다이오드(D)로 구성된다. MOS트랜지스터(T2)의 한쪽의 소오스·드레인영역 및 다이오드(D)의 애노드는 고전위(VDD)를 공급하는 전원단자(22)에 접속되어 있다. MOS트랜지스터(T1)의 다른쪽의 소오스·드레인영역 및 다이오드(D)의 캐소드는 N^+ 형 영역(21)에 접속되어 있다. 따라서, MOS트랜지스터(T1)의 다른쪽의 소오스·드레인영역 및 다이오드(D)의 캐소드에는

바이어스회로(25)로부터 출력전위(VBP)가 공급된다.

타이어·스위칭 제어회로(32)는, 예컨대 캐패시터(C) 및 저항(R)으로 구성되어 있다. 캐패시터(C)의 일단은 전원단자(23)에 접속되고, 저항(R)의 일단은 전원단자(22)에 접속되어 있다. 캐패시터(C)의 타단과 저항(R)의 타단은 서로 접속되고, 캐패시터(C)와 저항(R)의 접속점은 MOS트랜지스터(T2)의 게이트에 접속되어 있다.

상기 구성의 반도체 집적회로는, 전원투입시에 스위치회로(31)에 의해 전원단자(22)와 N⁻형 웰영역(13)을 단락하고, 또한 전원투입시로부터 일정 시간이 경과한 후에 스위치회로(31)에 의해 N⁻형 웰영역(13)을 전원단자(22)로부터 분리한다고 하는 동작을 행한다.

즉, 전원이 투입되면, 노드(a)가 부전위로 되어 MOS트랜지스터(T2)가 온상태로 된다. 따라서, 전원단자(22)와 N⁻형 웰영역(13)이 단락된다. 그 후, 노드(a)의 전위는 캐패시터(C)의 용량과 저항(R)의 저항치에 의해 설정되는 시정수에 따라 점차로 감소한다.(즉, 전기적으로 전원단자(22)로 방전되어 간다). 전원투입시로부터 일정 시간이 경과한 후에, 노드(a)의 전위(Va)가 MOS트랜지스터(T2)의 임계치(VT)이상으로 되면, MOS트랜지스터(T2)가 오프상태로 된다. 따라서, N⁻형 웰영역(13)은 전원단자(22)로부터 분리된다.

또한, 본 실시예에 있어서도, 스위치회로(31)는 바이어스회로가 정상적으로 동작하는데 필요한 최소단위(VDDmin)이상으로 전원전압(VDD)이 상승한 시점에서, N⁻형 웰영역(13)을 전원단자(22)로부터 분리할 필요가 있다.

즉, 전원투입시로부터 $V_a \geq V_T$ 로 될 때까지에 요하는 시간이 전원투입시로부터 바이어스회로가 정상적으로 동작하기까지에 요하는 시간보다도 길어지도록, 캐패시터(C)의 용량 및 저항(R)의 저항치를 설정해 주면 좋다.

상기 구성에 있어서도, 전원투입시에 있어서, P채널 MOS트랜지스터가 형성되는 기판, 예컨대 N⁻형 웰영역에 공급되는 전위가 과도적으로 고전위(VDD)보다도 작아지는 것을 방지할 수 있고, 따라서 래치업현상을 방지할 수 있다.

그 외, 본 발명의 요지를 이탈하지 않는 범위내에서 여러 가지로 변형하여 실시할 수 있다.

한편, 본원 청구범위의 구성요건에 병기한 도면 참조부호는 본원 발명의 이해를 용이하게 하기 위한 것으로, 본원 발명의 기술적 범위를 도면에 도시한 실시예에 한정할 의도로 병기한 것은 아니다.

[발명의 효과]

이상 설명한 바와 같이 본 발명의 반도체 집적회로에 의하면, 다음과 같은 효과를 발휘한다.

예컨대, 저전위(VSS)로 접지전위를 사용하는 경우, 전원전위(VDD)가 공급되고 나서 바이어스회로가 동작하기까지 저전위(VSS)를 공급하는 전원단자와 N채널 MOS트랜지스터가 형성되는 P형 영역을 단락하고, 또한 바이어스회로가 동작을 개시한 후에 P형 영역을 전원단자로부터 분리하여 이 P형 영역에 부전위를 공급하도록 구성하고 있다. 따라서, 전원투입시에 있어서, N채널 MOS트랜지스터가 형성되는 P형 영역의 전위가 과도적으로 정전위로 상승하는 일이 없고, N형 소오스영역과 P형 영역에 순방향 바이어스전압이 걸리는 일이 없기 때문에, 래치업을 방지할 수 있다.

또, 전원전위(VDD)가 공급되고 나서 바이어스회로가 동작하기까지 전원전위(VDD)를 공급하는 전원단자와 P채널 MOS트랜지스터가 형성되는 N형 영역을 단락하고, 또한 바이어스회로가 동작을 개시한 후에 N형 영역을 전원단자로부터 분리하여 이 N형 영역에 전원전위(VDD)보다 높은 전위를 공급하도록 구성하면, P채널 MOS트랜지스터가 형성되는 N형 영역에서의 래치업을 방지할 수 있다. 더욱이, 트랜지스터의 임계치전압이 변동하는 경우에 발생하는 래치업도 방지할 수 있다.

(57) 청구의 범위

청구항 1

제1도전형의 제1웰영역(13)과 제2도전형의 제2웰영역(12)이 형성되어있는 반도체기판(11)과, 제1전위를 공급하기 위한 제1전원단자(22), 제2전위를 공급하기 위한 제2전원단자(23), 상기 제1웰영역에 형성되고, 상기 제1전원단자에 접속되는 소오스/드레인영역을 갖춘 제1MOS트랜지스터(17, 18, 19), 상기 제2웰영역에 형성되고, 상기 제2전원단자에 접속되는 소오스/드레인영역을 갖춘 제2MOS트랜지스터(14, 15, 16), 상기 제2웰영역에 바이어스전위를 공급하기 위한 제1바이어스회로(24) 및, 상기 제2전원단자와 상기 제2웰영역을 선택적으로 접속하기 위한 접속수단(31, 31a, 32, 33)을 구비하여 구성되고, 상기 접속수단은, 상기 제1전위의 레벨을 검출하여 검출레벨신호를 발생하기 위한 레벨검출회로(33)와, 상기 검출레벨신호에 기초하여 스위칭 제어신호를 발생하기 위한 스위칭 제어회로(32) 및 상기 제2웰영역과 상기 제2전원단자 사이에 접속되어 상기 스위칭 제어신호에 응답하는 스위치회로(31, 31a)로 구성된 것을 특징으로 하는 반도체 집적회로.

청구항 2

제1항에 있어서, 상기 레벨검출회로(33)는, 상기 제1전원단자와 상기스위칭 제어회로 사이에 직렬로 접속된 n개(여기서, $n=1, 2, 3 \dots$)의 다이오드(D1, $\dots$, Dn)로 구성된 것을 특징으로 하는 반도체 집적회로.

청구항 3

제1항에 있어서, 상기 레벨검출회로(33)는, 상기 제1전원단자와 상기스위칭 제어회로 사이에 직렬로 접속된 n개(여기서, $n=1, 2, 3 \dots$)의 MOS트랜지스터(M1, M2, $\dots$, Mn)로 구성된 것을 특징으로 하는 반도체

집적회로.

청구항 4

제1항에 있어서, 상기 레벨검출회로(33)는, 상기 제1 및 제2전원단자사이에 접속된 제1 및 제2저항(R1,R2)과, 상기 스위칭 제어회로에 접속되는 상기 제1 및 제2저항의 접속점으로 구성된 것을 특징으로 하는 반도체 집적회로.

청구항 5

제1항에 있어서, 상기 스위칭 제어회로는, 상기 레벨 검출회로에 접속된 제1단자와, 제2단자를 갖춘 제1인버터(I1)와, 상기 레벨검출회로에 접속된 제1단자와, 제2단자를 갖춘 제2인버터(I2), 상기 제1인버터의 제1단자 및 상기 제2인버터의 제1단자에 접속된 제1전극과, 상기 제2전원단자에 접속된 제2전극을 갖춘 제1캐패시터(C2) 및, 상기 제1전원단자에 접속된 제1전극과, 상기 제1인버터의 제2단자 및 상기 제2인버터의 제2단자에 접속된 제2전극을 갖춘 제2캐패시터(C1)로 구성된 것을 특징으로 하는 반도체 집적회로.

청구항 6

제1항에 있어서, 상기 스위치회로는, 상기 제2웰영역과 상기 제2전원단자 사이에 접속된 다이오드(D)와, 상기 제2웰영역과 상기 제2전원단자 사이에 접속되고, 상기 스위칭 제어회로에 접속되는 게이트를 갖춘 MOS트랜지(T1)로 구성된 것을 특징으로 하는 반도체 집적회로.

청구항 7

제1항에 있어서, 상기 제1MOS트랜지스터는 N채널 MOS트랜지스터이고, 상기 바이어스전위는 상기 제1전위보다도 낮은 것을 특징으로 하는 반도체 집적회로.

청구항 8

제1항에 있어서, 상기 제1MOS트랜지스터는 P채널 MOS트랜지스터이고, 상기 바이어스전위는 상기 제1전위보다도 높은 것을 특징으로 하는 반도체 집적회로.

청구항 9

제1도전형의 제1웰영역(13)과 제2도전형의 제2웰영역(12)이 형성되어 있는 반도체기판(11)과, 제1전위를 공급하기 위한 제1전원단자(22), 제2전위를 공급하기 위한 제2전원단자(23), 상기 제1웰영역에 형성되고, 상기 제1전원단자에 접속되는 소오스/드레인영역을 갖춘 제1MOS트랜지스터(17,18,19), 상기 제2웰영역에 형성되고, 상기 제2전원단자에 접속되는 소오스/드레인영역을 갖춘 제2MOS트랜지스터(14,15,16), 상기 제1웰영역에 제1바이어스전위를 공급하기 위한 제1바이어스회로(25), 상기 제2웰영역에 제2바이어스전위를 공급하기 위한 제2바이어스회로(24), 상기 제1전원단자와 상기 제1웰영역을 선택적으로 접속하기 위한 제1접속수단(31a,32,33) 및 상기 제2전원단자와 상기 제2웰영역을 선택적으로 접속하기 위한 제2접속수단(31a,32,33)을 구비하여 구성되고, 상기 제1 및 제2접속수단은, 상기 제1전위의 레벨을 검출하기 위한 레벨검출회로(33)와, 상기 검출한 레벨에 기초하여 제1 및 제2스위칭 제어신호를 발생하기 위한 스위칭 제어회로(32), 상기 제1웰영역과 상기 제1전원단자 사이에 접속되어 상기 제1스위칭 제어신호에 응답하는 제1스위치회로(31b) 및, 상기 제2웰영역과 상기 제2전원단자 사이에 접속되어 상기 제2스위칭 제어신호에 응답하는 제2스위치회로(31a)로 구성된 것을 특징으로 하는 반도체 집적회로.

청구항 10

제9항에 있어서, 상기 레벨검출회로(33)는, 상기 제1전원단자와 상기 스위칭 제어회로 사이에 접속된 n개(여기서, n=1,2,3, . . .)의 다이오드(D1, . . . ,Dn)로 구성된 것을 특징으로 하는 반도체 집적회로.

청구항 11

제9항에 있어서, 상기 레벨검출회로(33)는, 상기 제1전원단자와 상기 스위칭 제어회로 사이에 직렬로 접속된 n개(여기서, n=1,2,3, . . .)의 MOS트랜지스터(M1,M2, . . . ,Mn)로 구성된 것을 특징으로 하는 반도체 집적회로.

청구항 12

제9항에 있어서, 상기 레벨검출회로(33)는, 상기 제1 및 제2전원단자 사이에 직렬로 접속된 제1 및 제2저항(R1,R2)과, 상기 스위칭 제어회로에 접속되는 상기 제1 및 제2저항의 접속점으로 구성된 것을 특징으로 하는 반도체 집적회로.

청구항 13

제9항에 있어서, 상기 스위칭 제어회로는, 상기 레벨검출회로에 접속된 제1단자와, 제2단자를 갖춘 제1인버터(I1)와, 상기 레벨검출회로에 접속된 제1단자와, 제2단자를 갖춘 제2인버터(I2), 상기 제1인버터의 제1단자 및 상기 제2인버터의 제1단자에 접속된 제1전극과, 상기 제2전원단자에 접속된 제2전극을 갖춘 제1캐패시터(C2) 및 상기 제1전원단자에 접속된 제1전극과, 상기 제1인버터의 제2단자 및 상기 제2인버터의 제2단자에 접속된 제2전극을 갖춘 제2캐패시터(C1)로 구성된 것을 특징으로 하는 반도체 집적회로.

청구항 14

제9항에 있어서, 상기 제1스위치회로는, 상기 제1웰영역과 상기 제1전원단자 사이에 접속된 제1다이오드(D')와, 상기 제1웰영역과 상기 제1전원단자 사이에 접속되고, 상기 스위칭 제어회로에 접속되는 게이트를 갖춘 제1스위칭 MOS트랜지스터(T2)로 구성되고, 상기 제2스위치회로는, 상기 제2웰영역과 상기 제2전원단자 사이에 접속된 제2다이오드(D)와, 상기 제2웰영역과 상기 제2전원단자 사이에 접속되고, 상기 스

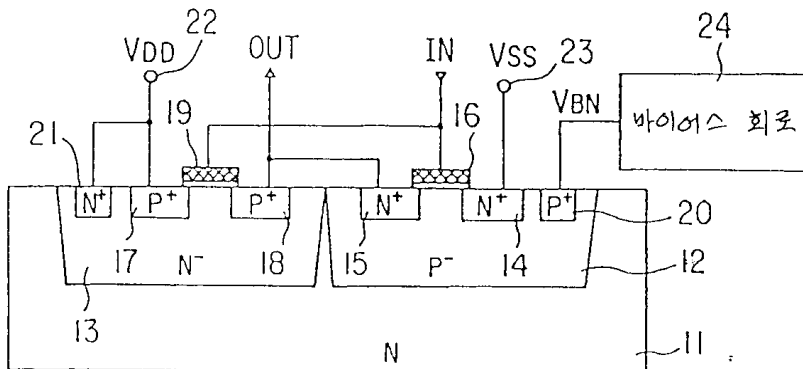
위칭 제어회로에 접속되는 게이트를 갖춘 MOS트랜지스터(T1)로 구성된 것을 특징으로 하는 반도체 집적회로.

청구항 15

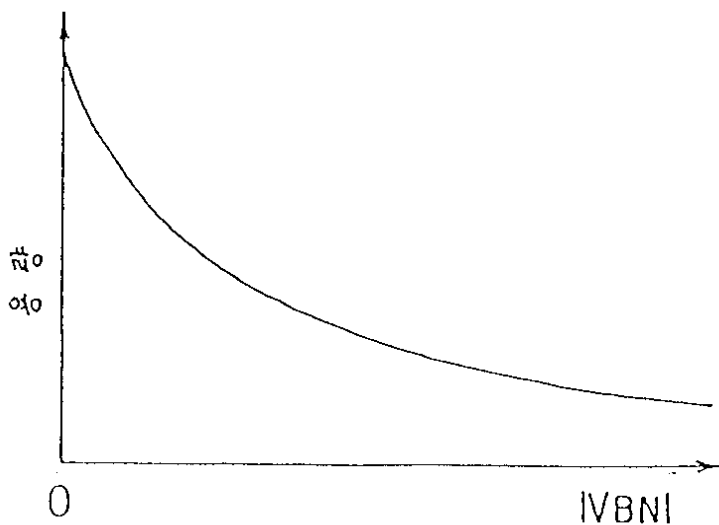
웰영역이 형성되어 있는 반도체기판(11)과, 전원이 투입되고 나서 소정시간에 제1전위레벨에 도달하는 제1전위를 공급하기 위한 제1전원단자(22), 제2전위를 공급하기 위한 제2전원단자(23), 상기 웰영역에 형성되고, 상기 제2전원단자에 접속되는 소오스/드레인영역을 갖춘 MOS트랜지스터(14, 15, 16), 상기 제1전위를 공급받아 상기 웰영역에 바이어스전위를 공급하기 위한 바이어스회로(24) 및 전원이 투입되고 나서 상기 제1전위의 전위레벨이 소정의 전위레벨과 같아지거나 커질 때까지 상기 제2전원단자와 상기 웰영역을 접속하기 위한 접속수단(31, 32, 33)을 구비하여 이루어진 것을 특징으로 하는 반도체 집적회로.

도면

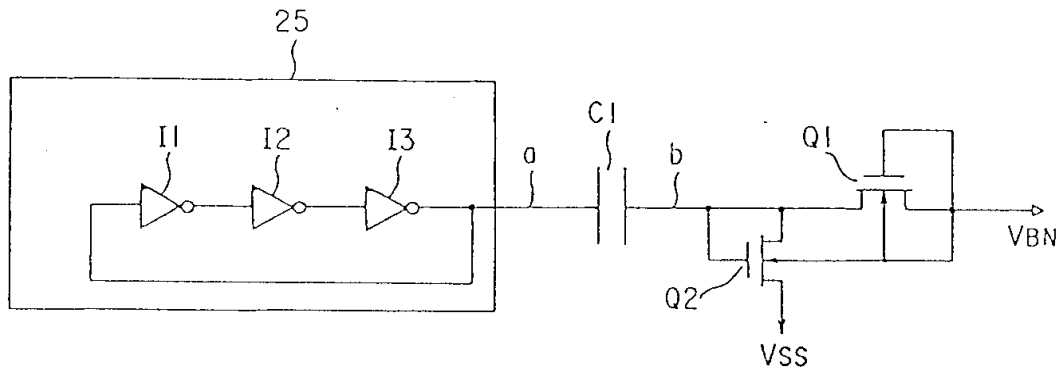
도면1



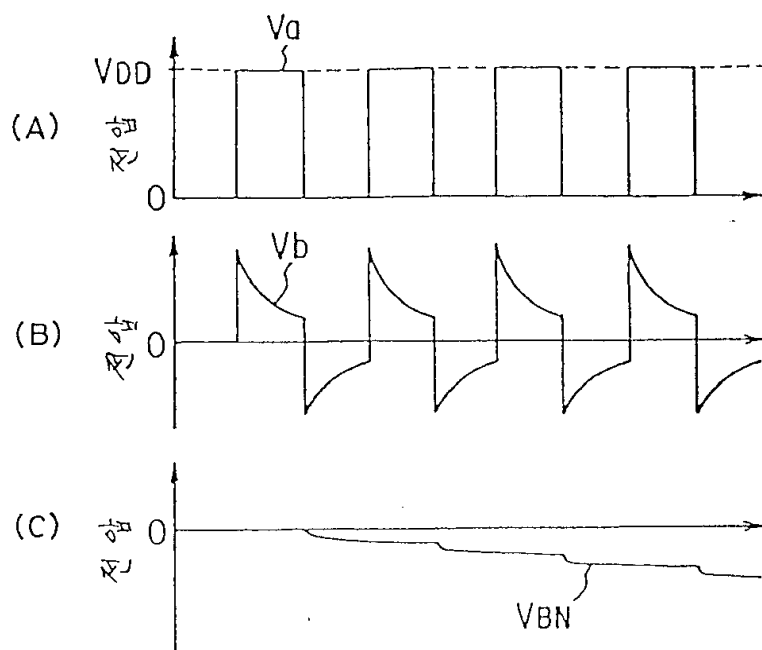
도면2



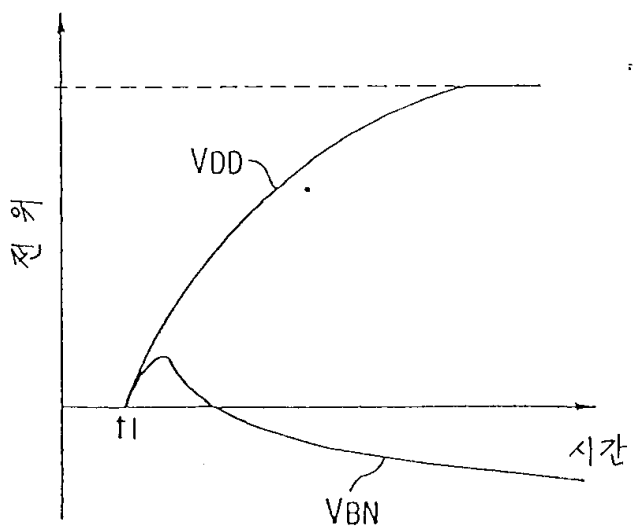
도면3



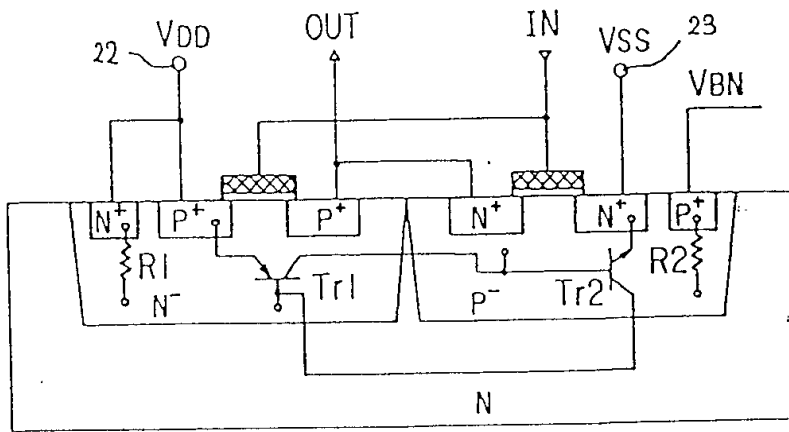
도면4



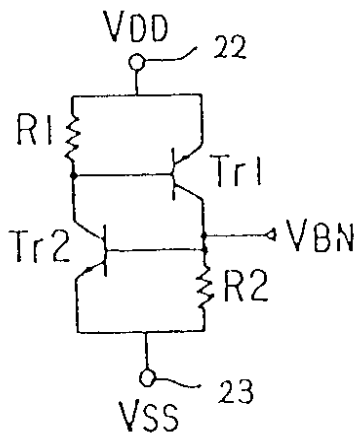
도면5



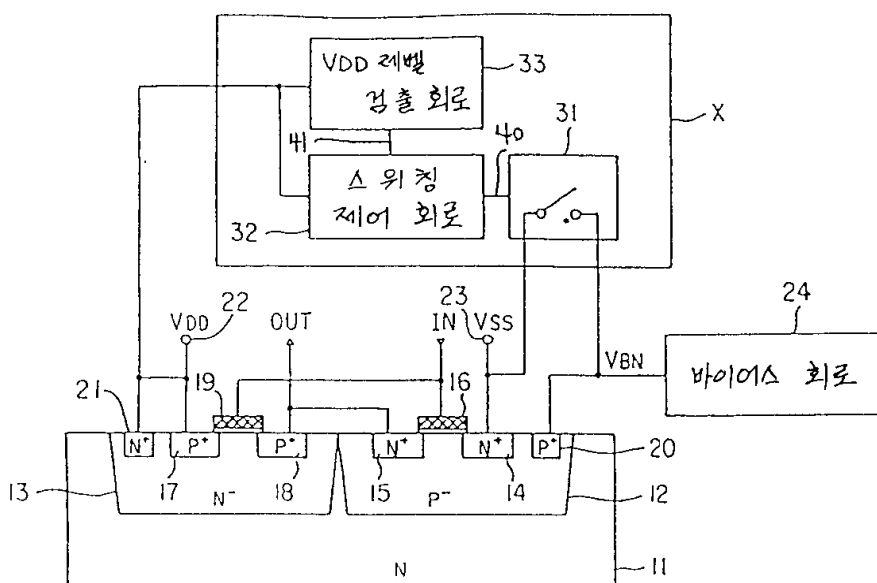
도면6



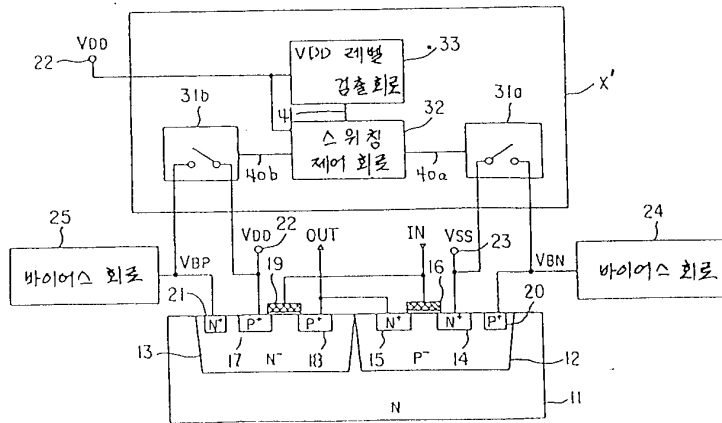
도면7



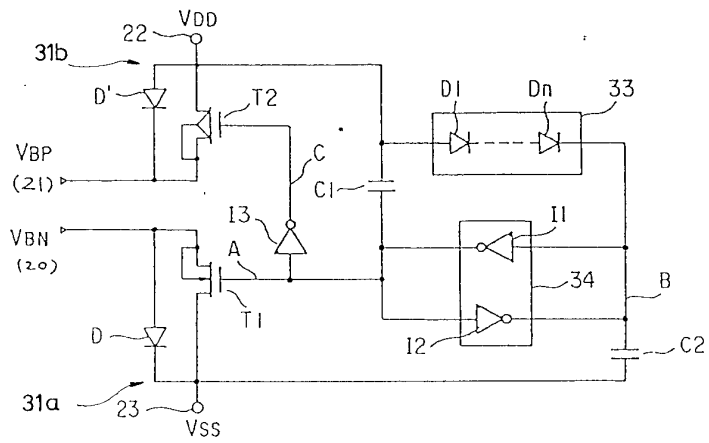
도면8



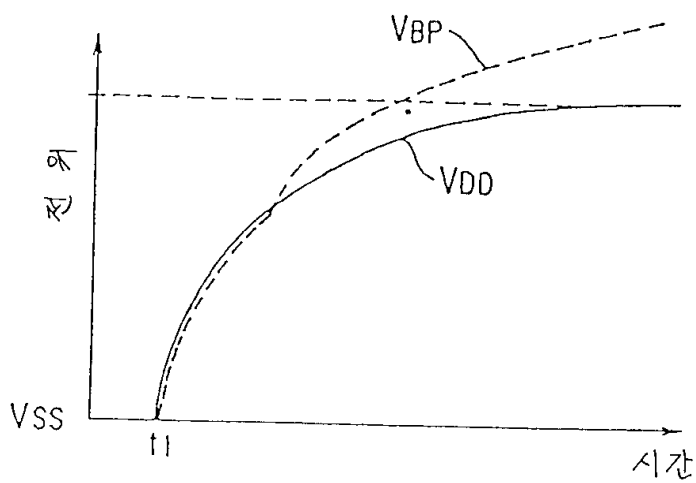
도면11



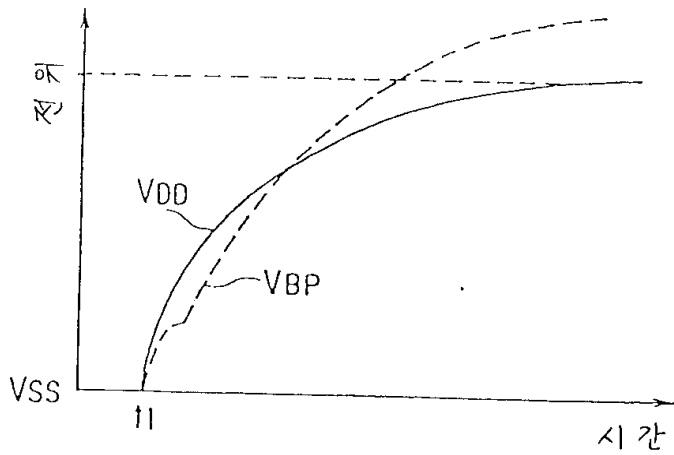
도면12



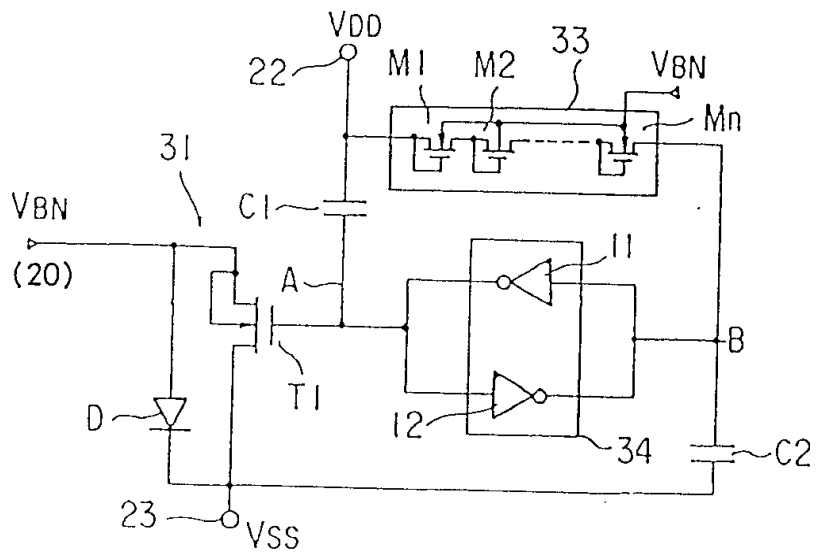
도면13



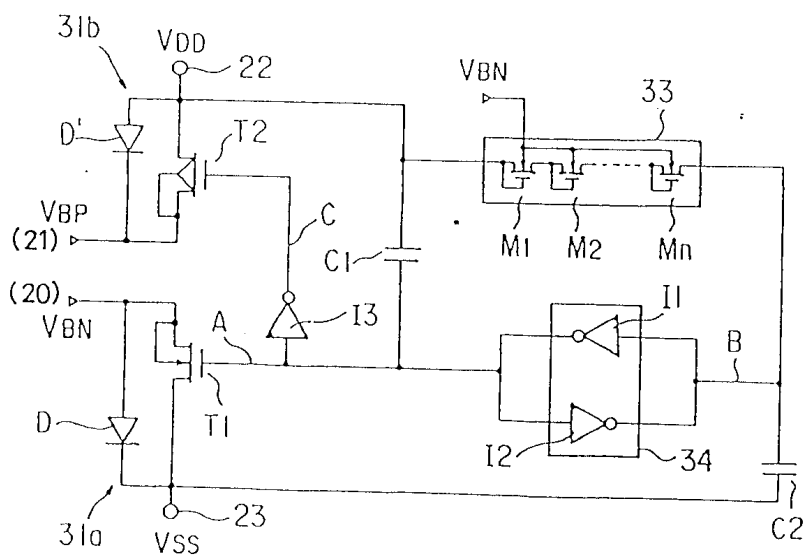
도면14



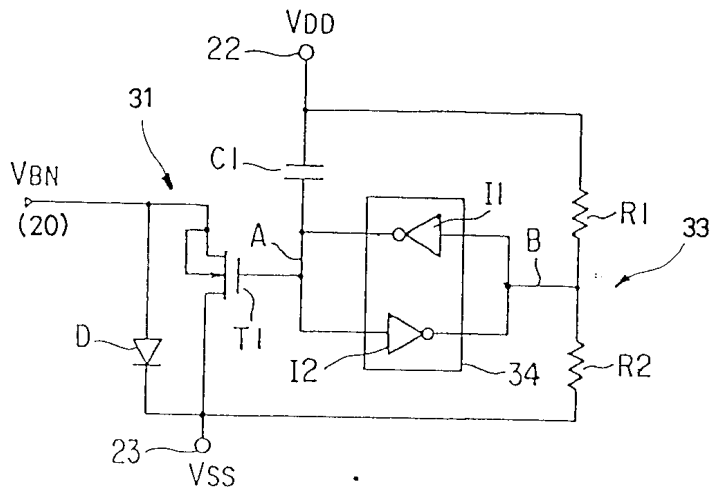
도면15



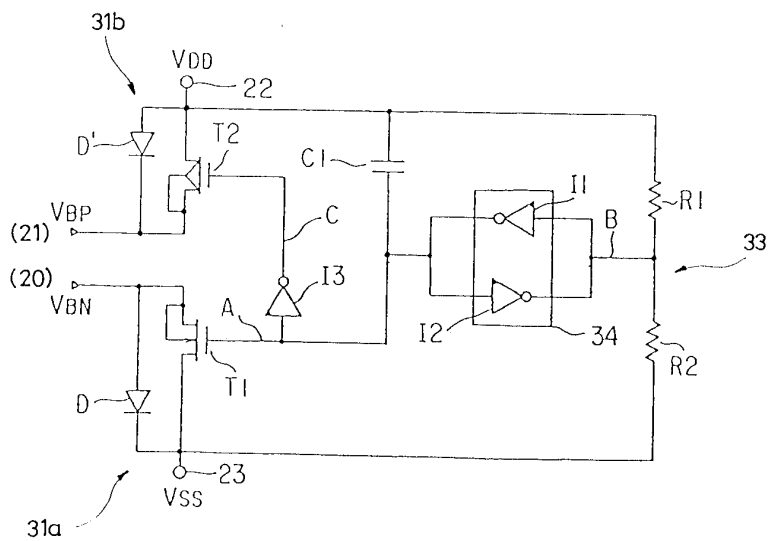
도면16



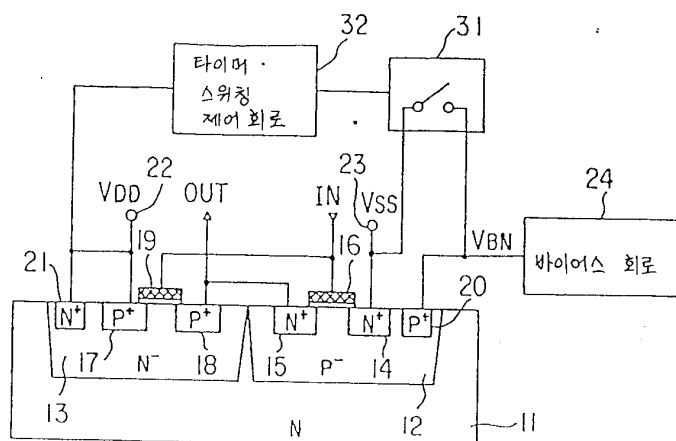
도면 17



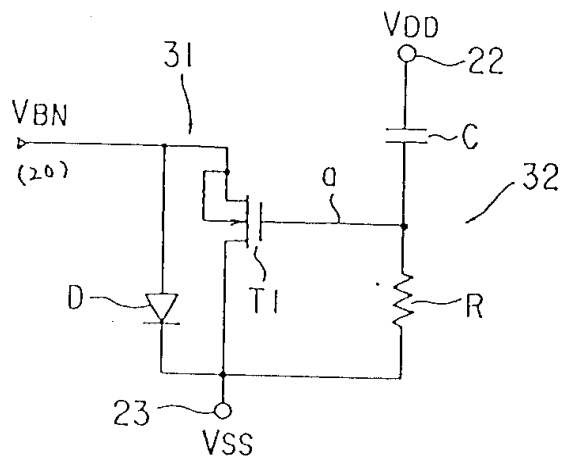
도면 18



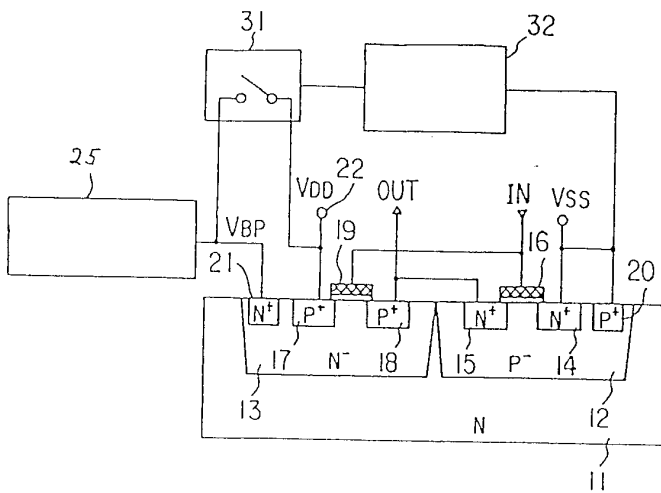
도면 19



도면20



도면21



도면22

