



(12)发明专利

(10)授权公告号 CN 104576731 B

(45)授权公告日 2018.04.17

(21)申请号 201310485697.1

H01L 29/423(2006.01)

(22)申请日 2013.10.17

H01L 21/336(2006.01)

(65)同一申请的已公布的文献号

H01L 21/28(2006.01)

申请公布号 CN 104576731 A

(56)对比文件

US 4288806 ,1981.09.08,

(43)申请公布日 2015.04.29

US 4288806 ,1981.09.08,

(73)专利权人 上海华虹宏力半导体制造有限公司

CN 102751195 A,2012.10.24,

地址 201203 上海市浦东新区张江高科技
园区祖冲之路1399号

US 2004/0201078 A1,2004.10.14,

(72)发明人 遇寒 李昊 周正良

审查员 郑钰

(74)专利代理机构 上海浦一知识产权代理有限公司 31211

代理人 殷晓雪

(51)Int.Cl.

权利要求书1页 说明书4页 附图5页

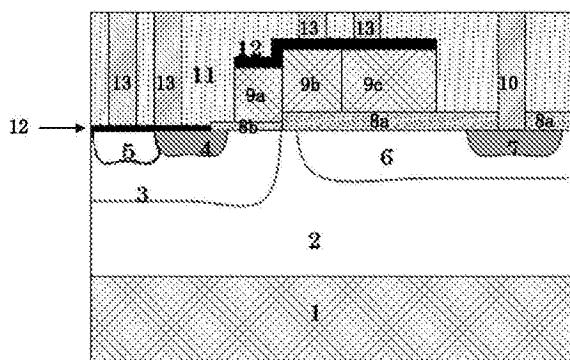
H01L 29/78(2006.01)

(54)发明名称

一种射频LDMOS器件及其制造方法

(57)摘要

本申请公开了一种射频LDMOS器件，在外延层中具有体区和漂移区；在体区中具有源区；在漂移区中具有漏区。在部分漂移区之上、或者在部分源区和部分体区之上、或者在部分源区和部分体区和部分外延层之上具有垫氧化层。在垫氧化层和栅氧化层之上具有多晶硅栅极。栅极由主体、第一延伸部、第二延伸部所组成。栅极主体仅在栅氧化层的上方，栅极的各个延伸部仅在垫氧化层的上方。本申请还公开了其制造方法。本申请可以提升栅的可靠性，并改善IGSS失效，提升器件的良品率。



1. 一种射频LDMOS器件，在外延层中具有体区和漂移区；在体区中具有源区；在漂移区中具有漏区；其特征是：

在部分漂移区之上、或者在部分漂移区和部分外延层之上具有垫氧化层；

在部分源区和部分体区之上、或者在部分源区和部分体区和部分外延层之上具有栅氧化层；

垫氧化层的厚度大于栅氧化层的厚度；

在垫氧化层和部分的栅氧化层之上具有多晶硅鱼骨栅极；鱼骨栅极由主体、从主体垂直延伸出来的一个或多个第一延伸部、从主体垂直延伸出来的一个或多个第二延伸部所组成；第二延伸部的延伸距离比第一延伸部的延伸距离更大；鱼骨栅极主体仅在栅氧化层的上方，鱼骨栅极的各个延伸部仅在垫氧化层的上方。

2. 根据权利要求1所述的射频LDMOS器件，其特征是，栅极主体的上表面低于栅极的各个延伸部的上表面。

3. 根据权利要求1所述的射频LDMOS器件，其特征是，在栅极上方具有连续的一块金属硅化物，其呈台阶状。

一种射频LDMOS器件及其制造方法

技术领域

[0001] 本申请涉及一种半导体集成电路器件，特别是涉及一种射频LDMOS(横向扩散MOS晶体管)器件。

背景技术

[0002] 请参阅图1，这是一种现有的射频LDMOS器件。在重掺杂p型衬底1之上具有轻掺杂p型外延层2。在外延层2中具有p型体区3和n型漂移区6，两者的侧面可以接触或不接触。在体区3中具有重掺杂n型源区4和重掺杂p型体区引出区5，两者的侧面相接触。体区引出区5用于将体区3对外引出。在漂移区6中具有重掺杂n型漏区7。在部分源区4一直延伸到漏区7之上具有栅氧化层8，其底面接触有源区4、体区3、外延层2(如果体区3和漂移区6的侧面相接触，则栅氧化层8底面不接触外延层2)、漂移区6、漏区7。在部分栅氧化层8之上具有多晶硅栅极9。在漏区7之上具有重掺杂n型多晶硅塞(poly plug)10，用于将漏区7对外引出且降低源漏电容Cds。多晶硅塞10的底部穿越栅氧化层8而与漏区7的上表面相接触。在体区引出区5和源区4之上、栅极9之上各具有金属硅化物12。在上述各部分结构之上具有金属前介质(PMD, Premetal Dielectric)11。接触孔电极13穿越该金属前介质11而连接各个金属硅化物12的上表面。

[0003] 请参阅图1a，这是图1中的栅极9的俯视示意图。栅极9由主体9a、从主体9a垂直延伸出来的一个或多个第一延伸部9b、从主体9a垂直延伸出来的一个或多个第二延伸部9c所组成。第二延伸部9c的延伸距离比第一延伸部9b的延伸距离更大。这种结构的栅极9通常称为鱼骨栅，可以降低栅极电阻。从图1a中的A箭头所示的方向观察，就是图1中的栅极9的剖面。现有的栅极9中，栅极主体9a、第一延伸部9b、第二延伸部9c具有相同的高度。通常，栅极主体9a仅在体区3和外延层2的上方(如果体区3和漂移区6的侧面相接触，则栅极主体9a仅在体区3的上方)，而栅极的各个延伸部9b、9c则延伸到漂移区6的上方。

[0004] 然而，栅极的各个延伸部9b、9c置于栅氧化层8之上，在长时间使用之后，栅极的各个延伸部9b、9c上方的金属硅化物12可能会沿着多晶硅的晶界达到下方的栅氧化层8。如果栅氧化层8较薄就有栅极9和漏区7击穿的风险，还会导致IGSS(栅极-源极漏电流)失效的问题。

发明内容

[0005] 本申请所要解决的技术问题是提供一种新型的射频LDMOS器件，可以提高栅极的可靠性。为此，本申请还要提供所述射频LDMOS器件的制造方法，可以提升良品率。

[0006] 为解决上述技术问题，本申请射频LDMOS器件在外延层中具有体区和漂移区；在体区中具有源区；在漂移区中具有漏区；

[0007] 在部分漂移区之上、或者在部分漂移区和部分外延层之上具有垫氧化层；

[0008] 在部分源区和部分体区之上、或者在部分源区和部分体区和部分外延层之上具有栅氧化层；

- [0009] 垫氧化层的厚度大于栅氧化层的厚度；
- [0010] 在垫氧化层和部分的栅氧化层之上具有多晶硅栅极；栅极由主体、从主体垂直延伸出来的一个或多个第一延伸部、从主体垂直延伸出来的一个或多个第二延伸部所组成；第二延伸部的延伸距离比第一延伸部的延伸距离更大；栅极主体仅在栅氧化层的上方，栅极的各个延伸部仅在垫氧化层的上方。
- [0011] 本申请射频LDMOS器件的制造方法包括如下步骤：
- [0012] 第1步，在衬底上外延生长出一层外延层；
- [0013] 第2步，在外延层上热氧化生长出一层氧化硅，然后以光刻和离子注入工艺在外延层中形成漂移区；然后采用光刻和刻蚀工艺去除掉部分的该层氧化硅，剩余的该层氧化硅作为垫氧化层；
- [0014] 第3步，在外延层上再次进行热氧化生长，从而在未被垫氧化层覆盖的区域形成一层氧化硅，作为栅氧化层；栅氧化层仅在外延层之上；
- [0015] 第4步，在垫氧化层和栅氧化层之上淀积一层多晶硅，然后采用光刻和刻蚀工艺对该层多晶硅进行刻蚀，形成多晶硅栅极；
- [0016] 栅极由主体、从主体垂直延伸出来的一个或多个第一延伸部、从主体垂直延伸出来的一个或多个第二延伸部所组成；第二延伸部的延伸距离比第一延伸部的延伸距离更大；栅极主体仅在栅氧化层的上方，而栅极的各个延伸部仅在垫氧化层的上方；
- [0017] 第5步，采用离子注入工艺在外延层中形成体区，然后采用光刻和离子注入工艺，同时对体区和漂移区进行离子注入，在体区中形成源区，在漂移区中形成漏区；然后采用光刻和离子注入工艺，在体区中形成体区引出区，体区引出区与源区的侧面相接触；
- [0018] 第6步，进行退火工艺，然后在体区引出区和源区的上方、栅极的上方同时形成相互独立的金属硅化物，然后在硅片上淀积金属前介质并以平坦化工艺将其上表面打磨平整；
- [0019] 第7步，采用光刻和刻蚀工艺在金属前介质中形成多个通孔，这些通孔的底部分别在体区引出区的上表面、源区的上表面、栅极的各个延伸部的上表面、漏区的上表面，最后以金属材料或多晶硅填充这些通孔，从而形成接触孔电极或多晶硅塞。
- [0020] 本申请射频LDMOS器件为鱼骨栅结构的栅极下方提供了两种不同厚度的氧化层，栅极主体在较薄的氧化层之上，栅极的各个延伸部在较厚的氧化层之上。在长时间使用之后，栅极的各个延伸部上方的金属硅化物可能会沿着多晶硅的晶界达到下方的垫氧化层。由于垫氧化层较厚，栅极和漏区击穿的风险将大大降低，IGSS失效的问题也将大为改善，从而提高了栅极的可靠性。

附图说明

- [0021] 图1是现有的射频LDMOS器件的结构示意图；
- [0022] 图1a是图1中的栅极的俯视示意图；
- [0023] 图2是本申请的射频LDMOS器件的结构示意图；
- [0024] 图2a是图2中的栅极的俯视示意图；
- [0025] 图3a～图3g是本申请的射频LDMOS器件的制造方法的各步骤示意图。
- [0026] 图中附图标记说明：

[0027] 1为衬底;2为外延层;2a为隔离结构;3为体区;4为源区;5为体区引出区;6为漂移区;7为漏区;8为栅氧化层;9为栅极;9a为栅极主体;9b为栅极的第一延伸部;9c为栅极的第二延伸部;10为多晶硅塞;11为金属前介质;12为金属硅化物;13为接触孔电极。

具体实施方式

[0028] 请参阅图2,这是本申请的射频LDMOS器件。在重掺杂p型衬底1之上具有轻掺杂p型外延层2。在外延层2中具有p型体区3和n型漂移区6,两者的侧面可以接触或不接触。在体区3中具有重掺杂n型源区4和重掺杂p型体区引出区5,两者的侧面相接触。体区引出区5用于将体区3对外引出。在漂移区6中具有重掺杂n型漏区7。在漂移区6一直延伸到漏区7之上、或者在部分外延层2一直延伸到漏区7之上(根据体区3和漂移区6的侧面是、否接触而定)具有垫氧化层8a。在部分源区4和部分体区3之上、或者在部分源区4和部分体区3和部分外延层2之上(根据体区3和漂移区6的侧面是、否接触而定)具栅氧化层8b。垫氧化层8a的厚度大于栅氧化层8b的厚度。在垫氧化层8a和栅氧化层8b之上具有多晶硅栅极9。在漏区7之上具有重掺杂n型多晶硅塞10,其底部穿越垫氧化层8a而与漏区7的上表面相接触,用于将漏区7对外引出。在体区引出区5和源区4之上、栅极9之上各具有相互独立的金属硅化物12。在上述各部分结构之上具有金属前介质11。接触孔电极13穿越该金属前介质11而连接各个金属硅化物12的上表面。为提高可靠性,同一块金属硅化物12之上通常设有两个以上的接触孔电极13。

[0029] 请参阅图2a,这是图2中的栅极9的俯视示意图。本申请也采用鱼骨栅结构,栅极9由主体9a、从主体9a垂直延伸出来的一个或多个第一延伸部9b、从主体9a垂直延伸出来的一个或多个第二延伸部9c所组成。第二延伸部9c的延伸距离比第一延伸部9b的延伸距离更大。栅极9仅有各个延伸部9b、9c对外引出,即连接栅极9的接触孔电极13仅接触栅极各个延伸部9b、9c的上表面。从图2a中的A箭头所示的方向观察,就是图2中的栅极9的剖面。本申请的栅极9中,栅极主体9a仅在栅氧化层8b的上方,栅极的各个延伸部9b、9c仅在垫氧化层8a的上方。由于垫氧化层8a的厚度大于栅氧化层8b的厚度,而使得栅极主体9a的上表面低于栅极的各个延伸部9b、9c的上表面。相应地,栅极9上方的金属硅化物12也呈台阶状,但仍为连续的一块金属硅化物12。

[0030] 现有的采用鱼骨栅结构的射频LDMOS器件中,栅极主体9a和栅极的各个延伸部9b、9c都在相同厚度的栅氧化层8之上。本申请的射频LDMOS器件也采用了鱼骨栅结构,然而栅极主体9a在厚度较薄的栅氧化层8b之上,栅极的各个延伸部9b、9c在厚度较厚的垫氧化层8a之上,这能够提升栅极的可靠性,从而提升硅片的良品率。

[0031] 本申请的射频LDMOS器件的制造方法包括如下步骤:

[0032] 第1步,请参阅图3a,在重掺杂的p型衬底1上进行外延生长,形成一层轻掺杂的p型外延层2。

[0033] 随后,请参阅图3b,在外延层2上形成一圈隔离结构2a。隔离结构2a是氧化硅,例如采用浅槽隔离(STI)工艺、局部氧化(LOCOS)工艺。进行器件隔离是常规步骤,通常可以省略而不进行特别介绍,并且其后的附图中仅表示位于隔离结构2a之间的区域而省略掉隔离结构2a。

[0034] 第2步,请参阅图3c,在外延层2上进行热氧化生长,形成一层氧化硅,其厚度例如

为 $500\sim1200\text{\AA}$ 。然后以光刻和离子注入工艺在外延层2中形成n型漂移区6。然后采用光刻和刻蚀工艺去除掉部分的氧化硅,剩余的氧化硅作为垫氧化层8a,垫氧化层8a之上用于放置栅极的各个延伸部。垫氧化层8a或者完全位于漂移区6的上方;垫氧化层8a或者主要位于漂移区6的上方,小部分位于外延层2的上方(根据体区3和漂移区6的侧面是、否接触而定)。

[0035] 第3步,请参阅图3d,在外延层2上再次进行热氧化生长,从而在未被垫氧化层8a覆盖的区域形成一层氧化硅,其厚度例如为 $150\sim300\text{\AA}$,作为栅氧化层8b。栅氧化层8a仅在外延层2之上。由于栅氧化层8b的厚度小于垫氧化层8a,因此两者的上表面呈现台阶状。

[0036] 第4步,请参阅图3e,在垫氧化层8a和栅氧化层8b之上淀积一层多晶硅,然后采用光刻和刻蚀工艺对该层多晶硅进行刻蚀,形成多晶硅栅极9。栅极9的俯视图如图2a所示,也是鱼骨栅结构。栅极9由主体9a、从主体9a垂直延伸出来的一个或多个第一延伸部9b、从主体9a垂直延伸出来的一个或多个第二延伸部9c所组成。第二延伸部9c的延伸距离比第一延伸部9b的延伸距离更大。栅极主体9a仅在栅氧化层8b的上方,而栅极的各个延伸部9b、9c仅在垫氧化层8a的上方。由于垫氧化层8a的厚度大于栅氧化层8b,而使得栅极主体9a的上表面低于栅极的各个延伸部9b、9c的上表面,也呈现台阶状。

[0037] 第5步,请参阅图3f,对栅极主体9a的外侧下方的外延层2进行p型杂质的离子注入,从而在外延层2中形成p型体区3。离子注入剂量例如为 $2\times10^{13}\sim1\times10^{14}$ 原子每平方厘米,p型杂质例如为硼。部分体区3在栅极主体9a的正下方,体区3的侧面与漂移区6的侧面可以接触或不接触。

[0038] 然后采用光刻和离子注入工艺,同时对体区3和漂移区6进行n型重掺杂离子注入。在体区3中形成重掺杂的n型源区4,源区4在栅极主体9a的外侧下方。在漂移区6中形成重掺杂的n型漏区7,漏区7在栅极的第二延伸部9c的外侧下方。n型离子注入的剂量为 $1\times10^{15}\sim5\times10^{15}$ 原子每平方厘米,n型杂质例如为磷、砷等。

[0039] 然后采用光刻和离子注入工艺,在体区3中形成重掺杂的p型体区引出区5。离子注入剂量例如为 $1\times10^{15}\sim5\times10^{15}$ 原子每平方厘米,p型杂质例如为硼。体区引出区5在源区4远离栅极9的那一侧,体区引出区5与源区4的侧面相接触。

[0040] 第6步,请参阅图3g,进行退火工艺,例如高温热退火、快速热退火等,使前面离子注入的体区3、源区4、漏区7、体区引出区5的杂质扩散得基本均匀。然后,在体区引出区5和源区4的上方、栅极9的上方同时形成相互独立的金属硅化物12。由于栅极9的上表面呈台阶状,因而栅极9上方的金属硅化物12也呈台阶状。然后,在硅片上淀积金属前介质11,并以平坦化工艺将其上表面打磨平整,例如采用CMP(化学机械研磨)工艺。

[0041] 第7步,请参阅图2,采用光刻和刻蚀工艺在金属前介质11中形成多个通孔,这些通孔的底部分别在体区引出区5和源区4的上表面、栅极的各个延伸部9b、9c的上表面、漏区7的上表面。最后以金属材料填充这些通孔,从而形成接触孔电极13,例如采用钨塞工艺。对于漏区7上方的通孔,以多晶硅进行填充,从而在该通孔中形成多晶硅塞10,用于将漏区7对外引出。

[0042] 以上仅为本申请的优选实施例,并不用于限定本申请。对于本领域的技术人员来说,本申请可以有各种更改和变化。凡在本申请的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本申请的保护范围之内。

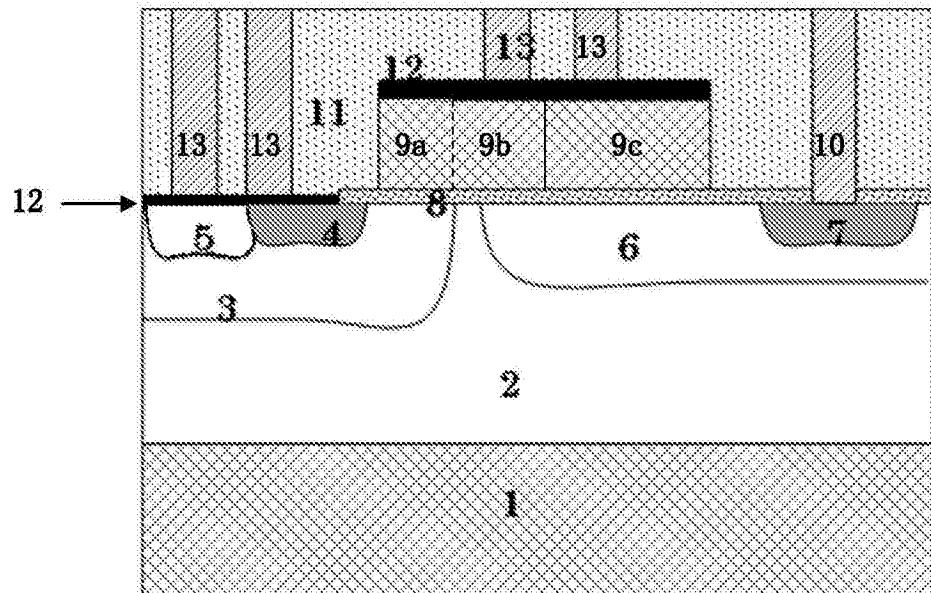


图1

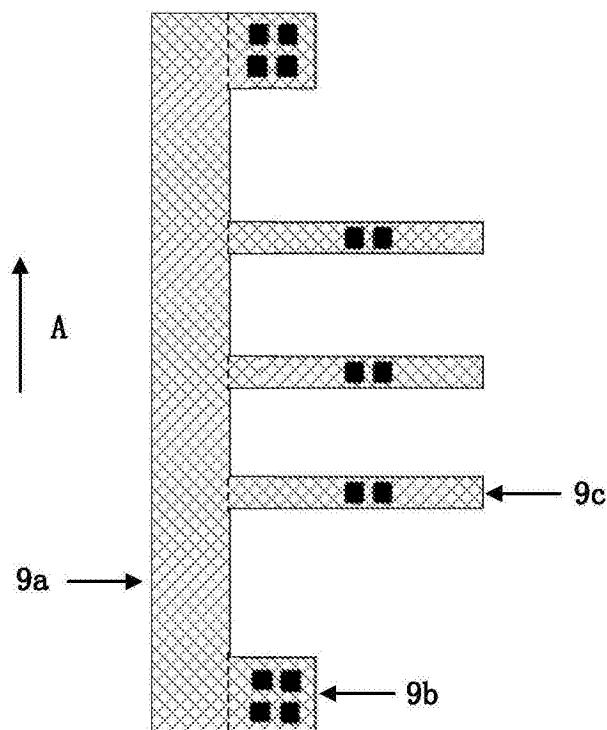


图1a

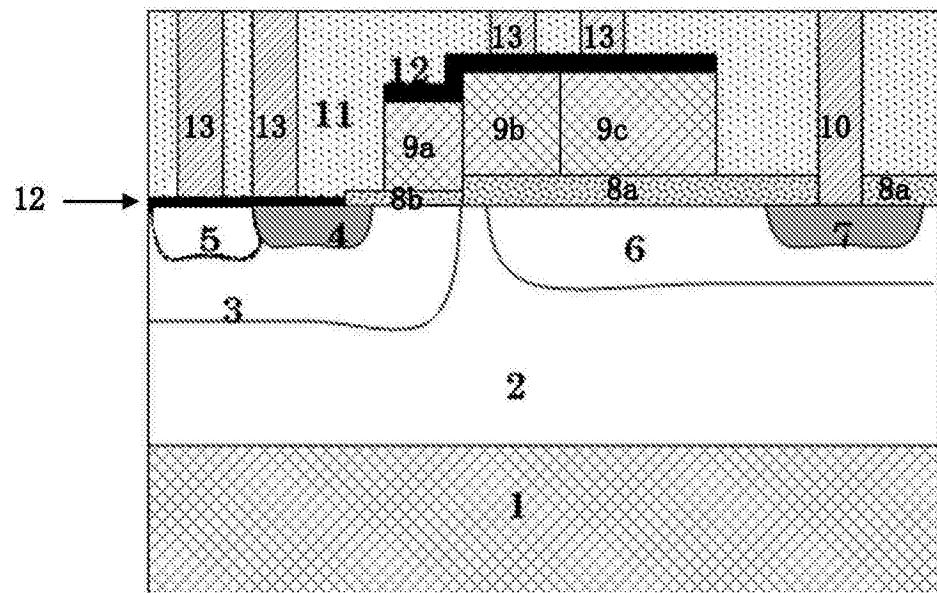


图2

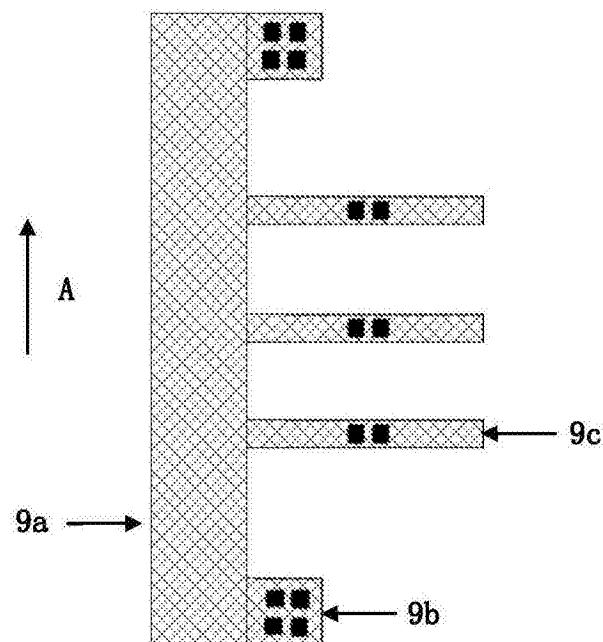


图2a

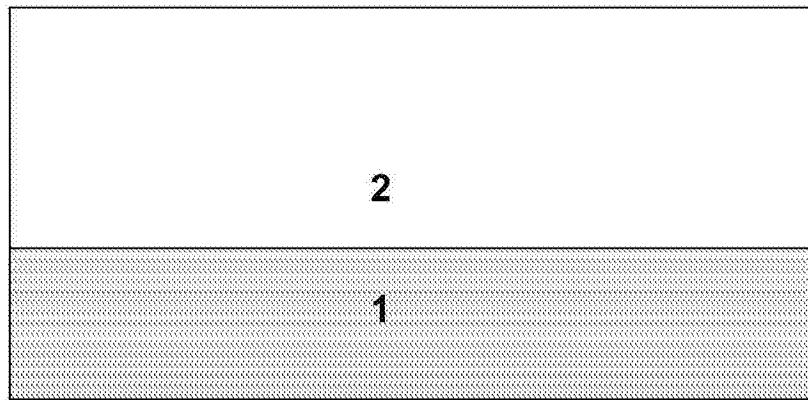


图3a

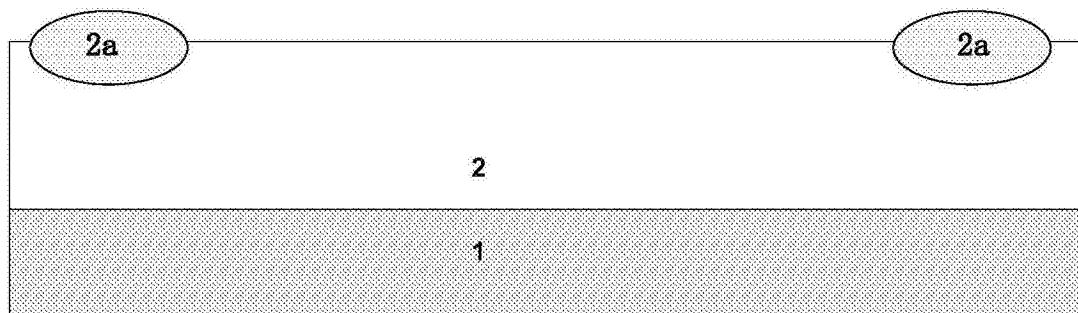


图3b

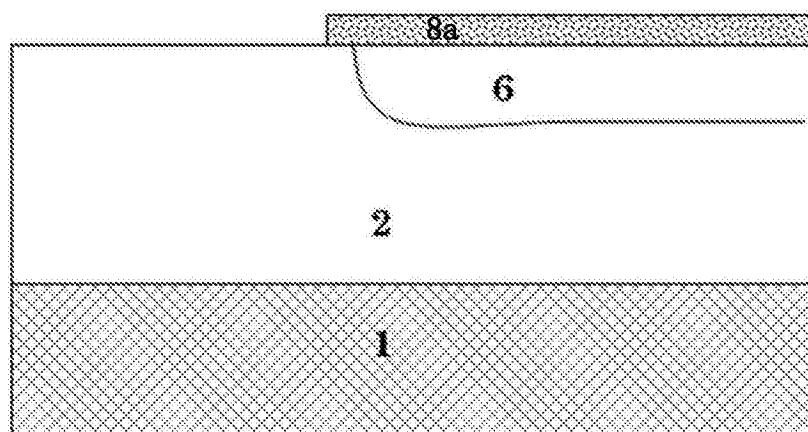


图3c

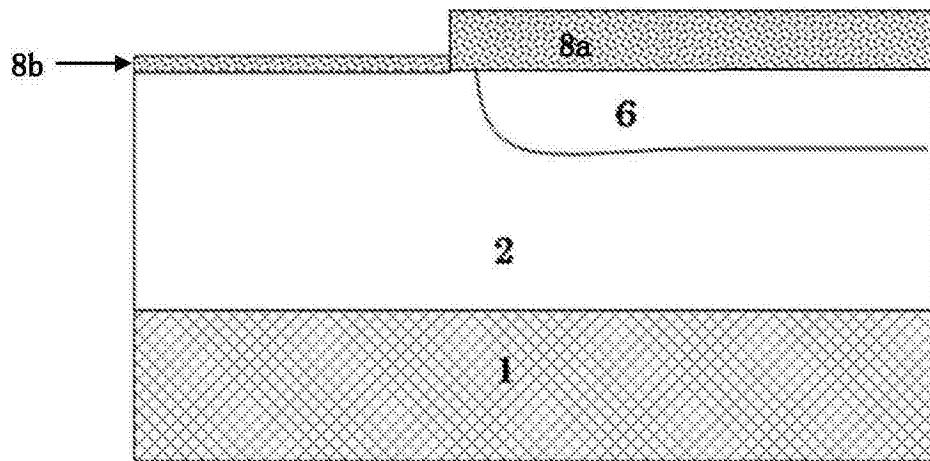


图3d

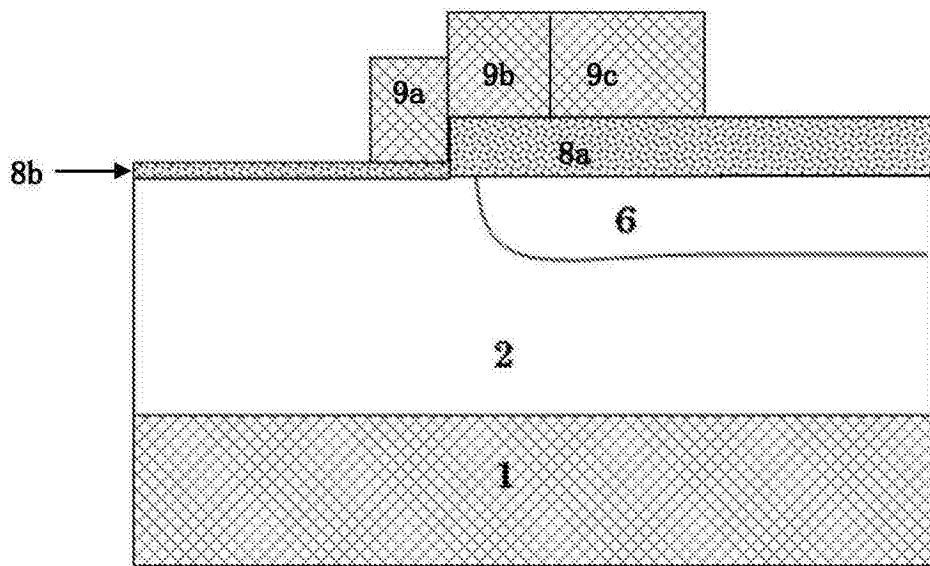


图3e

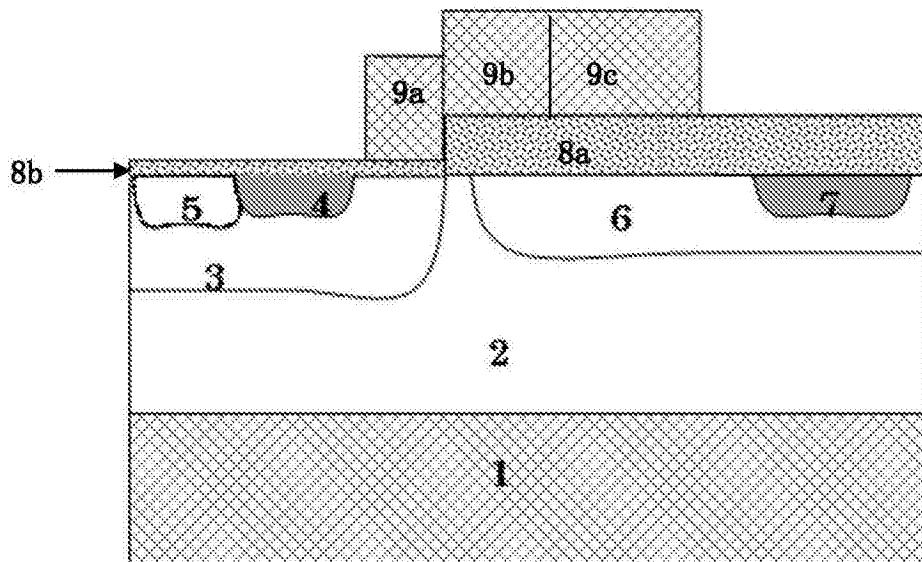


图3f

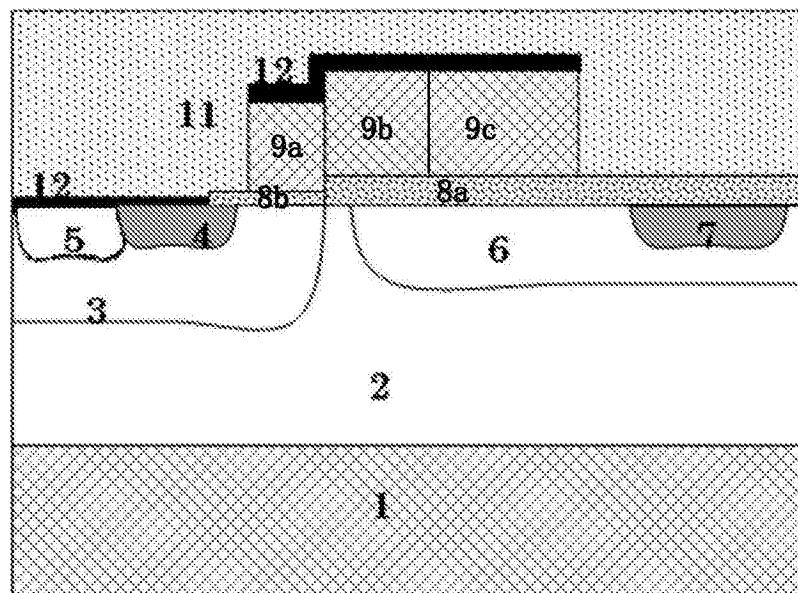


图3g