

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-229698

(P2014-229698A)

(43) 公開日 平成26年12月8日(2014.12.8)

(51) Int.Cl. F I テーマコード (参考)
H05K 3/46 (2006.01) H05K 3/46 Q 5E346
H05K 3/46 B

審査請求 未請求 請求項の数 19 O L (全 17 頁)

(21) 出願番号	特願2013-107178 (P2013-107178)	(71) 出願人	000000158
(22) 出願日	平成25年5月21日 (2013. 5. 21)		イビデン株式会社
			岐阜県大垣市神田町2丁目1番地
		(74) 代理人	100095407
			弁理士 木村 満
		(74) 代理人	100131152
			弁理士 八島 耕司
		(74) 代理人	100137383
			弁理士 山口 直樹
		(74) 代理人	100145355
			弁理士 石堂 毅彦
		(72) 発明者	苅谷 隆
			岐阜県大垣市神田町2丁目1番地 イビデン株式会社内

最終頁に続く

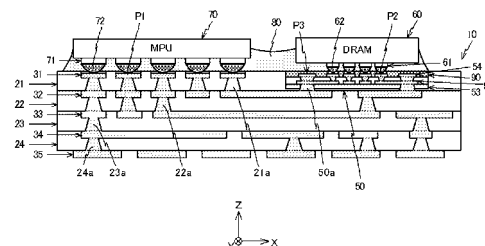
(54) 【発明の名称】 配線板及び配線板の製造方法

(57) 【要約】

【課題】 製品の製造コストを削減する。

【解決手段】 DRAM60が接続されるパッドP2が形成された配線構造体50を、配線板10の最も上側の絶縁層21の内部に設ける。そして、この配線構造体50のパッドP2の外径を、MPU70が接続されるパッドP1の外径よりも小さくし、パッドP2の配列間隔を、パッドP1の配列間隔よりも小さくする。これにより、配線板10全体の導体パターン31～35をファインピッチ化することなく、DRAM60が実装される部分の導体パターン54、55をファイン化することができる。したがって、配線板10の製造コストを削減することができる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

積層された複数の絶縁層と、
前記絶縁層の間に配置される第 1 導体パターンと、
第 1 電子部品の端子がそれぞれ接続される複数の第 1 パッドが形成され、前記複数の絶縁層のうちの最も外側の前記絶縁層の内部に設けられた配線構造体と、
を備え、
前記配線構造体が設けられる前記絶縁層には、前記第 1 パッドの配列間隔よりも広い間隔で配列され、前記第 1 電子部品とは異なる第 2 電子部品の端子が接続される複数の第 2 パッドが形成されている配線板。

10

【請求項 2】

前記配線構造体の前記第 1 パッドと、前記絶縁層の前記第 2 パッドは、ほぼ同一の平面内に位置する請求項 1 に記載の配線板。

【請求項 3】

前記第 1 電子部品は半導体メモリであり、前記第 2 電子部品は M P U である請求項 1 又は 2 に記載の配線板。

【請求項 4】

前記配線構造体は、前記第 1 パッドに、第 1 ビアを介して接続された第 2 導体パターンを有する多層基板であり、
前記絶縁層には、前記第 1 導体パターンと、前記第 2 パッド又は前記第 2 導体パターンとを接続する第 2 ビアが形成されている請求項 1 又は 2 に記載の配線板。

20

【請求項 5】

前記配線構造体の前記第 2 導体パターンには、前記第 2 ビアが接続される第 3 パッドが形成されている請求項 4 に記載の配線板。

【請求項 6】

前記第 3 パッドの厚みは、5 μ m 以上である請求項 5 に記載の配線板。

【請求項 7】

前記第 2 導体パターンのラインアンドスペースは、1 μ m 以上で 10 μ m 以下である請求項 4 乃至 6 のいずれか一項に記載の配線板。

【請求項 8】

前記絶縁層に設けられた前記第 2 ビアの外径は、前記電子部品に向かって小さくなり、前記配線構造体に設けられた前記第 1 ビアの外径は、前記電子部品に向かって大きくなる請求項 4 乃至 7 のいずれか一項に記載の配線板。

30

【請求項 9】

前記第 1 パッドの表面及び前記第 2 パッドの表面には、酸化防止処理が施されている請求項 1 乃至 8 のいずれか一項に記載の配線板。

【請求項 10】

前記絶縁層から露出する前記配線構造体を覆う接着層の表面と、前記配線構造体が設けられた前記絶縁層の表面は、ほぼ同一の平面内に位置する請求項 1 乃至 9 のいずれか一項に記載の配線板。

40

【請求項 11】

前記第 1 パッドと前記第 2 パッドを電氣的に接続する前記第 1 導体パターンは信号線である請求項 1 乃至 10 のいずれか一項に記載の配線板。

【請求項 12】

積層された前記絶縁層のうち、内部に配線構造体が設けられる前記絶縁層の厚みがもっとも厚い請求項 1 乃至 11 のいずれか一項に記載の配線板。

【請求項 13】

積層された前記絶縁層のうち、内部に配線構造体が設けられる前記絶縁層は、芯材を有していない請求項 1 乃至 12 のいずれか一項に記載の配線板。

【請求項 14】

50

キャリア銅箔が設けられた支持板を用意することと、
前記支持板のキャリア銅箔に複数の絶縁層を積層することと、
前記絶縁層の間に配置される第 1 導体パターンを形成することと、
第 1 電子部品の端子がそれぞれ接続される複数の第 1 パッドを有する配線構造体を、前記複数の絶縁層のうちの最も外側の前記絶縁層の内部に設けることと、
前記配線構造体が設けられる前記絶縁層に、前記第 1 パッドの配列間隔よりも広い間隔で配列され、前記第 1 電子部品とは異なる第 2 電子部品の端子が接続される複数の第 2 パッドを形成することと、
を含む配線板の製造方法。

【請求項 15】

前記配線構造体の前記第 1 パッドと、前記絶縁層の前記第 2 パッドがほぼ同一の平面内に位置するように、前記配線構造体を、前記絶縁層に対して位置決めすることを含む請求項 14 に記載の配線板の製造方法。

【請求項 16】

前記支持板を、前記キャリア銅箔とともに剥離することを含む請求項 14 又は 15 に記載の配線板の製造方法。

【請求項 17】

前記配線構造体は、前記第 1 パッドに、第 1 ビアを介して接続された第 2 導体パターンを有する多層基板であり、

前記絶縁層に、前記第 1 導体パターンと、前記第 2 パッド又は前記第 2 導体パターンとを接続する第 2 ビアを形成することを含む請求項 15 又は 16 に記載の配線板の製造方法。

【請求項 18】

前記配線構造体の前記第 2 導体パターンに、前記第 2 ビアが接続される第 3 パッドを形成することを含む請求項 17 に記載の配線板の製造方法。

【請求項 19】

前記第 1 パッドの表面及び前記第 2 パッドの表面に、酸化防止処理を施すことを含む請求項 14 乃至 18 のいずれか一項に記載の配線板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、配線板及び配線板の製造方法に関する。

【背景技術】

【0002】

配線板に実装される D R A M (Dynamic Random Access Memory) は、記憶容量の増加に伴って、端子間隔が狭くなりつつある。このため、配線板には、D R A M の端子が接続されるパッドを、小さな配列間隔で形成する必要がある。そこで、配線板に、小さな配列間隔で、パッドを形成するための技術が種々提案されている（例えば特許文献 1 参照）。

【0003】

特許文献 1 に開示される配線板は、細かなピッチで導体パターンが形成された多層基板を内蔵する。そして、配線板に実装される電子部品の端子は、内蔵された多層基板を介して、当該配線板に形成された回路に電氣的に接続される。

【0004】

この種の多層プリント配線基板では、電子部品が実装される部分に、上記多層基板を配置することで、端子の配列間隔が狭い電子部品を、精度よく実装することが可能となる。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】 国際公開第 2007/129545 号

10

20

30

40

50

【発明の概要】

【発明が解決しようとする課題】

【0006】

スマートホンなどに使用される配線板には、D R A Mの他に、M P U（Micro Processing Unit）が実装されるのが一般的である。そのため、D R A Mなどの半導体メモリの容量の増大にともない、上述のように端子間隔が狭くなると、D R A Mの端子間隔のほうが、M P Uの端子間隔に比べて狭くなることが予想される。そのため、D R A MとM P Uが実装される配線板では、D R A Mの端子が接続されるパッドの配列間隔のみを狭くすることにより、配線板の製造コストの増加を抑制することが可能であると考えられる。

【0007】

10

本発明は、上述の事情の下になされたもので、配線板に電子部品が実装されることで完成するユニットの製造コストの増加を抑制することを目的とする。

【課題を解決するための手段】

【0008】

上記目的を達成するため、本発明の第1の観点に係る配線板は、
積層された複数の絶縁層と、
前記絶縁層の間に配置される第1導体パターンと、
第1電子部品の端子がそれぞれ接続される複数の第1パッドが形成され、前記複数の絶縁層のうちの最も外側の前記絶縁層の内部に設けられた配線構造体と、
を備え、
前記配線構造体が設けられる前記絶縁層には、前記第1パッドの配列間隔よりも広い間隔で配列され、前記第1電子部品とは異なる第2電子部品の端子が接続される複数の第2パッドが形成されている。

20

【0009】

本発明の第2の観点に係る配線板の製造方法は、
キャリア銅箔が設けられた支持板を用意することと、
前記支持板のキャリア銅箔に複数の絶縁層を積層することと、
前記絶縁層の間に配置される第1導体パターンを形成することと、
第1電子部品の端子がそれぞれ接続される複数の第1パッドを有する配線構造体を、前記複数の絶縁層のうちの最も外側の前記絶縁層の内部に設けることと、
前記配線構造体が設けられる前記絶縁層に、前記第1パッドの配列間隔よりも広い間隔で配列され、前記第1電子部品とは異なる第2電子部品の端子が接続される複数の第2パッドを形成することと、
を含む。

30

【発明の効果】

【0010】

本発明によれば、第1電子部品の端子が接続されるパッドの配列間隔のみを狭くし、第2電子部品の端子が接続されるパッドの配列間隔については、通常のピッチで形成することができる。これにより、配線板の製造コストの増加を抑制することができる。

【図面の簡単な説明】

40

【0011】

【図1】本実施形態に係る配線板の断面を示す図である。

【図2】D R A M及びM P Uの端子が接続されるパッドを概略的に示す図である。

【図3】配線構造体を示す図である。

【図4】配線構造体の製造方法を説明するための図である。

【図5】配線構造体の製造方法を説明するための図である。

【図6】配線構造体の製造方法を説明するための図である。

【図7】配線構造体の製造方法を説明するための図である。

【図8】配線構造体の製造方法を説明するための図である。

【図9】配線構造体の製造方法を説明するための図である。

50

- 【図 1 0】配線構造体の製造方法を説明するための図である。
【図 1 1】配線構造体の製造方法を説明するための図である。
【図 1 2】配線板の製造方法を説明するための図である。
【図 1 3】配線板の製造方法を説明するための図である。
【図 1 4】配線板の製造方法を説明するための図である。
【図 1 5】配線板の製造方法を説明するための図である。
【図 1 6】配線板の製造方法を説明するための図である。
【図 1 7】配線板の製造方法を説明するための図である。
【図 1 8】配線板の製造方法を説明するための図である。
【図 1 9】配線板の製造方法を説明するための図である。
【図 2 0】配線板の製造方法を説明するための図である。
【図 2 1】配線板の製造方法を説明するための図である。
【図 2 2】配線板の製造方法を説明するための図である。
【図 2 3】配線板の製造方法を説明するための図である。
【図 2 4】配線板の製造方法を説明するための図である。
【図 2 5】配線板の製造方法を説明するための図である。
【図 2 6】配線板の製造方法を説明するための図である。
【図 2 7】配線板の製造方法を説明するための図である。
【図 2 8】配線板の製造方法を説明するための図である。
【図 2 9】配線板の変形例を示す図である。

10

20

【発明を実施するための形態】

【0 0 1 2】

以下、本発明の一実施形態を、図面を参照しつつ説明する。なお、説明にあたっては、相互に直交する X 軸、Y 軸及び Z 軸からなる座標系を用いる。

【0 0 1 3】

図 1 は、本実施形態に係る配線板 1 0 の Z X 断面を、配線板 1 0 に実装された D R A M 6 0 と M P U 7 0 とともに示す図である。図 1 に示されるように、配線板 1 0 は、Z 軸方向に積層された絶縁層 2 1 ～ 2 4、絶縁層 2 1 ～ 2 4 のうち最も上に位置する絶縁層 2 1 の上面（+ Z 側の面）から露出する導体パターン 3 1、絶縁層 2 2 ～ 2 4 それぞれの下面に形成された導体パターン 3 2 ～ 3 5、及び絶縁層 2 1 の内部に位置する配線構造体 5 0

30

【0 0 1 4】

絶縁層 2 1 は、絶縁層 2 1 ～ 2 4 の中で最も上に位置している。この絶縁層 2 1 には、層間絶縁用フィルム（味の素（株）製：商品名：A B F - 4 5 S H）が用いられる。このため、絶縁層 2 1 は、ガラス基板や、ガラス繊維などの芯材のない層となる。

【0 0 1 5】

絶縁層 2 1 の上方には、導体パターン 3 1 が形成され、絶縁層 2 1 の下面には導体パターン 3 2 が形成されている。導体パターン 3 1、3 2 は、銅からなる厚さが 5 ～ 2 0 μm の導体層である。導体パターン 3 1 は、所定の形状に整形されている。図 2 は、M P U 7 0 の端子 7 1 が接続される円形のパッド P 1 と、D R A M 6 0 の端子 6 1 が接続される円形のパッド P 2 とを概略的に示す図である。本実施形態では、図 2 に示されるように、導体パターン 3 1 は、その一部が、マトリクス状に配列される複数のパッド P 1 となるように整形されている。M P U 7 0 が配線板 1 0 に実装される際には、M P U 7 0 の端子が、導体パターン 3 1 の一部をなすパッド P 1 にそれぞれ接続される。

40

【0 0 1 6】

また、導体パターン 3 2 は、所定の形状に整形されている。導体パターン 3 2 は、絶縁層 2 1 に形成されたビア 2 1 a によって、導体パターン 3 1 に接続され、絶縁層 2 1 と絶縁層 5 3 にわたって形成されたビア 5 0 a によって、配線構造体 5 0 の導体パターン 5 5 に接続される。

【0 0 1 7】

50

絶縁層 22～24 は、絶縁層 21 の下面に順番に積層されている。絶縁層 22～24 も、絶縁層 21 と同様に、層間絶縁フィルムからなる。

【0018】

導体パターン 33～35 は、絶縁層 22～24 それぞれの下面に形成されている。導体パターン 33～35 も、導体パターン 31, 32 と同様に、銅からなる厚さが 5～20 μ m の層であり、所定の形状にパターンニングされている。

【0019】

導体パターン 33 は、絶縁層 22 に形成されたビア 22a によって、導体パターン 32 に接続されている。また、導体パターン 34 は、絶縁層 23 に形成されたビア 23a によって導体パターン 33 に接続され、導体パターン 35 は、絶縁層 24 に形成されたビア 24a によって、導体パターン 34 に接続されている。

10

【0020】

図 3 は、絶縁層 21 に配置された配線構造体 50 を示す図である。図 3 に示されるように、配線構造体 50 は、絶縁層 21 の上方 (+Z 側) から、絶縁層 21 の内部に埋め込まれている。この配線構造体 50 は、絶縁層と導体パターンが交互に積層されることにより形成される多層基板であり、絶縁層 52, 53、導体パターン 54, 55 を有している。

【0021】

絶縁層 52 は、層間絶縁用フィルム（味の素（株）製：商品名：ABF-45SH）等からなる。絶縁層 52 の上面には、導体パターン 54 が形成されている。絶縁層 53 も、絶縁層 52 と同様の絶縁材料からなり、上面に導体パターン 55 が形成されている。導体パターン 54 と導体パターン 55 は、絶縁層 52 によって絶縁されている。

20

【0022】

絶縁層 52 の上面に形成された導体パターン 54 は、図 2 に示されるように、その一部が、マトリクス状に配列される複数のパッド P2 となるように整形されている。DRAM 60 が配線板 10 に実装される際には、DRAM 60 の端子 61 が導体パターン 54 の一部をなすパッド P2 にそれぞれ接続される。

【0023】

図 2 を参照するとわかるように、配線板 10 では、DRAM 60 が実装されるパッド P2 の外径 DA2 は、MPU 70 が実装されるパッド P1 の外径 DA1 より小さい。また、パッド P2 の配列間隔 d2 は、パッド P1 の配列間隔 d1 よりも小さい。つまり、配線板 10 では、DRAM 60 の端子 61 が接続されるパッド P2 の配列がファイン化されている。

30

【0024】

また、配線板 10 では、各パッド P1, P2 の表面には、Ni/Pd/Au めっき、又は Ni/Au めっきによる被膜が形成されている。これにより、パッド P1, P2 の表面が酸化することに起因する接触抵抗の増加が抑制される。

【0025】

図 3 に戻り、絶縁層 52 と絶縁層 53 の間に配置される導体パターン 55 は、所定の形状にパターンニングされている。そして、絶縁層 52 に形成されたビア 52a によってパッド P2 に接続され、ビア 52b によって、パッド P2 以外の導体パターン 54 に接続されている。また、導体パターン 55 は、絶縁層 53 を貫通するビア 50a によって、導体パターン 32 と接続されている。導体パターン 54, 55 のラインアンドスペース (L/S) は概ね 1 である。そして、本実施形態では、導体パターン 54, 55 を構成する信号ラインの幅は 1 μ m から 5 μ m 程度であり、信号ラインの配列間隔は 1 μ m から 5 μ m である。また、ビア 52a の直径は、1 μ m～10 μ m 程度である。

40

【0026】

次に、上述のように構成された配線構造体 50 の製造方法の一例について説明する。

【0027】

まず、図 4 に示される支持板 500 を準備する。支持板 500 は、上面 (+Z 側の面) が平坦なガラスである。そして、支持板 500 の上面に剥離剤を塗布して剥離層 501 を

50

形成する。剥離剤としては、例えば、ブリューワサイエンス社のWafer Bondを用いることができる。

【0028】

次に、図5に示されるように、剥離層501に、樹脂からなる絶縁シート530を配置する。そして、剥離層501と絶縁シート530に加熱処理を施して、剥離層501と絶縁シート530同士を接着する。

【0029】

次に、セミアディティブ法(SAP)を用いて、絶縁シート530の上面に、導体パターン550を形成する。

【0030】

具体的には、まず、絶縁シート530の上面に、例えば、Ti、Cuを順番にスパッタリングして、図6に示されるように、Ti層、Cu層かならなる第1金属層550aを、絶縁シート530の上面に形成する。第1金属層550aは、当該第1金属層550aに積層形成されるめっき膜と、絶縁シート530とを密着させるためのものである。

【0031】

なお、第1金属層550aは、Cr、Niを順番にスパッタリングするか、或いはTa、Cuを順番にスパッタリングすることにより形成してもよい。

【0032】

次に、第1金属層550aの上面に、無電解銅めっき膜を形成し、この無電解銅めっき膜の上面に電解銅めっき膜を形成して、図7に示されるように、第1金属層550aの上面に、無電銅解めっき膜と電解銅めっき膜の2層からなる第2金属層550bを形成する。これにより、第1金属層550aと第2金属層550bの2層からなる導体パターン550が形成される。

【0033】

上述のように形成された導体パターン550を構成する信号ラインは、IC(Integrated Circuit)や、LSI(Large Scale Integrated Circuit)などに代表される半導体素子の配線ルールに基づいて、高密度に形成される。本実施形態では、導体パターン550を構成する信号ラインの幅は1 μ mから5 μ m程度である。また、信号ラインの配列間隔は1 μ mから5 μ mである。

【0034】

次に、図8に示されるように、絶縁シート530の上面に、絶縁シート520を配置する。そして、絶縁シート520を、加熱するとともに絶縁シート530に対して押圧し、絶縁シート520と絶縁シート530とを一体化させる。

【0035】

次に、絶縁シート520の上面に、ビアホール520a、520bが形成される部分が露出したマスクを配置して、絶縁シート520を露光し、その後現像する。これにより、図9に示されるように、絶縁シート520に、ビアホール520a、520bが形成される。ビアホール520a、520bは、絶縁シート520を貫通し、ビアホール520a、520bからは、導体パターン550の一部が露出する。絶縁シート520に形成されたビアホール520a、520bの直径は1 μ m以上で10 μ m以下程度である。

【0036】

次に、セミアディティブ法(SAP)を用いて、図10に示されるように、ビアホール520a、520bそれぞれの内部にビア52a、52bをそれぞれ形成するとともに、絶縁シート520の上面に、導体パターン540を形成する。導体パターン540には、DRAM60の端子61が接続される16個のパッドP2が形成されている。これらのパッドP2は、ビア52aによって、導体パターン550と電氣的に接続されている。また、ビア52bと導体パターン540、550は、円形のパッドP3を構成する。このパッドP3の厚さは概ね5 μ mである。

【0037】

本実施形態では、導体パターン540の信号ラインと同様に、導体パターン550を構

10

20

30

40

50

成する信号ラインの幅は、 $1\ \mu\text{m}$ から $5\ \mu\text{m}$ 程度である。また、信号ラインの配列間隔は $1\ \mu\text{m}$ から $5\ \mu\text{m}$ である。

【0038】

次に、例えばダイシングソーを用いて、絶縁シート520、530等を、支持板500とともに切断する。これにより、図11に示されるように、支持板500に支持された配線構造体50が完成する。上述した配線構造体50の絶縁層52、53は、絶縁シート520、530によって構成される。

【0039】

本実施形態では、配線構造体50の製造に、表面が平坦なガラスからなる支持板500が用いられる。このため、反り少ない配線構造体50を製造することが可能となる。

10

【0040】

図1に戻り、配線板10に実装されるMPU70は、BGA (ball grid array) タイプの素子である。このMPU70の下面には、図2に示されるパッドP1それぞれに対向する位置に端子71が形成されている。そして、各端子71には、半田ボール72が形成されている。MPU70の端子71は、図1に示されるように、半田ボール72を構成する半田によって、パッドP1に接着される。これにより、MPU70が、配線板10に実装される。

【0041】

DRAM60も、MPU70と同様に、BGAタイプの素子である。このDRAM60の下面には、図2に示されるパッドP2それぞれに対向する位置に端子61が形成されている。そして、各端子61には、半田ボール62が形成されている。DRAM60の端子61は、半田ボール62を構成する半田によって、パッドP2に接着される。これにより、DRAM60が、配線板10に実装される。

20

【0042】

配線板10と、配線板10の表面に実装されたMPU70とDRAM60との隙間には、アンダーフィル材としての樹脂80が充填されている。樹脂80によって、配線板10のパッドP1、P2と、MPU70の端子71及びDRAM60の端子61とが被覆され保護される。

【0043】

次に、上述した配線板10の製造方法について説明する。

30

【0044】

まず、図12に示されるように、上面にキャリア銅箔102と銅箔103とが上面（+Z側の面）に形成された支持板101を用意する。支持板101としては、ガラスクロスを芯材とするエポキシ樹脂基板（芯材入りプリプレグ）等を用いることができる。

【0045】

次に銅箔103の表面それぞれに、感光性ドライフィルムをラミネートする。そして、感光性ドライフィルムに、それぞれ所定のパターンが形成されたマスクフィルムを密着させた後に、感光性ドライフィルムを紫外線で露光する。続いて、感光性ドライフィルムに対して、アルカリ水溶液を用いた現像を行う。これにより、図13に示されるように、導体パターン31が形成される部分が露出する開口104aが設けられためっきレジスト104が形成される。

40

【0046】

次に、支持板101の上面に形成された銅箔103の上面に電解めっき処理を行ってめっき膜を生成する。そして、モノエタノールアミンを含む溶液等を用いて、めっきレジスト104を除去する。これにより、図14に示されるように、銅箔103の上面に導体パターン31が形成される。この導体パターン31には、図2に示されるようにマトリクス状に配置された25個のパッドP1が含まれる。

【0047】

次に、図15に示されるように、支持板101に形成された銅箔103の上面に接着剤を塗布することにより、接着層90を形成する。接着剤としては、例えば、エポキシ樹脂

50

系、アクリル樹脂系、シリコン樹脂系等の接着剤を用いることができる。接着層 90 は、配線構造体 50 の大きさとほぼ同じ大きさになるように整形される。

【0048】

次に、図 15 及び図 16 に示されるように、接着層 90 の上面に、絶縁層 52 及び導体パターン 54 が下向き（－Z 側向き）になった状態の配線構造体 50 を接着する。この配線構造体 50 は、製造の過程で設けられた支持板 500 と一体になっている。配線構造体 50 では、ビア 52a, 52b の外径は、図 1 における＋Z 方向に向かって大きくなっている。

【0049】

次に、図 17 に示されるように、配線構造体 50 と一体になった支持板 500 を、配線構造体 50 から剥離する。支持板 500 の剥離は、配線構造体 50 とともに支持板 500 を加熱する。これにより、剥離層 501 が軟化し始める。そして、剥離層 501 が十分に軟化したら、配線構造体 50 から、支持板 500 を剥離し、配線構造体 50 に残留する剥離剤を除去する。

【0050】

次に、図 18 に示されるように、導体パターン 31 及び配線構造体 50 の上面に絶縁樹脂層間材を配置して、加圧する。これにより、導体パターン 31 及び配線構造体 50 を覆う絶縁層 21 が形成される。絶縁樹脂層間材としては、心材入りのプリプレグ、又は層間絶縁用フィルム（味の素（株）製：商品名：ABF-45SH）等が用いられる。

【0051】

次に、絶縁層 21 に CO2 レーザからのレーザ光を照射して、図 19 に示されるように、ビアホール 21b, 21c を形成する。ビアホール 21b は、絶縁層 21 を貫通して導体パターン 31 に達する孔であり、ビアホール 21c は、絶縁層 21 と配線構造体 50 の絶縁層 53 を貫通して、配線構造体 50 のパッド P3 に達する孔である。これらのビアホール 21b, 21c は、図 19 における＋Z 方向に向かって内径が大きくなる。したがって、ビアホール 21b, 21c に形成されるビア 21a, 50a の外径は、図 1 における＋Z 方向に向かって小さくなる。

【0052】

本実施形態に係る配線構造体 50 では、パッド P3 を構成するビア 52b の直径は、ビア 52a の直径に比べて大きくなっている。そのため、配線構造体 50 の絶縁層 53 を貫通するビアホール 21c を形成する場合に、レーザ光が、パッド P3 を構成する導体パターン 54 を貫通することが効果的に回避される。特に、配線構造体 50 の絶縁層 52, 53、及び導体パターン 54, 55 は、絶縁層 21～24、導体パターン 31～35 に比較して薄い。このため、配線構造体 50 にパッド P3 が設けられていることで、配線構造体 50 の歩留まりを大幅に向上することが可能となる。

【0053】

ビアホール 21b, 21c を形成した後は、ビアホール 21b, 21c の内部に残留するスミアを除去するためのデスミア処理を行う。

【0054】

次に、絶縁層 21 が形成された支持板 101 を、まず、Pd 等を主成分とする触媒に浸漬して、絶縁層 21 の表面に触媒を付着させる。そして、支持板 101 を、無電解銅めっき液に浸漬する。これにより、図 20 に示されるように、絶縁層 21 の表面、及びビアホール 21b, 21c の内壁に、無電解めっき膜 210 が形成される。無電解めっき膜の材料として、銅やニッケルなどを用いることができる。

【0055】

次に、無電解めっき膜 210 の表面に、感光性ドライフィルムをラミネートする。そして、感光性ドライフィルムに、それぞれ所定のパターンが形成されたマスクフィルムを密着させた後に、感光性ドライフィルムを紫外線で露光する。続いて、感光性ドライフィルムに対して、アルカリ水溶液を用いた現像を行う。これにより、図 21 に示されるように、導体パターン 32 が形成される部分が露出する開口 211a が設けられためっきレジス

10

20

30

40

50

ト 2 1 1 が形成される。

【0056】

次に、絶縁層 2 1 の上面に形成された無電解めっき膜 2 1 0 をシード層とする電解めっき処理を行って、図 2 2 に示されるように、無電解めっき膜 2 1 0 の表面にめっき膜 3 2 0 を形成する。そして、めっきレジスト 2 1 1 を除去するとともに、このめっきレジスト 2 1 1 に被覆されていた無電解めっき膜 2 1 0 をエッチングすることにより除去する。これにより、図 2 3 に示されるように、パターンニングされた導体パターン 3 2 が形成される。この導体パターン 3 2 は、ビアホール 2 1 b の内部に充填された銅めっきからなるビア 2 1 a によって導体パターン 3 1 に接続される。また、ビアホール 2 1 c の内部に充填された銅めっきからなるビア 5 0 a によって、配線構造体 5 0 の導体パターン 5 5 に接続される。

10

【0057】

次に、絶縁層 2 1 に積層される絶縁層 2 2 ~ 2 4 を、上述した絶縁層 2 1 と同様の手順で順に形成する。また、導体パターン 3 3 ~ 3 5 を、上述した導体パターン 3 2 と同様の手順で順に形成する。これにより、図 2 4 に示されるように、絶縁層 2 1 ~ 2 4、及び導体パターン 3 1 ~ 3 5 が積層形成され、支持板 1 0 1 上に、配線板 1 0 が形成される。

【0058】

次に、配線板 1 0 から、支持板 1 0 1 とキャリア銅箔 1 0 2 を剥離して、配線板 1 0 を、図 2 5 に示されるように、上下反転させる。そして、銅箔 1 0 3 を、エッチングすることにより除去する。これにより、図 2 6 に示されるように、導体パターン 3 1 の一部をなすパッド P 1 が、開口 3 1 a から露出した状態になる。また、配線構造体 5 0 と銅箔 1 0 3 とを接着していた接着層 9 0 が露出した状態になる。

20

【0059】

なお、銅箔 1 0 3 に対するエッチング処理は、パッド P 1 の表面が、パッド P 2 の表面とほぼ同一面内に位置するまで、パッド P 1 がエッチングされる程度に行われる。

【0060】

次に、図 2 7 の矢印に示されるように、配線構造体 5 0 の表面を覆う接着層 9 0 に、C O 2 レーザからのレーザ光を照射して、導体パターン 5 4 を構成するパッド P 2 を覆う接着層 9 0 を除去し、図 2 8 に示されるように、開口 9 0 a を形成する。これにより、導体パターン 5 4 の一部をなすパッド P 2 が開口 9 0 a から露出した状態になる。

30

【0061】

次に、配線板 1 0 の絶縁層 2 1 から露出するパッド P 1 と、接着層 9 0 から露出するパッド P 2 の表面に、N i / P d / A u めっき、又は N i / A u めっきによる被膜を形成する。

【0062】

上述のように構成された配線板 1 0 に、D R A M 6 0 と M P U 7 0 とを実装し、D R A M 6 0 及び M P U 7 0 と、配線板 1 0 との間に樹脂 8 0 を充填して、D R A M 6 0 及び M P U 7 0 と配線板 1 0 との接続部を被覆することで、図 1 に示される配線板 1 0 が完成する。

【0063】

以上説明したように、本実施形態に係る配線板 1 0 では、図 1 に示されるように、D R A M 6 0 が接続されるパッド P 2 が形成された配線構造体 5 0 が、配線板 1 0 の最も上側の絶縁層 2 1 の内部に設けられている。そのため、図 2 に示されるように、配線構造体 5 0 のパッド P 2 の外径 D A 2 を、M P U 7 0 が接続されるパッド P 1 の外径 D A 1 よりも小さくし、パッド P 2 の配列間隔 d 2 を、パッド P 1 の配列間隔 d 1 よりも小さくすることができる。これにより、配線板 1 0 全体の導体パターン 3 1 ~ 3 5 をファインピッチ化することなく、D R A M 6 0 が実装される部分の導体パターン 5 4、5 5 をファイン化することができる。したがって、配線板 1 0 全体の配線をファイン化する場合に比較して、配線板 1 0 の製造コストを削減することができる。これにより、配線板 1 0 と、配線板 1 0 に実装される電子部品からなるユニットの製造コストを削減することができる。

40

50

【0064】

本実施形態では、配線構造体50が、配線板10の最も上側の絶縁層21の内部に位置し、パッドP2とパッドP1とがほぼ同一面内に位置している。このため、MPU70とDRAM60を実装する際に、これらの電子部品を配線板10に対して、正確に位置決めすることが可能となる。

【0065】

本実施形態に係る配線板10では、DRAM60とMPU70を並べて配線板10に実装することができる。このため、DRAM60とMPU70とを重ねて配置する場合に比較して、配線板10とDRAM60及びMPU70からなるユニットの厚さを薄くすることができる。また、大きな容量のDRAM60を実装しても、ユニット全体の厚さを薄くすることができる。

10

【0066】

本実施形態に係る配線構造体50では、パッドP3を構成するビア52bの直径は、ビア52aの直径に比べて大きくなっている。そして、パッドP3の厚さが5 μ m程度となっている。このため、配線構造体50の絶縁層53を貫通するビアホール21cを形成する場合に、レーザ光が、パッドP3を構成する導体パターン54を貫通することを効果的に回避することが可能となる。

【0067】

以上、本発明の実施形態について説明したが、本発明は上記実施形態によって限定されるものではない。例えば、上記実施形態では、図1に示されるように、絶縁層21～24の厚さが相互に等しい場合について説明した。これに限らず、図29に示されるように、配線構造体50が内部に設けられる絶縁層21の厚さを、他の絶縁層22～24の厚さよりも大きくしてもよい。これにより、配線構造体50を備える配線板10全体の厚みを薄くすることが可能となる。

20

【0068】

上記実施形態では、配線構造体50のパッドP3の厚さが概ね5 μ mであることとした。これに限らず、配線構造体50のパッドP3の厚さは5 μ mより大きくてもよい。この場合にも、レーザ光が、ビアホールが形成される絶縁層以外の層を貫通することを回避することが可能となる。

【0069】

上記実施形態では、配線板10が4層の絶縁層21～24を有している場合について説明した。これに限らず、配線板10は、3層以下、或いは5層以上の絶縁層を有していてもよい。

30

【0070】

上記実施形態では、配線板10が、5層の導体パターン31～35を有している場合について説明した。これに限らず、配線板10は、4層以下、或いは6層以上の導体パターンを有していてもよい。

【0071】

上記実施形態では、配線構造体50が、2層の絶縁層52, 53を有し、2層の導体パターン54, 55を有している場合について説明した。これに限らず、配線構造体50は、3層以上の絶縁層を有していてもよい。また、配線構造体50は、3層以上の導体パターンを有していてもよい。

40

【0072】

上記実施形態では、配線構造体50の絶縁層52, 53が、層間絶縁用フィルム（味の素（株）製：商品名：ABF-45SH）からなる。配線構造体50の絶縁層の素材は特に限定されるものではない。これらの絶縁層は、有機絶縁層及び無機絶縁層のどちらであってもよい。

【0073】

本実施形態では、パッドP1が、5行5列のマトリクス状に配置されている場合について説明した。これに限らず、パッドP1は、実装されるMPU70の端子数に応じた数で

50

あればよい。

【0074】

本実施形態では、パッドP2が、4行4列のマトリクス状に配置されている場合について説明した。これに限らず、パッドP2は、実装されるDRAM60の端子数に応じた数であればよい。

【0075】

本実施形態では、配線板10の各パッドP1、P2の表面に、Ni/Pd/Auめっき、又はNi/Auめっきによる被膜が形成されている場合について説明した。これに限らず、パッドP1、P2の表面に、OSP (Organic Solder Preservative) 処理などの表面処理を施すこととしてもよい。

10

【0076】

本実施形態では、配線板10及び配線構造体50に設けられたビアがフィルドビアであるものとして説明した。これに限らず、配線板10及び配線構造体50に設けられるビアは、フィルドビアであっても、コンフォーマルビアであってもよい。

【0077】

絶縁層21~24、52、53の材料は、配線板10の使用目的等に応じて任意に選択することができる。例えば、絶縁層21~24、52、53には、層間絶縁用フィルの他、芯材に樹脂含浸してなるFR-4材を用いることができる。FR-4材は、例えばガラス繊維にエポキシ樹脂を含浸させて熱硬化処理を施し、板状に整形することで得られる。また、絶縁層21~24、52、53の材料はこれに限定されるものではなく、プリプレグ等を用いることもできる。プリプレグは、例えばガラスファイバ又はアラミドファイバに、エポキシ樹脂、ポリエステル樹脂、ビスマレイミドトリアジン樹脂(BT樹脂)、イミド樹脂(ポリイミド)、フェノール樹脂、又はアリル化フェニレンエーテル樹脂(APE樹脂)等を含浸させることにより形成される。

20

【0078】

上記実施形態では、配線構造体50の製造に、上面が平坦なガラスからなる支持板500を用いた。これに限らず、シリコン(Si)基板やFR4基板等を、支持板500として用いてもよい。

【0079】

無電解めっきの材料として、ニッケルや、チタン、クロム等を採用してもよい。無電解めっき以外に、PVD膜やCVD膜を用いることもできる。

30

【0080】

同様に、電解めっき膜の材料として、ニッケルや、チタン、クロム等を採用してもよい。

【0081】

また、めっきとは、金属や樹脂などの表面に層状に導体(例えば金属)を析出させることと、析出した導体(例えば金属層)をいう。また、めっきには、電解めっきや無電解めっき等の湿式めっきのほか、PVD (Physical Vapor Deposition) やCVD (Chemical Vapor Deposition) 等の乾式めっきも含まれる。

【0082】

また、導体パターン31~35の形成方法、パターニング方法は限定されず、セミアディティブ法、サブトラクティブ法などを、配線板10の用途に応じて適宜選択することができる。

40

【0083】

本発明は、本発明の広義の精神と範囲を逸脱することなく、様々な実施形態及び変形が可能とされるものである。また、上述した実施形態は、本発明を説明するためのものであり、本発明の範囲を限定するものではない。

【産業上の利用可能性】

【0084】

本発明の配線板は、電子部品の実装に適している。また、本発明の配線板の製造方法は

50

、配線板の製造に適している。

【符号の説明】

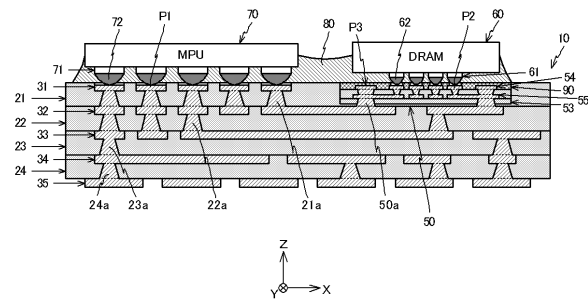
【0085】

10 配線板
21 絶縁層
21a～24a, 50a, 52a, 52b ビア
21b, 21c, 520a, 520b ビアホール
22～24, 52, 53 絶縁層
31～35, 54, 55, 540, 550 導体パターン
31a, 90a, 104a, 211a 開口
50 配線構造体
60 DRAM
61, 71 端子
62, 72 半田ボール
70 MPU
80 樹脂
90 接着層
101 支持板
102 キャリア銅箔
103 銅箔
104, 211 めっきレジスト
210 無電解めっき膜
320 めっき膜
500 支持板
501 剥離層
520, 530 絶縁シート
550a 第1金属層
550b 第2金属層
P1～P3 パッド。

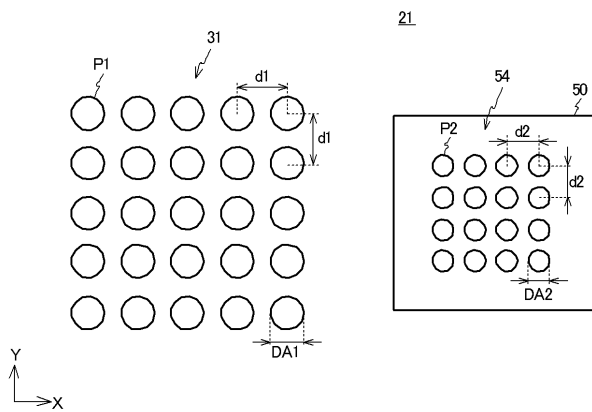
10

20

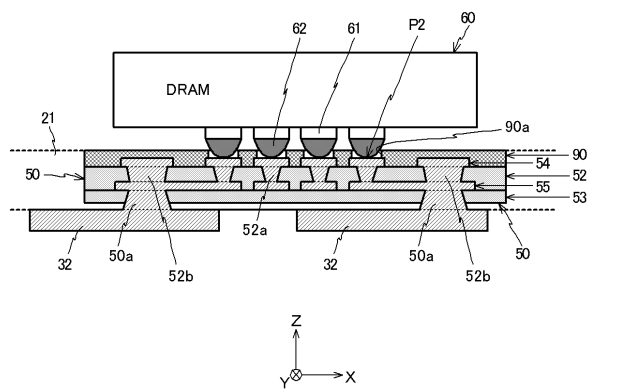
【図 1】



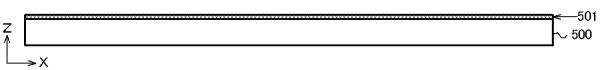
【図 2】



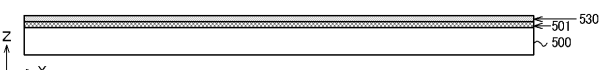
【図 3】



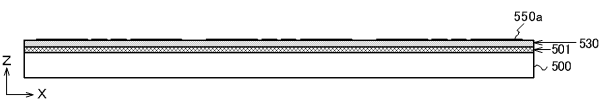
【図 4】



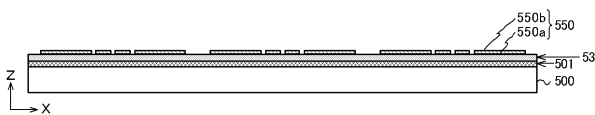
【図 5】



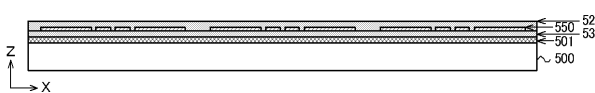
【図 6】



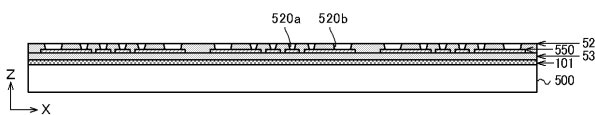
【図 7】



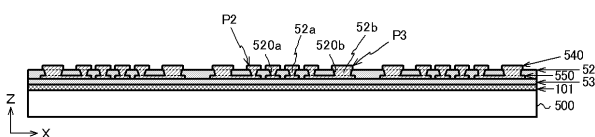
【図 8】



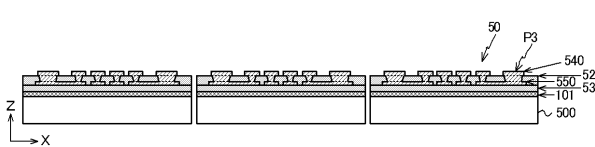
【図 9】



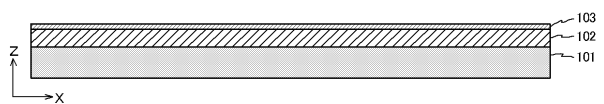
【図 10】



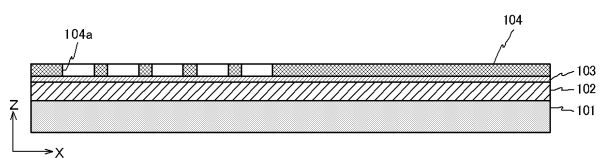
【図 11】



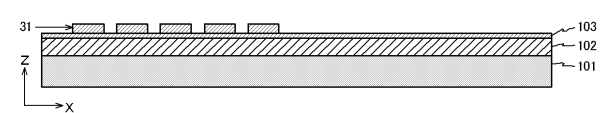
【図 12】



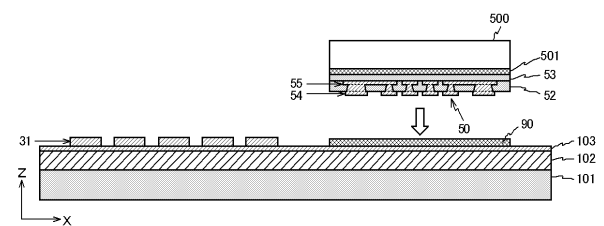
【図 13】



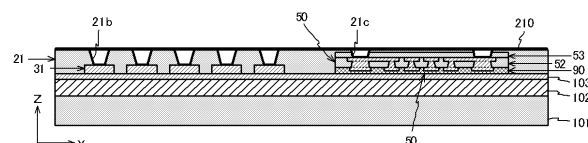
【図 14】



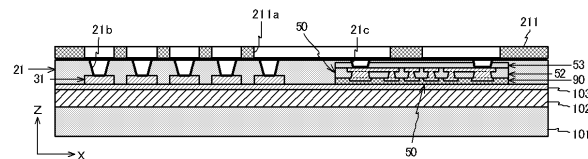
【図 15】



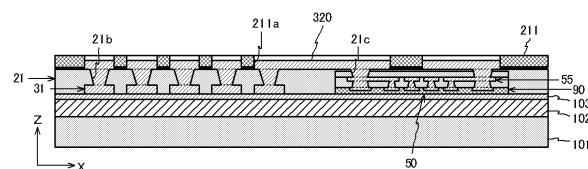
【図 20】



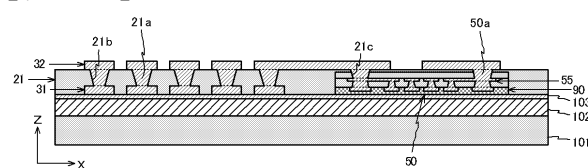
【図 2 1】



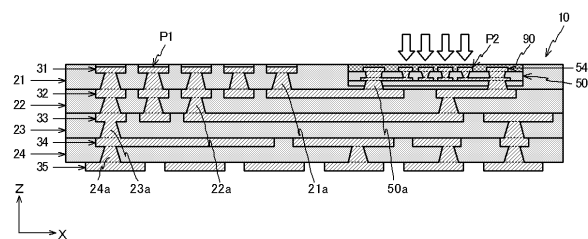
【图 2 2】



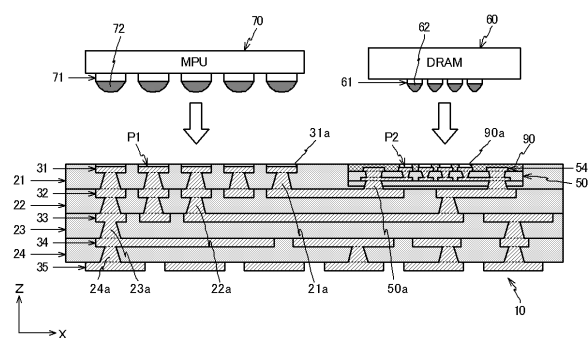
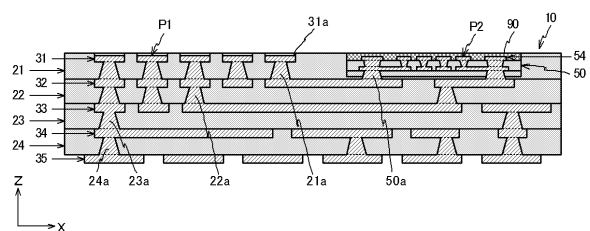
【图 2 3】



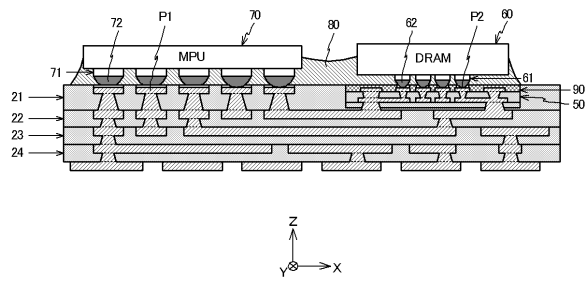
【图 27】



【图 28】


$$\begin{array}{c} \uparrow \\ Z \end{array}$$


【図 29】



フロントページの続き

(72)発明者 閑野 義則

岐阜県大垣市神田町2丁目1番地 イビデン株式会社内

(72)発明者 照井 誠

岐阜県大垣市神田町2丁目1番地 イビデン株式会社内

(72)発明者 國枝 雅敏

岐阜県大垣市神田町2丁目1番地 イビデン株式会社内

Fターム(参考) 5E346 AA12 AA15 AA32 AA43 BB16 BB20 FF45 HH31