

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2018年8月30日(30.08.2018)



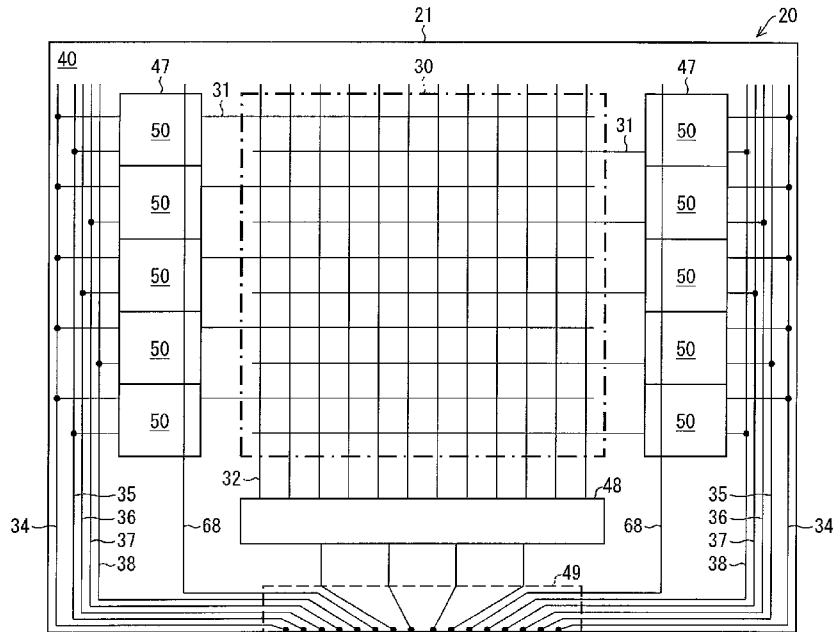
(10) 国際公開番号  
**WO 2018/155346 A1**

- (51) 国際特許分類:  
G09F 9/30 (2006.01) H03K 17/06 (2006.01)  
G02F 1/133 (2006.01) H03K 17/687 (2006.01)  
G09F 9/00 (2006.01)
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5908522 大阪府堺市堺区匠町1番地 Osaka (JP).
- (21) 国際出願番号: PCT/JP2018/005566
- (72) 発明者: 吉田 昌弘(YOSHIDA, Masahiro).
- (22) 国際出願日: 2018年2月16日(16.02.2018)
- (74) 代理人: 特許業務法人 H A R A K E N Z O W O R L D P A T E N T & T R A D E M A R K (HARAKENZO WORLD PATENT & TRADEMARK); 〒5300041 大阪府大阪市北区天神橋2丁目北2番6号 大和南森町ビル Osaka (JP).
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2017-032661 2017年2月23日(23.02.2017) JP
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,

(54) Title: DRIVE CIRCUIT, MATRIX SUBSTRATE, AND DISPLAY DEVICE

(54) 発明の名称: 駆動回路、マトリクス基板および表示装置

[図1]



(57) Abstract: The purpose of the invention is to achieve a drive circuit having a high production yield. Each unit circuit (50) of a scanning line drive circuit (47) comprises a branch wiring (61-65) and a redundant wiring (51-55). Each branch wiring (61-65) is formed from a source layer, and includes a plurality of connection parts (72). Each redundant wiring (51-55) corresponds to the respective branch wiring (61-65), is formed from a redundant wiring layer, and includes a plurality of connection parts (57) that are connectable with the connection parts (72) of the respective branch wiring



WO 2018/155346 A1

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,  
HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,  
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,  
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,  
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,  
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,  
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,  
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

---

(61-65).

(57) 要約: 製造歩留りが高い駆動回路を実現する。走査線駆動回路(47)の単位回路(50)は、枝配線(61~65)と、冗長配線(51~55)とを備える。枝配線(61~65)は、ソース層から形成され、接続部(72)を複数備える。冗長配線(51~55)は、枝配線(61~65)に対応し、冗長配線層から形成され、枝配線(61~65)の接続部(72)と接続可能な接続部(57)を複数備える。

## 明 細 書

発明の名称： 駆動回路、マトリックス基板および表示装置

### 技術分野

[0001] 本発明は、駆動回路に関し、特に、駆動回路がモノリシックに形成されたマトリックス基板、そのマトリックス基板を用いた表示装置に関する。

### 背景技術

[0002] 近年、中小型の表示装置においては、低コスト化のために、マトリックス基板に走査線駆動回路（Gate Driver）をモノリシック（Monolithic）に形成するゲートドライバーモノリシック（Gate Driver Monolithic, GDM）技術が採用されている。例えば、特許文献1～3には、（i）画素トランジスタが配設された表示領域と、（ii）画素トランジスタを駆動するための走査線駆動回路およびソース駆動回路が配設された周辺領域と、を備えるアクティブマトリックス基板を用いた表示装置が開示されている。

[0003] さらに、中小型の表示装置においても、高精細化が進んでいる。このため、走査線駆動回路を構成する単位回路の縦幅（データ信号線が延伸する方向の幅）が、画素ピッチと共に狭くなってきている。また、狭額縁化も進んでいるため、走査線駆動回路を形成する領域の横幅（走査線が延伸する方向の幅）を拡げることも難しい。このため、走査線駆動回路の小面積化が求められている。走査線駆動回路を構成する単位回路の小面積化のために、特許文献1は、単位回路に含まれるトランジスタと幹配線との間を接続する枝配線が、接続しないトランジスタを枝配線が迂回する必要がない構成を開示している。また、特許文献2は、単位回路の3つの配線が、同一領域で互いに重畳可能な構成を開示している。

[0004] また、高精細化に伴い、走査線駆動回路からの引き出し配線の微細化も進んでいる。このため、引き出し配線の機械的強度が低下し、破断しやすくなってきている。特許文献3は、引き出し配線の破断を防止するために、引き出し配線に対する応力集中を防止する構成を開示している。

## 先行技術文献

### 特許文献

[0005] 特許文献1：日本国再公表特許「国際公開番号WO2011/030590号公報（2011年3月17日国際公開）」

特許文献2：日本国公開特許公報「特開2002-40962号公報（2002年2月8日公開）」

特許文献3：日本国公開特許公報「特開2000-56319号公報（2000年2月25日公開）」

### 発明の概要

#### 発明が解決しようとする課題

[0006] しかしながら、上述のような走査線駆動回路には、走査線駆動回路の製造歩留りが低いという問題がある。なぜならば、単位回路の縦幅が狭くなるにつれて、単位回路が備える枝配線も細くなり、枝配線が断線しやすくなるからである。

[0007] 本発明は、上記の問題点に鑑みてなされたものであり、その目的は、製造歩留りが高い駆動回路を実現することにある。

#### 課題を解決するための手段

[0008] 上記の課題を解決するために、本発明の一態様に係る駆動回路は、複数の出力線を各々駆動するための複数の単位回路と、前記単位回路の間を接続するための第1導電層から形成された第1種配線と、を備え、前記単位回路のうちの少なくとも1つは、複数の回路素子と、当該単位回路に含まれる回路素子を、(i) 当該単位回路に含まれる別の回路素子と (ii) 前記第1種配線と (iii) 入力を供給するための幹配線との何れかに接続するための、第2導電層から形成された第2種配線と、前記第2種配線の少なくとも1本に少なくとも部分的に対応する、第3導電層から形成された第3種配線と、を含み、前記第2種配線の前記少なくとも1本は、複数の第1種接続部を備え、前記第3種配線は、対応する第2種配線の各第1種接続部に接続可能

な複数の第2種接続部を備える構成である。

### 発明の効果

[0009] 本発明の一態様に係る上記構成によれば、少なくとも1つの単位回路において、対応する第3種配線がある第2種配線は、複数の第1種接続部を備え、第3種配線は、対応する第2種配線の各第1種接続部に接続可能な複数の第2種接続部を備える。このため、互いに対応する第2種配線と第3種配線とは、第1接続部と第2接続部とを接続することによって、接続されることができる。このような第2種配線と第3種配線との接続によって、第1種接続部の間を、第2種配線に加えて、第3種配線でも接続することができる。換言すると、配線の複線化が可能である。

[0010] 複線化によって、駆動回路は、第2種配線の断線に対する冗長性を備えるので、第2種配線の断線に起因する駆動回路の不良を低減することができる。このため、駆動回路の製造歩留りを向上することができる。

### 図面の簡単な説明

[0011] [図1]本発明の一実施形態に係る走査線駆動回路を備えるマトリクス基板の概略構成を示す平面図である。

[図2]図1に示した低電位幹配線とクロック幹配線とが供給する信号電位の概略構成を示す信号図である。

[図3]図1に示した単位回路の概略回路構成を示す回路図である。

[図4]図1に示した走査線駆動回路の概略回路配置を示す平面図である。

[図5]図4に示した単位回路の概略回路配置を示す平面図である。

[図6]図5のA - A矢視断面図である。

[図7]図4に示した走査線駆動回路のゲート層の概略パターンを示す平面図である。

[図8]図4に示した走査線駆動回路の半導体層の概略パターンを示す平面図である。

[図9]図4に示した走査線駆動回路のソース層の概略パターンを示す平面図である。

[図10]図4に示した走査線駆動回路のコンタクトホールの概略パターンを示す平面図である。

[図11]図4に示した走査線駆動回路の冗長配線層の概略パターンを示す平面図である。

[図12]図5のB - B矢視断面図である。

[図13]図1に示したマトリックス基板を用いた液晶表示パネルの概略構成を示す平面図である。

[図14]本発明の別の一実施形態に係る単位回路の概略回路配置を示す平面図である。

[図15]図14のC - C矢視断面図である。

[図16]本発明のさらに別の一実施形態に係る単位回路の概略回路配置を示す平面図である。

[図17]図16に示した迂回区間を拡大した(a)切断前および(b)切断後の図である。

### 発明を実施するための形態

[0012] 以下、図面に基づいて本発明の実施の形態について詳しく説明する。ただし、この実施の形態に記載されている構成要素の寸法、材質、形状、その相対配置などはあくまで一実施形態に過ぎず、これらによってこの発明の範囲が限定解釈されるべきではない。

[0013] [実施形態1]

以下、本発明の実施形態1について、詳細に説明する。

[0014] (マトリックス基板の構成)

図1は、本発明の実施形態1に係る走査線駆動回路47を備えるマトリックス基板20の概略構成を示す平面図である。

[0015] 図1に示すように、マトリックス基板20は絶縁基板21を備え、絶縁基板21は、その上面に、表示領域30と、表示領域30以外の周辺領域40とを有する。

[0016] 表示領域30には、複数の走査線31(出力線)と複数のデータ線32と

が格子状に配設されている。また、図1には示さないが、表示領域30には、画素トランジスタおよび画素電極などのその他の構造も配設されている。

[0017] 周辺領域40には、各走査線31を駆動するための複数の単位回路50から構成された走査線駆動回路47（駆動回路）と、各データ線32を駆動するためのデータ線駆動回路48と、マトリクス基板20が外部と接続するための端子部49と、端子部49から走査線駆動回路47に向って延伸する配線と、端子部49からデータ線駆動回路48に向って延伸する配線と、が配設されている。

[0018] データ線32は、図1の上下方向に延伸し、下側にあるデータ線駆動回路48に接続されている。なお、これに限らず、例えば、表示領域30を上下に分割し、データ線駆動回路48を表示領域30の上下に配設する構成としてもよい。

[0019] 走査線31は、図1の左右方向に延伸し、左右両側にある走査線駆動回路47に、1本ごとに交互に接続されている。なお、これに限らず、例えば、各走査線31を、左右両側の走査線駆動回路47に接続する構成としてもよい。また、例えば、走査線駆動回路47を左右片側のみに配設する構成としてもよい。

[0020] 実施形態1に係る走査線駆動回路47は、周期がずれるように組み合わされた2つのシフトレジスタである。したがって、実施形態1に係るマトリクス基板20は、4つのシフトレジスタを備え、各シフトレジスタに接続されている走査線31は、それぞれ順次駆動される。

[0021] 以降、走査線31の総数を $N$ （ $N$ ：自然数）とする。また、 $n$ 本目（ $n$ ： $N$ 以下の自然数）の走査線31を駆動する単位回路50を、 $n$ 段目の単位回路50とする。また、 $n$ 段目の単位回路50が $n$ 本目の走査線31へ出力する電位を $Out(n)$ とする。

[0022] 端子部49から走査線駆動回路47に向って延伸する配線は、低電位 $V_{ss}$ を供給する低電位幹配線34（幹配線）と、第1クロック信号 $CK1$ を供給する第1クロック幹配線35と、第2クロック信号 $CK2$ を供給する第2

クロック幹配線36と、第3クロック信号CK3を供給する第3クロック幹配線37と、第4クロック信号CK4を供給する第4クロック幹配線38と、初期化信号Resetを供給する初期化配線68（第1種配線）と、開始信号を供給する開始幹配線（不図示）と、を含む。

[0023] 以降、第1クロック幹配線35と第2クロック幹配線36と第3クロック幹配線37と第4クロック幹配線38とを纏めて、「クロック幹配線35～38」と称する。また、第1クロック信号CK1と第2クロック信号CK2と第3クロック信号CK3と第4クロック信号CK4とを纏めて、「クロック信号CK1～CK4」と称する。

[0024] 本明細書においては、駆動回路へ信号または低電位または高電位などを供給する配線のうち、駆動回路の外側のみを通る配線を「幹配線」と称する。したがって、図1に示される初期化配線68は、走査線駆動回路47の内側も通るので、幹配線と称さない。

[0025] （信号）

図2は、図1に示した低電位幹配線34とクロック幹配線35～38とが供給する信号電位の概略構成を示す信号図である。

[0026] 低電位V<sub>ss</sub>は、「0」を示す信号電位であり、略一定の電位である。

[0027] クロック信号CK1～CK4は、1周期の長さが同一であり、半周期毎に、「0」を示す信号電位V<sub>ss</sub>と「1」を示す信号電位V<sub>dd</sub>とに、反転する。クロック信号CK1～CK4の1周期の長さを8Hとすると、Hの長さは、数μ秒（例えば8μ秒）である。

[0028] 第2クロック信号CK2は、第1クロック信号CK1を半周期早くした信号である。第3クロック信号CK3は、第1クロック信号CK1を四半周期早くした信号である。第4クロック信号CK4は、第3クロック信号CK3を半周期早くした（つまり、第1クロック信号を四半周期遅くした）信号である。

[0029] 図2に示さないが、初期化信号Resetは、走査線駆動回路47を初期化するときには、「1」を示す信号電位V<sub>dd</sub>であり、その他のときには、

「0」を示す信号電位である。

[0030] (単位回路の回路構成)

図3は、(i)  $n$ は、4より大、かつ、 $N-3$ より小である条件と、(ii)  $n$ を8で割った余りは、1または2である条件と、の2条件を満たす $n$ について、図1に示した $n$ 段目の単位回路50の概略回路構成を示す回路図である。

[0031] 上記2条件の内、(i)は、走査線31の順次駆動を開始する開始段( $n=1, 2, 3, 4$ )と、終了する終了段( $n=N-3, N-2, N-1, N$ )と、を除く条件である。また、(ii)は、単位回路50に入力されるクロック信号CK1~CK4を特定する条件である。

[0032] 説明の簡単化のために、本章は、上記2条件を満たす $n$ 段目の単位回路50について説明する。上記2条件を満たさない $n$ 段目の単位回路50は、 $n$ に応じて入力される信号が異なるが、その他は、図3に示した単位回路50の回路構成と同一構成である。

[0033] 図3に示すように、 $n$ 段目の単位回路50は、第1トランジスタTr1(回路素子)と、第2トランジスタTr2と、第3トランジスタTr3と、第4トランジスタTr4と、第5トランジスタTr5と、第6トランジスタTr6と、ブートストラップ容量Capと、を備える。以降、第1トランジスタTr1と、第2トランジスタTr2と、第3トランジスタTr3と、第4トランジスタTr4と、第5トランジスタTr5と、第6トランジスタTr6とを、纏めて「トランジスタTr1~Tr6」と称する。

[0034] トランジスタTr1~Tr6は、(i)ゲート電位が「1」を示す電位V<sub>dd</sub>以上である間、ソース-ドレイン間が通電状態になり、(ii)ゲート電位が「0」を示す電位V<sub>ss</sub>である間、ソース-ドレイン間が非通電状態になる。トランジスタTr1~Tr6は、絶縁基板21の上に形成されたボトムゲート型かつチャネルエッチ型の薄膜トランジスタ(thin film transistor, TFT)であるが、これに限らない。トランジスタTr1~Tr6は、トップゲート型またはエッチストップ型等の他の型の薄膜トランジスタであ

ってもよい。また、走査線駆動回路47は、半導体基板の上に配設されてもよく、トランジスタTr1~Tr6は、酸化金属膜半導体 (metal oxide semiconductor, MOS) トランジスタなどの他の種類のトランジスタであってもよい。同様に、ブートストラップ容量Capも、どのようなコンデンサであってもよい。

- [0035] 第1トランジスタTr1のゲート電極には、後段の単位回路50の出力Out (n+4) が入力される。
- [0036] 第1トランジスタTr1のソース電極、第3トランジスタTr3のソース電極、第4トランジスタTr4のソース電極、および第5トランジスタTr5のソース電極には、低電位Vssが供給される。
- [0037] 第1トランジスタTr1のドレイン電極、第2トランジスタTr2のドレイン電極、第5トランジスタTr5のドレイン電極、ブートストラップ容量Capの一方電極、および第6トランジスタTr6のゲート電極は、互いに接続されている。この第6トランジスタTr6のゲート電極の電位をnode A (n) とする。
- [0038] 第2トランジスタTr2のゲート電極およびソース電極には、前段の単位回路50の出力Out (n-4) が入力される。
- [0039] 第3トランジスタTr3のゲート電極には、第2クロック信号CK2が入力される。
- [0040] 第3トランジスタTr3のドレイン電極、第4トランジスタTr4のドレイン電極、ブートストラップ容量Capの他方電極、第6トランジスタTr6のドレイン電極および走査線31は、互いに接続されている。また、これらの電極の電位は、Out (n) として、走査線31ならびに後段および前段の単位回路50に出力される。
- [0041] 第6トランジスタTr6のソース電極には、第1クロック信号CK1が入力されている。(i) 出力Out (n-4) によって、第2トランジスタTr2を介して、node A (n) が「1」を示す信号電位Vddである状態において、さらに、(ii) 第1クロック信号CK1が信号電位Vddとな

ったとき、第6トランジスタ $T r 6$ を介して、走査線31が信号電位 $V d d$ となる。また、第1クロック信号 $C K 1$ が「0」から「1」に反転し、走査線31が信号電位 $V d d$ に充電されるのに伴って、第6トランジスタ $T r 6$ のゲート電極およびブートストラップ容量の一方電極の電位は、突き上げられる。このため、 $n o d e A (n)$ は、信号電位 $V d d$ よりも高い「 $1 + \alpha$ 」を示す信号電位になる( $\alpha > 0$ )。なお、 $\alpha$ は、ブートストラップ容量 $C a p$ の電極間の容量と、第6トランジスタ $T r 6$ のゲート電極とトレイン電極との間の容量と、の合計容量に応じる。

[0042] その後、第2クロック信号 $C K 2$ が「0」から「1」に反転したとき、走査線31は、第3トランジスタ $T r 3$ を介して、信号電位 $V s s$ である初期状態に戻る。また、 $n o d e A (n)$ は、後段の単位回路50の出力 $O u t (n + 4)$ が「1」を示す信号電位 $V d d$ となったときに、第1トランジスタ $T r 1$ を介して、 $V s s$ である初期状態に戻る。

[0043] 第6トランジスタ $T r 6$ は、ドレイン電位を走査線31に出力するので、単位回路50の出力トランジスタである。このため、走査線31に充電する能力が十分に高いように、第6トランジスタ $T r 6$ は、ソース-ドレイン間が通電状態であるときに、チャネル抵抗が小さく、通電状態のときに流れることが可能なソースドレイン電流が大きいことが好ましい。したがって、第6トランジスタ $T r 6$ は、チャネル幅が広く、チャネル長が短いことが好ましい。このため、第6トランジスタ $T r 6$ は、その他のトランジスタ $T r 1 \sim T r 5$ と比べて、絶縁基板21の上に平面視で占める面積が大きくなりやすい。

[0044] ブートストラップ容量 $C a p$ は、第6トランジスタ $T r 6$ のゲート-ドレイン電位差を保持し、 $n o d e A (n)$ をより高い電位に突き上げることによって、 $O u t (n)$ が、その出力期間中に電位 $V d d$ に到達するようにするための容量なので、容量が十分に大きいことが好ましい。このため、ブートストラップ容量 $C a p$ も、第6トランジスタ $T r 6$ 以外のトランジスタ $T r 1 \sim T r 5$ と比べて、絶縁基板21の上に平面視で占める面積が大きくな

りやすい。

[0045] このような回路構成により、 $n$ 段目の単位回路50の出力 $Out(n)$ は、表1のようになる。

[0046] [表1]

入力					出力	
Reset	CK1	CK2	Out(n-4)	Out(n+4)	nodeA(n)	Out(n)
0	0	1	1	0	1	0
0	1	0	0	0	$1+\alpha$	1
0	0	1	0	1	0	0
0	1	0	0	0	0	0
0	0	1	0	0	0	0

\* $\alpha > 0$

[0047] 走査線31の順次駆動が、開始段から開始され、終了段で終了するまでは、初期化信号 $Reset = 0$ であるが、終了段で終了した直後や、再び開始段から開始される前に、初期化信号 $Reset = 1$ とされ、各段の $nodeA(n)$ が $V_{ss}$ である初期状態に戻る。同様に、走査線31も、低電位 $V_{ss}$ の初期状態に戻る。そして、開始段から開始される直前に、再び初期化信号 $Reset = 0$ とされる。初期化信号によって、定期的かつ一斉に、各段の $nodeA(n)$ や走査線31を初期状態に戻すことで、長期動作における走査線駆動回路47の誤動作を抑制できる。

[0048] なお、図3に示した単位回路50は、例示であって、本発明の範囲を限定するものではない。単位回路50は、他の回路構成のフリップフロップ回路であっても、フリップフロップ回路以外の回路であってもよい。また、走査線駆動回路47は、回路構成が異なる複数種類の単位回路50を含んでもよい。

[0049] (駆動回路の回路配置)

図4は、図1に示した走査線駆動回路47の概略回路配置を示す平面図である。

[0050] 図4に示すように、走査線駆動回路47は、さらに、単位回路50の間を

接続する第1中継配線66（第1種配線）と、第2中継配線67と、初期化配線68と、を含む。実施形態1では、初期化配線68は、走査線駆動回路47の内側を通して、複数の単位回路50と接続されている。このため、初期化配線68は、走査線駆動回路47に初期化信号Resetを供給する配線であると共に、単位回路50の間を接続する配線でもある。

[0051] 第1中継配線66は、 $n$ 段目の単位回路50の出力Out( $n$ )を、( $n-4$ )段目の単位回路50の第1トランジスタのゲート電極と、( $n+4$ )段目の単位回路50の第2トランジスタのゲート電極と、へ供給するための中継配線である。このため、出力Out( $n$ )を供給する第1中継配線66は、( $n-4$ )段目、( $n-2$ )段目、 $n$ 段目、( $n+2$ )段目、および( $n+4$ )段目の5つの単位回路50に亘って延伸されている。また、出力Out( $n$ )を供給する第1中継配線66は、(i) ( $n-4$ )段目と $n$ 段目との単位回路50の間、および、(ii)  $n$ 段目と( $n+4$ )段目との単位回路50の間を接続している。

[0052] 第2中継配線67は、(i)  $n$ 段目の単位回路50の第6トランジスタTr6のソース電極に、クロック信号CK1~CK4の何れかを供給する枝配線から、(ii) ( $n-4$ )段目の単位回路50の第3トランジスタTr3のゲート電極へ向かって、延伸する中継配線である。また、第2中継配線67は、クロック信号CK1~CK4の何れかを供給する中継配線である。このため、 $n$ 段目の単位回路50からクロック信号CK1~CK4の何れかを供給する第2中継配線67は、( $n-4$ )段目、( $n-2$ )段目、および $n$ 段目の3つの単位回路50に亘って延伸されている。また、 $n$ 段目の単位回路50の枝配線からクロック信号CK1~CK4の何れかを供給する第2中継配線67は、( $n-4$ )段目と $n$ 段目との単位回路50の間を接続している。

[0053] 初期化配線68は、各単位回路50の第4トランジスタTr4および第5トランジスタTr5のゲート電極に、直接的に初期化信号Resetを供給する。このため、初期化配線68は、奇数段目の全単位回路50に亘ってと

、偶数段目の全単位回路50に亘ってと、に各々延伸されている。また、初期化配線68は、(i) (n-2) 段目とn段目との単位回路50の間、および(i i) n段目と(n+2) 段目との単位回路50との間を接続している。

[0054] 第1中継配線66と第2中継配線67と初期化配線68とは、データ線32と略平行に延伸される配線であり、後述するように、ゲート層22(図7参照)から形成される配線である。

[0055] (単位回路の回路配置)

図5は、図4に示した単位回路50の概略回路配置を示す平面図である。図5は、図3と同様に、(i) nは、4より大、かつ、N-3より小である条件と、(i i) nを8で割った余りは、1または2である条件と、の2条件を満たすnについて、示す。

[0056] 説明の簡単化のために、本章は、上記2条件を満たすn段目の単位回路50について説明する。上記2条件を満たさないn段目の単位回路50は、nに応じて、クロック幹配線35~38のうち接続される幹配線、ならびに／あるいは、第1中継配線66および／または第2中継配線67の接続先が異なるが、その他は、図5に示した単位回路50の回路配置と同一配置である。

[0057] 図5に示すように、n段目の単位回路50は、さらに、第1枝配線61(第2種配線)と、第2枝配線62と、第3枝配線63と、第4枝配線64と、第5枝配線65と、第1枝配線61に対応する第1冗長配線51(第3種配線)と、第2枝配線62に対応する第2冗長配線52と、第3枝配線63に対応する第3冗長配線53と、第4枝配線64に対応する第4冗長配線54と、第5枝配線65に対応する第5冗長配線55と、を備える。以降、第1枝配線61と、第2枝配線62と、第3枝配線63と、第4枝配線64と、第5枝配線65とを纏めて、「枝配線61~65」と称する。また、第1冗長配線51と、第2冗長配線52と、第3冗長配線53と、第4冗長配線54と、第5冗長配線55とを纏めて、「冗長配線51~55」と称する。

- [0058] 枝配線61～65は、後述するように、ソース層25（図9参照）から形成される配線である。冗長配線51～55は、後述するように、冗長配線層27（図11参照）から形成される配線である。
- [0059] 第1冗長配線51は、図5の左側の端部に、第1枝配線61を第1クロック幹配線35に接続するための繋ぎ換え部71を備える。第1冗長配線51は、中央に、第1枝配線61を第2中継配線67に接続するための繋ぎ換え部71を備える。第1冗長配線51は、図5の右側の端部に、第1枝配線61に接続可能な接続部57（第2種接続部）を備える。実施形態1においては、図5の左側の端部と中央とに第1冗長配線51が備える繋ぎ換え部71は、第1枝配線61に接続可能な接続部57でもある。
- [0060] 第1枝配線61は、第6トランジスタTr6のソース電極を、第1クロック幹配線35に接続する枝配線である。第1枝配線61は、第1クロック信号CK1を供給する枝配線である。第1枝配線61は、図5の左側の端部に、（i）第1冗長配線51に接続可能であり、（ii）第1冗長配線51の繋ぎ換え部71を介して第1クロック幹配線35に接続可能である接続部72（第1種接続部かつ第3種接続部）を備える。第1枝配線61は、中央に、（i）第1冗長配線51に接続可能であり、（ii）第1冗長配線51の繋ぎ換え部71を介して第2中継配線67に接続可能である接続部72をそなえる。第1枝配線61は、図5の右側の端部に、第1冗長配線51の接続部57に接続可能な接続部72を備える。第1枝配線61は、第6トランジスタTr6のソース電極と一体に形成されている。
- [0061] 第2冗長配線52は、図5の左側の端部に、第2枝配線62に接続可能な接続部57を備える。第2冗長配線52は、第2トランジスタTr2のドレイン電極の近傍の端部に、第2枝配線62に接続可能な接続部57を備える。第2冗長配線52は、図5の右側の端部に、第6トランジスタTr6のゲート電極と一体であるブートストラップ容量Capの一方電極に、第2枝配線62を接続するための繋ぎ換え部71を備える。実施形態1においては、図5の右側の端部に第2冗長配線52が備える繋ぎ換え部71は、第2枝配

線 6 2 に接続可能な接続部 5 7 でもある。

[0062] 第 2 枝配線 6 2 は、第 1 トランジスタ  $T_{r1}$  と第 2 トランジスタ  $T_{r2}$  と第 5 トランジスタ  $T_{r5}$  とのドレイン電極に、第 6 トランジスタ  $T_{r6}$  のゲート電極と一体であるブートストラップ容量  $C_{ap}$  の一方電極を接続する枝配線である。第 2 枝配線 6 2 は、図 5 の左側の端部に、第 2 冗長配線 5 2 に接続可能な接続部 7 2 を備える。第 2 枝配線 6 2 は、第 2 トランジスタ  $T_{r2}$  のドレイン電極の近傍の端部に、第 2 冗長配線 5 2 に接続可能な接続部 7 2 を備える。第 2 枝配線 6 2 は、図 5 の右側の屈曲部に、(i) 第 2 冗長配線 5 2 に接続可能であり、(ii) 第 2 冗長配線 5 2 の繋ぎ換え部 7 1 を介してブートストラップ容量  $C_{ap}$  の一方電極に接続可能である接続部 7 2 を備える。第 2 枝配線 6 2 は、第 1 トランジスタ  $T_{r1}$  と第 2 トランジスタ  $T_{r2}$  と第 5 トランジスタ  $T_{r5}$  とのドレイン電極と一体に形成されている。

[0063] 第 3 冗長配線 5 3 は、図 5 の左上側の端部に、第 3 枝配線 6 3 に接続可能な接続部 5 7 を備える。第 3 冗長配線 5 3 は、図 5 の右下側の端部に、第 3 枝配線 6 3 を第 2 トランジスタ  $T_{r2}$  のゲート電極に接続するための繋ぎ換え部 7 1 を備える。実施形態 1 においては、図 5 の右下側の端部に第 3 冗長配線 5 3 が備える繋ぎ換え部 7 1 は、第 3 枝配線 6 3 に接続可能な接続部 5 7 でもある。

[0064] 第 3 枝配線 6 3 は、第 2 トランジスタ  $T_{r2}$  の分割された 2 つのソース電極を結合すると共に、第 2 トランジスタ  $T_{r2}$  のソース電極を第 2 トランジスタ  $T_{r2}$  のゲート電極に接続する。第 3 枝配線 6 3 は、図 5 の左上側の屈曲部に、(i) 第 3 冗長配線 5 3 と接続可能な接続部 7 2 を備える。第 3 枝配線 6 3 は、図 5 の右下側の端部に、(i) 第 3 冗長配線 5 3 と接続可能であり、(ii) 第 3 冗長配線 5 3 の繋ぎ換え部 7 1 を介して第 2 トランジスタ  $T_{r2}$  のゲート電極に接続可能である接続部 7 2 を備える。第 3 枝配線 6 3 は、第 2 トランジスタ  $T_{r2}$  のソース電極と一体に形成されている。第 3 枝配線 6 3 は、第 2 トランジスタ  $T_{r2}$  の 2 つのソース電極と一体に形成されている。

- [0065] 第4冗長配線54は、図5の左側の端部に、第4枝配線64を低電位幹配線34に接続するための繋ぎ換え部71を備える。第4冗長配線54は、中央と図5の右側の端部とに、第4枝配線64に接続可能な接続部57を備える。実施形態1においては、図5の左側の端部に第4冗長配線54が備える繋ぎ換え部71は、第4枝配線64に接続可能な接続部57でもある。
- [0066] 第4枝配線64は、低電位幹配線34を、第1トランジスタTr1、第3トランジスタTr3、第4トランジスタTr4、および第5トランジスタTr5のソース電極に接続する枝配線である。第4枝配線64は、低電位Vssを供給する枝配線である。第4枝配線64は、図5の左側の端部に、(i)第4冗長配線54と接続可能であり、(ii)第4冗長配線54の繋ぎ換え部71を介して低電位幹配線34に接続可能である接続部72を備える。第4枝配線64は、第1トランジスタTr1のソース電極へ向かって分岐する分岐部に、第4冗長配線54と接続可能な接続部72を備える。第4枝配線64は、第4トランジスタTr4のソース電極の近傍に、第4冗長配線54と接続可能な接続部72を備える。第4枝配線64は、第1トランジスタTr1、第3トランジスタTr3、第4トランジスタTr4、および第5トランジスタTr5のソース電極と一体に形成されている。
- [0067] 第5冗長配線55は、図5の左側の端部に、第5枝配線65を第1中継配線66に接続するための繋ぎ換え部71を備える。第5冗長配線は、図5の右側の端部に、第5枝配線65に接続可能な接続部57を備える。実施形態1においては、図5の右側の端部に第5冗長配線55が備える繋ぎ換え部71は、第5枝配線65に接続可能な接続部57でもある。
- [0068] 第5枝配線65は、第1中継配線66と、第3トランジスタTr3のドレイン電極と、第4トランジスタTr4のドレイン電極と、第6トランジスタTr6のドレイン電極と一体であるブートストラップ容量Capの他方電極とを接続する枝配線である。第5枝配線65は、n段目の単位回路50の出力Out(n)を供給する枝配線である。第5枝配線65は、図5の左側の端部に、(i)第5冗長配線55と接続可能であり、(ii)第5冗長配線

55の繋ぎ換え部71を介して第1中継配線66に接続可能である接続部72を備える。第5枝配線65は、図5の右側の端部に、(i)第5冗長配線55と接続可能である接続部72を備える。第5枝配線65は、第3トランジスタTr3のドレイン電極、第4トランジスタTr4のドレイン電極、およびブートストラップ容量Capの他方電極と、一体に形成されている。

[0069] 繋ぎ換え部71は、ソース層25(図9参照)から形成された枝配線61~65を、ゲート層22(図7参照)から形成された配線(低電位幹配線34、クロック幹配線35~38、第1中継配線66、第2中継配線67)または電極(第2トランジスタTr2のゲート電極、第6トランジスタTr6のゲート電極と一体であるブートストラップ容量Capの一方電極)に繋ぎ換えるための短距離配線である。繋ぎ換え部71は、実施形態1においては、冗長配線51~55と一体に設けられているが、これに限らず、後述する実施形態2のように、冗長配線51~55と別個に設けられてもよい。

[0070] 実施形態1に係る冗長配線51~55は、繋ぎ換え部71を除いて、対応する枝配線61~65と全面的に重畳しているが、これに限らない。冗長配線51~55は、対応する枝配線61~65と重畳しなくてもよいし、部分的に重畳してもよい。また、重畳している区間において、冗長配線51~55は、対応する枝配線61~65よりも細いことが好ましい。

[0071] 第1中継配線66および第2中継配線67は、枝配線61~65と交差部74で交差するが、トランジスタTr1~Tr5およびブートストラップ容量Capとは交差しない。

[0072] 上述の枝配線61~65と冗長配線51~55の構成によれば、枝配線61~65はそれぞれ、接続部72を複数備える。また、冗長配線51~55はそれぞれ、対応する枝配線61~65の各接続部72と接続可能な接続部57(繋ぎ換え部71と一体である接続部57を含む)を複数備える。このため、互いに対応する枝配線61~65と冗長配線51~55とは、接続部72と接続部57との接続によって、接続される。これにより、枝配線61~65によってその間が接続されている接続部72の間は、対応する冗長配

線51～55によっても接続されている。したがって、枝配線61～65は、冗長配線51～55によって複線化されている。

[0073] 1本の配線が断線する確率よりも、2本の配線が両方とも断線する確率は、小さい。このため、この複線化によって、枝配線61～65の断線に起因する単位回路50の不良を低減することができ、走査線駆動回路47の不良を低減することができる。

[0074] (トランジスタの積層構造)

図6は、図5のA-A矢視断面図であり、第1トランジスタTr1の概略積層構造を示す断面図である。説明を省略するが、第1トランジスタTr1以外のトランジスタTr2～Tr6も同様の積層構造である。

[0075] 実施形態1に係る第1トランジスタTr1は、ボトムゲート型かつチャンネルエッチ型のTFETである。このため、第1トランジスタは、絶縁基板21の上に形成されており、ゲート層22（第1導電層）から形成されたゲート電極（G）と、ゲート絶縁膜23と、半導体層24から形成されたチャンネルと、ソース層25（第2導電層）から形成されたソース電極（S）およびドレイン電極（D）と、第1層間絶縁膜26とを含む。

[0076] 絶縁基板21は、走査線駆動回路47を支持する基板である。絶縁基板21は、絶縁性を有している材料であればいかなる材料から形成されていてもよく、例えば、ガラス基板、ポリエチレンテレフタレート又はポリイミド等からなるプラスチック基板を用いてもよい。

[0077] ゲート層22は、絶縁基板21の上に形成される導電層である。ゲート層22は、例えば、チタン（Ti）、銅（Cu）、クロム（Cr）、アルミニウム（Al）、金（Au）、モリブデン（Mo）、タングステン（W）またはこれらの合金等の金属材料によって形成することができる。

[0078] ゲート絶縁膜23は、絶縁基板21およびゲート層22の表面を覆うよう形成される絶縁膜である。ゲート絶縁膜23は、例えば、ポリパラビニルフェノール（PVP）等の有機絶縁材料によって形成されていてもよいし、二酸化ケイ素（SiO<sub>2</sub>）および窒化珪素（SiN<sub>x</sub>）等の無機絶縁材料によっ

て形成されていてもよい。

[0079] 半導体層 24 は、ゲート絶縁膜 23 の上に形成され、ソース電極 (S) とドレイン電極 (D) とを導通させるための半導体層である。半導体層 24 は、例えば、酸化物半導体から構成されてもよい。

[0080] 半導体層 24 を構成する酸化物半導体は、アモルファス酸化物半導体であってもよいし、結晶質部分を有する結晶質酸化物半導体であってもよい。結晶質酸化物半導体としては、多結晶酸化物半導体、微結晶酸化物半導体、c 軸が層面に概ね垂直に配向した結晶質酸化物半導体等が挙げられる。

[0081] 酸化物半導体から構成された半導体層 24 は、2 層以上の積層構造を有していてもよい。半導体層 24 が積層構造を有する場合には、半導体層 24 は、非晶質酸化物半導体層と結晶質酸化物半導体層とを含んでいてもよい。あるいは、半導体層 24 は、結晶構造の異なる複数の結晶質酸化物半導体層を含んでいてもよい。また、半導体層 24 は、複数の非晶質酸化物半導体層を含んでいてもよい。

[0082] 半導体層 24 が上層 (基板の反対側) と下層 (基板側) とを含む 2 層構造を有する場合、上層に含まれる酸化物半導体のエネルギーギャップは、下層に含まれる酸化物半導体のエネルギーギャップよりも大きいことが好ましい。ただし、これらの層のエネルギーギャップの差が比較的小さい場合には、下層の酸化物半導体のエネルギーギャップが上層の酸化物半導体のエネルギーギャップよりも大きくてもよい。

[0083] 非晶質酸化物半導体および上記の各結晶質酸化物半導体の材料、構造、成膜方法、積層構造を有する酸化物半導体層の構成等は、例えば、特開 2014-007399 号公報に記載されている。参考のために、特開 2014-007399 号公報の開示内容の全てを本明細書に援用する。

[0084] 半導体層 24 は、例えば、In、Ga 及び Zn のうち少なくとも 1 種の金属元素を含んでいてもよい。本実施形態では、半導体層 24 は、例えば、In-Ga-Zn-O 系の半導体 (例えば、酸化インジウムガリウム亜鉛) を含む。ここで、In-Ga-Zn-O 系の半導体は、In (インジウム)、

Ga（ガリウム）、Zn（亜鉛）の三元系酸化物であって、In、Ga及びZnの割合（組成比）は特に限定されず、例えば、 $In : Ga : Zn = 2 : 2 : 1$ 、 $In : Ga : Zn = 1 : 1 : 1$ 、 $In : Ga : Zn = 1 : 1 : 2$ 等を含む。このような酸化物半導体層は、In-Ga-Zn-O系の半導体を含む酸化物半導体層から形成され得る。

[0085] In-Ga-Zn-O系の半導体は、アモルファスでもよいし、結晶質でもよい。結晶質In-Ga-Zn-O系の半導体としては、c軸が層面に概ね垂直に配向した結晶質In-Ga-Zn-O系の半導体が好ましい。

[0086] なお、結晶質In-Ga-Zn-O系の半導体の結晶構造は、例えば、上述した特開2014-007399号公報、特開2012-134475号公報、特開2014-209727号公報等が開示されている。参考のために、特開2012-134475号公報及び特開2014-209727号公報の開示内容の全てを本明細書に援用する。

[0087] In-Ga-Zn-O系半導体層を有する薄膜トランジスタは、高い移動度（a-Si TFTに比べ20倍超）及び低いリーク電流（a-Si TFTに比べ100分の1未満）を有しているため、走査線駆動回路47が備えるトランジスタTr1~Tr6および表示領域30に配設される画素トランジスタとして好適に用いられる。

[0088] 半導体層24は、In-Ga-Zn-O系半導体の代わりに、他の酸化物半導体を含んでもよい。例えば、In-Sn-Zn-O系半導体（例えば、 $In_2O_3-SnO_2-ZnO$ ； $InSnZnO$ ）を含んでもよい。In-Sn-Zn-O系半導体は、In（インジウム）、Sn（スズ）及びZn（亜鉛）の三元系酸化物である。あるいは、酸化物半導体層は、In-Al-Zn-O系半導体、In-Al-Sn-Zn-O系半導体、Zn-O系半導体、In-Zn-O系半導体、Zn-Ti-O系半導体、Cd-Ge-O系半導体、Cd-Pb-O系半導体、CdO（酸化カドミウム）、Mg-Zn-O系半導体、In-Ga-Sn-O系半導体、In-Ga-O系半導体、Zr-In-Zn-O系半導体、Hf-In-Zn-O系半導体等を含んで

いてもよい。

- [0089] ソース層 25 は、例えば、チタン (Ti)、銅 (Cu)、クロム (Cr)、金 (Au)、アルミニウム (Al)、モリブデン (Mo)、タングステン (W) またはこれらの合金等の金属材料によって形成することができる。
- [0090] 第 1 層間絶縁膜 26 は、ゲート絶縁膜 23 及び半導体層 24 の上において互いに離間するように、ソース層 25 から形成されたソース電極 (S) とドレイン電極 (G) との間の空間を充填する。第 1 層間絶縁膜 26 は、ゲート絶縁膜 23、半導体層 24、ソース層 25 の上面に設けられている。第 1 層間絶縁膜 26 の材料は、ゲート絶縁膜 23 と同じ絶縁材料であってもよいし、ゲート絶縁膜 23 と異なる絶縁材料であってもよい。
- [0091] 走査線駆動回路 47 が備えるトランジスタ Tr1~Tr6 を構成する層 (ゲート層 22、ゲート絶縁膜 23、半導体層 24、ソース層 25、第 1 層間絶縁膜 26) は、表示領域 30 に配設される画素トランジスタを構成する層であることが好ましい。
- [0092] (走査線駆動回路の製造工程)
- 以下に、図 7~図 11 を参照して、図 4 に示した走査線駆動回路 47 を製造する概略工程を説明する。なお、説明を省略するが、走査線駆動回路 47 と共に、データ線駆動回路 48、ならびに、表示領域 30 内部の画素トランジスタおよび画素電極などの構成も、絶縁基板 21 の上に形成される。
- [0093] 図 7 は、図 4 に示した走査線駆動回路 47 のゲート層 22 の概略パターンを示す平面図である。
- [0094] 図 8 は、図 4 に示した走査線駆動回路 47 の半導体層 24 の概略パターンを示す平面図である。
- [0095] 図 9 は、図 4 に示した走査線駆動回路 47 のソース層 25 の概略パターンを示す平面図である。
- [0096] 図 10 は、図 4 に示した走査線駆動回路 47 のコンタクトホール 29 の概略パターンを示す平面図である。
- [0097] 図 11 は、図 4 に示した走査線駆動回路 47 の冗長配線層 27 の概略パタ

ーンを示す平面図である。

- [0098] まず、導電材料を絶縁基板 2 1 に全面的に蒸着し、ゲート層 2 2 を形成する。その後、図 7 のようなパターンにゲート層 2 2 が残るように、フォトリソグラフィ技術などを用いて、ゲート層 2 2 をエッチングする。これにより、図 7 のように、低電位幹配線 3 4、クロック幹配線 3 5～3 8、トランジスタ  $T r 1 \sim T r 6$  のゲート電極、ブートストラップ容量  $C a p$  の一方電極、第 1 中継配線 6 6、第 2 中継配線 6 7、および初期化配線 6 8 が形成される。
- [0099] そして、ゲート絶縁膜 2 3 をゲート層 2 2 の上から絶縁基板 2 1 に全面的に蒸着する。ゲート絶縁膜 2 3 は、走査線駆動回路 4 7 が備えるトランジスタ  $T r 1 \sim T r 6$  のゲート絶縁膜を形成するための絶縁膜である。ゲート絶縁膜 2 3 は、表示領域 3 0 に配設される画素トランジスタのゲート絶縁膜を形成するための絶縁膜でもあることが好ましい。
- [0100] 次に、半導体材料をゲート絶縁膜 2 3 の上から絶縁基板 2 1 に全面的に蒸着し、半導体層 2 4 を形成する。その後、図 8 のようなパターンに半導体層 2 4 が残るように、フォトリソグラフィ技術などを用いて、半導体層 2 4 をエッチングする。これにより、図 8 のように、トランジスタ  $T r 1 \sim T r 6$  のチャンネルとなる半導体層 2 4 が形成される。
- [0101] 次に、導電材料を半導体層 2 4 の上から絶縁基板 2 1 に全面的に蒸着し、ソース層 2 5 を形成する。その後、図 9 のようなパターンにソース層 2 5 が残るように、フォトリソグラフィ技術などを用いて、ソース層 2 5 をエッチングする。これにより、図 9 のように、トランジスタ  $T r 1 \sim T r 6$  のソース電極およびドレイン電極と、枝配線 6 1～6 5 と、ブートストラップ容量  $C a p$  の一方電極と、走査線 3 1 と、が形成される。なお、表示領域 3 0 において、走査線 3 1 はゲート層 2 2 に形成されている。ブートストラップ容量  $C a p$  の一方電極と一体で形成された走査線 3 1 は、ソース層 2 5 で形成されているが、表示領域 3 0 の外側（周辺領域 4 0 の内部）で、ゲート層 2 2 に繋ぎ換えられている。

- [0102] 図9に示すように、低電位幹配線34に接続されるための第4枝配線64の接続部72は、低電位幹配線34と重畳するように、複数段の単位回路50の接続部72が連続するように配設されることが好ましい。このように配設された接続部72は、もう一つの低電位幹配線34のように機能するので、低電位幹配線34の配線抵抗を低減することができる。
- [0103] そして、絶縁材料をソース層25の上から、絶縁基板21に全面的に蒸着して、第1層間絶縁膜26を形成する。
- [0104] 次に、フォトリソグラフィ技術などを用いて、図10のようにコンタクトホール29を形成する。ソース層25が残されている位置（枝配線61～65の接続部72）においては、第1層間絶縁膜26をエッチングして、コンタクトホール29からソース層25を露出させる。ソース層25が除去され、ゲート層22が残されている位置においては、第1層間絶縁膜26およびゲート絶縁膜23をエッチングして、コンタクトホール29からゲート層22を露出させる。
- [0105] 次に、導電材料を第1層間絶縁膜26の上から絶縁基板21に全面的に蒸着し、冗長配線層27（第3導電層）を形成する。その後、図11のようなパターンに冗長配線層27が残るように、フォトリソグラフィ技術などを用いて、冗長配線層27をエッチングする。これにより、冗長配線51～55が形成されると共に、コンタクトホール29の中に、冗長配線層27を形成する導電材料が埋設される。このため、ゲート層22が露出されたコンタクトホール29を通して、ゲート層22に、冗長配線層27は接続される。また、ソース層25が露出されたコンタクトホール29を通して、ソース層25に、冗長配線層27は接続される。
- [0106] 冗長配線層27には、例えば、銅（Cu）、チタン（Ti）、アルミニウム（Al）、またはこれらの合金などの金属材料を用いることができる。冗長配線層27は、表示領域に配設されるTN（twisted nematic）方式またはVA（vertical aligned）方式における補助容量を形成するための共通電極、あるいはFFS（fringe field switching）方式における共通電極を低

抵抗かするための配線、またはTFTのチャネル遮光膜のための導電層であってもよい。冗長配線層27が、このような既存の導電層であることは、配線層の数を増やさないので、好ましい。

[0107] 図11に示すように、第4枝配線64を低電位幹配線34に接続するための第4冗長配線54の繋ぎ換え部71は、低電位幹配線34と重畳するように、異なる段の単位回路50の繋ぎ換え部71が連続するように配設されることが好ましい。このように配設された繋ぎ換え部71は、もう一つの低電位幹配線34のように機能するので、低電位幹配線34の配線抵抗を低減する。

[0108] 図11に示すように、冗長配線51～55が対応する枝配線61～65と重畳する構成は、配線容量を低減すると共に、走査線駆動回路47の上にシール11（図13参照）を形成しやすくするので好ましい。シール11には、光硬化性樹脂が用いられることが多い。このため、走査線駆動回路47の上にシール11を形成可能にするために、走査線駆動回路47に、光硬化性樹脂を硬化する光が透過可能な透光部が配設可能であることが好ましい。なお、図6に示されているブートストラップ容量Capのゲート層22から形成された一方電極の3つのスリットは、光硬化性樹脂を硬化する光が透過可能な透光部である。

[0109] さらに、図11に示すように、重畳する区間における冗長配線51～55の部分が、対応する枝配線61～65よりも細いことは、走査線駆動回路47の上にシール11（図13参照）を形成しやすくするのでさらに好ましい。絶縁基板21の反対側にある冗長配線51～55が細いことにより、シール材料をより容易に硬化できる。また、ブートストラップ容量Capのソース層25から形成された他方電極の3つのスリットも同様に、シール材料をより容易に硬化できるように、一方電極のスリットよりも大きい。

[0110] そして、絶縁材料をソース層25の上から、絶縁基板21に全面的に蒸着して、第2層間絶縁膜28を形成する。第2層間絶縁膜28の材料は、第1層間絶縁膜26と同じ絶縁材料であってもよいし、第1層間絶縁膜26と異

なる絶縁材料であってもよい。例えば、第2層間絶縁膜28は、0.2mm～0.8mmの厚さの窒化珪素(SiN<sub>x</sub>)であってもよい。

[0111] (走査線駆動回路の部分断面)

図12は、図5のB-B矢視断面図であり、交差部74と繋ぎ換え部71との概略構成を示す断面図である。図12に示される交差部74においては、(n-2)段目と(n+2)段目との単位回路の間を接続する第2中継配線67が、第1枝配線61と交差する。また、図12に示される繋ぎ換え部71は、第1枝配線61を、(n-4)段目とn段目との単位回路の間を接続する第2中継配線67と、第1冗長配線51と、に接続する。

[0112] 図12に示すように、交差部74において、ゲート層22から形成された第2中継配線67は、ソース層25から形成された第1枝配線61および冗長配線層27から形成された第1冗長配線51と交差している。図12に示す構成においては、第2中継配線67は、第1枝配線61と第1冗長配線51との間に挟まれていない。このため、挟まれた構成よりも、第2中継配線67と、第1枝配線61および第1冗長配線51との間の配線容量が小さくなる。また、第1枝配線61が伝達するクロック信号CK1～CK4の何れかと、第1冗長配線51が伝達するクロック信号CK1～CK4の何れかと、は同一である。このため、第1枝配線61と第1冗長配線51との間の配線容量は、問題にならない。

[0113] したがって、図12のように、絶縁基板21の上に、ゲート層22とソース層25と冗長配線層27とをこの順に積層することは、交差部74における第1中継配線66および第2中継配線67の配線容量を低減するので好ましい。配線容量の低減は、交差する第1中継配線66と第2中継配線67と初期化配線68とにおける信号鈍りを低減するので好ましい。また、配線容量の低減は、交差される第1枝配線61と第2枝配線62と第4枝配線64と第5枝配線65における信号鈍りも低減するので好ましい。

[0114] 図12に示すように、第1枝配線61を第2中継配線67に接続する繋ぎ換え部71は、第1冗長配線51と一体に形成されている。このため、繋ぎ

換え部 71 は、第 1 冗長配線 51 の接続部 57 でもある。第 1 冗長配線 51 は、コンタクトホール 29 を通じて、第 1 枝配線 61 および第 2 中継配線 67 に接続される。したがって、繋ぎ換え部 71 も、第 1 冗長配線 51 の接続部 57 も、コンタクトホール 29 よりも十分に大きい必要がある。このため、繋ぎ換え部 71 とは別個に接続部 57 を第 1 冗長配線 51 が備える構成よりも、繋ぎ換え部 71 が第 1 冗長配線 51 と一体である構成の方が、第 1 冗長配線 51 が占める面積を低減することが容易である。

[0115] 図 12 に示すように、走査線駆動回路 47 が形成される領域において、絶縁基板 21 の上に積層された積層構造の最上層は、第 2 層間絶縁膜 28 である。このように、最上層が絶縁膜であることは、走査線駆動回路 47 の上にシール 11 (図 13 参照) を形成しやすくするので好ましい。最上層が導電層の構成においては、シール材料が含むスペーサによる導電層の破断が生じやすい。また、TN (twisted nematic) 方式やVA (vertical aligned) 方式の液晶表示装置において、対向基板に設けられた対向電極との導電のために導電性粒子が混合されたスペーサが用いられている場合に、導電性粒子による短絡が生じやすい。これに対し、最上層が絶縁膜である構成においては、導電層の破断または短絡が生じにくい。

[0116] また、周辺領域 40 において、絶縁基板 21 の上に積層された積層構造の最上層が絶縁膜であることも、同様の理由で好ましい。なお、表示領域 30 には、シール 11 を形成しないので、表示領域 30 の最上層は、画素電極を形成する透明導電層などであってもよい。

[0117] (表示パネル)

図 13 は、図 1 に示したマトリクス基板 20 を用いた液晶表示パネル 100 (表示装置) の概略構成を示す平面図である。図 13 の (a) は、液晶表示パネル 100 の透視平面図である。図 13 の (b) は、図 13 の (a) の囲み C の部分のマトリクス基板 20 の拡大図である。

[0118] 図 13 の (a) に示すように、液晶表示パネル 100 は、マトリクス基板 20 と、マトリクス基板に対向する対向基板 10 と、対向基板 10 とマ

トリックス基板 20 との間に封入された液晶 12（電気光学物質）と、液晶 12 を封入するためのシール 11 と、を備える。

[0119] シール 11 は、対向基板 10 の外周に沿うように、マトリックス基板 20 の端子部 49 が外部と接続可能なように、周辺領域 40 に含まれるシール領域 41 に形成される。シール 11 を形成するためのシール材料には、通常、光硬化性樹脂が用いられる。このため、シール 11 が形成されるシール領域 41 において、マトリックス基板 20 には、シール材料を硬化させる光が透過可能な透光部が設けられる。また、シール材料には、通常、対向基板 10 とマトリックス基板 20 との間隔を保持するためのスペーサが混合されている。

[0120] 図 13 の（b）に示すように、シール領域 41 は、（i）低電位幹配線 34 とクロック幹配線 35～38 が配設されている幹配線領域 44 と、（ii）走査線駆動回路 47 が配設されている駆動回路領域 45 と、重畳する。このように重畳する構成は、シール領域 41 が幹配線領域 44 および駆動回路領域 45 と重畳しない構成に比べて、周辺領域 40 の小面積化が可能なので好ましい。また、周辺領域 40 の小面積化のために、シール領域 41 が駆動回路領域 45 と重畳する割合は高いことが好ましい。しかしながら、第 6 トランジスタ Tr6 は、面積が大きく、かつ、透過部となる開口を設けることが困難である。このため、シール領域 41 が第 6 トランジスタ Tr6 と重畳しないように、第 6 トランジスタ Tr6 は、表示領域 30 に近い側に設けられている。このため、第 6 トランジスタ Tr6 のソース電極を、クロック幹配線 35～38 の何れか 1 つに接続する第 1 枝配線 61 は、枝配線 61～65 の内で最も長く、最も断線しやすい。

[0121] 従来の冗長配線 51～55 を含まない構成によれば、枝配線 61～65 が断線した場合、走査線駆動回路 47 が不良になる。このため、走査線駆動回路 47 の不良率が高く、マトリックス基板 20 の製造歩留りの向上が困難であった。これに対し、本実施形態にかかる冗長配線 51～55 を含まない構成においては、枝配線 61～65 は、対応する冗長配線 51～55 によって

実質的に複線化されているので、枝配線 6 1 ~ 6 5 と対応する冗長配線 5 1 ~ 5 5 との両方が断線した場合、走査線駆動回路 4 7 が不良になる。このため、両方が断線する確率は、一方のみが断線する確率よりも低いので、走査線駆動回路 4 7 の不良率を低減し、マトリックス基板 2 0 の製造歩留りを向上することができる。

[0122] (効果)

上述の構成によれば、枝配線 6 1 ~ 6 5 を、対応する冗長配線 5 1 ~ 5 5 を用いて複線化することができる。このため、例えば、第 2 枝配線 6 2 が断線しても、第 1 トランジスタ  $T r 1$  と第 2 トランジスタ  $T r 2$  と第 5 トランジスタ  $T r 5$  とのドレイン電極は、ブートストラップ容量  $C a p$  の一方電極に、第 2 冗長配線 5 2 によって接続される。このように、複線化によって、各单位回路 5 0 は、枝配線 6 1 ~ 6 5 の断線に対する冗長性を備えるので、枝配線 6 1 ~ 6 5 の断線に起因する各单位回路 5 0 の不良を低減することができる。これにより、走査線駆動回路 4 7 およびマトリックス基板 2 0 の製造歩留りを向上することができる。

[0123] なお、本実施形態では、枝配線 6 1 ~ 6 5 の全てが複線化可能であるが、枝配線 6 1 ~ 6 5 の内の一部のみが複線化可能であってもよい。この場合、少なくとも、第 1 枝配線 6 1 が複線化可能であることが好ましい。なぜならば、通常、出力トランジスタである第 6 トランジスタ  $T r 6$  は、駆動回路領域 4 5 の表示領域側に配設されるので、第 1 枝配線 6 1 は、枝配線 6 1 ~ 6 5 の内で最も長くなり、最も断線しやすいからである。

[0124] (実施例)

本発明の実施形態 1 に係る構成は、高精細な中小型の表示装置に適用可能であり、有益である。

[0125] 例えば、画素ピッチが  $17 \mu m \times 51 \mu m$  の 4.4 型 FHD (full high vision display) のためのアクティブマトリックス基板に、本発明の実施形態 1 に係る構成を適用した。この実施例においては、データ線 3 2 の間隔が  $17 \mu m$  であり、走査線 3 1 の間隔が  $51 \mu m$  であり、データ線 3 2 の間隔が

(RGBの3色表示の場合)  $1080 \times 3 = 3240$ 本であり、走査線31の本数が1920本であった。さらに、単位回路50の幅は、 $51 \mu\text{m} \times 2 = 102 \mu\text{m}$ よりも小さい、 $100 \mu\text{m}$ であった。走査線駆動回路47には、20~30段の単位回路50毎に単位回路50が配設されていない余剰スペースを設け、該余剰スペースには、共通電極のためのバイバス配線などを配設した。

[0126] さらに、シール材料を硬化する光が透過可能な透光部を走査線駆動回路47に確保するために、単位回路50が備える枝配線61~65を幅 $4 \mu\text{m}$ に形成し、冗長配線51~55を幅 $3 \mu\text{m}$ に形成した。そして、周辺領域40の小面積化のために、走査線駆動回路47をシール領域41と重畳するように、具体的には、第6トランジスタTr6を除き、走査線駆動回路47がシール領域41と完全に重畳するように、シール11を形成した。

[0127] [実施形態2]

本発明の他の実施形態について、図14および図15に基づいて説明すれば、以下のとおりである。なお、説明の便宜上、前記実施形態にて説明した部材と同じ機能を有する部材については、同じ符号を付記し、その説明を省略する。

[0128] 実施形態2に係るマトリックス基板20は、実施形態1に係るマトリックス基板20から、図14に示すように単位回路50の回路配置が部分的に異なるが、その他は実施形態1に係るマトリックス基板20と同一構成である。なお、実施形態2に係る単位回路50の回路構成は、図3に示した実施形態1に係る単位回路50と同一構成である。

[0129] 図14は、実施形態2に係る単位回路50の概略回路配置を示す平面図である。

[0130] 図14に示すように、実施形態2に係る単位回路50における繋ぎ換え部71は、冗長配線51a, 51b, 52~55から分離されている。これによって、実施形態1における第1冗長配線51は、図14左側の第1左冗長配線51aと、図14右側の第1右冗長配線51bと、に分割されている。

また、枝配線 6 1 ~ 6 5 は、繋ぎ換え部 7 1 と接続するための接続部 7 2、冗長配線 5 1 a, 5 1 b, 5 2 ~ 5 5 と接続するための接続部 7 2 と、を備える。また、冗長配線 5 1 a, 5 1 b, 5 2 ~ 5 5 はそれぞれ、対応する枝配線 6 1 ~ 6 5 の接続部 7 2 と接続可能な接続部 5 7 を複数備える。

[0131] さらに、実施形態 2 に係る単位回路 5 0 では、冗長配線 5 1 a, 5 1 b, 5 2 ~ 5 5 は、対応する枝配線 6 1 ~ 6 5 に事前には、接続されていない。したがって、図 1 4 に示されている状態では、枝配線 6 1 ~ 6 5 は、冗長配線 5 1 a, 5 1 b, 5 2 ~ 5 5 による複線化が可能ではあるが、未だ複線化されていない。言い換えると、図 1 4 に示されている状態では、冗長配線 5 1 a, 5 1 b, 5 2 ~ 5 5 は、浮遊配線である。

[0132] さらに、(n-2) 段目と (n+2) 段目との単位回路 5 0 の間を接続する第 2 中継配線 6 7 は、n 段目の単位回路 5 0 において、(i) 第 1 左冗長配線 5 1 a の図 1 4 の右側の端部と、(ii) 第 1 枝配線 6 1 を (n-4) 段目と n 段目との単位回路 5 0 の間を接続する第 2 中継配線 6 7 に接続する繋ぎ換え部 7 1 と、の間を通る。

[0133] 図 1 5 は、図 1 4 の C-C 矢視断面図であり、交差部 7 4 と繋ぎ換え部 7 1 との概略構成を示す断面図である。

[0134] 図 1 5 に示すように、第 1 左冗長配線 5 1 a は、繋ぎ換え部 7 1 から分離されている。また、第 1 枝配線 6 1 の接続部 7 2 は、第 1 左冗長配線 5 1 a の接続部 5 7 に、未接続である。

[0135] (複線化)

図 1 4 および図 1 5 から分かるように、冗長配線 5 1 a, 5 1 b, 5 2 ~ 5 5 の接続部 5 7 は、対応する枝配線 6 1 ~ 6 5 の対応する接続部 7 2 と、重畳するように配設されている。このため、互いに対応する接続部 5 7 と接続部 7 2 とは、メルト接続可能である。そのため、例えば、枝配線 6 1 ~ 6 5 のいずれかが断線している場合に、複数の対応する接続部 5 7 と接続部 7 2 とをメルト接続することで、枝配線 6 1 ~ 6 5 と、対応する冗長配線 5 1 a, 5 1 b, 5 2 ~ 5 5 と接続することができ、不良品となることから救済

できる。具体的には、選択した接続部 5 7 と接続部 7 2 とがある位置に選択的にレーザ光を照射することによって、ソース層 2 5 と第 1 層間絶縁膜 2 6 と冗長配線層 2 7 とを選択的に溶融（メルト）する。溶融により、第 1 層間絶縁膜 2 6 に穴が開き、ソース層 2 5 と冗長配線層 2 7 とが接合する。

[0136] メルト接続において、レーザ光は、絶縁基板 2 1 の上面側から照射されても、下面側から照射されてもよい。また、対向基板 1 0 には遮光膜が配設されていることが多いので、メルト接続をシール 1 1 によってマトリックス基板 2 0 に対向基板 1 0 を接合する後に行う場合、レーザ光が遮断されないように、レーザ光は、絶縁基板 2 1 の下面側から照射されることが好ましい。

[0137] なお、互いに対応する接続部 5 7 と接続部 7 2 との接続は、シール 1 1 によってマトリックス基板 2 0 に対向基板 1 0 を接合する前に行っても、後に行ってもよい。また、メルト接続が容易なように、冗長配線層 2 7 とソース層 2 5 との間の絶縁膜の層数は少ないことが好ましく、冗長配線層 2 7 とソース層 2 5 との間には、第 2 層間絶縁膜 2 8 のみが挟まれていることがより好ましい。

[0138] また、照射するレーザ光が、ゲート層 2 2 によって遮断されないように、枝配線 6 1 ~ 6 5 の冗長配線 5 1 a, 5 1 b, 5 2 ~ 5 5 と接続するための接続部 7 2 は、( i ) 枝配線 6 1 ~ 6 5 が第 1 中継配線 6 6 または第 2 中継配線 6 7 または初期化配線 6 8 と交差する交差部 7 4、および ( i i ) 枝配線 6 1 ~ 6 5 がトランジスタ  $T r 1 \sim T r 6$  のゲート電極と重畳する位置、から異なる位置にあることが好ましい。

[0139] (効果)

実施形態 1 に係る単位回路 5 0 においては、図 1 1 を参照して、第 1 冗長配線 5 1 が中央に備える繋ぎ換える部 7 1 が、第 2 冗長配線 5 2 に近接しているため、短絡しやすい。同様に、 $n$  段目の単位回路 5 0 の第 5 冗長配線 5 5 が左端に備える繋ぎ換え部 7 1 は、隣り合う  $(n + 2)$  段の単位回路 5 0 の第 1 冗長配線 5 1 に近接しているため、短絡しやすい。さらに、冗長配線 5 1 ~ 5 5 は、対応する枝配線 6 1 ~ 6 5 に接続されており、繋ぎ換え部 7

1は、冗長配線51～55に含まれている。

[0140] このため、実施形態1に係る単位回路50においては、第1冗長配線51が中央に備える繋ぎ換える部71が、第2冗長配線52と短絡した場合、第1枝配線が第2枝配線と短絡する。同様に、 $n$ 段目の単位回路50の第5冗長配線55が左端に備える繋ぎ換え部71が、隣り合う $(n+2)$ 段の単位回路50の第1冗長配線51と短絡した場合、 $n$ 段目の単位回路50の第5枝配線65が、 $(n+2)$ 段の単位回路50の第1枝配線61と短絡する。

[0141] これに対し、実施形態2に係る単位回路50においては、図14を示されるように、冗長配線51a, 51b, 52～55は、繋ぎ換え部71と別個に配設されており、かつ、浮遊配線である。このため、繋ぎ換え部71が、(該繋ぎ換え部71が接続する枝配線61～65に対応しない)他の冗長配線と短絡しても、短絡した冗長配線を枝配線に接続しない限り、枝配線同士は短絡しない。このため、冗長配線51～55と繋ぎ換え部71との短絡に起因する単位回路50の不良を低減することができる。

[0142] また、枝配線61～65のいずれかが断線している場合に、対応する冗長配線51a, 51b, 52～55とメルト接続することができるため、不良品となることから救済できる。

[0143] 従って、実施形態2に係る構成によれば、実施形態1に係る構成と同様に、枝配線61～65は複線化可能なので、単位回路50は、枝配線61～65の断線に対する冗長性を備える。さらに、実施形態2に係る構成によれば、繋ぎ換え部71と他の冗長配線との短絡に対する冗長性も備える。これによって、走査線駆動回路47およびマトリクス基板20の製造歩留りをさらに向上することができる。

[0144] また、実施形態1に係る構成と実施形態2に係る構成とを組み合わせてもよい。適宜組み合わせることによって、走査線駆動回路47の製造効率(メルト接続に係る作業を伴わない段階での製造歩留り)とメルト接続を実施して不良品を救済した後の最終的な製造歩留りとの両方を向上することができる。どのように組み合わせるかは、繋ぎ換え部71と冗長配線51～55と

の配置などを考慮して、判断されることが好ましい。

[0145] 〔実施形態3〕

本発明の他の実施形態について、図16および図17に基づいて説明すれば、以下のとおりである。なお、説明の便宜上、前記実施形態にて説明した部材と同じ機能を有する部材については、同じ符号を付記し、その説明を省略する。

[0146] 実施形態3に係るマトリックス基板20は、実施形態1に係るマトリックス基板20から、図16に示すように単位回路50の回路配置が部分的に異なるが、その他は実施形態1に係るマトリックス基板20と同一構成である。なお、実施形態3に係る単位回路50の回路構成は、図3に示した実施形態1に係る単位回路50と同一構成である。

[0147] 図16は、実施形態3に係る単位回路50の概略回路配置を示す平面図である。

[0148] 図16に示すように、実施形態3に係る $n$ 段目の単位回路50における第1冗長配線51は、 $n$ 段目の単位回路50における第1枝配線61が、 $(n-2)$ 段目と $(n+2)$ 段目との単位回路50の間を接続する第2中継配線67と交差する交差部74を迂回している。

[0149] この迂回により、実施形態3に係る第1冗長配線51は、対応する第1枝配線61と重畳している重畳区間75と、交差部74を迂回している迂回区間76と、を有する。図16では、第1冗長配線51のみが迂回区間76を1区間のみ有するがこれに限らない。他の冗長配線52～55も迂回区間76を有してもよく、冗長配線51～55は、2つ以上の迂回区間76を有してもよい。

[0150] (切断)

図17は、図16に示した迂回区間76の近傍を拡大した(a)切断前および(b)切断後の図である。

[0151] 交差部74において、枝配線61～65は、第1中継配線66または第2中継配線67または初期化配線68と交差する。このため、交差部74にお

いて、枝配線 6 1 ~ 6 5 は、第 1 中継配線 6 6 または第 2 中継配線 6 7 または初期化配線 6 8 と短絡することがある。短絡した場合、短絡した交差部 7 4 を枝配線 6 1 ~ 6 5 から切り離すことによって、枝配線 6 1 ~ 6 5 と、第 1 中継配線 6 6 または第 2 中継配線 6 7 または初期化配線 6 8 との短絡を解消することができる。

[0152] 図 1 7 の ( a ) に示すように、迂回区間 7 6 において、第 1 冗長配線 5 1 は、第 1 枝配線 6 1 と重畳していない。また、交差部 7 4 の両側の切断区間 7 7 において、第 1 枝配線 6 1 と重畳する配線または電極はない。このため、図 1 7 の ( b ) に示すように、レーザ照射などによって、第 1 枝配線 6 1 のみを切断して、第 1 枝配線 6 1 を交差部 7 4 から切り離すことができる。

[0153] 実施形態 3 に係る単位回路 5 0 においては、図 1 7 の ( b ) のように、第 1 枝配線 6 1 を交差部 7 4 から切り離すことによって、第 1 枝配線 6 1 と第 2 中継配線 6 7 との短絡を解消することができる。なお、切断された第 1 枝配線 6 1 は、予め第 1 冗長配線 5 1 によって複線化されているので、( i ) 第 6 トランジスタ  $T_r 6$  のソース電極と ( i i ) 第 2 中継配線 6 7 とに、クロック信号を供給することが可能なままである。このため、交差部における枝配線 6 1 ~ 6 5 の短絡に起因する単位回路 5 0 の不良を低減することができる。

[0154] 切断区間 7 7 の長さは、配線 ( 枝配線 6 1 ~ 6 5 , 冗長配線 5 1 ~ 5 5 , 第 1 中継配線 6 6 , 第 2 中継配線 6 7 , 初期化配線 6 8 ) のパターンニング精度 ( 図 7 ~ 図 1 1 で示したパターンの線幅および位置ずれ ) 、切断のためのレーザ照射の照射位置のアライメント精度、切断作業の作業容易性、切断部 7 8 およびその近傍に導電材料が飛散すること、および切断部 7 8 の長さなどを考慮して、確保されることが好ましい。

[0155] 例えば、パターンニング精度、アライメント精度、作業容易性、および飛散などに対してそれぞれ  $1 \sim 3 \mu m$  の余裕を確保することが好ましい。このため、切断区間 7 7 の長さは、 $5 \mu m$  以上であることが好ましい。

[0156] ( 効果 )

実施形態3に係る構成によれば、実施形態1に係る構成と同様に、枝配線61～65は複線化されているので、単位回路50は、枝配線61～65の断線に対する冗長性を備える。さらに、実施形態3に係る構成によれば、交差部74における枝配線61～65の短絡を解消可能である。これによって、走査線駆動回路47およびマトリクス基板20の製造歩留りをさらに向上することができる。

[0157] また、実施形態1～3に係る構成を組み合わせてもよい。適宜組み合わせることによって、走査線駆動回路47の製造効率（メルト接続や切断に係る作業を伴わない段階での製造歩留り）とメルト接続や切断を実施して不良品を救済した後の最終的な製造歩留りとの両方を向上することができる。どのように組み合わせるかは、繋ぎ換え部71と冗長配線51～55との配置に加えて、配線容量、冗長配線同士が短絡する確率、およびシール材料を硬化するための光が透過可能な透光部の確保などを考慮して、判断されることが好ましい。

[0158] [まとめ]

本発明の態様1に係る駆動回路（走査線駆動回路47）は、複数の出力線（走査線31）を各々駆動するための複数の単位回路（50）と、前記単位回路の間を接続するための第1導電層（ゲート層22）から形成された第1種配線（第1中継配線66、第2中継配線67、初期化配線68）と、を備え、前記単位回路のうちの少なくとも1つは、複数の回路素子（トランジスタ $T r 1 \sim T r 6$ 、ブートストラップ容量 $C a p$ ）と、当該単位回路に含まれる回路素子を、（i）当該単位回路に含まれる別の回路素子と（ii）前記第1種配線と（iii）入力を供給するための幹配線との何れかに接続するための、第2導電層（ソース層25）から形成された第2種配線（枝配線61～65）と、前記第2種配線の少なくとも1本に少なくとも部分的に対応する、第3導電層（冗長配線層27）から形成された第3種配線（冗長配線51～55、第1左冗長配線51a、第1右冗長配線51b）と、を含み、前記第2種配線の前記少なくとも1本は、複数の第1種接続部（枝配線の

接続部 7 2) を備え、前記第 3 種配線は、対応する第 2 種配線の各第 1 種接続部に接続可能な複数の第 2 種接続部 (冗長配線の接続部 5 7) を備える構成である。

[0159] 上記構成によれば、少なくとも 1 つの単位回路において、対応する第 3 種配線がある第 2 種配線は、複数の第 1 種接続部を備え、第 3 種配線は、対応する第 2 種配線の各第 1 種接続部に接続可能な複数の第 2 種接続部を備える。このため、互いに対応する第 2 種配線と第 3 種配線とは、第 1 接続部と第 2 接続部とを接続することによって、接続されることができる。このような第 2 種配線と第 3 種配線との接続によって、第 1 種接続部の間を、第 2 種配線に加えて、第 3 種配線でも接続することができる。換言すると、配線の複線化が可能である。これにより、少なくとも 1 つの単位回路は、第 2 種配線の断線に対する冗長性を備えるので、駆動回路は、第 2 種配線の断線に対する冗長性を備える。

[0160] また、1 本の配線が断線する確率よりも、2 本の配線が両方とも断線する確率は、小さい。したがって、複線化によって、第 1 種接続部の間を接続する配線が全て、断線する確率を低減することができる。これにより、断線による駆動回路の不良を低減することができるので、駆動回路の製造歩留りを向上することができる。

[0161] なお、第 1 種接続部と第 2 種接続部とは、(i) その間を接続する第 2 種配線が断線している第 1 種接続部の間のみ、第 3 種配線が接続するように、接続されてもよいし、(ii) 第 2 種配線の断線と無関係に、接続されてもよい。

[0162] さらに、第 2 種配線と第 3 種配線との両方で接続されている第 1 種接続部の間の合成された配線抵抗は、第 2 種配線のみで接続されている第 1 種接続部の間の配線抵抗よりも、小さい。このため、その間を接続する第 2 種配線が断線していない第 1 種接続部の間も、第 3 種配線が接続するように、互いに対応する第 1 種接続部と第 2 種接続部を接続することにより、配線抵抗を低減することができる。

- [0163] 本発明の態様2に係る駆動回路（走査線駆動回路47）は、上記の態様1において、前記単位回路（50）のうちの前記少なくとも1つは、前記回路素子（トランジスタTr1～Tr6、ブートストラップ容量Cap）として、対応する出力線（走査線31）を駆動するための出力トランジスタ（第6トランジスタTr6）を含み、前記出力トランジスタは、ソース電極およびドレイン電極の一方（ドレイン電極）が、対応する出力線に接続され、ソース電極およびドレイン電極の他方（ソース電極）が、対応する第3種配線（第1冗長配線51）がある第2種配線（第1枝配線61）によって、前記幹配線（クロック幹配線35～38の何れか）に接続されるように、構成されている構成としてもよい。
- [0164] 上記構成によれば、少なくとも、出力トランジスタを幹配線に接続する第2種配線は、複線化可能である。
- [0165] 出力トランジスタは、出力線を駆動するので、ソース-ドレイン間が通電状態でのチャネル抵抗が小さいことが好ましい。チャネル抵抗が小さいほど、ソース-ドレイン間を流れる電流が大きくなり、ソース-ドレインでの電圧降下が小さくなる。このため、出力トランジスタのチャネル抵抗が小さいほど、駆動回路は出力抵抗が強くなり、出力信号の鈍りを低減することができる。例えば、駆動回路が、出力線として、マトリクス基板の走査線を駆動する場合、出力トランジスタは、走査線に充電する能力が十分に高いように、チャネル抵抗が小さいことが好ましい。このように、チャネル抵抗を小さくするために、出力トランジスタは、出力トランジスタ以外の回路素子よりも大きくなる傾向にある。
- [0166] また、通常、回路素子を形成するための導電層と、第1種配線および第2種配線を形成する導電層とは、共通する。このため、回路素子と配線とは重畳も接触もできない。したがって、出力トランジスタは、従来、面積が広く、かつ、平面視において配線と重畳も接触もしなかった。加えて、液晶などの電気光学物質を封入するためのシールを形成するシール材には、光硬化性材料が多く用いられる。このため、シールを形成する領域には、シール材を

硬化するための光が透過可能な透過部が、設けられる。

[0167] このため、一般的に、表示装置のためのマトリクス基板の周辺領域において、(i) 出力トランジスタは、表示領域側に配設され、(ii) 幹配線は、表示領域の反対側に配設され、(iii) 出力トランジスタ以外の単位回路に含まれる回路素子は、出力トランジスタと幹配線との間に配設されるように、駆動回路および幹配線はレイアウトされてきた。

[0168] このようなレイアウトでは、出力トランジスタを幹配線に接続するための第2種配線が、第2種配線のうちで、最も長い。このため、出力トランジスタを幹配線に接続するための第2種配線は、断線する確率が最も大きく、配線抵抗も最も大きくなりやすい。これらのため、出力トランジスタを幹配線に接続するための第2種配線が、複線化可能なことは、極めて有益である。

[0169] 本発明の態様3に係る駆動回路（走査線駆動回路47）は、上記の態様2において、前記出力トランジスタのソース電極およびドレイン電極の前記他方（第6トランジスタTr6のソース電極）は、クロック信号を前記駆動回路に供給するための前記幹配線（クロック幹配線35～38の何れか）に接続される構成としてもよい。

[0170] 本発明の態様4に係る駆動回路（走査線駆動回路47）は、上記の態様1～3の何れか1態様において、前記第1導電層（ゲート層22）と、前記第2導電層（ソース層25）と、前記第3導電層（冗長配線層27）とは、互いに異なる導電層である構成としてもよい。

[0171] 上記構成によれば、第1導電層と第2導電層と第3導電層とは、互いに異なる導電層であるので、第1種配線と第2種配線と第3種配線とは、平面視において、互いに重畳可能である。したがって、第2種配線が第1種配線と交差するように、第2種配線を配設してもよい。また、第3種配線が第1種配線と交差するように、第3種配線を配設してもよい。また、第3種配線が第2種配線に沿って、第2種配線の上を延伸するように、第3種配線を配設してもよい。

[0172] 本発明の態様5に係る駆動回路（走査線駆動回路47）は、上記の態様4

において、前記第2導電層（ソース層25）と前記第3導電層（冗長配線層27）との間には、絶縁膜（第1層間絶縁膜26）のみが挟まれている構成としてもよい。

[0173] 上記構成によれば、第2導電層と第3導電層との間には、絶縁膜のみが挟まれる。このため、(i)互いに対応する第2種配線と第3種配線と、(ii)その他の配線と、の間の配線容量を低減することができる。これによって、容量負荷が減るので、信号鈍りを低減することができる。これは、互いに対応する第2種配線と第3種配線とが、平面視において重畳している場合に、特に、有益である。

[0174] さらに、上記構成によれば、第2導電層と第3導電層とが近いので、互いに対応する第1種接続部と第2種接続部とを、接続することが容易である。このため、第2導電層と第3導電層との間の絶縁膜の厚さは、薄いことが好ましい。

[0175] 本発明の態様6に係る駆動回路（走査線駆動回路47）は、上記の態様4または5において、前記第2種配線（枝配線61～65）は、前記回路素子（トランジスタTr1～Tr6、ブートストラップ容量Cap）の前記第1導電層から形成された電極、前記第1種配線（第1中継配線66、第2中継配線67、初期化配線68）、および前記第1導電層から形成された前記幹配線（低電位幹配線34、クロック幹配線35～38）の何れかと接続されるための第3種接続部（枝配線の接続部72）を備え、前記第3種接続部は、前記第1種接続部（枝配線の接続部72）の少なくとも1つを含む、構成としてもよい。

[0176] 上記構成によれば、第2種配線が、回路素子または第1種配線または幹配線と接続されるための第3種接続部は、第1種接続部の少なくとも1つを含む。このため、第2種配線が備える接続部（第1種接続部と第3種接続部）の数を減らすことができる。

[0177] 異なる導電層から形成された配線を接続するための接続部は、接続部でない部分よりも大きくなる。例えば、(i)導電層の上に絶縁膜を形成し、(

i i) 絶縁膜にスルーホールを開け、(i i i) 絶縁膜の上に別の導電層を形成すると共に、そのスルーホールに導電材料を埋めることによって、配線を接続する。この場合、接続部はスルーホールの開口よりも十分に大きい必要がある。

[0178] したがって、第2種配線が備える接続部の数を減らすことは、第2種配線を配設するための領域を小面積化するために、有益であり、駆動回路のレイアウトのための領域を小面積化するために、有益である。

[0179] 本発明の態様7に係る駆動回路(走査線駆動回路47)は、上記の態様4または5において、前記単位回路(50)は、前記第3導電層(冗長配線層27)から形成された繋ぎ換え部(71)を、さらに備え、前記第2種配線(枝配線61~65)は、前記繋ぎ換え部を通じて、前記回路素子の前記第1導電層から形成された電極(ブートストラップ容量Capの一方電極、第2トランジスタTr2のゲート電極)、前記第1種配線(第1中継配線66, 第2中継配線67)、および前記第1導電層から形成された前記幹配線(低電位幹配線34, クロック幹配線35~38)の何れかと接続されるための第3種接続部(枝配線の接続部72)を備え、前記繋ぎ換え部は、前記第3種配線(冗長配線51a, 51b, 52~55)から分離されている構成としてもよい。

[0180] 本発明の態様8に係る駆動回路(走査線駆動回路47)は、上記の態様4~7の何れか1態様において、前記第3種配線(冗長配線51a, 51b, 52~55)の少なくとも1本は、平面視において、対応する第2種配線(枝配線61~55)と重畳する重畳区間(重畳区間75)を有する構成としてもよい。

[0181] 上記構成によれば、第3種配線の少なくとも1本は、対応する第2種配線と重畳する重畳区間を有する。これにより、互いに対応する第2種配線および第3種配線と、他の配線との間の配線容量を低減することができる。

[0182] 近年、マトリックス基板に走査線駆動回路をモノリシックに形成するゲートドライバーモノリシック(Gate Driver Monolithic, GMD)技術が普及

している。このようなマトリックス基板を用いる表示装置において、マトリックス基板の周辺領域でシール材を硬化させて、マトリックス基板と対向基板との間に液晶などの電気光学物質を封入するシールを形成する。また、走査線駆動回路も、マトリックス基板の周辺領域に用いられる。このため、周辺領域を小面積化するために、走査線駆動回路を形成する駆動回路領域の一部または全部は、シールを形成するシール領域と重畳する。このため、光硬化性のシール材を用いることができるように、走査線駆動回路は、シール材を硬化する光が透過する透光部を確保しやすい構成であることが好ましい。

[0183] 上記構成によれば、第3種配線の少なくとも1本は、対応する第2種配線と重畳する重畳区間を有する。このため、透光部を確保しやすい。したがって、GMD技術を採用したマトリックス基板に適した駆動回路を実現することができる。

[0184] 本発明の態様9に係る駆動回路（走査線駆動回路47）は、上記の態様8において、前記第1導電層（ゲート層22）と、前記第2導電層（ソース層25）と、前記第3導電層（冗長配線層27）とは、絶縁基板（21）の上にこの順に積層されている構成としてもよい。

[0185] 本発明の態様10に係る駆動回路（走査線駆動回路47）は、上記の態様9において、前記第3種配線（冗長配線51～55，第1左冗長配線51a，第1右冗長配線51b）の幅は、前記重畳区間（75）において、対応する第2種配線（枝配線61～65）の幅よりも、細い構成としてもよい。

[0186] 上記構成によれば、重畳区間において、互いに対応する第3種配線と第2種配線のうち、基板側の第2種配線が太く、基板の反対側の第3種配線が細い。このため、基板の反対側の配線が細いので、透光部を確保しやすい。GMD技術を採用したマトリックス基板においては、走査線駆動回路は、シール材を硬化する光が透過する透光部を確保しやすい構成であることが好ましい。したがって、GMD技術を採用したマトリックス基板に適した駆動回路を実現することができる。

[0187] 本発明の態様11に係る駆動回路（走査線駆動回路47）は、上記の態様

4～10の何れか1態様において、前記第3種配線（冗長配線51～55，第1左冗長配線51a，第1右冗長配線51b）の少なくとも1本は、平面視において、対応する第2種配線（枝配線61～65）と前記第1種配線（第1中継配線66，第2中継配線67，初期化配線68）とが交差する交差部（74）を迂回する迂回区間（76）を有する構成としてもよい。

[0188] 上記構成によれば、第3種配線の少なくとも1本は、第2種配線と第1種配線とが交差する交差部を迂回する迂回区間を有する。このため、迂回されている交差部で、第2種配線と第1種配線とが短絡した場合に、修復が容易である。この修復は、例えば、（i）短絡した交差部の両側で、第2種配線を切断し、（ii）この切断によってその間を接続する第2種配線が断線した第1種接続部の間を、第3種配線が接続するように、第1種接続部と第2種接続部とを接続する。なお、修復のための切断を容易にするために、迂回する交差部の両側（例えば、5 $\mu$ m以内）の第2種配線の上には、配線および回路素子が配設されていないことが好ましい。

[0189] 本発明の態様12に係る駆動回路（走査線駆動回路47）は、上記の態様1～11の何れか1態様において、前記回路素子は、（i）前記第1導電層（ゲート層22）から形成されたゲート電極と、（ii）前記第2導電層（ソース層25）から形成されたソース電極およびドレイン電極と、を有するトランジスタ（Tr1～Tr6）を含む構成としてもよい。

[0190] 本発明の態様13に係る駆動回路（走査線駆動回路47）は、上記の態様1～12の何れか1態様において、前記第1種配線は、1つの前記単位回路に、別の1つの前記単位回路の出力を供給するための第1中継配線（66）を含む構成としてもよい。

[0191] 上記構成によれば、単位回路には、別の単位回路の出力を供給することができる。このため、例えば、フリップフロップ回路を、単位回路として用いることができるので、駆動回路は、シフトレジスタとして機能することができる。

[0192] 本発明の態様14に係る駆動回路（走査線駆動回路47）は、上記の態様

1～13の何れか1態様において、前記第1種配線は、1つの前記単位回路に、別の1つの前記単位回路の入力を供給するための第2中継配線(67)を含む構成としてもよい。

[0193] 上記構成によれば、単位回路には、別の単位回路の入力を供給することができる。このため、駆動回路に入力するための幹配線と単位回路との間の接続の自由度を高くすることができる。例えば、回路素子を幹配線に接続する枝配線から中継配線を分岐したり、幹配線に接続されている回路素子の電極から中継配線を分岐したり、することができる。

[0194] 本発明の態様15に係る駆動回路(走査線駆動回路47)は、上記の態様1～14の何れか1態様において、前記第1種配線は、前記単位回路を初期化するための初期化信号(Reset)を供給するための初期化配線(68)を含む構成としてもよい。

[0195] 本発明の態様16に係るマトリックス基板(20)は、前記出力線が走査線(31)として配設された表示領域(30)と、上記の態様1～15の何れか1態様における駆動回路(走査線駆動回路47)と、前記幹配線(低電位幹配線34、クロック幹配線35～38)と、が配設された周辺領域(40)と、を有する絶縁基板(21)を備える構成である。

[0196] 本発明の態様17に係るマトリックス基板(20)は、複数の走査線(31)が配設された表示領域(30)と、(i)各走査線を駆動するための複数の単位回路(50)と、前記単位回路の間を接続するための第1導電層(ゲート層22)から形成された第1種配線(第1中継配線66、第2中継配線67、初期化配線68)とを備える駆動回路(走査線駆動回路47)と、(ii)前記駆動回路へ入力( $V_{ss}$ ,  $CK1\sim CK4$ )を供給するための幹配線(低電位幹配線34、クロック幹配線35～38)と、が配設された周辺領域(40)と、を有する絶縁基板(21)を備え、前記単位回路のうちの少なくとも1つは、複数の回路素子(トランジスタ $Tr1\sim Tr6$ , ブートストラップ容量 $Cap$ )と、当該単位回路に含まれる回路素子を、(i)当該回路に含まれる別の回路素子と(ii)前記第1種配線と(iii)

前記幹配線との何れかに接続するための、第2導電層（ソース層25）から形成された第2種配線（枝配線61～65）と、前記第2種配線の少なくとも1本に少なくとも部分的に対応する、第3導電層（冗長配線層27）から形成された第3種配線（冗長配線51～55，第1左冗長配線51a，第1右冗長配線51b）と、を含み、前記第2種配線の前記少なくとも1本は、複数の第1種接続部（枝配線の接続部72）を備え、前記第3種配線は、対応する第2種配線の各第1種接続部に接続可能な複数の第2種接続部（冗長配線の接続部57）を備える。

[0197] 本発明の態様18に係るマトリクス基板（20）は、上記の態様16または17において、前記周辺領域（40）は、電気光学物質（液晶12）を封入するためのシール（11）を形成するためのシール領域（41）を含み、前記シール領域において、前記絶縁基板（21）の上に、積層された前記第1導電層（ゲート層22）と前記第2導電層（ソース層25）と前記第3導電層（冗長配線層27）とを含む積層の最上層は、絶縁膜（第2層間絶縁膜28）である構成としてもよい。

[0198] 本発明の態様19に係る表示装置（液晶表示パネル100）は、上記の態様16～18の何れか1態様におけるマトリクス基板を備える構成である。

[0199] 本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせ得られる実施形態についても本発明の技術的範囲に含まれる。さらに、各実施形態にそれぞれ開示された技術的手段を組み合わせることにより、新しい技術的特徴を形成することができる。

## 符号の説明

- [0200] 10 対向基板  
11 シール  
12 液晶  
20 マトリクス基板

- 2 1 絶縁基板
- 2 2 ゲート層（第1導電層）
- 2 3 ゲート絶縁膜
- 2 4 半導体層
- 2 5 ソース層（第2導電層）
- 2 6 第1層間絶縁膜
- 2 7 冗長配線層（第3導電層）
- 2 8 第2層間絶縁膜
- 2 9 コンタクトホール
- 3 0 表示領域
- 3 1 走査線（出力線）
- 3 2 データ線
- 3 4 低電位幹配線（幹配線）
- 3 5 第1クロック幹配線（幹配線）
- 3 6 第2クロック幹配線（幹配線）
- 3 7 第3クロック幹配線（幹配線）
- 3 8 第4クロック幹配線（幹配線）
- 4 0 周辺領域
- 4 1 シール領域
- 4 4 幹配線領域
- 4 5 駆動回路領域
- 4 7 走査線駆動回路（駆動回路）
- 4 8 データ線駆動回路
- 4 9 端子部
- 5 0 単位回路
- 5 1 第1冗長配線（第3種配線）
  - 5 1 a 第1左冗長配線（第3種配線）
  - 5 1 b 第1右冗長配線（第3種配線）

- 5 2 第2冗長配線 (第3種配線)
- 5 3 第3冗長配線 (第3種配線)
- 5 4 第4冗長配線 (第3種配線)
- 5 5 第5冗長配線 (第3種配線)
- 5 7 冗長配線の接続部, 接続部 (第2種接続部)
- 6 1 第1枝配線 (第2種配線)
- 6 2 第2枝配線 (第2種配線)
- 6 3 第3枝配線 (第2種配線)
- 6 4 第4枝配線 (第2種配線)
- 6 5 第5枝配線 (第2種配線)
- 6 6 第1中継配線 (第1種配線)
- 6 7 第2中継配線 (第1種配線)
- 6 8 初期化配線 (第1種配線)
- 7 1 繋ぎ換え部
- 7 2 枝配線の接続部, 接続部 (第1種接続部)
- 7 4 交差部
- 7 5 重畳区間
- 7 6 迂回区間
- 1 0 0 液晶表示パネル
- C a p ブートストラップ容量
- C K 1 第1クロック信号 (入力, クロック信号)
- C K 2 第2クロック信号 (入力, クロック信号)
- C K 3 第3クロック信号 (入力, クロック信号)
- C K 4 第4クロック信号 (入力, クロック信号)
- O u t 出力
- R e s e t 初期化信号
- T r 1 第1トランジスタ
- T r 2 第2トランジスタ

T r 3 第3トランジスタ  
T r 4 第4トランジスタ  
T r 5 第5トランジスタ  
T r 6 第6トランジスタ  
V s s 低電位（入力）

## 請求の範囲

- [請求項1] 複数の出力線を各々駆動するための複数の単位回路と、前記単位回路の間を接続するための第1導電層から形成された第1種配線と、を備え、
- 前記単位回路のうちの少なくとも1つは、
- 複数の回路素子と、
- 当該単位回路に含まれる回路素子を、(i) 当該単位回路に含まれる別の回路素子と (ii) 前記第1種配線と (iii) 入力を供給するための幹配線との何れかに接続するための、第2導電層から形成された第2種配線と、
- 前記第2種配線の少なくとも1本に少なくとも部分的に対応する、第3導電層から形成された第3種配線と、を含み、
- 前記第2種配線の前記少なくとも1本は、複数の第1種接続部を備え、
- 前記第3種配線は、対応する第2種配線の各第1種接続部に接続可能な複数の第2種接続部を備えることを特徴とする駆動回路。
- [請求項2] 前記単位回路のうちの前記少なくとも1つは、前記回路素子として、対応する出力線を駆動するための出力トランジスタを含み、
- 前記出力トランジスタは、
- ソース電極およびドレイン電極の一方が、対応する出力線に接続され、
- ソース電極およびドレイン電極の他方が、対応する第3種配線がある第2種配線によって、前記幹配線に接続されるように、構成されていることを特徴とする請求項1に記載の駆動回路。
- [請求項3] 前記出力トランジスタのソース電極およびドレイン電極の前記他方は、クロック信号を前記駆動回路に供給するための前記幹配線に接続されることを特徴とする請求項2に記載の駆動回路。
- [請求項4] 前記第1導電層と、前記第2導電層と、前記第3導電層とは、互い

に異なる導電層であることを特徴とする請求項 1～3 の何れか 1 項に記載の駆動回路。

[請求項5] 前記第 2 導電層と前記第 3 導電層との間には、絶縁膜のみが挟まれていることを特徴とする請求項 4 に記載の駆動回路。

[請求項6] 前記第 2 種配線は、前記回路素子の前記第 1 導電層から形成された電極、前記第 1 種配線、および前記第 1 導電層から形成された前記幹配線の何れかと接続されるための第 3 種接続部を備え、

前記第 3 種接続部は、前記第 1 種接続部の少なくとも 1 つを含む、ことを特徴とする請求項 4 または 5 に記載の駆動回路。

[請求項7] 前記単位回路は、前記第 3 導電層から形成された繋ぎ換え部を、さらに備え、

前記第 2 種配線は、前記繋ぎ換え部を通じて、前記回路素子の前記第 1 導電層から形成された電極、前記第 1 種配線、および前記第 1 導電層から形成された前記幹配線の何れかと接続されるための第 3 種接続部を備え、

前記繋ぎ換え部は、前記第 3 種配線から分離されていることを特徴とする請求項 4 または 5 に記載の駆動回路。

[請求項8] 前記第 3 種配線の少なくとも 1 本は、平面視において、対応する第 2 種配線と重畳する重畳区間を有することを特徴とする請求項 4～7 の何れか 1 項に記載の駆動回路。

[請求項9] 前記第 1 導電層と、前記第 2 導電層と、前記第 3 導電層とは、絶縁基板の上にこの順に積層されていることを特徴とする請求項 8 に記載の駆動回路。

[請求項10] 前記第 3 種配線の幅は、前記重畳区間において、対応する第 2 種配線の幅よりも、細いことを特徴とする請求項 9 に記載の駆動回路。

[請求項11] 前記第 3 種配線の少なくとも 1 本は、平面視において、対応する第 2 種配線と前記第 1 種配線とが交差する交差部を迂回する迂回区間を有することを特徴とする請求項 4～10 の何れか 1 項に記載の駆動回

路。

[請求項12] 前記回路素子は、(i) 前記第1導電層から形成されたゲート電極と、(ii) 前記第2導電層から形成されたソース電極およびドレイン電極と、を有するトランジスタを含むことを特徴とする請求項1～11の何れか1項に記載の駆動回路。

[請求項13] 前記出力線が走査線として配設された表示領域と、請求項1～12の何れか1項に記載の駆動回路と、前記幹配線と、が配設された周辺領域と、を有する絶縁基板を備えるマトリクス基板。

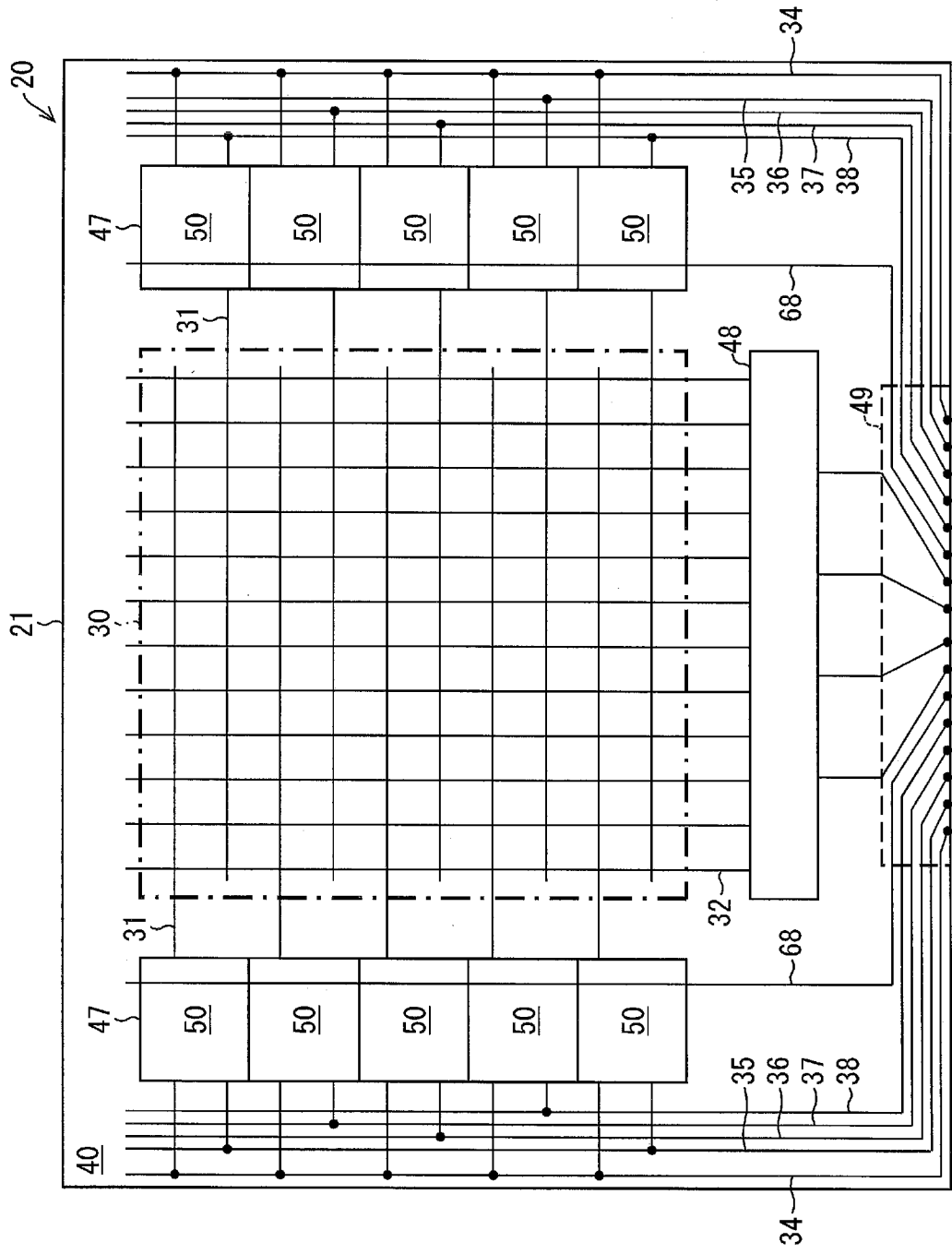
[請求項14] 前記周辺領域は、電気光学物質を封入するためのシールを形成するためのシール領域を含み、

前記シール領域において、前記絶縁基板の上に、積層された前記第1導電層と前記第2導電層と前記第3導電層とを含む積層の最上層は、絶縁膜であることを特徴とする請求項13に記載のマトリクス基板。

[請求項15] 請求項13または14に記載のマトリクス基板を備えることを特徴とする表示装置。

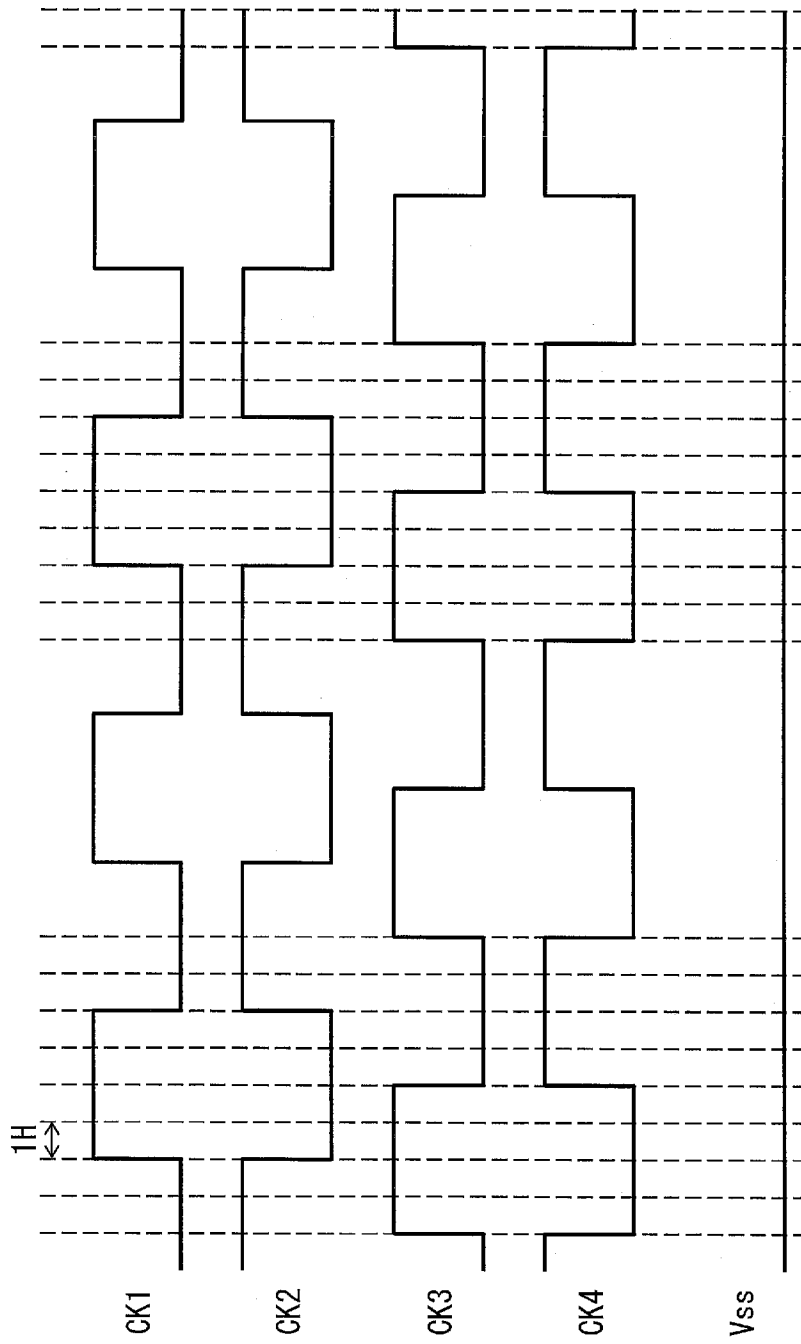
[図1]

図 1



[図2]

図 2



[図3]

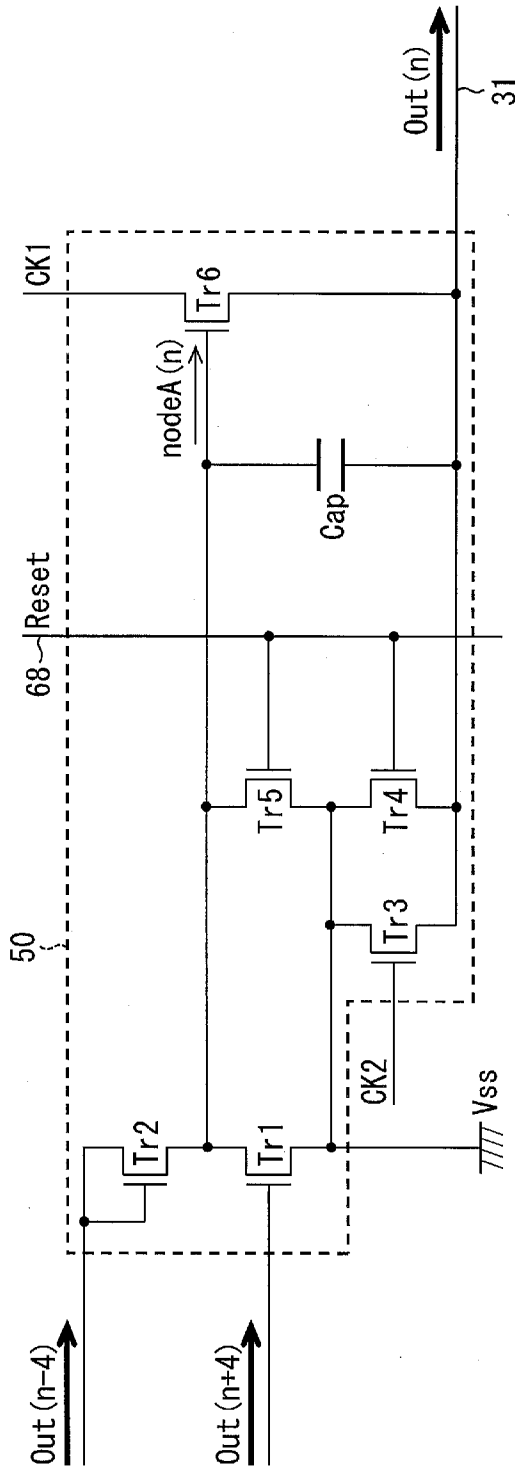
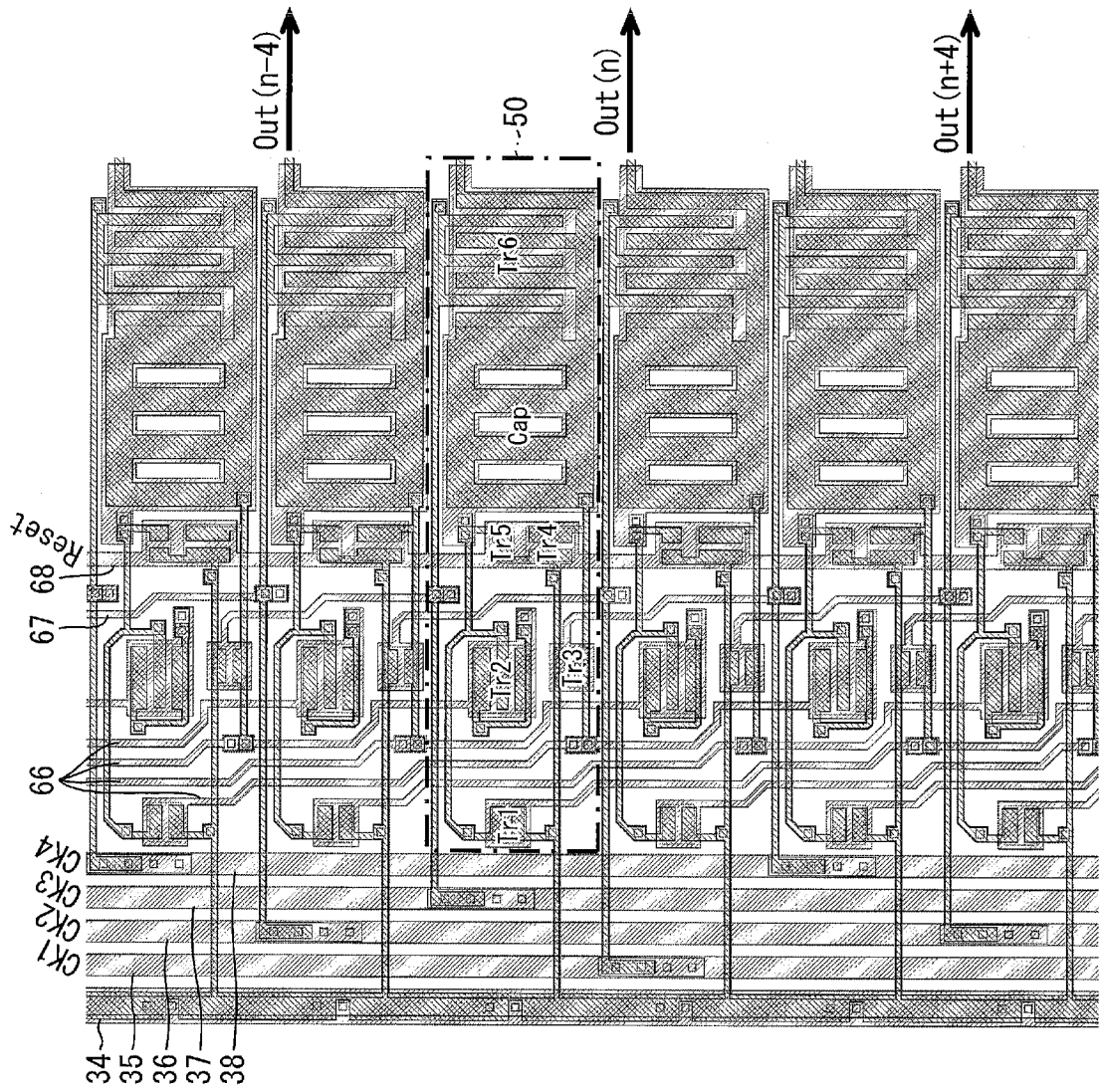


図 3

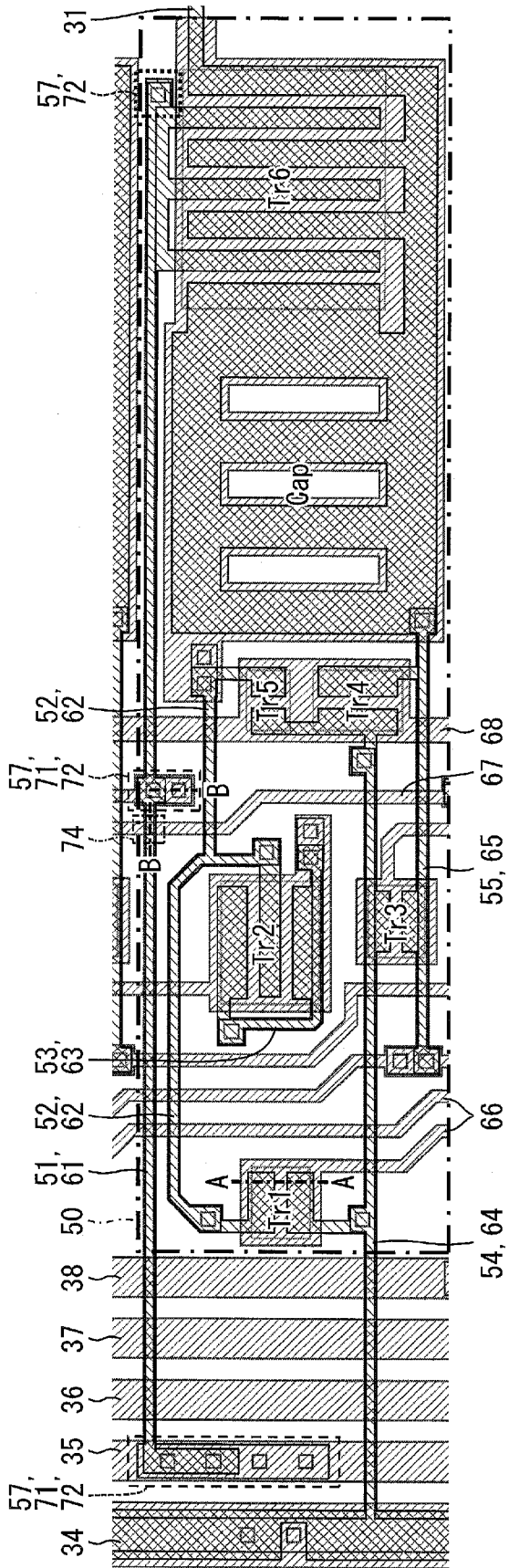
[図4]

4



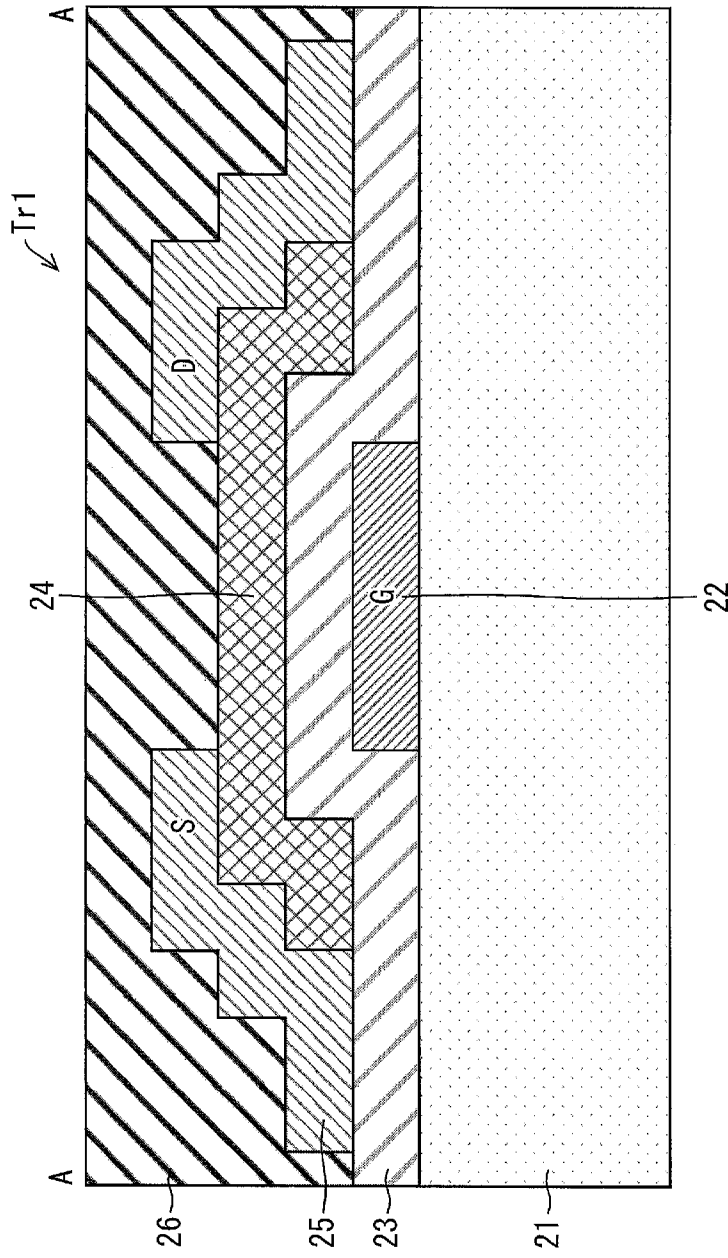
[図5]

図 5



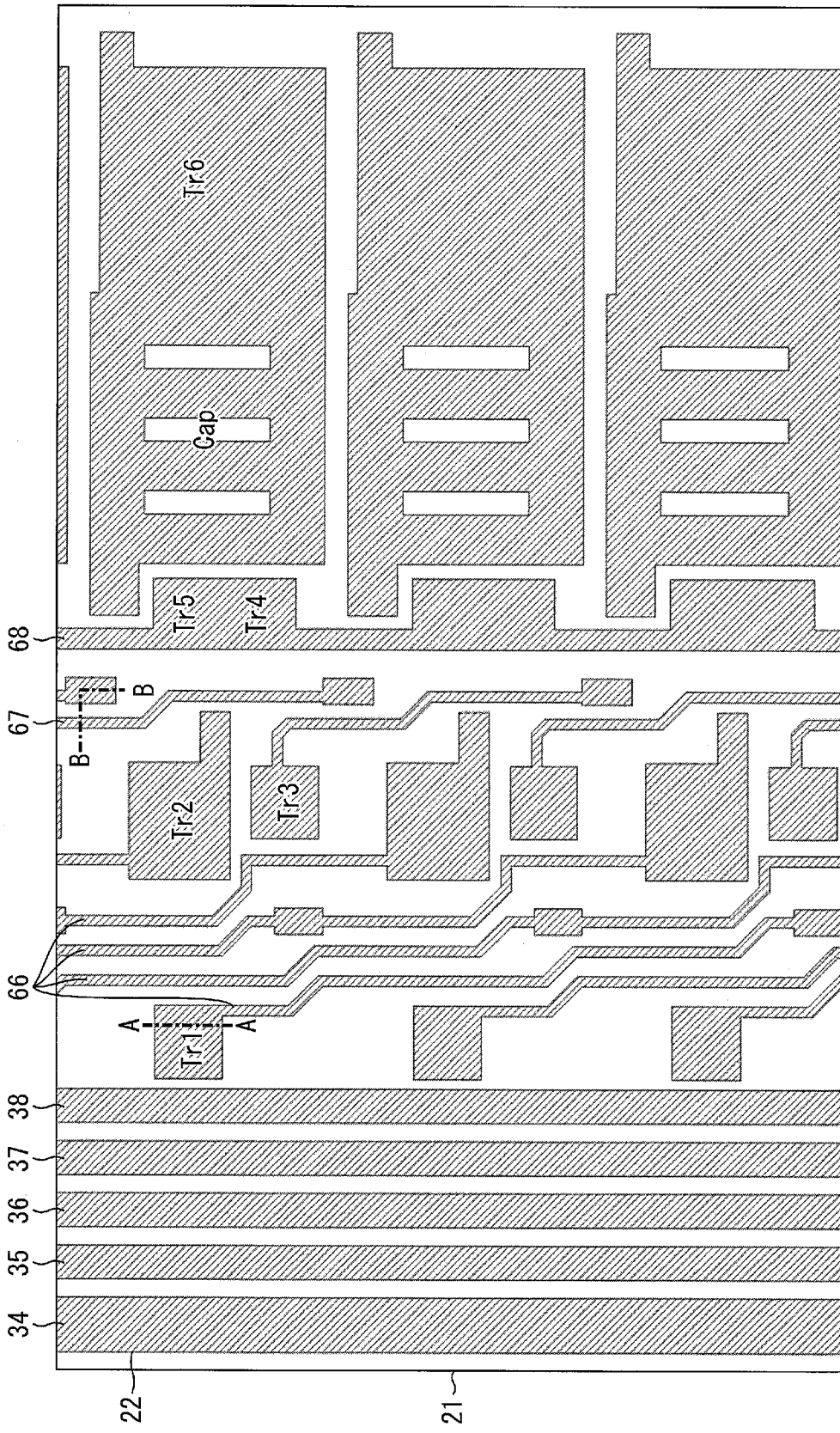
[図6]

図 6



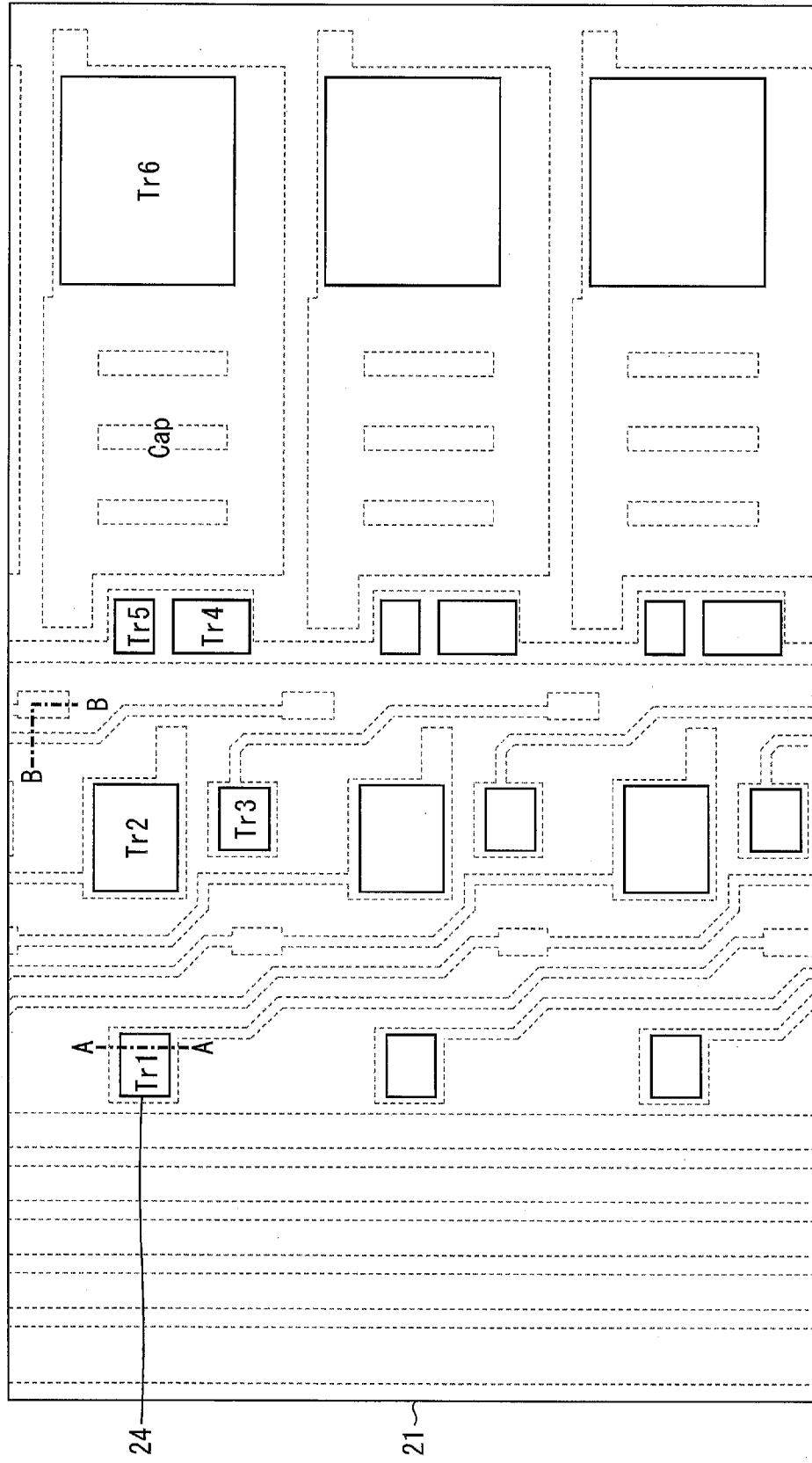
[図7]

図 7



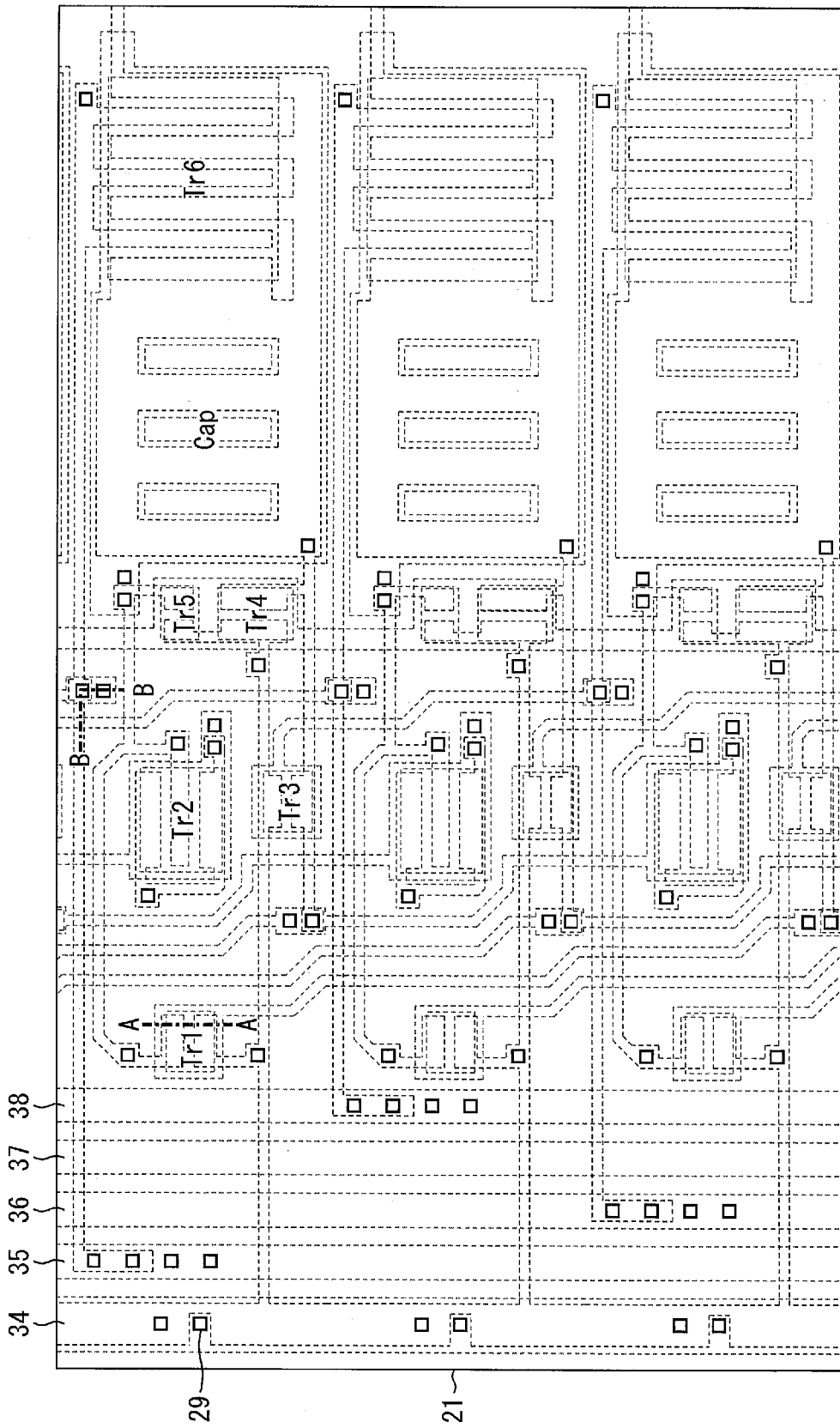
[図8]

8





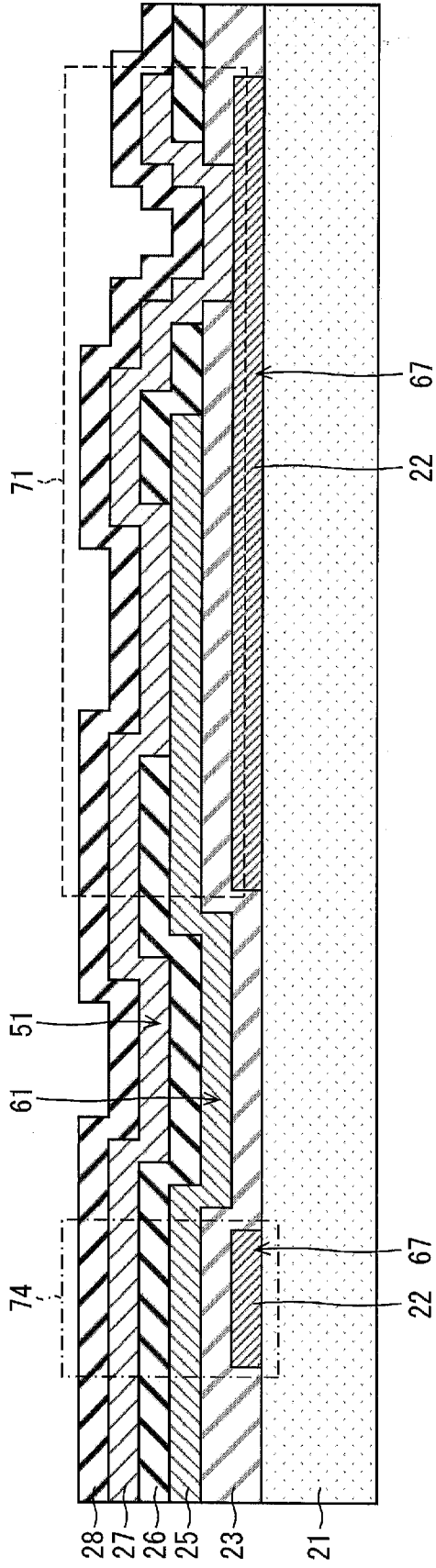
[図10]





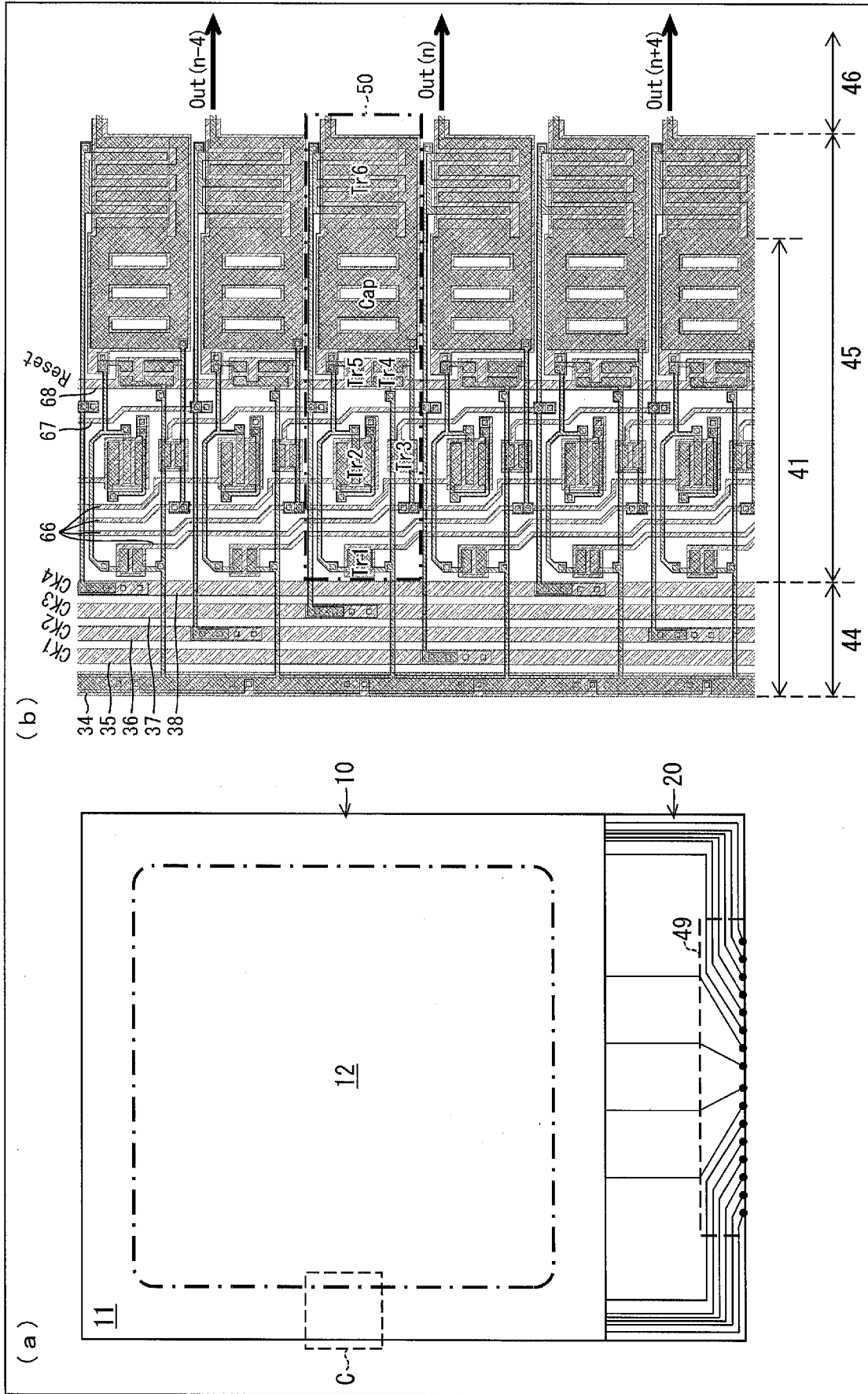
[図12]

図 12



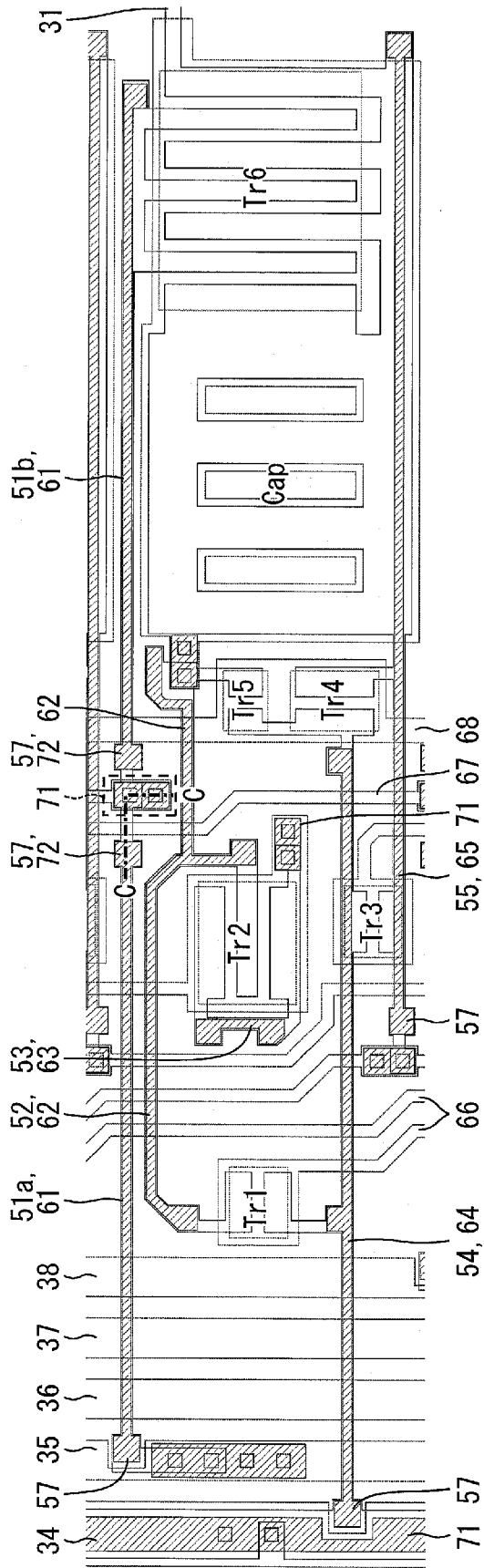
[圖 13]

圖 13



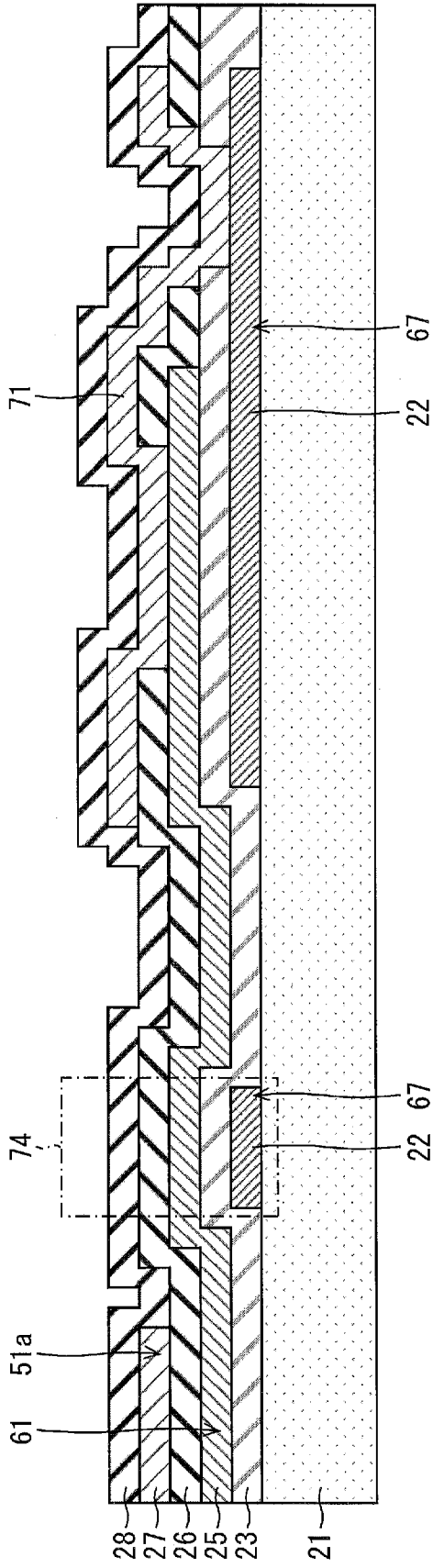
[図14]

図 14



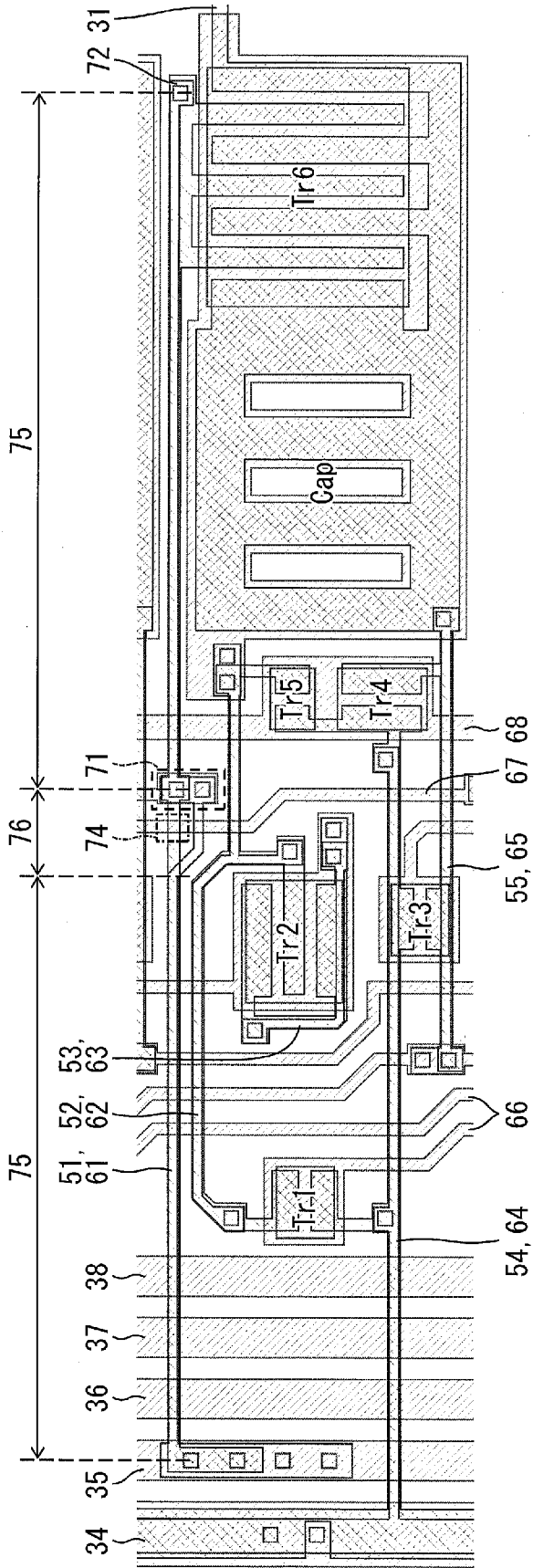
[図15]

図 15



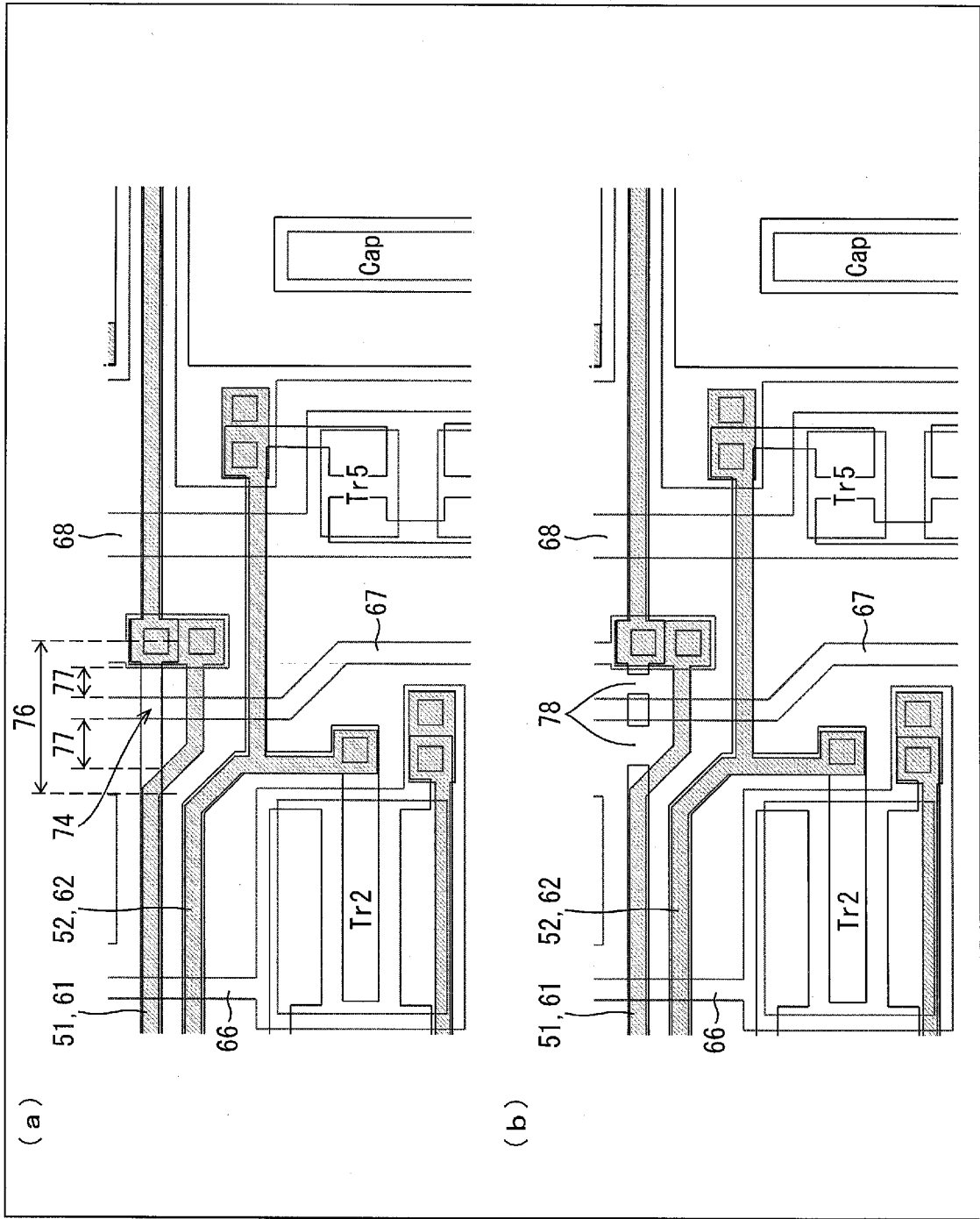
[図16]

図 16



[図17]

図 17



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2018/005566

**A. CLASSIFICATION OF SUBJECT MATTER**

Int.Cl. G09F9/30(2006.01)i, G02F1/133(2006.01)i, G09F9/00(2006.01)i, H03K17/06(2006.01)i, H03K17/687(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G02F1/1343-1/1345, G02F1/135-1/1368, G09F9/00-9/46, H01L21/3205-21/3213, H01L21/768, H01L23/522, H01L23/532, H01L27/32, H01L51/50, H05B33/00-33/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2010-134078 A (SEIKO EPSON CORPORATION) 17 June 2010, paragraphs [0026]-[0050], [0058]-[0077], fig. 1-10 (Family: none)	1-2, 4-6, 8-10, 12 11 3, 7, 13-15
Y	JP 10-39333 A (SHARP CORPORATION) 13 February 1998, paragraphs [0046], [0102]-[0115], fig. 12, 13 & US 6191832 B1, column 16, line 13 to column 17, line 57	11

Further documents are listed in the continuation of Box C.       See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 09.04.2018	Date of mailing of the international search report 24.04.2018
---	--

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer  Telephone No.
--	---

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/005566

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2002/0122149 A1 (CHOO, K. S. et al.) 05 September 2002, entire text, all drawings & KR 10-2002-0056622 A	1-15
A	JP 2011-33846 A (VIDEOCON GLOBAL LTD.) 17 February 2011, entire text, all drawings (Family: none)	1-15
A	JP 2000-162634 A (SEIKO EPSON CORPORATION) 16 June 2000, entire text, all drawings & US 2002/0175888 A1 & TW 556013 B	1-15
A	JP 2000-47602 A (SEIKO EPSON CORPORATION) 18 February 2000, entire text, all drawings (Family: none)	1-15
A	JP 2005-18031 A (SEIKO EPSON CORPORATION) 20 January 2005, entire text, all drawings & US 2005/0162605 A1 & KR 10-0641613 B1 & CN 1573892 A & TW 200428322 A	1-15
A	JP 2014-21472 A (MITSUBISHI ELECTRIC CORPORATION) 03 February 2014, entire text, all drawings & US 2014/0029228 A1	1-15
A	JP 2009-134233 A (SONY CORPORATION) 18 June 2009, entire text, all drawings & US 2009/0115708 A1 & CN 101425530 A & KR 10-2009-0045023 & TW 200933884 A	1-15

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G09F9/30(2006.01)i, G02F1/133(2006.01)i, G09F9/00(2006.01)i, H03K17/06(2006.01)i, H03K17/687(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G02F1/1343-1/1345, G02F1/135-1/1368, G09F9/00-9/46, H01L21/3205-21/3213, H01L21/768, H01L23/522, H01L23/532, H01L27/32, H01L51/50, H05B33/00-33/28

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2010-134078 A（セイコーエプソン株式会社）2010.06.17, 段落[0026]-[0050], [0058]-[0077], 図1-10（ファミリーなし）	1-2, 4-6, 8-10 , 12 11 3, 7, 13-15
Y	JP 10-39333 A（シャープ株式会社）1998.02.13, 段落[0046], [0102]-[0115], 図12-13 & US 6191832 B1, 第16欄第13行-第17欄第57行	11

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日 09.04.2018	国際調査報告の発送日 24.04.2018
国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 石本 努 電話番号 03-3581-1101 内線 3273
	21   8354

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	US 2002/0122149 A1 (CH00, Kyo Seop et al.) 2002.09.05, 全文, 全図 & KR 10-2002-0056622 A	1-15
A	JP 2011-33846 A (ビデオコン グローバル リミテッド) 2011.02.17, 全文, 全図 (ファミリーなし)	1-15
A	JP 2000-162634 A (セイコーエプソン株式会社) 2000.06.16, 全文, 全図 & US 2002/0175888 A1 & TW 556013 B	1-15
A	JP 2000-47602 A (セイコーエプソン株式会社) 2000.02.18, 全文, 全図 (ファミリーなし)	1-15
A	JP 2005-18031 A (セイコーエプソン株式会社) 2005.01.20, 全文, 全図 & US 2005/0162605 A1 & KR 10-0641613 B1 & CN 1573892 A & TW 200428322 A	1-15
A	JP 2014-21472 A (三菱電機株式会社) 2014.02.03, 全文, 全図 & US 2014/0029228 A1	1-15
A	JP 2009-134233 A (ソニー株式会社) 2009.06.18, 全文, 全図 & US 2009/0115708 A1 & CN 101425530 A & KR 10-2009-0045023 A & TW 200933884 A	1-15