

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 1 月 3 日(03.01.2013)



(10) 国際公開番号
WO 2013/002192 A1

- (51) 国際特許分類:
G09G 3/36 (2006.01) *G09G 3/20* (2006.01)
G02F 1/133 (2006.01)
- (21) 国際出願番号: PCT/JP2012/066195
- (22) 国際出願日: 2012 年 6 月 25 日(25.06.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-146530 2011 年 6 月 30 日(30.06.2011) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 村上 祐一
郎(MURAKAMI, Yuhichiroh). 古田 成(FURUTA,
Shige). 横山 真(YOKOYAMA, Makoto). 業天 誠
二郎(GYOUTEN, Seijirou).
- (74) 代理人: 特許業務法人原謙三国際特許事務所
(HARAKENZO WORLD PATENT & TRADEMARK);

〒5300041 大阪府大阪市北区天神橋 2 丁目北 2
番 6 号 大和南森町ビル Osaka (JP).

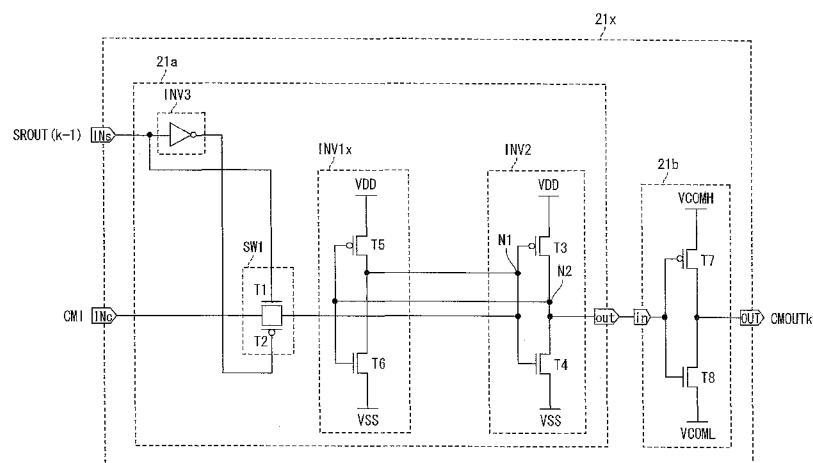
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: DISPLAY DRIVE CIRCUIT, DISPLAY PANEL, AND DISPLAY DEVICE

(54) 発明の名称: 表示駆動回路、表示パネル、及び表示装置

[図28]



(57) Abstract: In a holding circuit (22) corresponding to each stage of a shift register, when SROUT (k-1) is active, the input terminal of an inverter INV1 and the output terminal of an inverter INV2 are electrically connected to each other, and the output terminal of the inverter INV1 and the input terminal of the inverter INV2 are electrically connected to each other. The size of the circuit can thus be reduced without causing a display drive circuit to malfunction.

(57) 要約: シフトレジスタの各段に対応する保持回路(22)は、SROUT(k-1)がアクティブのときに、インバータ(INV1)の入力端子とインバータ(INV2)の出力端子とが互いに電氣的に接続され、インバータ(INV1)の出力端子とインバータ(INV2)の入力端子とが互いに電氣的に接続されている。これにより、表示駆動回路の動作不具合を生じることなく、回路規模の縮小化を図る。

WO 2013/002192 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：表示駆動回路、表示パネル、及び表示装置

技術分野

[0001] 本発明は、表示装置に用いられる表示駆動回路に関する。

背景技術

[0002] 近年、液晶表示装置の狭額縁化を図るため、液晶パネルを駆動する表示駆動回路の縮小化が求められている。表示駆動回路の規模は、回路を構成するトランジスタの素子数に大きく影響するため、トランジスタ数を削減することが重要である。

[0003] ここで、従来の表示駆動回路の一例として、共通電極駆動回路（COMドライバとも言う）あるいは保持容量配線駆動回路（CSドライバとも言う）を構成する信号保持回路（以下、保持回路と称す）を挙げる（例えば特許文献1）。図57は、従来の共通電極駆動回路を構成する保持回路の回路図である。共通電極駆動回路は、走査信号線駆動回路を構成するシフトレジスタ（図示せず）の各段の出力信号（SROUT）に基づいて、各コモンライン（COMライン）にハイレベルまたはローレベルの信号（CMOUT）を供給する。

[0004] 具体的には、共通電極駆動回路は、 n 個（ n は2以上の整数）の保持回路（図57参照）（以下、単位回路と称す）を多段接続して構成されている。単位回路は、入力端子CK、D、及び出力端子OUTを有し、入力端子CKにはシフトレジスタの出力信号SROUTが入力され、入力端子Dには極性信号CMIが入力される。単位回路の出力は、出力信号CMOUTとしてコモンラインCMLに出力される。

[0005] 例えば、共通電極駆動回路の k 段目（ k は1以上 n 以下の整数）の単位回路には、シフトレジスタの（ $k-1$ ）段目の出力信号SROUT（ $k-1$ ）が入力され、当該 k 段目の単位回路は、出力信号CMOUT k をコモンラインCML k に出力する。

[0006] このように、共通電極駆動回路は、シフトレジスタのシフト動作に従って、内部に信号を保持しつつ、出力信号CMOUT1～CMOUTnを、コンラインCML1～CMLnに順に出力する。

先行技術文献

特許文献

[0007] 特許文献1：国際公開公報「WO2010/146740（2010年12月13日公開）」

発明の概要

発明が解決しようとする課題

[0008] 上記の共通電極駆動回路において回路規模をさらに縮小化するためには、トランジスタ数を削減することが有効であるが、単にトランジスタ数を削減するだけでは表示駆動回路の動作に不具合が生じる恐れがある。なお、従来の保持容量配線駆動回路（CSドライバ）では、上述の保持回路（単位回路）を適用（特許文献1参照）できるため、保持容量配線駆動回路においても同様の問題が生じる。

[0009] そこで、本発明では、表示駆動回路の動作不具合を生じることなく、回路規模の縮小化を図ることを目的とする。

課題を解決するための手段

[0010] 本発明の表示駆動回路は、上記課題を解決するために、
画素に含まれる画素電極と容量を形成する信号線が設けられた表示パネルを駆動する表示駆動回路であって、
複数の走査信号線の各々に対応して設けられた複数の段を含むシフトレジスタを備え、
上記シフトレジスタの各段に対応して少なくとも1つの保持回路が設けられるとともに、該保持回路に保持対象信号が入力され、
上記シフトレジスタの1つの段の出力信号がアクティブになると、この段に対応する保持回路が、上記保持対象信号を取り込んでこれを保持しつつ、

該保持回路の出力をこの段に対応する上記信号線に供給し、

上記保持回路は、上記保持対象信号を保持するための第１インバータ及び第２インバータを備えており、

上記保持対象信号は、上記シフトレジスタの出力信号がアクティブになると、上記第２インバータに入力され、上記保持回路は、上記第１インバータまたは第２インバータの出力に基づいて、上記信号線にハイレベルまたはローレベルの信号を供給し、

上記シフトレジスタの出力信号がアクティブのときに、上記第１インバータの入力端子と上記第２インバータの出力端子とが互いに電氣的に接続されているとともに、上記第１インバータの出力端子と上記第２インバータの入力端子とが互いに電氣的に接続されていることを特徴とする。

[0011] 従来の表示駆動回路では、図５７に示すように、アナログスイッチ回路ＳＷ１２が設けられている。よって、シフトレジスタの出力信号がアクティブのときは、アナログスイッチ回路ＳＷ１２がオフし、第１インバータの出力と第２インバータの入力とが電氣的に切り離される。これは、極性信号ＣＭ１と電源ＶＤＤとの短絡によるインバータＩＮＶ２の動作不具合を回避するためである。

[0012] これに対して、本発明の表示駆動回路では、上記アナログスイッチ回路ＳＷ１２が省略されており、シフトレジスタの出力信号がアクティブのときに、第１インバータの出力と第２インバータの入力とが電氣的に接続されている構成である。

[0013] ここで、極性信号ＣＭ１と電源ＶＤＤとが短絡した場合でも、インバータＩＮＶ２を正常に動作（反転）させることができれば上記従来のような不具合は生じない。本表示駆動回路では、例えば、インバータＩＮＶ１を構成するトランジスタのチャネル長を大きくする構成や、インバータＩＮＶ１に抵抗を設ける構成を備えることにより、短絡時のインバータＩＮＶ２への入力信号を、極性信号ＣＭ１の電位レベルに引き込むことができるため、インバータＩＮＶ２を正常に動作（反転）させることができる（詳細は後述）。

[0014] このように、本表示駆動回路によれば、動作不具合を生じることなく、回路規模を縮小化することができる。

発明の効果

[0015] 以上のように、本発明の表示駆動回路は、上記シフトレジスタの出力信号がアクティブのときに、上記第 1 インバータの入力端子と上記第 2 インバータの出力端子とが互いに電氣的に接続されているとともに、上記第 1 インバータの出力端子と上記第 2 インバータの入力端子とが互いに電氣的に接続されている構成である。これにより、表示駆動回路の動作不具合を生じることなく、回路規模を縮小化することができる。

図面の簡単な説明

[0016] [図1]実施の形態 1 に係る液晶表示装置の概略構成を示すブロック図である。

[図2]図 1 の液晶表示装置の画素の電氣的構成を示す等価回路図である。

[図3]実施例 1 に係る共通電極駆動回路に含まれる単位回路の回路図である。

[図4]実施例 1 に係る共通電極駆動回路の動作時のタイミングチャートである。

[図5]実施例 1 に係る共通電極駆動回路の動作時のタイミングチャートを模式的に示した図である。

[図6]実施例 2 に係る共通電極駆動回路に含まれる単位回路の回路図である。

[図7]実施例 3 に係る共通電極駆動回路に含まれる単位回路の回路図である。

[図8]実施例 4 に係る共通電極駆動回路に含まれる単位回路の回路図である。

[図9]実施例 5 に係る共通電極駆動回路に含まれる単位回路の回路図である。

[図10]実施例 6 に係る共通電極駆動回路に含まれる単位回路の回路図である。

[図11]実施例 7 に係る共通電極駆動回路に含まれる単位回路の回路図である。

[図12]実施例 8 に係る共通電極駆動回路に含まれる単位回路の回路図である。

[図13]実施例 9 に係る共通電極駆動回路に含まれる単位回路の回路図である。

。

[図14]実施例10に係る共通電極駆動回路に含まれる単位回路の回路図である。

[図15]実施例11に係る共通電極駆動回路に含まれる単位回路の回路図である。

[図16]実施例12に係る共通電極駆動回路に含まれる単位回路の回路図である。

[図17]実施例13に係る共通電極駆動回路に含まれる単位回路の回路図である。

[図18]実施例13に係る共通電極駆動回路に入力される極性信号CMIZを生成する生成回路の回路図である。

[図19]実施例14に係る共通電極駆動回路に含まれる単位回路の回路図である。

[図20]実施例14に係る共通電極駆動回路に入力される極性信号CMIZを生成する生成回路の回路図である。

[図21]実施例15に係る共通電極駆動回路に含まれる単位回路の回路図である。

[図22]実施例15に係る共通電極駆動回路に入力される極性信号CMIZを生成する生成回路の回路図である。

[図23]実施例16に係る共通電極駆動回路に含まれる単位回路の回路図である。

[図24]実施例16に係る共通電極駆動回路に入力される極性信号CMIZを生成する生成回路の回路図である。

[図25]実施例17に係る共通電極駆動回路に含まれる単位回路の回路図である。

[図26]実施例18に係る共通電極駆動回路に含まれる単位回路の回路図である。

[図27]実施例19に係る共通電極駆動回路に含まれる単位回路の回路図であ

る。

[図28]実施例20に係る共通電極駆動回路に含まれる単位回路の回路図である。

[図29]実施例21に係る共通電極駆動回路に含まれる単位回路の回路図である。

[図30]実施の形態1に係る液晶表示装置の変形例を示すブロック図である。

[図31]切替回路UDSWと、実施例1に係る共通電極駆動回路に含まれるk段目の単位回路との接続関係を示す回路図である。

[図32]実施例7の単位回路に切替回路UDSWを設けた場合の単位回路の回路図である。

[図33]実施例13の単位回路に切替回路UDSWを設けた場合の単位回路の回路図である。

[図34]図32の単位回路の平面レイアウトを示す図である。

[図35]図34のA1-A2断面図を示している。

[図36]実施の形態1に係る共通電極駆動回路の他の構成を示すブロック図である。

[図37]図36の共通電極駆動回路の動作時のタイミングチャートである。

[図38]図17の共通電極駆動回路の動作時のタイミングチャートである。

[図39]図17の共通電極駆動回路の動作時のタイミングチャートである。

[図40]実施の形態2に係る液晶表示装置の概略構成を示すブロック図である。

[図41]実施例1に係る保持容量配線駆動回路に含まれる単位回路の回路図である。

[図42]実施例1に係る保持容量配線駆動回路の動作時のタイミングチャートである。

[図43]実施例1に係る保持容量配線駆動回路の動作時のタイミングチャートを模式的に示した図である。

[図44]実施の形態3に係る液晶表示装置の概略構成を示すブロック図である。

。

[図45]実施例2に係る保持容量配線駆動回路に含まれる単位回路の回路図である。

[図46]実施例2に係る保持容量配線駆動回路の動作時のタイミングチャートであり、

[図47]実施例2に係る保持容量配線駆動回路の動作時のタイミングチャートである。

[図48]実施例3に係る液晶表示装置の概略構成を示すブロック図である。

[図49]実施例3に係る保持容量配線駆動回路に含まれる単位回路の回路図である。

[図50]シフトレジスタの単位回路の構成を示す回路図である。

[図51]フリップフロップ回路RSFFの出力信号Qと、単位回路から出力されるCS信号を示すタイミングチャートである。

[図52]図31に示す切替回路UDSWの他の構成を示す図である。

[図53](a)は、単位回路とCMIバッファ部とを示すブロック図であり、(b)は、その回路図である。

[図54](a)は、単位回路とIC回路とを示すブロック図であり、(b)は、その回路図である。

[図55]本発明に係る単位回路のインバータINV1、INV2の構成例を示す回路図であり、(a)はCMOSインバータを示し、(b)はNMOSインバータを示し、(c)はPMOSインバータを示し、(d)～(f)は、インバータINV1、INV2の構成例を示している。

[図56]図36に示す単位回路に入力される信号を生成するパルス出力部を示す回路図である。

[図57]従来の共通電極駆動回路を構成する保持回路の回路図である。

発明を実施するための形態

[0017] [実施の形態1]

本発明に係る実施の形態1について、以下に説明する。図1は、実施の形

態 1 に係る液晶表示装置 1 の概略構成を示すブロック図であり、図 2 は、液晶表示装置 1 の画素の電氣的構成を示す等価回路図である。

[0018] まず、図 1 及び図 2 を用いて液晶表示装置 1 の概略構成について説明する。液晶表示装置 1 は、走査信号線駆動回路 100（ゲートドライバ）、共通電極駆動回路 200（COMドライバ）、データ信号線駆動回路 300（ソースドライバ）、及び表示パネル 400 を備えている。また、液晶表示装置 1 には、各駆動回路を制御する制御回路（図示せず）が含まれる。なお、各駆動回路は、画素回路とともに、アクティブマトリクス基板上にモノリシックに形成されていてもよい。

[0019] 表示パネル 400 は、図示しないアクティブマトリクス基板と対向基板との間に液晶を挟持して構成されており、行列状に配列された多数の画素 P（図 2）を有している。

[0020] そして、表示パネル 400 は、アクティブマトリクス基板上に、走査信号線 41（GL_n）（ゲートライン）、コモンライン（共通電極配線）42（CML_n）、データ信号線 43（SL_i）（ソースライン）、薄膜トランジスタ（Thin Film Transistor；以下「TFT」とも言う）44、及び画素電極 45 を備えている。なお、*i*、*n* は 2 以上の整数である。

[0021] 走査信号線 41 は行方向（横方向）に互いに平行となるように各行に 1 本ずつ形成されており、データ信号線 43 は、列方向（縦方向）に互いに平行となるように各列に 1 本ずつ形成されている。図 2 に示すように、TFT 44 及び画素電極 45 は、走査信号線 41 とデータ信号線 43 との各交点に対応してそれぞれ形成されており、TFT 44 のゲート電極 *g* が走査信号線 41 に、ソース電極 *s* がデータ信号線 43 に、ドレイン電極 *d* が画素電極 45 にそれぞれ接続されている。また、画素電極 45 は、コモンライン 42 との間に容量 C_{lc}（液晶容量を含む）を形成している。

[0022] これにより、走査信号線 41 に供給されるゲート信号（走査信号）によって TFT 44 のゲートをオン状態にし、データ信号線 43 からのソース信号（データ信号）を画素電極 45 に書き込んで画素電極 45 を上記ソース信号

に応じた電位に設定し、コモンライン42との間に介在する液晶に対して上記ソース信号に応じた電圧を印加することによって、上記ソース信号に応じた階調表示を実現することができる。

[0023] 上記構成の表示パネル400は、走査信号線駆動回路100、共通電極駆動回路200、データ信号線駆動回路300、及びこれらを制御する制御回路によって駆動される。

[0024] 本実施の形態では、周期的に繰り返される垂直走査期間におけるアクティブ期間（有効走査期間）において、各行の水平走査期間を順次割り当て、各行を順次走査していく。

[0025] そのため、走査信号線駆動回路100は、TFT44をオンするためのゲート信号を各行の水平走査期間に同期して当該行の走査信号線41に対して順次出力する。

[0026] 共通電極駆動回路200は、走査信号線駆動回路100を構成するシフトレジスタ10の出力信号（SROUT）に基づいて、各コモンライン42にハイレベルの信号（Vcomh）（第1電位）またはローレベルの信号（Vcoml）（第2電位）を供給する。

[0027] データ信号線駆動回路300は、各データ信号線43に対してソース信号を出力する。このソース信号は、液晶表示装置1の外部から制御回路を介してデータ信号線駆動回路300に供給された映像信号を、データ信号線駆動回路300において各列に割り当て、昇圧等を施した信号である。

[0028] 制御回路は、上述した走査信号線駆動回路100、共通電極駆動回路200、及びデータ信号線駆動回路300を制御することにより、これら各回路から、ゲート信号、ソース信号、及びコモン信号を出力させる。

[0029] 本実施の形態に係る液晶表示装置1では、回路面積を縮小化しつつ、共通電極駆動回路200の出力信号の電位レベルの低下を防いで安定した動作を行う構成を有している。以下では、走査信号線駆動回路100及び共通電極駆動回路200の具体的な構成について説明する。

[0030] 走査信号線駆動回路100を構成するシフトレジスタ10は、m個（mは

2以上の整数)の単位回路11を多段接続して構成されている。単位回路11は、クロック用端子(CK端子)、セット用端子(S端子)、リセット用端子(R端子)、初期化用端子(INITB端子)、及び出力端子OUTを有している。以下、各端子経由で入出力される信号を当該端子と同じ名称で呼ぶ(例えば、クロック端子CK経由で入力される信号をクロック信号CKという)。

[0031] シフトレジスタ10には、外部からスタートパルス(図示せず)と2相のクロック信号CK1、CK2が供給される。スタートパルスは、1段目の単位回路11のS端子に与えられる。クロック信号CK1は、奇数段目の単位回路11のCK端子に与えられ、クロック信号CK2は、偶数段目の単位回路11のCK端子に与えられる。単位回路11の出力は、出力端子OUTから、出力信号SROUTとして対応する走査信号線GLに供給されるとともに、後段の単位回路11のS端子及び前段の単位回路11のR端子に与えられる。また、単位回路11の出力信号SROUTは、対応する共通電極駆動回路200の単位回路21に入力される。

[0032] 共通電極駆動回路200は、 n 個(n は2以上の整数)の単位回路21(保持回路)を多段接続して構成されている。単位回路21は、入力端子INs、INc、及び出力端子OUTを有している。単位回路21の入力端子INsには、シフトレジスタ10の出力信号SROUTが入力され、単位回路21の入力端子INcには、極性信号CMI(保持対象信号)が入力される。単位回路21の出力は、出力信号CMOUTとしてコモンライン(COMライン)CMLに供給される。

[0033] 具体的には、共通電極駆動回路200の k 段目(k は1以上 n 以下の整数)の単位回路21には、シフトレジスタ10の($k-1$)段目の単位回路11の出力信号SROUT($k-1$)が入力され、当該 k 段目の単位回路21は、出力信号CMOUT k をコモンラインCML k に出力する。このように、共通電極駆動回路200は、シフトレジスタ10のシフト動作に従って、出力信号CMOUT1~CMOUT n を、コモンラインCML1~CML n

に順に供給する。なお、１段目の単位回路２１には、シフトレジスタ１０のスタートパルスが供給される。

[0034] シフトレジスタ１０は周知の構成を適用することができる。よって、シフトレジスタ１０の詳細な説明は省略し、以下では、共通電極駆動回路２００の詳細な構成について説明する。

[0035] （実施例１）

図３は、実施例１に係る共通電極駆動回路２００に含まれる単位回路２１の回路図である。図３に示すように、単位回路２１（保持回路）は、ラッチスルー回路２１ａおよびバッファ２１ｂを含んで構成される。ラッチスルー回路２１ａは、インバータINV１（第１インバータ）、INV２（第２インバータ）、INV３、アナログスイッチ回路SW１により構成される。バッファ２１ｂは、２つのトランジスタにより構成される。以下、インバータINV２において、インバータINV１の出力とインバータINV２の入力との接続点をノードN１（第１接続点）とし、インバータINV１の入力とインバータINV２の出力との接続点をノードN２とする。

[0036] インバータINV３の入力端子は単位回路２１の入力端子INsに接続されている。アナログスイッチ回路SW１は、Nチャネル型トランジスタT１（第１トランジスタ）とPチャネル型トランジスタT２で構成され、トランジスタT１は、ゲート端子が入力端子INsに接続され、ソース端子が単位回路２１の入力端子INcに接続され、トランジスタT２は、ゲート端子がインバータINV３の出力端子に接続され、ソース端子が入力端子INcに接続されている。入力端子INsにはシフトレジスタ１０の単位回路１１の出力信号SROUTが供給され、入力端子INcには極性信号CMIが供給される。

[0037] インバータINV２は、Pチャネル型トランジスタT３（第４トランジスタ）とNチャネル型トランジスタT４（第５トランジスタ）で構成され、インバータINV２の入力端子（トランジスタT３のゲート端子と、トランジスタT４のゲート端子との接続点（ノードN１））は、アナログスイッチ回

路SW1の出力端子（トランジスタT1、T2のドレイン端子）に接続されている。トランジスタT3のソース端子には電源電圧V_{dd}（高電位）が与えられ、トランジスタT3のドレイン端子はインバータINV2の出力端子（トランジスタT3のドレイン端子と、トランジスタT4のドレイン端子との接続点（ノードN2））に接続され、トランジスタT4のソース端子には電源電圧V_{ss}（低電位）が与えられ、トランジスタT4のドレイン端子はインバータINV2の出力端子（ノードN2）に接続されている。ノードN2は、ラッチスルー回路21aの出力端子out、及びインバータINV1の入力端子（トランジスタT5、T6のゲート端子）に接続されている。

[0038] インバータINV1は、Pチャネル型トランジスタT5（第2トランジスタ）とNチャネル型トランジスタT6（第3トランジスタ）で構成され、インバータINV1の入力端子（トランジスタT5、T6のゲート端子）は、インバータINV2の出力端子（ノードN2）に接続されている。トランジスタT5のソース端子には電源電圧V_{dd}が与えられ、トランジスタT5のドレイン端子は、インバータINV1の出力端子（トランジスタT5のドレイン端子と、トランジスタT6のドレイン端子との接続点）に接続され、トランジスタT6のソース端子には電源電圧V_{ss}が与えられ、トランジスタT6のドレイン端子はインバータINV1の出力端子に接続されている。インバータINV1の出力端子は、インバータINV2の入力端子（ノードN1）に接続されている。ラッチスルー回路21aの出力端子outは、バッファ21bの入力端子inに接続されている。ここで、トランジスタT5、T6は、トランジスタT3、T4よりも駆動能力が小さくなるように、それぞれのチャネル長Lが、トランジスタT3、T4それぞれのチャネル長Lよりも長く設定されている。

[0039] バッファ21bは、Pチャネル型トランジスタT7とNチャネル型トランジスタT8で構成され、トランジスタT7、T8のゲート端子は入力端子inに接続され、トランジスタT7のソース端子には電源電圧V_{comh}が与えられ、トランジスタT7のドレイン端子は単位回路21の出力端子OUT

に接続されている。トランジスタT8のソース端子には電源電圧 V_{coml} が与えられ、トランジスタT8のドレイン端子は単位回路21の出力端子OUTに接続されている。

[0040] これにより、 k 段目の単位回路21の入力端子INsには、シフトレジスタ10の $(k-1)$ 段目の単位回路11の出力信号 $SROUT(k-1)$ が入力され、 k 段目の単位回路21の出力端子OUTから、 k 行目のコモンラインCML k に出力信号CMOUT k が出力される。

[0041] 上記構成の単位回路21を含む共通電極駆動回路200は、1フレームごとにハイレベル(V_{comh})及びローレベル(V_{coml})が切り替わる出力信号CMOUT1~CMOUT n を1つずつ順に出力する動作を行う。以下、クロック信号CK1、CK2を含め、共通電極駆動回路200の内部の信号と入出力信号の電位は、特に断わらない限り、ハイレベルのときには V_{dd} 、ローレベルのときには V_{ss} であるとする。また、極性信号CMIについても、以下では、ハイレベルのときは V_{dd} 、ローレベルのときは V_{ss} とする。ただし、極性信号CMIの電位レベルはこれに限定されず、「ハイレベル」はインバータINV2の反転電位よりも高ければよく、「ローレベル」はインバータINV2の反転電位よりも低ければよい。

[0042] (動作について)

共通電極駆動回路200の動作について図4及び図5を用いて説明する。図4は、共通電極駆動回路200の動作時のタイミングチャートであり、図5は、共通電極駆動回路200の動作時のタイミングチャートを模式的に示した図である。図4では、 $(k-1)$ 段目の単位回路21、 k 段目の単位回路21、 $(k+1)$ 段目の単位回路21における入出力信号を示している。

[0043] CK1は、奇数段目の単位回路11のCK端子に与えられるクロック信号であり、CK2は、偶数段目の単位回路11のCK端子に与えられるクロック信号である。CMIは1水平走査期間(1H)ごとに極性が反転する信号(極性信号)である。SR $(k-2)$ 、SR $(k-1)$ 、SR n は、それぞれ、シフトレジスタ10の $(k-2)$ 段目の単位回路11、 $(k-1)$ 段目

の単位回路 1 1、 k 段目の単位回路 1 1 の出力信号 $SROUT(k-2)$ 、 $SROUT(k-1)$ 、 $SROUT k$ の電位を示している。 $N1$ 、 $N2$ はそれぞれ、図 3 に示すノード $N1$ 、ノード $N2$ の電位を示している。 $CM(k-1)$ 、 $CM k$ 、 $CM(k+1)$ はそれぞれ、共通電極駆動回路 200 の ($k-1$) 段目の単位回路 2 1、 k 段目の単位回路 2 1、($k+1$) 段目の単位回路 2 1 の出力信号 $CMOUT(k-1)$ 、 $CMOUT k$ 、 $CMOUT(k+1)$ を示している。なお、出力信号 $SROUT(k-2)$ が出力されてから次の出力信号 $SROUT(k-2)$ が出力されるまでの期間が 1 垂直走査期間 (1 フレーム : 1 V) に相当する。また、図 4 では、任意の連続するフレーム $F(t)$ 、 $F(t+1)$ 、 $F(t+2)$ について示している。

[0044] まず、 k 段目の単位回路 2 1 におけるフレーム $F(t)$ 、 $F(t+1)$ の動作について説明する。

[0045] 初めに、フレーム $F(t)$ において、 k 段目の単位回路 2 1 の入力端子 INs に、シフトレジスタ 10 の ($k-1$) 段目の単位回路 1 1 の出力信号 $SROUT(k-1)$ (ハイレベル (アクティブ)) が入力される。すると、アナログスイッチ回路 $SW1$ がオン状態になり、極性信号 $CM I$ (ローレベル ; V_{ss}) がラッチスルー回路 2 1 a に取り込まれる。

[0046] ここで、出力信号 $SROUT(k-1)$ がハイレベル (アクティブ) になる直前ではノード $N1$ の電位が V_{dd} (ハイレベル) に保持されており、トランジスタ $T5$ がオン状態になっているため、出力信号 $SROUT(k-1)$ がハイレベル (アクティブ) になると、極性信号 $CM I$ の V_{ss} (ローレベル) と、電源 V_{DD} (ハイレベル) (高電位側電源) とが短絡することとなる。この点、インバータ $INV1$ のトランジスタ $T5$ はチャネル長 L が長く設定されており駆動能力が低いため、ノード $N1$ の電位は、極性信号 $CM I$ 側へ引き込まれ、極性信号 $CM I$ の V_{ss} (ローレベル) に近い電位 (インバータ $INV2$ の反転電位よりも低い電位) まで低下する (図 5 参照)。

[0047] その後、トランジスタ $T3$ がオン状態になり、インバータ $INV2$ の出力 (ノード $N2$; V_{dd} (ハイレベル)) がインバータ $INV1$ の入力にフィ

ードバックされることにより、トランジスタT5がオフ状態になり、トランジスタT6がオン状態になる。これにより、ノードN1の電位は、極性信号CMIのVssに近い電位からさらにVssまで低下する（図5参照）。

[0048] ノードN1の電位が、Vss（ローレベル）近くまたはVss（ローレベル）になることによりインバータINV2のトランジスタT3がオン状態になり、トランジスタT4がオフ状態になる。トランジスタT3がオン状態になることにより、ノードN2の電位がVdd（ハイレベル）になり、ラッチスルー回路21aからVdd（ハイレベル）が出力される。そして、Vdd（ハイレベル）が入力されたバッファ21bでは、トランジスタT7がオフ状態になり、トランジスタT8がオン状態になることにより、バッファ21bからVcomlが出力され、k行目のコモンラインCMLkに供給される。

[0049] 続いて、シフトレジスタ10の出力信号SROUT（k-1）がハイレベル（アクティブ）からローレベル（非アクティブ）になると、アナログスイッチ回路SW1がオフ状態になり、極性信号CMIの入力が遮断され、ノードN1は、インバータINV1、INV2によるラッチ動作により直前に保持した電位（Vss（ローレベル））を保持し、フレームF（t+1）において出力信号SROUT（k-1）がハイレベル（アクティブ）になるまで、バッファ21bからVcomlが出力され、k行目のコモンラインCMLkに供給され続ける。

[0050] 次にフレームF（t+1）において、シフトレジスタ10の（k-1）段目の単位回路11の出力信号SROUT（k-1）がハイレベル（アクティブ）になると、アナログスイッチ回路SW1がオン状態になり、極性信号CMI（ハイレベル；Vdd）がラッチスルー回路21aに取り込まれる。

[0051] ここで、出力信号SROUT（k-1）がハイレベル（アクティブ）になる直前（フレームF（t））ではノードN1の電位がVss（ローレベル）に保持されており、トランジスタT6がオン状態になっているため、出力信号SROUT（k-1）がハイレベル（アクティブ）になると、極性信号C

M I の V_{dd} (ハイレベル) と、電源 V_{SS} (ローレベル) (低電位側電源) とが短絡することとなる。この点、インバータ $INV1$ のトランジスタ $T6$ はチャネル長 L が長く設定されており駆動能力が低いため、ノード $N1$ の電位は、極性信号 CMI 側へ引き込まれ、極性信号 CMI の V_{dd} (ハイレベル) に近い電位 (インバータ $INV2$ の反転電位よりも高い電位) まで上昇する (図5参照)。

[0052] その後、インバータ $INV2$ の出力 (ノード $N2$; V_{ss} (ローレベル)) がインバータ $INV1$ の入力にフィードバックされることにより、トランジスタ $T5$ がオン状態になり、トランジスタ $T6$ がオフ状態になる。これにより、ノード $N1$ の電位は、極性信号 CMI の V_{dd} に近い電位からさらに V_{dd} まで上昇する (図5参照)。

[0053] ノード $N1$ の電位が、 V_{dd} (ハイレベル) 近くまたは V_{dd} (ハイレベル) になることによりインバータ $INV2$ のトランジスタ $T4$ がオン状態になり、トランジスタ $T3$ がオフ状態になる。トランジスタ $T4$ がオン状態になることにより、ノード $N2$ の電位が V_{ss} (ローレベル) になり、ラッチスルー回路 $21a$ から V_{ss} (ローレベル) が出力される。そして、 V_{ss} (ローレベル) が入力されたバッファ $21b$ では、トランジスタ $T8$ がオフ状態になり、トランジスタ $T7$ がオン状態になることにより、バッファ $21b$ から V_{comh} が出力され、 k 行目のコモンライン $CMLk$ に供給される。

[0054] 続いて、シフトレジスタ 10 の出力信号 $SROUT(k-1)$ がハイレベル (アクティブ) からローレベル (非アクティブ) になると、アナログスイッチ回路 $SW1$ がオフ状態になり、極性信号 CMI の入力が遮断され、ノード $N1$ は、インバータ $INV1$ 、 $INV2$ によるラッチ動作により直前に保持した電位 (V_{dd} (ハイレベル)) を保持し、フレーム $F(t+2)$ において出力信号 $SROUT(k-1)$ がハイレベル (アクティブ) になるまで、バッファ $21b$ から V_{comh} が出力され、 k 行目のコモンライン $CMLk$ に供給され続ける。フレーム $F(t+2)$ 以降は、上記フレーム $F(t)$

、 $F(t+1)$ の動作を繰り返す。

[0055] 次に、 $(k+1)$ 段目の単位回路21におけるフレーム $F(t)$ 、 $F(t+1)$ の動作について説明する。

[0056] 初めに、フレーム $F(t)$ において、 $k+1$ 段目の単位回路21の入力端子 IN_s に、シフトレジスタ10の k 段目の単位回路11の出力信号 $SROUT_k$ （ハイレベル（アクティブ））が入力される。すると、アナログスイッチ回路 SW_1 がオン状態になり、極性信号 CM_I （ハイレベル； V_{dd} ）がラッチスルー回路21aに取り込まれる。

[0057] ここで、出力信号 $SROUT_k$ がハイレベル（アクティブ）になる直前ではノード N_1 の電位が V_{ss} （ローレベル）に保持されており、トランジスタ T_6 がオン状態になっているため、出力信号 $SROUT_k$ がハイレベル（アクティブ）になると、極性信号 CM_I の V_{dd} （ハイレベル）と、電源 V_{SS} （ローレベル）とが短絡することとなる。この点、インバータ INV_1 のトランジスタ T_6 はチャネル長 L が長く設定されており駆動能力が低いため、ノード N_1 の電位は、極性信号 CM_I 側へ引き込まれ、極性信号 CM_I の V_{dd} （ハイレベル）に近い電位（インバータ INV_2 の反転電位よりも高い電位）まで上昇する。

[0058] その後、トランジスタ T_4 がオン状態になり、インバータ INV_2 の出力（ノード N_2 ； V_{ss} （ローレベル））がインバータ INV_1 の入力にフィードバックされることにより、トランジスタ T_5 がオン状態になり、トランジスタ T_6 がオフ状態になる。これにより、ノード N_1 の電位は、極性信号 CM_I の V_{dd} に近い電位からさらに V_{dd} まで上昇する。

[0059] ノード N_1 の電位が、 V_{dd} （ハイレベル）近くまたは V_{dd} （ハイレベル）になることによりインバータ INV_2 のトランジスタ T_4 がオン状態になり、トランジスタ T_3 がオフ状態になる。トランジスタ T_4 がオン状態になることにより、ノード N_2 の電位が V_{ss} （ローレベル）になり、ラッチスルー回路21aから V_{ss} （ローレベル）が出力される。そして、 V_{ss} （ローレベル）が入力されたバッファ21bでは、トランジスタ T_8 がオフ

状態になり、トランジスタT7がオン状態になることにより、バッファ21bからVcomhが出力され、(k+1)行目のコモンラインCML(k+1)に供給される。

[0060] 続いて、シフトレジスタ10の出力信号SROUTkがハイレベル（アクティブ）からローレベル（非アクティブ）になると、アナログスイッチ回路SW1がオフ状態になり、極性信号CMIの入力が遮断され、ノードN1は、インバータINV1、INV2によるラッチ動作により直前に保持した電位（Vdd（ハイレベル））を保持し、フレームF(t+1)において出力信号SROUTkがハイレベル（アクティブ）になるまで、バッファ21bからVcomhが出力され、(k+1)行目のコモンラインCML(k+1)に供給され続ける。

[0061] 次にフレームF(t+1)において、シフトレジスタ10のk段目の単位回路11の出力信号SROUTkがハイレベル（アクティブ）になるとアナログスイッチ回路SW1がオン状態になり、極性信号CMI（ローレベル；Vss）がラッチスルー回路21aに取り込まれる。

[0062] ここで、出力信号SROUTkがハイレベル（アクティブ）になる直前（フレームF(t)）ではノードN1の電位がVdd（ハイレベル）に保持されており、トランジスタT5がオン状態になっているため、出力信号SROUTkがハイレベル（アクティブ）になると、極性信号CMIのVss（ローレベル）と、電源VDD（ハイレベル）とが短絡することとなる。この点、インバータINV1のトランジスタT5はチャネル長Lが長く設定されており駆動能力が低いため、ノードN1の電位は、極性信号CMI側へ引き込まれ、極性信号CMIのVss（ローレベル）に近い電位（インバータINV2の反転電位よりも低い電位）まで低下する。

[0063] その後、トランジスタT3がオン状態になり、インバータINV2の出力（ノードN2；Vdd（ハイレベル））がインバータINV1の入力にフィードバックされることにより、トランジスタT5がオフ状態になり、トランジスタT6がオン状態になる。これにより、ノードN1の電位は、極性信号

CMIの V_{ss} に近い電位からさらに V_{ss} に低下する。

[0064] ノードN1の電位が、 V_{ss} （ローレベル）近くまたは V_{ss} （ローレベル）になることによりインバータINV2のトランジスタT3がオン状態になり、トランジスタT4がオフ状態になる。トランジスタT3がオン状態になることにより、ノードN2の電位が V_{dd} （ハイレベル）になり、ラッチスルー回路21aから V_{dd} （ハイレベル）が出力される。そして、 V_{dd} （ハイレベル）が入力されたバッファ21bでは、トランジスタT7がオフ状態になり、トランジスタT8がオン状態になることにより、バッファ21bから V_{com} が出力され、 $(k+1)$ 行目のコモンラインCML $(k+1)$ に供給される。

[0065] 続いて、シフトレジスタ10の出力信号SROUT k がハイレベル（アクティブ）からローレベル（非アクティブ）になると、アナログスイッチ回路SW1がオフ状態になり、極性信号CMIの入力が遮断され、ノードN1は、インバータINV1、INV2によるラッチ動作により直前に保持した電位（ V_{ss} （ローレベル））を保持し、フレーム $F(t+2)$ において出力信号SROUT k がハイレベル（アクティブ）になるまで、バッファ21bから V_{com} が出力され、 $(k+1)$ 行目のコモンラインCML $(k+1)$ に供給され続ける。フレーム $F(t+2)$ 以降は、上記フレーム $F(t)$ 、 $F(t+1)$ の動作を繰り返す。

[0066] 本実施例1の単位回路21では、図57に示す従来の単位回路と比較して、アナログスイッチ回路SW12を省略することができる。よって、共通電極駆動回路200の回路規模を縮小化することができるため、液晶表示装置の更なる狭額縁化を実現することができる。また、回路規模の縮小化に伴う動作不具合が生じることもない。

[0067] ここで、図3に示す構成では、トランジスタT5、T6のチャネル長を個別に大きくしているが、本発明はこれに限定されず、例えば、複数段のトランジスタを直列に接続し、さらにそれぞれのゲート端子を互いに接続することによって、実質的にチャネル長 L を大きくする構成としてもよい。この場

合、ゲート端子を共通化できるため、アナログスイッチ回路SW12（図57参照）のように、出力信号SROUT（ $k-1$ ）及びその反転信号のラインをゲート端子まで引き回す必要がなく、その分だけ回路規模を縮小化することができる。

[0068] 次に、本実施の形態1に係る共通電極駆動回路（COMドライバ）の他の形態について説明する。なお、以下の説明では、主に、実施例1に係る共通電極駆動回路200との相違点について説明するものとし、実施例1で説明した各構成要素と同一の機能を有する構成要素には同一の番号を付し、その説明を省略する。

[0069] （実施例2）

図6は、実施例2に係る共通電極駆動回路200に含まれる単位回路22の回路図である。図6に示すように、単位回路22のインバータINV1aでは、実施例1に係る単位回路21（図3参照）のインバータINV1に、抵抗R1（第1抵抗）、R2（第2抵抗）が追加されている。また、単位回路22のインバータINV1aを構成するトランジスタT5、T6のチャンネル長Lは、インバータINV2を構成するトランジスタT3、T4のチャンネル長Lと同一に設定されている。

[0070] インバータINV1aでは、抵抗R2は、一方の端子が電源VDDに接続され、他方の端子がトランジスタT5のソース端子に接続され、抵抗R1は、一方の端子が電源VSSに接続され、他方の端子がトランジスタT6のソース端子に接続されている。なお、抵抗R1、R2は、数kΩから数MΩである。

[0071] （動作について）

実施例2に係る共通電極駆動回路200の動作について説明する。タイミングチャートは、図4及び図5と同一である。ここでは、k段目の単位回路22におけるフレームF（t）、F（t+1）の動作を例に挙げて、実施例1との相違点を中心に説明する。

[0072] 初めに、フレームF（t）において、k段目の単位回路22の入力端子I

N_sに、出力信号SROUT (k-1) (ハイレベル (アクティブ)) が入力されると、アナログスイッチ回路SW1がオン状態になり、極性信号CMI (ローレベル; V_{ss}) がラッチスルー回路21aに取り込まれる。

[0073] ここで、出力信号SROUT (k-1) がハイレベル (アクティブ) になる直前ではノードN1の電位がV_{dd} (ハイレベル) に保持されており、トランジスタT5がオン状態になっているため、出力信号SROUT (k-1) がハイレベル (アクティブ) になると、極性信号CMIのV_{ss} (ローレベル) と、電源VDD (ハイレベル) とが短絡することとなる。この点、電源VDDとノードN1との間に抵抗R2が設けられているため、ノードN1の電位は、極性信号CMI側へ引き込まれ、極性信号CMIのV_{ss} (ローレベル) に近い電位 (インバータINV2の反転電位よりも低い電位) まで低下する (図5参照)。

[0074] その後、トランジスタT3がオン状態になり、インバータINV2の出力 (ノードN2; V_{dd} (ハイレベル)) がインバータINV1aの入力にフィードバックされることにより、トランジスタT5がオフ状態になり、トランジスタT6がオン状態になる。これにより、ノードN1の電位は、極性信号CMIのV_{ss}に近い電位からさらにV_{ss}まで低下する (図5参照)。

[0075] ノードN1の電位が、V_{ss} (ローレベル) 近くまたはV_{ss} (ローレベル) になることによりインバータINV2のトランジスタT3がオン状態になり、トランジスタT4がオフ状態になる。トランジスタT3がオン状態になることにより、ノードN2の電位がV_{dd} (ハイレベル) になり、ラッチスルー回路21aからV_{dd} (ハイレベル) が出力される。そして、V_{dd} (ハイレベル) が入力されたバッファ21bでは、トランジスタT7がオフ状態になり、トランジスタT8がオン状態になることにより、バッファ21bからV_{com}が出力され、k行目のコモンラインCML_kに供給される。

[0076] 続いて、シフトレジスタ10の出力信号SROUT (k-1) がハイレベル (アクティブ) からローレベル (非アクティブ) になると、アナログスイ

タッチ回路SW1がオフ状態になり、極性信号CMIの入力が遮断され、ノードN1はVss（ローレベル）を保持し、フレームF（t+1）において出力信号SROUT（k-1）がハイレベル（アクティブ）になるまで、バッファ21bからVcomIが出力され、k行目のコモンラインCMLkに供給され続ける。

[0077] 次にフレームF（t+1）において、出力信号SROUT（k-1）がハイレベル（アクティブ）になると、アナログスイッチ回路SW1がオン状態になり、極性信号CMI（ハイレベル；Vdd）がラッチスルー回路21aに取り込まれる。

[0078] ここで、出力信号SROUT（k-1）がハイレベル（アクティブ）になる直前（フレームF（t））ではノードN1の電位がVss（ローレベル）に保持されており、トランジスタT6がオン状態になっているため、出力信号SROUT（k-1）がハイレベル（アクティブ）になると、極性信号CMIのVdd（ハイレベル）と、電源VSS（ローレベル）とが短絡することとなる。この点、電源VSSとノードN1との間に抵抗R1が設けられているため、ノードN1の電位は、極性信号CMI側へ引き込まれ、極性信号CMIのVdd（ハイレベル）に近い電位（インバータINV2の反転電位よりも高い電位）まで上昇する（図5参照）。

[0079] その後、トランジスタT4がオン状態になり、インバータINV2の出力（ノードN2；Vss（ローレベル））がインバータINV1aの入力にフィードバックされることにより、トランジスタT5がオン状態になり、トランジスタT6がオフ状態になる。これにより、ノードN1の電位は、極性信号CMIのVddに近い電位からさらにVddまで上昇する（図5参照）。

[0080] ノードN1の電位が、Vdd（ハイレベル）近くまたはVdd（ハイレベル）になることによりインバータINV2のトランジスタT4がオン状態になり、トランジスタT3がオフ状態になる。トランジスタT4がオン状態になることにより、ノードN2の電位がVss（ローレベル）になり、ラッチスルー回路21aからVss（ローレベル）が出力される。そして、Vss

(ローレベル)が入力されたバッファ21bでは、トランジスタT8がオフ状態になり、トランジスタT7がオン状態になることにより、バッファ21bからVcomhが出力され、k行目のコモンラインCMLkに供給される。

[0081] 続いて、シフトレジスタ10の出力信号SROUT(k-1)がハイレベル(アクティブ)からローレベル(非アクティブ)になると、アナログスイッチ回路SW1がオフ状態になり、極性信号CMIの入力が遮断され、ノードN1はVdd(ハイレベル)を保持し、フレームF(t+2)において出力信号SROUT(k-1)がハイレベル(アクティブ)になるまで、バッファ21bからVcomhが出力され、k行目のコモンラインCMLkに供給され続ける。フレームF(t+2)以降は、上記フレームF(t)、F(t+1)の動作を繰り返す。

[0082] これにより、実施例1と同様の効果を得ることができる。また、本実施例2では、抵抗を用いている。抵抗は、その形状を自由に変形することができるため、効率的にレイアウトすることができ、回路規模をより縮小化することができる。

[0083] なお、図6において、例えばインバータINV2の出力信号の変化時に発生する貫通電流を削減するため、トランジスタT3と電源VDDとの間、及び、トランジスタT4と電源VSSとの間に、抵抗が設けられていても良い。よって、トランジスタT3、T4のソース端子はそれぞれ、電源VDD、VSSに直接接続されていなくてもよく、トランジスタT3のソース端子に高電位の信号が入力され、トランジスタT4のソース端子に低電位の信号が入力されていれば良い。

[0084] (実施例3)

図7は、実施例3に係る共通電極駆動回路200に含まれる単位回路23の回路図である。図7に示すように、単位回路23のインバータINV1bでは、実施例2に係る単位回路22(図6参照)のインバータINV1aと比較して、抵抗R1、R2の位置が異なっている。

[0085] 具体的には、インバータ $INV1b$ では、抵抗 $R2$ は、一方の端子がトランジスタ $T5$ のドレイン端子に接続され、他方の端子がノード $N1$ に接続され、抵抗 $R1$ は、一方の端子がトランジスタ $T6$ のドレイン端子に接続され、他方の端子がノード $N1$ に接続されている。

[0086] この構成によれば、実施例 2 と同様、出力信号 $SROUT(k-1)$ がハイレベル（アクティブ）になって、極性信号 $CM1$ の V_{ss} （ローレベル）と、電源 VDD （ハイレベル）とが短絡することになっても、電源 VDD とノード $N1$ との間に抵抗 $R2$ が設けられているため、ノード $N1$ の電位は、極性信号 $CM1$ 側へ引き込まれ、極性信号 $CM1$ の V_{ss} （ローレベル）に近い電位（インバータ $INV2$ の反転電位よりも低い電位）に低下し、その後インバータ $INV2$ の出力（ V_{dd} ）のフィードバックにより V_{ss} に低下する。また、極性信号 $CM1$ の V_{dd} （ハイレベル）と、電源 VSS （ローレベル）とが短絡することになっても、電源 VSS とノード $N1$ との間に抵抗 $R1$ が設けられているため、ノード $N1$ の電位は、極性信号 $CM1$ 側へ引き込まれ、極性信号 $CM1$ の V_{dd} に近い電位（インバータ $INV2$ の反転電位よりも高い電位）に上昇し、その後インバータ $INV2$ の出力（ V_{ss} ）のフィードバックにより V_{dd} に上昇する。

[0087] これにより、実施例 2 と同様の効果を得ることができる。なお、図 7 においてさらに、抵抗をトランジスタ $T5$ 、 $T6$ のソース端子側に追加（実施例 2 参照）しても良い。

[0088] （実施例 4）

図 8 は、実施例 4 に係る共通電極駆動回路 200 に含まれる単位回路 24 の回路図である。図 8 に示すように、単位回路 24 では、実施例 1 に係る単位回路 21（図 3 参照）のインバータ $INV1$ の出力端子と、インバータ $INV2$ の入力端子（ノード $N1$ ）との間に、抵抗 $R3$ が追加されている。また、単位回路 24 のインバータ $INV1$ を構成するトランジスタ $T5$ 、 $T6$ のチャネル長 L は、インバータ $INV2$ を構成するトランジスタ $T3$ 、 $T4$ のチャネル長 L と同一に設定されている。

[0089] 具体的には、抵抗 R_3 は、一方の端子がインバータ INV_1 の出力端子（トランジスタ T_5 のドレイン端子と、トランジスタ T_6 のドレイン端子との接続点）に接続され、他方の端子がインバータ INV_2 の入力端子（ノード N_1 ）に接続されている。なお、抵抗 R_3 は、数 $k\Omega$ から数 $M\Omega$ である。

[0090] この構成によれば、実施例2及び3と同様、出力信号 $SROUT(k-1)$ がハイレベル（アクティブ）になって、極性信号 $CM1$ の V_{ss} （ローレベル）と、電源 VDD （ハイレベル）とが短絡することになっても、電源 VDD とノード N_1 との間に抵抗 R_3 が設けられているため、ノード N_1 の電位は、極性信号 $CM1$ 側へ引き込まれ、極性信号 $CM1$ の V_{ss} （ローレベル）に近い電位（インバータ INV_2 の反転電位よりも低い電位）に低下し、その後にインバータ INV_2 の出力（ V_{dd} ）のフィードバックにより V_{ss} に低下する。また、極性信号 $CM1$ の V_{dd} （ハイレベル）と、電源 VSS （ローレベル）とが短絡することになっても、電源 VSS とノード N_1 との間に抵抗 R_3 が設けられているため、ノード N_1 の電位は、極性信号 $CM1$ 側へ引き込まれ、極性信号 $CM1$ の V_{dd} に近い電位（インバータ INV_2 の反転電位よりも高い電位）に上昇し、その後にインバータ INV_2 の出力（ V_{ss} ）のフィードバックにより V_{dd} に上昇する。

[0091] これにより、実施例2と同様の効果を得ることができる。

[0092] （実施例5）

図9は、実施例5に係る共通電極駆動回路200に含まれる単位回路25の回路図である。図9に示すように、単位回路25では、実施例2に係る単位回路22（図6参照）において、インバータ INV_3 が省略され、アナログスイッチ回路 SW_1 がNチャネル型トランジスタ T_1 のみで構成されている。

[0093] 具体的には、アナログスイッチ回路 SW_1a のトランジスタ T_1 は、ゲート端子が単位回路25の入力端子 IN_s に接続され、ソース端子が単位回路25の入力端子 IN_c に接続され、ドレイン端子がノード N_1 に接続されている。

[0094] この構成では、 k 段目の単位回路 25 の入力端子 IN_s に、出力信号 $SROUT(k-1)$ (ハイレベル (アクティブ)) が入力されると、アナログスイッチ回路 $SW1a$ がオン状態になる。極性信号 $CM1$ がローレベル (V_{ss}) のときは、ノード $N1$ の電位は V_{ss} になり、極性信号 $CM1$ がハイレベル (V_{dd}) のときは、ノード $N1$ の電位は $V_{dd} - V_{th}$ (閾値) になる。

[0095] ここで、出力信号 $SROUT(k-1)$ がハイレベル (アクティブ) になって、極性信号 $CM1$ のローレベル (V_{ss}) と、電源 V_{DD} (ハイレベル) とが短絡することになっても、電源 V_{DD} とノード $N1$ との間に抵抗 $R2$ が設けられているため、ノード $N1$ の電位は、極性信号 $CM1$ 側へ引き込まれ、極性信号 $CM1$ の V_{ss} (ローレベル) に近い電位 (インバータ $INV2$ の反転電位よりも低い電位) に低下し、その後にインバータ $INV2$ の出力 (V_{dd}) のフィードバックにより V_{ss} に低下する。また、極性信号 $CM1$ の $V_{dd} - V_{th}$ と、電源 V_{SS} (ローレベル) とが短絡することになっても、電源 V_{SS} とノード $N1$ との間に抵抗 $R1$ が設けられているため、ノード $N1$ の電位は、極性信号 $CM1$ 側へ引き込まれ、極性信号 $CM1$ の $V_{dd} - V_{th}$ に近い電位 (インバータ $INV2$ の反転電位よりも高い電位) に上昇し、その後にインバータ $INV2$ の出力 (V_{ss}) のフィードバックにより V_{dd} に上昇する。

[0096] ここで、極性信号 $CM1$ がハイレベル (V_{dd}) の場合、アナログスイッチ回路 $SW1a$ の出力が $V_{dd} - V_{th}$ となるため、アナログスイッチ回路 $SW1a$ のトランジスタ $T1$ は、比較的高抵抗となる。そのため、ノード $N1$ の電位が上がり難くなるため、動作遅延や動作マージンが低下することになる。そこで、単位回路 25 では、抵抗 $R1$ の抵抗値を大きくする (もしくはインバータ $INV1a$ のトランジスタ $T6$ のチャネル長 L を長くして駆動能力を低下させる)、インバータ $INV2$ の反転電位を下げるべくインバータ $INV2$ のトランジスタ $T4$ のサイズを大きくする、などの構成とすることが好ましい。

[0097] なお、シフトレジスタ10の出力信号が、SROUT(k-1)の反転信号である場合や、SROUT(k-1)のアクティブがローレベルである場合には、アナログスイッチ回路SW1aを、Pチャネル型トランジスタT2（図6参照）で構成すれば良い。

[0098] これにより、実施例2と同様の効果を得ることができる。また、本実施例5では、インバータINV3を省略するとともに、アナログスイッチ回路SW1aをトランジスタT1のみで構成しているため、素子数をさらに低減でき、回路規模をより縮小化することができる。

[0099] （実施例6）

図10は、実施例6に係る共通電極駆動回路200に含まれる単位回路26の回路図である。図10に示すように、単位回路26のインバータINV1bでは、実施例5に係る単位回路25（図9参照）のインバータINV1aと比較して、抵抗R1、R2の位置が異なっている。

[0100] 具体的には、インバータINV1bでは、抵抗R2は、一方の端子がトランジスタT5のドレイン端子に接続され、他方の端子がノードN1に接続され、抵抗R1は、一方の端子がトランジスタT6のドレイン端子に接続され、他方の端子がノードN1に接続されている。

[0101] この構成によれば、実施例5と同様、出力信号SROUT(k-1)がハイレベル（アクティブ）になって、極性信号CMIのローレベル（Vss）と、電源VDD（ハイレベル）とが短絡することになっても、電源VDDとノードN1との間に抵抗R2が設けられているため、ノードN1の電位は、極性信号CMI側へ引き込まれ、極性信号CMIのVss（ローレベル）に近い電位（インバータINV2の反転電位よりも低い電位）に低下し、その後インバータINV2の出力（Vdd）のフィードバックによりVssに低下する。また、極性信号CMIのVdd-Vthと、電源VSS（ローレベル）とが短絡することになっても、電源VSSとノードN1との間に抵抗R1が設けられているため、ノードN1の電位は、極性信号CMI側へ引き込まれ、極性信号CMIのVdd-Vthに近い電位（インバータINV2

の反転電位よりも高い電位)に上昇し、その後にインバータINV2の出力(V_{ss})のフィードバックにより V_{dd} に上昇する。

[0102] これにより、実施例5と同様の効果を得ることができる。

[0103] (実施例7)

図11は、実施例7に係る共通電極駆動回路200に含まれる単位回路27の回路図である。図11に示すように、単位回路27では、実施例5に係る単位回路25(図9参照)のアナログスイッチ回路SW1aに、Nチャンネル型トランジスタT9と、容量C1とが追加された構成となっている。

[0104] 具体的には、単位回路27のアナログスイッチ回路SW1bは、トランジスタT9のゲート端子に電源電圧 V_{dd} が与えられ、ソース端子が入力端子INsに接続され、ドレイン端子がトランジスタT1のゲート端子に接続されている。また、容量C1は、トランジスタT1のゲート端子及びドレイン端子の間に設けられている。なお、容量C1とトランジスタT1のゲート端子との接続点をノードN3とする。

[0105] この構成では、k段目の単位回路27の入力端子INsに、出力信号SROUT(k-1)(ハイレベル(アクティブ))が入力されると、ノードN3の電位が $V_{dd}-V_{th}$ にチャージされた後、トランジスタT9はオフ状態になる。ノードN1では、出力信号SROUT(k-1)(ハイレベル)によりトランジスタT1がオン状態になり、極性信号CMIの V_{dd} (ハイレベル)が入力され、 V_{ss} (ローレベル)から V_{dd} (ハイレベル)に上がり始める。すると、ノードN1の電位変動により、容量C1を介してノードN3の電位が $V_{dd}-V_{th}+\alpha$ に突き上げられる。これにより、極性信号CMI(V_{dd})が閾値(V_{th})落ちせずに入力され、ノードN1の電位が V_{dd} になる(ブートストラップ動作)。

[0106] ここで、上記実施例5の単位回路25では、極性信号CMIがハイレベル(V_{dd})のとき、ノードN1の電位は、インバータINV2の出力(V_{ss})がフィードバックされるまで $V_{dd}-V_{th}$ となる。これに対して、本実施例7の単位回路27では、ノードN1の電位は、ブートストラップ動作

により V_{dd} にすることができるため、動作マージンを確保することができる。上記に示した以外の動作は実施例 5 の単位回路 25 の動作と同一である。

[0107] なお、シフトレジスタ 10 の出力信号が、 $SROUT(k-1)$ の反転信号である場合や、 $SROUT(k-1)$ のアクティブがローレベルである場合には、アナログスイッチ回路 $SW1b$ を、Pチャネル型トランジスタで構成するとともに、電源を VSS に固定すれば良い。

[0108] (実施例 8)

図 12 は、実施例 8 に係る共通電極駆動回路 200 に含まれる単位回路 28 の回路図である。図 12 に示すように、単位回路 28 のインバータ $INV1b$ では、実施例 7 に係る単位回路 27 (図 11 参照) のインバータ $INV1a$ と比較して、抵抗 $R1$ 、 $R2$ の位置が異なっている。

[0109] 具体的には、インバータ $INV1b$ では、抵抗 $R2$ は、一方の端子がトランジスタ $T5$ のドレイン端子に接続され、他方の端子がノード $N1$ に接続され、抵抗 $R1$ は、一方の端子がトランジスタ $T6$ のドレイン端子に接続され、他方の端子がノード $N1$ に接続されている。単位回路 28 の動作は、実施例 7 の単位回路 27 の動作と同一である。

[0110] (実施例 9)

図 13 は、実施例 9 に係る共通電極駆動回路 200 に含まれる単位回路 29 の回路図である。図 13 に示すように、単位回路 29 では、実施例 7 に係る単位回路 27 (図 11 参照) において、バッファ 21b が省略され、ラッチスルー回路 21a のみで構成されており、入力端子 INC には極性信号 $CMI\bar{B}$ (CMI の反転信号) が入力され、インバータ $INV1a$ 、 $INV2$ には、電源電圧 V_{comh} 、 V_{coml} が与えられる。また、インバータ $INV2$ の出力端子 (トランジスタ $T3$ のドレイン端子と、トランジスタ $T4$ のドレイン端子との接続点 (ノード $N2$)) は、単位回路 29 の出力端子 OUT に接続されている。単位回路 29 では、インバータ $INV2$ はバッファとしての機能を有する。

[0111] この構成では、 k 段目の単位回路 29 の入力端子 IN_s に、出力信号 $SROUT(k-1)$ (ハイレベル (アクティブ)) が入力されると、アナログスイッチ回路 $SW1b$ がオン状態になる。極性信号 CMI_B がローレベルのときは、ノード $N1$ の電位はローレベルになり、極性信号 CMI_B がハイレベルのときは、ノード $N1$ の電位はハイレベルになる。

[0112] ここで、シフトレジスタ 10 の出力信号 $SROUT(k-1)$ がハイレベル (アクティブ) になって、極性信号 CMI_B のローレベルと、電源 $VCOMH$ とが短絡することになっても、電源 $VCOMH$ とノード $N1$ との間に抵抗 $R2$ が設けられているため、ノード $N1$ の電位は、極性信号 CMI_B 側へ引き込まれ、極性信号 CMI_B のローレベルに近い電位 (インバータ $INV2$ の反転電位よりも低い電位) に低下し、その後にインバータ $INV2$ の出力 ($Vcomh$) のフィードバックにより $Vcoml$ に低下する。また、極性信号 CMI_B のハイレベルと、電源 $VCOML$ とが短絡することになっても、電源 $VCOML$ とノード $N1$ との間に抵抗 $R1$ が設けられているため、ノード $N1$ の電位は、極性信号 CMI_B 側へ引き込まれ、極性信号 CMI_B のハイレベルに近い電位 (インバータ $INV2$ の反転電位よりも高い電位) に上昇し、その後にインバータ $INV2$ の出力 ($Vcoml$) のフィードバックにより $Vcomh$ に上昇する。インバータ $INV2$ の出力は、出力端子 OUT を介して、 k 行目のコモンライン CML_k に供給される。

[0113] 続いて、シフトレジスタ 10 の出力信号 $SROUT(k-1)$ がハイレベル (アクティブ) からローレベル (非アクティブ) になると、アナログスイッチ回路 $SW1b$ がオフ状態になり、極性信号 CMI_B の入力遮断される。そして、ノード $N1$ が $Vcoml$ を保持しているときは、単位回路 29 から $Vcomh$ が出力され、ノード $N1$ が $Vcomh$ を保持しているときは、単位回路 29 から $Vcoml$ が出力される。

[0114] なお、シフトレジスタ 10 の出力信号が、 $SROUT(k-1)$ の反転信号である場合や、 $SROUT(k-1)$ のアクティブがローレベルである場合には、アナログスイッチ回路 $SW1b$ を、Pチャネル型トランジスタで構

成するとともに、電源をVSSに固定すれば良い。

[0115] ここで、インバータINV2の出力端子がコモンラインCMLkに接続されているため、表示データをソースラインから書き込む際に、コモンラインCMLkとソースラインの交差部や、コモンラインCMLkに接続されている複数の画素から大きなノイズを受けることになる。抵抗R1、R2が設けられていない場合、このノイズがインバータINV1aの入力端子（トランジスタT5、T6のゲート端子）に伝達され、インバータINV1aのトランジスタT5、T6が一瞬オン状態になり、貫通電流が発生することがある。場合によっては、このノイズによって、保持しているデータの電位レベルが逆転し誤動作を引き起こすこともある。この点、図13の構成では、抵抗R1、R2が設けられているため、ノイズによる貫通電流を削減することができ、誤動作を防止することができる。

[0116] （実施例10）

図14は、実施例10に係る共通電極駆動回路200に含まれる単位回路30の回路図である。図14に示すように、単位回路30のインバータINV1bでは、実施例9に係る単位回路29（図13参照）のインバータINV1aと比較して、抵抗R1、R2の位置が異なっている。

[0117] 具体的には、インバータINV1bでは、抵抗R2は、一方の端子がトランジスタT5のドレイン端子に接続され、他方の端子がノードN1に接続され、抵抗R1は、一方の端子がトランジスタT6のドレイン端子に接続され、他方の端子がノードN1に接続されている。単位回路30の動作は、実施例9の単位回路29の動作と同一である。

[0118] （実施例11）

図15は、実施例11に係る共通電極駆動回路200に含まれる単位回路31の回路図である。図15に示すように、単位回路31のインバータINV1cでは、実施例1に係る単位回路21（図3参照）のインバータINV1に、抵抗R1及びPチャネル型トランジスタT10が追加されている。なお、単位回路31のインバータINV1cを構成するトランジスタT5、T

6、 T_{10} のチャネル長 L は、インバータ INV_2 を構成するトランジスタ T_3 、 T_4 のチャネル長 L と同一に設定されている。

[0119] インバータ INV_{1c} では、トランジスタ T_{10} は、ゲート端子が入力端子 IN_s に接続され、ソース端子が電源 V_{DD} に接続されている。トランジスタ T_5 は、ゲート端子がノード N_2 に接続され、ソース端子がトランジスタ T_{10} のドレイン端子に接続され、ドレイン端子がノード N_1 に接続されている。抵抗 R_1 は、一方の端子が電源 V_{SS} に接続されている。トランジスタ T_6 は、ゲート端子がノード N_2 に接続され、ソース端子が抵抗 R_1 の他方の端子に接続され、ドレイン端子がノード N_1 に接続されている、なお、抵抗 R_1 は、数 $k\Omega$ から数 $M\Omega$ である。

[0120] この構成では、 k 段目の単位回路31の入力端子 IN_s に、出力信号 $SROUT(k-1)$ （ハイレベル（アクティブ））が入力されると、アナログスイッチ回路 SW_1 がオン状態になるとともに、トランジスタ T_{10} がオフ状態になる。

[0121] この状態で極性信号 CM_I の V_{ss} （ローレベル）が入力されると、 V_{dd} に保持されていたノード N_1 の電位は、トランジスタ T_{10} のオフにより電源 V_{DD} と切り離されているため、極性信号 CM_I （ V_{ss} ）と電源 V_{DD} とが短絡することなく、 V_{ss} に低下する。

[0122] 一方、極性信号 CM_I の V_{dd} （ハイレベル）が入力されると、極性信号 CM_I （ V_{dd} ）と電源 V_{SS} とが短絡することになるが、電源 V_{SS} とノード N_1 との間に抵抗 R_1 が設けられているため、ノード N_1 の電位は、極性信号 CM_I 側へ引き込まれ、極性信号 CM_I の V_{dd} に近い電位（インバータ INV_2 の反転電位よりも高い電位）に上昇し、その後にインバータ INV_2 の出力（ V_{ss} ）のフィードバックにより V_{dd} に上昇する。

[0123] （実施例12）

図16は、実施例12に係る共通電極駆動回路200に含まれる単位回路32の回路図である。図16に示すように、単位回路32のインバータ INV_{1d} では、実施例1に係る単位回路21（図3参照）のインバータ INV

1 に、抵抗 R_2 及び N チャンネル型トランジスタ T_{11} が追加されている。なお、単位回路 32 のインバータ INV_1d を構成するトランジスタ T_5 、 T_6 、 T_{11} のチャンネル長 L は、インバータ INV_2 を構成するトランジスタ T_3 、 T_4 のチャンネル長 L と同一に設定されている。

[0124] インバータ INV_1d では、抵抗 R_2 は、一方の端子が電源 V_{DD} に接続され、トランジスタ T_5 は、ゲート端子がノード N_2 に接続され、ソース端子が抵抗 R_2 の他方の端子に接続され、ドレイン端子がノード N_1 に接続されている。トランジスタ T_{11} は、ゲート端子がインバータ INV_3 の出力端子に接続され、ソース端子が電源 V_{SS} に接続されている。トランジスタ T_6 は、ゲート端子がノード N_2 に接続され、ソース端子がトランジスタ T_{11} のドレイン端子に接続され、ドレイン端子がノード N_1 に接続されている。なお、抵抗 R_1 は、数 $k\Omega$ から数 $M\Omega$ である。

[0125] この構成では、 k 段目の単位回路 32 の入力端子 IN_s に、出力信号 $SROUT(k-1)$ （ハイレベル（アクティブ））が入力されると、アナログスイッチ回路 SW_1 がオン状態になるとともに、トランジスタ T_{11} がオフ状態になる。

[0126] この状態で極性信号 CM_I の V_{ss} （ローレベル）が入力されると、極性信号 CM_I （ V_{ss} ）と電源 V_{DD} とが短絡することになるが、電源 V_{DD} とノード N_1 との間に抵抗 R_2 が設けられているため、極性信号 CM_I 側へ引き込まれ、ノード N_1 の電位は、極性信号 CM_I の V_{ss} に近い電位（インバータ INV_2 の反転電位よりも低い電位）に低下し、その後にインバータ INV_2 の出力（ V_{dd} ）のフィードバックにより V_{ss} に低下する。

[0127] 一方、極性信号 CM_I の V_{dd} （ハイレベル）が入力されると、 V_{ss} に保持されていたノード N_1 の電位は、トランジスタ T_{11} のオフにより電源 V_{SS} と切り離されているため、極性信号 CM_I （ V_{dd} ）と電源 V_{SS} とが短絡することなく、 V_{dd} に上昇する。

[0128] （実施例 13）

図 17 は、実施例 13 に係る共通電極駆動回路 200 に含まれる単位回路

３３の回路図である。

[0129] 単位回路３３は、実施例７の単位回路２７において、さらに、共通電極駆動回路２００を初期化するための機能を備えている。具体的には、単位回路３３は、実施例７の単位回路２７（図１１参照）において、インバータINV１の電源VDDが省略され、初期化用端子（INITB端子）が設けられている。初期化用信号INITBは、抵抗R２を介してトランジスタT５のソース端子に入力される。

[0130] 初期化用信号INITBは、通常動作時にハイレベル（V_{dd}）になり、初期化時（アクティブ時）にローレベル（V_{ss}）になる信号である。極性信号CMIZは、通常動作時は、単位回路２７の極性信号CMIと同じように１水平走査期間（1H）ごとに極性が反転するが、初期化時にはローレベルになる信号である。極性信号CMIZは、各段の単位回路３３に入力される。また、極性信号CMIZは、図１８に示すように、NAND回路とインバータで構成された生成回路２１０により生成され、共通電極駆動回路２００の外部に設けられている。

[0131] （動作について）

初期化時に、シフトレジスタ１０の全段の単位回路１１の出力信号SROUTがハイレベルの場合は、以下のように動作する（図３８参照）。

[0132] まず、出力信号SROUTがハイレベルになると、全段の単位回路３３でトランジスタT１がオン状態になり、全段のノードN１と極性信号CMIZが接続（短絡）される。初期化直前の不定の状態では、ノードN１に保持されている電位も不定のため、極性信号CMIZに接続されるインバータINV２の出力も各段でV_{dd}（ハイレベル）であるか、V_{ss}（ローレベル）であるか不定の状態である。

[0133] ここで、仮にノードN１に接続される初期化用信号INITBがV_{dd}とすると、全段のノードN１に接続されている極性信号CMIZは、インバータINV１の電源VDDに接続されている段と電源VSSに接続されている段とが同時に接続されることになり、電源VDDと電源VSSが極性信号C

M I Zを介して短絡することにより大電流が発生し、ノードN 1の電位が中間電位となるため、正常に初期化することができない。

[0134] この点、本実施例1 3の単位回路3 3の構成では、初期化時には、極性信号C M I Z及び初期化用信号I N I T Bが、ともにV s s（ローレベル）になるように制御されているため、ノードN 1は、必ずV s s（ローレベル）になり、確実に初期化することができる。

[0135] 一方、初期化時に、シフトレジスタ1 0の全段の単位回路1 1の出力信号S R O U Tがローレベルの場合は、以下のように動作する（図3 9参照）。

[0136] 初期化前の不定の状態、ノードN 1がV d d（ハイレベル）の場合は、トランジスタT 5のゲート端子はV s s（ローレベル）になっており、トランジスタT 5はオン状態になっている。ここで、初期化時に初期化用信号I N I T BはV s s（ローレベル）のため、ノードN 1の電位は、トランジスタT 5を介して、閾値（V t h）落ちしたローレベル（V s s + V t h）になる。インバータI N V 1の出力が、インバータI N V 2に入力されることにより、インバータI N V 2はV d dを出力する。インバータI N V 2の出力（ノードN 2）は、インバータI N V 1の入力に接続されているため、インバータI N V 2の出力（V d d）がインバータI N V 1にフィードバックされ、トランジスタT 6がオン状態になる。これにより、V s s + V t hのノードN 1が、V s s（ローレベル）になるため、確実に初期化することができる。

[0137] 初期化前の不定の状態、ノードN 1がV s s（ローレベル）の場合は、トランジスタT 5がオフ状態となっているため、初期化用信号I N I T Bの信号はノードN 1には入力されないが、既に所望の電位（V s s）になっているため初期化された状態と同じである。

[0138] なお、通常動作時は、初期化用信号I N I T BがV d d（ハイレベル）となり、初期化用信号I N I T Bが電源V D Dと同様の機能を果たすため、実施例7の単位回路2 7と同一の動作が可能となる。

[0139] このように、単位回路3 3によれば、実施例7の単位回路2 7により得ら

れる効果に加えて、共通電極駆動回路 200 を安定して初期化することができるという効果を得られる。

[0140] なお、上記説明では、初期化を行うための機能を実施例 7 の単位回路 27 に追加した場合について説明したが、初期化を行うための機能は、上述した各実施例に適用することもできる。

[0141] (実施例 14)

図 19 は、実施例 14 に係る共通電極駆動回路 200 に含まれる単位回路 34 の回路図である。

[0142] 単位回路 34 は、実施例 13 の単位回路 33 と同様、共通電極駆動回路 200 を初期化するための機能を備えている。具体的には、単位回路 34 は、実施例 7 の単位回路 27 (図 11 参照) において、インバータ INV1 の電源 VSS が省略され、初期化用端子 (INIT 端子) が設けられている。初期化用信号 INIT は、抵抗 R1 を介してトランジスタ T6 のソース端子に入力される。

[0143] 初期化用信号 INIT は、通常動作時にローレベル (Vss) になり、初期化時 (アクティブ時) にハイレベル (Vdd) になる信号である。極性信号 CMIZ は、通常動作時は、単位回路 27 の極性信号 CM I と同じように 1 水平走査期間 (1H) ごとに極性が反転するが、初期化時にはハイレベルになる信号である。極性信号 CMIZ は、各段の単位回路 34 に入力される。また、極性信号 CMIZ は、図 20 に示すように、NOR 回路とインバータで構成された生成回路 220 により生成され、共通電極駆動回路 200 の外部に設けられている。

[0144] (動作について)

初期化時に、シフトレジスタ 10 の全段の単位回路 11 の出力信号 SROUT がハイレベルの場合は、以下のように動作する。

[0145] 初期化直前の不定の状態では、ノード N1 の電位、インバータ INV2 の出力ともに不定の状態であるが、初期化時には、極性信号 CMIZ 及び初期化用信号 INIT が、ともに Vdd (ハイレベル) になるように制御されて

いるため、ノードN 1は、必ずV d d（ハイレベル）になり、確実に初期化することができる。

[0146] 一方、初期化時に、シフトレジスタ10の全段の単位回路11の出力信号S R O U Tがローレベルの場合は、以下のように動作する。

[0147] 初期化前の不定の状態、ノードN 1がV s s（ローレベル）の場合は、トランジスタT 6のゲート端子はV d d（ハイレベル）になっており、トランジスタT 6はオン状態になっている。ここで、初期化時に初期化用信号I N I TはV d d（ハイレベル）のため、ノードN 1の電位は、トランジスタT 6を介して、閾値（V t h）落ちしたハイレベル（V d d - V t h）になる。インバータI N V 1の出力が、インバータI N V 2に入力されることにより、インバータI N V 2はV s sを出力する。インバータI N V 2の出力（ノードN 2）は、インバータI N V 1の入力に接続されているため、インバータI N V 2の出力（V s s）がインバータI N V 1にフィードバックされ、トランジスタT 5がオン状態になる。これにより、V d d - V t hのノードN 1が、V d d（ハイレベル）になるため、確実に初期化することができる。

[0148] 初期化前の不定の状態、ノードN 1がV d d（ハイレベル）の場合は、トランジスタT 6がオフ状態となっているため、初期化用信号I N I Tの信号はノードN 1には入力されないが、既に所望の電位（V d d）になっているため初期化された状態と同じである。

[0149] なお、通常動作時は、初期化用信号I N I TがV s s（ローレベル）となり、初期化用信号I N I Tが電源V S Sと同様の機能を果たすため、実施例7の単位回路27と同一の動作が可能となる。

[0150] このように、単位回路34によれば、実施例7の単位回路27により得られる効果に加えて、共通電極駆動回路200を安定して初期化することができるという効果を得られる。

[0151] （実施例15）

図21は、実施例15に係る共通電極駆動回路200に含まれる単位回路

35の回路図である。

[0152] 単位回路35は、実施例7の単位回路27において、さらに、共通電極駆動回路200を初期化するための機能を備えている。具体的には、単位回路35は、実施例7の単位回路27（図11参照）において、インバータINV2の電源VDDが省略され、初期化用端子（INITB端子）が設けられている。初期化用信号INITBは、トランジスタT3のソース端子に入力される。

[0153] 初期化用信号INITBは、通常動作時にハイレベル（V_{dd}）になり、初期化時（アクティブ時）にローレベル（V_{ss}）になる信号である。極性信号CMIZは、通常動作時は、単位回路27の極性信号CMIと同じように1水平走査期間（1H）ごとに極性が反転するが、初期化時にはハイレベルになる信号である。極性信号CMIZは、各段の単位回路35に入力される。また、極性信号CMIZは、図22に示すように、NOR回路とインバータで構成された生成回路230により生成され、共通電極駆動回路200の外部に設けられている。

[0154] （動作について）

初期化時に、シフトレジスタ10の全段の単位回路11の出力信号SROUTがハイレベルの場合は、以下のように動作する。

[0155] 初期化直前の不定の状態では、ノードN1の電位、インバータINV2の出力（ノードn2）ともに不定の状態であるが、初期化時には、極性信号CMIZがV_{dd}（ハイレベル）、初期化用信号INITBがV_{ss}（ローレベル）になるように制御されているため、ノードN2はV_{ss}（ローレベル）になり、インバータINV2の出力（V_{ss}）がインバータINV1にフィードバックされ、トランジスタT5がオン状態になる。これにより、ノードN1はV_{dd}になるため、確実に初期化することができる。

[0156] 一方、初期化時に、シフトレジスタ10の全段の単位回路11の出力信号SROUTがローレベルの場合は、以下のように動作する。

[0157] 初期化前の不定の状態、ノードN2がV_{dd}（ハイレベル）の場合は、

トランジスタT3のゲート端子はV_{ss}（ローレベル）になっており、トランジスタT3はオン状態になっている。ここで、初期化時に初期化用信号I_{NITB}はV_{ss}（ローレベル）のため、ノードN2の電位は、トランジスタT3を介して、閾値（V_{th}）落ちしたローレベル（V_{ss}+V_{th}）になる。インバータINV2の出力（ノードN2）は、インバータINV1の入力に接続されているため、インバータINV2の出力（V_{ss}+V_{th}）がインバータINV1にフィードバックされ、トランジスタT5がオン状態になる。これにより、ノードN1がV_{dd}（ハイレベル）になり、トランジスタT4がオン状態になり、V_{ss}+V_{th}のノードN2がV_{ss}（ローレベル）になるため、確実に初期化することができる。

[0158] 初期化前の不定の状態、ノードN2がV_{ss}（ローレベル）の場合は、トランジスタT3がオフ状態となっているため、初期化用信号I_{NITB}の信号はノードN2には入力されないが、既に所望の電位（V_{ss}）になっているため初期化された状態と同じである。

[0159] なお、通常動作時は、初期化用信号I_{NITB}がV_{dd}（ハイレベル）となり、初期化用信号I_{NITB}が電源V_{DD}と同様の機能を果たすため、実施例7の単位回路27と同一の動作が可能となる。

[0160] このように、単位回路35によれば、実施例7の単位回路27により得られる効果に加えて、共通電極駆動回路200を安定して初期化することができるという効果を得られる。

[0161] （実施例16）

図23は、実施例16に係る共通電極駆動回路200に含まれる単位回路36の回路図である。

[0162] 単位回路36は、実施例7の単位回路27において、さらに、共通電極駆動回路200を初期化するための機能を備えている。具体的には、単位回路36は、実施例7の単位回路27（図11参照）において、インバータINV2の電源V_{SS}が省略され、初期化用端子（I_{NIT}端子）が設けられている。初期化用信号I_{NIT}は、トランジスタT4のソース端子に入力され

る。

[0163] 初期化用信号 $INIT$ は、通常動作時にローレベル (V_{ss}) になり、初期化時 (アクティブ時) にハイレベル (V_{dd}) になる信号である。極性信号 $CMIZ$ は、通常動作時は、単位回路 27 の極性信号 $CM I$ と同じように 1 水平走査期間 (1 H) ごとに極性が反転するが、初期化時にはローレベルになる信号である。極性信号 $CMIZ$ は、各段の単位回路 36 に入力される。また、極性信号 $CMIZ$ は、図 24 に示すように、NOR 回路とインバータで構成された生成回路 240 により生成され、共通電極駆動回路 200 の外部に設けられている。

[0164] (動作について)

初期化時に、シフトレジスタ 10 の全段の単位回路 11 の出力信号 $SROUT$ がハイレベルの場合は、以下のように動作する。

[0165] 初期化直前の不定の状態では、ノード $N1$ の電位、インバータ $INV2$ の出力 (ノード $n2$) とともに不定の状態であるが、初期化時には、極性信号 $CMIZ$ が V_{ss} (ローレベル)、初期化用信号 $INIT$ が V_{dd} (ハイレベル) になるように制御されているため、ノード $N2$ は V_{dd} (ハイレベル) になり、インバータ $INV2$ の出力 (V_{dd}) がインバータ $INV1$ にフィードバックされ、トランジスタ $T6$ がオン状態になる。これにより、ノード $N1$ は V_{ss} になるため、確実に初期化することができる。

[0166] 一方、初期化時に、シフトレジスタ 10 の全段の単位回路 11 の出力信号 $SROUT$ がローレベルの場合は、以下のように動作する。

[0167] 初期化前の不定の状態で、ノード $N2$ が V_{ss} (ローレベル) の場合は、トランジスタ $T4$ のゲート端子は V_{dd} (ハイレベル) になっており、トランジスタ $T4$ はオン状態になっている。ここで、初期化時に初期化用信号 $INIT$ は V_{dd} (ハイレベル) のため、ノード $N2$ の電位は、トランジスタ $T4$ を介して、閾値 (V_{th}) 落ちしたハイレベル ($V_{dd} - V_{th}$) になる。インバータ $INV2$ の出力 (ノード $N2$) は、インバータ $INV1$ の入力に接続されているため、インバータ $INV2$ の出力 ($V_{dd} - V_{th}$) が

インバータ I N V 1 にフィードバックされ、トランジスタ T 6 がオン状態になる。これにより、ノード N 1 が V s s (ローレベル) になり、トランジスタ T 3 がオン状態になり、V d d - V t h のノード N 2 が V d d (ハイレベル) になるため、確実に初期化することができる。

[0168] 初期化前の不定の状態、ノード N 2 が V d d (ハイレベル) の場合は、トランジスタ T 4 がオフ状態となっているため、初期化用信号 I N I T の信号はノード N 2 には入力されないが、既に所望の電位 (V d d) になっているため初期化された状態と同じである。

[0169] なお、通常動作時は、初期化用信号 I N I T が V s s (ローレベル) となり、初期化用信号 I N I T が電源 V S S と同様の機能を果たすため、実施例 7 の単位回路 2 7 と同一の動作が可能となる。

[0170] このように、単位回路 3 6 によれば、実施例 7 の単位回路 2 7 により得られる効果に加えて、共通電極駆動回路 2 0 0 を安定して初期化することができるという効果を得られる。

[0171] (実施例 1 7)

図 2 5 は、実施例 1 7 に係る共通電極駆動回路 2 0 0 に含まれる単位回路 3 7 の回路図である。

[0172] 単位回路 3 7 は、実施例 7 の単位回路 2 7 において、さらに、共通電極駆動回路 2 0 0 を初期化するための機能を備えている。具体的には、単位回路 3 7 は、実施例 7 の単位回路 2 7 (図 1 1 参照) において、インバータ I N V 1 に P チャネル型トランジスタ T 1 2 が追加され、初期化用端子 (I N I T 端子) が設けられている。トランジスタ T 1 2 は、ゲート端子に初期化用信号 I N I T が与えられ、ソース端子が抵抗 R 2 の一方の端子に接続され、ドレイン端子がトランジスタ T 5 のソース端子に接続されている。

[0173] 初期化用信号 I N I T は、通常動作時にローレベル (V s s) になり、初期化時 (アクティブ時) にハイレベル (V d d) になる信号である。極性信号 C M I Z は、通常動作時は、単位回路 2 7 の極性信号 C M I と同じように 1 水平走査期間 (1 H) ごとに極性が反転するが、初期化時にはローレベル

になる信号である。極性信号CMIZは、各段の単位回路37に入力される。また、極性信号CMIZは、図24に示す生成回路240により生成され、共通電極駆動回路200の外部に設けられている。

[0174] この構成では、初期化時に、初期化用信号INITがハイレベルであるため、トランジスタT12がオフ状態になり、ノードN1が電源VDDから切り離される。よって、ノードN1は極性信号CMIZのローレベル（Vss）に固定されるため、確実に初期化することができる。

[0175] 通常動作時は、初期化用信号INITがローレベルとなり、電源VDDが抵抗R2及びオン状態になったトランジスタT12を介してトランジスタT5に接続されるため、実施例7の単位回路27と同一の動作が可能となる。

[0176] このように、単位回路37によれば、実施例7の単位回路27により得られる効果に加えて、共通電極駆動回路200を安定して初期化することができるという効果を得られる。

[0177] （実施例18）

図26は、実施例18に係る共通電極駆動回路200に含まれる単位回路38の回路図である。

[0178] 単位回路38は、実施例7の単位回路27において、さらに、共通電極駆動回路200を初期化するための機能を備えている。具体的には、単位回路38は、実施例7の単位回路27（図11参照）において、インバータINV1にNチャネル型トランジスタT13が追加され、初期化用端子（INITB端子）が設けられている。トランジスタT13は、ゲート端子に初期化用信号INITBが与えられ、ソース端子が抵抗R1の一方の端子に接続され、ドレイン端子がトランジスタT6のソース端子に接続されている。

[0179] 初期化用信号INITBは、通常動作時にハイレベル（Vdd）になり、初期化時（アクティブ時）にローレベル（Vss）になる信号である。極性信号CMIZは、通常動作時は、単位回路27の極性信号CMIと同じように1水平走査期間（1H）ごとに極性が反転するが、初期化時にはハイレベルになる信号である。極性信号CMIZは、各段の単位回路38に入力され

る。また、極性信号CMI Zは、図22に示す生成回路230により生成され、共通電極駆動回路200の外部に設けられている。

[0180] この構成では、初期化時に、初期化用信号INITBがローレベルであるため、トランジスタT13がオフ状態になり、ノードN1が電源VSSから切り離される。よって、ノードN1は極性信号CMI Zのハイレベル（Vdd）に固定されるため、確実に初期化することができる。

[0181] 通常動作時は、初期化用信号INITBがハイレベルとなり、電源VSSが抵抗R1及びオン状態になったトランジスタT13を介してトランジスタT6に接続されるため、実施例7の単位回路27と同一の動作が可能となる。

[0182] このように、単位回路38によれば、実施例7の単位回路27により得られる効果に加えて、共通電極駆動回路200を安定して初期化することができるという効果を得られる。

[0183] （実施例19）

図27は、実施例19に係る共通電極駆動回路200に含まれる単位回路39の回路図である。

[0184] 単位回路39は、実施例7の単位回路27において、さらに、共通電極駆動回路200を初期化するための機能を備えている。具体的には、単位回路39は、実施例7の単位回路27（図11参照）において、ノードN1にNチャネル型トランジスタT14が追加され、初期化用端子（INIT端子）が設けられている。トランジスタT14は、ゲート端子に初期化用信号INITが与えられ、ソース端子に電源電圧Vssが与えられ、ドレイン端子がノードN1に接続されている。

[0185] 初期化用信号INITは、通常動作時にローレベル（Vss）になり、初期化時（アクティブ時）にハイレベル（Vdd）になる信号である。極性信号CMI Zは、通常動作時は、単位回路27の極性信号CMIと同じように1水平走査期間（1H）ごとに極性が反転するが、初期化時にはローレベルになる信号である。極性信号CMI Zは、各段の単位回路39に入力される

。また、極性信号CMIは、図24に示す生成回路240により生成され、共通電極駆動回路200の外部に設けられている。

[0186] この構成では、初期化時に、初期化用信号INITがハイレベルであるため、トランジスタT14がオン状態になり、ノードN1が電源電圧Vssに引き込まれる。よって、ノードN1を強制的にローレベル（Vss）に固定することができるため、確実に初期化することができる。

[0187] 通常動作時は、初期化用信号INITがローレベルとなり、ノードN1は電源VSSから切り離されるため、実施例7の単位回路27と同一の動作が可能となる。

[0188] このように、単位回路39によれば、実施例7の単位回路27により得られる効果に加えて、共通電極駆動回路200を安定して初期化することができるという効果を得られる。

[0189] （実施例20）

図28は、実施例20に係る共通電極駆動回路200に含まれる単位回路21xの回路図である。単位回路21xのインバータINV1xでは、インバータINV1xを構成するトランジスタT5、T6のチャネル長Lが、インバータINV2を構成するトランジスタT3、T4のチャネル長Lと同一に設定されている。すなわち、インバータINV1、INV2を構成する全てのトランジスタが同一サイズに設定されている。また、単位回路21xでは、入力端子Incに入力される極性信号CMIの駆動能力が高くなるように設定されている。例えば、極性信号CMIの入力ラインの配線抵抗が、インバータINV1及びインバータINV2同士の接続ラインの配線抵抗よりも小さくなるように構成されている。

[0190] この構成によれば、出力信号SROUT（k-1）がハイレベル（アクティブ）になって、極性信号CMIのVss（ローレベル）と、電源VDD（ハイレベル）とが短絡することになっても、極性信号CMIの駆動能力が高いため、ノードN1の電位は、極性信号CMI側へ引き込まれ、極性信号CMIのVss（ローレベル）に近い電位（インバータINV2の反転電位よ

りも低い電位)に低下し、その後にインバータINV2の出力(V_{dd})のフィードバックによりV_{ss}に低下する。また、極性信号CMIのV_{dd}(ハイレベル)と、電源V_{SS}(ローレベル)とが短絡することになっても、同様に極性信号CMIの駆動能力が高いため、ノードN1の電位は、極性信号CMI側へ引き込まれ、極性信号CMIのV_{dd}に近い電位(インバータINV2の反転電位よりも高い電位)に上昇し、その後にインバータINV2の出力(V_{ss})のフィードバックによりV_{dd}に上昇する。

[0191] これにより、実施例1等と同様の効果を得ることができる。また、本実施例の構成は、上述した各実施例に適用することもできる。

[0192] ここで、極性信号CMIの駆動能力を高めるための具体的な構成について説明する。

[0193] 図53の(a)は、単位回路21とCMIバッファ部60とを示すブロック図であり、(b)は、その回路図である。単位回路21は、上述の各実施例に係る単位回路を適用できるが、ここでは便宜上、簡略化して模式的に示している。極性信号CMIは、CMIバッファ部60を介して各単位回路21に入力される。図53の(b)において、単位回路21に極性信号CMIを書き込む場合、アナログスイッチ回路SW1がオン状態の段の単位回路21に対して、次の関係式が成り立てば、所望の値を保持することができる。

ノードN1にローレベルの極性信号CMIを書き込む場合： $r_2 + r_3 + r_4 < r_5$

ノードN1にハイレベルの極性信号CMIを書き込む場合： $r_1 + r_3 + r_4 < r_6$

そのため、極性信号CMIの駆動能力を高めるためには、CMIバッファ部60を構成して、抵抗 r_1 、 r_2 が小さくなるようにチャネル幅Wを大きくしたり、配線抵抗 r_3 を下げたり、アナログスイッチ回路SW1の抵抗 r_4 を下げればよい。また、他の実施例のように、抵抗 r_5 、 r_6 を高めるため、チャネル長Lを長くしたり、抵抗を挿入してもよい。

[0194] なお、上述の式はインバータ部INV2の反転電位が電源電圧V_{ss}と電

源電圧 V_{dd} のセンターにある場合の関係式であるが、反転電位がセンターにない場合には、反転電位を超えるように、抵抗 r_1 、 r_3 、 r_4 を下げればよい。

[0195] 図54の(a)は、単位回路21とIC回路61とを示すブロック図であり、(b)は、その回路図である。単位回路21には、IC回路61の出力信号が極性信号CMIとして入力される。単位回路21が例えばガラス基板上などにポリシリコンやアモルファスシリコン、IGZOなど比較的電子や正孔のキャリア移動度の低いトランジスタで構成されている場合、単位回路21を構成するトランジスタの抵抗値は非常に高い。そこで、単結晶シリコンなど、出力インピーダンスの非常に低い回路を用いて、極性信号CMIのラインを駆動すれば、容易に次の関係を満たすことができる。

ノードN1にローレベルの極性信号CMIを書き込む場合： $r_7 + r_3 + r_4 < r_5$

ノードN1にハイレベルの極性信号CMIを書き込む場合： $r_7 + r_3 + r_4 < r_6$

さらに、極性信号CMIの駆動能力を高めるために、配線抵抗 r_3 を下げたり、アナログスイッチ回路SW1の抵抗 r_4 を下げてもよい。また、他の実施例のように、抵抗 r_5 、 r_6 の抵抗を高めるため、チャネル長 L を長くしたり、抵抗を挿入してもよい。

[0196] なお、上述の式はインバータ部INV2の反転電位が電源電圧 V_{ss} と電源電圧 V_{dd} のセンターにある場合の関係式であるが、反転電位がセンターにない場合には、反転電位を超えるように、抵抗 r_7 、 r_3 、 r_4 を下げればよい。

[0197] (実施例21)

図29は、実施例21に係る共通電極駆動回路200に含まれる単位回路21yの回路図である。単位回路21yは、実施例1に係る単位回路21(図3参照)と比較すると、ラッチ回路21aの出力端子outがノードN1に接続され、入力端子Incに極性信号CMB(CMIの反転信号)が入

力される点で異なり、その他の構成は単位回路 21 と同一である。

[0198] この構成によれば、出力信号 SROUT (k-1) がハイレベル（アクティブ）になって、極性信号 CMIB の Vss（ローレベル）と、電源 VDD（ハイレベル）とが短絡することになっても、インバータ INV1 のトランジスタ T5 はチャネル長 L が長く設定されており駆動能力が低いため、ノード N1 の電位は、極性信号 CMIB 側へ引き込まれ、極性信号 CMIB の Vss（ローレベル）に近い電位（インバータ INV2 の反転電位よりも低い電位）に低下し、その後にインバータ INV2 の出力（Vdd）のフィードバックにより Vss に低下する。また、極性信号 CMIB の Vdd（ハイレベル）と、電源 VSS（ローレベル）とが短絡することになっても、インバータ INV1 のトランジスタ T6 はチャネル長 L が長く設定されており駆動能力が低いため、ノード N1 の電位は、極性信号 CMIB 側へ引き込まれ、極性信号 CMIB の Vdd に近い電位（インバータ INV2 の反転電位よりも高い電位）に上昇し、その後にインバータ INV2 の出力（Vss）のフィードバックにより Vdd に上昇する。なお、極性信号 CMIB が Vss（ローレベル）のときは、バッファ 21b を介して、Vcomh が出力され、極性信号 CMIB が Vdd（ハイレベル）のときは、バッファ 21b を介して、Vcoml が出力される。

[0199] これにより、実施例 1 等と同様の効果を得ることができる。また、本実施例の構成は、上述した各実施例に適用することもできる。

[0200] （走査方向の切り替え）

液晶表示装置 1 は、シフトレジスタ 10 の走査方向（シフト方向）を切り替える切替回路 UDSW を備えていても良い。図 30 は、液晶表示装置 1 の変形例を示すブロック図であり、図 31 は、切替回路 UDSW と、実施例 1 に係る共通電極駆動回路 200 に含まれる k 段目の単位回路 21 との接続関係を示す回路図である。

[0201] 切替回路 UDSW は、N チャネル型トランジスタ Tu1、Tu2 を備えている。トランジスタ Tu1 は、ソース端子が入力端子 INa に接続され、ド

レイン端子が出力端子OUTに接続され、ゲート端子に切替信号UDが与えられる。トランジスタTu2は、ソース端子が入力端子INbに接続され、ドレイン端子が出力端子OUTに接続され、ゲート端子に切替信号UDB（UDの反転信号）が与えられる。切替回路UDSWの出力端子は、単位回路21の入力端子INsに接続されている。k段目の単位回路21では、切替回路UDSWの入力端子INaに、シフトレジスタ10の（k-1）段目の単位回路11の出力信号SROUT（k-1）が入力され、切替回路UDSWの入力端子INbに、シフトレジスタ10の（k+1）段目の単位回路11の出力信号SROUT（k+1）が入力される。

[0202] 切替信号UD、UDBは、互いに極性が逆転した信号であるため、切替信号UDがハイレベル（切替信号UDBがローレベル）のときは、トランジスタTu1がオン状態になって出力信号SROUT（k-1）が、切替回路UDSWからk段目の単位回路21に入力され、切替信号UDBがハイレベル（切替信号UDがローレベル）のときは、トランジスタTu2がオン状態になって出力信号SROUT（k+1）が、切替回路UDSWからk段目の単位回路21に入力される。

[0203] これにより、シフトレジスタ10の走査方向を切り替える（1段目からn段目へ向かう第1方向、及び、n段目から1段目へ向かう第2方向とを相互に切り替える）ことができる。なお、切替回路UDSWは、上述した各実施例に適用することができる。例えば、図32の単位回路40は、実施例7の単位回路27に切替回路UDSWを設けた構成を示し、図33の単位回路41は、実施例13の単位回路33に切替回路UDSWを設けた構成を示している。ここで、切替回路UDSWを設けた場合、ブートストラップ動作による突き上げ電位と、切替回路UDSWにおいてゲート端子にローレベルが与えられるトランジスタのゲート端子の電位との差が大きくなるが、図32の単位回路40及び図33の単位回路41では、トランジスタT9が耐圧トランジスタとして機能する。

[0204] 図52は、切替回路UDSWの他の構成を示す図である。図52の切替回

路UDSW'は、Nチャネル型トランジスタTu1、Tu2と、Pチャネル型トランジスタTu3、Tu4とで構成されている。この切替回路UDSW'によれば、インバータINV3に閾値落ちしない信号を入力することができる。

[0205] 図34は、図32の単位回路40の平面レイアウトを示し、図35は、図34のA1-A2断面図を示している。図34及び図35に示すように、抵抗R1、R2をトランジスタのチャネルを構成する部分（シリコン）で構成することにより、ソースメタルの下に配置することができ、また、トランジスタとは異なり、自由な形状でレイアウトすることが可能とある。さらに、シリコン半導体のシート抵抗値はゲートやソースのシート抵抗値に比べて数万倍ほど大きいので、レイアウト面積を大幅に小さくすることができる。

[0206] 上述した各実施例では、共通電極駆動回路200の1つの単位回路が、シフトレジスタ10の1つの単位回路11に対応して設けられているが、本発明はこれに限定されず、シフトレジスタ10の1つの単位回路11に対して、共通電極駆動回路200の単位回路が複数設けられている構成であっても良い。図36は、共通電極駆動回路200の他の構成を示すブロック図であり、図37は、この共通電極駆動回路200の動作時のタイミングチャートである。図36に示すように、1つの単位回路11に対して、複数の単位回路21が設けられ、各単位回路21には、パルス出力部OP（図36、図56参照）の出力が入力される。これにより、シフトレジスタ10を構成する単位回路11の個数を削減できるため、回路規模をさらに縮小化することができる。

[0207] 上述した各実施例に係る共通電極駆動回路200の単位回路（保持回路）を構成するインバータINV1、INV2は、CMOSインバータ（図55の（a）参照）として構成されているが、本発明の単位回路は、これに限定されるものではなく、NMOSインバータ（図55の（b）参照）あるいはPMOSインバータ（図55の（c）参照）として構成されていてもよい。図55の（d）～（f）は、本単位回路のインバータINV1、INV2の

他の構成例を示す図である。

[0208] NMOSインバータについては、トランジスタがオンの時に次に接続されるトランジスタの閾値 V_{th} として、出力OUTが $V_{ss} + V_{th}$ より低くなるように、十分高い抵抗値 R_n で構成すれば、インバータとして構成することができる。PMOSインバータについては、トランジスタがオンの時に次に接続されるトランジスタの閾値 V_{th} として、出力OUTが $V_{dd} - V_{th}$ より高くなるように、十分高い抵抗値 R_p で構成すれば、インバータとして構成することができる。NMOSインバータあるいはPMOSインバータで構成する場合、トランジスタ数を削減でき、回路規模が縮小化することができる。

[0209] また、例えば図6のように抵抗 R_1 、 R_2 を設ける場合、NMOSインバータで構成すれば、抵抗 R_2 の機能を抵抗 R_n で兼用することができ、PMOSインバータで構成すれば、抵抗 R_1 の機能を抵抗 R_p で兼用することができるため、回路規模(レイアウト規模)を縮小化することができる。

[0210] [実施の形態2]

本発明の実施の形態2について図面に基づいて説明すると以下の通りである。なお、説明の便宜上、上記実施の形態1において示した部材と同一の機能を有する部材には、同一の符号を付し、その説明を省略する。また、実施の形態1において定義した用語については、特に断らない限り本実施例においてもその定義に則って用いるものとする。

[0211] 図40は、実施の形態2に係る液晶表示装置2の概略構成を示すブロック図である。液晶表示装置2は、走査信号線駆動回路100、保持容量配線駆動回路500(CSドライバ)、データ信号線駆動回路300、及び表示パネル400を備えている。なお、各駆動回路は、画素回路とアクティブマトリクス基板上にモノリシックに形成されていてもよい。

[0212] 表示パネル400は、走査信号線駆動回路100、保持容量配線駆動回路500、データ信号線駆動回路300、及びこれらを制御する制御回路によって駆動される。

- [0213] 保持容量配線駆動回路500は、走査信号線駆動回路100を構成するシフトレジスタ10の出力信号(SROUT)に基づいて、各保持容量配線46(CSライン)にハイレベルの信号(Vcsh)(変調信号)またはローレベルの信号(Vcsl)(変調信号)を供給する。
- [0214] 制御回路は、走査信号線駆動回路100、保持容量配線駆動回路500、及びデータ信号線駆動回路300を制御することにより、これら各回路から、ゲート信号、ソース信号、及びCS信号を出力させる。
- [0215] 本実施の形態に係る液晶表示装置2では、回路面積を縮小化しつつ、保持容量配線駆動回路500の出力信号の電位レベルの低下を防いで安定した動作を行う構成を有している。以下では、走査信号線駆動回路100及び保持容量配線駆動回路500の具体的な構成について説明する。
- [0216] 走査信号線駆動回路100を構成するシフトレジスタ10は、m個(mは2以上の整数)の単位回路11を多段接続して構成されている。単位回路11は、クロック用端子(CK端子)、セット用端子(S端子)、リセット用端子(R端子)、初期化用端子(INITB端子)、及び出力端子OUTを有している。以下、各端子経由で入出力される信号を当該端子と同じ名称で呼ぶ(例えば、クロック端子CK経由で入力される信号をクロック信号CKという)。
- [0217] シフトレジスタ10には、外部からスタートパルス(図示せず)と2相のクロック信号CK1、CK2が供給される。スタートパルスは、1段目の単位回路11のS端子に与えられる。クロック信号CK1は、奇数段目の単位回路11のCK端子に与えられ、クロック信号CK2は、偶数段目の単位回路11のCK端子に与えられる。単位回路11の出力は、出力端子OUTから、出力信号SROUTとして対応する走査信号線GLに供給されるとともに、後段の単位回路11のS端子及び前段の単位回路11のR端子に与えられる。また、単位回路11の出力信号SROUTは、対応する保持容量配線駆動回路500の単位回路51に供給される。
- [0218] 具体的には、図40に示すように、シフトレジスタ10のk段目(kは1

以上 n 以下の整数) の単位回路 11 の S 端子に、 $(k-1)$ 段目の単位回路 11 の出力信号 $SROUT(k-1)$ が入力され、当該 k 段目の単位回路 11 は、出力信号 $SROUTk$ を走査信号線 GLk に出力する。このように、シフトレジスタ 10 は、シフト動作によって、出力信号 $SROUT1 \sim SROUTn$ を、走査信号線 $GL1 \sim GLn$ に順に出力する。

[0219] 保持容量配線駆動回路 500 は、 n 個 (n は 2 以上の整数) の単位回路 51 (保持回路) を多段接続して構成されている。単位回路 51 は、入力端子 INs 、 INc 、初期化用端子 ($INITB$ 端子)、及び出力端子 OUT を有している。単位回路 51 の入力端子 INs には、シフトレジスタ 10 の出力信号 $SROUT$ が入力され、入力端子 INc には、極性信号 $CMIZ$ が入力され、初期化用端子 ($INITB$ 端子)、初期化用信号 ($INITB$) が入力される。単位回路 51 の出力は、出力信号 $CSOUT$ として保持容量配線 (CS ライン) に供給される。

[0220] 具体的には、図 40 に示すように、保持容量配線駆動回路 500 の k 段目 (k は 1 以上 n 以下の整数) の単位回路 51 には、シフトレジスタ 10 の ($k+1$) 段目の単位回路 11 の出力信号 $SROUT(k+1)$ が入力され、当該 k 段目の単位回路 51 は、出力信号 $CSOUTk$ を保持容量配線 $CSLk$ に出力する。このように、保持容量配線駆動回路 500 は、シフトレジスタ 10 のシフト動作に従って、出力信号 $CSOUT1 \sim CSOUTn$ を、保持容量配線 $CSL1 \sim CSLn$ に順に出力する。

[0221] シフトレジスタ 10 は周知の構成を適用することができる。よって、シフトレジスタ 10 の詳細な説明は省略し、以下では、保持容量配線駆動回路 500 の詳細な構成について説明する。

[0222] (実施例 1)

図 41 は、実施例 1 に係る保持容量配線駆動回路 500 に含まれる単位回路 51 の回路図である。単位回路 51 (保持回路) は、ラッチスルー回路 51a およびバッファ 51b を含んで構成される。ラッチスルー回路 51a は、インバータ $INV1$ 、 $INV2$ 、アナログスイッチ回路 $SW1b$ により構

成され、バッファ51bは、2つのトランジスタにより構成される。インバータINV1には、抵抗R1、R2が設けられている。以下、インバータINV2において、インバータINV1の出力とインバータINV2の入力との接続点をノードN1とし、インバータINV1の入力とインバータINV2の出力との接続点をノードN2とする。

[0223] アナログスイッチ回路SW1bは、Nチャネル型トランジスタT1（第1トランジスタ）とトランジスタT9と容量C1とで構成され、トランジスタT9のゲート端子に電源電圧Vddが与えられ、ソース端子が入力端子INsに接続され、ドレイン端子がトランジスタT1のゲート端子に接続されている。また、容量C1は、トランジスタT1のゲート端子及びドレイン端子の間に設けられている。なお、容量C1とトランジスタT1のゲート端子との接続点をノードN3とする。トランジスタT1のソース端子は入力端子INcに接続され、入力端子INsにはシフトレジスタ10の単位回路11の出力信号SROUTが供給され、入力端子INcには極性信号CMIZが供給される。

[0224] インバータINV2は、Pチャネル型トランジスタT3（第4トランジスタ）とNチャネル型トランジスタT4（第5トランジスタ）で構成され、インバータINV2の入力端子（トランジスタT3のゲート端子と、トランジスタT4のゲート端子との接続点（ノードN1））は、アナログスイッチ回路SW1bの出力端子（トランジスタT1のドレイン端子）に接続されている。トランジスタT3のソース端子には電源電圧Vddが与えられ、トランジスタT3のドレイン端子はインバータINV2の出力端子（トランジスタT3のドレイン端子と、トランジスタT4のドレイン端子との接続点（ノードN2））に接続され、トランジスタT4のソース端子には電源電圧Vssが与えられ、トランジスタT4のドレイン端子はインバータINV2の出力端子（ノードN2）に接続されている。ノードN2は、ラッチスルー回路51aの出力端子out、及びインバータINV1の入力端子（トランジスタT5、T6のゲート端子）に接続されている。

[0225] インバータ $INV1$ は、Pチャネル型トランジスタ $T5$ （第2トランジスタ）とNチャネル型トランジスタ $T6$ （第3トランジスタ）と抵抗 $R1$ 、 $R2$ とで構成されるとともに、初期化用端子（ $INITB$ 端子）が設けられている。インバータ $INV1$ の入力端子（トランジスタ $T5$ 、 $T6$ のゲート端子）は、インバータ $INV2$ の出力端子（ノード $N2$ ）に接続されている。トランジスタ $T5$ のソース端子には抵抗 $R2$ を介して初期化用信号 $INITB$ が入力され、トランジスタ $T5$ のドレイン端子は、インバータ $INV1$ の出力端子（トランジスタ $T5$ のドレイン端子と、トランジスタ $T6$ のドレイン端子との接続点）に接続され、トランジスタ $T6$ のソース端子には抵抗 $R1$ を介して電源電圧 V_{ss} が与えられ、トランジスタ $T6$ のドレイン端子はインバータ $INV1$ の出力端子に接続されている。インバータ $INV1$ の出力端子は、インバータ $INV2$ の入力端子（ノード $N1$ ）に接続されている。ラッチスルー回路 $51a$ の出力端子 out は、バッファ $51b$ の入力端子 in に接続されている。

[0226] バッファ $51b$ は、Pチャネル型トランジスタ $T7$ とNチャネル型トランジスタ $T8$ で構成され、トランジスタ $T7$ 、 $T8$ のゲート端子は入力端子 in に接続され、トランジスタ $T7$ のソース端子には電源電圧 V_{csh} が与えられ、トランジスタ $T7$ のドレイン端子は単位回路 51 の出力端子 OUT に接続され、トランジスタ $T8$ のソース端子には電源電圧 V_{csl} が与えられ、トランジスタ $T8$ のドレイン端子は単位回路 51 の出力端子 OUT に接続されている。

[0227] これにより、 k 段目の単位回路 51 の入力端子 INs には、シフトレジスタ 10 の $(k+1)$ 段目の単位回路 11 の出力信号 $SROUT(k+1)$ が入力され、 k 段目の単位回路 51 の出力端子 OUT から、 k 行目の保持容量配線 $CSLk$ に出力信号 $CSOUTk$ が出力される。

[0228] 上記構成の単位回路 51 を含む保持容量配線駆動回路 500 は、1フレームごとにハイレベル（ V_{csh} ）及びローレベル（ V_{csl} ）が切り替わる出力信号 $CSOUT1 \sim CSOUTn$ を1つずつ順に出力する動作を行う。

以下、クロック信号 $CK1$ 、 $CK2$ を含め、保持容量配線駆動回路500の内部の信号と入出力信号の電位は、特に断わらない限り、ハイレベルのときには V_{dd} 、ローレベルのときには V_{ss} であるとする。また、初期化用信号 $INITB$ は、通常動作時にハイレベル(V_{dd})になり、初期化時にローレベル(V_{ss})になる信号である。また、極性信号 $CMIZ$ についても、以下では、ハイレベルのときは V_{dd} 、ローレベルのときは V_{ss} とする。ただし、極性信号 $CMIZ$ の電位レベルはこれに限定されず、「ハイレベル」はインバータ $INV2$ の反転電位よりも高ければよく、「ローレベル」はインバータ $INV2$ の反転電位よりも低ければよい。

[0229] (動作について)

保持容量配線駆動回路500の動作について図42及び図43を用いて説明する。図42は、保持容量配線駆動回路500の動作時のタイミングチャートであり、図43は、保持容量配線駆動回路500の動作時のタイミングチャートを模式的に示した図である。図42では、 $(k-1)$ 段目の単位回路51、 k 段目の単位回路51、 $(k+1)$ 段目の単位回路51における入出力信号、及び、各段に対応する画素 P の電位を示している。

[0230] $CK1$ は、奇数段目の単位回路51の CK 端子に与えられるクロック信号であり、 $CK2$ は、偶数段目の単位回路51の CK 端子に与えられるクロック信号である。 $CMIZ$ は、通常動作時は、 $CM I$ と同じように1水平走査期間(1H)ごとに極性が反転するが、初期化時にはローレベルになる信号(極性信号)である。 $SR(k-1)$ 、 SRk 、 $SR(k+1)$ 、 $SR(k+2)$ は、それぞれ、シフトレジスタ10の $(k-1)$ 段目の単位回路11、 k 段目の単位回路11、 $(k+1)$ 段目の単位回路11、 $(k+2)$ 段目の単位回路11の出力信号 $SROUT(k-1)$ 、 $SROUTk$ 、 $SROUT(k+1)$ 、 $SROUT(k+2)$ の電位を示している。 $N1$ 、 $N2$ はそれぞれ、図41に示すノード $N1$ 、ノード $N2$ の電位を示している。 $CS(k-1)$ 、 CSk 、 $CS(k+1)$ はそれぞれ、保持容量配線駆動回路500の $(k-1)$ 段目の単位回路51、 k 段目の単位回路51、 $(k+1)$ 段目

の単位回路51の出力信号CSOUT(k-1)、CSOUTk、CSOUT(k+1)を示している。Sは、データ信号を示し、同一行の全ての画素について極性が同一であり、かつ、1行(1水平走査期間)ごとに極性が逆転した波形となる(1ライン(1H)反転駆動)。なお、出力信号SROUTkが出力されてから次の出力信号SROUTk+1が出力されるまでの期間が1垂直走査期間(1フレーム:1V)に相当する。また、図42では、任意の連続するフレームF(t)、F(t+1)、F(t+2)について示している。なお、初期化用信号INITBはハイレベル(Vdd)である。

[0231] まず、k段目の画素Pk(走査信号線GLkに接続された画素群の1画素)及び単位回路51におけるフレームF(t)、F(t+1)の動作について説明する。

[0232] 初めに、フレームF(t)において、シフトレジスタ10のk段目の単位回路11の出力信号SROUTkがハイレベル(アクティブ)になると、走査信号線GLkがアクティブになり、画素Pkにデータ信号S(マイナス極性)が書き込まれる。次に、シフトレジスタ10の(k+1)段目の単位回路11の出力信号SROUT(k+1)がハイレベル(アクティブ)になると、k段目の単位回路51の入力端子INsに出力信号SROUT(k+1)(ハイレベル)が入力されると、極性信号CMIZ(ローレベル; Vss)がラッチスルー回路51aに取り込まれる。

[0233] ここで、出力信号SROUT(k+1)がハイレベル(アクティブ)になる直前ではノードN1の電位がVdd(ハイレベル)に保持されており、トランジスタT5がオン状態になっているため、出力信号SROUT(k+1)がハイレベル(アクティブ)になると、極性信号CMIZのVss(ローレベル)と、INITB端子(ハイレベル)とが短絡することになる。この点、INITB端子とノードN1との間に抵抗R2が設けられているため、ノードN1の電位は、極性信号CMIZ側へ引き込まれ、極性信号CMIZのVss(ローレベル)に近い電位(インバータINV2の反転電位よりも低い電位)まで低下する(図43参照)。

[0234] その後、トランジスタT3がオン状態になり、インバータINV2の出力（ノードN2；V_{dd}（ハイレベル））がインバータINV1の入力にフィードバックされることにより、トランジスタT5がオフ状態になり、トランジスタT6がオン状態になる。これにより、ノードN1の電位は、極性信号CMIZのV_{ss}に近い電位からさらにV_{ss}まで低下する（図43参照）。

[0235] ノードN1の電位が、V_{ss}（ローレベル）近くまたはV_{ss}（ローレベル）になることによりインバータINV2のトランジスタT3がオン状態になり、トランジスタT4がオフ状態になる。トランジスタT3がオン状態になることにより、ノードN2の電位がV_{dd}（ハイレベル）になり、ラッチスルー回路51aからV_{dd}（ハイレベル）が出力される。そして、V_{dd}（ハイレベル）が入力されたバッファ51bでは、トランジスタT7がオフ状態になり、トランジスタT8がオン状態になることにより、バッファ51bからV_{cs1}が出力され、k行目の保持容量配線CSL_kに供給される。ここで、出力信号SROUT（k+1）がハイレベル（アクティブ）になる直前では、ノードN1の電位がV_{dd}（ハイレベル）に保持されているため、k行目の保持容量配線CSL_kの電位はV_{cs_h}である。よって、k行目の保持容量配線CSL_kの電位が、V_{cs_h}からV_{cs1}に変化することにより、フローティング状態にある画素P_kの電位が突き下げられる（電位シフト）。

[0236] 続いて、シフトレジスタ10の出力信号SROUT（k+1）がハイレベル（アクティブ）からローレベル（非アクティブ）になると、トランジスタT1がオフ状態になり、極性信号CMIZの入力が遮断され、ノードN1は、インバータINV1、INV2によるラッチ動作により直前に保持した電位（V_{ss}（ローレベル））を保持し、フレームF（t+1）において出力信号SROUT（k+1）がハイレベル（アクティブ）になるまで、バッファ51bからV_{cs1}が出力され、k行目の保持容量配線CSL_kに供給され続け、画素P_kの電位は、突き下げ（シフト）後の電位が保持される。

[0237] 次にフレーム $F(t+1)$ において、シフトレジスタ 10 の k 段目の単位回路 11 の出力信号 $SROUT_k$ がハイレベル（アクティブ）になると、走査信号線 GL_k がアクティブになり、画素 P_k にデータ信号 S （プラス極性）が書き込まれる。次に、シフトレジスタ 10 の $(k+1)$ 段目の単位回路 11 の出力信号 $SROUT(k+1)$ がハイレベル（アクティブ）になると、ノード $N3$ の電位が $V_{dd} - V_{th}$ にチャージされた後、トランジスタ $T9$ はオフ状態になる。ノード $N1$ では、出力信号 $SROUT(k+1)$ （ハイレベル）によりトランジスタ $T1$ がオン状態になり、極性信号 $CMIZ$ の V_{dd} （ハイレベル）が入力され、 V_{ss} （ローレベル）から V_{dd} （ハイレベル）に上がり始める。すると、ノード $N1$ の電位変動により、容量 $C1$ を介してノード $N3$ の電位が $V_{dd} - V_{th} + \alpha$ に突き上げられる。これにより、極性信号 $CMIZ(V_{dd})$ が閾値 (V_{th}) 落ちせずに入力され、ノード $N1$ の電位が V_{dd} になる（ブートストラップ動作）。

[0238] ここで、出力信号 $SROUT(k+1)$ がハイレベル（アクティブ）になる直前（フレーム $F(t)$ ）ではノード $N1$ の電位が V_{ss} （ローレベル）に保持されており、トランジスタ $T6$ がオン状態になっているため、出力信号 $SROUT(k+1)$ がハイレベル（アクティブ）になると、極性信号 $CMIZ$ の V_{dd} （ハイレベル）と、電源 V_{SS} （ローレベル）とが短絡することとなる。この点、電源 V_{SS} とノード $N1$ との間に抵抗 $R1$ が設けられているため、ノード $N1$ の電位は、極性信号 $CMIZ$ 側へ引き込まれ、極性信号 $CMIZ$ の V_{dd} （ハイレベル）に近い電位（インバータ $INV2$ の反転電位よりも低い電位）まで上昇する（図 43 参照）。

[0239] その後、インバータ $INV2$ の出力（ノード $N2$; V_{ss} （ローレベル））がインバータ $INV1$ の入力にフィードバックされることにより、トランジスタ $T5$ がオン状態になり、トランジスタ $T6$ がオフ状態になる。これにより、ノード $N1$ の電位は、極性信号 $CMIZ$ の V_{dd} に近い電位からさらに V_{dd} まで上昇する（図 43 参照）。

[0240] ノード $N1$ の電位が、 V_{dd} （ハイレベル）近くまたは V_{dd} （ハイレベ

ル) になることによりインバータ $INV2$ のトランジスタ $T4$ がオン状態になり、トランジスタ $T3$ がオフ状態になる。トランジスタ $T4$ がオン状態になることにより、ノード $N2$ の電位が V_{ss} (ローレベル) になり、ラッチスルー回路 $51a$ から V_{ss} (ローレベル) が出力される。そして、 V_{ss} (ローレベル) が入力されたバッファ $51b$ では、トランジスタ $T8$ がオフ状態になり、トランジスタ $T7$ がオン状態になることにより、バッファ $51b$ から V_{csh} が出力され、 k 行目の保持容量配線 $CSLk$ に供給される。ここで、出力信号 $SROUT(k+1)$ がハイレベル (アクティブ) になる直前 (フレーム $F(t)$) では、ノード $N1$ の電位が V_{ss} (ローレベル) に保持されているため、 k 行目の保持容量配線 $CSLk$ の電位は V_{csi} である。よって、 k 行目の保持容量配線 $CSLk$ の電位が、 V_{csi} から V_{csh} に変化することにより、フローティング状態にある画素 Pk の電位が突き上げられる (電位シフト)。

[0241] 続いて、シフトレジスタ 10 の出力信号 $SROUT(k+1)$ がハイレベル (アクティブ) からローレベル (非アクティブ) になると、アナログスイッチ回路 $SW1$ がオフ状態になり、極性信号 $CMIZ$ の入力遮断され、ノード $N1$ は、インバータ $INV1$ 、 $INV2$ によるラッチ動作により直前に保持した電位 (V_{dd} (ハイレベル)) を保持し、フレーム $F(t+2)$ において出力信号 $SROUT(k+1)$ がハイレベル (アクティブ) になるまで、バッファ $51b$ から V_{csh} が出力され、 k 行目の保持容量配線 $CSLk$ に供給され続け、画素 Pk の電位は、突き上げ (シフト) 後の電位が保持される。フレーム $F(t+2)$ 以降は、上記フレーム $F(t)$ 、 $F(t+1)$ の動作を繰り返す。

[0242] 次に、 $(k+1)$ 段目の画素 Pk 及び単位回路 51 におけるフレーム $F(t)$ 、 $F(t+1)$ の動作について説明する。

[0243] 初めに、フレーム $F(t)$ において、シフトレジスタ 10 の $(k+1)$ 段目の単位回路 11 の出力信号 $SROUT(k+1)$ がハイレベル (アクティブ) になると、走査信号線 $GL(k+1)$ がアクティブになり、画素 $P(k$

+1) にデータ信号 S (プラス極性) が書き込まれる。次に、シフトレジスタ 10 の (k+2) 段目の単位回路 11 の出力信号 SROUT (k+2) がハイレベル (アクティブ) になると、(k+1) 段目の単位回路 51 の入力端子 INs に出力信号 SROUT (k+2) (ハイレベル) が入力され、ノード N3 の電位が $V_{dd} - V_{th}$ にチャージされた後、トランジスタ T9 はオフ状態になる。ノード N1 では、出力信号 SROUT (k+2) (ハイレベル) によりトランジスタ T1 がオン状態になり、極性信号 CMIZ の V_{dd} (ハイレベル) が入力され、 V_{ss} (ローレベル) から V_{dd} (ハイレベル) に上がり始める。すると、ノード N1 の電位変動により、容量 C1 を介してノード N3 の電位が $V_{dd} - V_{th} + \alpha$ に突き上げられる。これにより、極性信号 CMIZ (V_{dd}) が閾値 (V_{th}) 落ちせずに入力され、ノード N1 の電位が V_{dd} になる (ブートストラップ動作)。

[0244] ここで、出力信号 SROUT (k+2) がハイレベル (アクティブ) になる直前ではノード N1 の電位が V_{ss} (ローレベル) に保持されており、トランジスタ T6 がオン状態になっているため、出力信号 SROUT (k+2) がハイレベル (アクティブ) になると、極性信号 CMIZ の V_{dd} (ハイレベル) と、電源 VSS (ローレベル) とが短絡することとなる。この点、電源 VSS とノード N1 との間に抵抗 R1 が設けられているため、ノード N1 の電位は、極性信号 CMIZ 側へ引き込まれ、極性信号 CMIZ の V_{dd} (ハイレベル) に近い電位 (インバータ INV2 の反転電位よりも低い電位) まで上昇する。

[0245] その後、トランジスタ T4 がオン状態になり、インバータ INV2 の出力 (ノード N2 ; V_{ss} (ローレベル)) がインバータ INV1 の入力にフィードバックされることにより、トランジスタ T5 がオン状態になり、トランジスタ T6 がオフ状態になる。これにより、ノード N1 の電位は、極性信号 CMIZ の V_{dd} に近い電位からさらに V_{dd} まで上昇する。

[0246] ノード N1 の電位が、 V_{dd} (ハイレベル) 近くまたは V_{dd} (ハイレベル) になることによりインバータ INV2 のトランジスタ T4 がオン状態に

なり、トランジスタT3がオフ状態になる。トランジスタT4がオン状態になることにより、ノードN2の電位が V_{ss} （ローレベル）になり、ラッチスルー回路51aから V_{ss} （ローレベル）が出力される。そして、 V_{ss} （ローレベル）が入力されたバッファ51bでは、トランジスタT8がオフ状態になり、トランジスタT7がオン状態になることにより、バッファ51bから V_{csh} が出力され、 $(k+1)$ 行目の保持容量配線CSL $(k+1)$ に供給される。ここで、出力信号SROUT $(k+2)$ がハイレベル（アクティブ）になる直前（フレームF (t) ）では、ノードN1の電位が V_{ss} （ローレベル）に保持されているため、 $(k+1)$ 行目の保持容量配線CSL $(k+1)$ の電位は V_{csi} である。よって、 $(k+1)$ 行目の保持容量配線CSL $(k+1)$ の電位が、 V_{csi} から V_{csh} に変化することにより、フローティング状態にある画素P $(k+1)$ の電位が突き上げられる（電位シフト）。

[0247] 続いて、シフトレジスタ10の出力信号SROUT $(k+2)$ がハイレベル（アクティブ）からローレベル（非アクティブ）になると、アナログスイッチ回路SW1がオフ状態になり、極性信号CMIZの入力が遮断され、ノードN1は、インバータINV1、INV2によるラッチ動作により直前に保持した電位（ V_{dd} （ハイレベル））を保持し、フレームF $(t+1)$ において出力信号SROUT $(k+2)$ がハイレベル（アクティブ）になるまで、バッファ51bから V_{csh} が出力され、 $(k+1)$ 行目の保持容量配線CSL $(k+1)$ に供給され続け、画素P $(k+1)$ の電位は、突き上げ（シフト）後の電位が保持される。

[0248] 次にフレームF $(t+1)$ において、シフトレジスタ10の $(k+1)$ 段目の単位回路11の出力信号SROUT $(k+1)$ がハイレベル（アクティブ）になると、走査信号線GL $(k+1)$ がアクティブになり、画素P $(k+1)$ にデータ信号S（マイナス極性）が書き込まれる。次に、シフトレジスタ10の $(k+2)$ 段目の単位回路11の出力信号SROUT $(k+2)$ がハイレベル（アクティブ）になると、極性信号CMIZ（ローレベル；V

s s) がラッチスルー回路 5 1 a に取り込まれる。

[0249] ここで、出力信号 S R O U T (k + 2) がハイレベル (アクティブ) になる直前 (フレーム F (t)) ではノード N 1 の電位が V d d (ハイレベル) に保持されており、トランジスタ T 5 がオン状態になっているため、出力信号 S R O U T (k + 2) がハイレベル (アクティブ) になると、極性信号 C M I Z の V s s (ローレベル) と、電源 V D D (ハイレベル) とが短絡することとなる。この点、 I N I T B 端子とノード N 1 との間に抵抗 R 2 が設けられているため、ノード N 1 の電位は、極性信号 C M I Z 側へ引き込まれ、極性信号 C M I Z の V s s (ローレベル) に近い電位 (インバータ I N V 2 の反転電位よりも低い電位) まで低下する。

[0250] その後、トランジスタ T 3 がオン状態になり、インバータ I N V 2 の出力 (ノード N 2 ; V d d (ハイレベル)) がインバータ I N V 1 の入力にフィードバックされることにより、トランジスタ T 5 がオフ状態になり、トランジスタ T 6 がオン状態になる。これにより、ノード N 1 の電位は、極性信号 C M I Z の V s s に近い電位からさらに V s s に低下する。

[0251] ノード N 1 の電位が、 V s s (ローレベル) 近くまたは V s s (ローレベル) になることによりインバータ I N V 2 のトランジスタ T 3 がオン状態になり、トランジスタ T 4 がオフ状態になる。トランジスタ T 3 がオン状態になることにより、ノード N 2 の電位が V d d (ハイレベル) になり、ラッチスルー回路 5 1 a から V d d (ハイレベル) が出力される。そして、 V d d (ハイレベル) が入力されたバッファ 5 1 b では、トランジスタ T 7 がオフ状態になり、トランジスタ T 8 がオン状態になることにより、バッファ 5 1 b から V c s l が出力され、 (k + 1) 行目の保持容量配線 C S L k に供給される。ここで、出力信号 S R O U T (k + 2) がハイレベル (アクティブ) になる直前では、ノード N 1 の電位が V d d (ハイレベル) に保持されているため、 (k + 1) 行目の保持容量配線 C S L (k + 1) の電位は V c s h である。よって、 (k + 1) 行目の保持容量配線 C S L (k + 1) の電位が、 V c s h から V c s l に変化することにより、フローティング状態にあ

る画素 $P(k+1)$ の電位が突き下げられる（電位シフト）。

[0252] 続いて、シフトレジスタ10の出力信号 $SROUT(k+2)$ がハイレベル（アクティブ）からローレベル（非アクティブ）になると、アナログスイッチ回路 $SW1$ がオフ状態になり、極性信号 $CMIZ$ の入力が遮断され、ノード $N1$ は、インバータ $INV1$ 、 $INV2$ によるラッチ動作により直前に保持した電位（ V_{ss} （ローレベル））を保持し、フレーム $F(t+2)$ において出力信号 $SROUT(k+2)$ がハイレベル（アクティブ）になるまで、バッファ51bから V_{cs1} が出力され、 $(k+1)$ 行目の保持容量配線 $CSL(k+1)$ に供給され続け、画素 $P(k+1)$ の電位は、突き下げ（シフト）後の電位が保持される。フレーム $F(t+2)$ 以降は、上記フレーム $F(t)$ 、 $F(t+1)$ の動作を繰り返す。

[0253] 本実施例1の単位回路51によれば、保持容量配線駆動回路500の回路規模を縮小化することができるため、液晶表示装置の更なる狭額縁化を実現することができる。また、回路規模の縮小化に伴う動作不具合が生じることもない。

[0254] なお、初期化時（ $INITB$ ：ローレベル）には、実施の形態1に示した共通電極駆動回路200を構成する単位回路27（実施例13）と同一の動作を行う。

[0255] （変形例）

本実施の形態2に係る保持容量配線駆動回路500を構成する単位回路51の回路構成は、バッファ51bの電源 V_{CSH} 、 V_{CSL} を除いて、実施の形態1に示した共通電極駆動回路200を構成する単位回路33と同一である。すなわち、保持容量配線駆動回路500を構成する単位回路は、実施の形態1に示した共通電極駆動回路200を構成する各単位回路（単位回路21～41）と同じ回路構成とすることができる。保持容量配線駆動回路500の各単位回路の動作は、共通電極駆動回路200の各単位回路と同一である。

[0256] ここで、共通電極駆動回路200の各単位回路21～40では、自段（例

例えば k 段)に、シフトレジスタ10の前段($(k-1)$ 段)の単位回路の出力 $SROUT(k-1)$ が入力される構成(例えば図3参照)であるが、本発明はこれに限定されず、 $(k-1)$ 段よりも前段(例えば、 $(k-2)$ 段、あるいは、 $(k-3)$ 段)の単位回路の出力($SROUT(k-2)$ 、あるいは、 $SROUT(k-3)$)が入力される構成とすることもできる。一方、保持容量配線駆動回路500の各単位回路では、自段(例えば k 段)に、シフトレジスタ10の次段($(k+1)$ 段)の単位回路の出力 $SROUT(k+1)$ が入力される構成(図41参照)であるが、本発明はこれに限定されず、 $(k+1)$ 段よりも後段(例えば、 $(k+2)$ 段、あるいは、 $(k+3)$ 段)の単位回路の出力($SROUT(k+2)$ 、あるいは、 $SROUT(k+3)$)が入力される構成とすることもできる。

[0257] (実施例2)

ここで、保持容量配線駆動回路500の上記各単位回路では、シフトレジスタ10の次段($(k+1)$ 段)の単位回路11(例えば図3)の出力 $SROUT(k+1)$ が入力される構成であるが、さらに、シフトレジスタ10の自段(k 段)の単位回路11(図3)の出力 $SROUTk$ が入力される構成としても良い。図44は、実施の形態3に係る液晶表示装置3の変形例の概略構成を示すブロック図であり、図45は、保持容量配線駆動回路500に含まれる単位回路52の回路図である。図44及び図45に示すように、 k 段目の単位回路52の入力端子 $INs1$ に、 k 段目の出力 $SROUTk$ が入力され、入力端子 $INs2$ に、 $(k+1)$ 段目の出力 $SROUT(k+1)$ が入力される。

[0258] 図46は、図44に係る保持容量配線駆動回路500の動作時のタイミングチャートである。ここでは、電源投入後の通常動作が開始される第1フレーム(フレームF1)及びF1に続く第2フレーム(フレームF2)を示している。なお、電源投入直後の初期化動作は後述する。

[0259] フレームF1において、シフトレジスタ10の k 段目の単位回路11の出力信号 $SROUTk$ がハイレベル(アクティブ)になると、走査信号線GL

k がアクティブになり、画素 P_k にデータ信号 S （マイナス極性）が書き込まれる。同時に、 k 段目の単位回路 52 の入力端子 $INs1$ に出力信号 $SROUT_k$ （ハイレベル）が入力され、上述のブートストラップ動作により、極性信号 $CMIZ$ （ハイレベル； Vdd ）がラッチスルー回路 51a に取り込まれる。以降の単位回路 52 の動作は図 42 と同様であり、これにより、単位回路 52 から $Vcsh$ が出力され、 k 行目の保持容量配線 CSL_k に供給される。続いて、シフトレジスタ 10 の $(k+1)$ 段目の単位回路 11 の出力信号 $SROUT(k+1)$ がハイレベル（アクティブ）になると、 k 段目の単位回路 52 の入力端子 $INs2$ に出力信号 $SROUT(k+1)$ （ハイレベル）が入力され、極性信号 $CMIZ$ （ローレベル； Vss ）がラッチスルー回路 51a に取り込まれる。これにより、単位回路 52 から $Vcsi$ が出力され、 k 行目の保持容量配線 CSL_k に供給される。ここで、 k 行目の保持容量配線 CSL_k の電位が、 $Vcsh$ から $Vcsi$ に変化することにより、フローティング状態にある画素 P_k の電位が突き下げられる（電位シフト）。

[0260] ここで、電源投入時の初期状態では、全ての保持容量配線 CSL の電位（ CS 信号）がローレベルに設定されているため、第 1 フレームでは、偶数行（あるいは奇数行）において、 CS 信号の電位シフトが適正に行われず、表示画像に横筋が発生するという問題が知られている。例えば、図 41 の構成において、 k 段目の単位回路 52 が $(k+1)$ 段目の出力信号 $SROUT(k+1)$ を取り込んで CS 信号を生成する場合、第 1 フレームでは CS 信号が常時ローレベルとなるため、マイナス極性のデータ信号が書き込まれた画素 P_k の電位をシフトさせることができない。これに対して、前後の行の画素 $P(k-1)$ 、 $P(k+1)$ では、 CS 信号がローレベルからハイレベルにシフトするため、適正に画素電位が突き上がる。これにより、横筋が発生する。

[0261] この点、図 45 の構成によれば、単位回路 52 が、さらに自段（ k 段）の出力信号 $SROUT_k$ を取り込むことで適正な CS 信号を生成することがで

きるため、全ての画素において適正に電位シフトさせることができ、第1フレームの表示品位の低下を防ぐことができる。

[0262] (初期化動作について)

次に、電源投入直後の初期化動作について説明する。初期化時に、シフトレジスタ10の全段の単位回路11の出力信号SROUTがハイレベルの場合は、以下のように動作する(図46参照)。

[0263] まず、出力信号SROUTがハイレベルになると、全段の単位回路52でトランジスタT1がオン状態になり、全段のノードN1と極性信号CMIZが接続(短絡)される。初期化直前の不定の状態では、ノードN1に保持されている電位も不定のため、極性信号CMIZに接続されるインバータINV2の出力も各段でVdd(ハイレベル)であるか、Vss(ローレベル)であるか不定の状態である。

[0264] ここで、仮にノードN1に接続される初期化用信号INITBがVddとすると、全段のノードN1に接続されている極性信号CMIZは、インバータINV1の電源VDDに接続されている段と電源VSSに接続されている段とが同時に接続されることになり、電源VDDと電源VSSが極性信号CMIZを介して短絡することにより大電流が発生し、ノードN1の電位が中間電位となるため、正常に初期化することができない。

[0265] この点、本単位回路52の構成では、初期化時には、極性信号CMIZ及び初期化用信号INITBが、ともにVss(ローレベル)になるように制御されているため、ノードN1は、必ずVss(ローレベル)になり、確実に初期化することができる。

[0266] 一方、初期化時に、シフトレジスタ10の全段の単位回路11の出力信号SROUTがローレベルの場合は、以下のように動作する(図47参照)。

[0267] 初期化前の不定の状態で、ノードN1がVdd(ハイレベル)の場合は、トランジスタT5のゲート端子はVss(ローレベル)になっており、トランジスタT5はオン状態になっている。ここで、初期化時に初期化用信号INITBはVss(ローレベル)のため、ノードN1の電位は、トランジス

タT5を介して、閾値(V_{th})落ちしたローレベル($V_{ss} + V_{th}$)になる。インバータINV1の出力が、インバータINV2に入力されることにより、インバータINV2はVddを出力する。インバータINV2の出力(ノードN2)は、インバータINV1の入力に接続されているため、インバータINV2の出力(Vdd)がインバータINV1にフィードバックされ、トランジスタT6がオン状態になる。これにより、 $V_{ss} + V_{th}$ のノードN1が、 V_{ss} (ローレベル)になるため、確実に初期化することができる。

[0268] 初期化前の不定の状態、ノードN1が V_{ss} (ローレベル)の場合は、トランジスタT5がオフ状態となっているため、初期化用信号INITBの信号はノードN1には入力されないが、既に所望の電位(V_{ss})になっているため初期化された状態と同じである。

[0269] このように、単位回路52によれば、保持容量配線駆動回路500を安定して初期化することができる。なお、上記初期化動作は、保持容量配線駆動回路500を構成する各単位回路に適用できる。

[0270] (実施例3)

図41に示した単位回路51において、上述の第1フレームの表示品位の低下を防ぐことができる構成について説明する。図48は、実施例3に係る液晶表示装置3の概略構成を示すブロック図であり、図49は、保持容量配線駆動回路500に含まれる単位回路53の回路図である。k段目の単位回路53では、入力端子INsに、シフトレジスタ10の(k+1)段目の単位回路11の内部信号 Q_k (フリップフロップ回路の出力信号 Q_k)が入力される。

[0271] 図50は、シフトレジスタ10の単位回路11の構成を示す回路図である。図50では、第(k-1)段目、第k段目、及び、第(k+1)段目の単位回路11($SR(k-1)$ 、 SR_k 、 $SR(k+1)$)の詳細を示している。

[0272] 単位回路 SR_k は、RSタイプのフリップフロップ回路RS-FFと、N

OR回路と、スイッチ回路SW1, SW2とを備えている。フリップフロップ回路RSFFの入力端子Sには、前段(第(k-1)段)の単位回路SR(k-1)の出力信号SROUT(k-1)がセット信号として入力される。NOR回路の一方の入力端子は、フリップフロップ回路RSFFの出力端子Qに接続され、他方の入力端子は、単位回路SRkの出力端子OUTに接続される。NOR回路の出力、アナログスイッチ回路SW1, SW2のゲート端子に接続される。Q端子は第k段の単位回路53の入力端子INs(図49参照)に接続される。アナログスイッチ回路SW1のソース端子には、CKが入力され、ドレイン端子がアナログスイッチ回路SW2のドレイン端子に接続され、アナログスイッチ回路SW2のソース端子には、電源VSSが入力される。スイッチ回路SW1, SW2の接続点nは、単位回路SRkの出力端子OUTに接続されるとともに、NOR回路の一方の入力端子、及び、自段(第k段)のフリップフロップ回路RSFFの入力端子Rに接続される。単位回路SRkの出力端子OUTは、次段(第(k+1)段)の入力端子Sに接続され、これにより自段(第k段)の出力信号SROUTkが、次段(第(k+1)段)の単位回路SR(k+1)のセット信号として入力される。

[0273] 上記の構成では、単位回路SRkの出力OUTが、リセット信号として、フリップフロップ回路RSFFの入力端子Rに入力されるため、単位回路SRkは自己リセット型のフリップフロップとして機能する。

[0274] 図51は、k段目の単位回路53に入力される、k段目のフリップフロップ回路RSFFの出力信号Qと、当該k段目の単位回路53から出力されるCS信号を示すタイミングチャートである。同図に示すように、Q信号を単位回路53に入力することにより、図46及び図47に示したCS信号と同様に、適正なCS信号を生成することができる。よって、全ての画素において適正に電位シフトさせることができ、第1フレームの表示品位の低下を防ぐことができる。

[0275] 本発明の実施の形態に係る表示駆動回路では、上記第1インバータの出力

端子と上記第2インバータの入力端子との接続点である第1接続点に保持される信号の電位レベルは、上記シフトレジスタの出力信号がアクティブになると、上記保持対象信号の電位レベルに近づくように変化する構成とすることもできる。

[0276] 本発明の実施の形態に係る表示駆動回路では、上記第1接続点に保持される信号の電位レベルは、さらに、上記シフトレジスタの出力信号がアクティブになり、かつ上記第2インバータの出力信号が上記第1インバータに入力されると、上記保持対象信号の電位レベルと等しくなる構成とすることもできる。

[0277] 本発明の実施の形態に係る表示駆動回路では、上記第1インバータまたは第2インバータの出力信号が、バッファを介して、上記信号線に供給される構成とすることもできる。

[0278] 本発明の実施の形態に係る表示駆動回路では、上記第1接続点と上記第1インバータの入力端子との間に設けられる、該第1インバータを構成するトランジスタは、そのチャネル長が、上記第2インバータを構成するトランジスタのチャネル長よりも大きくなるように設定されている構成とすることもできる。

[0279] 本発明の実施の形態に係る表示駆動回路では、上記第1接続点と上記第1インバータの出力端子との間に抵抗が設けられている構成とすることもできる。

[0280] 本発明の実施の形態に係る表示駆動回路では、上記保持対象信号の入力ラインの配線抵抗が、上記第1インバータ及び上記第2インバータ同士の接続ラインの配線抵抗よりも小さい構成とすることもできる。

[0281] 本発明の実施の形態に係る表示駆動回路では、

上記保持回路は、第1～第5トランジスタを含み、上記第1インバータは上記第2及び第3トランジスタを含み、上記第2インバータは上記第4及び第5トランジスタを含み、

上記第1トランジスタは、ゲート端子にシフトレジスタの1つの段の出力

信号が与えられ、ソース端子に上記保持対象信号が入力され、

上記第2及び第3トランジスタのゲート端子と、上記第4及び第5トランジスタのドレイン端子とが接続されており、

上記第2及び第3トランジスタのドレイン端子と、上記第4及び第5トランジスタのゲート端子と、上記第1トランジスタのドレイン端子とが接続されている構成とすることもできる。

[0282] 本発明の実施の形態に係る表示駆動回路では、

上記第3トランジスタのソース端子は第1抵抗を介して低電位側電源に接続され、上記第2トランジスタのソース端子は第2抵抗を介して高電位側電源に接続されており、

上記第5トランジスタのソース端子には低電位の信号が入力され、上記第4トランジスタのソース端子には高電位の信号が入力される構成とすることもできる。

[0283] 本発明の実施の形態に係る表示駆動回路では、上記第3トランジスタのドレイン端子と上記第1インバータの出力端子との間に第1抵抗が設けられ、上記第2トランジスタのドレイン端子と上記第1インバータの出力端子との間に第2抵抗が設けられている構成とすることもできる。

[0284] 本発明の実施の形態に係る表示駆動回路では、上記第2～第5トランジスタの何れか1つのソース端子に初期化用信号が入力される構成とすることもできる。

[0285] 本発明の実施の形態に係る表示駆動回路では、

画素電極と容量を形成する共通電極配線に、第1電位または第2電位の信号を供給する表示装置に用いられ、

自段の保持回路には、シフトレジスタの前段の出力信号が入力され、

上記シフトレジスタの前段の出力信号がアクティブになると、自段の保持回路が、上記保持対象信号を取り込んでこれを保持しつつ、自段の保持回路の上記第1電位または第2電位となる出力を、自段の画素の画素電極と容量を形成する上記共通電極配線に供給する構成とすることもできる。

- [0286] 本発明の実施の形態に係る表示駆動回路では、
画素電極と容量を形成する保持容量配線に、該画素電極に書き込まれた信号電位の極性に応じた変調信号を供給する表示装置に用いられ、
自段の保持回路には、シフトレジスタの後段の出力信号が入力され、
上記シフトレジスタの後段の出力信号がアクティブになると、自段の保持回路が、上記保持対象信号を取り込んでこれを保持しつつ、自段の保持回路の出力を、自段の画素の画素電極と容量を形成する保持容量配線に、上記変調信号として供給する構成とすることもできる。
- [0287] 本発明の表示パネルは、上記何れかの表示駆動回路と画素回路とがモノリシックに形成されていることを特徴とする。
- [0288] 本発明の表示装置は、上記何れかの表示駆動回路を備えていることを特徴とする。
- [0289] 本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

産業上の利用可能性

- [0290] 本発明は、表示装置の各駆動回路に好適である。

符号の説明

- [0291] 1、2、3 液晶表示装置（表示装置）
1 0 シフトレジスタ
1 1 シフトレジスタの単位回路
2 1 ～ 4 1 共通電極駆動回路の単位回路（保持回路）
5 1 ～ 5 3 保持容量配線駆動回路の単位回路（保持回路）
4 1 走査信号線（ゲートライン）
4 2 共通電極配線（コモンライン）
4 3 データ信号線（ソースライン）
4 4 T F T

4 5	画素電極
1 0 0	走査信号線駆動回路（ゲートドライバ）
2 0 0	共通電極駆動回路（COMドライバ）
3 0 0	データ信号線駆動回路（ソースドライバ）
4 0 0	表示パネル
5 0 0	保持容量配線駆動回路（CSドライバ）
T 1	トランジスタ（第1トランジスタ）
T 3	トランジスタ（第4トランジスタ）
T 4	トランジスタ（第5トランジスタ）
T 5	トランジスタ（第2トランジスタ）
T 6	トランジスタ（第3トランジスタ）
I N V 1	インバータ（第1インバータ）
I N V 2	インバータ（第2インバータ）
R 1	抵抗（第1抵抗）
R 2	抵抗（第2抵抗）

請求の範囲

- [請求項1] 画素に含まれる画素電極と容量を形成する信号線が設けられた表示パネルを駆動する表示駆動回路であって、
- 複数の走査信号線の各々に対応して設けられた複数の段を含むシフトレジスタを備え、
- 上記シフトレジスタの各段に対応して少なくとも1つの保持回路が設けられるとともに、該保持回路に保持対象信号が入力され、
- 上記シフトレジスタの1つの段の出力信号がアクティブになると、この段に対応する保持回路が、上記保持対象信号を取り込んでこれを保持しつつ、該保持回路の出力をこの段に対応する上記信号線に供給し、
- 上記保持回路は、上記保持対象信号を保持するための第1インバータ及び第2インバータを備えており、
- 上記保持対象信号は、上記シフトレジスタの出力信号がアクティブになると、上記第2インバータに入力され、上記保持回路は、上記第1インバータまたは第2インバータの出力に基づいて、上記信号線にハイレベルまたはローレベルの信号を供給し、
- 上記シフトレジスタの出力信号がアクティブのときに、上記第1インバータの入力端子と上記第2インバータの出力端子とが互いに電氣的に接続されているとともに、上記第1インバータの出力端子と上記第2インバータの入力端子とが互いに電氣的に接続されていることを特徴とする表示駆動回路。
- [請求項2] 上記第1インバータの出力端子と上記第2インバータの入力端子との接続点である第1接続点に保持される信号の電位レベルは、上記シフトレジスタの出力信号がアクティブになると、上記保持対象信号の電位レベルに近づくように変化することを特徴とする請求項1に記載の表示駆動回路。
- [請求項3] 上記第1接続点に保持される信号の電位レベルは、さらに、上記シ

フトレジスタの出力信号がアクティブになり、かつ上記第2インバータの出力信号が上記第1インバータに入力されると、上記保持対象信号の電位レベルと等しくなることを特徴とする請求項2に記載の表示駆動回路。

[請求項4] 上記第1インバータまたは第2インバータの出力信号が、バッファを介して、上記信号線に供給されることを特徴とする請求項1に記載の表示駆動回路。

[請求項5] 上記第1接続点と上記第1インバータの入力端子との間に設けられる、該第1インバータを構成するトランジスタは、そのチャネル長が、上記第2インバータを構成するトランジスタのチャネル長よりも大きくなるように設定されていることを特徴とする請求項2または3に記載の表示駆動回路。

[請求項6] 上記第1接続点と上記第1インバータの出力端子との間に抵抗が設けられていることを特徴とする請求項2または3に記載の表示駆動回路。

[請求項7] 上記保持対象信号の入力ラインの配線抵抗が、上記第1インバータ及び上記第2インバータ同士の接続ラインの配線抵抗よりも小さいことを特徴とする請求項2または3に記載の表示駆動回路。

[請求項8] 上記保持回路は、第1～第5トランジスタを含み、上記第1インバータは上記第2及び第3トランジスタを含み、上記第2インバータは上記第4及び第5トランジスタを含み、

 上記第1トランジスタは、ゲート端子にシフトレジスタの1つの段の出力信号が与えられ、ソース端子に上記保持対象信号が入力され、

 上記第2及び第3トランジスタのゲート端子と、上記第4及び第5トランジスタのドレイン端子とが接続されており、

 上記第2及び第3トランジスタのドレイン端子と、上記第4及び第5トランジスタのゲート端子と、上記第1トランジスタのドレイン端子とが接続されていることを特徴とする請求項1に記載の表示駆動回

路。

[請求項9] 上記第3トランジスタのソース端子は第1抵抗を介して低電位側電源に接続され、上記第2トランジスタのソース端子は第2抵抗を介して高電位側電源に接続されており、

 上記第5トランジスタのソース端子には低電位の信号が入力され、
 上記第4トランジスタのソース端子には高電位の信号が入力されることを特徴とする請求項8に記載の表示駆動回路。

[請求項10] 上記第3トランジスタのドレイン端子と上記第1インバータの出力端子との間に第1抵抗が設けられ、上記第2トランジスタのドレイン端子と上記第1インバータの出力端子との間に第2抵抗が設けられていることを特徴とする請求項8に記載の表示駆動回路。

[請求項11] 上記第2～第5トランジスタの何れか1つのソース端子に初期化用信号が入力されることを特徴とする請求項8～10の何れか1項に記載の表示駆動回路。

[請求項12] 画素電極と容量を形成する共通電極配線に、第1電位または第2電位の信号を供給する表示装置に用いられ、

 自段の保持回路には、シフトレジスタの前段の出力信号が入力され、

 上記シフトレジスタの前段の出力信号がアクティブになると、自段の保持回路が、上記保持対象信号を取り込んでこれを保持しつつ、自段の保持回路の上記第1電位または第2電位となる出力を、自段の画素の画素電極と容量を形成する上記共通電極配線に供給することを特徴とする請求項1に記載の表示駆動回路。

[請求項13] 画素電極と容量を形成する保持容量配線に、該画素電極に書き込まれた信号電位の極性に応じた変調信号を供給する表示装置に用いられ、

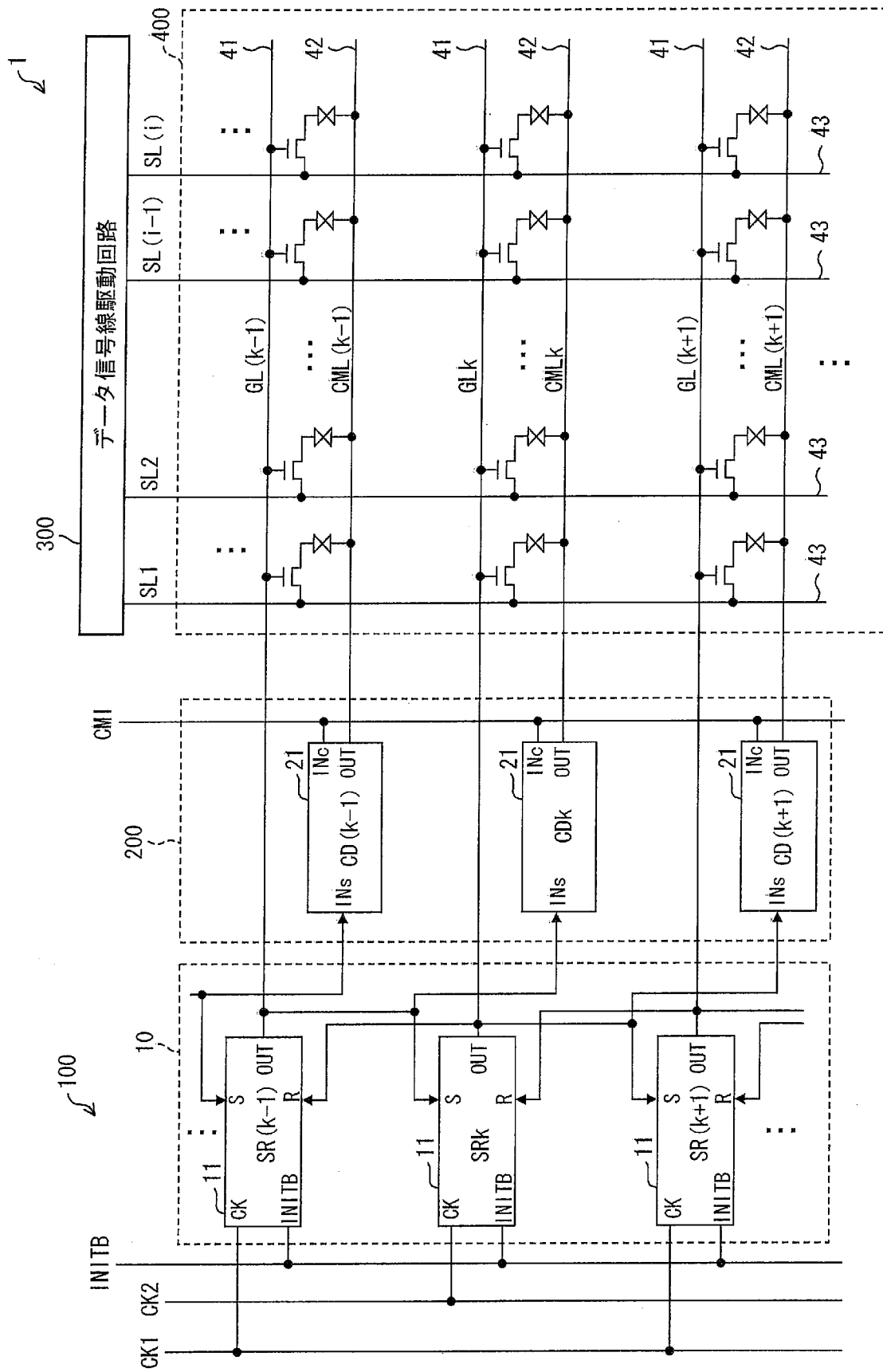
 自段の保持回路には、シフトレジスタの後段の出力信号が入力され、

上記シフトレジスタの後段の出力信号がアクティブになると、自段の保持回路が、上記保持対象信号を取り込んでこれを保持しつつ、自段の保持回路の出力を、自段の画素の画素電極と容量を形成する保持容量配線に、上記変調信号として供給することを特徴とする請求項 1 に記載の表示駆動回路。

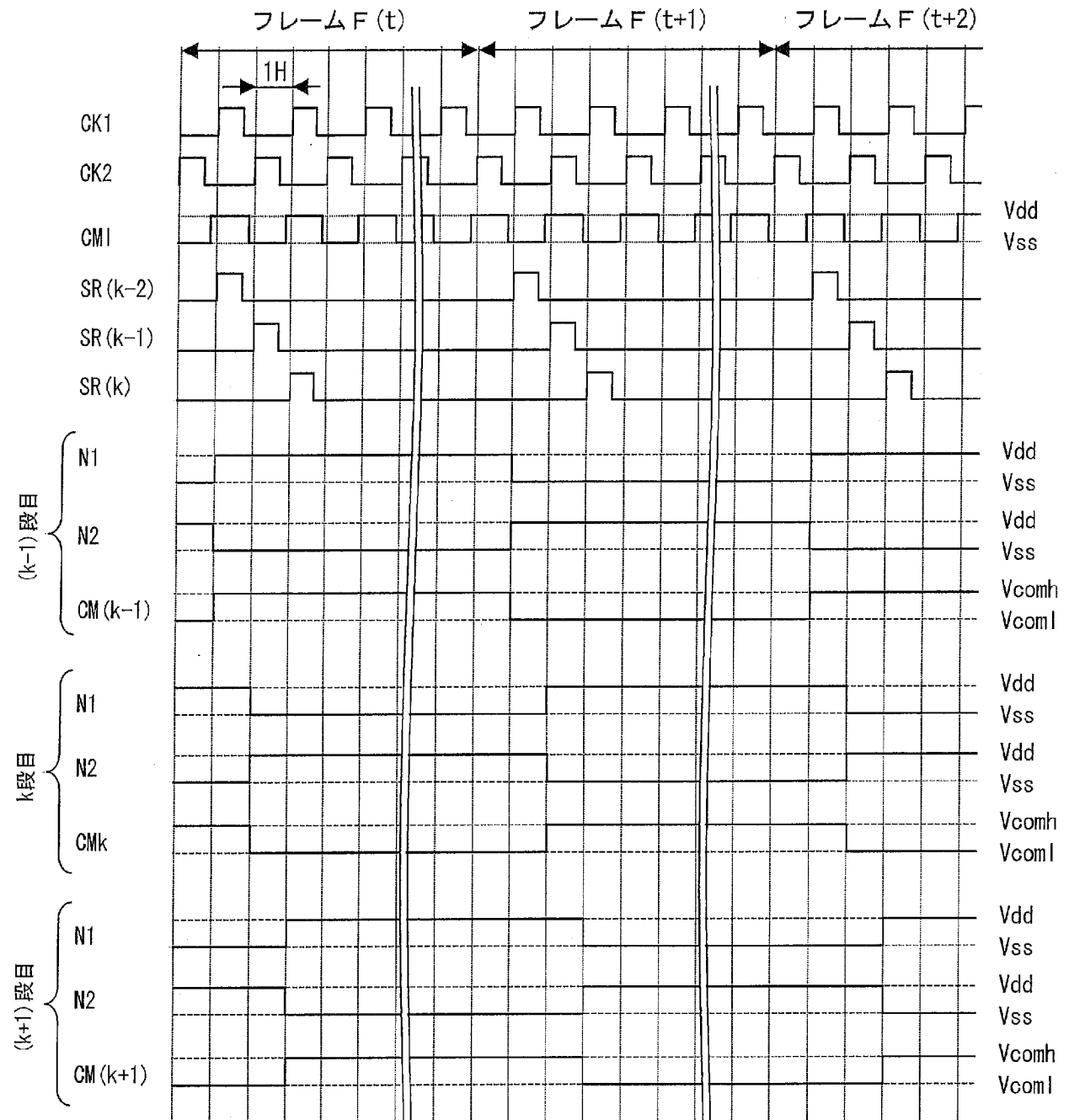
[請求項14] 請求項 1 ～ 1 3 の何れか 1 項に記載の表示駆動回路と画素回路とがモノリシックに形成されていることを特徴とする表示パネル。

[請求項15] 請求項 1 ～ 1 3 の何れか 1 項に記載の表示駆動回路を備えていることを特徴とする表示装置。

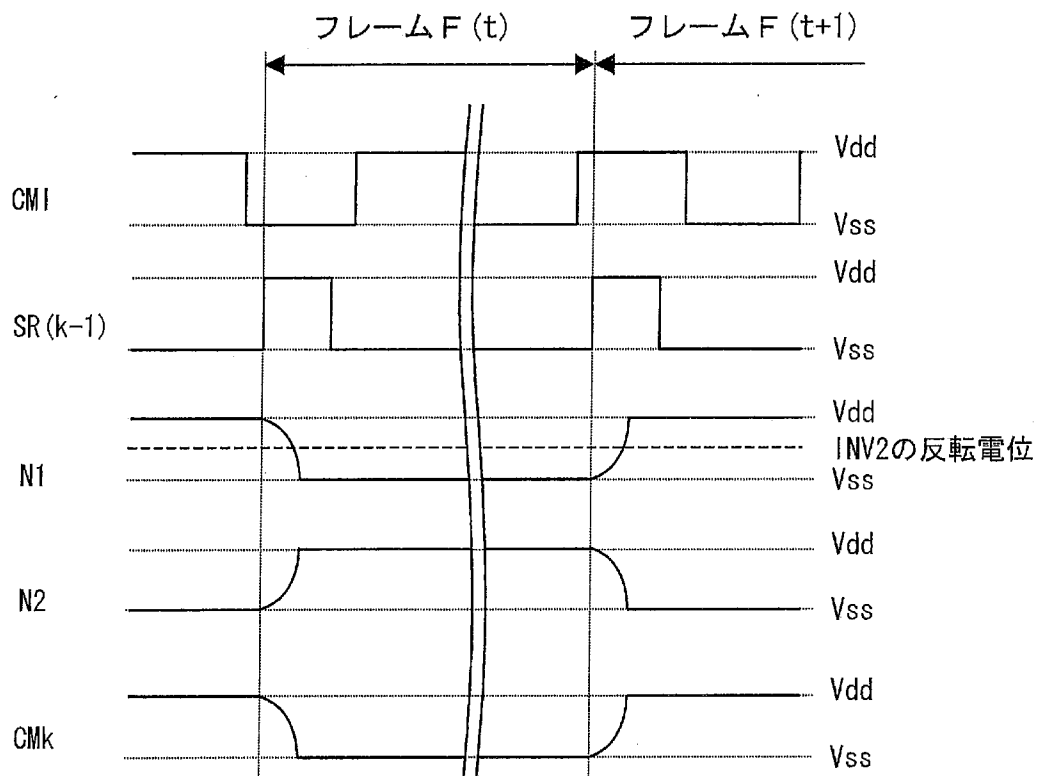
[図1]



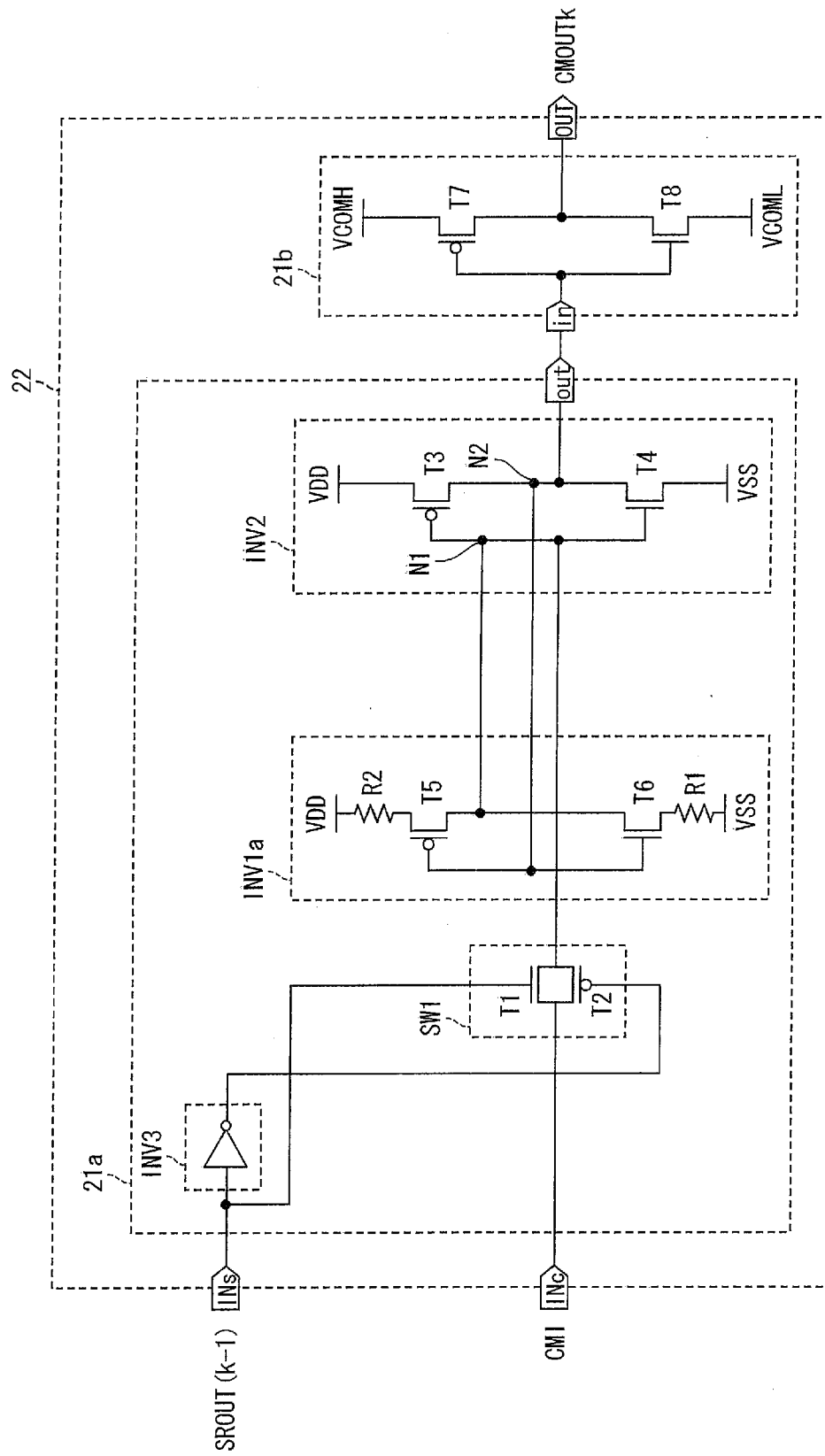
[図4]



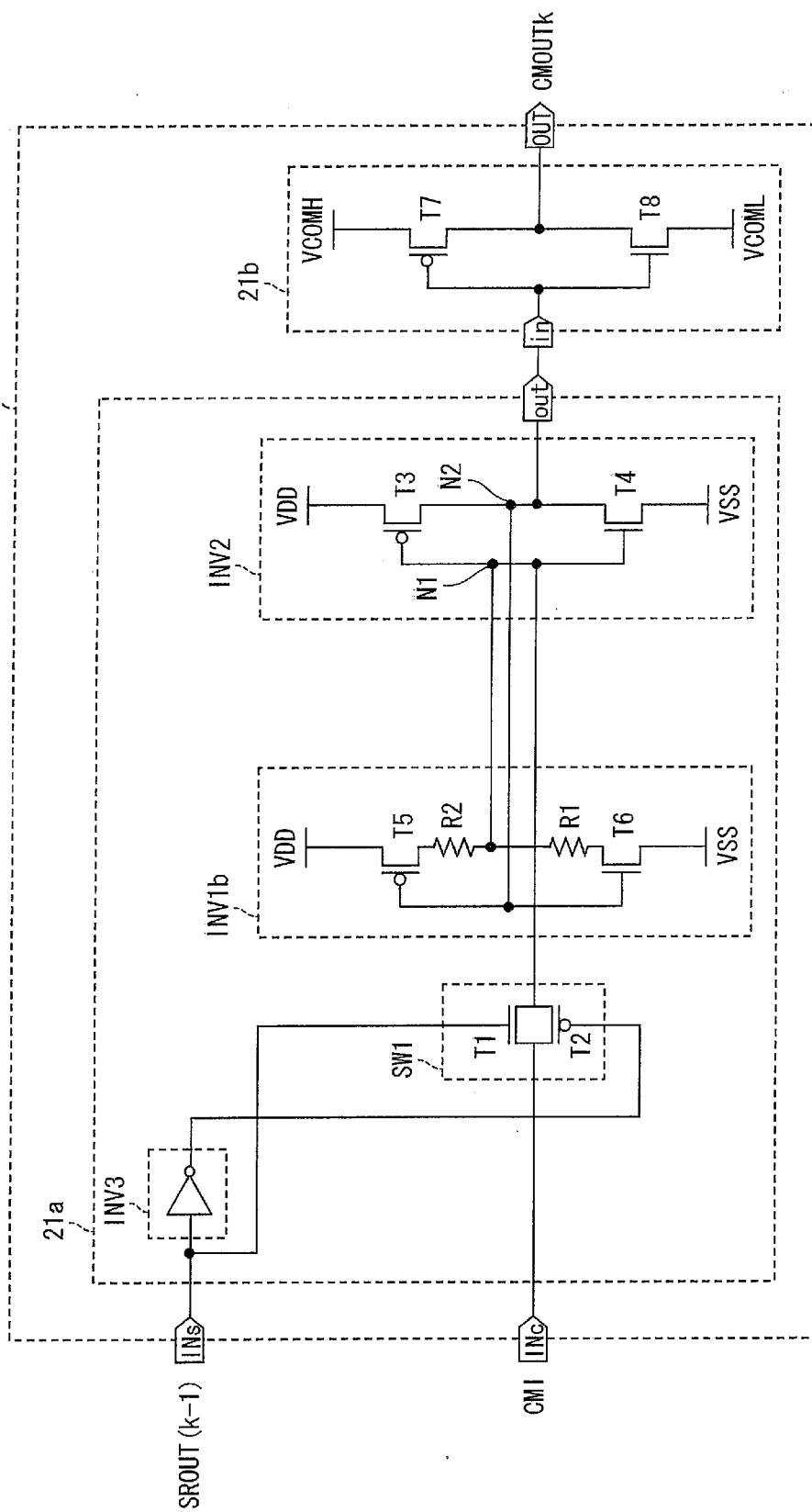
[図5]



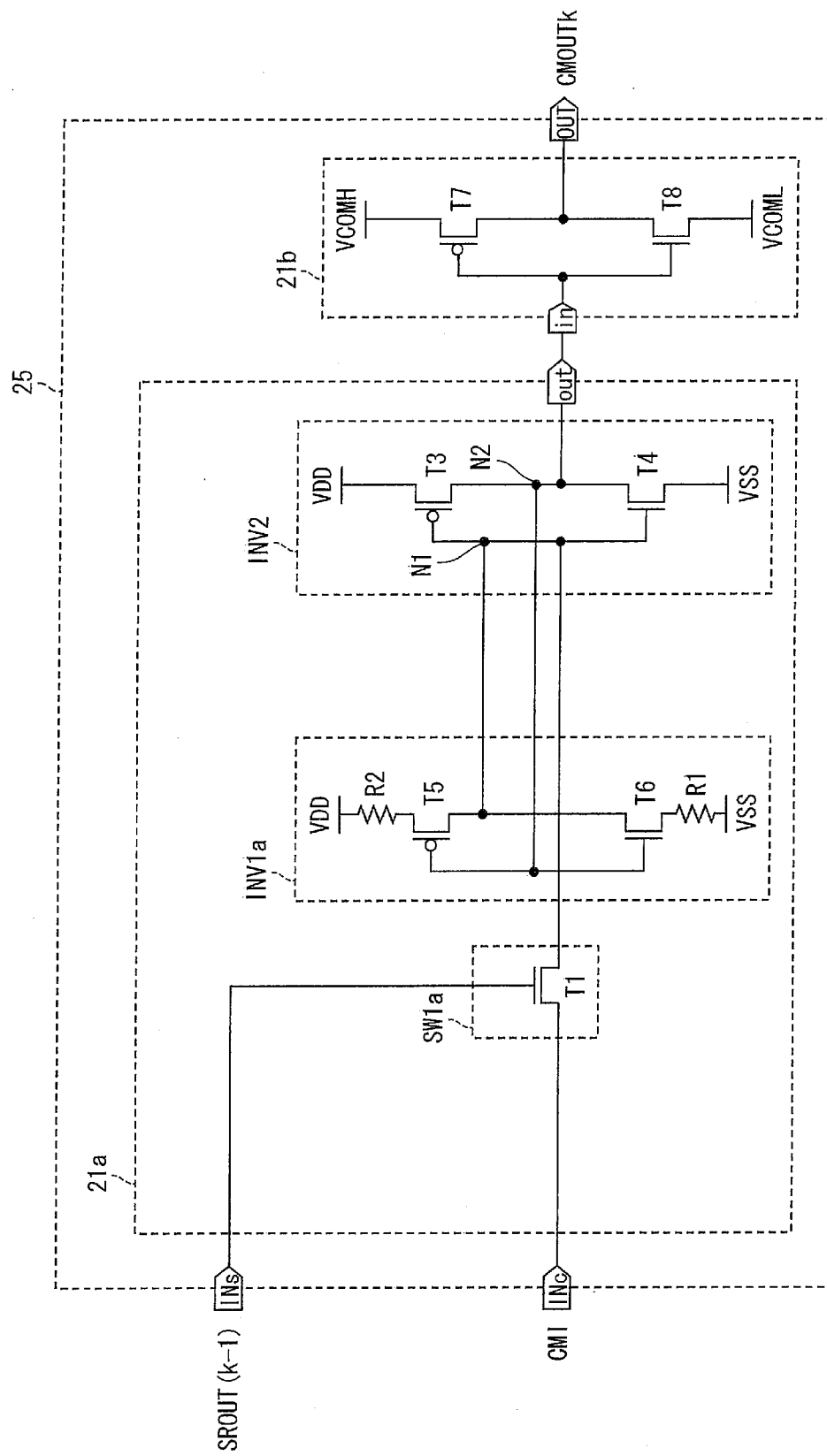
[図6]



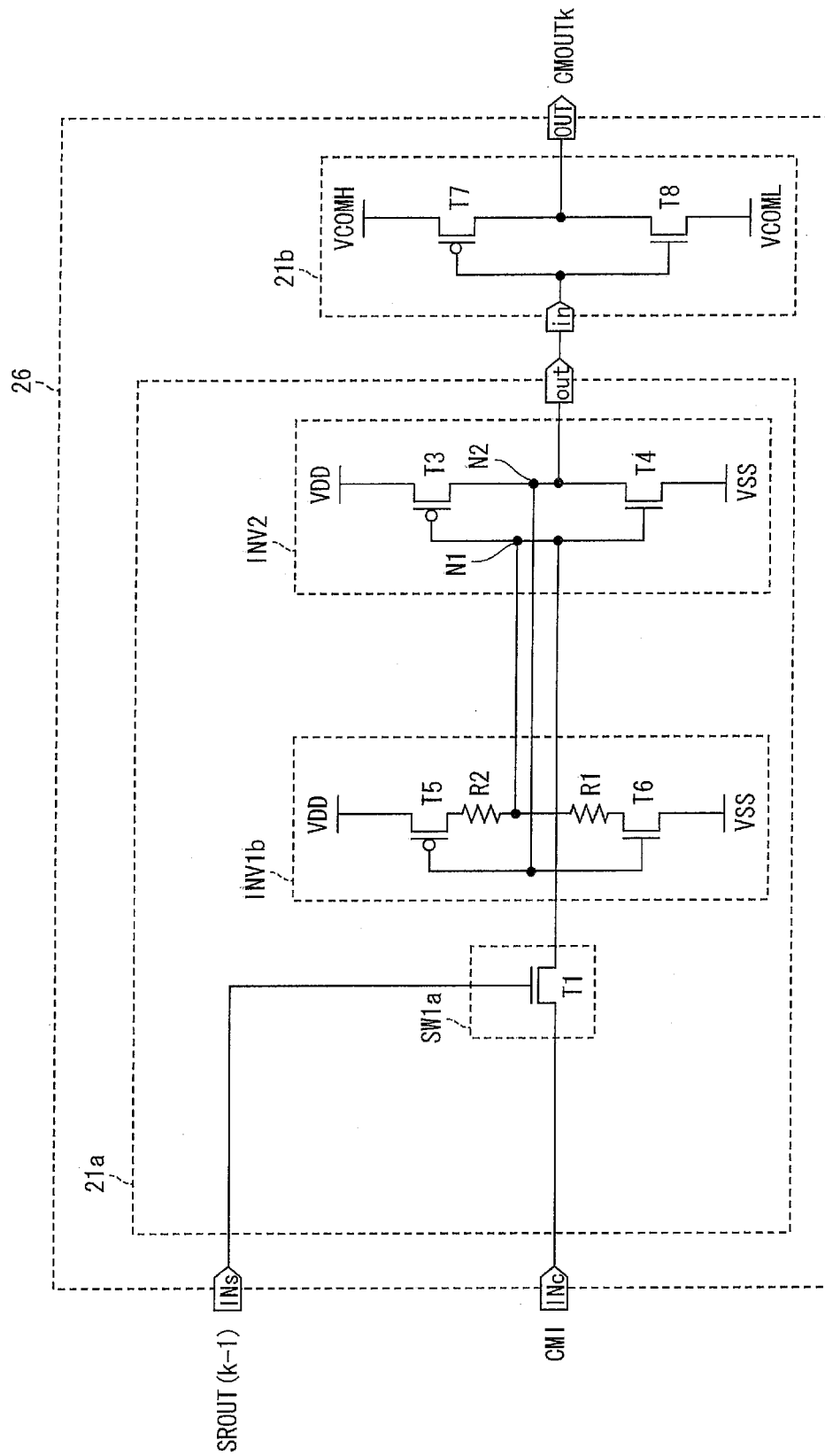
23



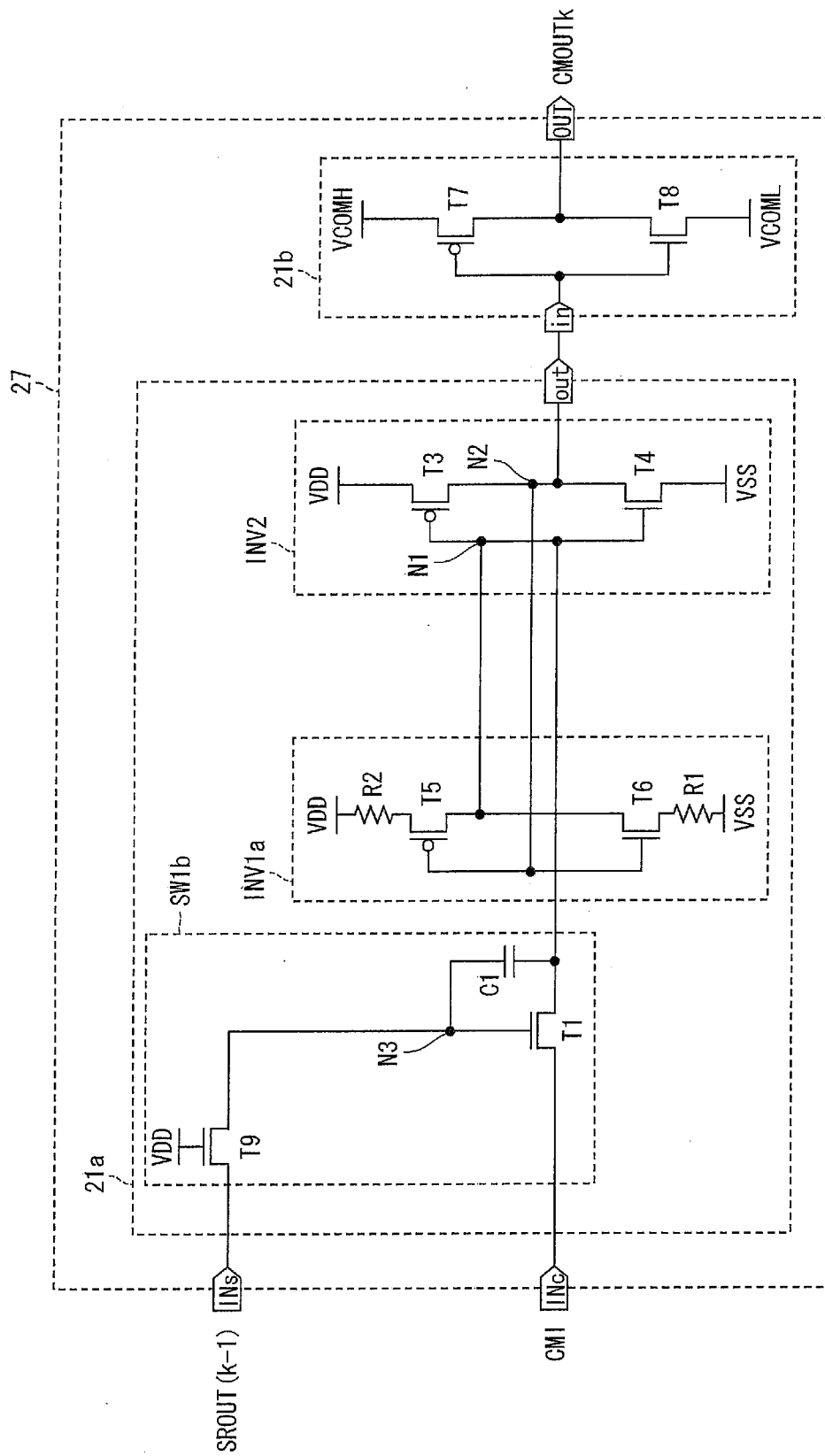
[図9]



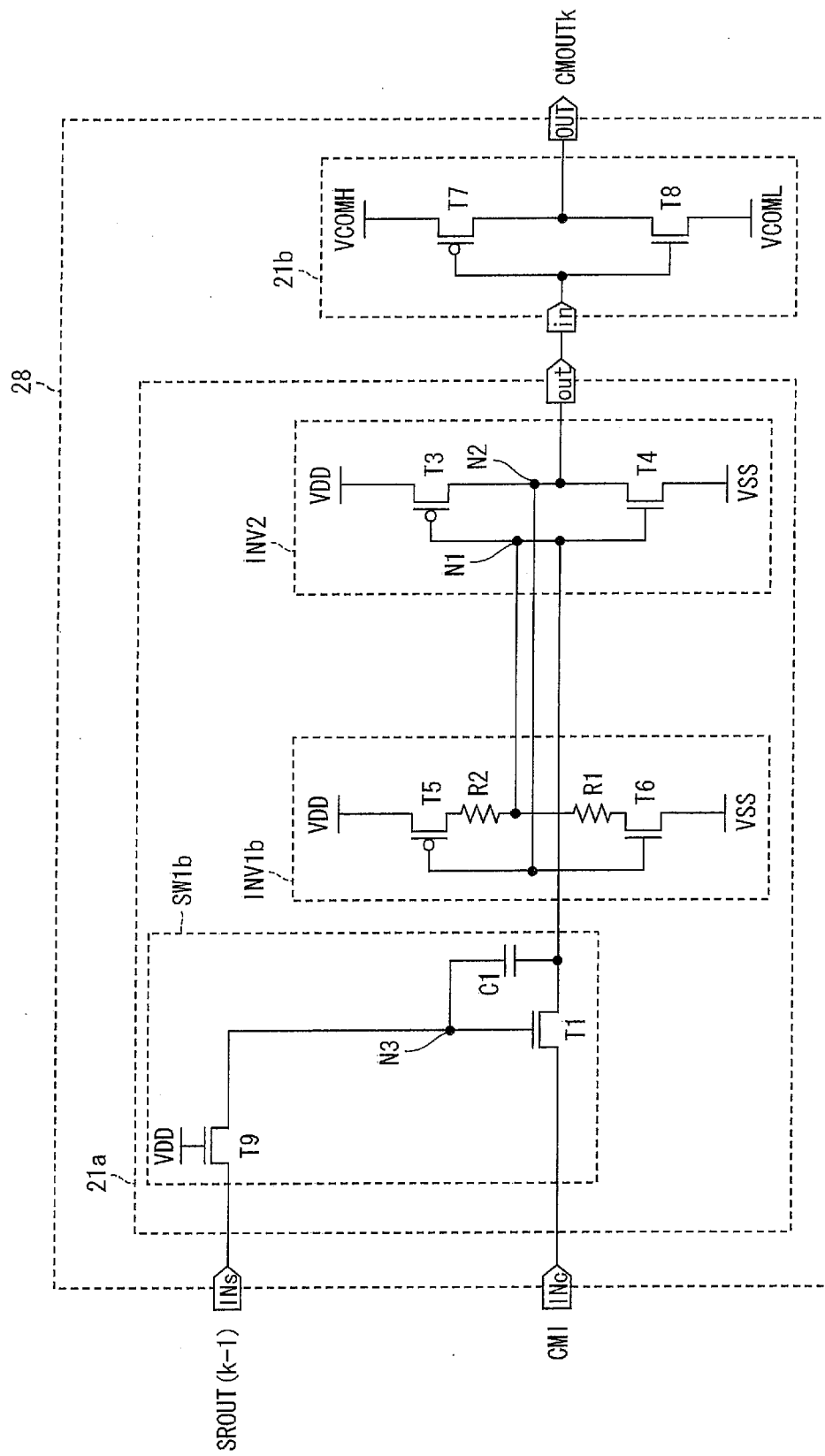
[図10]



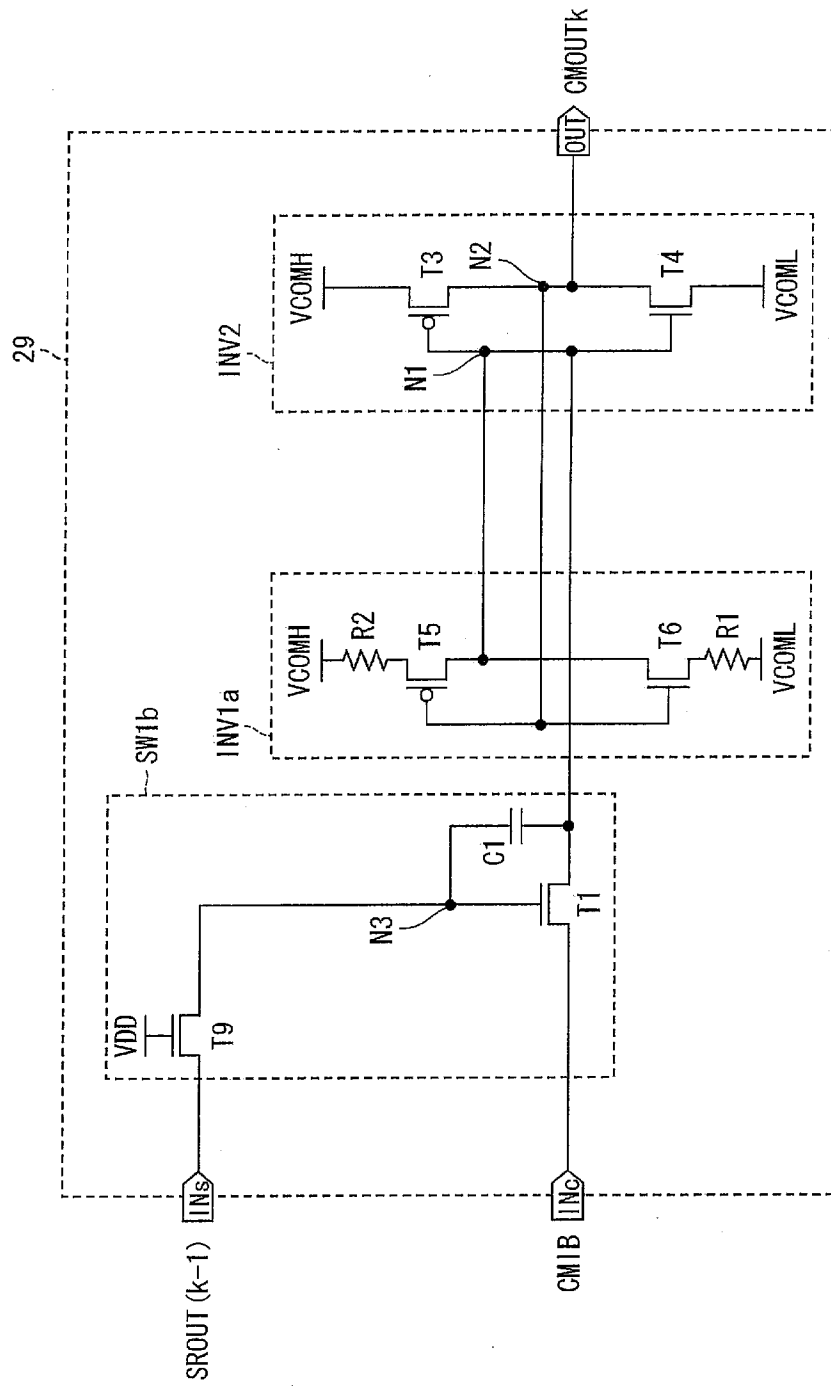
[図11]



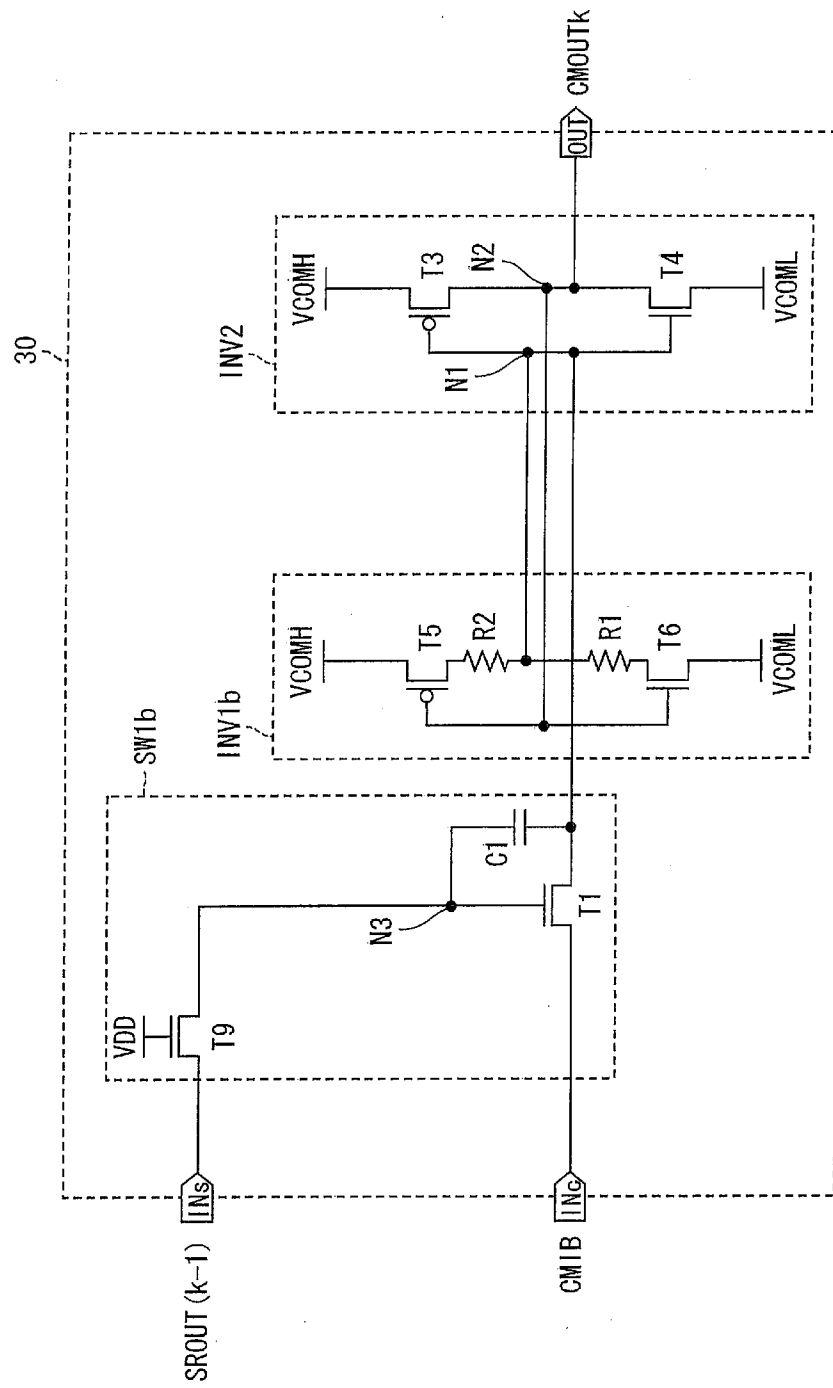
[図12]



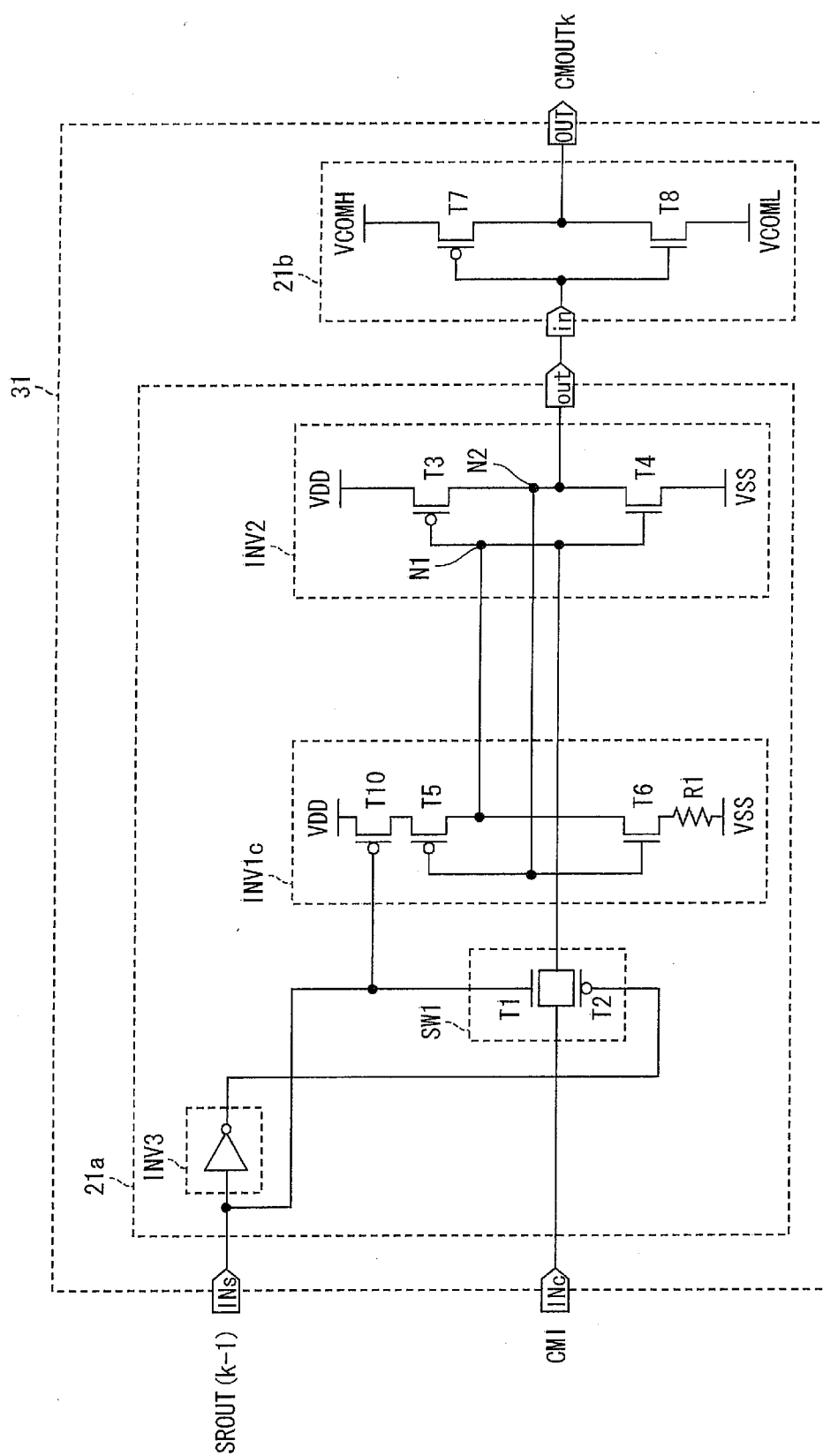
[図13]



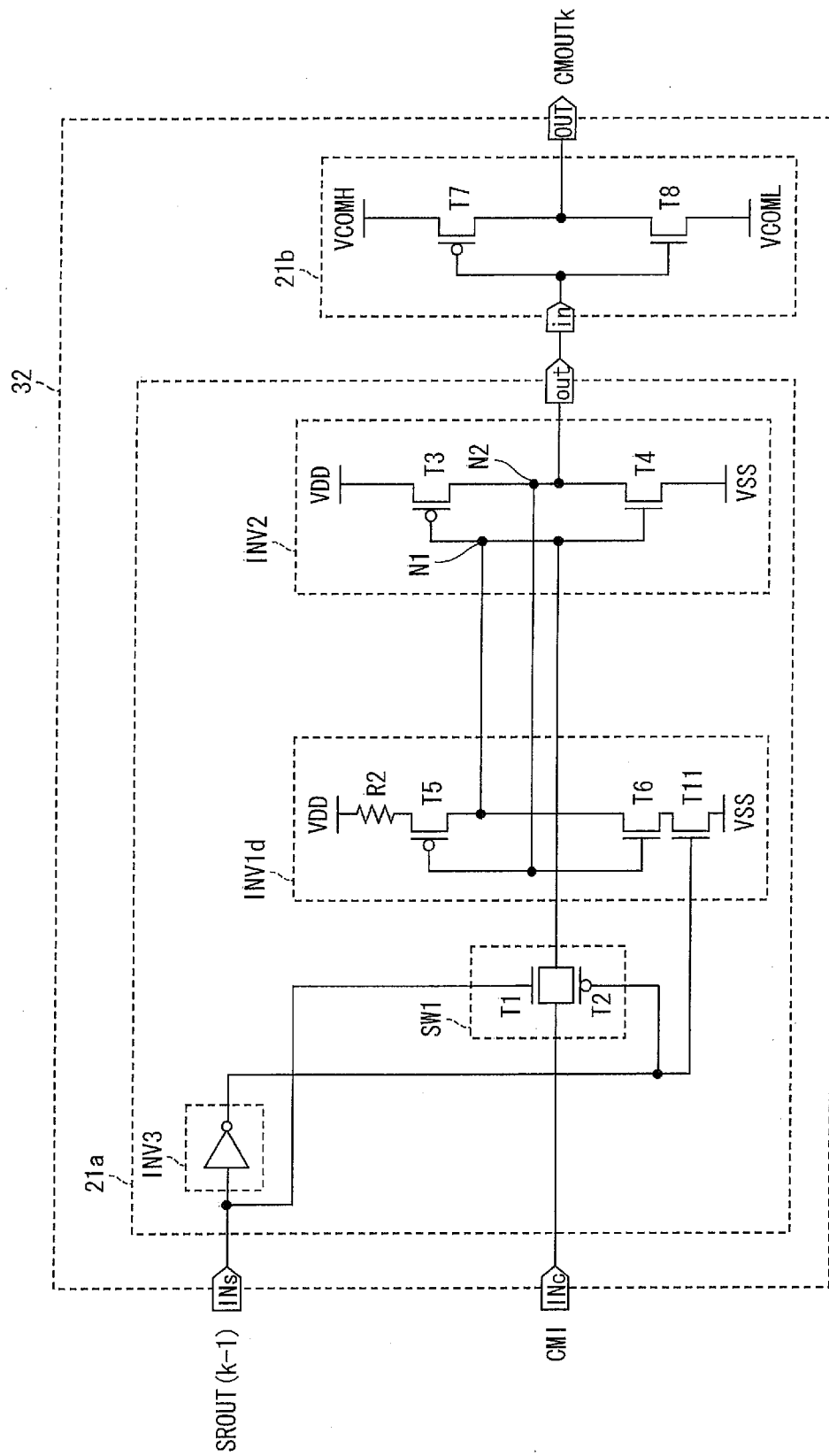
[図14]



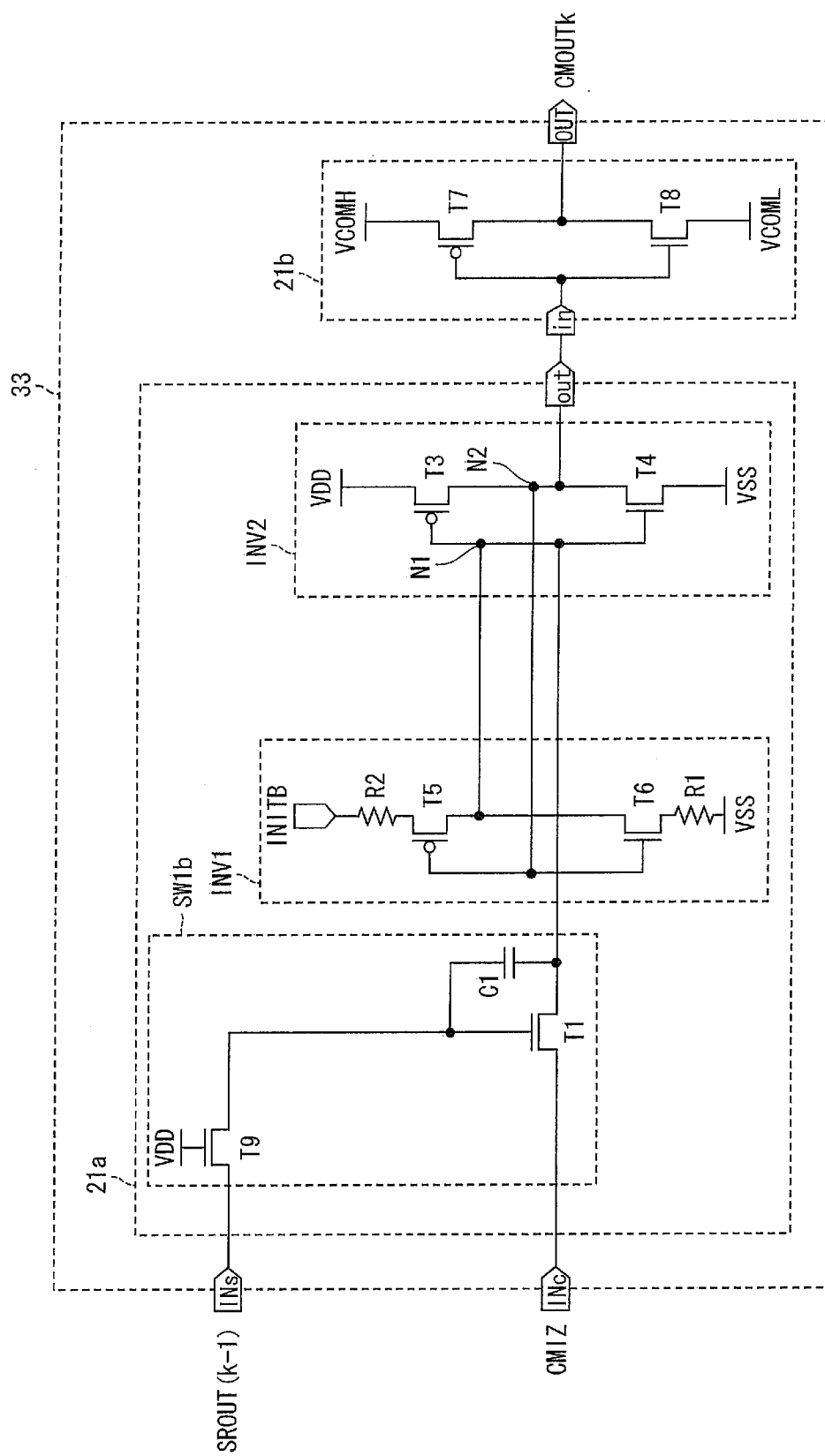
[図15]



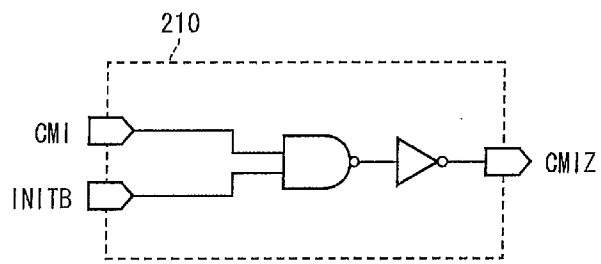
[図16]



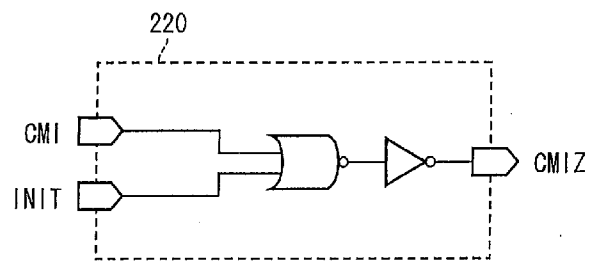
[図17]



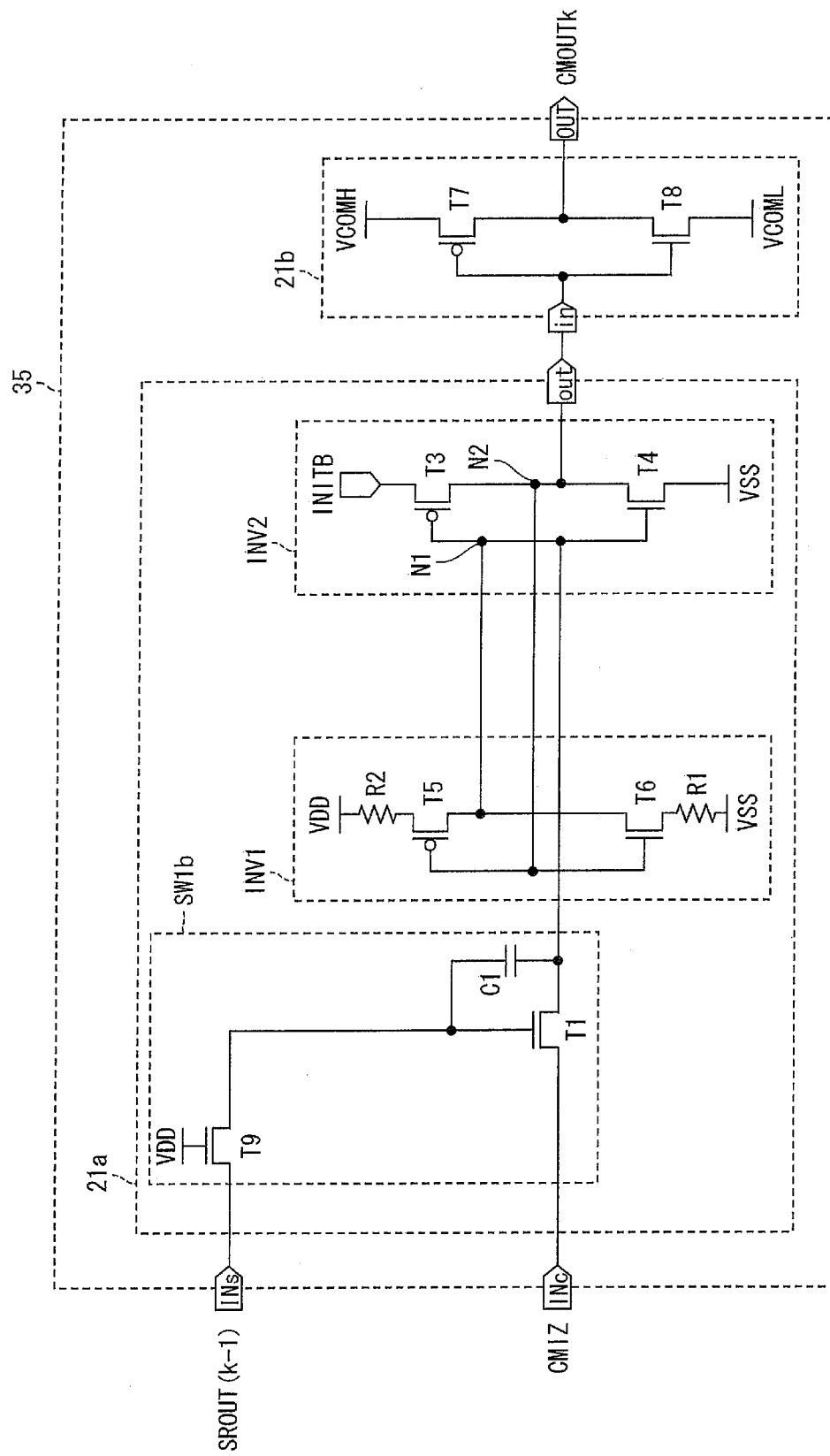
[図18]



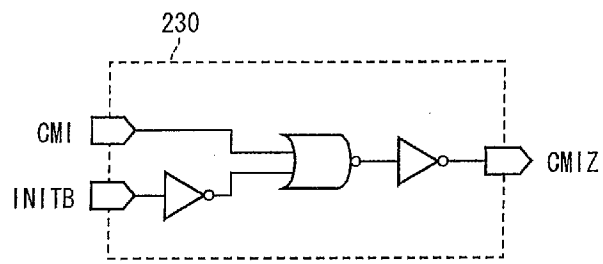
[図20]



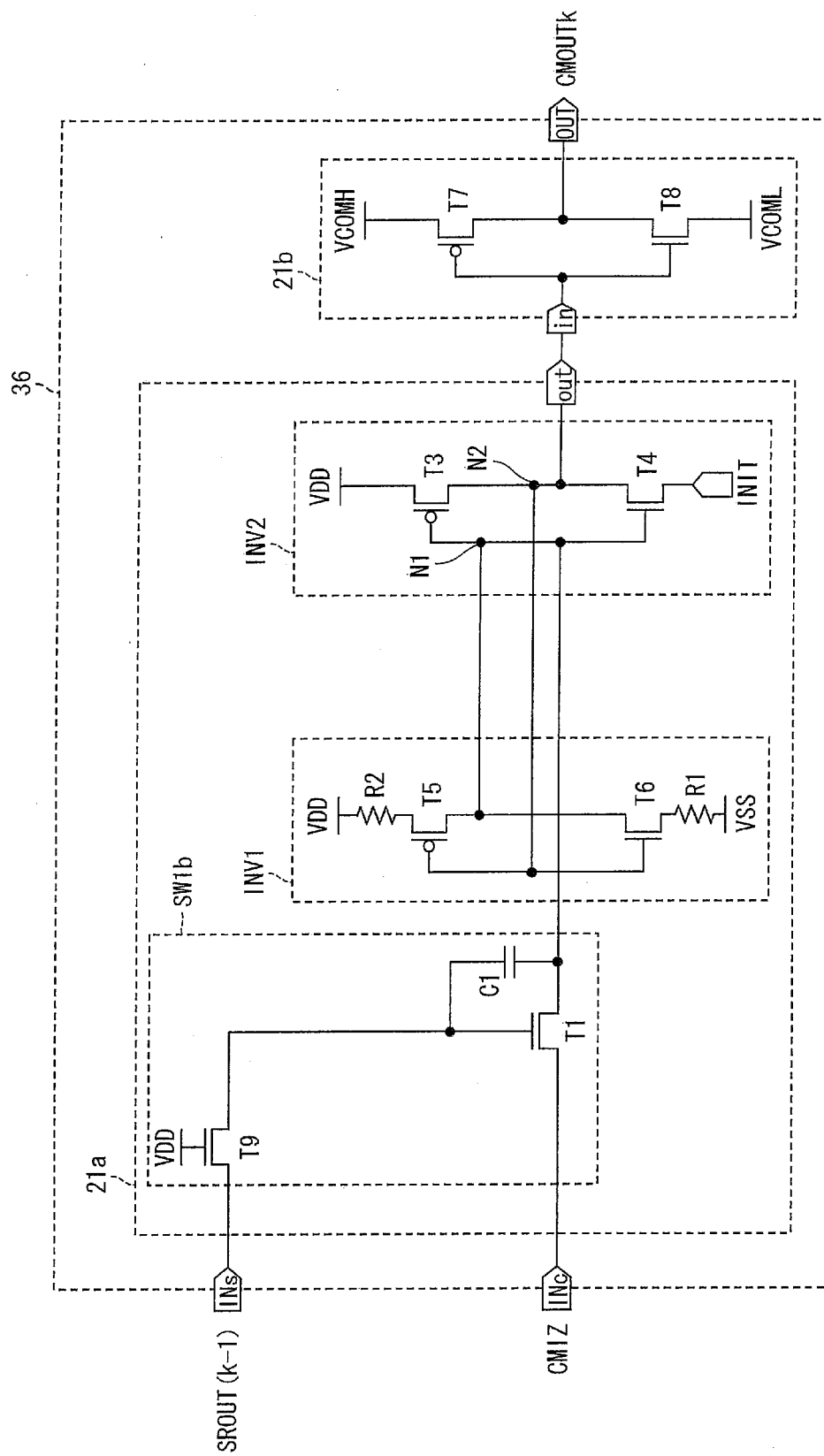
[図21]



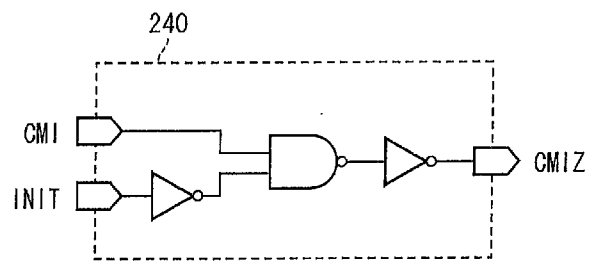
[図22]



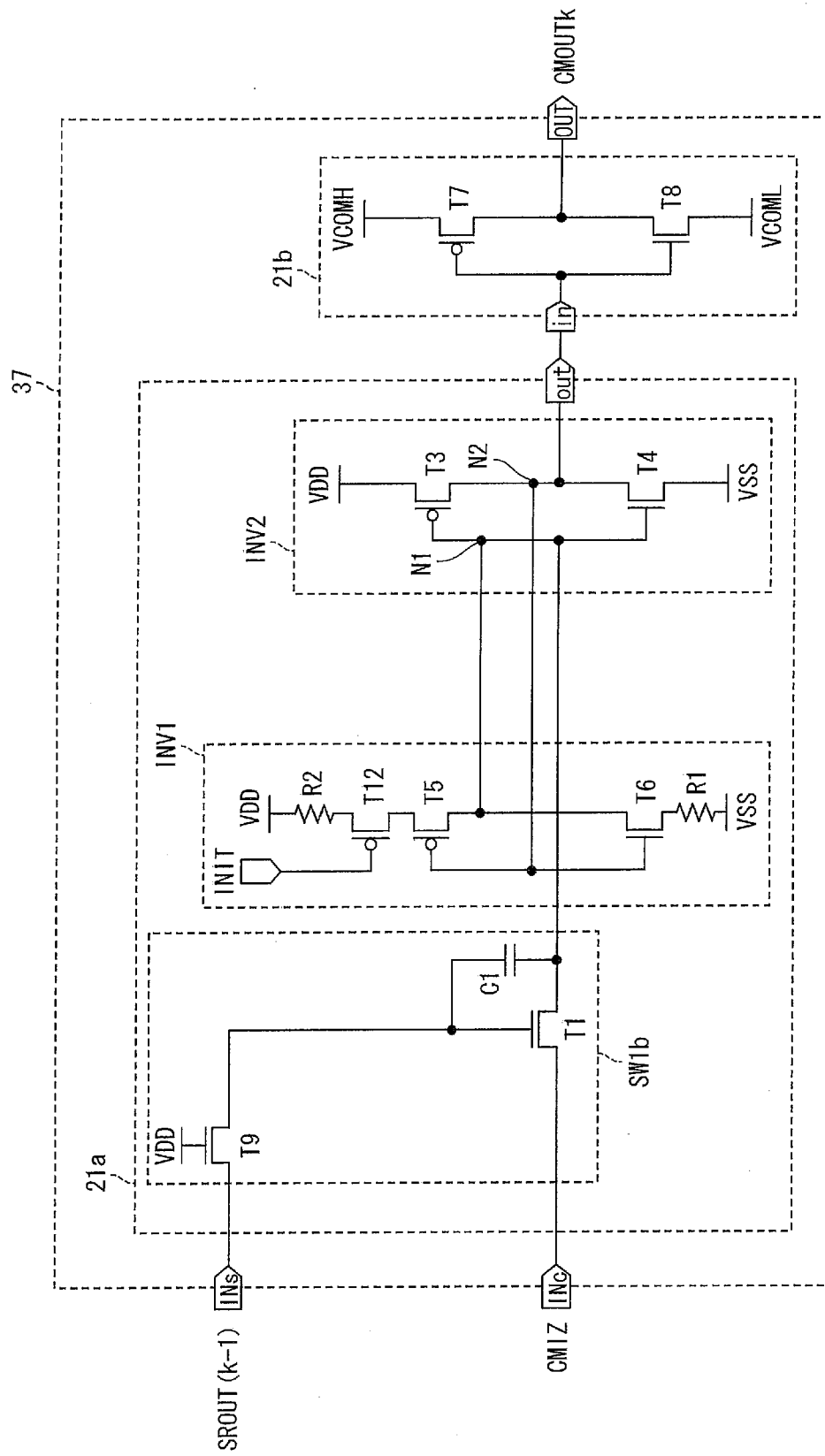
36

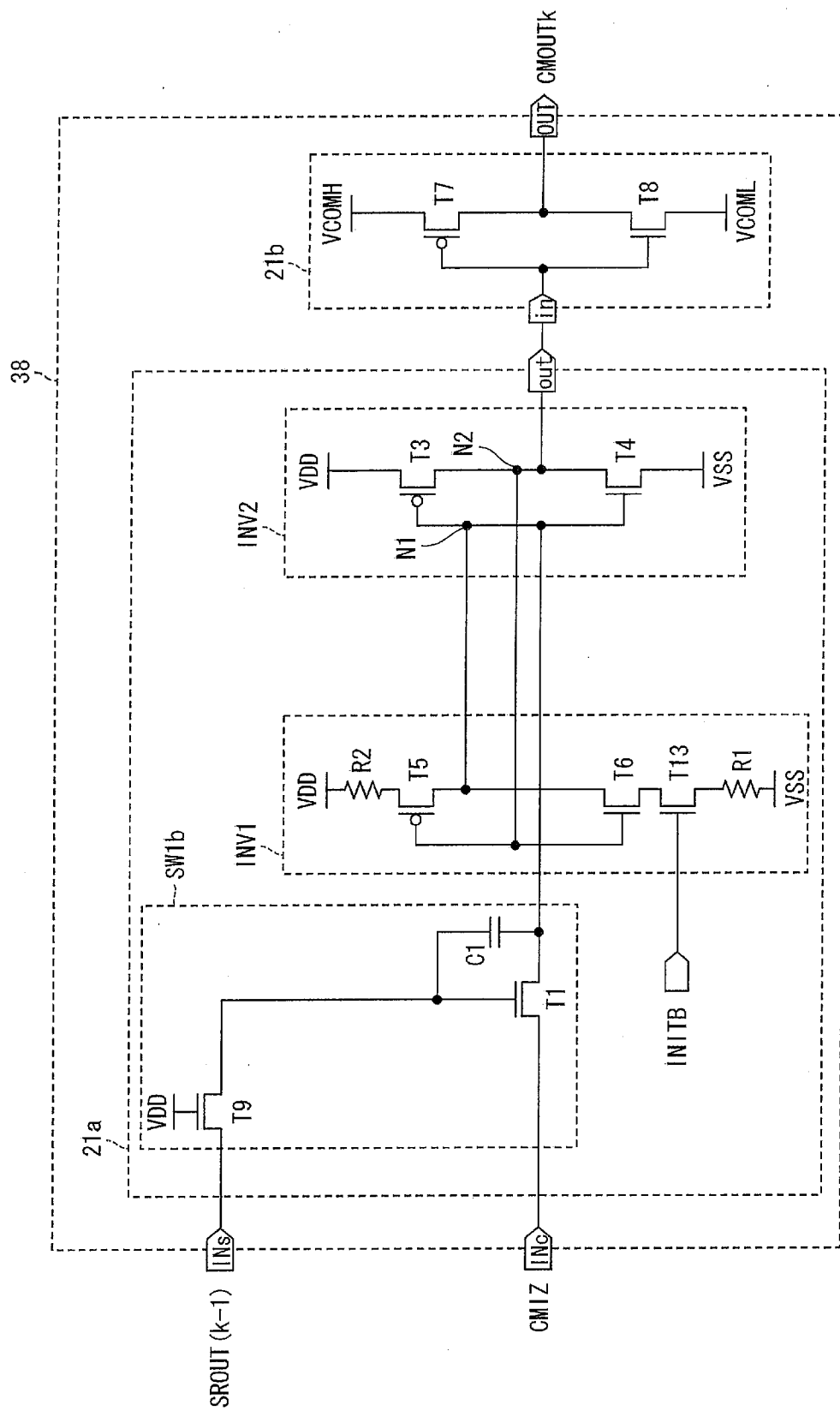


[図24]

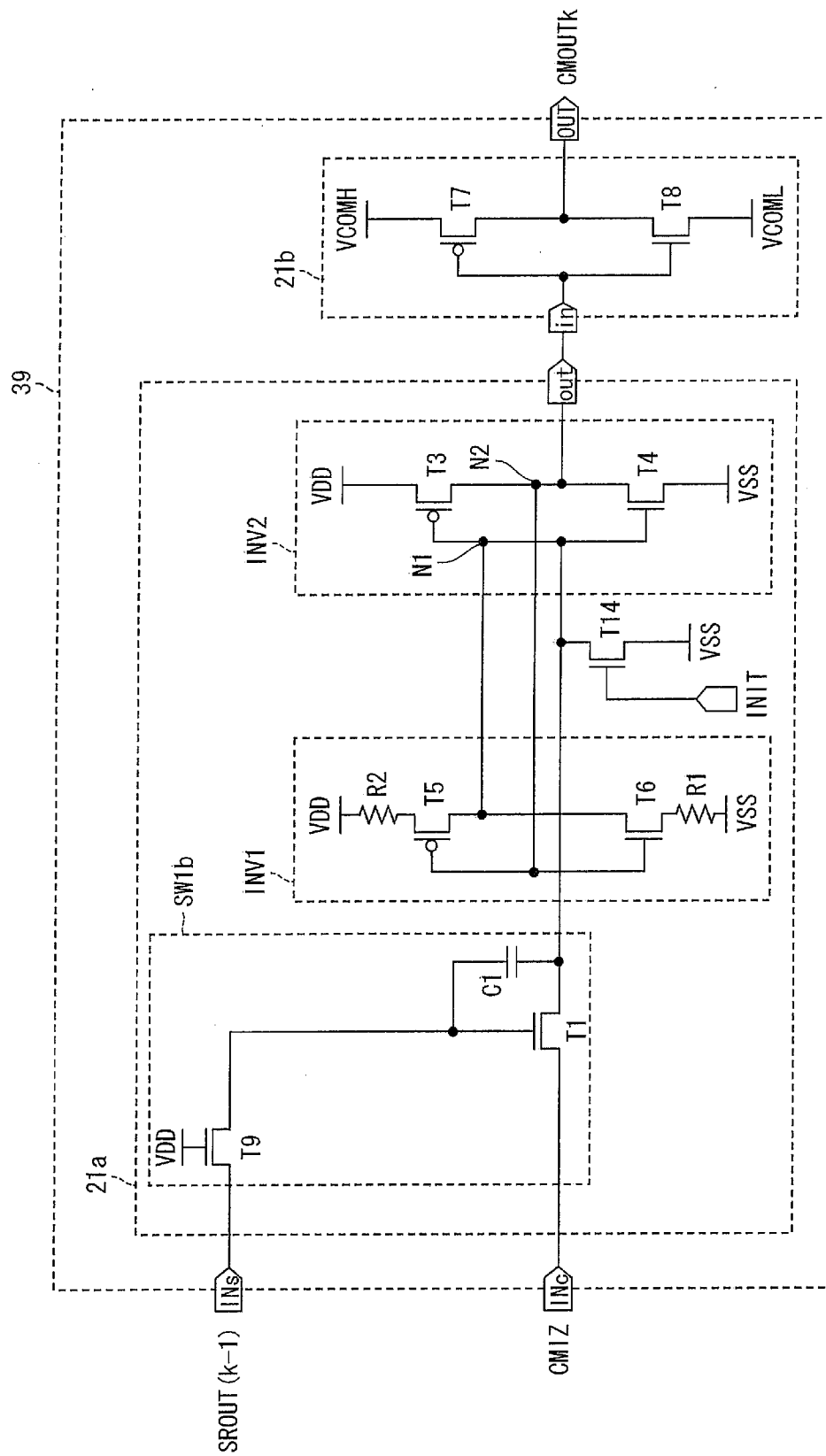


[図25]

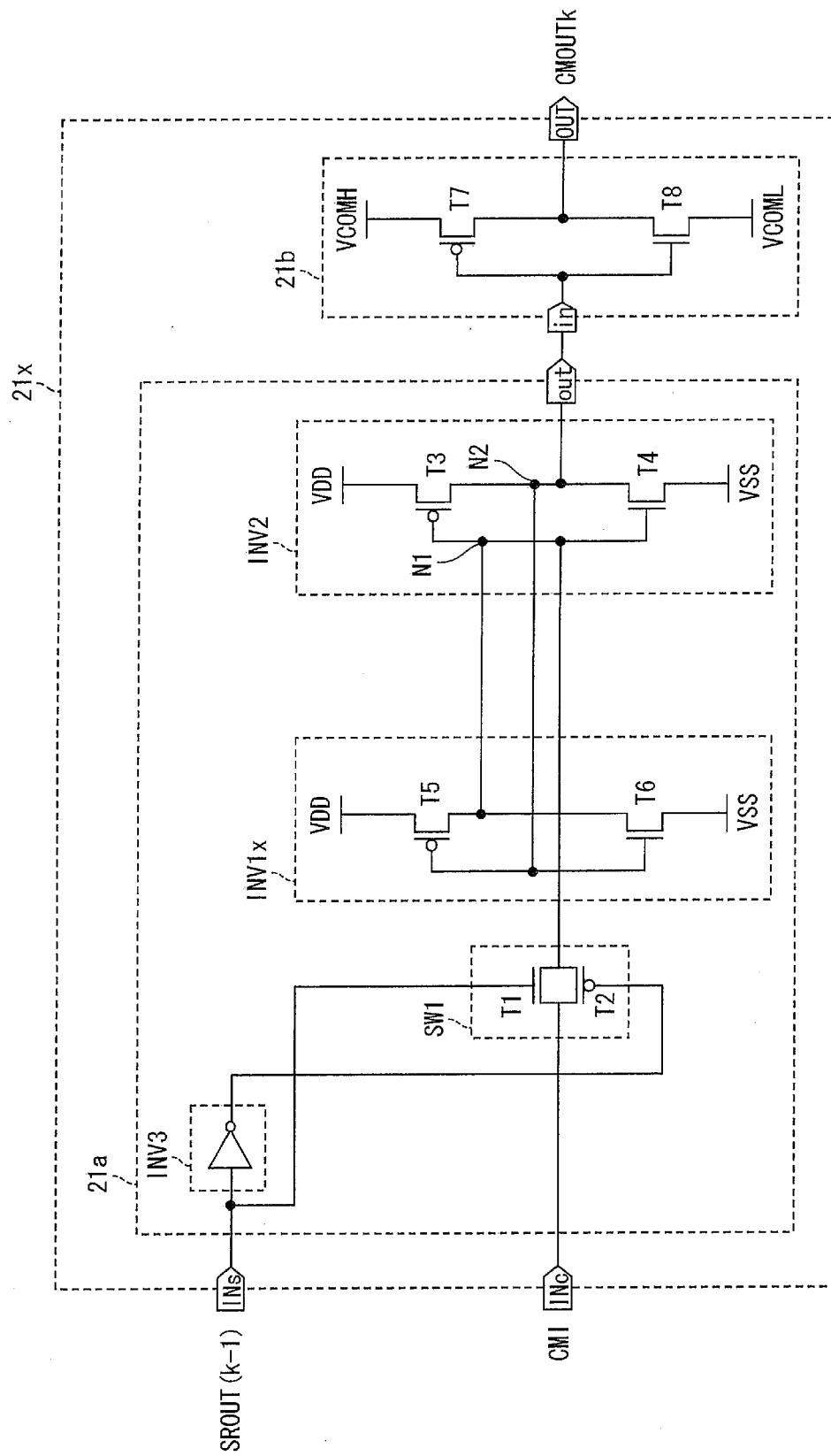




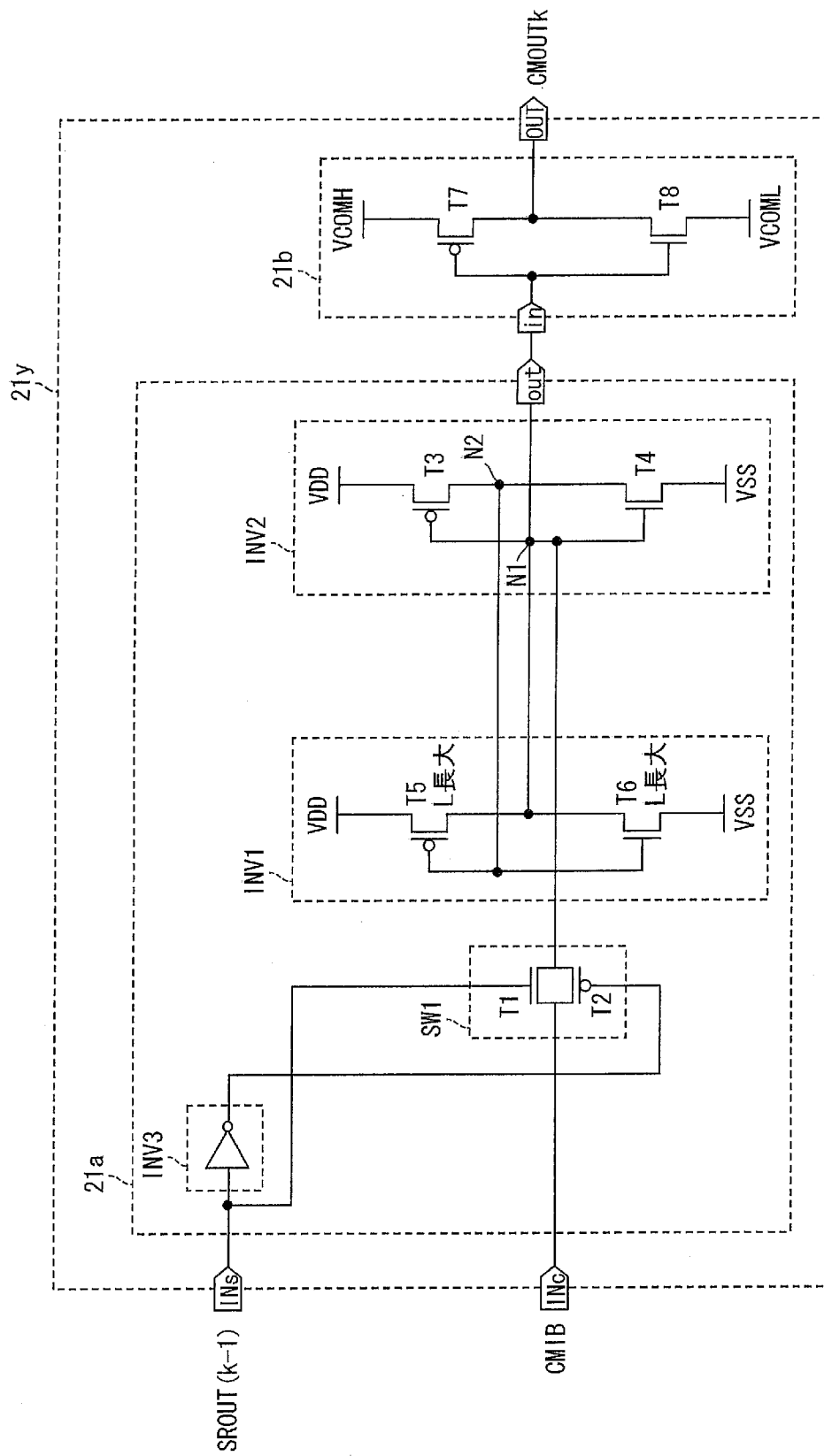
[図27]



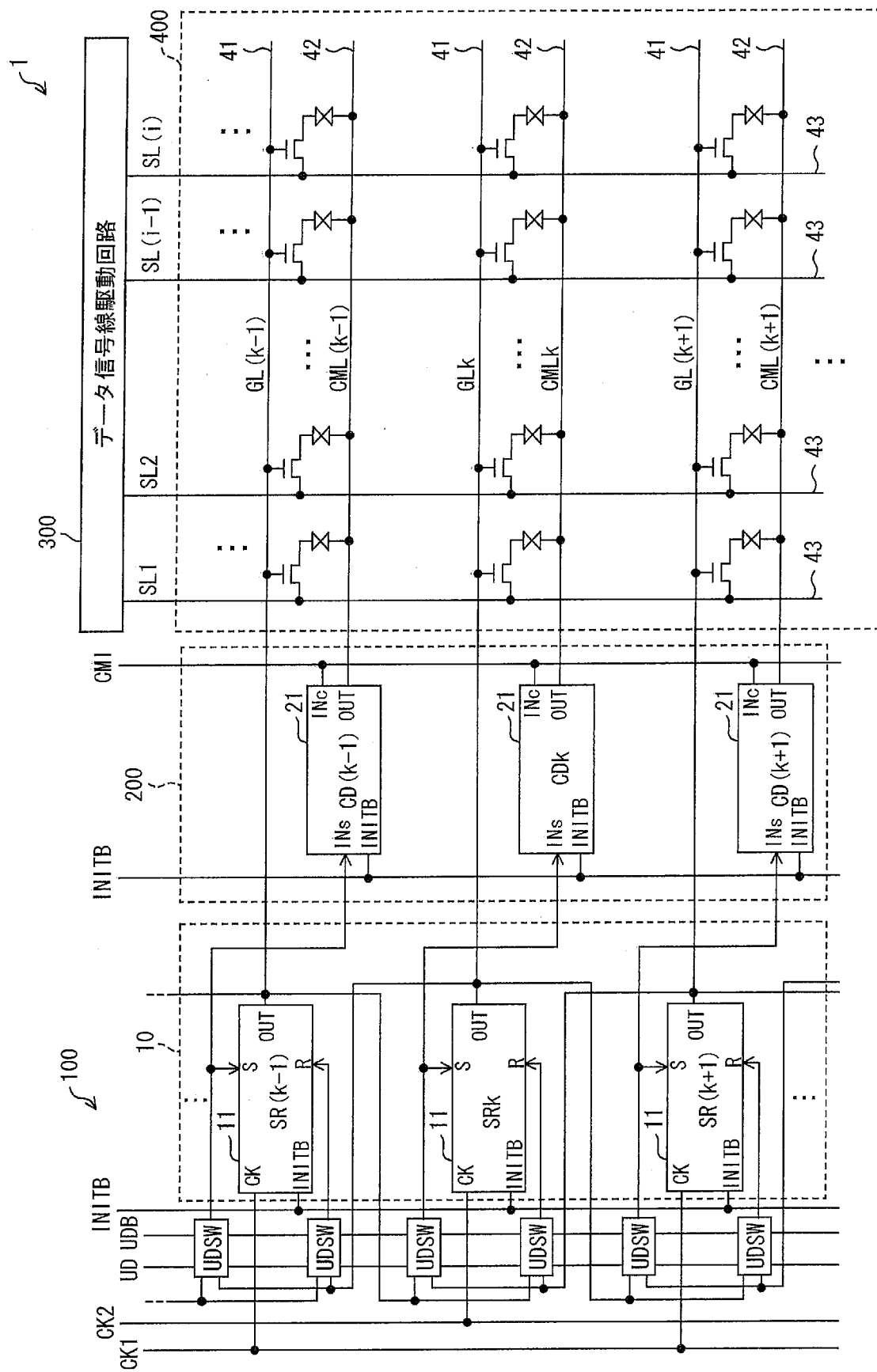
[図28]



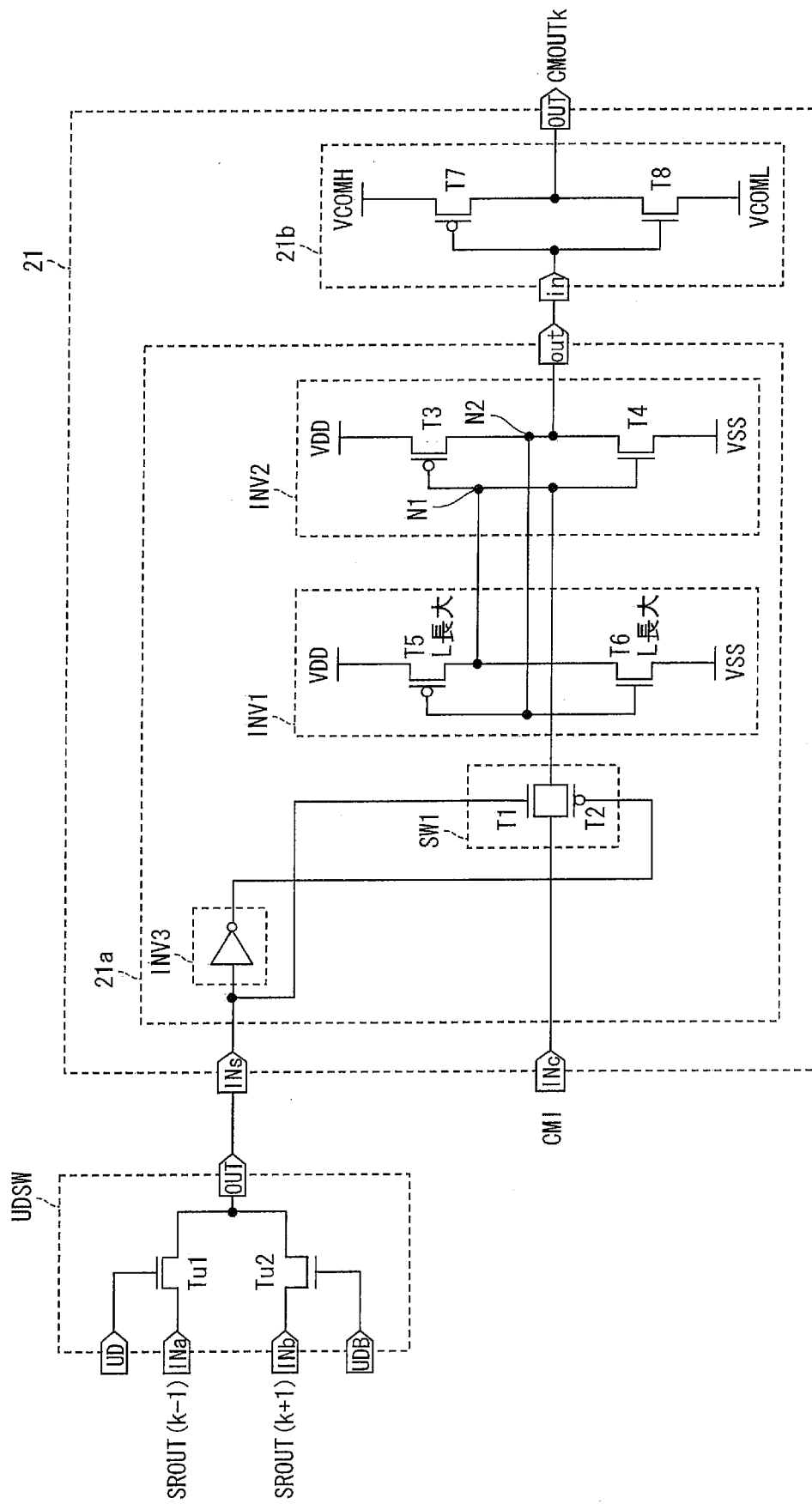
[図29]

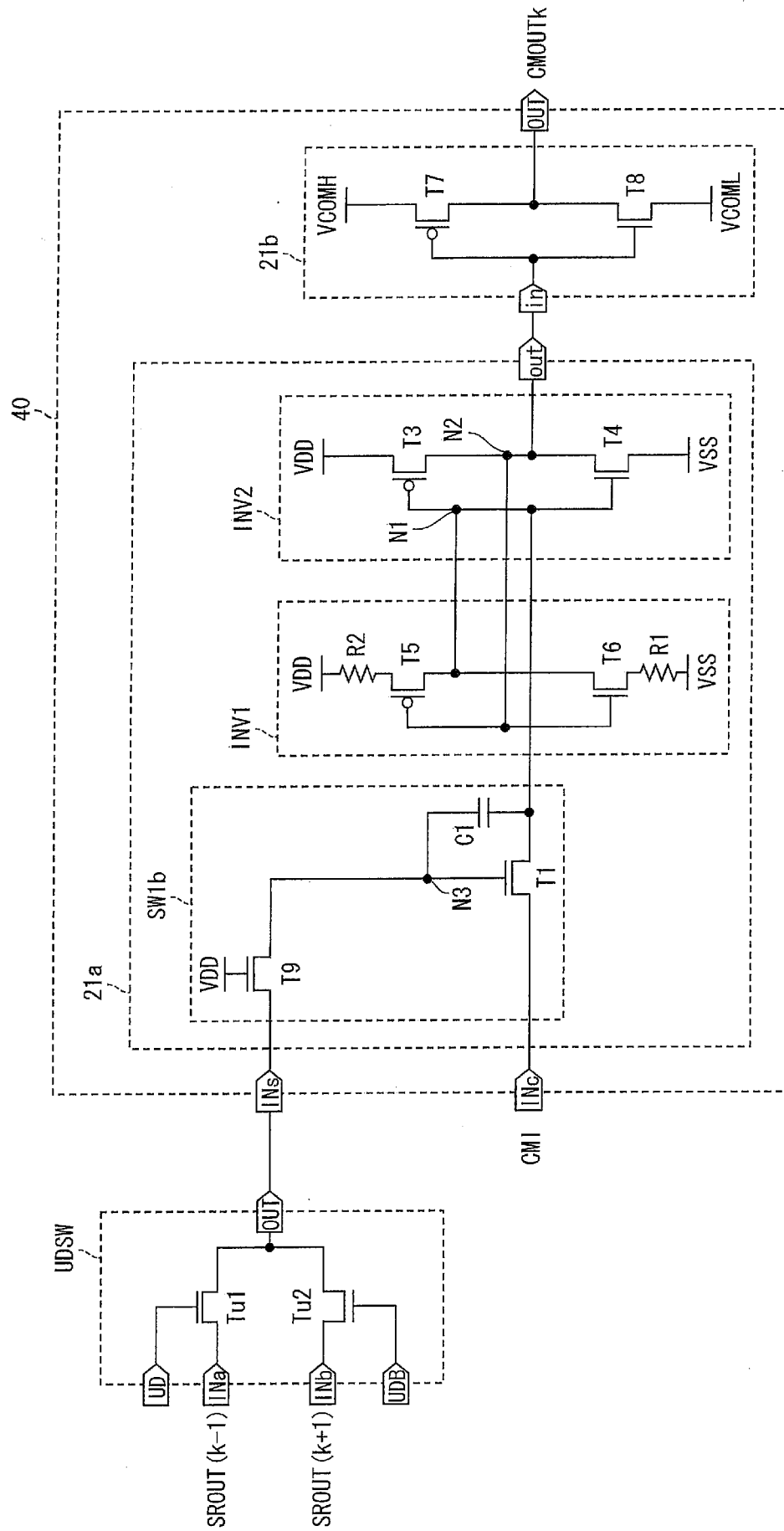


[図30]

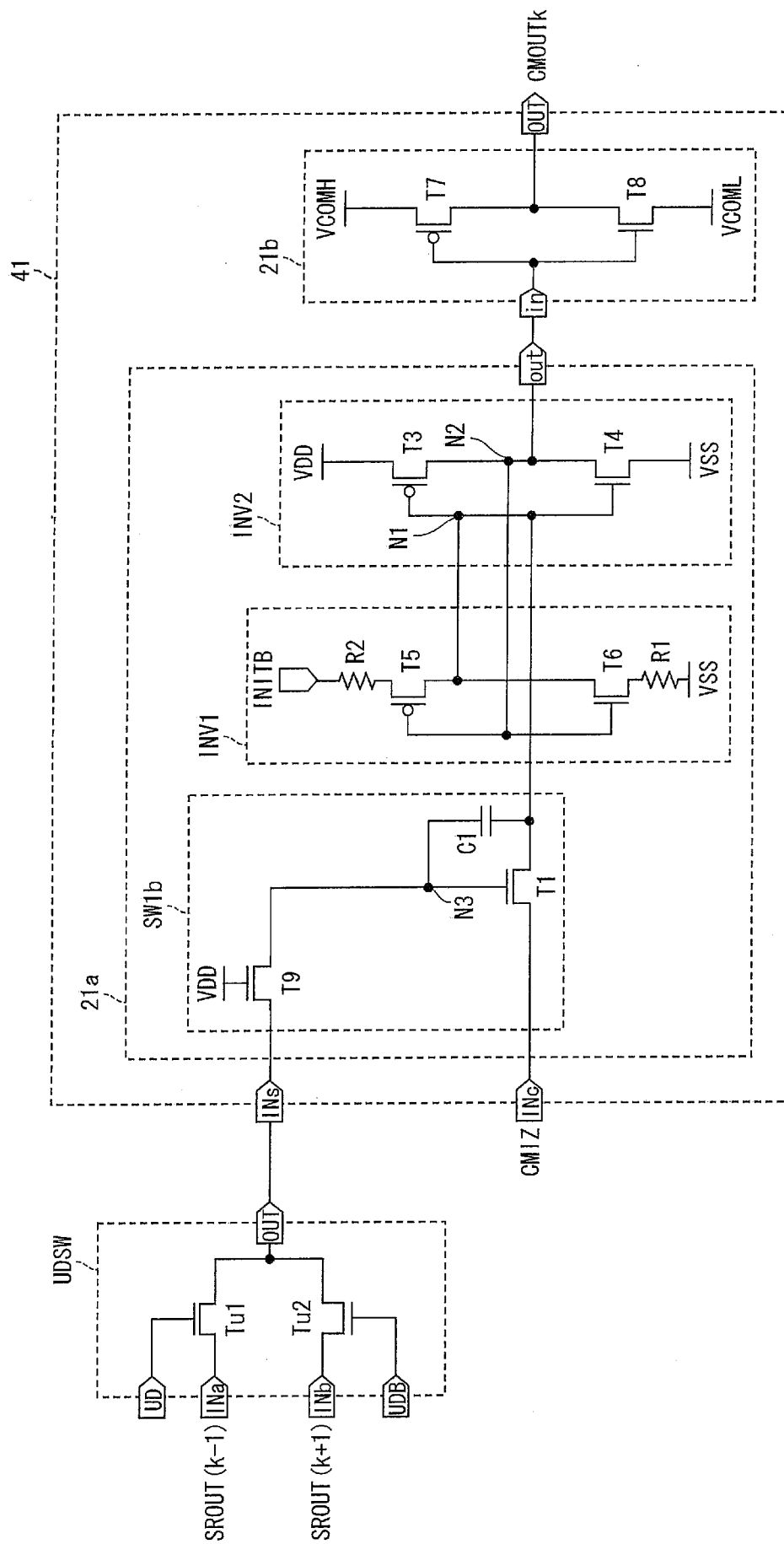


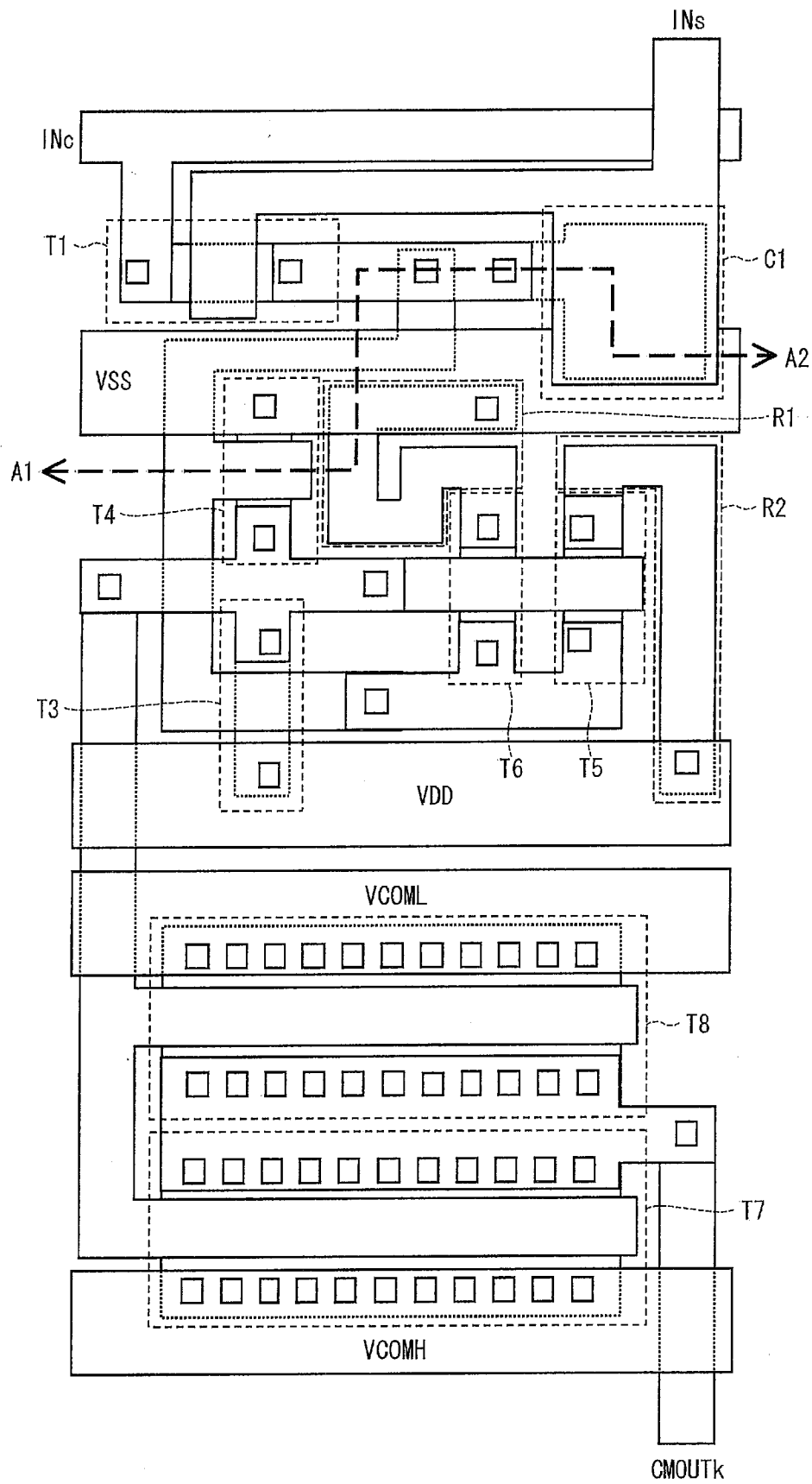
[図31]



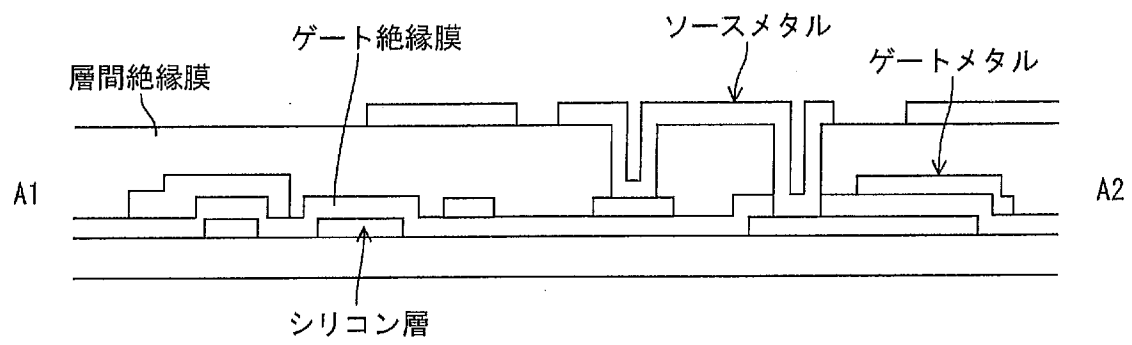


[図33]

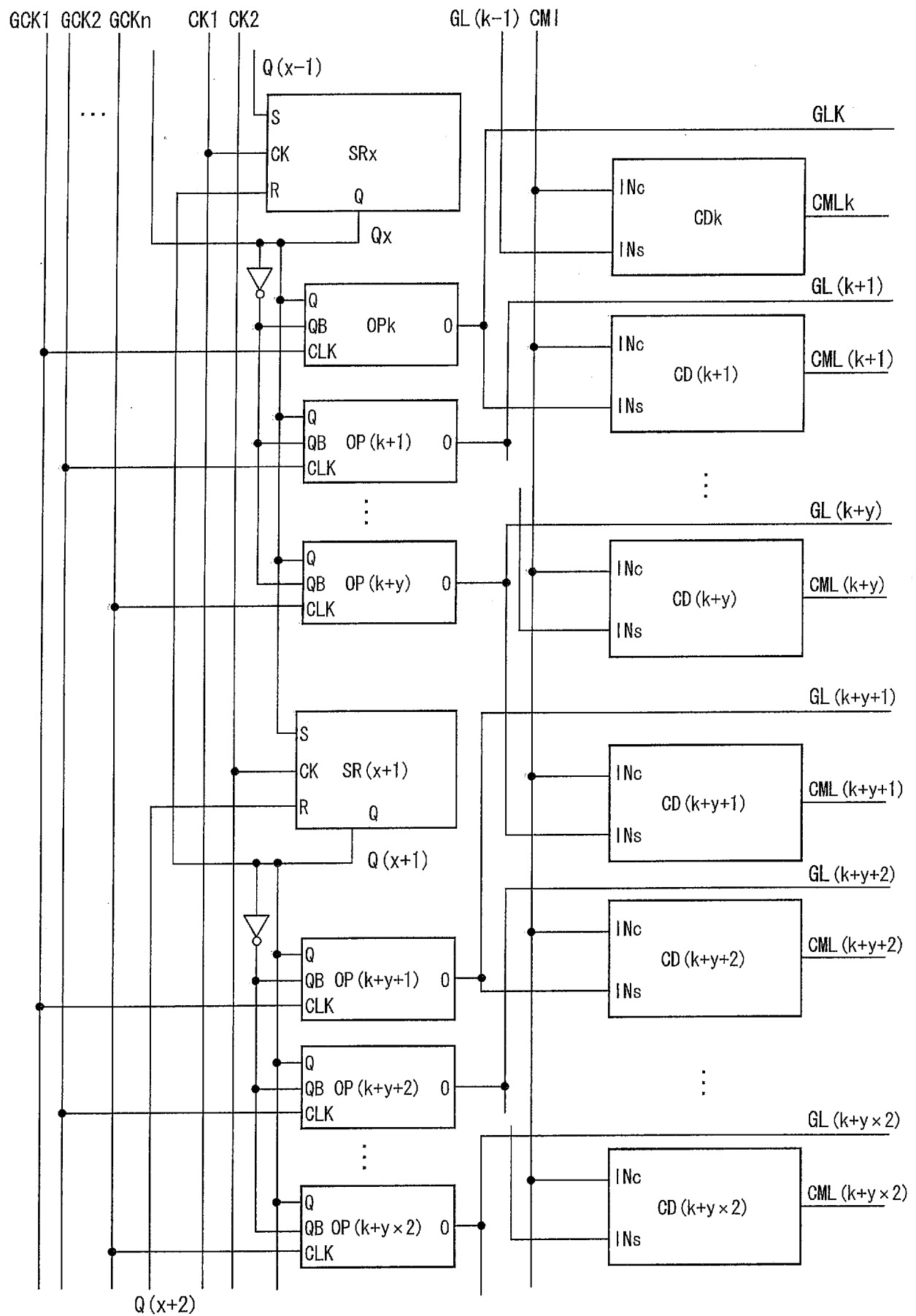




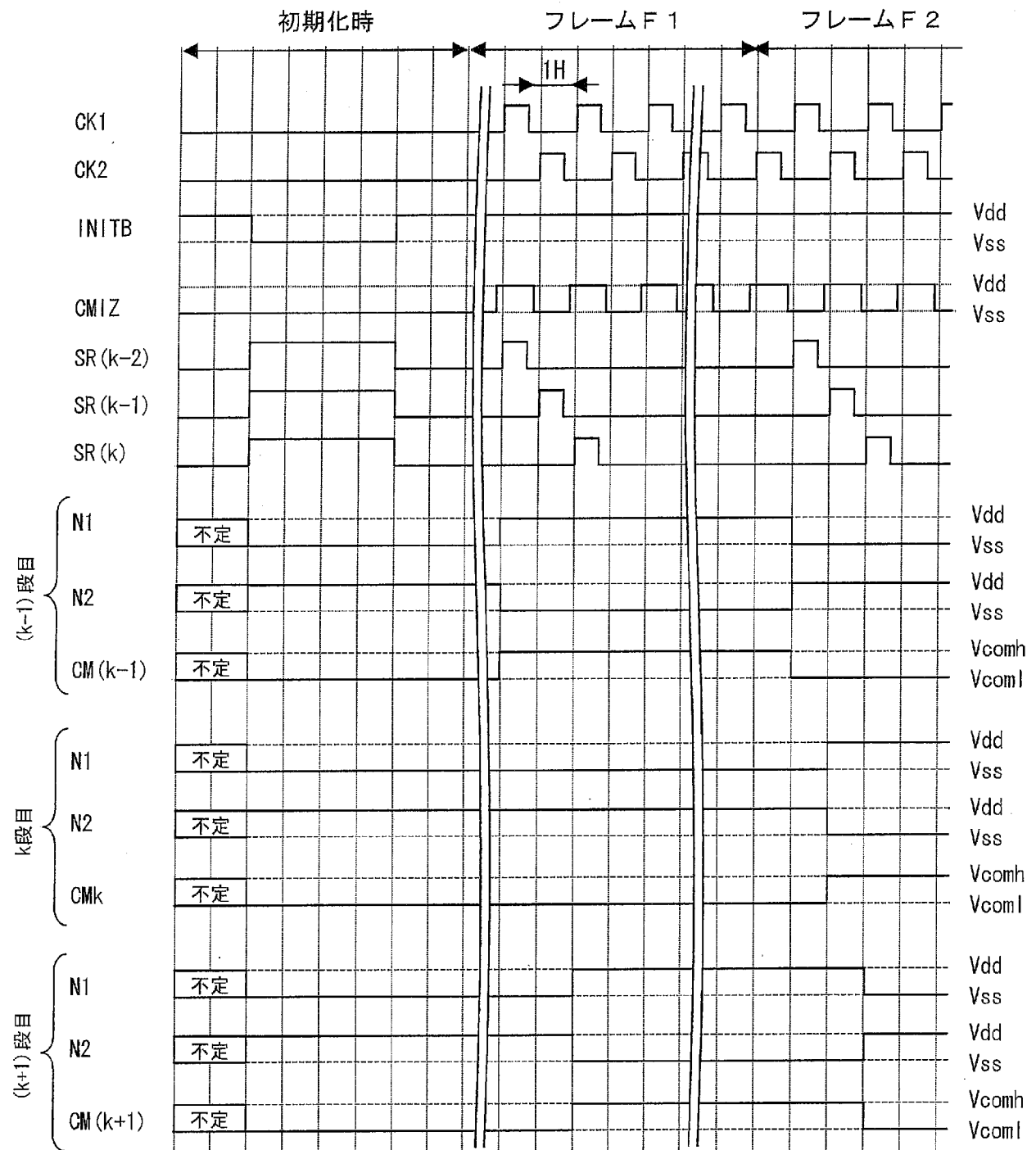
[図35]



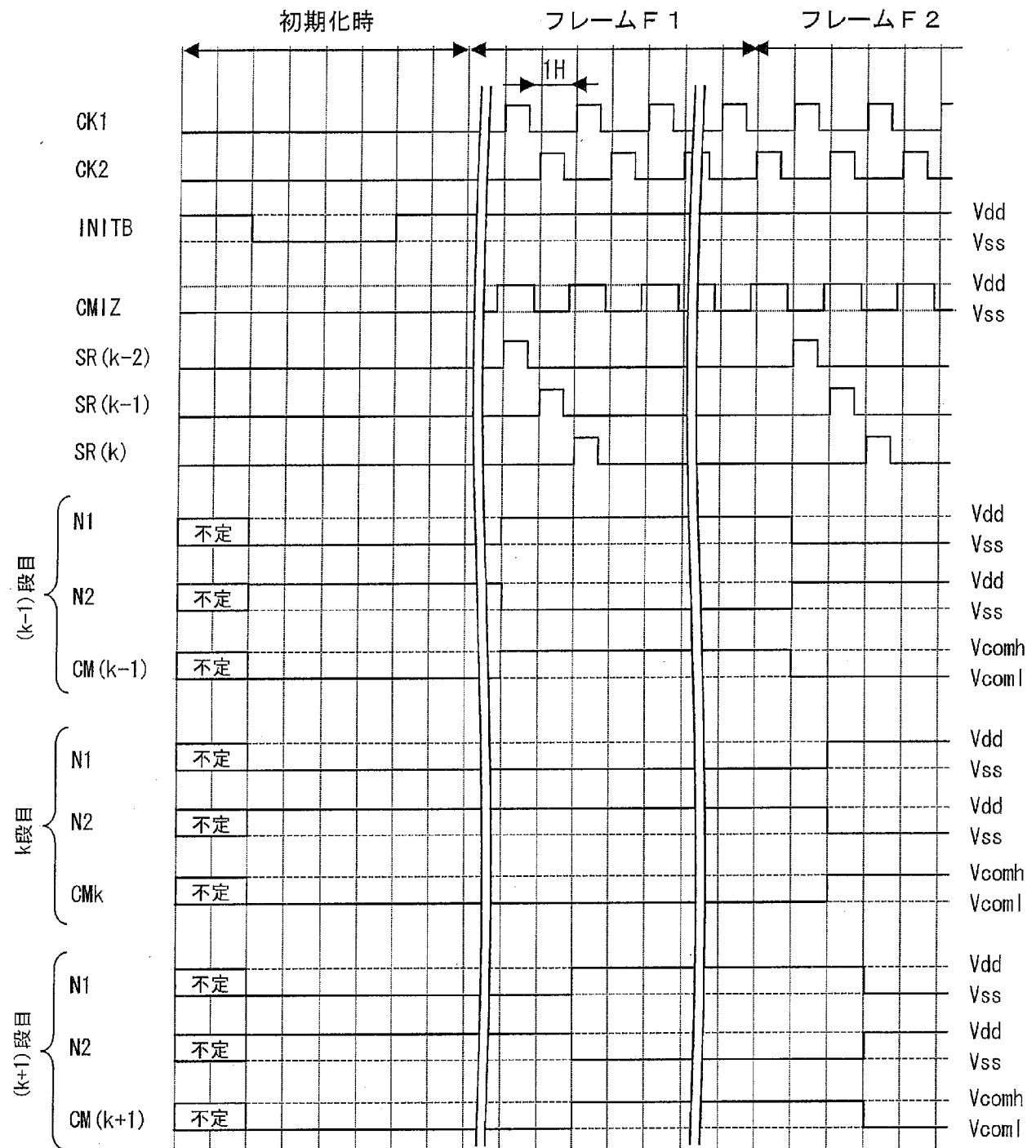
[図36]



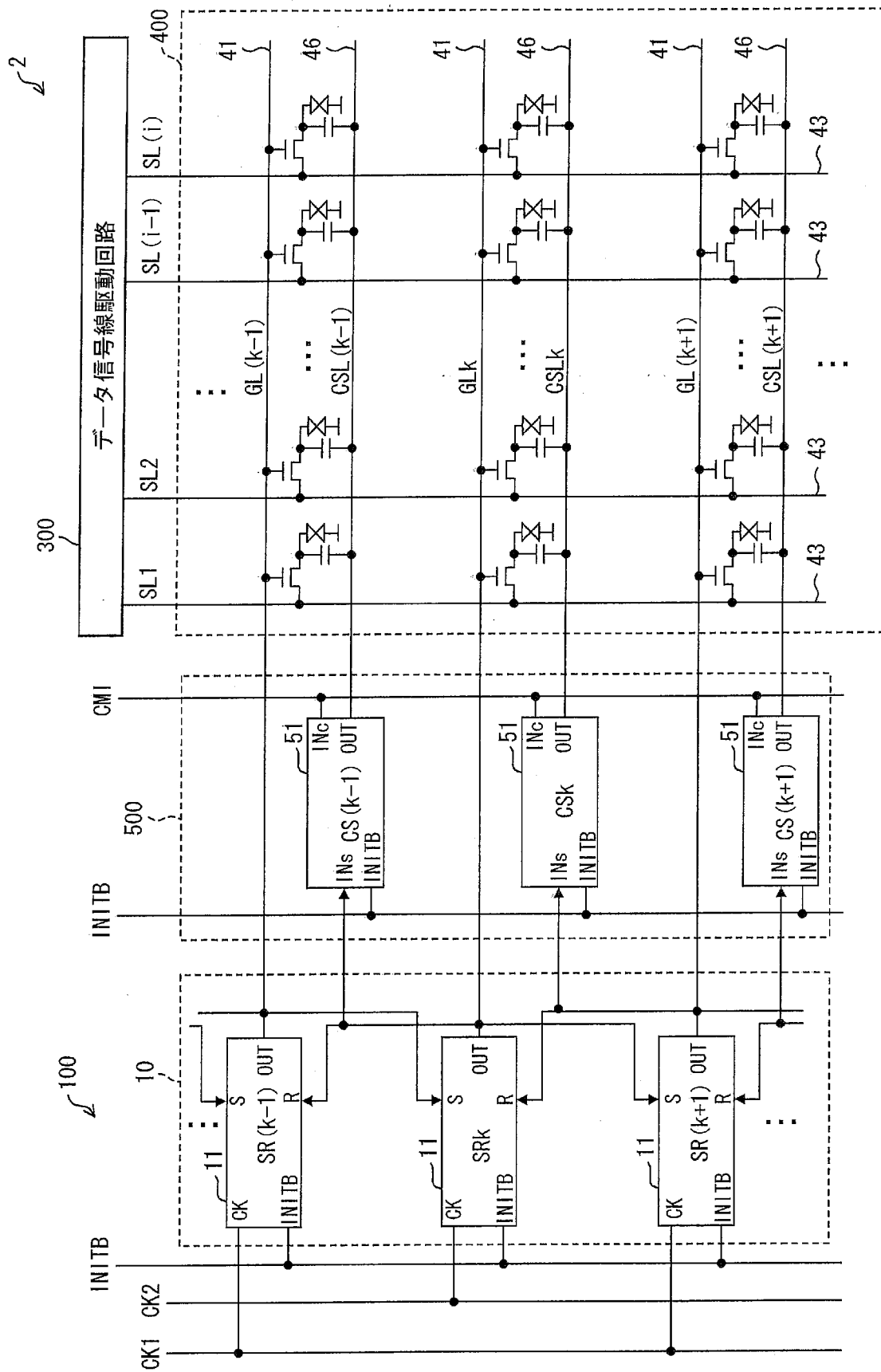
[図38]



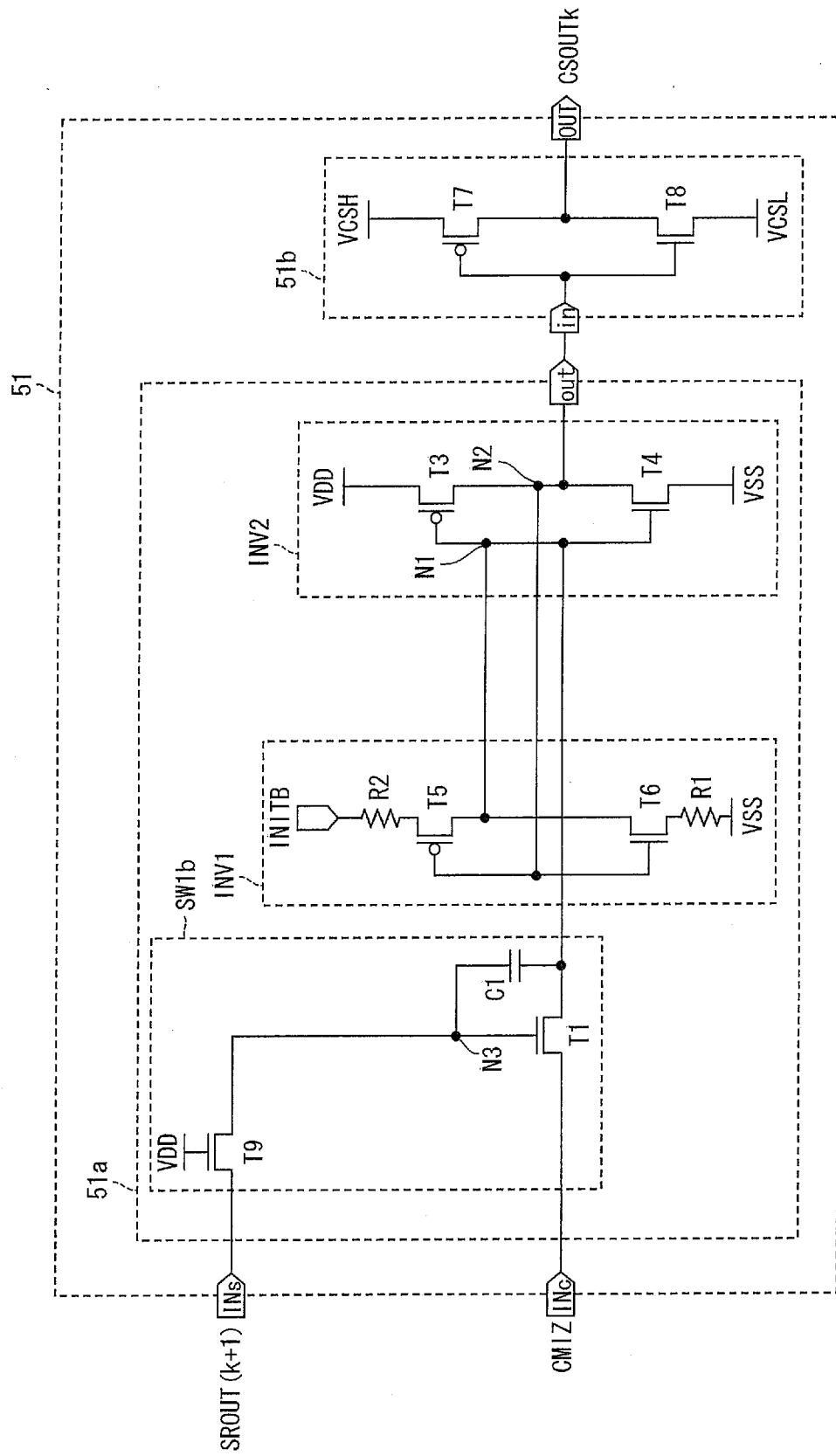
[図39]



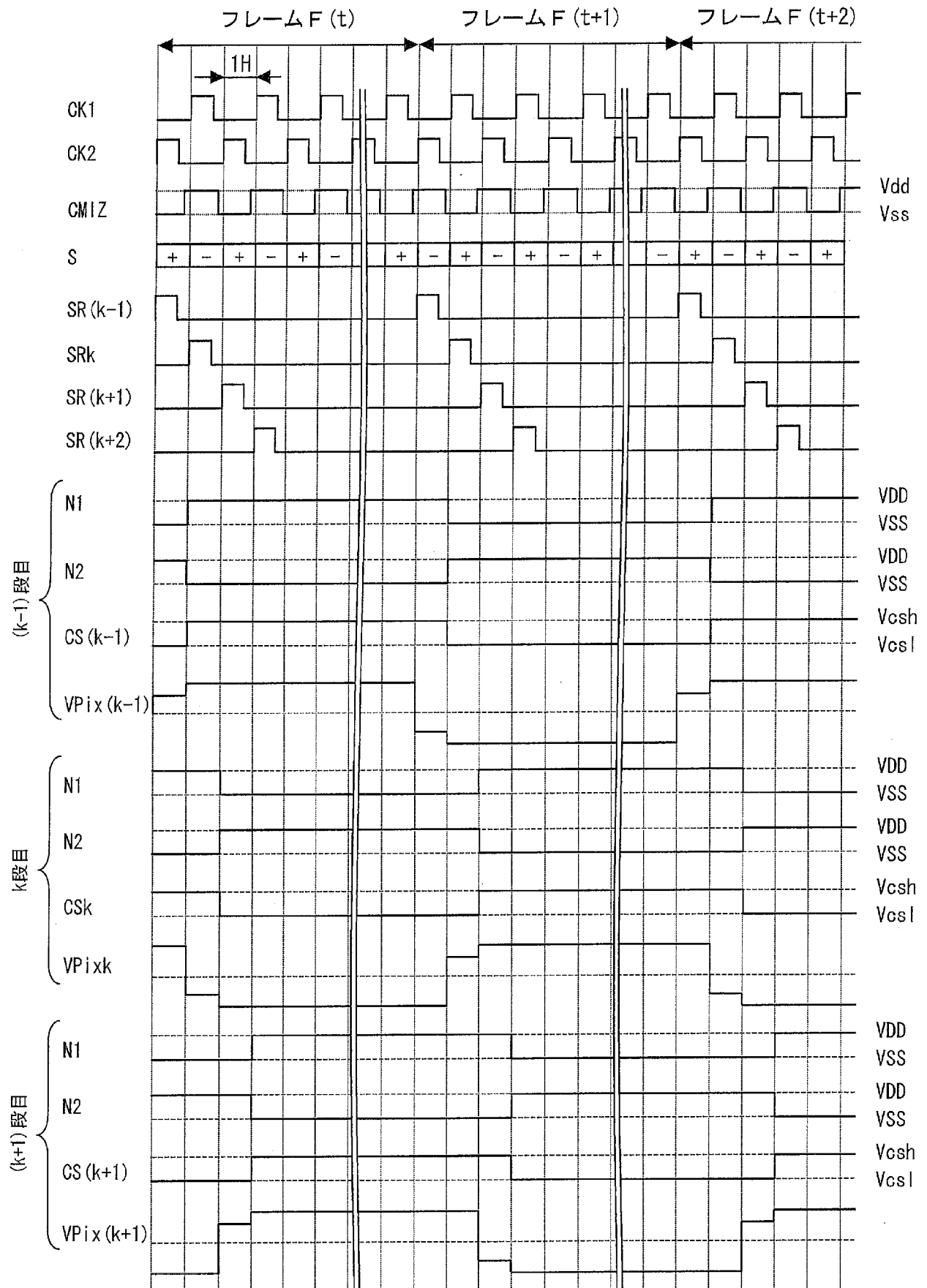
[図40]



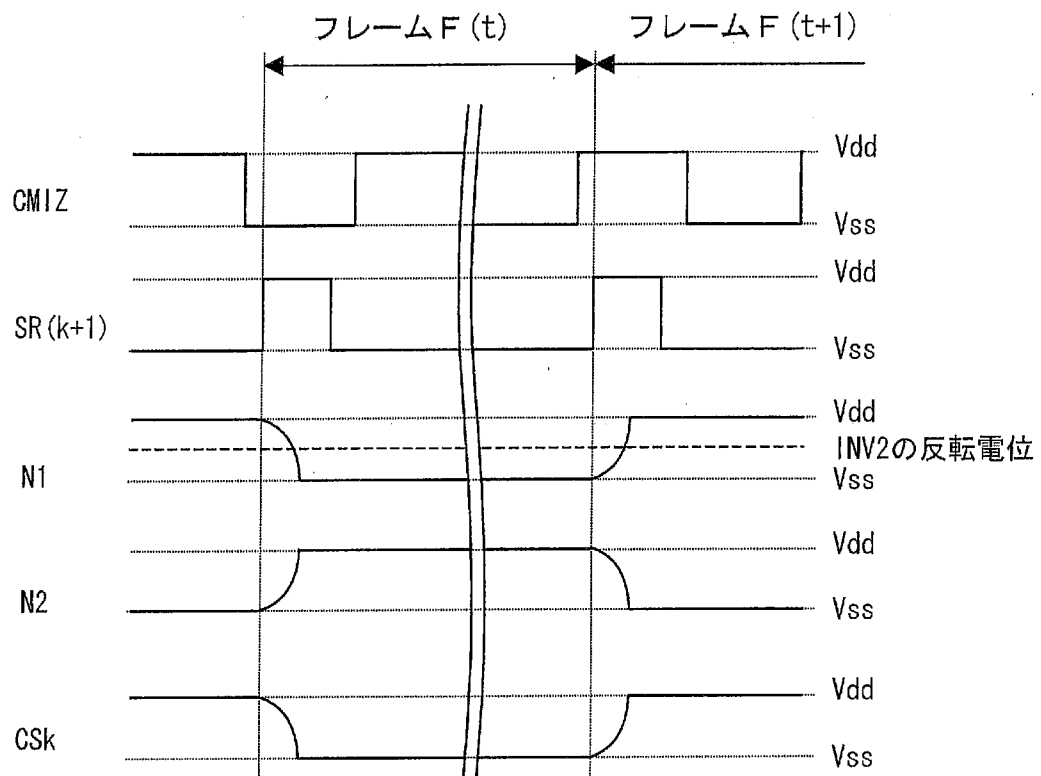
[図41]



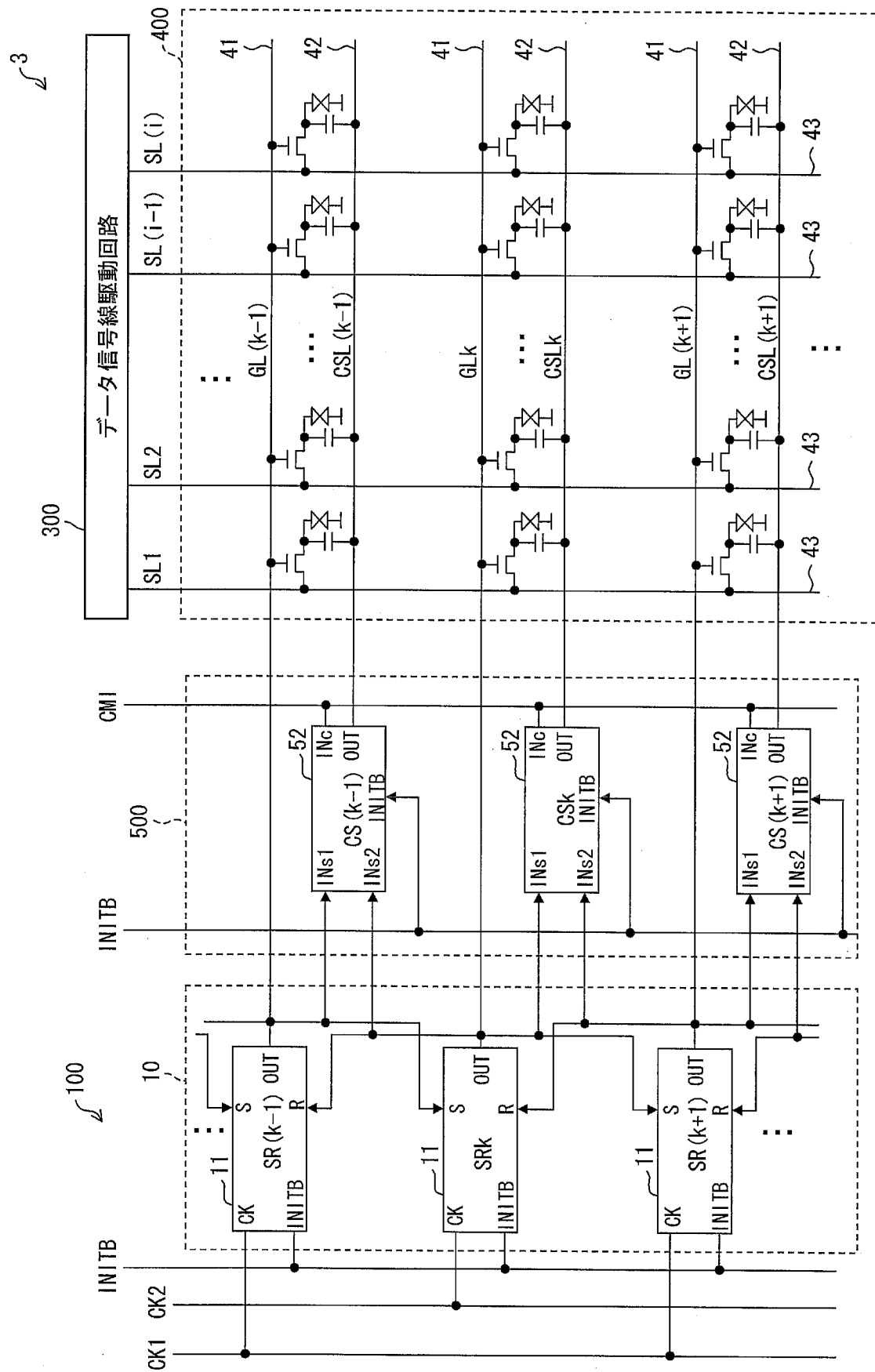
[図42]



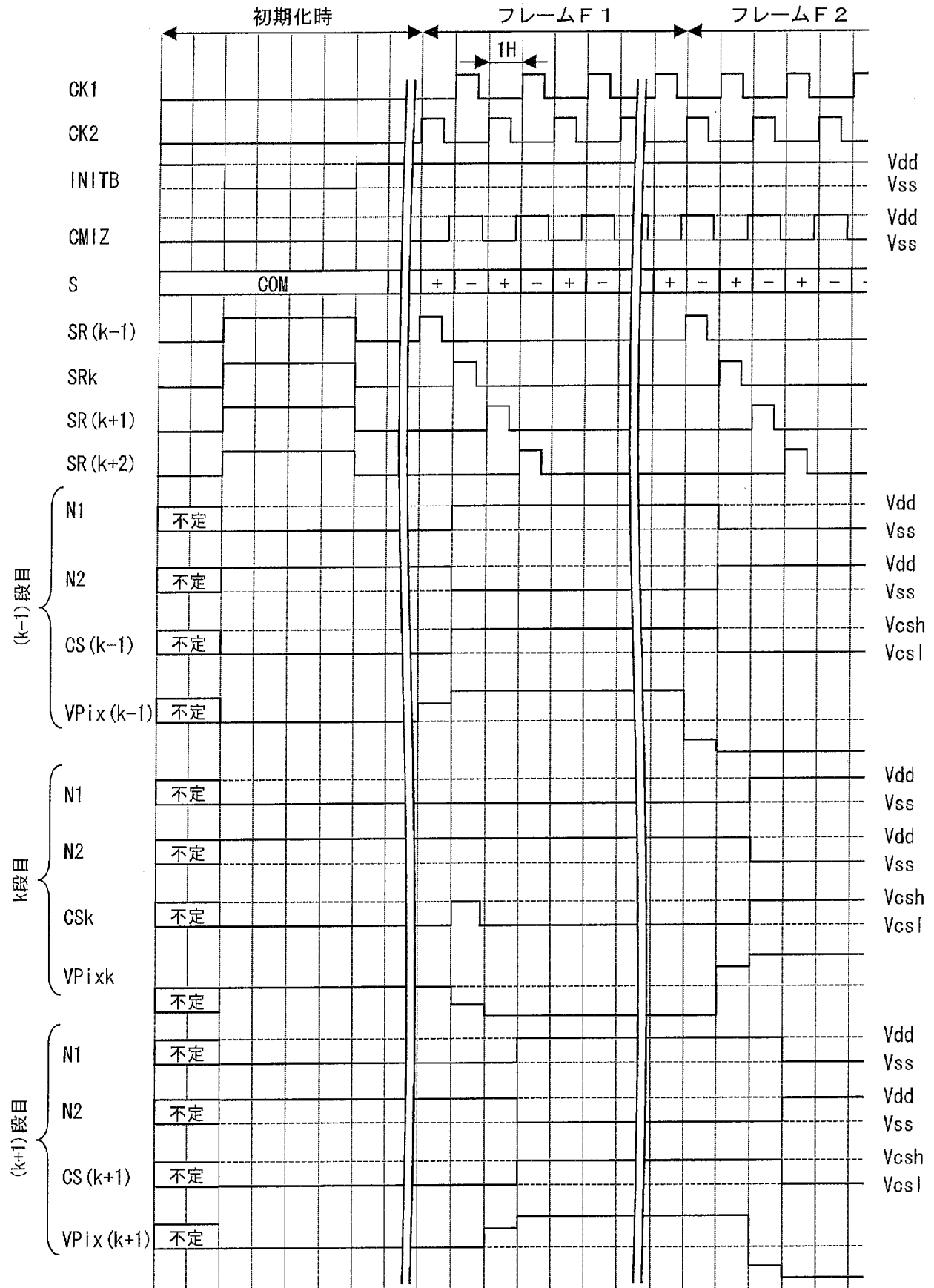
[図43]



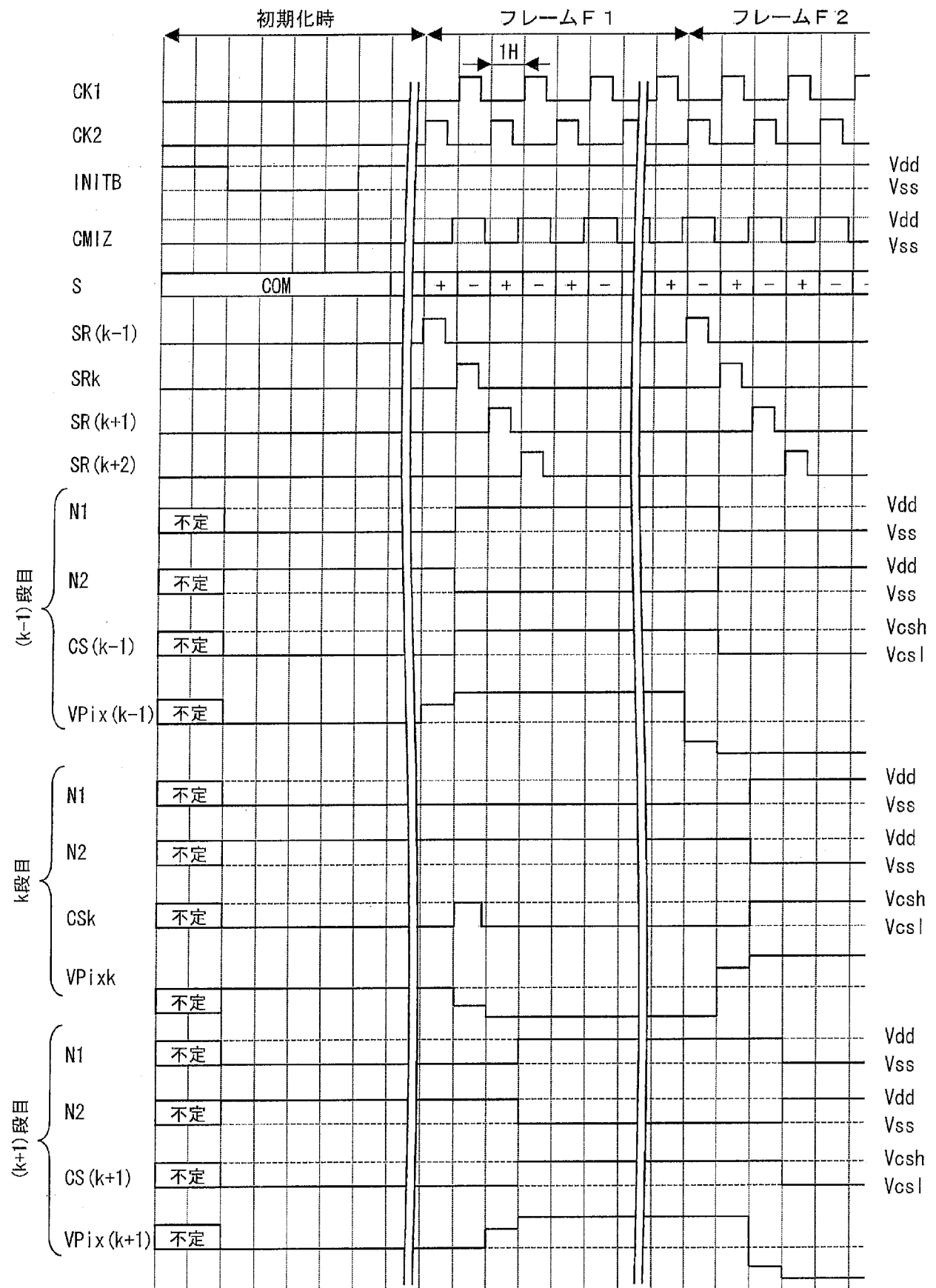
[図44]



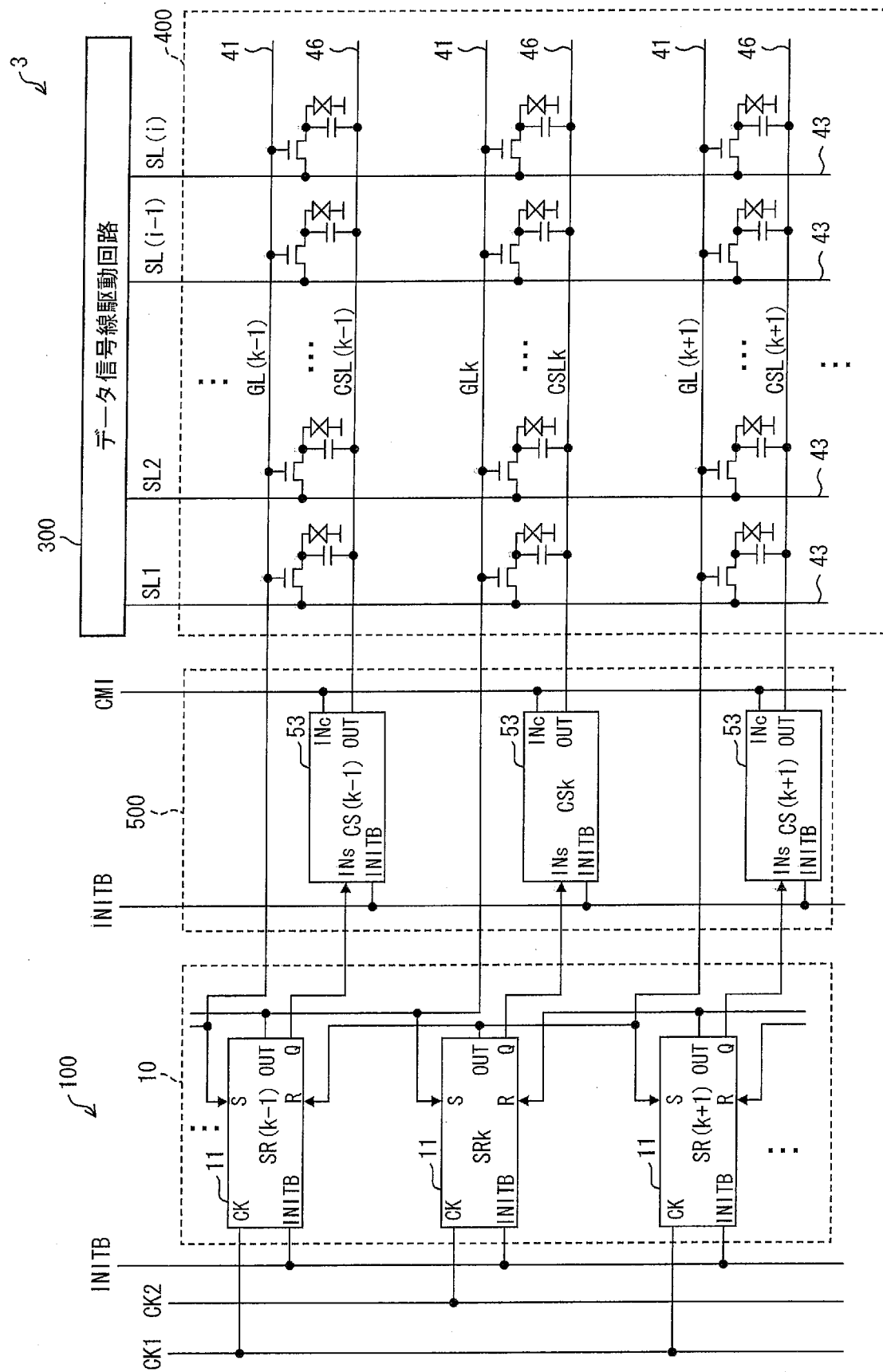
[図46]



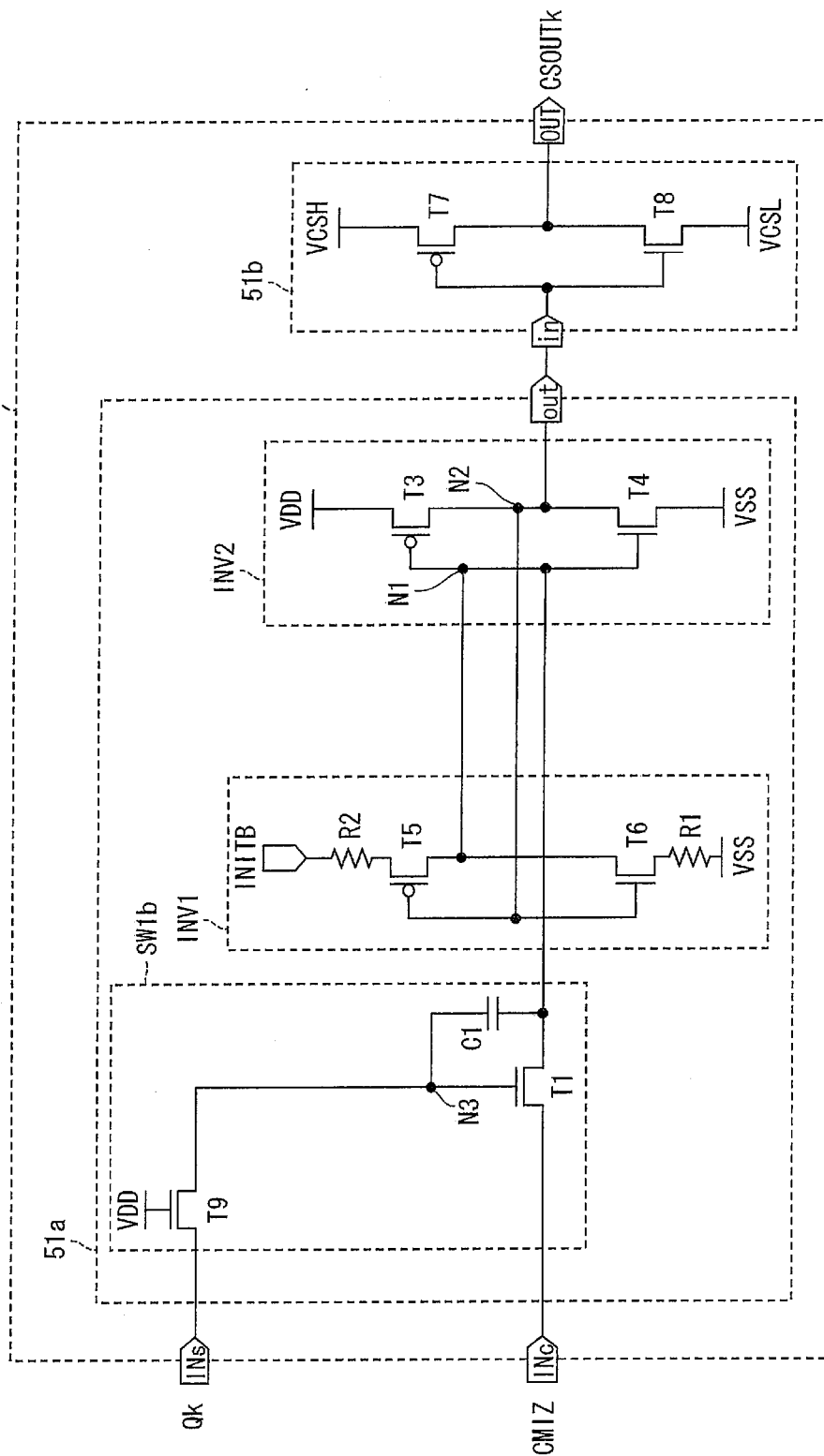
[図47]



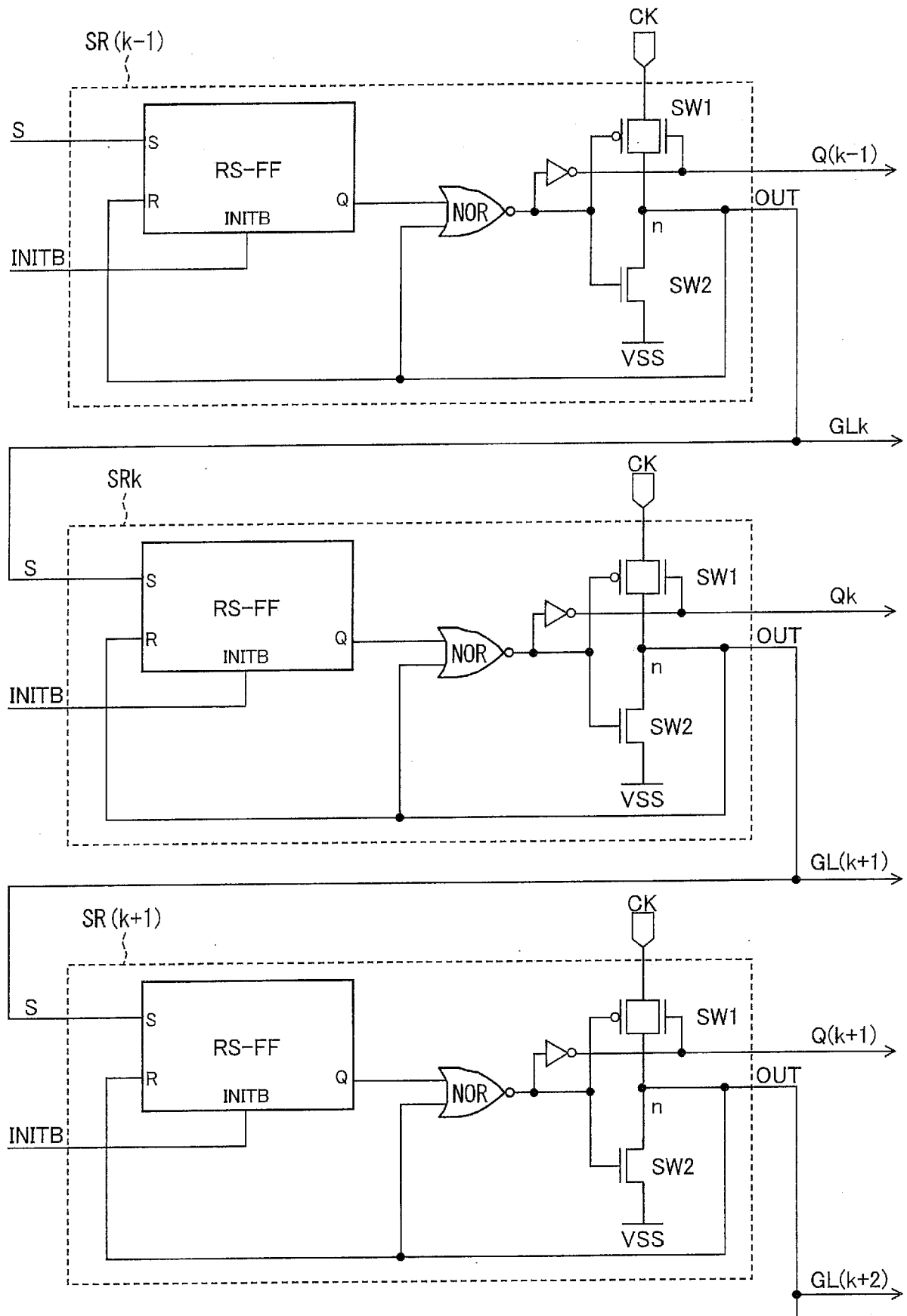
3



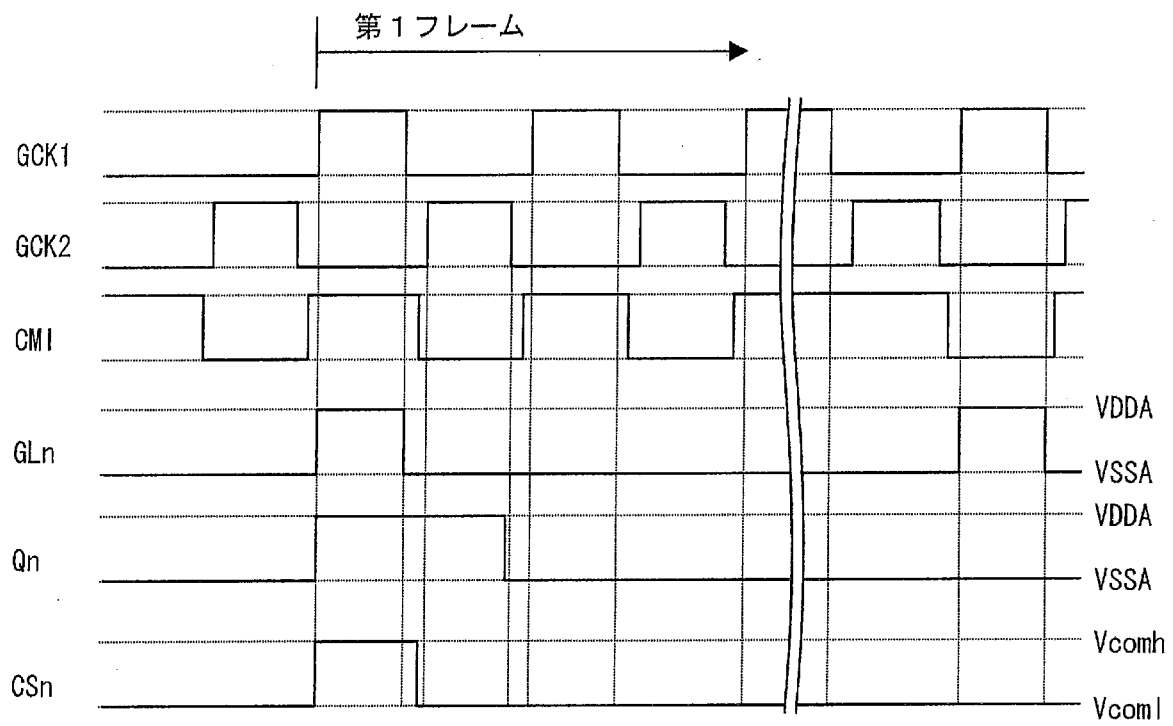
53



[図50]

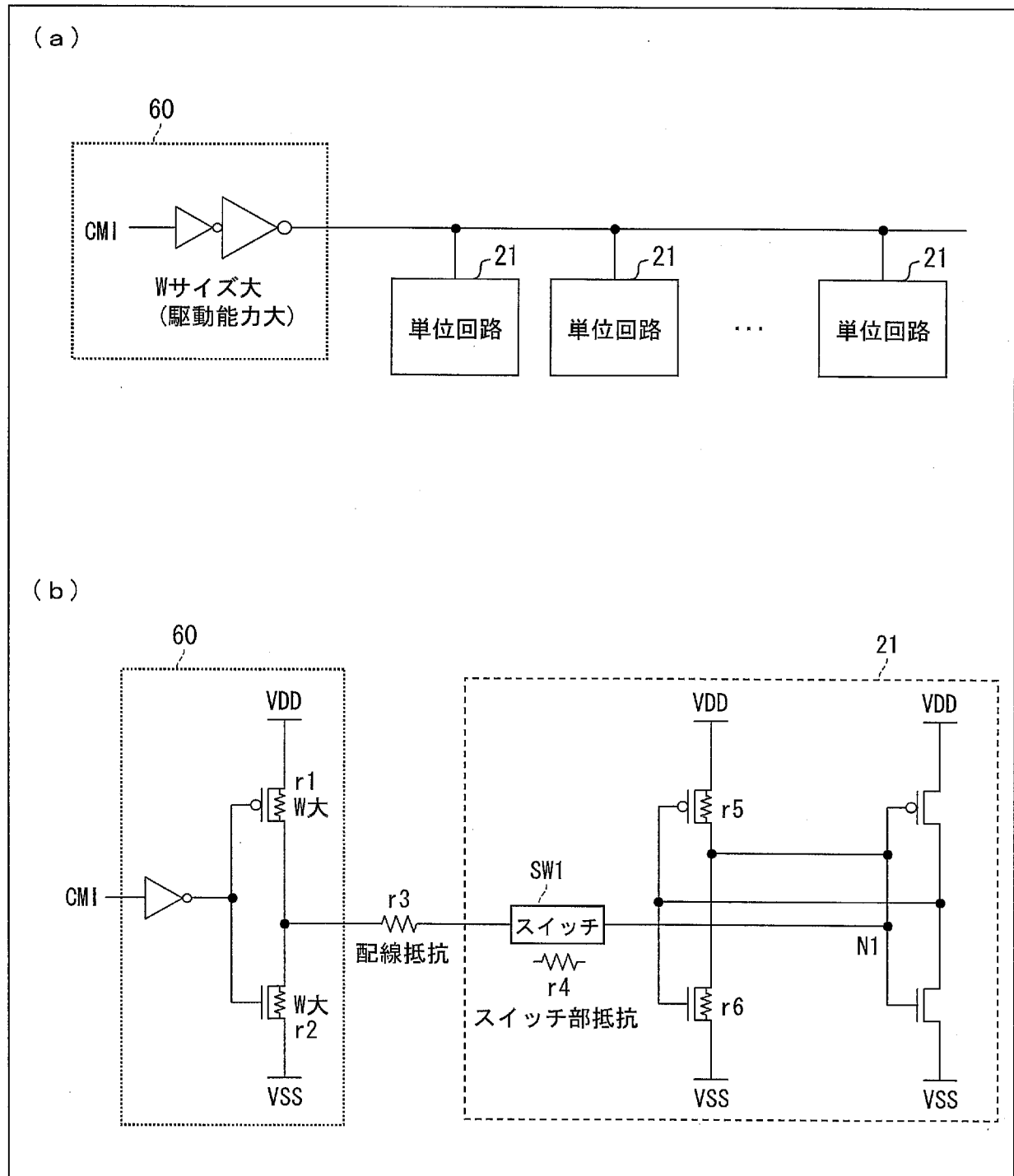


[図51]

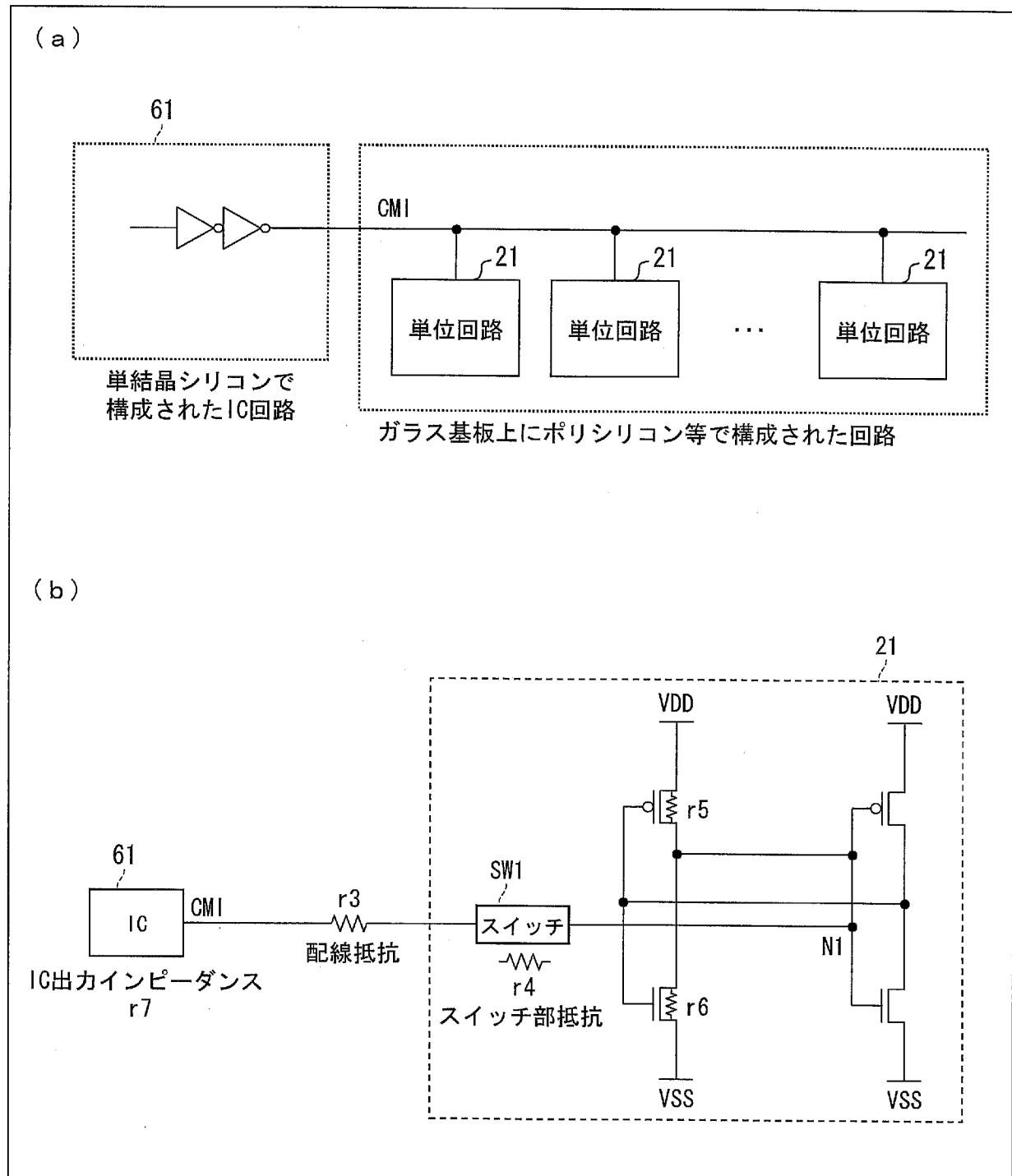


[illegible]

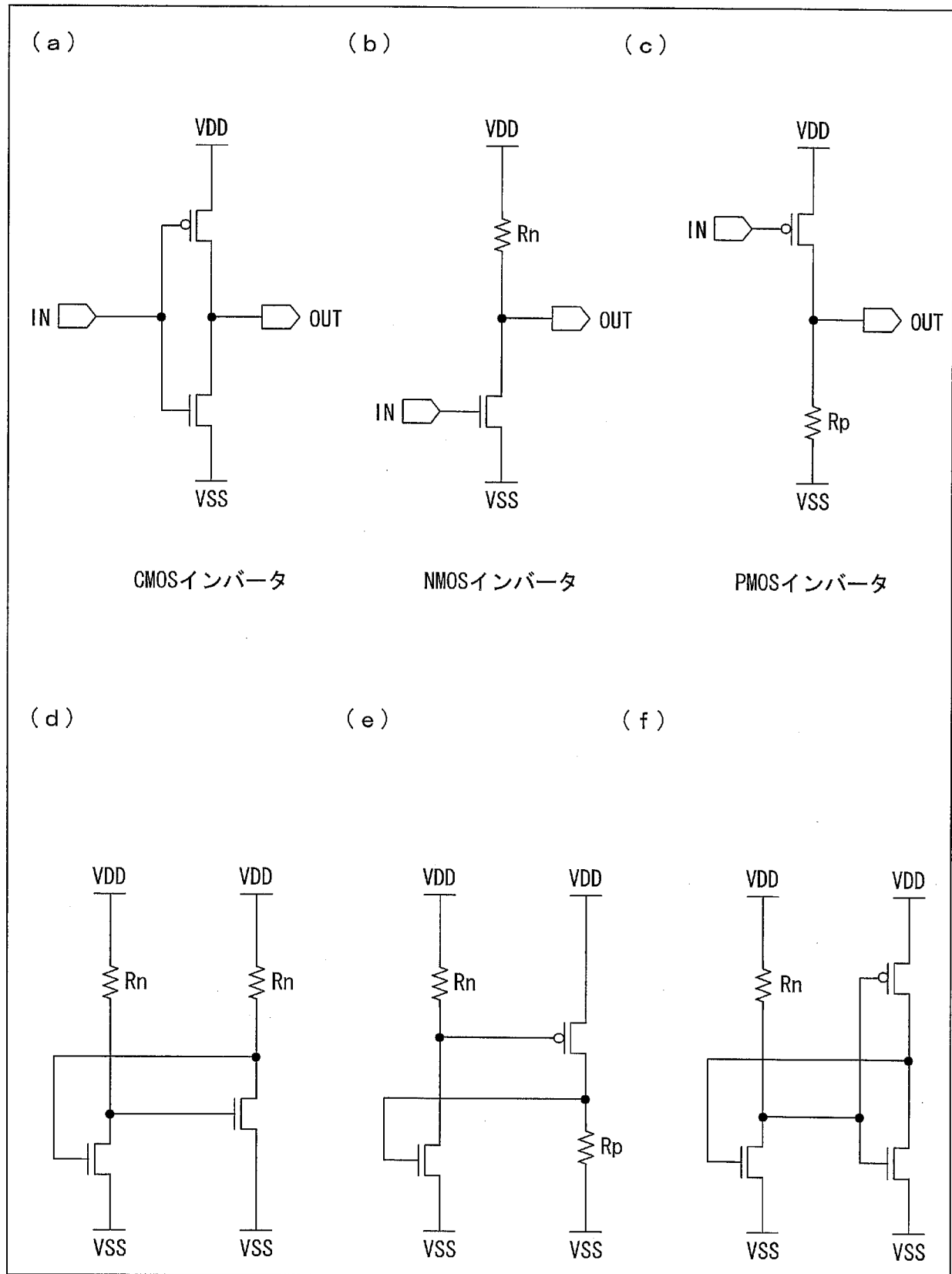
[図53]

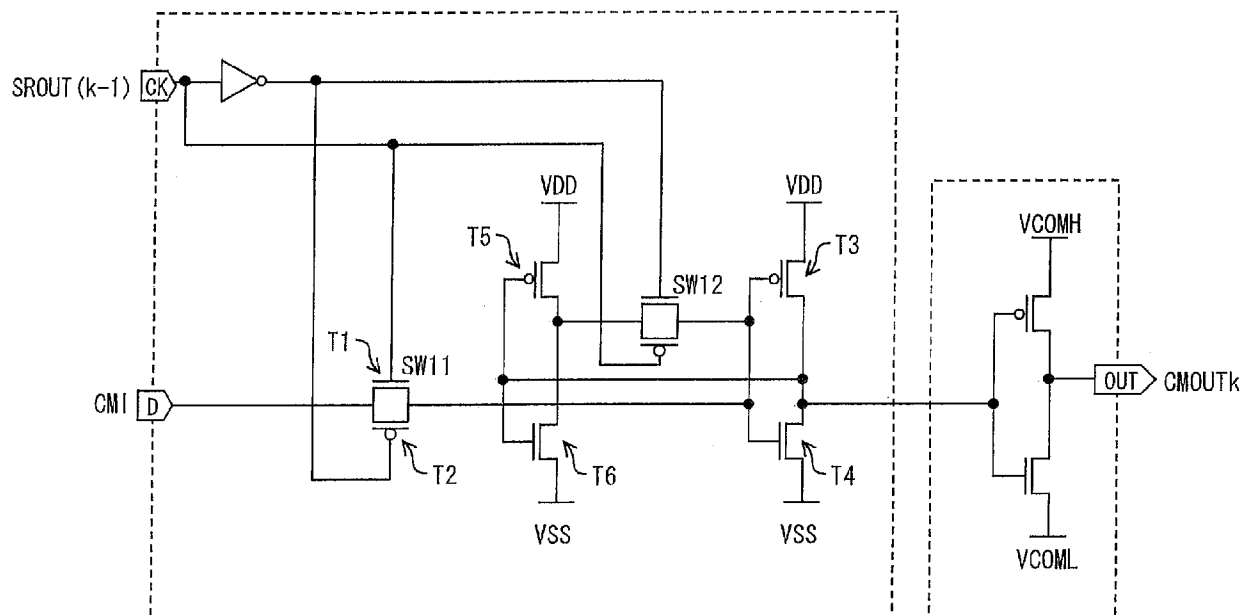
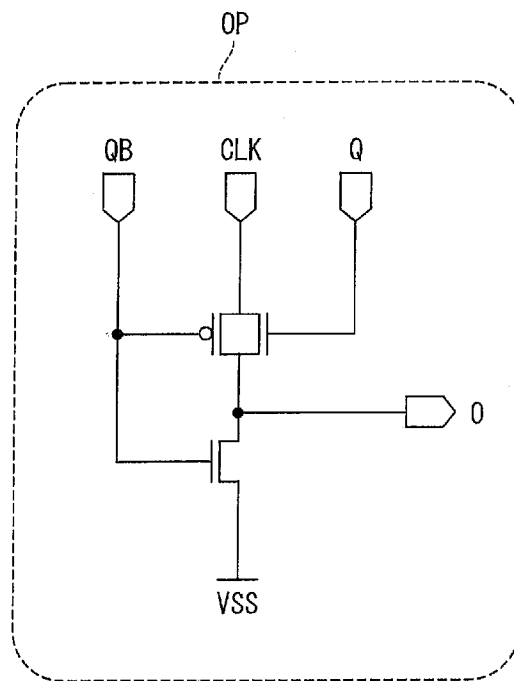


[図54]



[図55]





INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/066195

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/36, G02F1/133, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2010-107808 A (Epson Imaging Devices Corp.), 13 May 2010 (13.05.2010), entire text; all drawings	1-4, 8-9, 12-15
Y	(Family: none)	5-6
A		7, 10-11
Y	JP 2004-163601 A (Seiko Epson Corp.), 10 June 2004 (10.06.2004), paragraphs [0065] to [0071]; fig. 4 to 5 (Family: none)	5
Y	JP 7-230073 A (Seiko Epson Corp.), 29 August 1995 (29.08.1995), paragraph [0040]; fig. 8 & US 5745092 A & GB 2285164 A & SG 54123 A	6

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
14 September, 2012 (14.09.12)

Date of mailing of the international search report
25 September, 2012 (25.09.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G09G3/36, G02F1/133, G09G3/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2010-107808 A（エプソンイメージングデバイス株式会社） 2010.05.13, 全文, 全図（ファミリーなし）	1-4, 8-9, 12-15 5-6 7, 10-11
Y	JP 2004-163601 A（セイコーエプソン株式会社）2004.06.10, 段落 【0065】－【0071】, 図4－5（ファミリーなし）	5

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 4 . 0 9 . 2 0 1 2

国際調査報告の発送日

2 5 . 0 9 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

武 田 悟

2 G

9 3 0 7

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 2 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 7-230073 A (セイコーエプソン株式会社) 1995. 08. 29, 段落【O O 4 O】, 図 8 & US 5745092 A & GB 2285164 A & SG 54123 A	6