

(19) 日本国特許庁(JP)

## (12) 特 許 公 報(B2)

(11) 特許番号

特許第6851166号  
(P6851166)

(45) 発行日 令和3年3月31日(2021.3.31)

(24) 登録日 令和3年3月11日(2021.3.11)

(51) Int.Cl.

F 1

HO1L 21/336	(2006.01)	HO1L 29/78	29/78	617J
HO1L 29/786	(2006.01)	HO1L	29/78	618B
HO1L 21/8234	(2006.01)	HO1L	27/088	A
HO1L 27/088	(2006.01)	HO1L	27/092	A
HO1L 21/8238	(2006.01)	HO1L	29/78	627C

請求項の数 4 (全 109 頁) 最終頁に続く

(21) 出願番号	特願2016-197784 (P2016-197784)
(22) 出願日	平成28年10月6日 (2016.10.6)
(65) 公開番号	特開2017-76785 (P2017-76785A)
(43) 公開日	平成29年4月20日 (2017.4.20)
審査請求日	令和1年10月2日 (2019.10.2)
(31) 優先権主張番号	特願2015-201654 (P2015-201654)
(32) 優先日	平成27年10月12日 (2015.10.12)
(33) 優先権主張国・地域又は機関	日本国 (JP)
(31) 優先権主張番号	特願2015-201656 (P2015-201656)
(32) 優先日	平成27年10月12日 (2015.10.12)
(33) 優先権主張国・地域又は機関	日本国 (JP)

(73) 特許権者	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(72) 発明者	山崎 舜平 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(72) 発明者	佐藤 貴洋 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(72) 発明者	神長 正美 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
審査官	岩本 勉

最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

## (57) 【特許請求の範囲】

## 【請求項 1】

酸化物半導体膜を有する半導体装置の作製方法であって、  
酸化物半導体膜を形成する工程と、  
前記酸化物半導体膜上に絶縁膜を成膜する工程と、  
前記絶縁膜上に導電膜を成膜する工程と、  
前記導電膜上に第1の保護膜を成膜する工程と、  
前記第1の保護膜上に第2の保護膜を形成する工程と、を有し、  
前記第1の保護膜、前記導電膜、及び前記絶縁膜は、前記第2の保護膜をマスクに加工され、

前記第2の保護膜を除去した後に、前記導電膜及び前記絶縁膜は、前記第1の保護膜をマスクに、前記第2の保護膜よりも小さい面積で加工される、半導体装置の作製方法。

## 【請求項 2】

酸化物半導体膜を有する半導体装置の作製方法であって、  
酸化物半導体膜を形成する工程と、  
前記酸化物半導体膜上に絶縁膜を成膜する工程と、  
前記絶縁膜上に導電膜を成膜する工程と、  
前記導電膜上に第1の保護膜を成膜する工程と、  
前記第1の保護膜上に第2の保護膜を形成する工程と、を有し、  
前記第1の保護膜、前記導電膜、及び前記絶縁膜は、前記第2の保護膜をマスクに加工

10

20

され、

前記第2の保護膜を除去した後に、前記導電膜及び前記絶縁膜は、前記第1の保護膜をマスクに、前記第2の保護膜よりも小さい面積で加工され、

前記第1の保護膜上から前記酸化物半導体膜に対してプラズマ処理を行い、

前記第1の保護膜を除去した後に、前記導電膜及び前記酸化物半導体膜上に窒化物絶縁膜が成膜される、半導体装置の作製方法。

#### 【請求項3】

請求項1または請求項2において、

前記導電膜は、前記第2の保護膜の面積の15%以上50%以下で形成される、半導体装置の作製方法。

10

#### 【請求項4】

請求項1乃至請求項3のいずれか一項において、

前記第1の保護膜は、無機材料により形成され、

前記第2の保護膜は、有機材料により形成される、半導体装置の作製方法。

#### 【発明の詳細な説明】

##### 【技術分野】

##### 【0001】

本発明の一態様は、半導体装置及びその作製方法に関する。

##### 【0002】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、または、製造方法に関する。または、本発明は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関する。特に、本発明の一態様は、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、それらの駆動方法、またはそれらの製造方法に関する。

20

##### 【0003】

なお、本明細書等において、半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。撮像装置、表示装置、液晶表示装置、発光装置、電気光学装置、発電装置（薄膜太陽電池、有機薄膜太陽電池等を含む）、及び電子機器は、半導体装置を有している場合がある。

30

##### 【背景技術】

##### 【0004】

絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタ（電界効果トランジスタ（FET）、または薄膜トランジスタ（TFT）ともいう）を構成する技術が注目されている。該トランジスタは集積回路（IC）や画像表示装置（表示装置）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコンを代表とする半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

##### 【0005】

例えば、酸化物半導体として、In、Zn、Ga、Snなどを含む非晶質酸化物を用いてトランジスタを作製する技術が開示されている（特許文献1参照）。

40

##### 【0006】

また、自己整列トップゲート構造を有する酸化物薄膜のトランジスタを作製する技術が開示されている（特許文献2参照）。また、チャネル長Lが短く微細化が可能な酸化物半導体を用いたトップゲート型の半導体素子を作製する技術が開示されている（特許文献3参照）。

##### 【0007】

また、絶縁表面上に設けられた結晶構造を有する半導体膜（代表的には、ポリシリコン膜、微結晶シリコン膜など）を、トランジスタの活性層に用いる開発が進んでいる。ポリシリコン膜を用いたトランジスタは、電界効果移動度が高いことから、いろいろな機能回

50

路を形成することが可能である。

#### 【0008】

例えば、アクティブマトリクス型液晶表示装置には、機能ブロック毎に画像表示を行う画素回路や、CMOS回路を基本としたシフトレジスタ回路、レベルシフタ回路、バッファ回路、サンプリング回路などの集積回路が同一基板上に形成される。それらの回路のうち、スイッチ素子として機能する画素トランジスタと保持容量を有する画素部は、液晶に電圧を印加して駆動させている。

#### 【0009】

また、頭部に装着する表示装置（ヘッドマウントディスプレイや、眼鏡型）や、腕部に装着する表示装置（時計型や、リストバンド型）など人体に装着して使用される表示装置が提案されている。このように、様々な形態の表示装置が提案されているため、使用者は、表示装置を使用する上で表示品位が高い、即ち高精細な表示装置を望んでいる。10

#### 【0010】

例えば、アクティブマトリクス型の液晶表示装置においては、画素部において有効画面領域（開口率とも呼ばれる）を広げる開発が進められている。有効画面領域の面積を大きくするには画素部に配置される画素トランジスタの占める面積をできるだけ小さくする必要に迫られている。また、製造コストの低減を図るために駆動回路を画素部と同一基板上に作り込む開発も進められている。

#### 【0011】

トランジスタの占める面積をできるだけ小さくするために、トランジスタのゲート電極の線幅を微細化する技術がいくつか提案されている。例えば、トランジスタのゲート絶縁膜の段部にサイドウォール状のゲート電極を形成する方法が提案されている（特許文献4参照）。20

#### 【先行技術文献】

#### 【特許文献】

#### 【0012】

【特許文献1】特開2006-165529号公報

【特許文献2】特開2009-278115号公報

【特許文献3】特開2013-62529号公報

【特許文献4】特開2003-282881号公報30

#### 【発明の概要】

#### 【発明が解決しようとする課題】

#### 【0013】

酸化物半導体膜を有するトランジスタとしては、例えば、逆スタガ型（ボトムゲート構造ともいう）またはスタガ型（トップゲート構造ともいう）等が挙げられる。酸化物半導体膜を有するトランジスタを表示装置に適用する場合、スタガ型のトランジスタよりも逆スタガ型のトランジスタの方が、作製工程が比較的簡単であり製造コストを抑えられるため、利用される場合が多い。しかしながら、表示装置の画面の大型化、または表示装置の画質の高精細化（例えば、4k×2k（水平方向画素数 = 3840画素、垂直方向画素数 = 2160画素）または8k×4k（水平方向画素数 = 7680画素、垂直方向画素数 = 4320画素）に代表される高精細な表示装置）が進むと、逆スタガ型のトランジスタでは、ゲート電極とソース電極及びドレイン電極との間の寄生容量が生じる場合がある。該寄生容量の大きさによっては、信号遅延等が大きくなり、表示装置の画質が劣化するという問題があった。そこで、酸化物半導体膜を有するスタガ型のトランジスタについて、安定した半導体特性及び高い信頼性を有する構造の開発が望まれている。40

#### 【0014】

また、表示装置の画質の高精細化が進むと、酸化物半導体膜を有するトランジスタとしては、微細化された構造が望まれる。トランジスタの微細化としては、特にチャネル長Lの長さが重要となる。例えば、酸化物半導体膜を有するトランジスタの形成時において、リソグラフィプロセスを用いてパターニングする場合、リソグラフィプロセスでは、装置50

の解像度、または使用するレジスト材料の感度等によって、チャネル長Lを短くするには限界がある。

【0015】

上記問題に鑑み、本発明の一態様は、酸化物半導体を有するトランジスタにおいて、電気特性の変動を抑制すると共に、信頼性を向上させることを課題の1つとする。または、本発明の一態様は、酸化物半導体を有するスタガ型のトランジスタを提供することを課題の1つとする。または、本発明の一態様は、酸化物半導体を有するオン電流が大きいトランジスタを提供することを課題の1つとする。または、本発明の一態様は、酸化物半導体を有するオフ電流が小さいトランジスタを提供することを課題の1つとする。または、本発明の一態様は、消費電力が低減された半導体装置を提供することを課題の1つとする。  
または、本発明の一態様は、酸化物半導体を有し、微細化されたトランジスタを提供することを課題の1つとする。または、本発明の一態様は、新規な半導体装置を提供することを課題の1つとする。

【0016】

または、表示装置において、高精細化を達成させるため、画素ピッチを小さくすることが挙げられる。具体的には、画素密度が1000 ppi (pixel per inch) を超える表示装置を実現することを課題の一とする。また、高品位の画質を達成させるため、開口率を高くすることも目標の一つと言える。高い開口率を実現するためには、配線幅が小さい配線パターン、具体的には線幅1.5 μm未満の微細な配線を形成し、配線間隔が小さい配線パターンを形成することを課題の一とする。

【0017】

または、安定した電気特性を有するトランジスタを提供することを課題の一とする。または、該トランジスタを有する半導体装置を提供することを課題の一とする。または、該半導体装置を有するモジュールを提供することを課題の一とする。または、該半導体装置、または該モジュールを有する電子機器を提供することを課題の一とする。または、新規な半導体装置を提供することを課題の一とする。

【0018】

なお、上記の課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの課題の全てを解決する必要はない。上記以外の課題は、明細書等の記載から自ずと明らかになるものであり、明細書等の記載から上記以外の課題を抽出することが可能である。

【課題を解決するための手段】

【0019】

本発明の一態様は、酸化物半導体膜を有する半導体装置の作製方法であって、酸化物半導体膜を形成する工程と、酸化物半導体膜上に絶縁膜を成膜する工程と、絶縁膜上に導電膜を成膜する工程と、導電膜上に第1の保護膜を成膜する工程と、第1の保護膜上に第2の保護膜を形成する工程と、を有し、第1の保護膜、導電膜、及び絶縁膜は、第2の保護膜をマスクに加工され、第2の保護膜を除去した後に、導電膜及び絶縁膜は、第1の保護膜をマスクに、第2の保護膜よりも小さい面積で加工される、半導体装置の作製方法である。

【0020】

また、本発明の他の一態様は、酸化物半導体膜を有する半導体装置の作製方法であって、酸化物半導体膜を形成する工程と、酸化物半導体膜上に絶縁膜を成膜する工程と、絶縁膜上に導電膜を成膜する工程と、導電膜上に第1の保護膜を成膜する工程と、第1の保護膜上に第2の保護膜を形成する工程と、を有し、第1の保護膜、導電膜、及び絶縁膜は、第2の保護膜をマスクに加工され、第2の保護膜を除去した後に、導電膜及び絶縁膜は、第1の保護膜をマスクに、第2の保護膜よりも小さい面積で加工され、第1の保護膜上から酸化物半導体膜に対してプラズマ処理を行い、第1の保護膜を除去した後に、導電膜及び酸化物半導体膜上に窒化物絶縁膜が成膜される、半導体装置の作製方法である。

【0021】

10

20

30

40

50

上記態様において、プラズマ処理は、アルゴン及び窒素のいずれか一方または双方の雰囲気下で行われると好ましい。

#### 【0022】

また、上記態様において、導電膜は、第2の保護膜の面積の15%以上50%以下で形成されると好ましい。

#### 【0023】

また、上記態様において、第1の保護膜は、無機材料により形成され、第2の保護膜は、有機材料により形成されると好ましい。

#### 【0024】

また、上記態様において、導電膜は、金属酸化膜と、金属酸化膜上の金属膜とにより形成されると好ましい。 10

#### 【0025】

また、本発明の他の一態様は、ガラス基板上の半導体膜と、半導体膜上の絶縁膜と、半導体膜と一部重なり、且つ絶縁膜上のゲート電極と、を有し、半導体膜は、一対の低抵抗領域と、一対の低抵抗領域の間のチャネル領域と、を有し、チャネル長方向において、低抵抗領域の幅は、チャネル領域のチャネル長と同じ、またはチャネル領域のチャネル長よりも広い半導体装置である。

#### 【0026】

また、上記態様において、低抵抗領域の一部は、ゲート電極と重なると好ましい。

#### 【0027】

また、上記態様において、チャネル長は、1.5 μm未満であると好ましい。 20

#### 【0028】

また、上記態様において、半導体膜は、結晶構造を有すると好ましい。また、上記態様において、半導体膜は、多結晶シリコン膜であると好ましい。

#### 【0029】

また、本発明の他の一態様は、上記記載の半導体装置と、表示素子とを有する表示装置である。また、本発明の他の一態様は、上記記載の表示装置と、タッチセンサとを有する表示モジュールである。また、本発明の他の一態様は、上記記載の半導体装置、表示装置、または表示モジュールと、操作キーまたはバッテリと、を有する電子機器である。

#### 【発明の効果】

#### 【0030】

本発明の一態様により、酸化物半導体を有するトランジスタにおいて、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、本発明の一態様により、酸化物半導体を有するスタガ型のトランジスタを提供することができる。または、本発明の一態様により、酸化物半導体を有するオン電流が大きいトランジスタを提供することができる。または、本発明の一態様により、酸化物半導体を有するオフ電流が小さいトランジスタを提供することができる。または、本発明の一態様により、消費電力が低減された半導体装置を提供することができる。または、本発明の一態様により、酸化物半導体を有し、微細化されたトランジスタを提供することができる。または、本発明の一態様により、新規な半導体装置を提供することができる。 40

#### 【0031】

また、本発明の一態様により、画素密度が1000ppiを超える表示装置を実現することができる。または、本発明の一態様により、安定した電気特性を有するトランジスタを提供することができる。または、本発明の一態様により、上記トランジスタを有する半導体装置を提供することができる。または、本発明の一態様により、上記半導体装置を有するモジュールを提供することができる。または、本発明の一態様により、上記半導体装置または上記モジュールを有する電子機器を提供することができる。または、本発明の一態様により、新規な半導体装置を提供することができる。

#### 【0032】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の 50

一態様は、必ずしも、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

【図面の簡単な説明】

【0033】

- 【図1】半導体装置を説明する上面図及び断面図。
- 【図2】半導体装置の作製方法を説明する断面図。
- 【図3】半導体装置の作製方法を説明する断面図。
- 【図4】半導体装置の作製方法を説明する断面図。
- 【図5】半導体装置を説明する上面図及び断面図。
- 【図6】半導体装置の作製方法を説明する断面図。
- 【図7】半導体装置の作製方法を説明する断面図。
- 【図8】半導体装置の作製方法を説明する断面図。
- 【図9】半導体装置を説明する断面図。
- 【図10】半導体装置を説明する断面図。
- 【図11】半導体装置を説明する断面図。
- 【図12】半導体装置を説明する断面図。
- 【図13】半導体装置を説明する断面図。
- 【図14】半導体装置を説明する断面図。
- 【図15】半導体装置を説明する断面図。
- 【図16】半導体装置を説明する上面図及び断面図。
- 【図17】半導体装置の作製方法を説明する断面図。
- 【図18】半導体装置の作製方法を説明する断面図。
- 【図19】半導体装置の作製方法を説明する断面図。
- 【図20】半導体装置の作製方法を説明する断面図。
- 【図21】半導体装置を説明する上面図及び断面図。
- 【図22】半導体装置を説明する断面図。
- 【図23】酸化物半導体の原子数比の範囲を説明する図。
- 【図24】InMznO<sub>4</sub>の結晶を説明する図。
- 【図25】酸化物半導体の積層構造のバンド図。
- 【図26】CAAC-OS及び単結晶酸化物半導体のXRDによる構造解析を説明する図、ならびにCAAC-OSの制限視野電子回折パターンを示す図。
- 【図27】CAAC-OSの断面TEM像、ならびに平面TEM像及びその画像解析像。
- 【図28】nc-OSの電子回折パターンを示す図、及びnc-OSの断面TEM像。
- 【図29】a-like OSの断面TEM像。
- 【図30】In-Ga-Zn酸化物の電子照射による結晶部の変化を示す図。
- 【図31】表示装置の一態様を示す上面図。
- 【図32】表示装置の一態様を示す断面図。
- 【図33】表示装置の一態様を示す断面図。
- 【図34】表示装置の一態様を示す断面図。
- 【図35】表示装置の一態様を示す断面図。
- 【図36】表示装置の一態様を示す断面図。
- 【図37】半導体装置の一態様を示す上面図及び断面図。
- 【図38】半導体装置の一態様を示す上面図及び断面図。
- 【図39】半導体装置の一態様を示す上面図及び断面図。
- 【図40】半導体装置の一態様を示す上面図及び断面図。
- 【図41】半導体装置の一態様を示す断面図。
- 【図42】表示装置を説明するブロック図及び回路図。
- 【図43】本発明の一態様を説明するための回路図およびタイミングチャート。
- 【図44】本発明の一態様を説明するためのグラフおよび回路図。

10

20

30

40

50

- 【図45】本発明の一態様を説明するための回路図およびタイミングチャート。
- 【図46】本発明の一態様を説明するための回路図およびタイミングチャート。
- 【図47】本発明の一態様を説明するためのブロック図、回路図および波形図。
- 【図48】本発明の一態様を説明するための回路図およびタイミングチャート。
- 【図49】本発明の一態様を説明するための回路図。
- 【図50】本発明の一態様を説明するための回路図。
- 【図51】表示モジュールを説明する図。
- 【図52】電子機器を説明する図。
- 【図53】電子機器を説明する図。
- 【図54】表示装置を説明する斜視図。 10
- 【図55】表示装置の一例を示す斜視図。
- 【図56】表示装置の一例を示す断面図。
- 【発明を実施するための形態】
- 【0034】
- 以下、実施の形態について図面を参照しながら説明する。ただし、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。
- 【0035】 20
- また、図面において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状又は値などに限定されない。
- 【0036】
- また、本明細書にて用いる「第1」、「第2」、「第3」という序数詞は、構成要素の混同を避けるために付したものであり、数的に限定するものではないことを付記する。
- 【0037】 30
- また、本明細書において、「上に」、「下に」などの配置を示す語句は、構成同士の位置関係を、図面を参照して説明するために、便宜上用いている。また、構成同士の位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。
- 【0038】
- また、本明細書等において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン（ドレイン端子、ドレイン領域またはドレイン電極）とソース（ソース端子、ソース領域またはソース電極）の間にチャネル領域を有しており、ドレインとチャネル領域とソースとを介して電流を流すことができるものである。なお、本明細書等において、チャネル領域とは、電流が主として流れる領域をいう。
- 【0039】 40
- また、ソースやドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、ソースやドレインの用語は、入れ替えて用いることができるものとする。
- 【0040】
- また、本明細書等において、「電気的に接続」には、「何らかの電気的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電気的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。例えば、「何らかの電気的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。
- 【0041】 50

また、本明細書等において、「平行」とは、二つの直線が-10°以上10°以下の角度で配置されている状態をいう。したがって、-5°以上5°以下の場合も含まれる。また、「垂直」とは、二つの直線が80°以上100°以下の角度で配置されている状態をいう。したがって、85°以上95°以下の場合も含まれる。

#### 【0042】

また、本明細書等において、「膜」という用語と、「層」という用語とは、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

#### 【0043】

また、本明細書等において、特に断りがない場合、オフ電流とは、トランジスタがオフ状態（非導通状態、遮断状態、ともいう）にあるときのドレイン電流をいう。オフ状態とは、特に断りがない場合、nチャネル型トランジスタでは、ゲートとソースの間の電圧V<sub>gs</sub>がしきい値電圧V<sub>th</sub>よりも低い状態、pチャネル型トランジスタでは、ゲートとソースの間の電圧V<sub>gs</sub>がしきい値電圧V<sub>th</sub>よりも高い状態をいう。例えば、nチャネル型のトランジスタのオフ電流とは、ゲートとソースの間の電圧V<sub>gs</sub>がしきい値電圧V<sub>th</sub>よりも低いときのドレイン電流を言う場合がある。

#### 【0044】

トランジスタのオフ電流は、V<sub>gs</sub>に依存する場合がある。従って、トランジスタのオフ電流がI以下である、とは、トランジスタのオフ電流がI以下となるV<sub>gs</sub>の値が存在することを言う場合がある。トランジスタのオフ電流は、所定のV<sub>gs</sub>におけるオフ状態、所定の範囲内のV<sub>gs</sub>におけるオフ状態、または、十分に低減されたオフ電流が得られるV<sub>gs</sub>におけるオフ状態、等におけるオフ電流を指す場合がある。

#### 【0045】

一例として、しきい値電圧V<sub>th</sub>が0.5Vであり、V<sub>gs</sub>が0.5Vにおけるドレイン電流が $1 \times 10^{-9}$ Aであり、V<sub>gs</sub>が0.1Vにおけるドレイン電流が $1 \times 10^{-1}$ <sup>3</sup>Aであり、V<sub>gs</sub>が-0.5Vにおけるドレイン電流が $1 \times 10^{-19}$ Aであり、V<sub>gs</sub>が-0.8Vにおけるドレイン電流が $1 \times 10^{-22}$ Aであるようなnチャネル型トランジスタを想定する。当該トランジスタのドレイン電流は、V<sub>gs</sub>が-0.5Vにおいて、または、V<sub>gs</sub>が-0.5V乃至-0.8Vの範囲において、 $1 \times 10^{-19}$ A以下であるから、当該トランジスタのオフ電流は $1 \times 10^{-19}$ A以下である、と言う場合がある。当該トランジスタのドレイン電流が $1 \times 10^{-22}$ A以下となるV<sub>gs</sub>が存在するため、当該トランジスタのオフ電流は $1 \times 10^{-22}$ A以下である、と言う場合がある。

#### 【0046】

また、本明細書等では、チャネル幅Wを有するトランジスタのオフ電流を、チャネル幅Wあたりを流れる電流値で表す場合がある。また、所定のチャネル幅（例えば1μm）あたりを流れる電流値で表す場合がある。後者の場合、オフ電流の単位は、電流／長さの次元を持つ単位（例えば、A／μm）で表される場合がある。

#### 【0047】

トランジスタのオフ電流は、温度に依存する場合がある。本明細書において、オフ電流は、特に記載がない場合、室温、60、85、95、または125におけるオフ電流を表す場合がある。または、当該トランジスタが含まれる半導体装置等の信頼性が保証される温度、または、当該トランジスタが含まれる半導体装置等が使用される温度（例えば、5乃至35のいずれか一の温度）におけるオフ電流、を表す場合がある。トランジスタのオフ電流がI以下である、とは、室温、60、85、95、125、当該トランジスタが含まれる半導体装置等の信頼性が保証される温度、または、当該トランジスタが含まれる半導体装置等が使用される温度（例えば、5乃至35のいずれか一の温度）、におけるトランジスタのオフ電流がI以下となるV<sub>gs</sub>の値が存在することを指す場合がある。

#### 【0048】

10

20

30

40

50

トランジスタのオフ電流は、ドレインとソースの間の電圧  $V_{dS}$  に依存する場合がある。本明細書において、オフ電流は、特に記載がない場合、 $V_{dS}$  が 0.1V、0.8V、1V、1.2V、1.8V、2.5V, 3V、3.3V、10V、12V、16V、または 20V におけるオフ電流を表す場合がある。または、当該トランジスタが含まれる半導体装置等の信頼性が保証される  $V_{dS}$ 、または、当該トランジスタが含まれる半導体装置等において使用される  $V_{dS}$  におけるオフ電流、を表す場合がある。トランジスタのオフ電流が  $I$  以下である、とは、 $V_{dS}$  が 0.1V、0.8V、1V、1.2V、1.8V、2.5V, 3V、3.3V、10V、12V、16V、20V、当該トランジスタが含まれる半導体装置等の信頼性が保証される  $V_{dS}$ 、または、当該トランジスタが含まれる半導体装置等において使用される  $V_{dS}$ 、におけるトランジスタのオフ電流が  $I$  以下となる  $V_{GS}$  の値が存在することを指す場合がある。10

#### 【0049】

上記オフ電流の説明において、ドレインをソースと読み替えてよい。つまり、オフ電流は、トランジスタがオフ状態にあるときのソースを流れる電流を言う場合もある。

#### 【0050】

また、本明細書等では、オフ電流と同じ意味で、リーク電流と記載する場合がある。また、本明細書等において、オフ電流とは、例えば、トランジスタがオフ状態にあるときに、ソースとドレインとの間に流れる電流を指す場合がある。

#### 【0051】

また、本明細書等において、「半導体」と表記した場合であっても、例えば、導電性が十分に低い場合は、「絶縁体」としての特性を有する場合がある。また、「半導体」と「絶縁体」とは境界が曖昧であり、厳密に区別できない場合がある。したがって、本明細書等に記載の「半導体」は、「絶縁体」に言い換えることが可能な場合がある。同様に、本明細書等に記載の「絶縁体」は、「半導体」に言い換えることが可能な場合がある。または、本明細書等に記載の「絶縁体」を「半絶縁体」に言い換えることが可能な場合がある。20

#### 【0052】

また、本明細書等において、「半導体」と表記した場合であっても、例えば、導電性が十分に高い場合は、「導電体」としての特性を有する場合がある。また、「半導体」と「導電体」とは境界が曖昧であり、厳密に区別できない場合がある。したがって、本明細書等に記載の「半導体」は、「導電体」に言い換えることが可能な場合がある。同様に、本明細書等に記載の「導電体」は、「半導体」に言い換えることが可能な場合がある。30

#### 【0053】

また、本明細書等において、半導体の不純物とは、半導体を構成する主成分以外をいう。例えば、濃度が 0.1 原子%未満の元素は不純物である。不純物が含まれることにより、半導体に DOS (D e n s i t y o f S t a t e s) が形成されることや、キャリア移動度が低下することや、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体を有する場合、半導体の特性を変化させる不純物としては、例えば、第 1 族元素、第 2 族元素、第 13 族元素、第 14 族元素、第 15 族元素、主成分以外の遷移金属などがあり、特に、水素（水にも含まれる）、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。酸化物半導体の場合、例えば水素などの不純物の混入によって酸素欠損を形成する場合がある。また、半導体がシリコンを有する場合、半導体の特性を変化させる不純物としては、例えば、酸素、水素を除く第 1 族元素、第 2 族元素、第 13 族元素、第 15 族元素などがある。40

#### 【0054】

##### (実施の形態 1)

本実施の形態では、酸化物半導体膜を有する半導体装置、及び当該半導体装置の作製方法の一例について、図 1 乃至 図 15 を用いて説明する。

#### 【0055】

< 1 - 1 . 半導体装置の構成例 1 >

図1(A)(B)(C)に、酸化物半導体膜を有する半導体装置の一例を示す。ここでは半導体装置として、トランジスタを示す。なお、図1(A)(B)(C)に示すトランジスタは、スタガ型(トップゲート構造)である。

#### 【0056】

図1(A)は、トランジスタ100の上面図であり、図1(B)は図1(A)の一点鎖線X1-X2間の断面図であり、図1(C)は図1(A)の一点鎖線Y1-Y2間の断面図である。なお、図1(A)では、明瞭化のため、絶縁膜などの構成要素を省略して図示している。なお、トランジスタの上面図においては、以降の図面においても図1(A)と同様に、構成要素の一部を省略して図示する場合がある。また、一点鎖線X1-X2方向をチャネル長(L)方向、一点鎖線Y1-Y2方向をチャネル幅(W)方向と呼称する場合がある。  
10

#### 【0057】

なお、本発明の一態様の半導体装置においては、トランジスタのチャネル長(L)は、好ましくは0.2μm以上1.5μm未満、より好ましくは、0.5μm以上1.0μm以下である。上述のチャネル長(L)としたトランジスタを表示装置に用いることで、表示装置の画素密度を高めることができる。

#### 【0058】

図1(A)(B)(C)に示すトランジスタ100は、基板102上の絶縁膜104と、絶縁膜104上の酸化物半導体膜108と、酸化物半導体膜108上の絶縁膜110と、絶縁膜110上の導電膜112と、絶縁膜104、酸化物半導体膜108、及び導電膜112上の絶縁膜116と、を有する。  
20

#### 【0059】

酸化物半導体膜108は、導電膜112と重なるチャネル領域108iと、絶縁膜116と接するソース領域108sと、絶縁膜116と接するドレイン領域108dと、を有する。さらに、酸化物半導体膜108は、チャネル領域108iとソース領域108sとの間、及びチャネル領域108iとドレイン領域108dとの間に低抵抗領域108aを有する。なお、チャネル領域108iは、導電膜112の内側に形成される場合がある。この場合、低抵抗領域108aと、導電膜112とが重なる領域が形成される。例えば、低抵抗領域108a中の不純物(例えば水など)が、チャネル領域108i側に横方向に拡散することで、チャネル領域108iが、導電膜112の内側に形成される場合がある。この場合、導電膜112の長さよりも、チャネル領域108iの長さが短くなる。すなわちトランジスタ100の実効L長が短くなる場合がある。また、低抵抗領域108aと、導電膜112とが、重なることで、所謂LDD領域(Light Doped Drain領域)が形成されうる。LDD領域を設けることによって、ドレイン領域の電界緩和が可能となる。したがって、ドレイン領域の電界に起因したトランジスタのしきい値電圧の変動を低減することができる。  
30

#### 【0060】

また、導電膜112は、絶縁膜110上の金属酸化膜112aと、金属酸化膜112a上の金属膜112bと、を有する。例えば、金属酸化膜112aを酸素雰囲気中で形成することで、絶縁膜110中に酸素を添加することができる。また、金属膜112bを低抵抗の金属膜により形成することで、導電膜112の抵抗を低くすることができる。または、金属膜112bを遮光性の金属膜により形成することで、上方からチャネル領域108iに入射する光を遮光することができる。  
40

#### 【0061】

また、絶縁膜116は、窒素または水素を有する。絶縁膜116と、低抵抗領域108a、ソース領域108s、及びドレイン領域108dと、が接することで、絶縁膜116中の窒素または水素が低抵抗領域108a、ソース領域108s、及びドレイン領域108d中に添加される。低抵抗領域108a、ソース領域108s、及びドレイン領域108dは、窒素または水素が添加されることで、キャリア密度が高くなる。なお、低抵抗領域108aは、チャネル領域108iよりも抵抗が低く、且つソース領域108s及びド  
50

レイン領域 108d よりも抵抗が高い。低抵抗領域 108a の詳細については、後述する。

#### 【 0 0 6 2 】

また、トランジスタ 100 は、絶縁膜 116 上の絶縁膜 118 と、絶縁膜 116、118 に設けられた開口部 141a を介して、ソース領域 108s に電気的に接続される導電膜 120a と、絶縁膜 116、118 に設けられた開口部 141b を介して、ドレイン領域 108d に電気的に接続される導電膜 120b と、を有していてもよい。

#### 【 0 0 6 3 】

なお、本明細書等において、絶縁膜 104 を第 1 の絶縁膜と、絶縁膜 110 を第 2 の絶縁膜と、絶縁膜 116 を第 3 の絶縁膜と、絶縁膜 118 を第 4 の絶縁膜と、それぞれ呼称する場合がある。また、導電膜 112 は、ゲート電極としての機能を有し、導電膜 120a は、ソース電極としての機能を有し、導電膜 120b は、ドレイン電極としての機能を有する。

#### 【 0 0 6 4 】

また、絶縁膜 110 は、ゲート絶縁膜としての機能を有する。また、絶縁膜 110 は、過剰酸素領域を有する。絶縁膜 110 が過剰酸素領域を有することで、酸化物半導体膜 108 が有するチャネル領域 108i 中に過剰酸素を供給することができる。よって、チャネル領域 108i に形成されうる酸素欠損を過剰酸素により補填することができるため、信頼性の高い半導体装置を提供することができる。

#### 【 0 0 6 5 】

なお、酸化物半導体膜 108 中に過剰酸素を供給させるためには、酸化物半導体膜 108 の下方に形成される絶縁膜 104 に過剰酸素を供給してもよい。ただし、この場合、絶縁膜 104 中に含まれる過剰酸素は、酸化物半導体膜 108 が有する低抵抗領域 108a、ソース領域 108s、及びドレイン領域 108d にも供給されうる。低抵抗領域 108a、ソース領域 108s、及びドレイン領域 108d 中に過剰酸素が供給されると、低抵抗領域 108a、ソース領域 108s、及びドレイン領域 108d の抵抗が高くなる場合がある。

#### 【 0 0 6 6 】

一方で、酸化物半導体膜 108 の上方に形成される絶縁膜 110 に過剰酸素を有する構成とすることで、チャネル領域 108i にのみ選択的に過剰酸素を供給させることができるとなる。

#### 【 0 0 6 7 】

また、酸化物半導体膜 108 が有する、低抵抗領域 108a、ソース領域 108s 及びドレイン領域 108d は、それぞれ、酸素欠損を形成する元素、または酸素欠損と結合する元素を有すると好ましい。当該酸素欠損を形成する元素、または酸素欠損と結合する元素としては、絶縁膜 116 が有する窒素または水素が挙げられる。また、これらその他にも、酸素欠損を形成する元素、または酸素欠損と結合する元素としては、代表的にはホウ素、炭素、フッ素、リン、硫黄、塩素、チタン、希ガス等が挙げられる。また、希ガス元素の代表例としては、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノン等がある。

#### 【 0 0 6 8 】

上記酸素欠損を形成する元素、または酸素欠損と結合する元素は、絶縁膜 116 の構成元素が低抵抗領域 108a、ソース領域 108s、及びドレイン領域 108d に拡散することにより、または不純物元素添加処理により低抵抗領域 108a、ソース領域 108s、及びドレイン領域 108d 中に添加される。

#### 【 0 0 6 9 】

不純物元素が酸化物半導体膜に添加されると、酸化物半導体膜中の金属元素と酸素の結合が切断され、酸素欠損が形成される。または、不純物元素が酸化物半導体膜に添加されると、酸化物半導体膜中の金属元素と結合していた酸素が不純物元素と結合し、金属元素から酸素が脱離され、酸素欠損が形成される。これらの結果、酸化物半導体膜においてキャリア密度が増加し、導電性が高くなる。

10

20

30

40

50

**【0070】**

なお、図1に示すトランジスタ100を表示装置の画素トランジスタ及び駆動トランジスタのいずれか一方または双方に用いることで、表示装置の解像度を1000ppi(pixel per inch)以上、好ましくは2000ppi以上、さらに好ましくは3000ppi以上とすることができます。

**【0071】**

<1-2. 半導体装置の作製方法1>

ここで、図1に示すトランジスタ100の作製方法の一例について、図2乃至図4を用いて説明する。なお、図2乃至図4は、トランジスタ100の作製方法を説明するチャネル長(L)方向及びチャネル幅(W)方向の断面図である。

10

**【0072】**

なお、以下に示す作製方法とすることで、トランジスタ100のチャネル長(L)を、0.2μm以上1.5μm未満、より好ましくは、0.5μm以上1.0μm以下とすることができます。例えば、リソグラフィ法に用いる露光装置が可能な最小の加工寸法が1.5μmである場合、本実施の形態では、露光装置が可能な最小の加工寸法以下のチャネル長(L)とすることができます。

**【0073】****[酸化物半導体膜を形成する工程]**

まず、基板102上に絶縁膜104を成膜する。続いて、絶縁膜104上に酸化物半導体膜を成膜する。その後、当該酸化物半導体膜を島状に加工することで、酸化物半導体膜107を形成する(図2(A)参照)。

20

**【0074】**

絶縁膜104としては、スパッタリング法、CVD法、蒸着法、パルスレーザー堆積(PLD)法、印刷法、塗布法等を適宜用いて成膜することができる。本実施の形態においては、絶縁膜104として、プラズマCVD装置を用い、厚さ400nmの窒化シリコン膜と、厚さ50nmの酸化窒化シリコン膜とを成膜する。なお、絶縁膜104を成膜せずに、基板102上に酸化物半導体膜107を形成してもよい。

**【0075】**

また、絶縁膜104を成膜した後、絶縁膜104に酸素を添加してもよい。絶縁膜104に添加する酸素としては、酸素ラジカル、酸素原子、酸素原子イオン、酸素分子イオン等がある。また、添加方法としては、イオンドーピング法、イオン注入法、プラズマ処理法等がある。また、絶縁膜104上に酸素の脱離を抑制する膜を成膜した後、該膜を介して絶縁膜104に酸素を添加してもよい。

30

**【0076】**

上述の酸素の脱離を抑制する膜として、インジウム、亜鉛、ガリウム、錫、アルミニウム、クロム、タンタル、チタン、モリブデン、ニッケル、鉄、コバルト、またはタンゲステンの1以上を有する導電膜あるいは半導体膜を用いて成膜することができる。

**【0077】**

また、プラズマ処理で酸素の添加を行う場合、マイクロ波で酸素を励起し、高密度な酸素プラズマを発生させることで、絶縁膜104への酸素添加量を増加させることができる。

40

**【0078】**

酸化物半導体膜107としては、スパッタリング法、塗布法、パルスレーザー蒸着法、レーザーアブレーション法、熱CVD法等により形成することができる。なお、酸化物半導体膜107への加工には、酸化物半導体膜上にリソグラフィ工程によりマスクを形成した後、該マスクを用いて酸化物半導体膜の一部をエッチングすること形成することができる。また、印刷法を用いて、素子分離された酸化物半導体膜107を直接形成してもよい。

**【0079】**

スパッタリング法で酸化物半導体膜を形成する場合、プラズマを発生させるための電源

50

装置は、R F 電源装置、A C 電源装置、D C 電源装置等を適宜用いることができる。また、酸化物半導体膜を形成する場合のスパッタリングガスは、希ガス（代表的にはアルゴン）、酸素、希ガス及び酸素の混合ガスを適宜用いる。なお、希ガス及び酸素の混合ガスの場合、希ガスに対して酸素のガス比を高めることが好ましい。

#### 【0080】

なお、酸化物半導体膜を形成する際に、例えば、スパッタリング法を用いる場合、基板温度を150以上750以下、または150以上450以下、または200以上350以下として、酸化物半導体膜を成膜することで、結晶性を高めることができると好ましい。

#### 【0081】

なお、本実施の形態においては、酸化物半導体膜107として、スパッタリング装置を用い、スパッタリングターゲットとしてIn-Ga-Zn金属酸化物（In:Ga:Zn=4:2:4.1 [原子数比]）を用いて、膜厚35nmの酸化物半導体膜を成膜する。

#### 【0082】

また、酸化物半導体膜107を形成した後、加熱処理を行い、酸化物半導体膜107の脱水素化または脱水化をしてよい。加熱処理の温度は、代表的には、150以上基板歪み点未満、または250以上450以下、または300以上450以下である。

#### 【0083】

加熱処理は、ヘリウム、ネオン、アルゴン、キセノン、クリプトン等の希ガス、または窒素を含む不活性ガス雰囲気で行うことができる。または、不活性ガス雰囲気で加熱した後、酸素雰囲気で加熱してもよい。なお、上記不活性雰囲気及び酸素雰囲気に水素、水などが含まれないことが好ましい。処理時間は3分以上24時間以下とすればよい。

#### 【0084】

該加熱処理は、電気炉、RTA装置等を用いることができる。RTA装置を用いることで、短時間に限り、基板の歪み点以上の温度で熱処理を行うことができる。そのため加熱処理時間を短縮することができる。

#### 【0085】

酸化物半導体膜を加熱しながら成膜する、または酸化物半導体膜を形成した後、加熱処理を行うことで、酸化物半導体膜中の水素濃度を低減させることができる。

#### 【0086】

##### [酸化物半導体膜上に絶縁膜を成膜する工程]

次に、絶縁膜104及び酸化物半導体膜107上に絶縁膜110\_0を成膜する（図2（B）参照）。

#### 【0087】

絶縁膜110\_0としては、酸化シリコン膜または酸化窒化シリコン膜を、プラズマ化学気相堆積装置（PECVD装置、または単にプラズマCVD装置という）を用いて成膜することができる。この場合、原料ガスとしては、シリコンを含む堆積性気体及び酸化性気体を用いることが好ましい。シリコンを含む堆積性気体の代表例としては、シラン、ジシラン、トリシラン、フッ化シラン等がある。酸化性気体としては、酸素、オゾン、一酸化二窒素、二酸化窒素等がある。

#### 【0088】

また、絶縁膜110\_0として、堆積性気体の流量に対する酸化性気体の流量を20倍より大きく100倍未満、または40倍以上80倍以下とし、処理室内の圧力を100Pa未満、または50Pa以下とするプラズマCVD装置を用いることで、欠陥量の少ない酸化窒化シリコン膜を成膜することができる。

#### 【0089】

また、絶縁膜110\_0として、プラズマCVD装置の真空排気された処理室内に載置された基板を280以上400以下に保持し、処理室に原料ガスを導入して処理室内における圧力を20Pa以上250Pa以下、さらに好ましくは100Pa以上250Pa

10

20

30

40

50

a 以下とし、処理室内に設けられる電極に高周波電力を供給する条件により、絶縁膜 110\_0 として、緻密である酸化シリコン膜または酸化窒化シリコン膜を成膜することができる。

#### 【0090】

また、絶縁膜 110\_0 を、マイクロ波を用いたプラズマ CVD 装置を用いて成膜してもよい。マイクロ波とは 300 MHz から 300 GHz の周波数域を指す。マイクロ波は、電子温度が低く、電子エネルギーが小さい。また、供給された電力において、電子の加速に用いられる割合が少なく、より多くの分子の解離及び電離に用いられることが可能であり、密度の高いプラズマ（高密度プラズマ）を励起することができる。このため、被成膜面及び堆積物へのプラズマダメージが少なく、欠陥の少ない絶縁膜 110\_0 を成膜することができる。10

#### 【0091】

本実施の形態では絶縁膜 110\_0 として、プラズマ CVD 装置を用い、厚さ 20 nm の酸化窒化シリコン膜を成膜する。

#### 【0092】

##### [絶縁膜上に導電膜を成膜する工程]

次に、絶縁膜 110\_0 上に導電膜 112\_0 を成膜する。なお、本実施の形態においては、導電膜 112\_0 として、金属酸化膜 112a\_0 と、金属膜 112b\_0 と、を成膜する（図 2（C）参照）。

#### 【0093】

なお、金属酸化膜 112a\_0 の形成時に金属酸化膜 112a\_0 から絶縁膜 110\_0 中に酸素が添加される場合がある。図 2（C）において、金属酸化膜 112a\_0 から絶縁膜 110\_0 中に添加される酸素を矢印で模式的に表している。20

#### 【0094】

金属酸化膜 112a\_0 の形成方法としては、スパッタリング法を用い、形成時に酸素ガスを含む雰囲気で形成することが好ましい。形成時に酸素ガスを含む雰囲気で金属酸化膜 112a\_0 を形成することで、絶縁膜 110\_0 中に酸素を好適に添加することができる。なお、金属酸化膜 112a\_0 の形成方法としては、スパッタリング法に限定されず、その他の方法、例えば ALD 法を用いてもよい。

#### 【0095】

本実施の形態においては、金属酸化膜 112a\_0 として、スパッタリング法を用いて、膜厚が 10 nm の In-Ga-Zn 酸化物である IGZO 膜 (In : Ga : Zn = 4 : 2 : 4.1 (原子数比)) を成膜する。また、金属酸化膜 112a\_0 の形成前、または金属酸化膜 112a\_0 の形成後に、絶縁膜 110\_0 中に酸素添加処理を行ってもよい。当該酸素添加処理の方法としては、絶縁膜 104 の形成後に行うことのできる酸素の添加と同様とすればよい。30

#### 【0096】

また、金属膜 112b\_0 の成膜方法としては、スパッタリング法、または ALD 法を用いて形成すればよい。本実施の形態においては、金属膜 112b\_0 として、スパッタリング法を用いて、膜厚が 50 nm の窒化チタン膜と、膜厚が 100 nm のチタン膜との積層膜を成膜する。40

#### 【0097】

##### [導電膜上に第 1 の保護膜を成膜する工程]

次に、導電膜 112\_0 上に第 1 の保護膜 113\_0 を成膜する（図 2（D）参照）。

#### 【0098】

第 1 の保護膜 113\_0 の成膜方法としては、スパッタリング法、または ALD 法を用いて形成すればよい。本実施の形態においては、第 1 の保護膜 113\_0 として、スパッタリング法を用いて膜厚が 100 nm のタンゲステン膜を成膜する。

#### 【0099】

##### [第 1 の保護膜上に第 2 の保護膜を形成する工程]

10

20

30

40

50

次に、第1の保護膜113\_0上に第2の保護膜140を形成する(図3(A)参照)。

#### 【0100】

第2の保護膜140の形成方法としては、レジスト塗布工程と、リソグラフィ工程と、を用いて形成すればよい。なお、本実施の形態においては、第2の保護膜140のチャネル長(L)方向の長さを1.5μmとして形成する。

#### 【0101】

##### [第2の保護膜を用いての加工]

次に、第1の保護膜113\_0、導電膜112\_0、及び絶縁膜110\_0を、第2の保護膜140を用いて加工する(図3(B)参照)。

10

#### 【0102】

第1の保護膜113\_0、導電膜112\_0、及び絶縁膜110\_0の加工方法としては、ウエットエッチング法及びドライエッチング法のいずれか一方または双方を用いることができる。本実施の形態においては、ドライエッティング法を用いて第1の保護膜113\_0、導電膜112\_0、及び絶縁膜110\_0の加工を行う。

#### 【0103】

図3(B)において、第2の保護膜140を用いて加工することで、第1の保護膜113\_0は島状の第1の保護膜113に、導電膜112\_0は島状の導電膜112\_1に、絶縁膜110\_0は島状の絶縁膜110\_1に、それぞれ加工される。なお、導電膜112\_1は、金属酸化膜112a\_1と、金属膜112b\_1とを有する。

20

#### 【0104】

また、第1の保護膜113、導電膜112\_1、絶縁膜110\_1の側端部は、第2の保護膜140の側端部と概略同じ位置に形成される。すなわち、第1の保護膜113、導電膜112\_1、絶縁膜110\_1のチャネル長(L)方向の長さが、概略1.5μmで形成される。

#### 【0105】

また、第2の保護膜140を用いて加工する際に、第2の保護膜140が重ならない領域の酸化物半導体膜107の膜厚が薄くなる場合がある。また、第2の保護膜140を用いて加工する際に、エッチャントまたはエッティングガス(例えば、塩素など)が酸化物半導体膜107中に添加される、あるいは導電膜112\_1または絶縁膜110\_1の構成元素が酸化物半導体膜107中に添加される場合がある。

30

#### 【0106】

##### [第1の保護膜を用いての加工]

次に、第2の保護膜140を除去し、導電膜112\_1及び絶縁膜110\_1を、第1の保護膜113を用いて加工する(図3(C)参照)。

#### 【0107】

第2の保護膜140の除去方法としては、ウエットエッティング法及びドライエッティング法のいずれか一方または双方を用いることができる。本実施の形態においては、ウエットエッティング法を用いて第2の保護膜140を除去する。

#### 【0108】

導電膜112\_1及び絶縁膜110\_1の加工方法としては、ウエットエッティング法及びドライエッティング法のいずれか一方または双方を用いることができる。

40

#### 【0109】

図3(C)において、第1の保護膜113を用いて加工することで、導電膜112\_1は導電膜112に、絶縁膜110\_1は絶縁膜110に、それぞれ加工される。なお、導電膜112は、金属酸化膜112aと、金属膜112bとを有する。また、金属酸化膜112a、金属膜112b、及び絶縁膜110は、第1の保護膜113よりも小さい面積で加工される。特に、金属酸化膜112a及び金属膜112bは、第1の保護膜113の面積の15%以上50%以下で形成されると好ましい。

#### 【0110】

50

例えば、第2の保護膜140のチャネル長( L )方向の長さが、1.5 μmである場合、金属酸化膜112a、及び金属膜112bのチャネル長( L )方向の長さを、0.225 μmから0.75 μmの範囲とすることができます。なお、金属酸化膜112a、及び金属膜112bのチャネル長( L )方向の長さを第2の保護膜140のチャネル長( L )方向の長さの15%未満として加工した場合、基板面内での寸法ばらつきが大きくなるため、上述の範囲とするのが好適である。

#### 【0111】

本実施の形態においては、金属酸化膜112a、金属膜112b、及び絶縁膜110の形成方法としては、ウエットエッティング法を用い、第1の保護膜113をマスクにサイドエッティングを行うことで、第1の保護膜113の側端部よりも、金属酸化膜112a、金属膜112b、及び絶縁膜110の側端部を内側に形成することができる。10

#### 【0112】

また、上記ウエットエッティング法を用いたエッティングを、異なるエッチャントを用い、複数回行ってもよい。

#### 【0113】

なお、本実施の形態においては、第2の保護膜140を除去した後、第1の保護膜113を用いて、導電膜112及び絶縁膜110を形成する方法について例示したが、これに限定されない。例えば、第2の保護膜140を除去せずに残した状態で、第2の保護膜140及び第1の保護膜113を用いて、導電膜112及び絶縁膜110を形成してもよい。20。この場合、導電膜112及び絶縁膜110を形成した後に、第2の保護膜140を除去すればよい。

#### 【0114】

##### [ プラズマ処理を行う工程 ]

次に、第1の保護膜113上から酸化物半導体膜107に対してプラズマ処理を行う(図3(D)参照)。

#### 【0115】

図3(D)において、プラズマ147を用いたプラズマ処理の様子を模式的に表している。なお、プラズマ処理を行うことで、酸化物半導体膜107中には、ソース領域108s\_0、及びドレイン領域108d\_0が形成される。ソース領域108s\_0、及びドレイン領域108d\_0は、酸化物半導体膜107の第1の保護膜113と重ならない領域に形成される。30

#### 【0116】

また、プラズマ147を用いたプラズマ処理は、アルゴンまたは窒素のいずれか一方または双方の雰囲気下で行われると好適である。特にアルゴンと窒素とを含む混合ガス雰囲気下で行われると、さらに好適である。例えば、アルゴンのガス流量に対して、窒素のガス流量を5倍以上20倍以下、好ましくは、8倍以上10倍以下の比率とすることで、ソース領域108s\_0及びドレイン領域108d\_0の表面の平坦性を向上させることができる。

#### 【0117】

例えば、上記プラズマ処理としては、エッティング装置を用いて、流量100 sccmのアルゴンガスと、流量1000 sccmの窒素ガスとを、エッティング装置のチャンバー内に導入し、チャンバー内の圧力を40 Paとし、RF電源(27.12 MHz)に1000 Wの電力を供給して行えばよい。40

#### 【0118】

上記プラズマ処理では、添加する不純物元素を含むガス雰囲気にてプラズマを発生させて、プラズマ処理を行うことによって、不純物元素を酸化物半導体膜中に添加することができる。プラズマを発生させる装置としては、上述のエッティング装置の他に、アッシング装置、プラズマCVD装置、高密度プラズマCVD装置等を用いてもよい。

#### 【0119】

なお、本実施の形態では、第1の保護膜113上から酸化物半導体膜107に対してブ50

ラズマ処理を行う方法について例示したが、これに限定されない。例えば、プラズマ処理の代わりに、イオンドーピング法、イオン注入法などの不純物元素の添加処理を行ってよい。

#### 【0120】

なお、不純物元素の原料ガスとして、 $B_2H_6$ 、 $PH_3$ 、 $CH_4$ 、 $N_2$ 、 $NH_3$ 、 $AlH_3$ 、 $AlCl_3$ 、 $SiH_4$ 、 $Si_2H_6$ 、 $F_2$ 、 $HF$ 、 $H_2$ 及び希ガスの一以上を用いることができる。または、希ガスで希釈された $B_2H_6$ 、 $PH_3$ 、 $N_2$ 、 $NH_3$ 、 $AlH_3$ 、 $AlCl_3$ 、 $F_2$ 、 $HF$ 、及び $H_2$ の一以上を用いることができる。なお、希ガス元素の代表例としては、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノン等がある。

10

#### 【0121】

または、希ガスを添加した後、 $B_2H_6$ 、 $PH_3$ 、 $CH_4$ 、 $N_2$ 、 $NH_3$ 、 $AlH_3$ 、 $AlCl_3$ 、 $SiH_4$ 、 $Si_2H_6$ 、 $F_2$ 、 $HF$ 、及び $H_2$ の一以上を酸化物半導体膜107に添加してもよい。または、 $B_2H_6$ 、 $PH_3$ 、 $CH_4$ 、 $N_2$ 、 $NH_3$ 、 $AlH_3$ 、 $AlCl_3$ 、 $SiH_4$ 、 $Si_2H_6$ 、 $F_2$ 、 $HF$ 、及び $H_2$ の一以上を添加した後、希ガスを酸化物半導体膜107に添加してもよい。

#### 【0122】

##### [窒化物絶縁膜を成膜する工程]

次に、第1の保護膜113を除去し、絶縁膜104、酸化物半導体膜107、及び導電膜112上に、絶縁膜116を形成する(図4(A)参照)。

20

#### 【0123】

図4(A)において、絶縁膜116を形成することで、酸化物半導体膜107は、チャネル領域108i、低抵抗領域108a、ソース領域108s、及びドレイン領域108dを有する酸化物半導体膜108へと加工される。

#### 【0124】

なお、チャネル領域108iは、絶縁膜110と接する領域に形成され、ソース領域108s、及びドレイン領域108dは、絶縁膜116と接する領域に形成される。また、低抵抗領域108aは、第1の保護膜113が重なり、且つ絶縁膜110が重ならない領域に形成される。

#### 【0125】

チャネル領域108iは、プラズマ処理時には、第1の保護膜113等に覆われているため、プラズマ147に曝されることはない。また、チャネル領域108iは、絶縁膜110と接することで、絶縁膜116と接しないため、実質的にi型となる。一方で、ソース領域108s、及びドレイン領域108dは、プラズマ147に曝され、且つ絶縁膜116と接するため、実質的にn型となる。また、低抵抗領域108aは、プラズマ147には曝されないが、絶縁膜116と接するため、実質的にn型となる。ただし、低抵抗領域108aは、プラズマ147に曝されない分、ソース領域108s、及びドレイン領域108dよりも、抵抗が高い領域となる。

30

#### 【0126】

なお、低抵抗領域108aは、所謂、LDD(Lightly Doped Drain)領域として機能する。酸化物半導体膜108中にLDD領域を設けることによって、ドレイン領域の電界緩和が可能となる。したがって、ドレイン領域の電界に起因したトランジスタのしきい値電圧の変動を低減することができる。

40

#### 【0127】

また、第1の保護膜113の除去方法としては、ウエットエッティング法及びドライエッティング法のいずれか一方または双方を用いて行うことができる。本実施の形態においては、ドライエッティング法を用いて第1の保護膜113を除去する。

#### 【0128】

また、本実施の形態においては、絶縁膜116として、プラズマCVD装置を用い、厚さ100nmの窒化酸化シリコン膜を成膜する。当該窒化酸化シリコン膜の成膜条件とし

50

ては、例えば、プラズマCVD装置を用いて、基板温度を220とし、流量50sccmのシランガスと、流量5000sccmの窒素ガスと、流量100sccmのアンモニアガスとを、プラズマCVD装置のチャンバー内に導入し、チャンバー内の圧力を100Paとし、RF電源(27.12MHz)に1000Wの電力を供給して行えばよい。

#### 【0129】

絶縁膜116として、窒化酸化シリコン膜を用いることで、絶縁膜116に接する低抵抗領域108a、ソース領域108s、及びドレイン領域108dに窒化酸化シリコン膜中の窒素または水素を供給することができる。また、絶縁膜116の形成時の温度を上述の温度とすることで、絶縁膜110に含まれる過剰酸素が外部に放出されるのを抑制することができる。

10

#### 【0130】

##### [酸化物絶縁膜を成膜する工程]

次に、絶縁膜116上に絶縁膜118を形成する(図4(B)参照)。

#### 【0131】

本実施の形態においては、絶縁膜118として、プラズマCVD装置を用い、厚さ300nmの酸化窒化シリコン膜を形成する。

#### 【0132】

##### [開口部の形成]

次に、絶縁膜118上の所望の位置に、リソグラフィによりマスクを形成した後、絶縁膜118及び絶縁膜116の一部をエッチングすることで、ソース領域108sに達する開口部141aと、ドレイン領域108dに達する開口部141bと、を形成する(図4(C)参照)。

20

#### 【0133】

絶縁膜118及び絶縁膜116をエッチングする方法としては、ウェットエッチング法及びドライエッティング法のいずれか一方または双方を用いればよい。本実施の形態においては、ドライエッティング法を用い、絶縁膜118、及び絶縁膜116を加工する。

#### 【0134】

次に、開口部141a、141bを覆うように、ソース領域108s、ドレイン領域108d、及び絶縁膜118上に導電膜を形成し、当該導電膜を所望の形状に加工することで、導電膜120a、120bを形成する(図4(D)参照)。

30

#### 【0135】

本実施の形態においては、導電膜120a、120bとして、スパッタリング装置を用い、厚さ50nmのタンゲステン膜と、厚さ400nmの銅膜との積層膜を形成する。

#### 【0136】

なお、導電膜120a、120bとなる導電膜の加工方法としては、ウェットエッティング法及びドライエッティング法のいずれか一方または双方を用いればよい。本実施の形態では、ウェットエッティング法にて銅膜をエッティングしたのち、ドライエッティング法にてタンゲステン膜をエッティングすることで導電膜を加工し、導電膜120a、120bを形成する。

#### 【0137】

40

以上の工程により、図1に示すトランジスタ100を作製することができる。

#### 【0138】

なお、トランジスタ100を構成する膜(絶縁膜、金属酸化膜、金属膜、酸化物半導体膜、導電膜等)としては、上述の形成方法の他、スパッタリング法、化学気相堆積(CVD)法、真空蒸着法、パルスレーザー堆積(PLD)法、ALD法を用いて形成することができる。あるいは、塗布法や印刷法で形成することができる。成膜方法としては、スパッタリング法、プラズマ化学気相堆積(PECVD)法が代表的であるが、熱CVD法でもよい。熱CVD法の例として、有機金属化学気相堆積(MOCVD)法が挙げられる。

#### 【0139】

熱CVD法は、チャンバー内を大気圧または減圧下とし、原料ガスと酸化剤を同時にチ

50

ヤンバー内に送り、基板近傍または基板上で反応させて基板上に堆積させることで成膜を行う。このように、熱CVD法は、プラズマを発生させない成膜方法であるため、プラズマダメージにより欠陥が生成されることが無いという利点を有する。

#### 【0140】

MOCVD法などの熱CVD法は、上記記載の導電膜、絶縁膜、酸化物半導体膜、金属酸化膜などの膜を形成することができ、例えば、In-Ga-Zn-O膜を成膜する場合には、トリメチルインジウム( $In(CH_3)_3$ )、トリメチルガリウム( $Ga(CH_3)_3$ )、及びジメチル亜鉛を用いる( $Zn(CH_3)_2$ )。これらの組み合わせに限定されず、トリメチルガリウムに代えてトリエチルガリウム( $Ga(C_2H_5)_3$ )を用いることもでき、ジメチル亜鉛に代えてジエチル亜鉛( $Zn(C_2H_5)_2$ )を用いることもできる。10

#### 【0141】

また、ALDを利用する成膜装置により酸化ハフニウム膜を形成する場合には、溶媒とハフニウム前駆体を含む液体(ハフニウムアルコキシドや、テトラキスジメチルアミドハフニウム(TDMAH、 $Hf[N(CH_3)_2]_4$ )やテトラキス(エチルメチルアミド)ハフニウムなどのハフニウムアミド)を気化させた原料ガスと、酸化剤としてオゾン( $O_3$ )の2種類のガスを用いる。

#### 【0142】

また、ALDを利用する成膜装置により酸化アルミニウム膜を形成する場合には、溶媒とアルミニウム前駆体を含む液体(トリメチルアルミニウム(TMA、 $Al(CH_3)_3$ )など)を気化させた原料ガスと、酸化剤として $H_2O$ の2種類のガスを用いる。他の材料としては、トリス(ジメチルアミド)アルミニウム、トリイソブチルアルミニウム、アルミニウムトリス(2,2,6,6-テトラメチル-3,5-ヘプタンジオナート)などがある。20

#### 【0143】

また、ALDを利用する成膜装置により酸化シリコン膜を形成する場合には、ヘキサクロロジシランを被成膜面に吸着させ、酸化性ガス( $O_2$ 、一酸化二窒素)のラジカルを供給して吸着物と反応させる。

#### 【0144】

また、ALDを利用する成膜装置によりタンゲステン膜を成膜する場合には、 $WF_6$ ガスと $B_2H_6$ ガスを順次導入して初期タンゲステン膜を形成し、その後、 $WF_6$ ガスと $H_2$ ガスとを用いてタンゲステン膜を形成する。なお、 $B_2H_6$ ガスに代えて $SiH_4$ ガスを用いてもよい。30

#### 【0145】

また、ALDを利用する成膜装置により酸化物半導体膜、例えばIn-Ga-Zn-O膜を成膜する場合には、 $In(CH_3)_3$ ガスと $O_3$ ガスを用いてIn-O層を形成し、その後、 $Ga(CH_3)_3$ ガスと $O_3$ ガスとを用いてGaO層を形成し、更にその後 $Zn(CH_3)_2$ ガスと $O_3$ ガスとを用いてZnO層を形成する。なお、これらの層の順番はこの例に限らない。また、これらのガスを用いてIn-Ga-O層やIn-Zn-O層、Ga-Zn-O層などの混合化合物層を形成しても良い。なお、 $O_3$ ガスに変えてAr等の不活性ガスで水をバブルングして得られた $H_2O$ ガスを用いても良いが、Hを含まない $O_3$ ガスを用いる方が好ましい。40

#### 【0146】

##### <1-3. 半導体装置の構成要素>

次に、図1(A)(B)(C)に示す半導体装置の構成要素の詳細について説明する。

#### 【0147】

##### [基板]

基板102としては、様々な基板を用いることができ、特定のものに限定されることはない。基板の一例としては、半導体基板(例えば単結晶基板またはシリコン基板)、SOI基板、ガラス基板、石英基板、プラスチック基板、金属基板、ステンレス・スチール基板

、ステンレス・スチル・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板、可撓性基板、貼り合わせフィルム、纖維状の材料を含む紙、または基材フィルムなどがある。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミニノホウケイ酸ガラス、またはソーダライムガラスなどがある。可撓性基板、貼り合わせフィルム、基材フィルムなどの一例としては、以下のものがあげられる。例えば、ポリエチレンテレフタレート(PET)、ポリエチレンナフタレート(PEN)、ポリエーテルサルファン(PE-S)に代表されるプラスチックがある。または、一例としては、アクリル等の合成樹脂などがある。または、一例としては、ポリプロピレン、ポリエステル、ポリフッ化ビニル、ポリ塩化ビニルなどがある。または、一例としては、ポリアミド、ポリイミド、アラミド、エポキシ、無機蒸着フィルム、または紙類などがある。特に、半導体基板、10 単結晶基板、またはSOI基板などを用いてトランジスタを製造することによって、特性、サイズ、または形状などのばらつきが少なく、電流能力が高く、サイズの小さいトランジスタを製造することができる。このようなトランジスタによって回路を構成すると、回路の低消費電力化、または回路の高集積化を図ることができる。

#### 【0148】

また、基板102として、可撓性基板を用い、可撓性基板上に直接、トランジスタを形成してもよい。または、基板102とトランジスタの間に剥離層を設けてもよい。剥離層は、その上に半導体装置を一部あるいは全部完成させた後、基板102より分離し、他の基板に転載するのに用いることができる。その際、トランジスタを耐熱性の劣る基板や可撓性の基板にも転載できる。なお、上述の剥離層には、例えば、タングステン膜と酸化シリコン膜との無機膜の積層構造の構成、または基板上にポリイミド等の有機樹脂膜が形成された構成等を用いることができる。20

#### 【0149】

トランジスタが転載される基板の一例としては、上述したトランジスタを形成することが可能な基板に加え、紙基板、セロファン基板、アラミドフィルム基板、ポリイミドフィルム基板、石材基板、木材基板、布基板(天然纖維(絹、綿、麻)、合成纖維(ナイロン、ポリウレタン、ポリエステル)若しくは再生纖維(アセテート、キュプラ、レーヨン、再生ポリエステル)などを含む)、皮革基板、またはゴム基板などがある。これらの基板を用いることにより、特性のよいトランジスタの形成、消費電力の小さいトランジスタの形成、壊れにくい装置の製造、耐熱性の付与、軽量化、または薄型化を図ることができる30。

#### 【0150】

##### [第1の絶縁膜]

絶縁膜104としては、スパッタリング法、CVD法、蒸着法、パルスレーザー堆積(PLD)法、印刷法、塗布法等を適宜用いて形成することができる。また、絶縁膜104としては、例えば、酸化物絶縁膜または窒化物絶縁膜を単層または積層して形成することができる。なお、酸化物半導体膜108との界面特性を向上させるため、絶縁膜104において少なくとも酸化物半導体膜108と接する領域は酸化物絶縁膜で形成するが好ましい。また、絶縁膜104として加熱により酸素を放出する酸化物絶縁膜を用いることで、加熱処理により絶縁膜104に含まれる酸素を、酸化物半導体膜108に移動させることが可能である。40

#### 【0151】

絶縁膜104の厚さは、50nm以上、または100nm以上3000nm以下、または200nm以上1000nm以下とすることができる。絶縁膜104を厚くすることで、絶縁膜104の酸素放出量を増加させることができると共に、絶縁膜104と酸化物半導体膜108との界面における界面準位、並びに酸化物半導体膜108のチャネル領域108iに含まれる酸素欠損を低減することができる。

#### 【0152】

絶縁膜104として、例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化ハフニウム、酸化ガリウムまたはGa-Zn酸化物50

などを用いればよく、単層または積層で設けることができる。本実施の形態では、絶縁膜 104 として、窒化シリコン膜と、酸化窒化シリコン膜との積層構造を用いる。このように、絶縁膜 104 を積層構造として、下層側に窒化シリコン膜を用い、上層側に酸化窒化シリコン膜を用いることで、酸化物半導体膜 108 中に効率よく酸素を導入することができる。

### 【0153】

#### [酸化物半導体膜]

酸化物半導体膜 108 については、実施の形態 2 で詳細に説明する。

### 【0154】

#### [第2の絶縁膜]

10

絶縁膜 110 は、トランジスタ 100 のゲート絶縁膜として機能する。また、絶縁膜 10 は、酸化物半導体膜 108 、特にチャネル領域 108i に酸素を供給する機能を有する。例えば、絶縁膜 110 としては、酸化物絶縁膜または窒化物絶縁膜を単層または積層して形成することができる。なお、酸化物半導体膜 108 との界面特性を向上させるため、絶縁膜 110 において、酸化物半導体膜 108 と接する領域は、少なくとも酸化物絶縁膜を用いて形成することが好ましい。絶縁膜 110 として、例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコンなどを用いればよい。

### 【0155】

また、絶縁膜 110 の厚さは、5 nm 以上 400 nm 以下、または 5 nm 以上 300 nm 以下、または 10 nm 以上 250 nm 以下とすることができる。

20

### 【0156】

また、絶縁膜 110 は、欠陥が少ないことが好ましく、代表的には、電子スピン共鳴法 (ESR : Electron Spin Resonance) で観察されるシグナルが少ない方が好ましい。例えば、上述のシグナルとしては、g 値が 2.001 に観察される E' センターが挙げられる。なお、E' センターは、シリコンのダンギングボンドに起因する。絶縁膜 110 としては、E' センター起因のスピノ密度が、 $3 \times 10^{17} \text{ spins/cm}^3$  以下、好ましくは  $5 \times 10^{16} \text{ spins/cm}^3$  以下である酸化シリコン膜、または酸化窒化シリコン膜を用いればよい。

### 【0157】

また、絶縁膜 110 には、上述のシグナル以外に二酸化窒素 ( $\text{NO}_2$ ) に起因するシグナルが観察される場合がある。当該シグナルは、N の核スピンにより 3 つのシグナルに分裂しており、それぞれの g 値が 2.037 以上 2.039 以下 (第 1 のシグナルとする) 、g 値が 2.001 以上 2.003 以下 (第 2 のシグナルとする) 、及び g 値が 1.964 以上 1.966 以下 (第 3 のシグナルとする) に観察される。

30

### 【0158】

例えば、絶縁膜 110 として、二酸化窒素 ( $\text{NO}_2$ ) 起因のスピノ密度が、 $1 \times 10^{17} \text{ spins/cm}^3$  以上  $1 \times 10^{18} \text{ spins/cm}^3$  未満である絶縁膜を用いると好適である。

### 【0159】

なお、二酸化窒素 ( $\text{NO}_2$ ) を含む窒素酸化物 ( $\text{NO}_x$ ) は、絶縁膜 110 中に準位を形成する。当該準位は、酸化物半導体膜 108 のエネルギーギャップ内に位置する。そのため、窒素酸化物 ( $\text{NO}_x$ ) が、絶縁膜 110 及び酸化物半導体膜 108 の界面に拡散すると、当該準位が絶縁膜 110 側において電子をトラップする場合がある。この結果、トラップされた電子が、絶縁膜 110 及び酸化物半導体膜 108 界面近傍に留まるため、トランジスタのしきい値電圧をプラス方向にシフトさせてしまう。したがって、絶縁膜 110 としては、窒素酸化物の含有量が少ない膜を用いると、トランジスタのしきい値電圧のシフトを低減することができる。

40

### 【0160】

窒素酸化物 ( $\text{NO}_x$ ) の放出量が少ない絶縁膜としては、例えば、酸化窒化シリコン膜を用いることができる。当該酸化窒化シリコン膜は、昇温脱離ガス分析法 (TDS : Th

50

ermal Desorption Spectroscopy)において、窒素酸化物( $\text{NO}_x$ )の放出量よりアンモニアの放出量が多い膜であり、代表的にはアンモニアの放出量が $1 \times 10^{18}$ 分子 $\text{cm}^{-3}$ 以上 $5 \times 10^{19}$ 分子 $\text{cm}^{-3}$ 以下である。なお、上記のアンモニアの放出量は、TDSにおける加熱処理の温度が50以上650以下、または50以上550以下の範囲での総量である。

#### 【0161】

窒素酸化物( $\text{NO}_x$ )は、加熱処理においてアンモニア及び酸素と反応するため、アンモニアの放出量が多い絶縁膜を用いることで窒素酸化物( $\text{NO}_x$ )が低減される。

#### 【0162】

なお、絶縁膜110をSIMSで分析した場合、膜中の窒素濃度が $6 \times 10^{20}$ atoms/ $\text{cm}^3$ 以下であると好ましい。

#### 【0163】

また、絶縁膜110として、ハフニウムシリケート( $\text{HfSiO}_x$ )、窒素が添加されたハフニウムシリケート( $\text{HfSi}_{1-x}\text{O}_y\text{N}_z$ )、窒素が添加されたハフニウムアルミニネート( $\text{HfAl}_{1-x}\text{O}_y\text{N}_z$ )、酸化ハフニウムなどのhigh-k材料を用いてよい。当該high-k材料を用いることでトランジスタのゲートリーキーを低減できる。

#### 【0164】

また、絶縁膜110を、有機シランガスを用いたCVD法を用いて成膜してもよい。有機シランガスとしては、珪酸エチル(TEOS:化学式 $\text{Si}(\text{OC}_2\text{H}_5)_4$ )、テトラメチルシラン(TMS:化学式 $\text{Si}(\text{CH}_3)_4$ )、テトラメチルシクロテトラシロキサン(TMCTS)、オクタメチルシクロテトラシロキサン(OMCTS)、ヘキサメチルジシラザン(HMDS)、トリエトキシシラン( $\text{SiH}(\text{OC}_2\text{H}_5)_3$ )、トリスジメチルアミノシラン( $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$ )などのシリコン含有化合物を用いることができる。有機シランガスを用いたCVD法を用いることで、被覆性の高い絶縁膜110を形成することができる。

#### 【0165】

##### [第3の絶縁膜]

絶縁膜116は、窒素または水素を有する。また、絶縁膜116は、フッ素を有してもよい。絶縁膜116としては、例えば、窒化物絶縁膜が挙げられる。該窒化物絶縁膜としては、窒化シリコン、窒化酸化シリコン、酸化窒化シリコン、窒化フッ化シリコン、フッ化窒化シリコン等を用いて形成することができる。絶縁膜116に含まれる水素濃度は、 $1 \times 10^{22}$ atoms/ $\text{cm}^3$ 以上であると好ましい。また、絶縁膜116は、酸化物半導体膜108の低抵抗領域108a、ソース領域108s、及びドレイン領域108dと接する。したがって、絶縁膜116と接する低抵抗領域108a、ソース領域108s、及びドレイン領域108d中の不純物(窒素または水素)濃度が高くなり、ソース領域108s、及びドレイン領域108dのキャリア密度を高めることができる。

#### 【0166】

##### [第4の絶縁膜]

絶縁膜118としては、酸化物絶縁膜を用いることができる。また、絶縁膜118としては、酸化物絶縁膜と、窒化物絶縁膜との積層膜を用いることができる。絶縁膜118として、例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化ハフニウム、酸化ガリウムまたはGa-Zn酸化物などを用いればよい。

#### 【0167】

また、絶縁膜118としては、外部からの水素、水等のバリア膜として機能する膜であることが好ましい。

#### 【0168】

絶縁膜118の厚さは、30nm以上500nm以下、または100nm以上400nm以下とすることができる。

#### 【0169】

##### [導電膜]

10

20

30

30

40

50

50

導電膜 112、120a、120b としては、スパッタリング法、真空蒸着法、パルスレーザー堆積 (PLD) 法、熱 CVD 法等を用いて形成することができる。また、導電膜 112、120a、120b としては、例えば、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、ニッケル、鉄、コバルト、タンゲステンから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いて形成することができる。また、マンガン、ジルコニウムのいずれか一または複数から選択された金属元素を用いてもよい。また、導電膜 112、120a、120b は、単層構造でも、二層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、マンガンを含む銅膜の単層構造、アルミニウム膜上にチタン膜を積層する二層構造、窒化チタン膜上にチタン膜を積層する二層構造、窒化チタン膜上にタンゲステン膜を積層する二層構造、窒化タンタル膜または窒化タンゲステン膜上にタンゲステン膜を積層する二層構造、マンガンを含む銅膜上に銅膜を積層する二層構造、チタン膜上に銅膜を積層する二層構造、チタン膜と、そのチタン膜上にアルミニウム膜を積層し、さらにその上にチタン膜を形成する三層構造、マンガンを含む銅膜上に銅膜を積層し、さらにその上にマンガンを含む銅膜を形成する三層構造等がある。また、アルミニウムに、チタン、タンタル、タンゲステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた一または複数を組み合わせた合金膜、もしくは窒化膜を用いてもよい。10

#### 【0170】

特に、導電膜 112、120a、120b としては、銅を含む材料を用いると好適である。導電膜 112、120a、120b に銅を含む材料を用いると、抵抗を低くすることができます。例えば、基板 102 として大面積の基板を用いた場合においても信号の遅延等を抑制することができる。20

#### 【0171】

また、導電膜 112、120a、120b は、インジウム錫酸化物 (Indium Tin Oxide : ITO)、酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、シリコンを含むインジウム錫酸化物 (In-Sn-Si 酸化物 : ITSOともいう) 等の透光性を有する導電性材料を適用することもできる。また、上記透光性を有する導電性材料と、上記金属元素の積層構造とすることもできる。30

#### 【0172】

なお、導電膜 112 として、In-Ga-Zn 酸化物に代表される酸化物半導体を用いてよい。当該酸化物半導体は、絶縁膜 116 から窒素または水素が供給されることで、キャリア密度が高くなる。別言すると、酸化物半導体は、酸化物導電体 (Oxide Conductor) として機能する。したがって、酸化物半導体は、ゲート電極として用いることができる。

#### 【0173】

例えば、導電膜 112 としては、酸化物導電体 (OC) の単層構造、金属膜の単層構造、または酸化物導電体 (OC) と、金属膜との積層構造等が挙げられる。

#### 【0174】

なお、導電膜 112 として、遮光性を有する金属膜の単層構造、または酸化物導電体 (OC) と遮光性を有する金属膜との積層構造を用いる場合、導電膜 112 の下方に形成されるチャネル領域 108i を遮光することができるため、好適である。また、導電膜 112 として、酸化物半導体または酸化物導電体 (OC) と、遮光性を有する金属膜との積層構造を用いる場合、酸化物半導体または酸化物導電体 (OC) 上に、金属膜（例えば、チタン膜、タンゲステン膜など）を形成することで、金属膜中の構成元素が酸化物半導体または酸化物導電体 (OC) 側に拡散し低抵抗化する、金属膜の成膜時のダメージ（例えば、スパッタリングダメージなど）により低抵抗化する、あるいは金属膜中に酸化物半導体または酸化物導電体 (OC) 中の酸素が拡散することで、酸素欠損が形成され低抵抗化する。4050

## 【0175】

また、本実施の形態に示すように、導電膜112が、金属酸化膜112aと、金属膜112bとを有する構造の場合、金属酸化膜112aに上述の酸化物導電体(OC)を用い、金属膜112bに上述の金属膜を用いればよい。

## 【0176】

また、導電膜112、120a、120bの厚さとしては、30nm以上500nm以下、または100nm以上400nm以下とすることができる。

## 【0177】

## [第1の保護膜]

第1の保護膜113は、所謂ハードマスクとしての機能を有する。第1の保護膜113としては、スパッタリング法、真空蒸着法、パルスレーザー堆積(PLD)法、熱CVD法等を用いて形成することができる。また、第1の保護膜113としては、無機材料により形成されると好ましい。第1の保護膜113を無機材料により形成することで、絶縁膜110、及び導電膜112を好適に加工することができる。第1の保護膜113としては、例えば、上述した導電膜、及び第1の絶縁膜乃至第4の絶縁膜に記載の材料を用いればよい。好ましくは、第1の保護膜113としては、チタン膜、窒化チタン膜、タンゲステン膜、窒化タンゲステン膜、モリブデン膜、窒化モリブデン膜、銅膜、酸化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、または窒化シリコン膜の中から選ばれるいずれか一つまたは複数を用いればよい。また、第1の保護膜113を上述した導電膜、及び第1の絶縁膜乃至第4の絶縁膜に記載の材料を積層して用いてもよい。

10

20

## 【0178】

また、導電膜112、120a、120bを、成膜装置及び露光装置を用いずに、ナノインプリント装置を用いて形成してもよい。

## 【0179】

## [第2の保護膜]

第2保護膜140としては、有機材料により形成されると好ましい。第2の保護膜140を有機材料により形成することで、所望の形状に加工しやすいため好適である。第2の保護膜140としては、例えば、感光性の有機樹脂等を用いればよい。代表的には、レジスト等が挙げられる。なお、当該レジストとしては、ポジ型及びネガ型の双方を用いることができる。

30

## 【0180】

## &lt;1-4. 半導体装置の構成例2&gt;

次に、図1(A)(B)(C)に示す半導体装置と異なる構成について、図5(A)(B)(C)を用いて説明する。

## 【0181】

図5(A)は、トランジスタ100Aの上面図であり、図5(B)は図5(A)の一点鎖線X1-X2間の断面図であり、図5(C)は図5(A)の一点鎖線Y1-Y2間の断面図である。

## 【0182】

図5(A)(B)(C)に示すトランジスタ100Aは、基板102上の導電膜106と、導電膜106上の絶縁膜104と、絶縁膜104上の酸化物半導体膜108と、酸化物半導体膜108上の絶縁膜110と、絶縁膜110上の導電膜112と、絶縁膜104、酸化物半導体膜108、及び導電膜112上の絶縁膜116と、を有する。

40

## 【0183】

酸化物半導体膜108は、導電膜112と重なるチャネル領域108iと、絶縁膜116と接するソース領域108sと、絶縁膜116と接するドレイン領域108dと、を有する。さらに、酸化物半導体膜108は、チャネル領域108iとソース領域108sとの間、及びチャネル領域108iとドレイン領域108dとの間に低抵抗領域108aを有する。

## 【0184】

50

また、導電膜 112 は、絶縁膜 110 上の金属酸化膜 112a と、金属酸化膜 112a 上の金属膜 112b と、を有する。

**【0185】**

トランジスタ 100A は、先に示すトランジスタ 100 の構成に加え、導電膜 106 と、開口部 143 と、を有する。

**【0186】**

なお、開口部 143 は、絶縁膜 104、110 に設けられる。また、導電膜 106 は、開口部 143 を介して、導電膜 112 と、電気的に接続される。よって、導電膜 106 と導電膜 112 には、同じ電位が与えられる。なお、開口部 143 を設けずに、導電膜 106 と、導電膜 112 と、に異なる電位を与えてよい。または、開口部 143 を設けずに、導電膜 106 を遮光膜として用いてよい。例えば、導電膜 106 を遮光性の材料により形成することで、チャネル領域 108i に照射される下方からの光を抑制することができる。

**【0187】**

また、トランジスタ 100A の構成とする場合、導電膜 106 は、第 1 のゲート電極（ボトムゲート電極ともいう）としての機能を有し、導電膜 112 は、第 2 のゲート電極（トップゲート電極ともいう）としての機能を有する。また、絶縁膜 104 は、第 1 のゲート絶縁膜としての機能を有し、絶縁膜 110 は、第 2 のゲート絶縁膜としての機能を有する。

**【0188】**

導電膜 106 としては、先に記載の導電膜 112、120a、120b と同様の材料を用いることができる。特に導電膜 106 として、銅を含む材料により形成することで抵抗を低くすることができるため好適である。例えば、導電膜 106 を窒化チタン膜、窒化タンタル膜、またはタンクスチレン膜上に銅膜を設ける積層構造とし、導電膜 120a、120b を窒化チタン膜、窒化タンタル膜、またはタンクスチレン膜上に銅膜を設ける積層構造とすると好適である。この場合、トランジスタ 100A を表示装置の画素トランジスタ及び駆動トランジスタのいずれか一方または双方に用いることで、導電膜 106 と導電膜 120a との間に生じる寄生容量、及び導電膜 106 と導電膜 120b との間に生じる寄生容量を低くすることができる。したがって、導電膜 106、導電膜 120a、及び導電膜 120b を、トランジスタ 100A の第 1 のゲート電極、ソース電極、及びドレイン電極として用いるのみならず、表示装置の電源供給用の配線、信号供給用の配線、または接続用の配線等に用いる事も可能となる。

**【0189】**

このように、図 5 (A) (B) (C) に示すトランジスタ 100A は、先に説明したトランジスタ 100 と異なり、酸化物半導体膜 108 の上下にゲート電極として機能する導電膜を有する構造である。トランジスタ 100A に示すように、本発明の一態様の半導体装置には、複数のゲート電極を設けてよい。

**【0190】**

また、図 5 (C) に示すように、酸化物半導体膜 108 は、第 1 のゲート電極として機能する導電膜 106 と、第 2 のゲート電極として機能する導電膜 112 のそれぞれと対向するように位置し、2 つのゲート電極として機能する導電膜に挟まれている。

**【0191】**

また、導電膜 112 のチャネル幅方向の長さは、酸化物半導体膜 108 のチャネル幅方向の長さよりも長く、酸化物半導体膜 108 のチャネル幅方向全体は、絶縁膜 110 を介して導電膜 112 に覆われている。また、導電膜 112 と導電膜 106 とは、絶縁膜 104、及び絶縁膜 110 に設けられる開口部 143 において接続されるため、酸化物半導体膜 108 のチャネル幅方向の側面の一方は、絶縁膜 110 を介して導電膜 112 と対向している。

**【0192】**

別言すると、トランジスタ 100A のチャネル幅方向において、導電膜 106 及び導電

10

20

30

40

50

膜 112 は、絶縁膜 104、及び絶縁膜 110 に設けられる開口部 143 において接続すると共に、絶縁膜 104、及び絶縁膜 110 を介して酸化物半導体膜 108 を取り囲む構成である。

#### 【 0193 】

このような構成を有することで、トランジスタ 100A に含まれる酸化物半導体膜 108 を、第 1 のゲート電極として機能する導電膜 106 及び第 2 のゲート電極として機能する導電膜 112 の電界によって電気的に取り囲むことができる。トランジスタ 100A のように、第 1 のゲート電極及び第 2 のゲート電極の電界によって、チャネル領域が形成される酸化物半導体膜を電気的に取り囲むトランジスタのデバイス構造を Surround ed channel (S-channel) 構造と呼ぶことができる。 10

#### 【 0194 】

トランジスタ 100A は、S-channel 構造を有するため、導電膜 106 または導電膜 112 によってチャネルを誘起させるための電界を効果的に酸化物半導体膜 108 に印加することができるため、トランジスタ 100A の電流駆動能力が向上し、高いオン電流特性を得ることが可能となる。また、オン電流を高くすることが可能であるため、トランジスタ 100A を微細化することが可能となる。また、トランジスタ 100A は、酸化物半導体膜 108 が導電膜 106、及び導電膜 112 によって取り囲まれた構造を有するため、トランジスタ 100A の機械的強度を高めることができる。

#### 【 0195 】

なお、トランジスタ 100A のチャネル幅方向において、酸化物半導体膜 108 の開口部 143 が形成されていない側に、開口部 143 と異なる開口部を形成してもよい。 20

#### 【 0196 】

また、トランジスタ 100A に示すように、トランジスタが、半導体膜を間に挟んで存在する一対のゲート電極を有している場合、一方のゲート電極には信号 A が、他方のゲート電極には固定電位 Vb が与えられてもよい。また、一方のゲート電極には信号 A が、他方のゲート電極には信号 B が与えられてもよい。また、一方のゲート電極には固定電位 Va が、他方のゲート電極には固定電位 Vb が与えられてもよい。

#### 【 0197 】

信号 A は、例えば、導通状態または非導通状態を制御するための信号である。信号 A は、電位 V1、または電位 V2 (V1 > V2 とする) の 2 種類の電位をとるデジタル信号であってもよい。例えば、電位 V1 を高電源電位とし、電位 V2 を低電源電位とすることができます。信号 A は、アナログ信号であってもよい。 30

#### 【 0198 】

固定電位 Vb は、例えば、トランジスタのしきい値電圧 VthA を制御するための電位である。固定電位 Vb は、電位 V1、または電位 V2 であってもよい。この場合、固定電位 Vb を生成するための電位発生回路を、別途設ける必要がなく好ましい。固定電位 Vb は、電位 V1、または電位 V2 と異なる電位であってもよい。固定電位 Vb を低くすることで、しきい値電圧 VthA を高くできる場合がある。その結果、ゲート-ソース間電圧 Vgs が 0V のときのドレイン電流を低減し、トランジスタを有する回路のリーク電流を低減できる場合がある。例えば、固定電位 Vb を低電源電位よりも低くしてもよい。一方で、固定電位 Vb を高くすることで、しきい値電圧 VthA を低くできる場合がある。その結果、ゲート-ソース間電圧 Vgs が高電源電位のときのドレイン電流を向上させ、トランジスタを有する回路の動作速度を向上できる場合がある。例えば、固定電位 Vb を低電源電位よりも高くしてもよい。 40

#### 【 0199 】

信号 B は、例えば、導通状態または非導通状態を制御するための信号である。信号 B は、電位 V3、または電位 V4 (V3 > V4 とする) の 2 種類の電位をとるデジタル信号であってもよい。例えば、電位 V3 を高電源電位とし、電位 V4 を低電源電位とすることができます。信号 B は、アナログ信号であってもよい。

#### 【 0200 】

10

20

30

40

50

信号 A と信号 B が共にデジタル信号である場合、信号 B は、信号 A と同じデジタル値を持つ信号であってもよい。この場合、トランジスタのオン電流を向上し、トランジスタを有する回路の動作速度を向上できる場合がある。このとき、信号 A における電位 V<sub>1</sub> 及び電位 V<sub>2</sub> は、信号 B における電位 V<sub>3</sub> 及び電位 V<sub>4</sub> と、異なっていても良い。例えば、信号 B が入力されるゲートに対応するゲート絶縁膜が、信号 A が入力されるゲートに対応するゲート絶縁膜よりも厚い場合、信号 B の電位振幅 (V<sub>3</sub> - V<sub>4</sub>) を、信号 A の電位振幅 (V<sub>1</sub> - V<sub>2</sub>) より大きくしても良い。そうすることで、トランジスタの導通状態または非導通状態に対して、信号 A が与える影響と、信号 B が与える影響と、を同程度とすることができる場合がある。

## 【0201】

10

信号 A と信号 B が共にデジタル信号である場合、信号 B は、信号 A と異なるデジタル値を持つ信号であってもよい。この場合、トランジスタの制御を信号 A と信号 B によって別々に行うことができ、より高い機能を実現できる場合がある。例えば、トランジスタが n チャネル型である場合、信号 A が電位 V<sub>1</sub> であり、かつ、信号 B が電位 V<sub>3</sub> である場合のみ導通状態となる場合や、信号 A が電位 V<sub>2</sub> であり、かつ、信号 B が電位 V<sub>4</sub> である場合のみ非導通状態となる場合には、一つのトランジスタで N A N D 回路や N O R 回路等の機能を実現できる場合がある。また、信号 B は、しきい値電圧 V<sub>t h A</sub> を制御するための信号であってもよい。例えば、信号 B は、トランジスタを有する回路が動作している期間と、当該回路が動作していない期間と、で電位が異なる信号であってもよい。信号 B は、回路の動作モードに合わせて電位が異なる信号であってもよい。この場合、信号 B は信号 A ほど頻繁には電位が切り替わらない場合がある。

## 【0202】

20

信号 A と信号 B が共にアナログ信号である場合、信号 B は、信号 A と同じ電位のアナログ信号、信号 A の電位を定数倍したアナログ信号、または、信号 A の電位を定数だけ加算もしくは減算したアナログ信号等であってもよい。この場合、トランジスタのオン電流が向上し、トランジスタを有する回路の動作速度を向上できる場合がある。信号 B は、信号 A と異なるアナログ信号であってもよい。この場合、トランジスタの制御を信号 A と信号 B によって別々に行うことができ、より高い機能を実現できる場合がある。

## 【0203】

30

信号 A がデジタル信号であり、信号 B がアナログ信号であってもよい。または信号 A がアナログ信号であり、信号 B がデジタル信号であってもよい。

## 【0204】

トランジスタの両方のゲート電極に固定電位を与える場合、トランジスタを、抵抗素子と同等の素子として機能させることができる場合がある。例えば、トランジスタが n チャネル型である場合、固定電位 V<sub>a</sub> または固定電位 V<sub>b</sub> を高く ( 低く ) することで、トランジスタの実効抵抗を低く ( 高く ) することができる場合がある。固定電位 V<sub>a</sub> 及び固定電位 V<sub>b</sub> を共に高く ( 低く ) することで、一つのゲートしか有さないトランジスタによって得られる実効抵抗よりも低い ( 高い ) 実効抵抗が得られる場合がある。

## 【0205】

なお、トランジスタ 100A のその他の構成は、先に示すトランジスタ 100 と同様であり、同様の効果を奏する。

40

## 【0206】

< 1 - 5 . 半導体装置の作製方法 2 >

ここで、図 5 に示すトランジスタ 100A の作製方法の一例について、図 6 乃至図 8 を用いて説明する。なお、図 6 乃至図 8 は、トランジスタ 100A の作製方法を説明するチャネル長 ( L ) 方向及びチャネル幅 ( W ) 方向の断面図である。以下に示す作製方法とすることで、トランジスタ 100A のチャネル長 ( L ) を、0.2 μm 以上 1.5 μm 未満、より好ましくは、0.5 μm 以上 1.0 μm 以下とすることができる。

## 【0207】

[ 酸化物半導体膜を形成する工程 ]

50

まず、基板 102 上に導電膜 106 を形成する。その後、基板 102 及び導電膜 106 上に絶縁膜 104 を成膜する。続いて、絶縁膜 104 上に酸化物半導体膜を成膜する。その後、当該酸化物半導体膜を島状に加工することで、酸化物半導体膜 107 を形成する(図 6 (A) 参照)。

#### 【0208】

本実施の形態では、導電膜 106 として、スパッタリング装置を用い、厚さ 10 nm のチタン膜と、厚さ 100 nm の銅膜との積層膜を形成する。また、絶縁膜 104 として、プラズマ CVD 装置を用い、厚さ 400 nm の窒化シリコン膜と、厚さ 50 nm の酸化窒化シリコン膜とを成膜する。また、酸化物半導体膜 107 として、スパッタリング装置を用い、スパッタリングターゲットとして In - Ga - Zn 金属酸化物 (In : Ga : Zn = 4 : 2 : 4 . 1 [原子数比]) を用いて、膜厚 35 nm の酸化物半導体膜を成膜する。  
10

#### 【0209】

##### [酸化物半導体膜上に絶縁膜を成膜する工程]

次に、絶縁膜 104 及び酸化物半導体膜 107 上に絶縁膜 110\_0 を成膜する(図 6 (B) 参照)。

#### 【0210】

本実施の形態では絶縁膜 110\_0 として、プラズマ CVD 装置を用い、厚さ 20 nm の酸化窒化シリコン膜を成膜する。

#### 【0211】

##### [開口部の形成]

20

次に、絶縁膜 110\_0 上の所望の位置に、リソグラフィによりマスクを形成した後、絶縁膜 110\_0 及び絶縁膜 104 の一部をエッチングすることで、導電膜 106 に達する開口部 143 を形成する(図 6 (C) 参照)。

#### 【0212】

開口部 143 としては、ドライエッ칭装置及びウェットエッ칭装置のいずれか一方または双方を用いることで形成できる。

#### 【0213】

##### [絶縁膜上に導電膜を成膜する工程]

次に、絶縁膜 110\_0 上に導電膜 112\_0 を成膜する。なお、本実施の形態においては、導電膜 112\_0 として、金属酸化膜 112a\_0 と、金属膜 112b\_0 と、を成膜する(図 6 (D) 参照)。  
30

30

#### 【0214】

なお、金属酸化膜 112a\_0 の形成時に金属酸化膜 112a\_0 から絶縁膜 110\_0 中に酸素が添加される場合がある。図 6 (D) において、金属酸化膜 112a\_0 から絶縁膜 110\_0 中に添加される酸素を矢印で模式的に表している。

#### 【0215】

本実施の形態においては、金属酸化膜 112a\_0 として、スパッタリング法を用いて、膜厚が 10 nm の In - Ga - Zn 酸化物である IGZO 膜 (In : Ga : Zn = 4 : 2 : 4 . 1 (原子数比)) を成膜する。また、金属膜 112b\_0 として、スパッタリング法を用いて、膜厚が 50 nm の窒化チタン膜と、膜厚が 100 nm のチタン膜との積層膜を成膜する。  
40

40

#### 【0216】

なお、導電膜 112\_0 と導電膜 106 とが、開口部 143 を介して電気的に接続される。

#### 【0217】

##### [導電膜上に第 1 の保護膜を成膜する工程]

次に、導電膜 112\_0 上に第 1 の保護膜 113\_0 を成膜する(図 7 (A) 参照)。

#### 【0218】

本実施の形態においては、第 1 の保護膜 113\_0 として、スパッタリング法を用いて膜厚が 100 nm のチタン膜を成膜する。  
50

## 【0219】

[第1の保護膜上に第2の保護膜を形成する工程]

次に、第1の保護膜113\_0上に第2の保護膜140を形成する(図7(B)参照)。

。

## 【0220】

第2の保護膜140の形成方法としては、レジスト塗布工程と、リソグラフィ工程と、を用いて形成すればよい。なお、本実施の形態においては、第2の保護膜140のチャネル長(L)方向の長さを1.5μmとして形成する。

## 【0221】

[第2の保護膜を用いての加工]

10

次に、第1の保護膜113\_0、導電膜112\_0、及び絶縁膜110\_0を、第2の保護膜140を用いて加工する(図7(C)参照)。

## 【0222】

図7(C)において、第2の保護膜140を用いて加工することで、第1の保護膜113\_0は島状の第1の保護膜113に、導電膜112\_0は島状の導電膜112\_1に、絶縁膜110\_0は島状の絶縁膜110\_1に、それぞれ加工される。なお、導電膜112\_1は、金属酸化膜112a\_1と、金属膜112b\_1とを有する。

## 【0223】

また、第1の保護膜113、導電膜112\_1、絶縁膜110\_1の側端部は、第2の保護膜140の側端部と概略同じ位置に形成される。すなわち、第1の保護膜113、導電膜112\_1、絶縁膜110\_1のチャネル長(L)方向の長さが、概略1.5μmで形成される。

20

## 【0224】

[第1の保護膜を用いての加工]

次に、第2の保護膜140を除去し、導電膜112\_1、及び絶縁膜110\_1を、第1の保護膜113を用いて加工する(図7(D)参照)。

## 【0225】

図7(D)において、第1の保護膜113を用いて加工することで、導電膜112\_1は導電膜112に、絶縁膜110\_1は絶縁膜110に、それぞれ加工される。なお、導電膜112は、金属酸化膜112aと、金属膜112bとを有する。また、金属酸化膜112a、金属膜112b、及び絶縁膜110は、第1の保護膜113よりも小さい面積で加工される。特に、金属酸化膜112a、及び金属膜112bは、第1の保護膜113の面積の15%以上50%以下で形成されると好ましい。

30

## 【0226】

[プラズマ処理を行う工程]

次に、第1の保護膜113上から酸化物半導体膜107に対してプラズマ処理を行う(図8(A)参照)。

## 【0227】

図8(A)において、プラズマ処理の様子をプラズマ147として模式的に表している。なお、プラズマ処理を行うことで、酸化物半導体膜107中には、ソース領域108s\_0、及びドレイン領域108d\_0が形成される。ソース領域108s\_0、及びドレイン領域108d\_0は、酸化物半導体膜107の第1の保護膜113と重ならない領域に形成される。

40

## 【0228】

[窒化物絶縁膜を成膜する工程]

次に、第1の保護膜113を除去し、絶縁膜104、酸化物半導体膜107、及び導電膜112上に、絶縁膜116を形成する(図8(B)参照)。

## 【0229】

図8(B)において、絶縁膜116を形成することで、酸化物半導体膜107は、チャネル領域108i、低抵抗領域108a、ソース領域108s、及びドレイン領域108

50

d を有する酸化物半導体膜 108へと加工される。

**【0230】**

なお、チャネル領域 108i は、絶縁膜 110 と接する領域に形成され、ソース領域 108s、及びドレイン領域 108d は、絶縁膜 116 と接する領域に形成される。また、低抵抗領域 108a は、第 1 の保護膜 113 が重なり、且つ絶縁膜 110 が重ならない領域に形成される。

**【0231】**

本実施の形態においては、絶縁膜 116 として、プラズマ CVD 装置を用い、厚さ 100 nm の窒化酸化シリコン膜を成膜する。

**【0232】**

**[酸化物絶縁膜を成膜する工程]**

次に、絶縁膜 116 上に絶縁膜 118 を形成する（図 8 (C) 参照）。

**【0233】**

本実施の形態においては、絶縁膜 118 として、プラズマ CVD 装置を用い、厚さ 300 nm の酸化窒化シリコン膜を形成する。

**【0234】**

**[開口部の形成]**

次に、絶縁膜 118 上の所望の位置に、リソグラフィによりマスクを形成した後、絶縁膜 118 及び絶縁膜 116 の一部をエッチングすることで、ソース領域 108s に達する開口部 141a と、ドレイン領域 108d に達する開口部 141b と、を形成する。その後、開口部 141a、141b を覆うように、ソース領域 108s、ドレイン領域 108d、及び絶縁膜 118 上に導電膜を形成し、当該導電膜を所望の形状に加工することで、導電膜 120a、120b を形成する（図 8 (D) 参照）。

**【0235】**

本実施の形態においては、導電膜 120a、120b として、スパッタリング装置を用い、厚さ 50 nm のタンゲステン膜と、厚さ 400 nm の銅膜との積層膜を形成する。

**【0236】**

以上の工程により、図 5 に示すトランジスタ 100A を作製することができる。

**【0237】**

**<1 - 6 . 半導体装置の構成例 3 >**

次に、図 5 (A) (B) (C) に示す半導体装置と異なる構成について、図 9 乃至図 15 を用いて説明する。

**【0238】**

図 9 (A) (B) に示すトランジスタ 100B は、先に示すトランジスタ 100A と比較し、導電膜 112、及び絶縁膜 110 の形状が異なる。具体的には、トランジスタ 100B は、トランジスタのチャネル長 (L) 方向の断面において、導電膜 112 の下端部と、絶縁膜 110 の上端部との位置が異なる。導電膜 112 の下端部は、絶縁膜 110 の上端部よりも内側に形成される。

**【0239】**

例えば、導電膜 112 と、絶縁膜 110 と、を異なるエッチャントで、それぞれ加工することで、トランジスタ 100B の構造とすることができます。

**【0240】**

図 10 (A) (B) に示すトランジスタ 100C は、先に示すトランジスタ 100A と比較し、絶縁膜 118 上に平坦化膜として機能する絶縁膜 122 が設けられている点が異なる。それ以外の構成については、先に示すトランジスタ 100A と同様の構成であり、同様の効果を奏する。

**【0241】**

絶縁膜 122 は、トランジスタ等に起因する凹凸等を平坦化させる機能を有する。絶縁膜 122 としては、絶縁性であればよく、無機材料または有機材料を用いて形成される。該無機材料としては、酸化シリコン膜、酸化窒化シリコン膜、窒化

10

20

30

40

50

シリコン膜、酸化アルミニウム膜、窒化アルミニウム膜等が挙げられる。該有機材料としては、例えば、アクリル樹脂、またはポリイミド樹脂等の感光性の樹脂材料が挙げられる。

#### 【0242】

なお、図10(A)(B)においては、絶縁膜122が有する開口部の形状は、開口部141a、141bよりも大きい形状としたが、これに限定されず、例えば、開口部141a、141bと同じ形状、または開口部141a、141bよりも小さい形状としてもよい。

#### 【0243】

また、図10(A)(B)においては、絶縁膜122上に導電膜120a、120bを設ける構成について例示したがこれに限定されず、例えば、絶縁膜118上に導電膜120a、120bを設け、導電膜120a、120b上に絶縁膜122を設ける構成としてもよい。

#### 【0244】

図11(A)(B)は、トランジスタ100Dの断面図であり、図12(A)(B)はトランジスタ100Eの断面図であり、図13(A)(B)は、トランジスタ100Fの断面図であり、図14(A)(B)は、トランジスタ100Gの断面図であり、図15(A)(B)は、トランジスタ100Hの断面図である。なお、トランジスタ100D、トランジスタ100E、トランジスタ100F、トランジスタ100G、及びトランジスタ100Hの上面図としては、図5(A)に示すトランジスタ100Aと同様であるため、ここでの説明は省略する。

#### 【0245】

トランジスタ100D、トランジスタ100E、トランジスタ100F、トランジスタ100G、及びトランジスタ100Hは、先に示すトランジスタ100Aと酸化物半導体膜108の構造が異なる。それ以外の構成については、先に示すトランジスタ100Aと同様の構成であり、同様の効果を奏する。

#### 【0246】

図11(A)(B)に示すトランジスタ100Dが有する酸化物半導体膜108は、絶縁膜104上の酸化物半導体膜108\_1と、酸化物半導体膜108\_1上の酸化物半導体膜108\_2と、酸化物半導体膜108\_2上の酸化物半導体膜108\_3と、を有する。また、チャネル領域108i、低抵抗領域108a、ソース領域108s、及びドレイン領域108dは、それぞれ、酸化物半導体膜108\_1、酸化物半導体膜108\_2、及び酸化物半導体膜108\_3の3層の積層構造である。

#### 【0247】

図12(A)(B)に示すトランジスタ100Eが有する酸化物半導体膜108は、絶縁膜104上の酸化物半導体膜108\_2と、酸化物半導体膜108\_2上の酸化物半導体膜108\_3と、を有する。また、チャネル領域108i、低抵抗領域108a、ソース領域108s、及びドレイン領域108dは、それぞれ、酸化物半導体膜108\_2、及び酸化物半導体膜108\_3の2層の積層構造である。

#### 【0248】

図13(A)(B)に示すトランジスタ100Fが有する酸化物半導体膜108は、絶縁膜104上の酸化物半導体膜108\_1と、酸化物半導体膜108\_1上の酸化物半導体膜108\_2と、を有する。また、チャネル領域108i、低抵抗領域108a、ソース領域108s、及びドレイン領域108dは、それぞれ、酸化物半導体膜108\_1、及び酸化物半導体膜108\_2の2層の積層構造である。

#### 【0249】

図14(A)(B)に示すトランジスタ100Gが有する酸化物半導体膜108は、絶縁膜104上の酸化物半導体膜108\_1と、酸化物半導体膜108\_1上の酸化物半導体膜108\_2と、酸化物半導体膜108\_2上の酸化物半導体膜108\_3と、を有する。また、チャネル領域108iは、酸化物半導体膜108\_1、酸化物半導体膜108

10

20

30

40

50

—2、及び酸化物半導体膜108\_3の3層の積層構造であり、低抵抗領域108a、ソース領域108s、及びドレイン領域108dは、それぞれ、酸化物半導体膜108\_1、及び酸化物半導体膜108\_2の2層の積層構造である。なお、トランジスタ100Gのチャネル幅(W)方向の断面において、酸化物半導体膜108\_3が、酸化物半導体膜108\_1及び酸化物半導体膜108\_2の側面を覆う。

#### 【0250】

図15(A)(B)に示すトランジスタ100Hが有する酸化物半導体膜108は、絶縁膜104上の酸化物半導体膜108\_2と、酸化物半導体膜108\_2上の酸化物半導体膜108\_3と、を有する。また、チャネル領域108iは、酸化物半導体膜108\_2、及び酸化物半導体膜108\_3の2層の積層構造であり、低抵抗領域108a、ソース領域108s、及びドレイン領域108dは、それぞれ、酸化物半導体膜108\_2の単層構造である。なお、トランジスタ100Hのチャネル幅(W)方向の断面において、酸化物半導体膜108\_3が、酸化物半導体膜108\_2の側面を覆う。  
10

#### 【0251】

チャネル領域108iのチャネル幅(W)方向の側面またはその近傍においては、加工におけるダメージにより欠陥(例えば、酸素欠損)が形成されやすい、あるいは不純物の付着により汚染されやすい。そのため、チャネル領域108iが実質的に真性であっても、電界などのストレスが印加されることによって、チャネル領域108iのチャネル幅(W)方向の側面またはその近傍が活性化され、低抵抗(n型)領域となりやすい。また、チャネル領域108iのチャネル幅(W)方向の側面またはその近傍がn型領域の場合、当該n型領域がキャリアのパスとなるため、寄生チャネルが形成される場合がある。  
20

#### 【0252】

そこで、トランジスタ100G、及びトランジスタ100Hにおいては、チャネル領域108iを積層構造とし、チャネル領域108iのチャネル幅(W)方向の側面を、積層構造の一方の層で覆う構成とする。当該構成とすることで、チャネル領域108iの側面またはその近傍の欠陥を抑制する、あるいはチャネル領域108iの側面またはその近傍への不純物の付着を低減することが可能となる。

#### 【0253】

なお、トランジスタ100D、トランジスタ100E、トランジスタ100F、トランジスタ100G、及びトランジスタ100Hに示す積層構造の酸化物半導体膜のバンド構造については、実施の形態2にて詳細を説明する。  
30

#### 【0254】

なお、本実施の形態で示す構成は、他の実施の形態で示す構成と適宜組み合わせて用いることができる。

#### 【0255】

##### (実施の形態2)

本実施の形態では、シリコン膜を有する半導体装置、及び当該半導体装置の作製方法の一例について、図16乃至図22を用いて説明する。なお、本実施の形態においては、シリコン膜として、nチャネル型の低温多結晶シリコン(Low Temperature Poly Silicon)膜を用いる構成について例示する。  
40

#### 【0256】

##### <2-1. 半導体装置の構成例1>

図16(A)(B)(C)に、シリコン膜を有する半導体装置の一例を示す。ここでは半導体装置として、トランジスタを示す。なお、図16(A)(B)(C)に示すトランジスタは、スタガ型(トップゲート構造)である。

#### 【0257】

図16(A)は、トランジスタ200の上面図であり、図16(B)は図16(A)の一点鎖線X1-X2間の断面図であり、図16(C)は図16(A)の一点鎖線Y1-Y2間の断面図である。なお、図16(A)では、明瞭化のため、絶縁膜などの構成要素を省略して図示している。なお、トランジスタの上面図においては、以降の図面においても  
50

図16(A)と同様に、構成要素の一部を省略して図示する場合がある。また、一点鎖線X1-X2方向をチャネル長(L)方向、一点鎖線Y1-Y2方向をチャネル幅(W)方向と呼称する場合がある。

#### 【0258】

なお、本発明の一態様の半導体装置においては、トランジスタのチャネル長(L)は、好ましくは0.2μm以上1.5μm未満、より好ましくは、0.5μm以上1.0μm以下である。上述のチャネル長(L)としたトランジスタを表示装置に用いることで、表示装置の画素密度を高めることができる。

#### 【0259】

図16(A)(B)(C)に示すトランジスタ200は、基板202上の絶縁膜204と、絶縁膜204上の半導体膜208と、半導体膜208上の絶縁膜210と、半導体膜208と一部重なり、且つ絶縁膜210上の導電膜212と、を有する。また、絶縁膜204、半導体膜208、及び導電膜212上に絶縁膜216と、絶縁膜218とが、設けられる。

#### 【0260】

半導体膜208は、シリコン膜を有する。また、当該シリコン膜は、結晶構造を有する。例えば、シリコン膜を、様々な方法により結晶化させることができる。シリコン膜を結晶化させる方法としては、レーザー光を用いたレーザー結晶化法、金属の触媒元素を用いる結晶化法、熱処理による熱結晶化法が挙げられる。または、これらの結晶化法を組み合わせて結晶化させてもよい。

#### 【0261】

本実施の形態では、非晶質シリコン膜にレーザー光を照射して多結晶シリコン膜とし、当該多結晶シリコン膜を半導体膜208として用いる。

#### 【0262】

また、半導体膜208は、導電膜212と重なるチャネル領域208iと、絶縁膜216と接するソース領域208sと、絶縁膜216と接するドレイン領域208dと、を有する。さらに、半導体膜208は、チャネル領域208iとソース領域208sとの間、及びチャネル領域208iとドレイン領域208dとの間に低抵抗領域208aを有する。

#### 【0263】

低抵抗領域208aは、所謂LDD(Lightley Doped Drain)領域として機能する。また、低抵抗領域208a、ソース領域208s、及びドレイン領域208dには、半導体膜208にn型の導電型の導電性を付与する不純物元素、例えば、リン(P)、ヒ素(As)等が添加されている。

#### 【0264】

また、図16(B)に示すように、チャネル長(L)方向において、低抵抗領域208aの幅は、チャネル領域208iのチャネル長よりも広い。または、低抵抗領域208aの幅は、チャネル領域208iのチャネル長と同じでも良い。

#### 【0265】

上記構成とすることで、トランジスタのチャネル長(L)が短い場合、例えば、トランジスタのチャネル長(L)が1.5μm未満の場合、低抵抗領域208aの幅がチャネル長と同じ、またはチャネル長よりも広いため、ドレイン領域208dに印加された電圧によって加速されるキャリアに起因する劣化(ホットキャリア劣化ともいう)を好適に抑制することができる。よって、信頼性の高い半導体装置を提供することができる。

#### 【0266】

また、本発明の一態様においては、低抵抗領域208a、ソース領域208s、及びドレイン領域208dを、それぞれ自己整合的に形成することができる。低抵抗領域208a、ソース領域208s、及びドレイン領域208dの形成方法については、後述する。

#### 【0267】

また、トランジスタ200は、絶縁膜216、218に設けられた開口部241aを介

10

20

30

40

50

して、ソース領域 208s に電気的に接続される導電膜 220a と、絶縁膜 216、218 に設けられた開口部 241b を介して、ドレイン領域 208d に電気的に接続される導電膜 220b と、を有していてもよい。

#### 【0268】

なお、本明細書等において、絶縁膜 204 を第 1 の絶縁膜と、絶縁膜 210 を第 2 の絶縁膜と、絶縁膜 216 を第 3 の絶縁膜と、絶縁膜 218 を第 4 の絶縁膜と、それぞれ呼称する場合がある。また、絶縁膜 210 は、ゲート絶縁膜としての機能を有し、導電膜 212 は、ゲート電極としての機能を有し、導電膜 220a は、ソース電極としての機能を有し、導電膜 220b は、ドレイン電極としての機能を有する。

#### 【0269】

また、本実施の形態においては、n チャネル型のトランジスタを例示しているが、これに限定されない。例えば、半導体膜 208 に添加する n 型の導電型の導電性を付与する不純物元素を、p 型の導電型の導電性を付与する不純物元素として、p チャネル型のトランジスタとしてもよい。なお、上記 p 型の導電型の導電性を付与する不純物元素としては、例えば、ボロン (B)、アルミニウム (Al)、ガリウム (Ga) 等が挙げられる。また、図 16 に示すトランジスタ 200 のチャネル領域 208i に、上記 p 型の導電型の導電性を付与する不純物元素を微量に添加してもよい。

#### 【0270】

また、図 16 に示すトランジスタ 200 を表示装置の画素トランジスタ及び駆動トランジスタのいずれか一方または双方に用いることで、表示装置の解像度を 1000ppi 以上、好ましくは 2000ppi 以上、さらに好ましくは 3000ppi 以上とすることができる。

#### 【0271】

##### <2-2. 半導体装置の作製方法 1>

ここで、図 16 に示すトランジスタ 200 の作製方法の一例について、図 17 乃至図 20 を用いて説明する。なお、図 17 乃至図 20 は、図 16 に示す n チャネル型のトランジスタ 200 と、n チャネル型のトランジスタ 200 と同一基板上に設けられる p チャネル型のトランジスタ 250 との作製方法を説明するチャネル長 (L) 方向の断面図である。

#### 【0272】

また、以下の説明において、トランジスタ 200 と、トランジスタ 250 との構成要素を明確に区別しない場合においては、同一の符号を用いて説明する場合がある。

#### 【0273】

なお、以下に示す作製方法とすることで、トランジスタ 200 及びトランジスタ 250 のチャネル長 (L) を、0.2 μm 以上 1.5 μm 未満、より好ましくは、0.5 μm 以上 1.0 μm 以下とすることができます。例えば、リソグラフィ法に用いる露光装置が可能な最小の加工寸法が 1.5 μm である場合、本実施の形態では、露光装置が可能な最小の加工寸法以下のチャネル長 (L) とすることができます。

#### 【0274】

##### [絶縁膜及び半導体膜を形成する工程]

まず、基板 202 上に絶縁膜 204 を成膜する。続いて、絶縁膜 204 上に半導体膜 208\_0 を成膜する（図 17 (A) 参照）。

#### 【0275】

基板 202 としては、ガラス基板を用いる。また、絶縁膜 204 としては、スパッタリング法、CVD 法、蒸着法、パルスレーザー堆積 (PLD) 法、印刷法、塗布法等を適宜用いて成膜することができる。本実施の形態においては、絶縁膜 204 として、プラズマ CVD 装置を用い、厚さ 300 nm の窒化シリコン膜と、厚さ 50 nm の酸化窒化シリコン膜とを成膜する。

#### 【0276】

半導体膜 208\_0 としては、スパッタリング法、CVD 法を用いて形成することができる。本実施の形態においては、半導体膜 208\_0 として、プラズマ CVD 装置を用い

、厚さ 50 nm の非晶質シリコン膜を成膜する。

#### 【0277】

なお、上記非晶質シリコン膜の含有水素量が多い場合には、熱処理、代表的には 400 以上 550 以下の温度で加熱して非晶質シリコン膜中から、水素を脱離させる処理（脱水素処理ともいう）を行ってもよい。例えば、非晶質シリコン膜の含有水素量が 5 原子 % 以下とすることで、結晶化工程での製造歩留まりを高めることができる。

#### 【0278】

また、絶縁膜 204 と、半導体膜 208\_0 とを、真空中で連続して成膜すると好ましい。このような成膜方法とすることで、絶縁膜 204 と、半導体膜 208\_0 との界面の汚染を抑制することができる。

10

#### 【0279】

##### [ 半導体膜を結晶化させる工程 ]

次に、半導体膜 208\_0 を結晶化させることで、結晶構造を有する半導体膜 208\_1 を形成する（図 17（B）参照）。

#### 【0280】

半導体膜 208\_0 の結晶化方法としては、図 17（B）に示すように、半導体膜 208\_1 の上方よりレーザー光 246 を照射することで半導体膜 208\_0 を結晶化させることができる。レーザー光 246 としては、例えば、193 nm、248 nm、308 nm、または 351 nm の波長を用いればよい。本実施の形態では、エキシマレーザー装置を用いて、半導体膜 208\_0 の結晶化を行う。

20

#### 【0281】

なお、図 17（B）においては、図示しないが、金属の触媒元素を用いる結晶化工程を行ってもよい。

#### 【0282】

##### [ 半導体膜を島状に加工する工程 ]

次に、半導体膜 208\_1 を加工し、島状の半導体膜 208\_2 を形成する（図 17（C）参照）。

#### 【0283】

半導体膜 208\_1 の加工方法としては、ウエットエッティング法及びドライエッティング法のいずれか一方または双方を用いることができる。本実施の形態においては、ドライエッティング法を用いて、半導体膜 208\_1 を加工する。

30

#### 【0284】

##### [ 半導体膜上に絶縁膜及び導電膜を成膜する工程 ]

次に、絶縁膜 204 及び半導体膜 208\_2 上に絶縁膜 210\_0、及び導電膜 212\_0 を成膜する（図 17（D）参照）。

#### 【0285】

絶縁膜 210\_0 としては、酸化シリコン膜または酸化窒化シリコン膜を、プラズマ化学気相堆積装置（PECVD 装置、または単にプラズマ CVD 装置という）を用いて成膜することができる。この場合、原料ガスとしては、シリコンを含む堆積性気体及び酸化性気体を用いることが好ましい。シリコンを含む堆積性気体の代表例としては、シラン、ジシラン、トリシラン、フッ化シラン等がある。酸化性気体としては、酸素、オゾン、一酸化二窒素、二酸化窒素等がある。

40

#### 【0286】

また、絶縁膜 210\_0 として、堆積性気体の流量に対する酸化性気体の流量を 20 倍より大きく 100 倍未満、または 40 倍以上 80 倍以下とし、処理室内の圧力を 100 Pa 未満、または 50 Pa 以下とするプラズマ CVD 装置を用いることで、欠陥量の少ない酸化窒化シリコン膜を成膜することができる。

#### 【0287】

また、絶縁膜 210\_0 として、プラズマ CVD 装置の真空排気された処理室内に載置された基板を 280 以上 400 以下に保持し、処理室に原料ガスを導入して処理室内

50

における圧力を 20 Pa 以上 250 Pa 以下、さらに好ましくは 100 Pa 以上 250 Pa 以下とし、処理室内に設けられる電極に高周波電力を供給する条件により、絶縁膜 210\_0 として、緻密である酸化シリコン膜または酸化窒化シリコン膜を成膜することができる。

**【0288】**

また、絶縁膜 210\_0 を、マイクロ波を用いたプラズマ CVD 装置を用いて成膜してもよい。マイクロ波とは 300 MHz から 300 GHz の周波数域を指す。マイクロ波は、電子温度が低く、電子エネルギーが小さい。また、供給された電力において、電子の加速に用いられる割合が少なく、より多くの分子の解離及び電離に用いられることが可能であり、密度の高いプラズマ（高密度プラズマ）を励起することができる。このため、被成膜面及び堆積物へのプラズマダメージが少なく、欠陥の少ない絶縁膜 210\_0 を成膜することができる。10

**【0289】**

本実施の形態では絶縁膜 210\_0 として、プラズマ CVD 装置を用い、厚さ 20 nm の酸化窒化シリコン膜を成膜する。

**【0290】**

導電膜 212\_0 としては、スパッタリング装置または ALD 装置を用いて形成すればよい。本実施の形態では、導電膜 212\_0 として、スパッタリング装置を用いて、窒化タンタル膜と、タンゲステン膜との 2 層の積層膜を成膜する。なお、本実施の形態においては、導電膜 212\_0 を 2 層の積層膜を成膜する構成について例示したが、これに限定されない。例えば、導電膜 212\_0 を、単層膜、または 3 層以上の積層膜としてもよい。20

**【0291】**

[導電膜上に第 1 の保護膜を成膜する工程]

次に、導電膜 212\_0 上に第 1 の保護膜 213\_0 を成膜する（図 18（A）参照）。

**【0292】**

第 1 の保護膜 213\_0 の成膜方法としては、スパッタリング法、または ALD 法を用いて形成すればよい。本実施の形態においては、第 1 の保護膜 213\_0 として、スパッタリング法を用いて膜厚が 100 nm のチタン膜を成膜する。30

**【0293】**

[第 1 の保護膜上に第 2 の保護膜を形成する工程]

次に、第 1 の保護膜 213\_0 上に第 2 の保護膜 240 を形成する（図 18（B）参照）。

**【0294】**

第 2 の保護膜 240 の形成方法としては、レジスト塗布工程と、リソグラフィ工程と、を用いて形成すればよい。なお、本実施の形態においては、第 2 の保護膜 240 のチャネル長（L）方向の長さを 1.5 μm として形成する。

**【0295】**

[第 2 の保護膜を用いての加工]

次に、第 1 の保護膜 213\_0、導電膜 212\_0、及び絶縁膜 210\_0 を、第 2 の保護膜 240 を用いて加工する（図 18（C）参照）。

**【0296】**

第 1 の保護膜 213\_0、導電膜 212\_0、及び絶縁膜 210\_0 の加工方法としては、ウエットエッチング法及びドライエッチング法のいずれか一方または双方を用いることができる。本実施の形態においては、ドライエッチング法を用いて第 1 の保護膜 213\_0、導電膜 212\_0、及び絶縁膜 210\_0 の加工を行う。

**【0297】**

図 18（C）において、第 2 の保護膜 240 を用いて加工することで、第 1 の保護膜 213\_0 は島状の第 1 の保護膜 213 に、導電膜 212\_0 は島状の導電膜 212\_1 に4050

、絶縁膜 210\_0 は島状の絶縁膜 210\_1 に、それぞれ加工される。

#### 【0298】

また、第1の保護膜 213、導電膜 212\_1、及び絶縁膜 210\_1 の側端部は、第2の保護膜 240 の側端部と概略同じ位置に形成される。すなわち、第1の保護膜 213、導電膜 212\_1、及び絶縁膜 210\_1 のチャネル長 (L) 方向の長さが、概略 1.5 μm で形成される。

#### 【0299】

また、第2の保護膜 240 を用いて加工する際に、第2の保護膜 240 が重ならない領域の半導体膜 208 の膜厚が薄くなる場合がある。また、第2の保護膜 240 を用いて加工する際に、エッチャントまたはエッティングガス（例えば、塩素など）が半導体膜 208 中に添加される、あるいは導電膜 212\_1 または絶縁膜 210\_1 の構成元素が半導体膜 208 中に添加される場合がある。10

#### 【0300】

##### [第1の不純物元素添加処理]

次に、第2の保護膜 240 をマスクに、不純物元素 247 を半導体膜 208 に添加する（図 18 (D) 参照）。

#### 【0301】

不純物元素 247 としては、半導体膜 208 に n 型の導電性を付与する不純物元素を用いる。

#### 【0302】

本実施の形態では、イオン注入法を用いて、半導体膜 208 に不純物元素 247 の注入を行う。当該イオン注入法において、P 元素を用い、ドーズ量を  $1 \times 10^{13}$  atoms / cm<sup>2</sup> 以上  $5 \times 10^{14}$  atoms / cm<sup>2</sup> 以下、加速電圧を 40 kV 以上 80 kV 以下として行なう。なお、ここでは、不純物元素 247 として P 元素を用いるがこれに限定されず、例えば、As、Sb、S、Te、Se 等の元素を用いてもよい。20

#### 【0303】

第1の不純物元素添加処理により、半導体膜 208 中には、自己整合的に不純物領域 208\_s\_0 及び不純物領域 208\_d\_0 が形成される。不純物領域 208\_s\_0 及び不純物領域 208\_d\_0 には  $1 \times 10^{18}$  atoms / cm<sup>3</sup> 以上  $1 \times 10^{20}$  atoms / cm<sup>3</sup> 以下の濃度で n 型の導電性を付与する不純物元素が添加される。30

#### 【0304】

##### [第1の保護膜を用いての加工]

次に、第2の保護膜 240 を除去し、導電膜 212\_1 及び絶縁膜 210\_1 を、第1の保護膜 213 を用いて加工する（図 19 (A) 参照）。

#### 【0305】

第2の保護膜 240 の除去方法としては、ウェットエッティング法及びドライエッティング法のいずれか一方または双方を用いることができる。本実施の形態においては、ウェットエッティング法を用い第2の保護膜 240 を除去する。

#### 【0306】

導電膜 212\_1 及び絶縁膜 210\_1 の加工方法としては、ウェットエッティング法及びドライエッティング法のいずれか一方または双方を用いることができる。40

#### 【0307】

図 19 (A) において、第1の保護膜 213 を用いて加工することで、導電膜 212\_1 は導電膜 212 に、絶縁膜 210\_1 は絶縁膜 210 に、それぞれ加工される。なお、導電膜 212 及び絶縁膜 210 は、第1の保護膜 213 よりも小さい面積で、それぞれ加工される。特に、導電膜 212 は、第1の保護膜 213 の面積の 15% 以上 50% 以下で形成されると好ましい。

#### 【0308】

例えば、第2の保護膜 240 のチャネル長 (L) 方向の長さが、1.5 μm である場合、導電膜 212 のチャネル長 (L) 方向の長さを、0.225 μm から 0.75 μm の範50

囲とすることができます。なお、導電膜 212 のチャネル長 (L) 方向の長さを第 2 の保護膜 240 のチャネル長 (L) 方向の長さの 15 % 未満として加工した場合、基板面内での寸法ばらつきが大きくなるため、上述の範囲とするのが好適である。

### 【0309】

#### [ 第 2 の不純物元素添加処理 ]

次に、第 1 の保護膜 213 をマスクに、不純物元素 248 を半導体膜 208 に添加する (図 19 (B) 参照)。

### 【0310】

不純物元素 248 としては、半導体膜 208 に n 型の導電性を付与する不純物元素を用いる。

10

### 【0311】

本実施の形態では、イオン注入法を用いて 2 回に分けて不純物元素 248 の注入を行う。1 回目のイオン注入法において、P 元素を用いて、ドーズ量を  $1 \times 10^{13}$  atoms /  $\text{cm}^2$  以上  $1 \times 10^{15}$  atoms /  $\text{cm}^2$  以下、加速電圧を 60 kV 以上 120 kV 以下として行なう。なお、1 回目のイオン注入法では、第 1 の保護膜 213 を不純物元素が通過するように、第 1 の不純物元素添加処理よりも加速電圧を高くすると好適である。また、1 回目のイオン注入法の際に、LDD 領域として機能する低抵抗領域 208a を形成するため、第 1 の不純物元素添加処理よりも P 元素のドーズ量を下げる好適である。

### 【0312】

また、2 回目のイオン注入法において、P 元素を用い、ドーズ量を  $1 \times 10^{15}$  atoms /  $\text{cm}^2$  以上  $1 \times 10^{17}$  atoms /  $\text{cm}^2$  以下、加速電圧を 50 kV 以上 100 kV 以下として行なえばよい。なお、本実施の形態においては、第 2 の不純物元素添加処理を 2 回に分けて行なうが、これに限定されない。例えば、第 2 の不純物元素添加処理を 1 回で行う、または 3 回以上に分けて行ってもよい。

20

### 【0313】

第 2 の不純物元素添加処理を行うことで、低抵抗領域 208a には、 $1 \times 10^{18}$  atoms /  $\text{cm}^3$  以上  $5 \times 10^{19}$  atoms /  $\text{cm}^3$  以下の濃度で n 型の導電性を付与する不純物元素が添加され、ソース領域 208s 及びドレイン領域 208d には、 $1 \times 10^{19}$  atoms /  $\text{cm}^3$  以上  $5 \times 10^{21}$  atoms /  $\text{cm}^3$  以下の濃度で n 型の導電性を付与する不純物元素が添加される。

30

### 【0314】

#### [ 第 3 の不純物元素添加処理 ]

次に、トランジスタ 200 が形成される領域に保護膜 252 を形成し、続けて保護膜 252 をマスクに、不純物元素 249 を半導体膜 208 に添加する (図 19 (C) 参照)。

### 【0315】

保護膜 252 としては、レジスト等を用いればよい。

### 【0316】

不純物元素 249 としては、半導体膜 208 に p 型の導電性を付与する不純物元素を用いる。

### 【0317】

本実施の形態では、イオンドープ法を用いて、半導体膜 208 に不純物元素 249 の注入を行う。当該イオンドープ法では、ジボラン ( $B_2H_6$ ) を用いて行なう。

40

### 【0318】

第 3 の不純物元素添加処理を行うことで、第 1 の保護膜 213 がマスクとして機能し、トランジスタ 250 の半導体膜 208 中には、低抵抗領域 208ap、ソース領域 208sp、及びドレイン領域 208dp が形成される。なお、低抵抗領域 208ap と、ソース領域 208sp 及びドレイン領域 208dp とは、p 型の導電性を付与する不純物元素の濃度が異なる。低抵抗領域 208ap は、第 1 の保護膜 213 があるため、ソース領域 208sp 及びドレイン領域 208dp よりも、不純物元素の濃度が低くなる。

### 【0319】

50

なお、低抵抗領域 208 a p、ソース領域 208 s p、及びドレイン領域 208 d pとしては、それぞれ  $2 \times 10^{20}$  atoms/cm<sup>3</sup> 以上  $2 \times 10^{21}$  atoms/cm<sup>3</sup> 以下の濃度で p 型の導電性を付与する不純物元素が添加される。上記濃度とすることで、半導体膜 208 中の不純物元素としては、n 型よりも p 型の導電性を付与する不純物元素の方が優勢となる。すなわち、トランジスタ 250 においては、半導体膜 208 中に n 型の導電性を付与する不純物元素が添加された後、p 型の導電性を付与する不純物元素が添加され、極性が n 型から p 型に反転する。

### 【0320】

#### [保護膜を除去する工程]

次に、保護膜 252 及び第 1 の保護膜 213 を除去する（図 19 (D) 参照）。

10

### 【0321】

保護膜 252 及び第 1 の保護膜 213 の除去方法としては、ウエットエッティング法及びドライエッティング法のいずれか一方または双方を用いることができる。本実施の形態においては、ウエットエッティング法を用い保護膜 252 を除去し、その後、ドライエッティング法を用い第 1 の保護膜 213 を除去する。

### 【0322】

なお、図 19 (D) において、保護膜 252 及び第 1 の保護膜 213 を除去することで、トランジスタ 200 には、低抵抗領域 208 a、ソース領域 208 s、ドレイン領域 208 d、及びチャネル領域 208 i を有する半導体膜 208 が形成される。また、トランジスタ 250 には、低抵抗領域 208 a p、ソース領域 208 s p、ドレイン領域 208 d p、及びチャネル領域 208 i を有する半導体膜 208 p が形成される。

20

### 【0323】

#### [絶縁膜を成膜する工程]

次に、絶縁膜 204、半導体膜 208、及び半導体膜 208 p 上に、絶縁膜 216 及び絶縁膜 218 を成膜する（図 20 (A) 参照）。

### 【0324】

絶縁膜 216 及び絶縁膜 218 は、保護膜としての機能を有する。

### 【0325】

本実施の形態においては、絶縁膜 216 としては、プラズマ CVD 装置を用い、厚さ 100 nm の窒化シリコン膜を成膜する。また、絶縁膜 218 としては、プラズマ CVD 装置を用い、厚さ 300 nm の酸化窒化シリコン膜を成膜する。

30

### 【0326】

なお、絶縁膜 216 の成膜後、または絶縁膜 218 の成膜後に熱処理を行うと好適である。当該熱処理によって、半導体膜 208 に添加された不純物元素を活性化させることができる。例えば、熱アニール法で活性化を行なう場合、酸素濃度が 1 ppm 以下、好ましくは 0.1 ppm 以下の窒素雰囲気中で、400 以上 700 未満（好ましくは 500 以上 600 以下）で行なう。さらに、3% 以上 100% 以下の水素を含む雰囲気中で、300 以上 450 以下で 1 時間以上 12 時間以下の熱処理を行い、半導体膜 208 を水素化する工程を行ってもよい。この水素化する工程は、熱的に励起された水素によりシリコン膜のダングリングボンドを終端する目的で行なわれる。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）に行っても良い。

40

### 【0327】

#### [開口部の形成]

次に、絶縁膜 218 上の所望の位置に、リソグラフィによりマスクを形成した後、絶縁膜 218 及び絶縁膜 216 の一部をエッティングすることで、ソース領域 208 s に達する開口部 241 a と、ドレイン領域 208 d に達する開口部 241 b と、ソース領域 208 s p に達する開口部 241 c と、ドレイン領域 208 d p に達する開口部 241 d と、を形成する（図 20 (B) 参照）。

### 【0328】

絶縁膜 218 及び絶縁膜 216 をエッティングする方法としては、ウエットエッティング法

50

及びドライエッティング法のいずれか一方または双方を用いればよい。本実施の形態においては、ドライエッティング法を用い、絶縁膜 218、及び絶縁膜 216 を加工する。

#### 【0329】

次に、開口部 241a、241b、241c、241d を覆うように、絶縁膜 218 上に導電膜を形成し、当該導電膜を所望の形状に加工することで、導電膜 220a、220b を形成する（図 20（C）参照）。

#### 【0330】

本実施の形態においては、導電膜 220a、220b として、スパッタリング装置を用い、厚さ 50 nm のタンゲステン膜と、厚さ 400 nm の銅膜との積層膜を形成する。

#### 【0331】

なお、導電膜 220a、220b となる導電膜の加工方法としては、ウエットエッティング法及びドライエッティング法のいずれか一方または双方を用いればよい。本実施の形態では、ウエットエッティング法にて銅膜をエッティングしたのち、ドライエッティング法にてタンゲステン膜をエッティングすることで導電膜を加工し、導電膜 220a、220b を形成する。

#### 【0332】

以上の工程により、図 16 に示す n チャネル型のトランジスタ 200 と、n チャネル型のトランジスタ 200 と同一基板上に形成される、p チャネル型のトランジスタ 250 とを作製することができる。

#### 【0333】

なお、トランジスタ 200、250 を構成する膜（絶縁膜、導電膜、半導体膜等）としては、上述の形成方法の他、スパッタリング法、化学気相堆積（CVD）法、真空蒸着法、パルスレーザー堆積（PLD）法、ALD 法を用いて形成することができる。あるいは、塗布法や印刷法で形成することができる。成膜方法としては、スパッタリング法、プラズマ化学気相堆積（PECVD）法が代表的であるが、熱 CVD 法でもよい。熱 CVD 法の例として、有機金属化学気相堆積（MOCVD）法が挙げられる。

#### 【0334】

熱 CVD 法は、チャンバー内を大気圧または減圧下とし、原料ガスと酸化剤を同時にチャンバー内に送り、基板近傍または基板上で反応させて基板上に堆積することで成膜を行う。このように、熱 CVD 法は、プラズマを発生させない成膜方法であるため、プラズマダメージにより欠陥が生成されることが無いという利点を有する。

#### 【0335】

また、ALD を利用する成膜装置により酸化ハフニウム膜を形成する場合には、溶媒とハフニウム前駆体を含む液体（ハフニウムアルコキシドや、テトラキスジメチルアミドハフニウム（TDMAH、Hf[N(CH<sub>3</sub>)<sub>2</sub>]<sub>4</sub>）やテトラキス（エチルメチルアミド）ハフニウムなどのハフニウムアミド）を気化させた原料ガスと、酸化剤としてオゾン（O<sub>3</sub>）の 2 種類のガスを用いる。

#### 【0336】

また、ALD を利用する成膜装置により酸化アルミニウム膜を形成する場合には、溶媒とアルミニウム前駆体を含む液体（トリメチルアルミニウム（TMA、Al(CH<sub>3</sub>)<sub>3</sub>）など）を気化させた原料ガスと、酸化剤として H<sub>2</sub>O の 2 種類のガスを用いる。他の材料としては、トリス（ジメチルアミド）アルミニウム、トリイソブチルアルミニウム、アルミニウムトリス（2,2,6,6-テトラメチル-3,5-ヘプタンジオナート）などがある。

#### 【0337】

また、ALD を利用する成膜装置により酸化シリコン膜を形成する場合には、ヘキサクロロジシランを被成膜面に吸着させ、酸化性ガス（O<sub>2</sub>、一酸化二窒素）のラジカルを供給して吸着物と反応させる。

#### 【0338】

また、ALD を利用する成膜装置によりタンゲステン膜を成膜する場合には、WF<sub>6</sub> ガ

10

20

30

40

50

スと  $B_2H_6$  ガスを順次導入して初期タングステン膜を形成し、その後、  $WF_6$  ガスと  $H_2$  ガスとを用いてタングステン膜を形成する。なお、  $B_2H_6$  ガスに代えて  $SiH_4$  ガスを用いてもよい。

### 【0339】

<2-3. 半導体装置の構成要素>

次に、図16(A)(B)(C)に示す半導体装置の構成要素の詳細について説明する。

### 【0340】

#### [基板]

基板202としては、様々な基板を用いることができ、特定のものに限定されることはない。基板の一例としては、半導体基板（例えば単結晶基板またはシリコン基板）、SOI基板、ガラス基板、石英基板、プラスチック基板、金属基板、ステンレス・スチール基板、ステンレス・スチール・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙、または基材フィルムなどがある。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミニオホウケイ酸ガラス、またはソーダライムガラスなどがある。可撓性基板、貼り合わせフィルム、基材フィルムなどの一例としては、以下のものがあげられる。例えば、ポリエチレンテレフタレート(PET)、ポリエチレンナフタレート(PEN)、ポリエーテルサルファン(PE-S)に代表されるプラスチックがある。または、一例としては、アクリル等の合成樹脂などがある。または、一例としては、ポリプロピレン、ポリエステル、ポリフッ化ビニル、ポリ塩化ビニルなどがある。または、一例としては、ポリアミド、ポリイミド、アラミド、エポキシ、無機蒸着フィルム、または紙類などがある。特に、半導体基板、単結晶基板、またはSOI基板などを用いてトランジスタを製造することによって、特性、サイズ、または形状などのばらつきが少なく、電流能力が高く、サイズの小さいトランジスタを製造することができる。このようなトランジスタによって回路を構成すると、回路の低消費電力化、または回路の高集積化を図ることができる。

10

20

30

### 【0341】

また、基板202として、可撓性基板を用い、可撓性基板上に直接、トランジスタを形成してもよい。または、基板202とトランジスタの間に剥離層を設けてもよい。剥離層は、その上に半導体装置を一部あるいは全部完成させた後、基板202より分離し、他の基板に転載するのに用いることができる。その際、トランジスタを耐熱性の劣る基板や可撓性の基板にも転載できる。なお、上述の剥離層には、例えば、タングステン膜と酸化シリコン膜との無機膜の積層構造の構成、または基板上にポリイミド等の有機樹脂膜が形成された構成等を用いることができる。

30

### 【0342】

トランジスタが転載される基板の一例としては、上述したトランジスタを形成することが可能な基板に加え、紙基板、セロファン基板、アラミドフィルム基板、ポリイミドフィルム基板、石材基板、木材基板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）若しくは再生繊維（アセテート、キュプラ、レーヨン、再生ポリエステル）などを含む）、皮革基板、またはゴム基板などがある。これらの基板を用いることにより、特性のよいトランジスタの形成、消費電力の小さいトランジスタの形成、壊れにくい装置の製造、耐熱性の付与、軽量化、または薄型化を図ることができる。

40

### 【0343】

#### [第1の絶縁膜]

絶縁膜204としては、スパッタリング法、CVD法、蒸着法、パルスレーザー堆積(PLD)法、印刷法、塗布法等を適宜用いて形成することができる。また、絶縁膜204としては、例えば、酸化物絶縁膜または窒化物絶縁膜を単層または積層して形成することができる。絶縁膜204の厚さは、50nm以上、または100nm以上3000nm以下、または200nm以上1000nm以下とすることができる。

50

## 【0344】

絶縁膜204として、例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、または酸化ハフニウムなどを用いればよく、単層または積層で設けることができる。本実施の形態では、絶縁膜204として、窒化シリコン膜と、酸化窒化シリコン膜との積層構造を用いる。このように、絶縁膜204を積層構造としてもよい。

## 【0345】

## [半導体膜]

半導体膜208は、シリコン膜を有する。また、当該シリコン膜は、結晶構造を有する。半導体膜208としては、特に低温多結晶シリコン膜を用いると好適である。

10

## 【0346】

## [第2の絶縁膜]

絶縁膜210は、トランジスタ200のゲート絶縁膜として機能する。絶縁膜210としては、酸化物絶縁膜または窒化物絶縁膜を単層または積層して形成することができる。絶縁膜210として、例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコンなどを用いればよい。

## 【0347】

また、絶縁膜210の厚さは、5nm以上400nm以下、または5nm以上300nm以下、または10nm以上250nm以下とすることができる。

20

## 【0348】

また、絶縁膜210として、ハフニウムシリケート( $HfSiO_x$ )、窒素が添加されたハフニウムシリケート( $HfSi_{x-y}O_yN_z$ )、窒素が添加されたハフニウムアルミネート( $HfAl_xO_yN_z$ )、酸化ハフニウムなどのhigh-k材料を用いてよい。当該high-k材料を用いることでトランジスタのゲートリークを低減できる。

## 【0349】

また、絶縁膜210を、有機シランガスを用いたCVD法を用いて成膜してもよい。有機シランガスとしては、珪酸エチル(TEOS:化学式 $Si(OCH_3)_4$ )、テトラメチルシラン(TMS:化学式 $Si(CH_3)_4$ )、テトラメチルシクロテトラシロキサン(TMCTS)、オクタメチルシクロテトラシロキサン(OMCTS)、ヘキサメチルジシラザン(HMDS)、トリエトキシシラン( $SiH(OCH_3)_3$ )、トリスジメチルアミノシラン( $SiH(NCH_3)_3$ )などのシリコン含有化合物を用いることができる。有機シランガスを用いたCVD法を用いることで、被覆性の高い絶縁膜210を形成することができる。

30

## 【0350】

## [第3の絶縁膜]

絶縁膜216は、保護膜としての機能を有する。絶縁膜216としては、例えば、窒化物絶縁膜または酸化物絶縁膜が挙げられる。窒化物絶縁膜としては、窒化シリコン、窒化酸化シリコン、窒化フッ化シリコン、フッ化窒化シリコン等を用いればよい。また、酸化物絶縁膜としては、酸化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化ハフニウム等を用いればよい。

40

## 【0351】

## [第4の絶縁膜]

絶縁膜218としては、窒化物絶縁膜または酸化物絶縁膜を用いることができる。また、絶縁膜218としては、絶縁膜216に列挙した材料を用いることができる。

## 【0352】

また、絶縁膜218としては、外部からの水素、水等のバリア膜として機能する膜であることが好ましい。

## 【0353】

絶縁膜218の厚さは、30nm以上500nm以下、または100nm以上400nm以下とすることができます。

50

## 【0354】

## [導電膜]

導電膜212、220a、220bとしては、スパッタリング法、真空蒸着法、パルスレーザー堆積（P L D）法、熱CVD法等を用いて形成することができる。また、導電膜212、220a、220bとしては、例えば、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、ニッケル、鉄、コバルト、タングステンから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いて形成することができる。また、マンガン、ジルコニアのいずれか一または複数から選択された金属元素を用いててもよい。また、導電膜212、220a、220bは、単層構造でも、二層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、マンガンを含む銅膜の単層構造、アルミニウム膜上にチタン膜を積層する二層構造、窒化チタン膜上にチタン膜を積層する二層構造、窒化チタン膜上にタングステン膜を積層する二層構造、窒化タンタル膜または窒化タングステン膜上にタングステン膜を積層する二層構造、マンガンを含む銅膜上に銅膜を積層する二層構造、チタン膜上に銅膜を積層する二層構造、チタン膜と、そのチタン膜上にアルミニウム膜を積層し、さらにその上にチタン膜を形成する三層構造、マンガンを含む銅膜上に銅膜を積層し、さらにその上にマンガンを含む銅膜を形成する三層構造等がある。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた一または複数を組み合わせた合金膜、もしくは窒化膜を用いててもよい。

## 【0355】

特に、導電膜212、220a、220bとしては、銅を含む材料を用いると好適である。導電膜212、220a、220bに銅を含む材料を用いると、抵抗を低くすることができる。例えば、基板202として大面積の基板を用いた場合においても信号の遅延等を抑制することができる。

## 【0356】

また、導電膜212、220a、220bは、インジウム錫酸化物（Indium Tin Oxide：ITO）、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、シリコンを含むインジウム錫酸化物（In-Sn-Si酸化物：ITSOともいう）等の透光性を有する導電性材料を適用することもできる。また、上記透光性を有する導電性材料と、上記金属元素の積層構造とすることもできる。

## 【0357】

また、導電膜212、220a、220bの厚さとしては、30nm以上500nm以下、または100nm以上400nm以下とすることができる。

## 【0358】

また、導電膜212、220a、220bを、成膜装置及び露光装置を用いずに、ナノインプリント装置を用いて形成してもよい。

## 【0359】

## [第1の保護膜]

第1の保護膜213は、所謂ハードマスクとしての機能を有する。第1の保護膜213としては、スパッタリング法、真空蒸着法、パルスレーザー堆積（P L D）法、熱CVD法等を用いて形成することができる。また、第1の保護膜213としては、無機材料により形成されると好ましい。第1の保護膜213を無機材料により形成することで、絶縁膜210、及び導電膜212を好適に加工することができる。第1の保護膜213としては、例えば、上述した導電膜、及び第1の絶縁膜乃至第4の絶縁膜に記載の材料を用いればよい。好ましくは、第1の保護膜213としては、チタン膜、窒化チタン膜、タングステン膜、窒化タングステン膜、モリブデン膜、窒化モリブデン膜、銅膜、酸化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、または窒化シリコン膜の中から選ばれるいずれか一つまたは複数を用いればよい。また、第1の保護膜213を上述した導電膜、及び

10

20

30

40

50

第1の絶縁膜乃至第4の絶縁膜に記載の材料を積層して用いてもよい。

**【0360】**

**[第2の保護膜]**

第2保護膜240としては、有機材料により形成されると好ましい。第2の保護膜240を有機材料により形成することで、所望の形状に加工しやすいため好適である。第2の保護膜240としては、例えば、感光性の有機樹脂等を用いればよい。代表的には、レジスト等が挙げられる。なお、当該レジストとしては、ポジ型及びネガ型の双方を用いることができる。

**【0361】**

<2-4. 半導体装置の構成例2>

10

次に、図16(A)(B)(C)に示す半導体装置と異なる構成について、図21(A)(B)(C)を用いて説明する。

**【0362】**

図21(A)は、トランジスタ200Aの上面図であり、図21(B)は図21(A)の一点鎖線X1-X2間の断面図であり、図21(C)は図21(A)の一点鎖線Y1-Y2間の断面図である。

**【0363】**

図21(A)(B)(C)に示すトランジスタ200Aは、基板202上の導電膜206と、導電膜206上の絶縁膜204と、絶縁膜204上の半導体膜208と、半導体膜208上の絶縁膜210と、半導体膜208と一部重なり、且つ絶縁膜210上の導電膜212と、を有する。また、絶縁膜204、半導体膜208、及び導電膜212上に絶縁膜216と、絶縁膜218とが、設けられる。

20

**【0364】**

半導体膜208は、シリコン膜を有する。また、当該シリコン膜は、結晶構造を有する。例えば、非晶質シリコン膜にレーザー光を照射して多結晶シリコン膜とし、当該多結晶シリコン膜を半導体膜208として用いることができる。

**【0365】**

また、半導体膜208は、導電膜212と重なるチャネル領域208iと、絶縁膜216と接するソース領域208sと、絶縁膜216と接するドレイン領域208dと、を有する。さらに、半導体膜208は、チャネル領域208iとソース領域208sとの間、及びチャネル領域208iとドレイン領域208dとの間に低抵抗領域208aを有する。

30

**【0366】**

低抵抗領域208aは、LDD領域として機能する。また、低抵抗領域208a、ソース領域208s、及びドレイン領域208dには、半導体膜208にn型の導電型の導電性を付与する不純物元素、例えば、リン(P)、ヒ素(As)等が添加されている。

**【0367】**

また、図21(B)に示すように、チャネル長(L)方向において、低抵抗領域208aの幅は、チャネル領域208iのチャネル長よりも広い。または、低抵抗領域208aの幅は、チャネル領域208iのチャネル長と同じでも良い。

40

**【0368】**

上記構成とすることで、トランジスタのチャネル長(L)が短い場合、例えば、トランジスタのチャネル長(L)が1.5μm未満の場合、低抵抗領域208aの幅がチャネル長と同じ、またはチャネル長よりも広いため、ドレイン領域208dに印加された電圧によって加速されるキャリアに起因する劣化(ホットキャリア劣化ともいう)を好適に抑制することができる。よって、信頼性の高い半導体装置を提供することができる。

**【0369】**

また、本発明の一態様においては、低抵抗領域208a、ソース領域208s、及びドレイン領域208dを、それぞれ自己整合的に形成することができる。

**【0370】**

50

トランジスタ 200A は、先に示すトランジスタ 200 の構成に加え、導電膜 206 と、開口部 243 と、を有する。

#### 【0371】

なお、開口部 243 は、絶縁膜 204、210 に設けられる。また、導電膜 206 は、開口部 243 を介して、導電膜 212 と、電気的に接続される。よって、導電膜 206 と導電膜 212 には、同じ電位が与えられる。なお、開口部 243 を設けずに、導電膜 206 と、導電膜 212 と、に異なる電位を与えてもよい。または、開口部 243 を設けずに、導電膜 206 を遮光膜として用いてもよい。例えば、導電膜 206 を遮光性の材料により形成することで、チャネル領域 208i に照射される下方からの光を抑制することができる。

10

#### 【0372】

また、トランジスタ 200A の構成とする場合、導電膜 206 は、第1のゲート電極（ボトムゲート電極ともいう）としての機能を有し、導電膜 212 は、第2のゲート電極（トップゲート電極ともいう）としての機能を有する。また、絶縁膜 204 は、第1のゲート絶縁膜としての機能を有し、絶縁膜 210 は、第2のゲート絶縁膜としての機能を有する。

#### 【0373】

導電膜 206 としては、先に記載の導電膜 212、220a、220b と同様の材料を用いることができる。特に導電膜 206 として、銅を含む材料により形成することで抵抗を低くすることができるため好適である。例えば、導電膜 206 を窒化チタン膜、窒化タングステン膜、またはタングステン膜上に銅膜を設ける積層構造とし、導電膜 220a、220b を窒化チタン膜、窒化タングステン膜、またはタングステン膜上に銅膜を設ける積層構造とすると好適である。この場合、トランジスタ 200A を表示装置の画素トランジスタ及び駆動トランジスタのいずれか一方または双方に用いることで、導電膜 206 と導電膜 220a との間に生じる寄生容量、及び導電膜 206 と導電膜 220b との間に生じる寄生容量を低くすることができる。したがって、導電膜 206、導電膜 220a、及び導電膜 220b を、トランジスタ 200A の第1のゲート電極、ソース電極、及びドレイン電極として用いるのみならず、表示装置の電源供給用の配線、信号供給用の配線、または接続用の配線等に用いる事も可能となる。

20

#### 【0374】

このように、図 21 (A) (B) (C) に示すトランジスタ 200A は、先に説明したトランジスタ 200 と異なり、半導体膜 208 の上下にゲート電極として機能する導電膜を有する構造である。トランジスタ 200A に示すように、本発明の一態様の半導体装置には、複数のゲート電極を設けてもよい。

30

#### 【0375】

また、図 21 (C) に示すように、半導体膜 208 は、第1のゲート電極として機能する導電膜 206 と、第2のゲート電極として機能する導電膜 212 のそれぞれと対向するように位置し、2つのゲート電極として機能する導電膜に挟まれている。

#### 【0376】

また、導電膜 212 のチャネル幅方向の長さは、半導体膜 208 のチャネル幅方向の長さよりも長く、半導体膜 208 のチャネル幅方向全体は、絶縁膜 210 を介して導電膜 212 に覆われている。また、導電膜 212 と導電膜 206 とは、絶縁膜 204、及び絶縁膜 210 に設けられる開口部 243 において接続されるため、半導体膜 208 のチャネル幅方向の側面の一方は、絶縁膜 210 を介して導電膜 212 と対向している。

40

#### 【0377】

別言すると、トランジスタ 200A のチャネル幅方向において、導電膜 206 及び導電膜 212 は、絶縁膜 204、及び絶縁膜 210 に設けられる開口部 243 において接続すると共に、絶縁膜 204、及び絶縁膜 210 を介して半導体膜 208 を取り囲む構成である。

#### 【0378】

50

このような構成を有することで、トランジスタ 200A に含まれる半導体膜 208 を、第1のゲート電極として機能する導電膜 206 及び第2のゲート電極として機能する導電膜 212 の電界によって電気的に取り囲むことができる。トランジスタ 200A のように、第1のゲート電極及び第2のゲート電極の電界によって、チャネル領域が形成される半導体膜を電気的に取り囲むトランジスタのデバイス構造を surrounded channel (S-channel) 構造と呼ぶことができる。

#### 【0379】

トランジスタ 200A は、S-channel 構造を有するため、導電膜 206 または導電膜 212 によってチャネルを誘起させるための電界を効果的に半導体膜 208 に印加することができるため、トランジスタ 200A の電流駆動能力が向上し、高いオン電流特性を得ることが可能となる。また、オン電流を高くすることが可能であるため、トランジスタ 200A を微細化することが可能となる。また、トランジスタ 200A は、半導体膜 208 が導電膜 206、及び導電膜 212 によって取り囲まれた構造を有するため、トランジスタ 200A の機械的強度を高めることができる。10

#### 【0380】

なお、トランジスタ 200A のチャネル幅方向において、半導体膜 208 の開口部 243 が形成されていない側に、開口部 243 と異なる開口部を形成してもよい。

#### 【0381】

また、トランジスタ 200A に示すように、トランジスタが、半導体膜を間に挟んで存在する一対のゲート電極を有している場合、一方のゲート電極には信号 A が、他方のゲート電極には固定電位 Vb が与えられてもよい。また、一方のゲート電極には信号 A が、他方のゲート電極には信号 B が与えられてもよい。また、一方のゲート電極には固定電位 Va が、他方のゲート電極には固定電位 Vb が与えられてもよい。20

#### 【0382】

信号 A は、例えば、導通状態または非導通状態を制御するための信号である。信号 A は、電位 V1、または電位 V2 (V1 > V2 とする) の 2 種類の電位をとるデジタル信号であってもよい。例えば、電位 V1 を高電源電位とし、電位 V2 を低電源電位とすることができる。信号 A は、アナログ信号であってもよい。

#### 【0383】

固定電位 Vb は、例えば、トランジスタのしきい値電圧 VthA を制御するための電位である。固定電位 Vb は、電位 V1、または電位 V2 であってもよい。この場合、固定電位 Vb を生成するための電位発生回路を、別途設ける必要がなく好ましい。固定電位 Vb は、電位 V1、または電位 V2 と異なる電位であってもよい。固定電位 Vb を低くすることで、しきい値電圧 VthA を高くできる場合がある。その結果、ゲート-ソース間電圧 Vgs が 0V のときのドレイン電流を低減し、トランジスタを有する回路のリーク電流を低減できる場合がある。例えば、固定電位 Vb を低電源電位よりも低くしてもよい。一方で、固定電位 Vb を高くすることで、しきい値電圧 VthA を低くできる場合がある。その結果、ゲート-ソース間電圧 Vgs が高電源電位のときのドレイン電流を向上させ、トランジスタを有する回路の動作速度を向上できる場合がある。例えば、固定電位 Vb を低電源電位よりも高くしてもよい。30

#### 【0384】

信号 B は、例えば、導通状態または非導通状態を制御するための信号である。信号 B は、電位 V3、または電位 V4 (V3 > V4 とする) の 2 種類の電位をとるデジタル信号であってもよい。例えば、電位 V3 を高電源電位とし、電位 V4 を低電源電位とすることができる。信号 B は、アナログ信号であってもよい。

#### 【0385】

信号 A と信号 B が共にデジタル信号である場合、信号 B は、信号 A と同じデジタル値を持つ信号であってもよい。この場合、トランジスタのオン電流を向上し、トランジスタを有する回路の動作速度を向上できる場合がある。このとき、信号 A における電位 V1 及び電位 V2 は、信号 B における電位 V3 及び電位 V4 と、異なっていても良い。例えば、信4050

号 B が入力されるゲートに対応するゲート絶縁膜が、信号 A が入力されるゲートに対応するゲート絶縁膜よりも厚い場合、信号 B の電位振幅 ( V<sub>3</sub> - V<sub>4</sub> ) を、信号 A の電位振幅 ( V<sub>1</sub> - V<sub>2</sub> ) より大きくしても良い。そうすることで、トランジスタの導通状態または非導通状態に対して、信号 A が与える影響と、信号 B が与える影響と、を同程度とすることができる場合がある。

#### 【 0 3 8 6 】

信号 A と信号 B が共にデジタル信号である場合、信号 B は、信号 A と異なるデジタル値を持つ信号であってもよい。この場合、トランジスタの制御を信号 A と信号 B によって別々に行うことができ、より高い機能を実現できる場合がある。例えば、トランジスタが n チャネル型である場合、信号 A が電位 V<sub>1</sub> であり、かつ、信号 B が電位 V<sub>3</sub> である場合のみ導通状態となる場合や、信号 A が電位 V<sub>2</sub> であり、かつ、信号 B が電位 V<sub>4</sub> である場合のみ非導通状態となる場合には、一つのトランジスタで N A N D 回路や N O R 回路等の機能を実現できる場合がある。また、信号 B は、しきい値電圧 V<sub>t h A</sub> を制御するための信号であってもよい。例えば、信号 B は、トランジスタを有する回路が動作している期間と、当該回路が動作していない期間と、で電位が異なる信号であってもよい。信号 B は、回路の動作モードに合わせて電位が異なる信号であってもよい。この場合、信号 B は信号 A ほど頻繁には電位が切り替わらない場合がある。

#### 【 0 3 8 7 】

信号 A と信号 B が共にアナログ信号である場合、信号 B は、信号 A と同じ電位のアナログ信号、信号 A の電位を定数倍したアナログ信号、または、信号 A の電位を定数だけ加算もしくは減算したアナログ信号等であってもよい。この場合、トランジスタのオン電流が向上し、トランジスタを有する回路の動作速度を向上できる場合がある。信号 B は、信号 A と異なるアナログ信号であってもよい。この場合、トランジスタの制御を信号 A と信号 B によって別々に行うことができ、より高い機能を実現できる場合がある。

#### 【 0 3 8 8 】

信号 A がデジタル信号であり、信号 B がアナログ信号であってもよい。または信号 A がアナログ信号であり、信号 B がデジタル信号であってもよい。

#### 【 0 3 8 9 】

トランジスタの両方のゲート電極に固定電位を与える場合、トランジスタを、抵抗素子と同等の素子として機能させることができる場合がある。例えば、トランジスタが n チャネル型である場合、固定電位 V<sub>a</sub> または固定電位 V<sub>b</sub> を高く ( 低く ) することで、トランジスタの実効抵抗を低く ( 高く ) することができる場合がある。固定電位 V<sub>a</sub> 及び固定電位 V<sub>b</sub> を共に高く ( 低く ) することで、一つのゲートしか有さないトランジスタによって得られる実効抵抗よりも低い ( 高い ) 実効抵抗が得られる場合がある。

#### 【 0 3 9 0 】

なお、トランジスタ 200A のその他の構成は、先に示すトランジスタ 200 と同様であり、同様の効果を奏する。

#### 【 0 3 9 1 】

##### < 2 - 5 . 半導体装置の構成例 3 >

次に、図 16 ( A ) ( B ) ( C ) に示すトランジスタ 200 、及び図 21 ( A ) ( B ) ( C ) に示すトランジスタ 200A の変形例について、図 22 ( A ) ( B ) を用いて説明する。

#### 【 0 3 9 2 】

図 22 ( A ) はトランジスタ 200 のチャネル長 ( L ) 方向の変形例の断面図であり、図 22 ( B ) はトランジスタ 200A のチャネル長 ( L ) 方向の変形例の断面図である。なお、図 22 ( A ) に示すトランジスタの上面図、及びチャネル幅 ( W ) 方向の断面図としては、それぞれ図 16 ( A ) に示す上面図、及び図 16 ( C ) に示す断面図と同様であるため、ここでの説明は省略する。また、図 22 ( B ) に示すトランジスタの上面図、及びチャネル幅 ( W ) 方向の断面図としては、それぞれ図 21 ( A ) に示す上面図、及び図 21 ( C ) に示す断面図と同様であるため、ここでの説明は省略する。

10

20

30

40

50

**【0393】**

図22(A)(B)に示すトランジスタは、先に説明したトランジスタ200、及びトランジスタ200Aと比較し、半導体膜208が有する低抵抗領域208aのチャネル長(L)方向の長さが異なる。具体的には、図22(A)(B)に示すトランジスタにおいては、低抵抗領域208aは、導電膜212の下方にも形成される。別言すると、低抵抗領域208aの一部は、ゲート電極として機能する導電膜212と重なる。

**【0394】**

上記構成とすることで、導電膜212と重なる低抵抗領域208aは、所謂オーバーラップ領域(Lov領域ともいう)として機能する。なお、Lov領域とは、ゲート電極として機能する導電膜212と重なり、且つチャネル領域208iよりも抵抗が低い領域である。Lov領域を有する構造とすることで、チャネル領域208iと、ソース領域208s及びドレイン領域208dとの間に高抵抗領域が形成されないため、トランジスタのオン電流を高めることができる。10

**【0395】**

図22(A)(B)に示す、低抵抗領域208aの形成方法としては、例えば、不純物元素を添加したのちに、熱処理を行うことで、チャネル領域208iに横方向に上記不純物元素を拡散させることで形成することができる。

**【0396】**

なお、本実施の形態で示す構成は、他の実施の形態で示す構成と適宜組み合わせて用いることができる。20

**【0397】****(実施の形態3)**

本実施の形態においては、本発明の一態様に用いることのできる、酸化物半導体の組成、及び酸化物半導体の構造等について、図23乃至図30を参照して説明する。

**【0398】****<3-1. 酸化物半導体の組成>**

まず、酸化物半導体の組成について説明する。

**【0399】**

酸化物半導体は、少なくともインジウムまたは亜鉛を含むことが好ましい。特にインジウム及び亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウムまたはスズなどが含まれていることが好ましい。また、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。30

**【0400】**

ここで、酸化物半導体が、インジウム、元素M及び亜鉛を有する場合を考える。なお、元素Mは、アルミニウム、ガリウム、イットリウムまたはスズなどとする。そのほかの元素Mに適用可能な元素としては、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない。40

**【0401】**

まず、図23(A)、図23(B)、および図23(C)を用いて、本発明に係る酸化物半導体が有するインジウム、元素M及び亜鉛の原子数比の好ましい範囲について説明する。なお、図23には、酸素の原子数比については記載しない。また、酸化物半導体が有するインジウム、元素M、及び亜鉛の原子数比のそれぞれの項を[I<sub>n</sub>]、[M]、および[Z<sub>n</sub>]とする。

**【0402】**

図23(A)、図23(B)、および図23(C)において、破線は、[I<sub>n</sub>] : [M] : [Z<sub>n</sub>] = (1 + ) : (1 - ) : 1 の原子数比(-1 1)となるライン、50

$[In] : [M] : [Zn] = (1+ ) : (1- ) : 2$  の原子数比となるライン、 $[In] : [M] : [Zn] = (1+ ) : (1- ) : 3$  の原子数比となるライン、 $[In] : [M] : [Zn] = (1+ ) : (1- ) : 4$  の原子数比となるライン、および $[In] : [M] : [Zn] = (1+ ) : (1- ) : 5$  の原子数比となるラインを表す。

#### 【0403】

また、一点鎖線は、 $[In] : [M] : [Zn] = 1 : 1 :$  の原子数比( 0 )となるライン、 $[In] : [M] : [Zn] = 1 : 2 :$  の原子数比となるライン、 $[In] : [M] : [Zn] = 1 : 3 :$  の原子数比となるライン、 $[In] : [M] : [Zn] = 1 : 4 :$  の原子数比となるライン、 $[In] : [M] : [Zn] = 2 : 1 :$  の原子数比となるライン、及び $[In] : [M] : [Zn] = 5 : 1 :$  の原子数比となるラインを表す。  
10

#### 【0404】

また、図23に示す、 $[In] : [M] : [Zn] = 0 : 2 : 1$  の原子数比またはその近傍値の酸化物半導体は、スピネル型の結晶構造をとりやすい。

#### 【0405】

図23(A)および図23(B)では、本発明の一態様の酸化物半導体が有する、インジウム、元素M、及び亜鉛の原子数比の好ましい範囲の一例について示している。

#### 【0406】

一例として、図24に、 $[In] : [M] : [Zn] = 1 : 1 : 1$  である、 $InMznO_4$  の結晶構造を示す。また、図24は、b軸に平行な方向から観察した場合の $InMznO_4$  の結晶構造である。なお、図24に示すM、Zn、酸素を有する層(以下、(M, Zn)層)における金属元素は、元素Mまたは亜鉛を表している。この場合、元素Mと亜鉛の割合が等しいものとする。元素Mと亜鉛とは、置換が可能であり、配列は不規則である。  
20

#### 【0407】

$InMznO_4$  は、層状の結晶構造(層状構造ともいう)をとり、図24に示すように、インジウム、および酸素を有する層(以下、In層)が1に対し、元素M、亜鉛、および酸素を有する(M, Zn)層が2となる。

#### 【0408】

また、インジウムと元素Mは、互いに置換可能である。そのため、(M, Zn)層の元素Mがインジウムと置換し、(In, M, Zn)層と表すこともできる。その場合、In層が1に対し、(In, M, Zn)層が2である層状構造をとる。  
30

#### 【0409】

$[In] : [M] : [Zn] = 1 : 1 : 2$  となる原子数比の酸化物半導体は、In層が1に対し、(M, Zn)層が3である層状構造をとる。つまり、[In]および[M]に対し[Zn]が大きくなると、酸化物半導体が結晶化した場合、In層に対する(M, Zn)層の割合が増加する。

#### 【0410】

ただし、酸化物半導体中において、In層が1層に対し、(M, Zn)層の層数が非整数である場合、In層が1層に対し、(M, Zn)層の層数が整数である層状構造を複数種有する場合がある。例えば、 $[In] : [M] : [Zn] = 1 : 1 : 1 . 5$  である場合、In層が1に対し、(M, Zn)層が2である層状構造と、(M, Zn)層が3である層状構造とが混在する層状構造となる場合がある。  
40

#### 【0411】

例えば、酸化物半導体をスパッタリング装置にて成膜する場合、ターゲットの原子数比からずれた原子数比の膜が形成される。特に、成膜時の基板温度によっては、ターゲットの[Zn]よりも、膜の[Zn]が小さくなる場合がある。

#### 【0412】

また、酸化物半導体中に複数の相が共存する場合がある(二相共存、三相共存など)。  
50

例えば、原子数比が  $[In] : [M] : [Zn] = 0 : 2 : 1$  の近傍値である場合、スピネル型の結晶構造と層状の結晶構造との二相が共存しやすい。また、原子数比が  $[In] : [M] : [Zn] = 1 : 0 : 0$  の近傍値である場合、ビックスバイト型の結晶構造と層状の結晶構造との二相が共存しやすい。酸化物半導体中に複数の相が共存する場合、異なる結晶構造の間において、結晶粒界（グレインバウンダリーともいう）が形成される場合がある。

#### 【0413】

また、インジウムの含有率を高くすることで、酸化物半導体のキャリア移動度（電子移動度）を高くすることができます。これは、インジウム、元素M及び亜鉛を有する酸化物半導体では、主として重金属のs軌道がキャリア伝導に寄与しており、インジウムの含有率を高くすることにより、s軌道が重なる領域がより大きくなるため、インジウムの含有率が高い酸化物半導体はインジウムの含有率が低い酸化物半導体と比較してキャリア移動度が高くなるためである。10

#### 【0414】

一方、酸化物半導体中のインジウムおよび亜鉛の含有率が低くなると、キャリア移動度が低くなる。従って、原子数比が  $[In] : [M] : [Zn] = 0 : 1 : 0$ 、およびその近傍値である場合（例えば図23（C）に示す領域C）は、絶縁性が高くなる。

#### 【0415】

従って、本発明の一態様の酸化物半導体は、キャリア移動度が高く、かつ、結晶粒界が少ない層状構造となりやすい、図23（A）の領域Aで示される原子数比を有することが好ましい。20

#### 【0416】

また、図23（B）に示す領域Bは、 $[In] : [M] : [Zn] = 4 : 2 : 3$ から $4 : 1$ 、およびその近傍値を示している。近傍値には、例えば、 $[In] : [M] : [Zn] = 5 : 3 : 4$ が含まれる。領域Bで示される原子数比を有する酸化物半導体は、特に、結晶性が高く、キャリア移動度も高い優れた酸化物半導体である。

#### 【0417】

なお、酸化物半導体が、層状構造を形成する条件は、原子数比によって一義的に定まらない。原子数比により、層状構造を形成するための難易の差はある。一方、同じ原子数比であっても、形成条件により、層状構造になる場合も層状構造にならない場合もある。従って、図示する領域は、酸化物半導体が層状構造を有する原子数比を示す領域であり、領域A乃至領域Cの境界は厳密ではない。30

#### 【0418】

<3-2. 酸化物半導体をトランジスタに用いる構成>

続いて、酸化物半導体をトランジスタに用いる構成について説明する。

#### 【0419】

なお、酸化物半導体をトランジスタに用いることで、結晶粒界におけるキャリア散乱等を減少させることができるために、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

#### 【0420】

また、トランジスタのチャネル領域には、キャリア密度の低い酸化物半導体を用いることが好ましい。例えば、酸化物半導体は、キャリア密度が  $8 \times 10^{11} \text{ cm}^{-3}$  未満、好ましくは  $1 \times 10^{11} \text{ cm}^{-3}$  未満、さらに好ましくは  $1 \times 10^{10} \text{ cm}^{-3}$  未満であり、 $1 \times 10^{-9} \text{ cm}^{-3}$  以上とすればよい。40

#### 【0421】

なお、高純度真性または実質的に高純度真性である酸化物半導体は、キャリア発生源が少ないため、キャリア密度を低くすることができる。また、高純度真性または実質的に高純度真性である酸化物半導体は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

#### 【0422】

10

20

30

40

50

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

#### 【0423】

従って、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

#### 【0424】

ここで、酸化物半導体中における各不純物の影響について説明する。

#### 【0425】

酸化物半導体において、第14族元素の一つであるシリコンや炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、酸化物半導体におけるシリコンや炭素の濃度と、酸化物半導体との界面近傍のシリコンや炭素の濃度（二次イオン質量分析法（S I M S : Secondary Ion Mass Spectrometry）により得られる濃度）を、 $2 \times 10^{18}$  atoms / cm<sup>3</sup>以下、好ましくは $2 \times 10^{17}$  atoms / cm<sup>3</sup>以下とする。

#### 【0426】

また、酸化物半導体にアルカリ金属またはアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属またはアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中のアルカリ金属またはアルカリ土類金属の濃度を低減することが好ましい。具体的には、S I M S により得られる酸化物半導体中のアルカリ金属またはアルカリ土類金属の濃度を、 $1 \times 10^{18}$  atoms / cm<sup>3</sup>以下、好ましくは $2 \times 10^{16}$  atoms / cm<sup>3</sup>以下にする。

#### 【0427】

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア密度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体に用いたトランジスタはノーマリーオン特性となりやすい。従って、該酸化物半導体において、窒素はできる限り低減されていることが好ましい、例えば、酸化物半導体中の窒素濃度は、S I M S において、 $5 \times 10^{19}$  atoms / cm<sup>3</sup>未満、好ましくは $5 \times 10^{18}$  atoms / cm<sup>3</sup>以下、より好ましくは $1 \times 10^{18}$  atoms / cm<sup>3</sup>以下、さらに好ましくは $5 \times 10^{17}$  atoms / cm<sup>3</sup>以下とする。

#### 【0428】

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することができる。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体において、S I M S により得られる水素濃度を、 $1 \times 10^{20}$  atoms / cm<sup>3</sup>未満、好ましくは $1 \times 10^{19}$  atoms / cm<sup>3</sup>未満、より好ましくは $5 \times 10^{18}$  atoms / cm<sup>3</sup>未満、さらに好ましくは $1 \times 10^{18}$  atoms / cm<sup>3</sup>未満とする。

#### 【0429】

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

#### 【0430】

また、酸化物半導体膜は、エネルギーギャップが2 eV以上、または2.5 eV以上、または3 eV以上であると好ましい。

10

20

30

40

50

**【0431】**

また、酸化物半導体膜の厚さは、3 nm以上200 nm以下、好ましくは3 nm以上100 nm以下、さらに好ましくは3 nm以上60 nm以下である。

**【0432】**

また、酸化物半導体膜がIn-M-Zn酸化物の場合、In-M-Zn酸化物を成膜するために用いるスパッタリングターゲットの金属元素の原子数比として、In : M : Zn = 1 : 1 : 0.5、In : M : Zn = 1 : 1 : 1、In : M : Zn = 1 : 1 : 1.2、In : M : Zn = 2 : 1 : 1.5、In : M : Zn = 2 : 1 : 2.3、In : M : Zn = 2 : 1 : 3、In : M : Zn = 3 : 1 : 2、In : M : Zn = 4 : 2 : 4.1、In : M : Zn = 5 : 1 : 7等が好ましい。

10

**【0433】**

なお、成膜される酸化物半導体膜の金属元素の原子数比はそれぞれ、上記のスパッタリングターゲットに含まれる金属元素の原子数比のプラスマイナス40%程度変動することがある。例えば、スパッタリングターゲットとして、原子数比がIn : Ga : Zn = 4 : 2 : 4.1を用いる場合、成膜される酸化物半導体膜の原子数比は、In : Ga : Zn = 4 : 2 : 3近傍となる場合がある。また、スパッタリングターゲットとして、原子数比がIn : Ga : Zn = 5 : 1 : 7を用いる場合、成膜される酸化物半導体膜の原子数比は、In : Ga : Zn = 5 : 1 : 6近傍となる場合がある。

**【0434】**

<3-3.酸化物半導体の積層構造>

20

次に、酸化物半導体の積層構造について説明する。

**【0435】**

ここでは、酸化物半導体の積層構造として、酸化物半導体を2層構造または3層構造とした場合について説明する。酸化物半導体S1、酸化物半導体S2、及び酸化物半導体S3の積層構造に接する絶縁体のバンド図と、酸化物半導体S2及び酸化物半導体S3の積層構造に接する絶縁体のバンド図と、について、図25を用いて説明する。

**【0436】**

図25(A)は、絶縁体I1、酸化物半導体S1、酸化物半導体S2、酸化物半導体S3、及び絶縁体I2を有する積層構造の膜厚方向のバンド図の一例である。また、図25(B)は、絶縁体I1、酸化物半導体S2、酸化物半導体S3、及び絶縁体I2を有する積層構造の膜厚方向のバンド図の一例である。なお、バンド図は、理解を容易にするため絶縁体I1、酸化物半導体S1、酸化物半導体S2、酸化物半導体S3、及び絶縁体I2の伝導帯下端のエネルギー準位(Ec)を示す。

30

**【0437】**

酸化物半導体S1、酸化物半導体S3は、酸化物半導体S2よりも伝導帯下端のエネルギー準位が真空準位に近く、代表的には、酸化物半導体S2の伝導帯下端のエネルギー準位と、酸化物半導体S1、酸化物半導体S3の伝導帯下端のエネルギー準位との差が、0.15 eV以上、または0.5 eV以上、かつ2 eV以下、または1 eV以下であることが好ましい。すなわち、酸化物半導体S1、酸化物半導体S3の電子親和力よりも、酸化物半導体S2の電子親和力が大きく、酸化物半導体S1、酸化物半導体S3の電子親和力と、酸化物半導体S2の電子親和力との差は、0.15 eV以上、または0.5 eV以上、かつ2 eV以下、または1 eV以下であることが好ましい。

40

**【0438】**

図25(A)、及び図25(B)に示すように、酸化物半導体S1、酸化物半導体S2、酸化物半導体S3において、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、連続的に変化または連続接合するともいうことができる。このようなバンド図を有するためには、酸化物半導体S1と酸化物半導体S2との界面、または酸化物半導体S2と酸化物半導体S3との界面において形成される混合層の欠陥準位密度を低くするとよい。

**【0439】**

50

具体的には、酸化物半導体 S 1 と酸化物半導体 S 2 、酸化物半導体 S 2 と酸化物半導体 S 3 が、酸素以外に共通の元素を有する（主成分とする）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物半導体 S 2 が In - Ga - Zn 酸化物半導体の場合、酸化物半導体 S 1 、酸化物半導体 S 3 として、In - Ga - Zn 酸化物半導体、Ga - Zn 酸化物半導体、酸化ガリウムなどを用いるとよい。

#### 【0440】

このとき、キャリアの主たる経路は酸化物半導体 S 2 となる。酸化物半導体 S 1 と酸化物半導体 S 2 との界面、及び酸化物半導体 S 2 と酸化物半導体 S 3 との界面における欠陥準位密度を低くすることができるため、界面散乱によるキャリア伝導への影響が小さく、高いオン電流が得られる。

10

#### 【0441】

トラップ準位に電子が捕獲されることで、捕獲された電子は固定電荷のように振る舞うため、トランジスタのしきい値電圧はプラス方向にシフトしてしまう。酸化物半導体 S 1 、酸化物半導体 S 3 を設けることにより、トラップ準位を酸化物半導体 S 2 より遠ざけることができる。当該構成とすることで、トランジスタのしきい値電圧がプラス方向にシフトすることを防止することができる。

#### 【0442】

酸化物半導体 S 1 、酸化物半導体 S 3 は、酸化物半導体 S 2 と比較して、導電率が十分に低い材料を用いる。このとき、酸化物半導体 S 2 、酸化物半導体 S 2 と酸化物半導体 S 1 との界面、及び酸化物半導体 S 2 と酸化物半導体 S 3 との界面が、主にチャネル領域として機能する。例えば、酸化物半導体 S 1 、酸化物半導体 S 3 には、図 23 (C) において、絶縁性が高くなる領域 C で示す原子数比の酸化物半導体を用いればよい。なお、図 23 (C) に示す領域 C は、[In] : [M] : [Zn] = 0 : 1 : 0 、およびその近傍値である原子数比を示している。

20

#### 【0443】

特に、酸化物半導体 S 2 に領域 A で示される原子数比の酸化物半導体を用いる場合、酸化物半導体 S 1 及び酸化物半導体 S 3 には、[M] / [In] が 1 以上、好ましくは 2 以上である酸化物半導体を用いることが好ましい。また、酸化物半導体 S 3 として、十分に高い絶縁性を得ることができる [M] / ([Zn] + [In]) が 1 以上である酸化物半導体を用いることが好適である。

30

#### 【0444】

##### < 3 - 4 . 酸化物半導体の構造 >

次に、酸化物半導体の構造について説明する。

#### 【0445】

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、CAAC - OS (c-axis-aligned crystalline oxide semiconductor) 、多結晶酸化物半導体、nc - OS (nanocrystalline oxide semiconductor) 、擬似非晶質酸化物半導体 (a-like OS : amorphous-like oxide semiconductor) 及び非晶質酸化物半導体などがある。

40

#### 【0446】

また別の観点では、酸化物半導体は、非晶質酸化物半導体と、それ以外の結晶性酸化物半導体と、に分けられる。結晶性酸化物半導体としては、単結晶酸化物半導体、CAAC - OS 、多結晶酸化物半導体及び nc - OS などがある。

#### 【0447】

非晶質構造は、一般に、等方的であって不均質構造を持たない、準安定状態で原子の配置が固定化していない、結合角度が柔軟である、短距離秩序は有するが長距離秩序を有さない、などといわれている。

#### 【0448】

50

すなわち、安定な酸化物半導体を完全な非晶質（completely amorphous）酸化物半導体とは呼べない。また、等方的でない（例えば、微小な領域において周期構造を有する）酸化物半導体を、完全な非晶質酸化物半導体とは呼べない。一方、a-like OSは、等方的でないが、鬆（ボイドともいう。）を有する不安定な構造である。不安定であるという点では、a-like OSは、物性的に非晶質酸化物半導体に近い。

#### 【0449】

##### [ C A A C - O S ]

まずは、C A A C - O Sについて説明する。

#### 【0450】

C A A C - O Sは、c軸配向した複数の結晶部（ペレットともいう。）を有する酸化物半導体の一種である。

#### 【0451】

C A A C - O SをX線回折（XRD：X-Ray Diffraction）によって解析した場合について説明する。例えば、空間群R-3mに分類されるInGaN<sub>0.4</sub>の結晶を有するC A A C - O Sに対し、out-of-plane法による構造解析を行うと、図26(A)に示すように回折角(2θ)が31°近傍にピークが現れる。このピークは、InGaN<sub>0.4</sub>の結晶の(009)面に帰属されることから、C A A C - O Sでは、結晶がc軸配向性を有し、c軸がC A A C - O Sの膜を形成する面（被形成面ともいう。）、または上面に略垂直な方向を向いていることが確認できる。なお、2θが31°近傍のピークの他に、2θが36°近傍にもピークが現れる場合がある。2θが36°近傍のピークは、空間群Fd-3mに分類される結晶構造に起因する。そのため、C A A C - O Sは、該ピークを示さないことが好ましい。

#### 【0452】

一方、C A A C - O Sに対し、被形成面に平行な方向からX線を入射させるin-plane法による構造解析を行うと、2θが56°近傍にピークが現れる。このピークは、InGaN<sub>0.4</sub>の結晶の(110)面に帰属される。そして、2θを56°近傍に固定し、試料面の法線ベクトルを軸（c軸）として試料を回転させながら分析（スキャン）を行っても、図26(B)に示すように明瞭なピークは現れない。一方、単結晶InGaZnO<sub>4</sub>に対し、2θを56°近傍に固定してスキャンした場合、図26(C)に示すように(110)面と等価な結晶面に帰属されるピークが6本観察される。したがって、XRDを用いた構造解析から、C A A C - O Sは、a軸及びb軸の配向が不規則であることが確認できる。

#### 【0453】

次に、電子回折によって解析したC A A C - O Sについて説明する。例えば、InGaN<sub>0.4</sub>の結晶を有するC A A C - O Sに対し、C A A C - O Sの被形成面に平行にプローブ径が300nmの電子線を入射させると、図26(D)に示すような回折パターン（制限視野電子回折パターンともいう。）が現れる場合がある。この回折パターンには、InGaN<sub>0.4</sub>の結晶の(009)面に起因するスポットが含まれる。したがって、電子回折によっても、C A A C - O Sに含まれるペレットがc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることがわかる。一方、同じ試料に対し、試料面に垂直にプローブ径が300nmの電子線を入射させたときの回折パターンを図26(E)に示す。図26(E)より、リング状の回折パターンが確認される。したがって、プローブ径が300nmの電子線を用いた電子回折によっても、C A A C - O Sに含まれるペレットのa軸及びb軸は配向性を有さないことがわかる。なお、図26(E)における第1リングは、InGaN<sub>0.4</sub>の結晶の(010)面及び(100)面などに起因すると考えられる。また、図26(E)における第2リングは(110)面などに起因すると考えられる。

#### 【0454】

また、透過型電子顕微鏡（TEM：Transmission Electron M

10

20

30

40

50

microscope)によって、CAAC-OSの明視野像と回折パターンとの複合解析像(高分解能TEM像ともいう。)を観察すると、複数のペレットを確認することができる。一方、高分解能TEM像であってもペレット同士の境界、即ち結晶粒界(グレインバウンダリーともいう。)を明確に確認することができない場合がある。そのため、CAAC-OSは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

#### 【0455】

図27(A)に、試料面と略平行な方向から観察したCAAC-OSの断面の高分解能TEM像を示す。高分解能TEM像の観察には、球面収差補正(Spherical Aberration Corrector)機能を用いた。球面収差補正機能を用いた高分解能TEM像を、特にCs補正高分解能TEM像と呼ぶ。Cs補正高分解能TEM像は、例えば、日本電子株式会社製原子分解能分析電子顕微鏡JEM-ARM200Fなどによって観察することができる。10

#### 【0456】

図27(A)より、金属原子が層状に配列している領域であるペレットを確認することができる。ペレット一つの大きさは1nm以上のものや、3nm以上のものがあることがわかる。したがって、ペレットを、ナノ結晶(nc:nanocrystal)と呼ぶこともできる。また、CAAC-OSを、CANC(C-Axis Aligned nanocrystals)を有する酸化物半導体と呼ぶこともできる。ペレットは、CAAC-OSの被形成面または上面の凹凸を反映しており、CAAC-OSの被形成面または上面と平行となる。20

#### 【0457】

また、図27(B)及び図27(C)に、試料面と略垂直な方向から観察したCAAC-OSの平面のCs補正高分解能TEM像を示す。図27(D)及び図27(E)は、それぞれ図27(B)及び図27(C)を画像処理した像である。以下では、画像処理の方法について説明する。まず、図27(B)を高速フーリエ変換(FFT:Fast Fourier Transform)処理することでFFT像を取得する。次に、取得したFFT像において原点を基準に、 $2.8\text{ nm}^{-1}$ から $5.0\text{ nm}^{-1}$ の間の範囲を残すマスク処理する。次に、マスク処理したFFT像を、逆高速フーリエ変換(IFFT:Inverse Fast Fourier Transform)処理することで画像処理した像を取得する。こうして取得した像をFFTフィルタリング像と呼ぶ。FFTフィルタリング像は、Cs補正高分解能TEM像から周期成分を抜き出した像であり、格子配列を示している。30

#### 【0458】

図27(D)では、格子配列の乱れた箇所を破線で示している。破線で囲まれた領域が、一つのペレットである。そして、破線で示した箇所がペレットとペレットとの連結部である。破線は、六角形状であるため、ペレットが六角形状であることがわかる。なお、ペレットの形状は、正六角形状とは限らず、非正六角形状である場合が多い。

#### 【0459】

図27(E)では、格子配列の揃った領域と、別の格子配列の揃った領域との間を点線で示している。点線近傍においても、明確な結晶粒界を確認することはできない。点線近傍の格子点を中心に周囲の格子点を繋ぐと、歪んだ六角形や、五角形及び/または七角形などが形成できる。即ち、格子配列を歪ませることによって結晶粒界の形成を抑制していることがわかる。これは、CAAC-OSが、a-b面方向において原子配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためと考えられる。40

#### 【0460】

以上に示すように、CAAC-OSは、c軸配向性を有し、かつa-b面方向において複数のペレット(ナノ結晶)が連結し、歪みを有した結晶構造となっている。よって、CAAC-OSを、CAAC crystal(c-axis-aligned a-b-plane-anchored crystal)を有する酸化物半導体と称することもで50

きる。

#### 【0461】

C A A C - O S は結晶性の高い酸化物半導体である。酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、C A A C - O S は不純物や欠陥（酸素欠損など）の少ない酸化物半導体ともいえる。

#### 【0462】

なお、不純物は、酸化物半導体の主成分以外の元素で、水素、炭素、シリコン、遷移金属元素などがある。例えば、シリコンなどの、酸化物半導体を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体から酸素を奪うことで酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径（または分子半径）が大きいため、酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。10

#### 【0463】

##### [n c - O S ]

次に、n c - O S について説明する。

#### 【0464】

n c - O S をX R D によって解析した場合について説明する。例えば、n c - O S に対し、o u t - o f - p l a n e 法による構造解析を行うと、配向性を示すピークが現れない。即ち、n c - O S の結晶は配向性を有さない。20

#### 【0465】

また、例えば、I n G a Z n O<sub>4</sub> の結晶を有するn c - O S を薄片化し、厚さが3 4 n m の領域に対し、被形成面に平行にプローブ径が5 0 n m の電子線を入射させると、図2 8 ( A ) に示すようなリング状の回折パターン（ナノビーム電子回折パターン）が観測される。また、同じ試料にプローブ径が1 n m の電子線を入射させたときの回折パターン（ナノビーム電子回折パターン）を図2 8 ( B ) に示す。図2 8 ( B ) より、リング状の領域内に複数のスポットが観測される。したがって、n c - O S は、プローブ径が5 0 n m の電子線を入射させることでは秩序性が確認されないが、プローブ径が1 n m の電子線を入射させることでは秩序性が確認される。20

#### 【0466】

また、厚さが1 0 n m 未満の領域に対し、プローブ径が1 n m の電子線を入射させると、図2 8 ( C ) に示すように、スポットが略正六角状に配置された電子回折パターンを観測される場合がある。したがって、厚さが1 0 n m 未満の範囲において、n c - O S が秩序性の高い領域、即ち結晶を有することがわかる。なお、結晶が様々な方向を向いているため、規則的な電子回折パターンが観測されない領域もある。30

#### 【0467】

図2 8 ( D ) に、被形成面と略平行な方向から観察したn c - O S の断面のC s 補正高分解能T E M 像を示す。n c - O S は、高分解能T E M 像において、補助線で示す箇所などのように結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。n c - O S に含まれる結晶部は、1 n m 以上1 0 n m 以下の大きさであり、特に1 n m 以上3 n m 以下の大きさであることが多い。なお、結晶部の大きさが1 0 n m より大きく1 0 0 n m 以下である酸化物半導体を微結晶酸化物半導体（m i c r o c r y s t a l l i n e o x i d e s e m i c o n d u c t o r ）と呼ぶことがある。n c - O S は、例えば、高分解能T E M 像では、結晶粒界を明確に確認できない場合がある。なお、ナノ結晶は、C A A C - O S におけるペレットと起源を同じくする可能性がある。そのため、以下ではn c - O S の結晶部をペレットと呼ぶ場合がある。40

#### 【0468】

このように、n c - O S は、微小な領域（例えば、1 n m 以上1 0 n m 以下の領域、特に1 n m 以上3 n m 以下の領域）において原子配列に周期性を有する。また、n c - O S は、異なるペレット間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、n c - O S は、分析方法によっては、a - l i k e O S や非晶

質酸化物半導体と区別が付かない場合がある。

**【0469】**

なお、ペレット（ナノ結晶）間で結晶方位が規則性を有さないことから、n c - O S を、R ANC (Random Aligned nanocrystals) を有する酸化物半導体、またはN ANC (Non-Aligned nanocrystals) を有する酸化物半導体と呼ぶこともできる。

**【0470】**

n c - O S は、非晶質酸化物半導体よりも規則性の高い酸化物半導体である。そのため、n c - O S は、a - like OS や非晶質酸化物半導体よりも欠陥準位密度が低くなる。ただし、n c - O S は、異なるペレット間で結晶方位に規則性が見られない。そのため、n c - O S は、C AAC - O S と比べて欠陥準位密度が高くなる。10

**【0471】**

**[a - like OS]**

a - like OS は、n c - O S と非晶質酸化物半導体との間の構造を有する酸化物半導体である。

**【0472】**

図29に、a - like OS の高分解能断面TEM像を示す。ここで、図29(A) は電子照射開始時におけるa - like OS の高分解能断面TEM像である。図29(B) は $4.3 \times 10^8 e^- / nm^2$  の電子( $e^-$ ) 照射後におけるa - like OS の高分解能断面TEM像である。図29(A) 及び図29(B) より、a - like OS は電子照射開始時から、縦方向に延伸する縞状の明領域が観察されることがわかる。また、明領域は、電子照射後に形状が変化することがわかる。なお、明領域は、鬆または低密度領域と推測される。20

**【0473】**

鬆を有するため、a - like OS は、不安定な構造である。以下では、a - like OS が、C AAC - O S 及びn c - O S と比べて不安定な構造であることを示すため、電子照射による構造の変化を示す。

**【0474】**

試料として、a - like OS 、n c - O S 及びC AAC - O S を準備する。いずれの試料もIn - Ga - Zn酸化物である。30

**【0475】**

まず、各試料の高分解能断面TEM像を取得する。高分解能断面TEM像により、各試料は、いずれも結晶部を有する。

**【0476】**

なお、InGaZnO<sub>4</sub> の結晶の単位格子は、In - O層を3層有し、またGa - Zn - O層を6層有する、計9層がc軸方向に層状に重なった構造を有することが知られている。これらの近接する層同士の間隔は、(009)面の格子面間隔(d値ともいう。)と同程度であり、結晶構造解析からその値は0.29nmと求められている。したがって、以下では、格子縞の間隔が0.28nm以上0.30nm以下の箇所を、InGaZnO<sub>4</sub> の結晶部と見なした。なお、格子縞は、InGaZnO<sub>4</sub> の結晶のa - b面に対応する。40

**【0477】**

図30は、各試料の結晶部(22箇所から30箇所)の平均の大きさを調査した例である。なお、上述した格子縞の長さを結晶部の大きさとしている。図30より、a - like OS は、TEM像の取得などに係る電子の累積照射量に応じて結晶部が大きくなっていくことがわかる。図30より、TEMによる観察初期においては1.2nm程度の大きさだった結晶部(初期核ともいう。)が、電子( $e^-$ )の累積照射量が $4.2 \times 10^8 e^- / nm^2$ においては1.9nm程度の大きさまで成長していることがわかる。一方、n c - O S 及びC AAC - O S は、電子照射開始時から電子の累積照射量が $4.2 \times 10^8 e^- / nm^2$ までの範囲で、結晶部の大きさに変化が見られないことがわかる。図30よ50

り、電子の累積照射量によらず、n c - O S 及び C A A C - O S の結晶部の大きさは、それぞれ 1 . 3 nm 程度及び 1 . 8 nm 程度であることがわかる。なお、電子線照射及び T E M の観察は、日立透過電子顕微鏡 H - 9000 N A R を用いた。電子線照射条件は、加速電圧を 300 kV、電流密度を  $6 . 7 \times 10^5 e^- / (nm^2 \cdot s)$  、照射領域の直径を 230 nm とした。

#### 【 0 4 7 8 】

このように、a - l i k e O S は、電子照射によって結晶部の成長が見られる場合がある。一方、n c - O S 及び C A A C - O S は、電子照射による結晶部の成長がほとんど見られない。即ち、a - l i k e O S は、n c - O S 及び C A A C - O S と比べて、不安定な構造であることがわかる。

10

#### 【 0 4 7 9 】

また、鬆を有するため、a - l i k e O S は、n c - O S 及び C A A C - O S と比べて密度の低い構造である。具体的には、a - l i k e O S の密度は、同じ組成の単結晶の密度の 78 . 6 % 以上 92 . 3 % 未満である。また、n c - O S の密度及び C A A C - O S の密度は、同じ組成の単結晶の密度の 92 . 3 % 以上 100 % 未満である。単結晶の密度の 78 % 未満である酸化物半導体は、成膜すること自体が困難である。

#### 【 0 4 8 0 】

例えば、In : Ga : Zn = 1 : 1 : 1 [原子数比] を満たす酸化物半導体において、菱面体晶構造を有する単結晶 InGaZnO<sub>4</sub> の密度は 6 . 357 g / cm<sup>3</sup> である。よって、例えば、In : Ga : Zn = 1 : 1 : 1 [原子数比] を満たす酸化物半導体において、a - l i k e O S の密度は 5 . 0 g / cm<sup>3</sup> 以上 5 . 9 g / cm<sup>3</sup> 未満である。また、例えば、In : Ga : Zn = 1 : 1 : 1 [原子数比] を満たす酸化物半導体において、n c - O S の密度及び C A A C - O S の密度は 5 . 9 g / cm<sup>3</sup> 以上 6 . 3 g / cm<sup>3</sup> 未満である。

20

#### 【 0 4 8 1 】

なお、同じ組成の単結晶が存在しない場合、任意の割合で組成の異なる単結晶を組み合わせることにより、所望の組成における単結晶に相当する密度を見積もることができる。所望の組成の単結晶に相当する密度は、組成の異なる単結晶を組み合わせる割合に対して、加重平均を用いて見積もればよい。ただし、密度は、可能な限り少ない種類の単結晶を組み合わせて見積もることが好ましい。

30

#### 【 0 4 8 2 】

以上のように、酸化物半導体は、様々な構造をとり、それぞれが様々な特性を有する。なお、酸化物半導体は、例えば、非晶質酸化物半導体、a - l i k e O S 、n c - O S 、C A A C - O S のうち、二種以上を有する積層膜であってもよい。

#### 【 0 4 8 3 】

以上、本実施の形態に示す構成は、他の実施の形態に示す構成と適宜、組み合わせて用いることができる。

#### 【 0 4 8 4 】

##### ( 実施の形態 4 )

本実施の形態においては、先の実施の形態で例示したトランジスタを有する表示装置の一例について、図 31 乃至 図 41 を用いて以下説明を行う。

40

#### 【 0 4 8 5 】

図 31 は、表示装置の一例を示す上面図である。図 31 に示す表示装置 700 は、第 1 の基板 701 上に設けられた画素部 702 と、第 1 の基板 701 に設けられたソースドライバ回路部 704 及びゲートドライバ回路部 706 と、画素部 702 、ソースドライバ回路部 704 、及びゲートドライバ回路部 706 を囲むように配置されるシール材 712 と、第 1 の基板 701 に対向するように設けられる第 2 の基板 705 と、を有する。なお、第 1 の基板 701 と第 2 の基板 705 は、シール材 712 によって封止されている。すなわち、画素部 702 、ソースドライバ回路部 704 、及びゲートドライバ回路部 706 は、第 1 の基板 701 とシール材 712 と第 2 の基板 705 によって封止されている。なお

50

、図31には図示しないが、第1の基板701と第2の基板705の間には表示素子が設けられる。

#### 【0486】

また、表示装置700は、第1の基板701上のシール材712によって囲まれている領域とは異なる領域に、画素部702、ソースドライバ回路部704、及びゲートドライバ回路部706と、それぞれ電気的に接続されるFPC端子部708(FPC:Flexible printed circuit)が設けられる。また、FPC端子部708には、FPC716が接続され、FPC716によって画素部702、ソースドライバ回路部704、及びゲートドライバ回路部706に各種信号等が供給される。また、画素部702、ソースドライバ回路部704、ゲートドライバ回路部706、及びFPC端子部708には、信号線710が各自接続されている。FPC716により供給される各種信号等は、信号線710を介して、画素部702、ソースドライバ回路部704、ゲートドライバ回路部706、及びFPC端子部708に与えられる。10

#### 【0487】

また、表示装置700にゲートドライバ回路部706を複数設けてもよい。また、表示装置700としては、ソースドライバ回路部704、及びゲートドライバ回路部706を画素部702と同じ第1の基板701に形成している例を示しているが、この構成に限定されない。例えば、ゲートドライバ回路部706のみを第1の基板701に形成しても良い、またはソースドライバ回路部704のみを第1の基板701に形成しても良い。この場合、ソースドライバ回路またはゲートドライバ回路等が形成された基板(例えば、単結晶半導体膜、多結晶半導体膜で形成された駆動回路基板)を、第1の基板701に形成する構成としても良い。なお、別途形成した駆動回路基板の接続方法は、特に限定されるものではなく、COG(Chip On Glass)方法、ワイヤボンディング方法などを用いることができる。20

#### 【0488】

また、表示装置700が有する画素部702、ソースドライバ回路部704及びゲートドライバ回路部706は、複数のトランジスタを有しており、本発明の一態様の半導体装置であるトランジスタを適用することができる。

#### 【0489】

また、表示装置700は、様々な素子を有することが出来る。該素子の一例としては、例えば、エレクトロルミネッセンス(EL)素子(有機物及び無機物を含むEL素子、有機EL素子、無機EL素子、LEDなど)、発光トランジスタ素子(電流に応じて発光するトランジスタ)、電子放出素子、液晶素子、電子インク素子、電気泳動素子、エレクトロウェッティング素子、プラズマディスプレイパネル(PDP)、MEMS(マイクロ・エレクトロ・メカニカル・システム)ディスプレイ(例えば、グレーティングライトバルブ(GLV)、デジタルマイクロミラーデバイス(DMD)、デジタル・マイクロ・シャッター(DMS)素子、インターフェロメトリック・モジュレーション(IMOD)素子など)、圧電セラミックディスプレイなどが挙げられる。30

#### 【0490】

また、EL素子を用いた表示装置の一例としては、ELディスプレイなどがある。電子放出素子を用いた表示装置の一例としては、フィールドエミッションディスプレイ(FED)又はSED方式平面型ディスプレイ(SED:Surface-conducting Electron Emitter Display)などがある。液晶素子を用いた表示装置の一例としては、液晶ディスプレイ(透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ)などがある。電子インク素子又は電気泳動素子を用いた表示装置の一例としては、電子ペーパーなどがある。なお、半透過型液晶ディスプレイや反射型液晶ディスプレイを実現する場合には、画素電極の一部、または、全部が、反射電極としての機能を有するようになればよい。例えば、画素電極の一部、または、全部が、アルミニウム、銀、などを有するようになればよい。さらに、その場合、反射電極の下に、SRAMなどの記憶回路4050

を設けることも可能である。これにより、さらに、消費電力を低減することができる。

#### 【0491】

なお、表示装置700における表示方式は、プログレッシブ方式やインターレース方式等を用いることができる。また、カラー表示する際に画素で制御する色要素としては、RGB（Rは赤、Gは緑、Bは青を表す）の三色に限定されない。例えば、Rの画素とGの画素とBの画素とW（白）の画素の四画素から構成されてもよい。または、ペンタイル配列のように、RGBのうちの2色分で一つの色要素を構成し、色要素よって、異なる2色を選択して構成してもよい。またはRGBに、イエロー、シアン、マゼンタ等を一色以上追加してもよい。なお、色要素のドット毎にその表示領域の大きさが異なっていてもよい。ただし、開示する発明はカラー表示の表示装置に限定されるものではなく、モノクロ表示の表示装置に適用することもできる。10

#### 【0492】

また、バックライト（有機EL素子、無機EL素子、LED、蛍光灯など）に白色発光（W）を用いて表示装置をフルカラー表示させるために、着色層（カラーフィルタともいう。）を用いてもよい。着色層は、例えば、レッド（R）、グリーン（G）、ブルー（B）、イエロー（Y）などを適宜組み合わせて用いることができる。着色層を用いることで、着色層を用いない場合と比べて色の再現性を高くすることができる。このとき、着色層を有する領域と、着色層を有さない領域と、を配置することによって、着色層を有さない領域における白色光を直接表示に利用しても構わない。一部に着色層を有さない領域を配置することで、明るい表示の際に、着色層による輝度の低下を少なくでき、消費電力を2割から3割程度低減できる場合がある。ただし、有機EL素子や無機EL素子などの自発光素子を用いてフルカラー表示する場合、R、G、B、Y、Wを、それぞれの発光色を有する素子から発光させても構わない。自発光素子を用いることで、着色層を用いた場合よりも、さらに消費電力を低減できる場合がある。20

#### 【0493】

また、カラー化方式としては、上述の白色発光からの発光の一部をカラーフィルタを通して赤色、緑色、青色に変換する方式（カラーフィルタ方式）の他、赤色、緑色、青色の発光をそれぞれ用いる方式（3色方式）、または青色発光からの発光の一部を赤色や緑色に変換する方式（色変換方式、量子ドット方式）を適用してもよい。

#### 【0494】

本実施の形態においては、表示素子として液晶素子及びEL素子を用いる構成について、図32及び図33を用いて説明する。なお、図32は、図31に示す一点鎖線Q-Rにおける断面図であり、表示素子として液晶素子を用いた構成である。また、図33は、図31に示す一点鎖線Q-Rにおける断面図であり、表示素子としてEL素子を用いた構成である。30

#### 【0495】

まず、図32及び図33に示す共通部分について最初に説明し、次に異なる部分について以下説明する。

#### 【0496】

<4-1. 表示装置の共通部分に関する説明>

図32及び図33に示す表示装置700は、引き回し配線部711と、画素部702と、ソースドライバ回路部704と、FPC端子部708と、を有する。また、引き回し配線部711は、信号線710を有する。また、画素部702は、トランジスタ750及び容量素子790を有する。また、ソースドライバ回路部704は、トランジスタ752を有する。40

#### 【0497】

トランジスタ750及びトランジスタ752は、先に示すトランジスタ100と同様の構成である。なお、トランジスタ750及びトランジスタ752の構成については、先の実施の形態に示す、その他のトランジスタを用いてもよい。

#### 【0498】

10

20

30

40

50

本実施の形態で用いるトランジスタは、高純度化し、酸素欠損の形成を抑制した酸化物半導体膜を有する。該トランジスタは、オフ電流を低くすることができる。よって、画像信号等の電気信号の保持時間を長くすることができ、電源オン状態では書き込み間隔も長く設定できる。よって、リフレッシュ動作の頻度を少なくすることができるため、消費電力を抑制する効果を奏する。

#### 【0499】

また、本実施の形態で用いるトランジスタは、比較的高い電界効果移動度が得られるため、高速駆動が可能である。例えば、このような高速駆動が可能なトランジスタを液晶表示装置に用いることで、画素部のスイッチングトランジスタと、駆動回路部に使用するドライバトランジスタを同一基板上に形成することができる。すなわち、別途駆動回路として、シリコンウェハ等により形成された半導体装置を用いる必要がないため、半導体装置の部品点数を削減することができる。また、画素部においても、高速駆動が可能なトランジスタを用いることで、高画質な画像を提供することができる。10

#### 【0500】

容量素子790は、トランジスタ750が有する酸化物半導体膜と、同一の酸化物半導体膜を加工する工程を経て形成される下部電極と、トランジスタ750が有するソース電極及びドレイン電極として機能する導電膜と、同一の導電膜を加工する工程を経て形成される上部電極と、を有する。また、下部電極と上部電極との間には、トランジスタ750が有する第3の絶縁膜及び第4の絶縁膜と、同一の絶縁膜を形成する工程を経て形成される絶縁膜が設けられる。すなわち、容量素子790は、一対の電極間に誘電体として機能する絶縁膜が挟持された積層型の構造である。20

#### 【0501】

また、図32及び図33において、トランジスタ750、トランジスタ752、及び容量素子790上に平坦化絶縁膜770が設けられている。

#### 【0502】

平坦化絶縁膜770としては、ポリイミド樹脂、アクリル樹脂、ポリイミドアミド樹脂、ベンゾシクロブテン樹脂、ポリアミド樹脂、エポキシ樹脂等の耐熱性を有する有機材料を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、平坦化絶縁膜770を形成してもよい。また、平坦化絶縁膜770を設けない構成としてもよい。30

#### 【0503】

また、図32及び図33においては、画素部702が有するトランジスタ750と、ソースドライバ回路部704が有するトランジスタ752と、を同じ構造のトランジスタを用いる構成について例示したが、これに限定されない。例えば、画素部702と、ソースドライバ回路部704とは、異なるトランジスタを用いてもよい。

#### 【0504】

なお、画素部702と、ソースドライバ回路部704とに、異なるトランジスタを用いる場合においては、実施の形態1に示すスタガ型のトランジスタと、逆スタガ型のトランジスタとを組み合わせて用いてもよい。具体的には、画素部702にスタガ型のトランジスタを用い、ソースドライバ回路部704に逆スタガ型のトランジスタを用いる構成、あるいは画素部702に逆スタガ型のトランジスタを用い、ソースドライバ回路部704にスタガ型のトランジスタを用いる構成などが挙げられる。なお、上記のソースドライバ回路部704を、ゲートドライバ回路部と読み替えてよい。40

#### 【0505】

ここで、画素部702またはソースドライバ回路部704に用いることのできる、逆スタガ型のトランジスタを、図37乃至図41に示す。

#### 【0506】

図37(A)は、トランジスタ300Aの上面図であり、図37(B)は、図37(A)に示す一点鎖線X1-X2間ににおける切断面の断面図に相当し、図37(C)は、図37(A)に示す一点鎖線Y1-Y2間ににおける切断面の断面図に相当する。なお、図3750

(A)において、煩雑になることを避けるため、トランジスタ300Aの構成要素の一部(ゲート絶縁膜として機能する絶縁膜等)を省略して図示している。また、一点鎖線X1-X2方向をチャネル長方向、一点鎖線Y1-Y2方向をチャネル幅方向と呼称する場合がある。なお、トランジスタの上面図においては、以降の図面においても図37(A)と同様に、構成要素の一部を省略して図示する場合がある。

#### 【0507】

トランジスタ300Aは、基板302上のゲート電極として機能する導電膜304と、基板302及び導電膜304上の絶縁膜306と、絶縁膜306上の絶縁膜307と、絶縁膜307上の酸化物半導体膜308と、酸化物半導体膜308に電気的に接続されるソース電極として機能する導電膜312aと、酸化物半導体膜308に電気的に接続されるドレイン電極として機能する導電膜312bと、を有する。また、トランジスタ300A上、より詳しくは、導電膜312a、312b及び酸化物半導体膜308上には絶縁膜314、316、及び絶縁膜318が設けられる。絶縁膜314、316、318は、トランジスタ300Aの保護絶縁膜としての機能を有する。

#### 【0508】

図38(A)は、トランジスタ300Bの上面図であり、図38(B)は、図38(A)に示す一点鎖線X1-X2間における切断面の断面図に相当し、図38(C)は、図38(A)に示す一点鎖線Y1-Y2間における切断面の断面図に相当する。

#### 【0509】

トランジスタ300Bは、基板302上のゲート電極として機能する導電膜304と、基板302及び導電膜304上の絶縁膜306と、絶縁膜306上の絶縁膜307と、絶縁膜307上の酸化物半導体膜308と、酸化物半導体膜308上の絶縁膜314と、絶縁膜314上の絶縁膜316と、絶縁膜314及び絶縁膜316に設けられる開口部341aを介して酸化物半導体膜308に電気的に接続されるソース電極として機能する導電膜312aと、絶縁膜314及び絶縁膜316に設けられる開口部341bを介して酸化物半導体膜308に電気的に接続されるドレイン電極として機能する導電膜312bと、を有する。また、トランジスタ300B上、より詳しくは、導電膜312a、312b、及び絶縁膜316上には絶縁膜318が設けられる。絶縁膜314及び絶縁膜316は、酸化物半導体膜308の保護絶縁膜としての機能を有する。絶縁膜318は、トランジスタ300Bの保護絶縁膜としての機能を有する。

#### 【0510】

トランジスタ300Aにおいては、チャネルエッチ型の構造であったのに対し、図38(A)(B)(C)に示すトランジスタ300Bは、チャネル保護型の構造である。

#### 【0511】

図39(A)は、トランジスタ300Cの上面図であり、図39(B)は、図39(A)に示す一点鎖線X1-X2間における切断面の断面図に相当し、図39(C)は、図39(A)に示す一点鎖線Y1-Y2間における切断面の断面図に相当する。

#### 【0512】

トランジスタ300Cは、図38(A)(B)(C)に示すトランジスタ300Bと絶縁膜314、316の形状が相違する。具体的には、トランジスタ300Cの絶縁膜314、316は、酸化物半導体膜308のチャネル領域上に島状に設けられる。その他の構成は、トランジスタ300Bと同様である。

#### 【0513】

図40(A)は、トランジスタ300Dの上面図であり、図40(B)は、図40(A)に示す一点鎖線X1-X2間における切断面の断面図に相当し、図40(C)は、図40(A)に示す一点鎖線Y1-Y2間における切断面の断面図に相当する。

#### 【0514】

トランジスタ300Dは、基板302上の第1のゲート電極として機能する導電膜304と、基板302及び導電膜304上の絶縁膜306と、絶縁膜306上の絶縁膜307と、絶縁膜307上の酸化物半導体膜308と、酸化物半導体膜308上の絶縁膜314

10

20

30

40

50

と、絶縁膜314上の絶縁膜316と、酸化物半導体膜308に電気的に接続されるソース電極として機能する導電膜312aと、酸化物半導体膜308に電気的に接続されるドレイン電極として機能する導電膜312bと、導電膜312a、312b及び絶縁膜316上の絶縁膜318と、絶縁膜318上の導電膜320a、320bと、を有する。

#### 【0515】

また、トランジスタ300Dにおいて、絶縁膜314、316、318は、トランジスタ300Dの第2のゲート絶縁膜としての機能を有する。また、トランジスタ300Dにおいて、導電膜320aは、表示装置に用いる画素電極としての機能を有する。また、導電膜320aは、絶縁膜314、316、318に設けられる開口部342cを介して、導電膜312bと接続される。また、トランジスタ300Dにおいて、導電膜320bは  
10、第2のゲート電極（バックゲート電極ともいう）として機能する。

#### 【0516】

また、図40(C)に示すように導電膜320bは、絶縁膜306、307、314、316、318に設けられる開口部342a、342bにおいて、第1のゲート電極として機能する導電膜304に接続される。よって、導電膜320bと導電膜304とは、同じ電位が与えられる。

#### 【0517】

なお、トランジスタ300Dにおいては、開口部342a、342bを設け、導電膜320bと導電膜304を接続する構成について例示したが、これに限定されない。例えば、開口部342aまたは開口部342bのいずれか一方の開口部のみを形成し、導電膜320bと導電膜304を接続する構成、または開口部342a及び開口部342bを設けずに、導電膜320bと導電膜304を接続しない構成としてもよい。なお、導電膜320bと導電膜304とを接続しない構成の場合、導電膜320bと導電膜304には、それぞれ異なる電位を与えることができる。  
20

#### 【0518】

なお、トランジスタ300Dは、先に説明のS-channel構造を有する。

#### 【0519】

また、図37(A)(B)(C)に示すトランジスタ300Aが有する酸化物半導体膜308を複数の積層構造としてもよい。その場合の一例を図41(A)(B)(C)(D)に示す。  
30

#### 【0520】

図41(A)(B)は、トランジスタ300Eの断面図であり、図41(C)(D)は、トランジスタ300Fの断面図である。なお、トランジスタ300E、300Fの上面図としては、図37(A)に示すトランジスタ300Aと同様である。

#### 【0521】

図41(A)(B)に示すトランジスタ300Eが有する酸化物半導体膜308は、酸化物半導体膜308\_1と、酸化物半導体膜308\_2と、酸化物半導体膜308\_3と、を有する。また、図41(C)(D)に示すトランジスタ300Fが有する酸化物半導体膜308は、酸化物半導体膜308\_2と、酸化物半導体膜308\_3と、を有する。  
40

#### 【0522】

なお、導電膜304、絶縁膜306、絶縁膜307、酸化物半導体膜308、導電膜312a、導電膜312b、絶縁膜314、絶縁膜316、絶縁膜318、及び導電膜320a、320bとしては、それぞれ先の実施の形態1に記載の導電膜112、絶縁膜116、絶縁膜110、酸化物半導体膜108、導電膜120a、導電膜120b、絶縁膜104、絶縁膜118、絶縁膜116、導電膜112の材料及び形成方法を用いることで、形成することができる。

#### 【0523】

また、トランジスタ300A乃至トランジスタ300Fの構造を、それぞれ自由に組み合わせて用いてよい。

#### 【0524】

再び、図31乃至図33戻り、表示装置について説明を行う。信号線710は、トランジスタ750、752のソース電極及びドレイン電極として機能する導電膜と同じ工程を経て形成される。なお、信号線710は、トランジスタ750、752のソース電極及びドレイン電極と異なる工程を経て形成された導電膜、例えば、ゲート電極として機能する酸化物半導体膜と同じ工程を経て形成される酸化物半導体膜を用いてもよい。信号線710として、例えば、銅元素を含む材料を用いた場合、配線抵抗に起因する信号遅延等が少なく、大画面での表示が可能となる。

#### 【0525】

また、FPC端子部708は、接続電極760、異方性導電膜780、及びFPC716を有する。なお、接続電極760は、トランジスタ750、752のソース電極及びドレイン電極として機能する導電膜と同じ工程を経て形成される。また、接続電極760は、FPC716が有する端子と異方性導電膜780を介して、電気的に接続される。  
10

#### 【0526】

また、第1の基板701及び第2の基板705としては、例えばガラス基板を用いることができる。また、第1の基板701及び第2の基板705として、可撓性を有する基板を用いてもよい。該可撓性を有する基板としては、例えばプラスチック基板等が挙げられる。

#### 【0527】

また、第1の基板701と第2の基板705の間には、構造体778が設けられる。構造体778は、絶縁膜を選択的にエッチングすることで得られる柱状のスペーサであり、第1の基板701と第2の基板705の間の距離（セルギャップ）を制御するために設けられる。なお、構造体778として、球状のスペーサを用いていても良い。  
20

#### 【0528】

また、第2の基板705側には、ブラックマトリクスとして機能する遮光膜738と、カラーフィルタとして機能する着色膜736と、遮光膜738及び着色膜736に接する絶縁膜734が設けられる。

#### 【0529】

<4-2. 液晶素子を用いる表示装置の構成例>

図32に示す表示装置700は、液晶素子775を有する。液晶素子775は、導電膜772、導電膜774、及び液晶層776を有する。導電膜774は、第2の基板705側に設けられ、対向電極としての機能を有する。図32に示す表示装置700は、導電膜772と導電膜774に印加される電圧によって、液晶層776の配向状態が変わることによって光の透過、非透過が制御され画像を表示することができる。  
30

#### 【0530】

また、導電膜772は、トランジスタ750が有するソース電極及びドレイン電極として機能する導電膜に接続される。導電膜772は、平坦化絶縁膜770上に形成され画素電極、すなわち表示素子の一方の電極として機能する。また、導電膜772は、反射電極としての機能を有する。図32に示す表示装置700は、外光を利用し導電膜772で光を反射して着色膜736を介して表示する、所謂反射型のカラー液晶表示装置である。

#### 【0531】

導電膜772としては、可視光において透光性のある導電膜、または可視光において反射性のある導電膜を用いることができる。可視光において透光性のある導電膜としては、例えば、インジウム（In）、亜鉛（Zn）、錫（Sn）の中から選ばれた一種を含む材料を用いるとよい。可視光において反射性のある導電膜としては、例えば、アルミニウム、または銀を含む材料を用いるとよい。本実施の形態においては、導電膜772として、可視光において、反射性のある導電膜を用いる。  
40

#### 【0532】

また、図32に示す表示装置700においては、画素部702の平坦化絶縁膜770の一部に凹凸が設けられている。該凹凸は、例えば、平坦化絶縁膜770を樹脂膜で形成し、該樹脂膜の表面に凹凸を設けることで形成することができる。また、反射電極として機  
50

能する導電膜 772 は、上記凹凸に沿って形成される。したがって、外光が導電膜 772 に入射した場合において、導電膜 772 の表面で光を乱反射することが可能となり、視認性を向上させることができる。

#### 【 0 5 3 3 】

なお、図 32 に示す表示装置 700 は、反射型のカラー液晶表示装置について例示したが、これに限定されない、例えば、導電膜 772 を可視光において、透光性のある導電膜を用いることで透過型のカラー液晶表示装置としてもよい。透過型のカラー液晶表示装置の場合、平坦化絶縁膜 770 に設けられる凹凸については、設けない構成としてもよい。

#### 【 0 5 3 4 】

ここで、透過型のカラー液晶表示装置の一例を図 34 に示す。図 34 は、図 31 に示す一点鎖線 Q - R における断面図であり、表示素子として液晶素子を用いた構成である。また、図 34 に示す表示装置 700 は、液晶素子の駆動方式として横電界方式（例えば、FFS モード）を用いる構成の一例である。図 34 に示す構成の場合、画素電極として機能する導電膜 772 上に絶縁膜 773 が設けられ、絶縁膜 773 上に導電膜 774 が設けられる。この場合、導電膜 774 は、共通電極（コモン電極ともいう）としての機能を有し、絶縁膜 773 を介して、導電膜 772 と導電膜 774 との間に生じる電界によって、液晶層 776 の配向状態を制御することができる。

#### 【 0 5 3 5 】

また、図 32 及び図 34 において図示しないが、導電膜 772 または導電膜 774 のいずれか一方または双方に、液晶層 776 と接する側に、それぞれ配向膜を設ける構成としてもよい。また、図 32 及び図 34 において図示しないが、偏光部材、位相差部材、反射防止部材などの光学部材（光学基板）などは適宜設けてもよい。例えば、偏光基板及び位相差基板による円偏光を用いてもよい。また、光源としてバックライト、サイドライトなどを用いてもよい。

#### 【 0 5 3 6 】

表示素子として液晶素子を用いる場合、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶、強誘電性液晶、反強誘電性液晶等を用いることができる。これらの液晶材料は、条件により、コレステリック相、スマートチック相、キュービック相、カイラルネマチック相、等方相等を示す。

#### 【 0 5 3 7 】

また、横電界方式を採用する場合、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために数重量 % 以上のカイラル剤を混合させた液晶組成物を液晶層に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が短く、光学的等方性であるため配向処理が不要である。また配向膜を設けなくてもよいのでラビング処理も不要となるため、ラビング処理によって引き起こされる静電破壊を防止することができ、作製工程中の液晶表示装置の不良や破損を軽減することができる。また、ブルー相を示す液晶材料は、視野角依存性が小さい。

#### 【 0 5 3 8 】

また、表示素子として液晶素子を用いる場合、TN (Twisted Nematic) モード、IPS (In-Plane-Switching) モード、FFS (Fringe Field Switching) モード、ASM (Axially Symmetric aligned Micro-cell) モード、OCB (Optical Compensated Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) モードなどを用いることができる。

#### 【 0 5 3 9 】

また、ノーマリープラック型の液晶表示装置、例えば垂直配向 (VA) モードを採用し

10

20

30

40

50

た透過型の液晶表示装置としてもよい。垂直配向モードとしては、いくつか挙げられるが、例えば、MVA (Multi-Domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment) モード、ASV モードなどを用いることができる。

#### 【0540】

<4-3. 発光素子を用いる表示装置>

図33に示す表示装置700は、発光素子782を有する。発光素子782は、導電膜784、EL層786、及び導電膜788を有する。図33に示す表示装置700は、発光素子782が有するEL層786が発光することによって、画像を表示することができる。なお、EL層786は、有機化合物、または量子ドットなどの無機化合物を有する。

10

#### 【0541】

有機化合物に用いることのできる材料としては、蛍光性材料または燐光性材料などが挙げられる。また、量子ドットに用いることのできる材料としては、コロイド状量子ドット材料、合金型量子ドット材料、コア・シェル型量子ドット材料、コア型量子ドット材料、などが挙げられる。また、12族と16族、13族と15族、または14族と16族の元素グループを含む材料を用いてもよい。または、カドミウム(Cd)、セレン(Se)、亜鉛(Zn)、硫黄(S)、リン(P)、インジウム(In)、テルル(Te)、鉛(Pb)、ガリウム(Ga)、ヒ素(As)、アルミニウム(Al)、等の元素を有する量子ドット材料を用いてもよい。

#### 【0542】

20

また、導電膜784は、トランジスタ750が有するソース電極及びドレイン電極として機能する導電膜に接続される。導電膜784は、平坦化絶縁膜770上に形成され画素電極、すなわち表示素子の一方の電極として機能する。導電膜784としては、可視光において透光性のある導電膜、または可視光において反射性のある導電膜を用いることができる。可視光において透光性のある導電膜としては、例えば、インジウム(In)、亜鉛(Zn)、錫(Sn)の中から選ばれた一種を含む材料を用いるとよい。可視光において反射性のある導電膜としては、例えば、アルミニウム、または銀を含む材料を用いるとよい。

#### 【0543】

30

また、図33に示す表示装置700には、平坦化絶縁膜770及び導電膜784上に絶縁膜730が設けられる。絶縁膜730は、導電膜784の一部を覆う。なお、発光素子782はトップエミッション構造である。したがって、導電膜788は透光性を有し、EL層786が発する光を透過する。なお、本実施の形態においては、トップエミッション構造について、例示するが、これに限定されない。例えば、導電膜784側に光を射出するボトムエミッション構造や、導電膜784及び導電膜788の双方に光を射出するデュアルエミッション構造にも適用することができる。

#### 【0544】

40

また、発光素子782と重なる位置に、着色膜736が設けられ、絶縁膜730と重なる位置、引き回し配線部711、及びソースドライバ回路部704に遮光膜738が設けられている。また、着色膜736及び遮光膜738は、絶縁膜734で覆われている。また、発光素子782と絶縁膜734の間は封止膜732で充填されている。なお、図33に示す表示装置700においては、着色膜736を設ける構成について例示したが、これに限定されない。例えば、EL層786を塗り分けにより形成する場合においては、着色膜736を設けない構成としてもよい。

#### 【0545】

<4-4. 表示装置に入出力装置を設ける構成例>

また、図33及び図34に示す表示装置700に入出力装置を設けてもよい。当該入出力装置としては、例えば、タッチパネル等が挙げられる。

#### 【0546】

図33及び図34に示す表示装置700にタッチパネル791を設ける構成を図35及

50

び図36に示す。

**【0547】**

図35は図33に示す表示装置700にタッチパネル791を設ける構成の断面図であり、図36は図34に示す表示装置700にタッチパネル791を設ける構成の断面図である。

**【0548】**

まず、図35及び図36に示すタッチパネル791について、以下説明を行う。

**【0549】**

図35及び図36に示すタッチパネル791は、第2の基板705と着色膜736との間に設けられる、所謂インセル型のタッチパネルである。タッチパネル791は、着色膜736を形成する前に、第2の基板705側に形成すればよい。10

**【0550】**

なお、タッチパネル791は、遮光膜738と、絶縁膜792と、電極793と、電極794と、絶縁膜795と、電極796と、絶縁膜797と、を有する。例えば、指やスティラスなどの被検知体が近接することで、電極793と、電極794との相互容量の変化を検知することができる。

**【0551】**

また、図35及び図36に示すトランジスタ750の上方においては、電極793と、電極794との交差部を明示している。電極796は、絶縁膜795に設けられた開口部を介して、電極794を挟む2つの電極793と電気的に接続されている。なお、図35及び図36においては、電極796が設けられる領域を画素部702に設ける構成を例示したが、これに限定されず、例えば、ソースドライバ回路部704に形成してもよい。20

**【0552】**

電極793及び電極794は、遮光膜738と重なる領域に設けられる。また、図35に示すように、電極793は、発光素子782と重ならないように設けられると好ましい。また、図36に示すように、電極793は、液晶素子775と重ならないように設けられると好ましい。別言すると、電極793は、発光素子782及び液晶素子775と重なる領域に開口部を有する。すなわち、電極793はメッシュ形状を有する。このような構成とすることで、電極793は、発光素子782が射出する光を遮らない構成とすることができます。または、電極793は、液晶素子775を透過する光を遮らない構成とすることができます。したがって、タッチパネル791を配置することによる輝度の低下が極めて少ないため、視認性が高く、且つ消費電力が低減された表示装置を実現できる。なお、電極794も同様の構成とすればよい。30

**【0553】**

また、電極793及び電極794が発光素子782と重ならない場合は、電極793及び電極794には、可視光の透過率が低い金属材料を用いることができる。または、電極793及び電極794が液晶素子775と重ならない場合は、電極793及び電極794には、可視光の透過率が低い金属材料を用いることができる。

**【0554】**

そのため、可視光の透過率が高い酸化物材料を用いた電極と比較して、電極793及び電極794の抵抗を低くすることが可能となり、タッチパネルのセンサ感度を向上させることができる。40

**【0555】**

例えば、電極793、794、796には、導電性のナノワイヤを用いてもよい。当該ナノワイヤは、直径の平均値が1nm以上100nm以下、好ましくは5nm以上50nm以下、より好ましくは5nm以上25nm以下の大きさとすればよい。また、上記ナノワイヤとしては、Agナノワイヤ、Cuナノワイヤ、またはAlナノワイヤ等の金属ナノワイヤ、あるいは、カーボンナノチューブなどを用いればよい。例えば、電極664、665、667のいずれか一つあるいは全部にAgナノワイヤを用いる場合、可視光における光透過率を89%以上、シート抵抗値を40 /以上100 /以下とすることが50

できる。

**【0556】**

また、図35及び図36においては、インセル型のタッチパネルの構成について例示したが、これに限定されない。例えば、表示装置700上に形成する、所謂オンセル型のタッチパネルや、表示装置700に貼り合わせて用いる、所謂アウトセル型のタッチパネルとしてもよい。

**【0557】**

このように、本発明の一態様の表示装置は、様々な形態のタッチパネルと組み合わせて用いることができる。

**【0558】**

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

10

**【0559】**

(実施の形態5)

本実施の形態では、本発明の一態様の半導体装置を有する表示装置について、図42を用いて説明を行う。

**【0560】**

<5. 表示装置の回路構成>

図42(A)に示す表示装置は、表示素子の画素を有する領域(以下、画素部502という)と、画素部502の外側に配置され、画素を駆動するための回路を有する回路部(以下、駆動回路部504という)と、素子の保護機能を有する回路(以下、保護回路506という)と、端子部507と、を有する。なお、保護回路506は、設けない構成としてもよい。

20

**【0561】**

駆動回路部504の一部、または全部は、画素部502と同一基板上に形成されていることが望ましい。これにより、部品数や端子数を減らすことが出来る。駆動回路部504の一部、または全部が、画素部502と同一基板上に形成されていない場合には、駆動回路部504の一部、または全部は、COGやTAB(Tape Automated Bonding)によって、実装することができる。

**【0562】**

30

画素部502は、X行(Xは2以上の自然数)Y列(Yは2以上の自然数)に配置された複数の表示素子を駆動するための回路(以下、画素回路501という)を有し、駆動回路部504は、画素を選択する信号(走査信号)を出力する回路(以下、ゲートドライバ504aという)、画素の表示素子を駆動するための信号(データ信号)を供給するための回路(以下、ソースドライバ504b)などの駆動回路を有する。

**【0563】**

ゲートドライバ504aは、シフトレジスタ等を有する。ゲートドライバ504aは、端子部507を介して、シフトレジスタを駆動するための信号が入力され、信号を出力する。例えば、ゲートドライバ504aは、スタートパルス信号、クロック信号等が入力され、パルス信号を出力する。ゲートドライバ504aは、走査信号が与えられる配線(以下、走査線GL\_1乃至GL\_Xという)の電位を制御する機能を有する。なお、ゲートドライバ504aを複数設け、複数のゲートドライバ504aにより、走査線GL\_1乃至GL\_Xを分割して制御してもよい。または、ゲートドライバ504aは、初期化信号を供給することができる機能を有する。ただし、これに限定されず、ゲートドライバ504aは、別の信号を供給することも可能である。

40

**【0564】**

ソースドライバ504bは、シフトレジスタ等を有する。ソースドライバ504bは、端子部507を介して、シフトレジスタを駆動するための信号の他、データ信号の元となる信号(画像信号)が入力される。ソースドライバ504bは、画像信号を元に画素回路501に書き込むデータ信号を生成する機能を有する。また、ソースドライバ504bは

50

、スタートパルス、クロック信号等が入力されて得られるパルス信号に従って、データ信号の出力を制御する機能を有する。また、ソースドライバ504bは、データ信号が与えられる配線（以下、データ線DL\_1乃至DL\_Yという）の電位を制御する機能を有する。または、ソースドライバ504bは、初期化信号を供給することができる機能を有する。ただし、これに限定されず、ソースドライバ504bは、別の信号を供給することも可能である。

#### 【0565】

ソースドライバ504bは、例えば複数のアナログスイッチなどを用いて構成される。ソースドライバ504bは、複数のアナログスイッチを順次オン状態にすることにより、画像信号を時分割した信号をデータ信号として出力できる。また、シフトレジスタなどを用いてソースドライバ504bを構成してもよい。10

#### 【0566】

複数の画素回路501のそれぞれは、走査信号が与えられる複数の走査線GLの一つを介してパルス信号が入力され、データ信号が与えられる複数のデータ線DLの一つを介してデータ信号が入力される。また、複数の画素回路501のそれぞれは、ゲートドライバ504aによりデータ信号のデータの書き込み及び保持が制御される。例えば、m行n列目の画素回路501は、走査線GL\_m(mはX以下の自然数)を介してゲートドライバ504aからパルス信号が入力され、走査線GL\_mの電位に応じてデータ線DL\_n(nはY以下の自然数)を介してソースドライバ504bからデータ信号が入力される。

#### 【0567】

図42(A)に示す保護回路506は、例えば、ゲートドライバ504aと画素回路501の間の配線である走査線GLに接続される。または、保護回路506は、ソースドライバ504bと画素回路501の間の配線であるデータ線DLに接続される。または、保護回路506は、ゲートドライバ504aと端子部507との間の配線に接続することができる。または、保護回路506は、ソースドライバ504bと端子部507との間の配線に接続することができる。なお、端子部507は、外部の回路から表示装置に電源及び制御信号、及び画像信号を入力するための端子が設けられた部分をいう。20

#### 【0568】

保護回路506は、自身が接続する配線に一定の範囲外の電位が与えられたときに、該配線と別の配線とを導通状態にする回路である。30

#### 【0569】

図42(A)に示すように、画素部502と駆動回路部504にそれぞれ保護回路506を設けることにより、ESD(Electro Static Discharge: 静電気放電)などにより発生する過電流に対する表示装置の耐性を高めることができる。ただし、保護回路506の構成はこれに限定されず、例えば、ゲートドライバ504aに保護回路506を接続した構成、またはソースドライバ504bに保護回路506を接続した構成とすることもできる。あるいは、端子部507に保護回路506を接続した構成とすることもできる。

#### 【0570】

また、図42(A)においては、ゲートドライバ504aとソースドライバ504bによって駆動回路部504を形成している例を示しているが、この構成に限定されない。例えば、ゲートドライバ504aのみを形成し、別途用意されたソースドライバ回路が形成された基板(例えば、単結晶半導体膜、多結晶半導体膜で形成された駆動回路基板)を実装する構成としても良い。40

#### 【0571】

また、図42(A)に示す複数の画素回路501は、例えば、図42(B)に示す構成とすることができる。

#### 【0572】

図42(B)に示す画素回路501は、液晶素子570と、トランジスタ550と、容量素子560と、を有する。トランジスタ550に先の実施の形態に示すトランジスタを50

適用することができる。

**【0573】**

液晶素子570の一対の電極の一方の電位は、画素回路501の仕様に応じて適宜設定される。液晶素子570は、書き込まれるデータにより配向状態が設定される。なお、複数の画素回路501のそれぞれが有する液晶素子570の一対の電極の一方に共通の電位(コモン電位)を与えてよい。また、各行の画素回路501の液晶素子570の一対の電極の一方に異なる電位を与えてよい。

**【0574】**

例えば、液晶素子570を備える表示装置の駆動方法としては、TNモード、STNモード、VAモード、ASM(Axially Symmetric Aligned Micro-cell)モード、OCB(Optically Compensated Birefringence)モード、FLC(Ferroelectric Liquid Crystal)モード、AFLC(AntiFerroelectric Liquid Crystal)モード、MVAモード、PVA(Patterned Vertical Alignment)モード、IPSモード、FFSモード、又はTBA(Transverse Bend Alignment)モードなどを用いてよい。  
また、表示装置の駆動方法としては、上述した駆動方法の他、ECB(Electrically Controlled Birefringence)モード、PDLC(Polymer Dispersed Liquid Crystal)モード、PNLC(Polymer Network Liquid Crystal)モード、ゲストホストモードなどがある。ただし、これに限定されず、液晶素子及びその駆動方式として様々なものを用いることができる。

**【0575】**

m行n列目の画素回路501において、トランジスタ550のソース電極またはドレイン電極の一方は、データ線DL\_nに電気的に接続され、他方は液晶素子570の一対の電極の他方に電気的に接続される。また、トランジスタ550のゲート電極は、走査線GL\_mに電気的に接続される。トランジスタ550は、オン状態またはオフ状態になることにより、データ信号のデータの書き込みを制御する機能を有する。

**【0576】**

容量素子560の一対の電極の一方は、電位が供給される配線(以下、電位供給線VL)に電気的に接続され、他方は、液晶素子570の一対の電極の他方に電気的に接続される。なお、電位供給線VLの電位の値は、画素回路501の仕様に応じて適宜設定される。容量素子560は、書き込まれたデータを保持する保持容量としての機能を有する。

**【0577】**

例えば、図42(B)の画素回路501を有する表示装置では、例えば、図42(A)に示すゲートドライバ504aにより各行の画素回路501を順次選択し、トランジスタ550をオン状態にしてデータ信号のデータを書き込む。

**【0578】**

データが書き込まれた画素回路501は、トランジスタ550がオフ状態になることで保持状態になる。これを行毎に順次行うことにより、画像を表示できる。

**【0579】**

また、図42(A)に示す複数の画素回路501は、例えば、図42(C)に示す構成とすることができます。

**【0580】**

また、図42(C)に示す画素回路501は、トランジスタ552、554と、容量素子562と、発光素子572と、を有する。トランジスタ552及びトランジスタ554のいずれか一方または双方に先の実施の形態に示すトランジスタを適用することができる。

**【0581】**

トランジスタ552のソース電極及びドレイン電極の一方は、データ信号が与えられる

10

20

30

40

50

配線（以下、データ線 D L \_ n という）に電気的に接続される。さらに、トランジスタ 552 のゲート電極は、ゲート信号が与えられる配線（以下、走査線 G L \_ m という）に電気的に接続される。

【 0 5 8 2 】

トランジスタ 552 は、オン状態またはオフ状態になることにより、データ信号のデータの書き込みを制御する機能を有する。

【 0 5 8 3 】

容量素子 562 の一对の電極の一方は、電位が与えられる配線（以下、電位供給線 V L \_ a という）に電気的に接続され、他方は、トランジスタ 552 のソース電極及びドレイン電極の他方に電気的に接続される。

10

【 0 5 8 4 】

容量素子 562 は、書き込まれたデータを保持する保持容量としての機能を有する。

【 0 5 8 5 】

トランジスタ 554 のソース電極及びドレイン電極の一方は、電位供給線 V L \_ a に電気的に接続される。さらに、トランジスタ 554 のゲート電極は、トランジスタ 552 のソース電極及びドレイン電極の他方に電気的に接続される。

20

【 0 5 8 6 】

発光素子 572 のアノード及びカソードの一方は、電位供給線 V L \_ b に電気的に接続され、他方は、トランジスタ 554 のソース電極及びドレイン電極の他方に電気的に接続される。

20

【 0 5 8 7 】

発光素子 572 としては、例えば有機エレクトロルミネセンス素子（有機 E L 素子ともいう）などを用いることができる。ただし、発光素子 572 としては、これに限定されず、無機材料からなる無機 E L 素子を用いても良い。

【 0 5 8 8 】

なお、電位供給線 V L \_ a 及び電位供給線 V L \_ b の一方には、高電源電位 V D D が与えられ、他方には、低電源電位 V S S が与えられる。

【 0 5 8 9 】

図 42 ( C ) の画素回路 501 を有する表示装置では、例えば、図 42 ( A ) に示すゲートドライバ 504 a により各行の画素回路 501 を順次選択し、トランジスタ 552 をオン状態にしてデータ信号のデータを書き込む。

30

【 0 5 9 0 】

データが書き込まれた画素回路 501 は、トランジスタ 552 がオフ状態になると保持状態になる。さらに、書き込まれたデータ信号の電位に応じてトランジスタ 554 のソース電極とドレイン電極の間に流れる電流量が制御され、発光素子 572 は、流れる電流量に応じた輝度で発光する。これを行毎に順次行うことにより、画像を表示できる。

【 0 5 9 1 】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【 0 5 9 2 】

40

( 実施の形態 6 )

本実施の形態では、上述の実施の形態で説明したトランジスタの適用可能な回路構成の一例について、図 43 乃至図 46 を用いて説明する。

【 0 5 9 3 】

なお、本実施の形態においては、先の実施の形態で説明した酸化物半導体を有するトランジスタを、OSトランジスタと呼称して以下説明を行う。

【 0 5 9 4 】

< 6 . インバータ回路の構成例 >

図 43 ( A ) には、駆動回路が有するシフトレジスタやバッファ等に適用することができるインバータの回路図を示す。インバータ 800 は、入力端子 I N に与える信号の論理

50

を反転した信号を出力端子 OUT に出力する。インバータ 800 は、複数の OS トランジスタを有する。信号 S<sub>B\_G</sub> は、OS トランジスタの電気特性を切り替えることができる信号である。

#### 【0595】

図 43 (B) は、インバータ 800 の一例である。インバータ 800 は、OS トランジスタ 810、および OS トランジスタ 820 を有する。インバータ 800 は、n チャネル型トランジスタのみで作製することができるため、CMOS (Complementary Metal Oxide Semiconductor) でインバータ (CMOS インバータ) を作製する場合と比較して、低コストで作製することが可能である。

#### 【0596】

なお、OS トランジスタを有するインバータ 800 は、Si トランジスタで構成される CMOS 上に配置することもできる。インバータ 800 は、CMOS の回路に重ねて配置できるため、インバータ 800 を追加する分の回路面積の増加を抑えることができる。

#### 【0597】

OS トランジスタ 810、820 は、フロントゲートとして機能する第 1 ゲートと、バックゲートとして機能する第 2 ゲートと、ソースまたはドレインの一方として機能する第 1 端子と、ソースまたはドレインの他方として機能する第 2 端子とを有する。

#### 【0598】

OS トランジスタ 810 の第 1 ゲートは、第 2 端子に接続される。OS トランジスタ 810 の第 2 ゲートは、信号 S<sub>B\_G</sub> を供給する配線に接続される。OS トランジスタ 810 の第 1 端子は、電圧 VDD を与える配線に接続される。OS トランジスタ 810 の第 2 端子は、出力端子 OUT に接続される。

#### 【0599】

OS トランジスタ 820 の第 1 ゲートは、入力端子 IN に接続される。OS トランジスタ 820 の第 2 ゲートは、入力端子 IN に接続される。OS トランジスタ 820 の第 1 端子は、出力端子 OUT に接続される。OS トランジスタ 820 の第 2 端子は、電圧 VSS を与える配線に接続される。

#### 【0600】

図 43 (C) は、インバータ 800 の動作を説明するためのタイミングチャートである。図 43 (C) のタイミングチャートでは、入力端子 IN の信号波形、出力端子 OUT の信号波形、信号 S<sub>B\_G</sub> の信号波形、および OS トランジスタ 810 のしきい値電圧の変化について示している。

#### 【0601】

信号 S<sub>B\_G</sub> を OS トランジスタ 810 の第 2 ゲートに与えることで、OS トランジスタ 810 のしきい値電圧を制御することができる。

#### 【0602】

信号 S<sub>B\_G</sub> は、しきい値電圧をマイナスシフトさせるための電圧 V<sub>B\_G\_A</sub>、しきい値電圧をプラスシフトさせるための電圧 V<sub>B\_G\_B</sub> を有する。第 2 ゲートに電圧 V<sub>B\_G\_A</sub> を与えることで、OS トランジスタ 810 はしきい値電圧 V<sub>TH\_A</sub> にマイナスシフトさせることができる。また、第 2 ゲートに電圧 V<sub>B\_G\_B</sub> を与えることで、OS トランジスタ 810 は、しきい値電圧 V<sub>TH\_B</sub> にプラスシフトさせることができる。

#### 【0603】

前述の説明を可視化するために、図 44 (A) には、トランジスタの電気特性の一つである、Id - Vg カーブを示す。

#### 【0604】

上述した OS トランジスタ 810 の電気特性は、第 2 ゲートの電圧を電圧 V<sub>B\_G\_A</sub> のように大きくすることで、図 44 (A) 中の破線 840 で表される曲線にシフトさせることができる。また、上述した OS トランジスタ 810 の電気特性は、第 2 ゲートの電圧を電圧 V<sub>B\_G\_B</sub> のように小さくすることで、図 44 (A) 中の実線 841 で表される曲線にシフトさせることができる。図 44 (A) に示すように、OS トランジスタ 810 は、

10

20

30

40

50

信号  $S_{BG}$  を電圧  $V_{BG\_A}$  あるいは電圧  $V_{BG\_B}$  というように切り替えることで、しきい値電圧をプラスシフトあるいはマイナスシフトさせることができる。

#### 【0605】

しきい値電圧をしきい値電圧  $V_{TH\_B}$  にプラスシフトさせることで、OSトランジスタ810は電流が流れにくい状態とすることができます。図44(B)には、この状態を可視化して示す。

#### 【0606】

図44(B)に図示するように、OSトランジスタ810に流れる電流  $I_B$  を極めて小さくすることができる。そのため、入力端子INに与える信号がハイレベルでOSトランジスタ820はオン状態(ON)のとき、出力端子OUTの電圧を急峻に下降させることができます。10

#### 【0607】

図44(B)に図示したように、OSトランジスタ810に流れる電流が流れにくい状態とすることができます。そのため、図43(C)に示すタイミングチャートにおける出力端子の信号波形831を急峻に変化させることができます。電圧VDDを与える配線と、電圧VSを与える配線との間に流れる貫通電流を少なくするため、低消費電力での動作を行うことができる。

#### 【0608】

また、しきい値電圧をしきい値電圧  $V_{TH\_A}$  にマイナスシフトさせることで、OSトランジスタ810は電流が流れやすい状態とすることができます。図44(C)には、この状態を可視化して示す。図44(C)に図示するように、このとき流れる電流  $I_A$  を少なくとも電流  $I_B$  よりも大きくすることができます。そのため、入力端子INに与える信号がローレベルでOSトランジスタ820はオフ状態(OFF)のとき、出力端子OUTの電圧を急峻に上昇させることができます。図44(C)に図示したように、OSトランジスタ810に流れる電流が流れやすい状態とすることができます。そのため、図43(C)に示すタイミングチャートにおける出力端子の信号波形832を急峻に変化させることができます。20

#### 【0609】

なお、信号  $S_{BG}$  によるOSトランジスタ810のしきい値電圧の制御は、OSトランジスタ820の状態が切り替わる以前、すなわち時刻T1やT2よりも前に行うことが好み。例えば、図43(C)に図示するように、入力端子INに与える信号がハイレベルに切り替わる時刻T1よりも前に、しきい値電圧  $V_{TH\_A}$  から、しきい値電圧  $V_{TH\_B}$  にOSトランジスタ810のしきい値電圧を切り替えることが好み。また、図43(C)に図示するように、入力端子INに与える信号がローレベルに切り替わる時刻T2よりも前に、しきい値電圧  $V_{TH\_B}$  からしきい値電圧  $V_{TH\_A}$  にOSトランジスタ810のしきい値電圧を切り替えることが好み。30

#### 【0610】

なお、図43(C)のタイミングチャートでは、入力端子INに与える信号に応じて信号  $S_{BG}$  を切り替える構成を示したが、別の構成としてもよい。例えば、しきい値電圧を制御するための電圧は、フローティング状態としたOSトランジスタ810の第2ゲートに保持させる構成としてもよい。当該構成を実現可能な回路構成の一例について、図45(A)に示す。40

#### 【0611】

図45(A)では、図43(B)で示した回路構成に加えて、OSトランジスタ850を有する。OSトランジスタ850の第1端子は、OSトランジスタ810の第2ゲートに接続される。またOSトランジスタ850の第2端子は、電圧  $V_{BG\_B}$  (あるいは電圧  $V_{BG\_A}$ ) を与える配線に接続される。OSトランジスタ850の第1ゲートは、信号  $S_F$  を与える配線に接続される。OSトランジスタ850の第2ゲートは、電圧  $V_{BG\_B}$  (あるいは電圧  $V_{BG\_A}$ ) を与える配線に接続される。

#### 【0612】

図45(A)の動作について、図45(B)のタイミングチャートを用いて説明する。

50

**【0613】**

OSトランジスタ810のしきい値電圧を制御するための電圧は、入力端子INに与える信号がハイレベルに切り替わる時刻T3よりも前に、OSトランジスタ810の第2ゲートに与える構成とする。信号S<sub>F</sub>をハイレベルとしてOSトランジスタ850をオン状態とし、ノードN<sub>BG</sub>にしきい値電圧を制御するための電圧V<sub>BG\_B</sub>を与える。

**【0614】**

ノードN<sub>BG</sub>が電圧V<sub>BG\_B</sub>となった後は、OSトランジスタ850をオフ状態とする。OSトランジスタ850は、オフ電流が極めて小さいため、オフ状態にし続けることで、一旦ノードN<sub>BG</sub>に保持させた電圧V<sub>BG\_B</sub>を保持することができる。そのため、OSトランジスタ850の第2ゲートに電圧V<sub>BG\_B</sub>を与える動作の回数が減るため、電圧V<sub>BG\_B</sub>の書き換えに要する分の消費電力を小さくすることができる。10

**【0615】**

なお、図43(B)及び図45(A)の回路構成では、OSトランジスタ810の第2ゲートに与える電圧を外部からの制御によって与える構成について示したが、別の構成としてもよい。例えば、しきい値電圧を制御するための電圧を、入力端子INに与える信号を基に生成し、OSトランジスタ810の第2ゲートに与える構成としてもよい。当該構成を実現可能な回路構成の一例について、図46(A)に示す。

**【0616】**

図46(A)では、図43(B)で示した回路構成において、入力端子INとOSトランジスタ810の第2ゲートとの間にCMOSインバータ860を有する。CMOSインバータ860の入力端子は、入力端子INに接続される。CMOSインバータ860の出力端子は、OSトランジスタ810の第2ゲートに接続される。20

**【0617】**

図46(A)の動作について、図46(B)のタイミングチャートを用いて説明する。図46(B)のタイミングチャートでは、入力端子INの信号波形、出力端子OUTの信号波形、CMOSインバータ860の出力波形IN\_B、及びOSトランジスタ810のしきい値電圧の変化について示している。

**【0618】**

入力端子INに与える信号の論理を反転した信号である出力波形IN\_Bは、OSトランジスタ810のしきい値電圧を制御する信号とができる。したがって、図44(A)乃至図44(C)で説明したように、OSトランジスタ810のしきい値電圧を制御できる。例えば、図46(B)における時刻T4となるとき、入力端子INに与える信号がハイレベルでOSトランジスタ820はオン状態となる。このとき、出力波形IN\_Bはローレベルとなる。そのため、OSトランジスタ810は電流が流れにくい状態と/or>することができ、出力端子OUTの電圧の上昇を急峻に下降させることができる。30

**【0619】**

また、図46(B)における時刻T5となるとき、入力端子INに与える信号がローレベルでOSトランジスタ820はオフ状態となる。このとき、出力波形IN\_Bはハイレベルとなる。そのため、OSトランジスタ810は電流が流れやすい状態と/or>することができ、出力端子OUTの電圧を急峻に上昇させることができる。40

**【0620】**

以上説明したように本実施の形態の構成では、OSトランジスタを有するインバータにおける、バックゲートの電圧を入力端子INの信号の論理にしたがって切り替える。当該構成とすることで、OSトランジスタのしきい値電圧を制御することができる。入力端子INに与える信号によってOSトランジスタのしきい値電圧を制御することで、出力端子OUTの電圧を急峻に変化させることができる。また、電源電圧を与える配線間の貫通電流を小さくすることができる。そのため、低消費電力化を図ることができる。

**【0621】**

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。50

**【0622】**

(実施の形態7)

本実施の形態では、上述の実施の形態で説明した酸化物半導体を有するトランジスタ(ΟSトランジスタ)を、複数の回路に用いる半導体装置の一例について、図47乃至図50を用いて説明する。

**【0623】**

<7. 半導体装置の回路構成例>

図47(A)は、半導体装置900のブロック図である。半導体装置900は、電源回路901、回路902、電圧生成回路903、回路904、電圧生成回路905および回路906を有する。

10

**【0624】**

電源回路901は、基準となる電圧 $V_{ORG}$ を生成する回路である。電圧 $V_{ORG}$ は、単一の電圧ではなく、複数の電圧でもよい。電圧 $V_{ORG}$ は、半導体装置900の外部から与えられる電圧 $V_0$ を基に生成することができる。半導体装置900は、外部から与えられる単一の電源電圧を基に電圧 $V_{ORG}$ を生成できる。そのため半導体装置900は、外部から電源電圧を複数与えることなく動作することができる。

**【0625】**

回路902、904および906は、異なる電源電圧で動作する回路である。例えば回路902の電源電圧は、電圧 $V_{ORG}$ と電圧 $V_{SS}$ ( $V_{ORG} > V_{SS}$ )とを基に印加される電圧である。また、例えば回路904の電源電圧は、電圧 $V_{POG}$ と電圧 $V_{SS}$ ( $V_{POG} > V_{ORG}$ )とによって印加される電圧である。また、例えば回路906の電源電圧は、電圧 $V_{ORG}$ と電圧 $V_{SS}$ と電圧 $V_{NEG}$ ( $V_{ORG} > V_{SS} > V_{NEG}$ )とを基に印加される電圧である。なお電圧 $V_{SS}$ は、グラウンド電位(GND)と等電位とすれば、電源回路901で生成する電圧の種類を削減できる。

20

**【0626】**

電圧生成回路903は、電圧 $V_{POG}$ を生成する回路である。電圧生成回路903は、電源回路901から与えられる電圧 $V_{ORG}$ を基に電圧 $V_{POG}$ を生成できる。そのため、回路904を有する半導体装置900は、外部から与えられる単一の電源電圧を基に動作することができる。

**【0627】**

30

電圧生成回路905は、電圧 $V_{NEG}$ を生成する回路である。電圧生成回路905は、電源回路901から与えられる電圧 $V_{ORG}$ を基に電圧 $V_{NEG}$ を生成できる。そのため、回路906を有する半導体装置900は、外部から与えられる単一の電源電圧を基に動作することができる。

**【0628】**

図47(B)は電圧 $V_{POG}$ で動作する回路904の一例、図47(C)は回路904を動作させるための信号の波形の一例である。

**【0629】**

図47(B)では、トランジスタ911を示している。トランジスタ911のゲートに与える信号は、例えば、電圧 $V_{POG}$ と電圧 $V_{SS}$ を基に生成される。当該信号は、トランジスタ911を導通状態とする動作時に電圧 $V_{POG}$ 、非導通状態とする動作時に電圧 $V_{SS}$ とする。電圧 $V_{POG}$ は、図47(C)に図示するように、電圧 $V_{ORG}$ より大きい。そのため、トランジスタ911は、ソース(S)とドレイン(D)との間をより確実に導通状態にできる。その結果、回路904は、誤動作が低減された回路とができる。

40

**【0630】**

図47(D)は電圧 $V_{NEG}$ で動作する回路906の一例、図47(E)は回路906を動作させるための信号の波形の一例である。

**【0631】**

図47(D)では、バックゲートを有するトランジスタ912を示している。トランジ

50

スタ 912 のゲートに与える信号は、例えば、電圧  $V_{O_RG}$  と電圧  $V_{SS}$  を基にして生成される。当該信号は、トランジスタ 912 を導通状態とする動作時に電圧  $V_{O_RG}$ 、非導通状態とする動作時に電圧  $V_{SS}$  を基に生成される。また、トランジスタ 912 のバックゲートに与える信号は、電圧  $V_{NEG}$  を基に生成される。電圧  $V_{NEG}$  は、図 47 (E) に図示するように、電圧  $V_{SS}$  (GND) より小さい。そのため、トランジスタ 912 の閾値電圧は、プラスシフトするように制御することができる。そのため、トランジスタ 912 をより確実に非導通状態とすることが可能で、ソース (S) とドレイン (D) との間を流れる電流を小さくできる。その結果、回路 906 は、誤動作が低減され、且つ低消費電力化が図られた回路とができる。

## 【0632】

10

なお、電圧  $V_{NEG}$  は、トランジスタ 912 のバックゲートに直接与える構成としてもよい。あるいは、電圧  $V_{O_RG}$  と電圧  $V_{NEG}$  を基に、トランジスタ 912 のゲートに与える信号を生成し、当該信号をトランジスタ 912 のバックゲートに与える構成としてもよい。

## 【0633】

また図 48 (A) (B) には、図 47 (D) (E) の変形例を示す。

## 【0634】

図 48 (A) に示す回路図では、電圧生成回路 905 と、回路 906 と、の間に制御回路 921 によって導通状態が制御できるトランジスタ 922 を示す。トランジスタ 922 は、n チャネル型の OS トランジスタとする。制御回路 921 が出力する制御信号  $S_{BG}$  は、トランジスタ 922 の導通状態を制御する信号である。また回路 906 が有するトランジスタ 912A、912B は、トランジスタ 922 と同じ OS トランジスタである。

20

## 【0635】

図 48 (B) のタイミングチャートには、制御信号  $S_{BG}$  の電位の変化を示し、トランジスタ 912A、912B のバックゲートの電位の状態をノード  $N_{BG}$  の電位の変化で示す。制御信号  $S_{BG}$  がハイレベルのときにトランジスタ 922 が導通状態となり、ノード  $N_{BG}$  が電圧  $V_{NEG}$  となる。その後、制御信号  $S_{BG}$  がローレベルのときにノード  $N_{BG}$  が電気的にフローティングとなる。トランジスタ 922 は、OS トランジスタであるため、オフ電流が小さい。そのため、ノード  $N_{BG}$  が電気的にフローティングであっても、一旦与えた電圧  $V_{NEG}$  を保持することができる。

30

## 【0636】

また、図 49 (A) には、上述した電圧生成回路 903 に適用可能な回路構成の一例を示す。図 49 (A) に示す電圧生成回路 903 は、ダイオード D1 乃至 D5、キャパシタ C1 乃至 C5、およびインバータ INV を有する 5 段のチャージポンプである。クロック信号 CLK は、キャパシタ C1 乃至 C5 に直接、あるいはインバータ INV を介して与えられる。インバータ INV の電源電圧を、電圧  $V_{O_RG}$  と電圧  $V_{SS}$  とを基に印加される電圧とすると、クロック信号 CLK を与えることによって、電圧  $V_{O_RG}$  の 5 倍の正電圧に昇圧された電圧  $V_{POG}$  を得ることができる。なお、ダイオード D1 乃至 D5 の順方向電圧は 0V としている。また、チャージポンプの段数を変更することで、所望の電圧  $V_{POG}$  を得ることができる。

40

## 【0637】

また、図 49 (B) には、上述した電圧生成回路 905 に適用可能な回路構成の一例を示す。図 49 (B) に示す電圧生成回路 905 は、ダイオード D1 乃至 D5、キャパシタ C1 乃至 C5、およびインバータ INV を有する 4 段のチャージポンプである。クロック信号 CLK は、キャパシタ C1 乃至 C5 に直接、あるいはインバータ INV を介して与えられる。インバータ INV の電源電圧を、電圧  $V_{O_RG}$  と電圧  $V_{SS}$  とを基に印加される電圧とすると、クロック信号 CLK を与えることによって、グラウンド、すなわち電圧  $V_{SS}$  から電圧  $V_{O_RG}$  の 4 倍の負電圧に降圧された電圧  $V_{NEG}$  を得ることができる。なお、ダイオード D1 乃至 D5 の順方向電圧は 0V としている。また、チャージポンプの段数を変更することで、所望の電圧  $V_{NEG}$  を得ることができる。

50

**【0638】**

なお、上述した電圧生成回路903の回路構成は、図49(A)で示す回路図の構成に限らない。例えば、電圧生成回路903の変形例を図50(A)乃至図50(C)に示す。なお、電圧生成回路903の変形例は、図50(A)乃至図50(C)に示す電圧生成回路903A乃至903Cにおいて、各配線に与える電圧を変更すること、あるいは素子の配置を変更することで実現可能である。

**【0639】**

図50(A)に示す電圧生成回路903Aは、トランジスタM1乃至M10、キャパシタC11乃至C14、およびインバータINV1を有する。クロック信号CLKは、トランジスタM1乃至M10のゲートに直接、あるいはインバータINV1を介して与えられる。クロック信号CLKを与えることによって、電圧 $V_{ORG}$ の4倍の正電圧に昇圧された電圧 $V_{POG}$ を得ることができる。なお、段数を変更することで、所望の電圧 $V_{POG}$ を得ることができる。図50(A)に示す電圧生成回路903Aは、トランジスタM1乃至M10をOSトランジスタとすることでオフ電流を小さくでき、キャパシタC11乃至C14に保持した電荷の漏れを抑制できる。そのため、効率的に電圧 $V_{ORG}$ から電圧 $V_{POG}$ への昇圧を図ることができる。

10

**【0640】**

また、図50(B)に示す電圧生成回路903Bは、トランジスタM11乃至M14、キャパシタC15、C16、およびインバータINV2を有する。クロック信号CLKは、トランジスタM11乃至M14のゲートに直接、あるいはインバータINV2を介して与えられる。クロック信号CLKを与えることによって、電圧 $V_{ORG}$ の2倍の正電圧に昇圧された電圧 $V_{POG}$ を得ることができる。図50(B)に示す電圧生成回路903Bは、トランジスタM11乃至M14をOSトランジスタとすることでオフ電流を小さくでき、キャパシタC15、C16に保持した電荷の漏れを抑制できる。そのため、効率的に電圧 $V_{ORG}$ から電圧 $V_{POG}$ への昇圧を図ることができる。

20

**【0641】**

また、図50(C)に示す電圧生成回路903Cは、インダクタInd1、トランジスタM15、ダイオードD6、およびキャパシタC17を有する。トランジスタM15は、制御信号ENによって、導通状態が制御される。制御信号ENによって、電圧 $V_{ORG}$ が昇圧された電圧 $V_{POG}$ を得ることができる。図50(C)に示す電圧生成回路903Cは、インダクタInd1を用いて電圧の昇圧を行うため、変換効率の高い電圧の昇圧を行うことができる。

30

**【0642】**

以上説明したように本実施の形態の構成では、半導体装置が有する回路に必要な電圧を内部で生成することができる。そのため半導体装置は、外部から与える電源電圧の数を削減できる。

**【0643】**

以上、本実施の形態で示す構成等は、他の実施の形態で示す構成と適宜組み合わせて用いることができる。

40

**【0644】****(実施の形態8)**

本実施の形態では、本発明の一態様の半導体装置を有する表示モジュール及び電子機器について、図51乃至図54を用いて説明を行う。

**【0645】****<8-1. 表示モジュール>**

図51に示す表示モジュール7000は、上部カバー7001と下部カバー7002との間に、FPC7003に接続されたタッチパネル7004、FPC7005に接続された表示パネル7006、バックライト7007、フレーム7009、プリント基板7010、バッテリ7011を有する。

**【0646】**

50

本発明の一態様の半導体装置は、例えば、表示パネル 7006 に用いることができる。

**【0647】**

上部カバー 7001 及び下部カバー 7002 は、タッチパネル 7004 及び表示パネル 7006 のサイズに合わせて、形状や寸法を適宜変更することができる。

**【0648】**

タッチパネル 7004 は、抵抗膜方式または静電容量方式のタッチパネルを表示パネル 7006 に重畠して用いることができる。また、表示パネル 7006 の対向基板（封止基板）に、タッチパネル機能を持たせるようにすることも可能である。また、表示パネル 7006 の各画素内に光センサを設け、光学式のタッチパネルとすることも可能である。

**【0649】**

バックライト 7007 は、光源 7008 を有する。なお、図 51 において、バックライト 7007 上に光源 7008 を配置する構成について例示したが、これに限定しない。例えば、バックライト 7007 の端部に光源 7008 を配置し、さらに光拡散板を用いる構成としてもよい。なお、有機EL素子等の自発光型の発光素子を用いる場合、または反射型パネル等の場合においては、バックライト 7007 を設けない構成としてもよい。

**【0650】**

フレーム 7009 は、表示パネル 7006 の保護機能の他、プリント基板 7010 の動作により発生する電磁波を遮断するための電磁シールドとしての機能を有する。またフレーム 7009 は、放熱板としての機能を有していてもよい。

**【0651】**

プリント基板 7010 は、電源回路、ビデオ信号及びクロック信号を出力するための信号処理回路を有する。電源回路に電力を供給する電源としては、外部の商用電源であっても良いし、別途設けたバッテリ 7011 による電源であってもよい。バッテリ 7011 は、商用電源を用いる場合には、省略可能である。

**【0652】**

また、表示モジュール 7000 は、偏光板、位相差板、プリズムシートなどの部材を追加して設けてもよい。

**【0653】**

<8-2. 電子機器 1>

次に、図 52(A) 乃至図 52(E) に電子機器の一例を示す。

**【0654】**

図 52(A) は、ファインダー 8100 を取り付けた状態のカメラ 8000 の外観を示す図である。

**【0655】**

カメラ 8000 は、筐体 8001、表示部 8002、操作ボタン 8003、シャッターボタン 8004 等を有する。またカメラ 8000 には、着脱可能なレンズ 8006 が取り付けられている。

**【0656】**

ここではカメラ 8000 として、レンズ 8006 を筐体 8001 から取り外して交換することが可能な構成としたが、レンズ 8006 と筐体が一体となっていてもよい。

**【0657】**

カメラ 8000 は、シャッターボタン 8004 を押すことにより、撮像することができる。また、表示部 8002 はタッチパネルとしての機能を有し、表示部 8002 をタッチすることにより撮像することも可能である。

**【0658】**

カメラ 8000 の筐体 8001 は、電極を有するマウントを有し、ファインダー 8100 のほか、ストロボ装置等を接続することができる。

**【0659】**

ファインダー 8100 は、筐体 8101、表示部 8102、ボタン 8103 等を有する。

10

20

30

40

50

**【0660】**

筐体8101は、カメラ8000のマウントと係合するマウントを有しており、ファインダー8100を取り付けることができる。また当該マウントには電極を有し、当該電極を介してカメラ8000から受信した映像等を表示部8102に表示させることができる。

**【0661】**

ボタン8103は、電源ボタンとしての機能を有する。ボタン8103により、表示部8102の表示のオン・オフを切り替えることができる。

**【0662】**

カメラ8000の表示部8002、及びファインダー8100の表示部8102に、本発明の一態様の表示装置を適用することができる。 10

**【0663】**

なお、図52(A)では、カメラ8000とファインダー8100とを別の電子機器とし、これらを脱着可能な構成としたが、カメラ8000の筐体8001に、表示装置を備えるファインダーが内蔵されていてもよい。

**【0664】**

図52(B)は、ヘッドマウントディスプレイ8200の外観を示す図である。

**【0665】**

ヘッドマウントディスプレイ8200は、装着部8201、レンズ8202、本体8203、表示部8204、ケーブル8205等を有している。また装着部8201には、バッテリ8206が内蔵されている。 20

**【0666】**

ケーブル8205は、バッテリ8206から本体8203に電力を供給する。本体8203は無線受信機等を備え、受信した画像データ等の映像情報を表示部8204に表示させることができる。また、本体8203に設けられたカメラで使用者の眼球やまぶたの動きを捉え、その情報をもとに使用者の視点の座標を算出することにより、使用者の視点を入力手段として用いることができる。

**【0667】**

また、装着部8201には、使用者に触れる位置に複数の電極が設けられていてもよい。本体8203は使用者の眼球の動きに伴って電極に流れる電流を検知することにより、使用者の視点を認識する機能を有していてもよい。また、当該電極に流れる電流を検知することにより、使用者の脈拍をモニタする機能を有していてもよい。また、装着部8201には、温度センサ、圧力センサ、加速度センサ等の各種センサを有していてもよく、使用者の生体情報を表示部8204に表示する機能を有していてもよい。また、使用者の頭部の動きなどを検出し、表示部8204に表示する映像をその動きに合わせて変化させてよい。 30

**【0668】**

表示部8204に、本発明の一態様の表示装置を適用することができる。

**【0669】**

図52(C)(D)(E)は、ヘッドマウントディスプレイ8300の外観を示す図である。 40

**【0670】**

ヘッドマウントディスプレイ8300は、筐体8301、2つの表示部8302、操作ボタン8303、及びバンド状の固定具8304を有する。

**【0671】**

ヘッドマウントディスプレイ8300は、上記ヘッドマウントディスプレイ8200が有する機能に加え、2つの表示部を備える。

**【0672】**

2つの表示部8302を有することで、使用者は片方の目につき1つの表示部を見ることができる。これにより、視差を用いた3次元表示等を行う際であっても、高い解像度の 50

映像を表示することができる。また、表示部 8302 は使用者の目を概略中心とした円弧状に湾曲している。これにより、使用者の目から表示部の表示面までの距離が一定となるため、使用者はより自然な映像を見ることができる。また、表示部からの光の輝度や色度が見る角度によって変化してしまうような場合であっても、表示部の表示面の法線方向に使用者の目が位置するため、実質的にその影響を無視することができるため、より現実感のある映像を表示することができる。

#### 【0673】

操作ボタン 8303 は、電源ボタンなどの機能を有する。また操作ボタン 8303 の他にボタンを有していてもよい。

#### 【0674】

また、図 52 (E) に示すように、表示部 8302 と使用者の目の位置との間に、レンズ 8305 を有していてもよい。レンズ 8305 により、使用者は表示部 8302 を拡大してみることができるため、より臨場感が高まる。このとき、図 52 (E) に示すように、視度調節のためにレンズの位置を変化させるダイヤル 8306 を有していてもよい。

#### 【0675】

表示部 8302 に、本発明の一態様の表示装置を適用することができる。本発明の一態様の半導体装置を有する表示装置は、極めて精細度が高いため、図 52 (E) のようにレンズ 8305 を用いて拡大したとしても、使用者に画素が視認されることなく、より現実感の高い映像を表示することができる。

#### 【0676】

##### <8-3. 電子機器 2>

次に、図 52 (A) 乃至図 52 (E) に示す電子機器と、異なる電子機器の一例を図 53 (A) 乃至図 53 (G) に示す。

#### 【0677】

図 53 (A) 乃至図 53 (G) に示す電子機器は、筐体 9000、表示部 9001、スピーカ 9003、操作キー 9005（電源スイッチ、又は操作スイッチを含む）、接続端子 9006、センサ 9007（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの）、マイクロフォン 9008、等を有する。

#### 【0678】

図 53 (A) 乃至図 53 (G) に示す電子機器は、様々な機能を有する。例えば、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、タッチパネル機能、カレンダー、日付または時刻などを表示する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、無線通信機能、無線通信機能を用いて様々なコンピュータネットワークに接続する機能、無線通信機能を用いて様々なデータの送信または受信を行う機能、記録媒体に記録されているプログラムまたはデータを読み出して表示部に表示する機能、等を有することができる。なお、図 53 (A) 乃至図 53 (G) に示す電子機器が有することのできる機能はこれらに限定されず、様々な機能を有することができる。また、図 53 (A) 乃至図 53 (G) には図示していないが、電子機器には、複数の表示部を有する構成としてもよい。また、該電子機器にカメラ等を設け、静止画を撮影する機能、動画を撮影する機能、撮影した画像を記録媒体（外部またはカメラに内蔵）に保存する機能、撮影した画像を表示部に表示する機能、等を有していてもよい。

#### 【0679】

図 53 (A) 乃至図 53 (G) に示す電子機器の詳細について、以下説明を行う。

#### 【0680】

図 53 (A) は、テレビジョン装置 9100 を示す斜視図である。テレビジョン装置 9100 は、表示部 9001 を大画面、例えば、50 インチ以上、または 100 インチ以上の表示部 9001 を組み込むことが可能である。

#### 【0681】

10

20

30

40

50

図53( B )は、携帯情報端末9101を示す斜視図である。携帯情報端末9101は、例えば電話機、手帳又は情報閲覧装置等から選ばれた一つ又は複数の機能を有する。具体的には、スマートフォンとして用いることができる。なお、携帯情報端末9101は、スピーカ、接続端子、センサ等を設けてもよい。また、携帯情報端末9101は、文字や画像情報をその複数の面に表示することができる。例えば、3つの操作ボタン9050(操作アイコンまたは単にアイコンともいう)を表示部9001の一の面に表示することができる。また、破線の矩形で示す情報9051を表示部9001の他の面に表示することができる。なお、情報9051の一例としては、電子メールやSNS(ソーシャル・ネットワーキング・サービス)や電話などの着信を知らせる表示、電子メールやSNSなどの題名、電子メールやSNSなどの送信者名、日時、時刻、バッテリの残量、アンテナ受信の強度などがある。または、情報9051が表示されている位置に、情報9051の代わりに、操作ボタン9050などを表示してもよい。

#### 【0682】

図53( C )は、携帯情報端末9102を示す斜視図である。携帯情報端末9102は、表示部9001の3面以上に情報を表示する機能を有する。ここでは、情報9052、情報9053、情報9054がそれぞれ異なる面に表示されている例を示す。例えば、携帯情報端末9102の使用者は、洋服の胸ポケットに携帯情報端末9102を収納した状態で、その表示(ここでは情報9053)を確認することができる。具体的には、着信した電話の発信者の電話番号又は氏名等を、携帯情報端末9102の上方から観察できる位置に表示する。使用者は、携帯情報端末9102をポケットから取り出すことなく、表示を確認し、電話を受けるか否かを判断できる。

#### 【0683】

図53( D )は、腕時計型の携帯情報端末9200を示す斜視図である。携帯情報端末9200は、移動電話、電子メール、文章閲覧及び作成、音楽再生、インターネット通信、コンピュータゲームなどの種々のアプリケーションを実行することができる。また、表示部9001はその表示面が湾曲して設けられ、湾曲した表示面に沿って表示を行うことができる。また、携帯情報端末9200は、通信規格された近距離無線通信を実行することができる。例えば無線通信可能なヘッドセットと相互通信することによって、ハンズフリーで通話することもできる。また、携帯情報端末9200は、接続端子9006を有し、他の情報端末とコネクターを介して直接データのやりとりを行なうことができる。また接続端子9006を介して充電を行うこともできる。なお、充電動作は接続端子9006を介さずに無線給電により行ってもよい。

#### 【0684】

図53( E )( F )( G )は、折り畳み可能な携帯情報端末9201を示す斜視図である。また、図53( E )が携帯情報端末9201を展開した状態の斜視図であり、図53( F )が携帯情報端末9201を展開した状態または折り畳んだ状態の一方から他方に変化する途中の状態の斜視図であり、図53( G )が携帯情報端末9201を折り畳んだ状態の斜視図である。携帯情報端末9201は、折り畳んだ状態では可搬性に優れ、展開した状態では、継ぎ目のない広い表示領域により表示の一覧性に優れる。携帯情報端末9201が有する表示部9001は、ヒンジ9055によって連結された3つの筐体9000に支持されている。ヒンジ9055を介して2つの筐体9000間を屈曲させることにより、携帯情報端末9201を展開した状態から折りたたんだ状態に可逆的に変形させることができる。例えば、携帯情報端末9201は、曲率半径1mm以上150mm以下で曲げができる。

#### 【0685】

また、図54( A )( B )は、複数の表示パネルを有する表示装置の斜視図である。なお、図54( A )は、複数の表示パネルが巻き取られた形態の斜視図であり、図54( B )は、複数の表示パネルが展開された状態の斜視図である。

#### 【0686】

図54( A )( B )に示す表示装置9500は、複数の表示パネル9501と、軸部9

10

20

30

40

50

511と、軸受部9512と、を有する。また、複数の表示パネル9501は、表示領域9502と、透光性を有する領域9503と、を有する。

#### 【0687】

また、複数の表示パネル9501は、可撓性を有する。また、隣接する2つの表示パネル9501は、それらの一部が互いに重なるように設けられる。例えば、隣接する2つの表示パネル9501の透光性を有する領域9503を重ね合わせることができる。複数の表示パネル9501を用いることで、大画面の表示装置とすることができる。また、使用状況に応じて、表示パネル9501を巻き取ることが可能であるため、汎用性に優れた表示装置とすることができます。

#### 【0688】

また、図54(A)(B)においては、表示領域9502が隣接する表示パネル9501で離間する状態を図示しているが、これに限定されず、例えば、隣接する表示パネル9501の表示領域9502を隙間なく重ねあわせることで、連続した表示領域9502としてもよい。

#### 【0689】

本実施の形態において述べた電子機器は、何らかの情報を表示するための表示部を有することを特徴とする。ただし、本発明の一態様の半導体装置は、表示部を有さない電子機器にも適用することができる。

#### 【0690】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

#### 【0691】

##### (実施の形態9)

本実施の形態では、本発明の一態様の半導体装置を有する表示装置について、図55及び図56を用いて説明を行う。

#### 【0692】

##### <9-1. 表示装置の斜視概略図>

本実施の形態の表示装置について、図55を用いて説明を行う。図55は、表示装置510の斜視概略図である。

#### 【0693】

表示装置510は、基板511と基板512とが貼り合わされた構成を有する。図55では、基板512を破線で明示している。

#### 【0694】

表示装置510は、表示部514、回路516、配線518等を有する。図55では表示装置510にIC520及びFPC522が実装されている例を示している。そのため、図55に示す構成は、表示装置510、IC520、及びFPC522を有する表示モジュールということもできる。

#### 【0695】

回路516としては、例えば走査線駆動回路を用いることができる。

#### 【0696】

配線518は、表示部514及び回路516に信号及び電力を供給する機能を有する。当該信号及び電力は、FPC522を介して外部から、またはIC520から配線518に入力される。

#### 【0697】

図55では、COG(Chip On Glass)方式またはCOF(Chip on Film)方式等により、基板511にIC520が設けられている例を示す。IC520は、例えば走査線駆動回路または信号線駆動回路などを有するICを適用できる。なお、表示装置510には、IC520を設けない構成としてもよい。また、IC520を、COF方式等により、FPCに実装してもよい。

#### 【0698】

10

20

30

40

50

図55には、表示部514の一部の拡大図を示している。表示部514には、複数の表示素子が有する電極524がマトリクス状に配置されている。電極524は、可視光を反射する機能を有し、液晶素子574（後述する）の反射電極として機能する。

#### 【0699】

また、図55に示すように、電極524は開口部526を有する。さらに表示部514は、電極524よりも基板511側に、発光素子588を有する。発光素子588からの光は、電極524の開口部526を介して基板512側に射出される。発光素子588の発光領域の面積と開口部526の面積とは等しくてもよい。発光素子588の発光領域の面積と開口部526の面積のうち一方が他方よりも大きいと、位置ずれに対するマージンが大きくなるため好ましい。

10

#### 【0700】

<9-2. 表示装置の断面図>

図56に、図55で示した表示装置510の、FPC522を含む領域の一部、回路516を含む領域の一部、及び表示部514を含む領域の一部をそれぞれ切断したときの断面図の一例を示す。

#### 【0701】

図56に示す表示装置510は、基板511と基板512の間に、トランジスタ501t、トランジスタ505t、トランジスタ506t、液晶素子574、発光素子588、絶縁層530、絶縁層531、着色層532等を有する。基板512と絶縁層530は接着層534を介して接着される。基板511と絶縁層531は接着層535を介して接着されている。

20

#### 【0702】

なお、図56に示す表示装置510は、ハイブリッドディスプレイの一例である。また、表示装置510は、ハイブリッド表示を行うことができる。

#### 【0703】

ハイブリッド表示とは、1つのパネルにおいて、反射光と、自発光とを併用して、色調または光強度を互いに補完して、文字及び／または画像を表示する方法である。または、ハイブリッド表示とは、同一画素または同一副画素において複数の表示素子から、それぞれの光を用いて、文字及び／または画像を表示する方法である。ただし、ハイブリッド表示を行っているハイブリッドディスプレイを局所的にみると、複数の表示素子のいずれか一を用いて表示される画素または副画素と、複数の表示素子の二以上を用いて表示される画素または副画素と、を有する場合がある。

30

#### 【0704】

なお、本明細書等において、上記構成のいずれか1つまたは複数の表現を満たすものを、ハイブリッド表示という。

#### 【0705】

また、ハイブリッドディスプレイは、同一画素または同一副画素に複数の表示素子を有する。なお、複数の表示素子としては、例えば、光を反射する反射型素子と、光を射出する自発光素子とが挙げられる。なお、反射型素子と、自発光素子とは、それぞれ独立に制御することができる。ハイブリッドディスプレイは、表示部において、反射光、及び自発光のいずれか一方または双方を用いて、文字及び／または画像を表示する機能を有する。

40

#### 【0706】

基板512には、着色層532、遮光層536、絶縁層530、液晶素子574の共通電極として機能する電極537、配向膜538b、絶縁層539等が設けられている。基板512の外側の面には、偏光板540を有する。絶縁層530は、平坦化層としての機能を有していてもよい。絶縁層530により、電極537の表面を概略平坦にできるため、液晶層541の配向状態を均一にできる。絶縁層539は、液晶素子574のセルギャップを保持するためのスペーサとして機能する。絶縁層539が可視光を透過する場合は、絶縁層539を液晶素子574の表示領域と重ねて配置してもよい。

#### 【0707】

50

液晶素子 574 は反射型の液晶素子である。液晶素子 574 は、画素電極として機能する電極 542、液晶層 541、電極 537 が積層された積層構造を有する。電極 542 の基板 511 側に接して、可視光を反射する電極 524 が設けられている。電極 524 は開口部 526 を有する。電極 542 及び電極 537 は可視光を透過する。液晶層 541 と電極 542 の間に配向膜 538a が設けられている。液晶層 541 と電極 537 の間に配向膜 538b が設けられている。

#### 【0708】

液晶素子 574において、電極 524 は可視光を反射する機能を有し、電極 537 は可視光を透過する機能を有する。基板 512 側から入射した光は、偏光板 540 により偏光され、電極 537、液晶層 541 を透過し、電極 524 で反射する。そして液晶層 541 及び電極 537 を再度透過して、偏光板 540 に達する。このとき、電極 524 と電極 537 の間に与える電圧によって液晶の配向を制御し、光の光学変調を制御することができる。すなわち、偏光板 540 を介して射出される光の強度を制御することができる。また光は着色層 532 によって特定の波長領域以外の光が吸収されることにより、取り出される光は、例えば赤色を呈する光となる。

#### 【0709】

図 56 に示すように、開口部 526 には可視光を透過する電極 542 が設けられていることが好ましい。これにより、開口部 526 と重なる領域においてもそれ以外の領域と同様に液晶層 541 が配向するため、これらの領域の境界部で液晶の配向不良が生じ、光が漏れてしまうことを抑制できる。

#### 【0710】

接続部 543 において、電極 524 は、導電層 544 を介して、トランジスタ 506t が有する導電層 545 と電気的に接続されている。トランジスタ 506t は、液晶素子 574 の駆動を制御する機能を有する。

#### 【0711】

接着層 534 が設けられる一部の領域には、接続部 546 が設けられている。接続部 546 において、電極 542 と同一の導電膜を加工して得られた導電層と、電極 537 の一部が、接続体 547 により電気的に接続されている。したがって、基板 512 側に形成された電極 537 に、基板 511 側に接続された FPC 522 から入力される信号または電位を、接続部 546 を介して供給することができる。

#### 【0712】

接続体 547 としては、例えば導電性の粒子を用いることができる。導電性の粒子としては、有機樹脂またはシリカなどの粒子の表面を金属材料で被覆したものを用いることができる。金属材料としてニッケルや金を用いると接触抵抗を低減できるため好ましい。またニッケルをさらに金で被覆するなど、2種類以上の金属材料を層状に被覆させた粒子を用いることが好ましい。また接続体 547 として、弾性変形、または塑性変形する材料を用いることが好ましい。

#### 【0713】

接続体 547 は、接着層 534 に覆われるように配置することが好ましい。例えば接着層 534 となるペースト等を塗布した後に、接続体 547 を配置すればよい。

#### 【0714】

発光素子 588 は、ボトムエミッション型の発光素子である。発光素子 588 は、絶縁層 530 側から画素電極として機能する電極 548、EL 層 576、及び共通電極として機能する電極 577 の順に積層された積層構造を有する。電極 548 は、絶縁層 578 に設けられた開口を介して、トランジスタ 505t が有する導電層 579 と接続されている。トランジスタ 505t は、発光素子 588 の駆動を制御する機能を有する。絶縁層 531 が電極 548 の端部を覆っている。電極 577 は可視光を反射する材料を含み、電極 548 は可視光を透過する材料を含む。発光素子 588 が発する光は、絶縁層 530、開口部 526 等を介して、基板 512 側に射出される。

#### 【0715】

10

20

30

40

50

液晶素子 574 及び発光素子 588 は、画素によって着色層の色を変えることで、様々な色を呈することができる。表示装置 510 は、液晶素子 574 を用いて、カラー表示を行うことができる。表示装置 510 は、発光素子 588 を用いて、カラー表示を行うことができる。

【0716】

トランジスタ 501t、トランジスタ 505t、及びトランジスタ 506t は、いずれも絶縁層 580 の基板 511 側の面上に形成されている。これらのトランジスタは、同一の工程を用いて作製することができる。

【0717】

また、トランジスタ 501t、トランジスタ 505t、及びトランジスタ 506t は、  
10 いずれも先の実施の形態 1 及び実施の形態 2 に示す、本発明の一態様の半導体装置を用いることができる。したがって、微細化されたトランジスタと、複数の表示素子とを組み合わせることで、表示品位の高い表示装置を提供できる。

【0718】

液晶素子 574 と電気的に接続される回路は、発光素子 588 と電気的に接続される回路と同一面上に形成されることが好ましい。これにより、2つの回路を別々の面上に形成する場合に比べて、表示装置の厚さを薄くすることができる。また、2つのトランジスタを同一の工程で作製できるため、2つのトランジスタを別々の面上に形成する場合に比べて、作製工程を簡略化することができる。

【0719】

液晶素子 574 の画素電極は、トランジスタが有するゲート絶縁層を挟んで、発光素子 588 の画素電極とは反対に位置する。  
20

【0720】

トランジスタ 505t は、発光素子 588 に流れる電流を制御するトランジスタ（駆動トランジスタともいう）である。なお、トランジスタのチャネル形成領域に用いる材料には、金属酸化物を用いると好ましい。また、トランジスタ 505t とは別に、画素の選択、非選択状態を制御するトランジスタ（スイッチングトランジスタ、または選択トランジスタともいう）を設けてもよい。

【0721】

絶縁層 580 の基板 511 側には、絶縁層 581、絶縁層 582、絶縁層 583 等の絶縁層が設けられている。絶縁層 581 は、その一部が各トランジスタの下地絶縁層として機能する。絶縁層 582 は、トランジスタのゲート絶縁層として機能する。絶縁層 583 は、トランジスタの保護絶縁膜として機能する。絶縁層 578 は、平坦化層としての機能を有する。なお、トランジスタを覆う絶縁層の数は限定されず、単層であっても 2 層以上であってもよい。  
30

【0722】

各トランジスタを覆う絶縁層の少なくとも一層に、水や水素などの不純物が拡散しにくい材料を用いることが好ましい。これにより、絶縁層をバリア膜として機能させることができる。このような構成とすることで、トランジスタに対して外部から不純物が拡散することを効果的に抑制することが可能となり、信頼性の高い表示装置を実現できる。  
40

【0723】

トランジスタ 501t、トランジスタ 505t、及びトランジスタ 506t は、ゲートとして機能する導電層 584、ゲート絶縁層として機能する絶縁層 558、ソース及びドレンとして機能する導電層 545 及び導電層 585、並びに、半導体層 586 を有する。ここでは、同一の導電膜を加工して得られる複数の層に、同じハッチングパターンを付している。

【0724】

トランジスタ 501t 及びトランジスタ 505t は、トランジスタ 506t の構成に加えて、ゲートとして機能する導電層 587 を有する。

【0725】

50

トランジスタ 501t 及びトランジスタ 505t には、チャネルが形成される半導体層を 2 つのゲートで挟持する構成が適用されている。2 つのゲートを接続し、これらに同一の信号を供給することによりトランジスタを駆動してもよい。このようなトランジスタは他のトランジスタと比較して電界効果移動度を高めることができ、オン電流を増大させることができる。その結果、高速駆動が可能な回路を作製することができる。さらには、回路部の占有面積を縮小することが可能となる。オン電流の大きなトランジスタを適用することで、表示装置を大型化、または高精細化したときに配線数が増大したとしても、各配線における信号遅延を低減することができ、表示ムラを抑制することができる。

## 【0726】

10

または、2 つのゲートのうち、一方にしきい値電圧を制御するための電位を与え、他方に駆動のための電位を与えることで、トランジスタのしきい値電圧を制御することができる。

## 【0727】

なお、表示装置が有するトランジスタの構造に限定はない。回路 516 が有するトランジスタと、表示部 514 が有するトランジスタは、同じ構造であってもよく、異なる構造であってもよい。回路 516 が有する複数のトランジスタは、全て同じ構造であってもよく、2 種類以上の構造が組み合わせて用いられていてもよい。同様に、表示部 514 が有する複数のトランジスタは、全て同じ構造であってもよく、2 種類以上の構造が組み合わせて用いられていてもよい。

20

## 【0728】

基板 511 の基板 512 と重ならない領域には、接続部 589 が設けられている。接続部 589 では、配線 518 が接続層 590 を介して FPC 522 と電気的に接続されている。接続部 589 は、接続部 543 と同様の構成を有している。接続部 589 の上面は、電極 542 と同一の導電膜を加工して得られた導電層が露出している。これにより、接続部 589 と FPC 522 とを接続層 590 を介して電気的に接続することができる。

## 【0729】

基板 512 の外側の面に配置する偏光板 540 として直線偏光板を用いてもよいが、円偏光板を用いることもできる。円偏光板としては、例えば直線偏光板と 1/4 波長位相差板を積層したものを用いることができる。これにより、外光反射を抑制することができる。また、偏光板の種類に応じて、液晶素子 574 に用いる液晶素子のセルギャップ、配向、駆動電圧等を調整することで、所望のコントラストが実現されるようにすればよい。

30

## 【0730】

なお、基板 512 の外側には各種光学部材を配置することができる。光学部材としては、偏光板、位相差板、光拡散層（拡散フィルムなど）、反射防止層、及び集光フィルム等が挙げられる。また、基板 512 の外側には、ゴミの付着を抑制する帯電防止膜、汚れを付着しにくくする撥水性の膜、使用に伴う傷の発生を抑制するハードコート膜等を配置してもよい。

## 【0731】

40

基板 511 及び基板 512 には、それぞれ、ガラス、石英、セラミック、サファイヤ、有機樹脂などを用いることができる。基板 511 及び基板 512 に可撓性を有する材料を用いると、表示装置の可撓性を高めることができる。

## 【0732】

液晶素子 574 としては、例えば垂直配向（VA : Vertical Alignment）モードが適用された液晶素子を用いることができる。垂直配向モードとしては、MVA（Multi-Domain Vertical Alignment）モード、PVA（Patterned Vertical Alignment）モード、ASV（Advanced Super View）モードなどを用いることができる。

## 【0733】

液晶素子 574 には、様々なモードが適用された液晶素子を用いることができる。例え

50

ばVAモードのほかに、TN (Twisted Nematic) モード、IPS (In-Plane-Switching) モード、FFS (Fringe Field Switching) モード、ASM (Axially Symmetric aligned Micro-cell) モード、OCB (Optically Compensated Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) モード等が適用された液晶素子を用いることができる。

#### 【0734】

液晶素子は、液晶の光学的変調作用によって光の透過または非透過を制御する素子である。液晶の光学的変調作用は、液晶にかかる電界（横方向の電界、縦方向の電界または斜め方向の電界を含む）によって制御される。液晶素子に用いる液晶としては、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶（PDLCL : Polymer Dispersed Liquid Crystal）、強誘電性液晶、反強誘電性液晶等を用いることができる。これらの液晶材料は、条件により、コレステリック相、スメクチック相、キューピック相、カイラルネマチック相、等方相等を示す。

#### 【0735】

液晶材料としては、ポジ型の液晶、またはネガ型の液晶のいずれを用いてもよい、適用するモードや設計に応じて最適な液晶材料を用いればよい。

#### 【0736】

液晶の配向を制御するため、配向膜を設けることができる。なお、横電界方式を採用する場合、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために数重量%以上のカイラル剤を混合させた液晶組成物を液晶に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が短く、光学的等方性である。また、ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、配向処理が不要であり、視野角依存性が小さい。また配向膜を設けなくてもよいのでラビング処理も不要となるため、ラビング処理によって引き起こされる静電破壊を防止することができ、作製工程中の液晶表示装置の不良や破損を軽減することができる。

#### 【0737】

反射型の液晶素子を用いる場合には、表示面側に偏光板540を設ける。またこれとは別に、表示面側に光拡散板を配置すると、視認性を向上させられるため好ましい。

#### 【0738】

偏光板540よりも外側に、フロントライトを設けてもよい。フロントライトとしては、エッジライト型のフロントライトを用いることが好ましい。LED (Light Emitting Diode) を備えるフロントライトを用いると、消費電力を低減できるため好ましい。

#### 【0739】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

#### 【符号の説明】

#### 【0740】

- 100 トランジスタ
- 100A トランジスタ
- 100B トランジスタ
- 100C トランジスタ
- 100D トランジスタ
- 100E トランジスタ
- 100F トランジスタ

10

20

30

40

50

1 0 0 G	トランジスタ	
1 0 0 H	トランジスタ	
1 0 2	基板	
1 0 4	絶縁膜	
1 0 6	導電膜	
1 0 7	酸化物半導体膜	
1 0 8	酸化物半導体膜	
1 0 8 _ 1	酸化物半導体膜	10
1 0 8 _ 2	酸化物半導体膜	
1 0 8 _ 3	酸化物半導体膜	
1 0 8 a	低抵抗領域	
1 0 8 d	ドレイン領域	
1 0 8 d _ 0	ドレイン領域	
1 0 8 i	チャネル領域	
1 0 8 s	ソース領域	
1 0 8 s _ 0	ソース領域	
1 1 0	絶縁膜	
1 1 0 _ 0	絶縁膜	
1 1 0 _ 1	絶縁膜	
1 1 2	導電膜	20
1 1 2 _ 0	導電膜	
1 1 2 _ 1	導電膜	
1 1 2 a	金属酸化膜	
1 1 2 a _ 0	金属酸化膜	
1 1 2 a _ 1	金属酸化膜	
1 1 2 b	金属膜	
1 1 2 b _ 0	金属膜	
1 1 2 b _ 1	金属膜	
1 1 3	保護膜	
1 1 3 _ 0	保護膜	30
1 1 6	絶縁膜	
1 1 8	絶縁膜	
1 2 0 a	導電膜	
1 2 0 b	導電膜	
1 2 2	絶縁膜	
1 4 0	保護膜	
1 4 1 a	開口部	
1 4 1 b	開口部	
1 4 3	開口部	
1 4 7	プラズマ	40
2 0 0	トランジスタ	
2 0 0 A	トランジスタ	
2 0 2	基板	
2 0 4	絶縁膜	
2 0 6	導電膜	
2 0 8	半導体膜	
2 0 8 _ 0	半導体膜	
2 0 8 _ 1	半導体膜	
2 0 8 _ 2	半導体膜	
2 0 8 a	低抵抗領域	50

2 0 8 a p	低抵抗領域	
2 0 8 d	ドレイン領域	
2 0 8 d _ 0	不純物領域	
2 0 8 d p	ドレイン領域	
2 0 8 i	チャネル領域	
2 0 8 p	半導体膜	
2 0 8 s	ソース領域	
2 0 8 s _ 0	不純物領域	
2 0 8 s p	ソース領域	
2 1 0	絶縁膜	10
2 1 0 _ 0	絶縁膜	
2 1 0 _ 1	絶縁膜	
2 1 2	導電膜	
2 1 2 _ 0	導電膜	
2 1 2 _ 1	導電膜	
2 1 3	保護膜	
2 1 3 _ 0	保護膜	
2 1 6	絶縁膜	
2 1 8	絶縁膜	
2 2 0 a	導電膜	20
2 2 0 b	導電膜	
2 4 0	保護膜	
2 4 1 a	開口部	
2 4 1 b	開口部	
2 4 1 c	開口部	
2 4 1 d	開口部	
2 4 3	開口部	
2 4 6	レーザー光	
2 4 7	不純物元素	
2 4 8	不純物元素	30
2 4 9	不純物元素	
2 5 0	トランジスタ	
2 5 2	保護膜	
3 0 0 A	トランジスタ	
3 0 0 B	トランジスタ	
3 0 0 C	トランジスタ	
3 0 0 D	トランジスタ	
3 0 0 E	トランジスタ	
3 0 0 F	トランジスタ	
3 0 2	基板	40
3 0 4	導電膜	
3 0 6	絶縁膜	
3 0 7	絶縁膜	
3 0 8	酸化物半導体膜	
3 0 8 _ 1	酸化物半導体膜	
3 0 8 _ 2	酸化物半導体膜	
3 0 8 _ 3	酸化物半導体膜	
3 1 2 a	導電膜	
3 1 2 b	導電膜	
3 1 4	絶縁膜	50

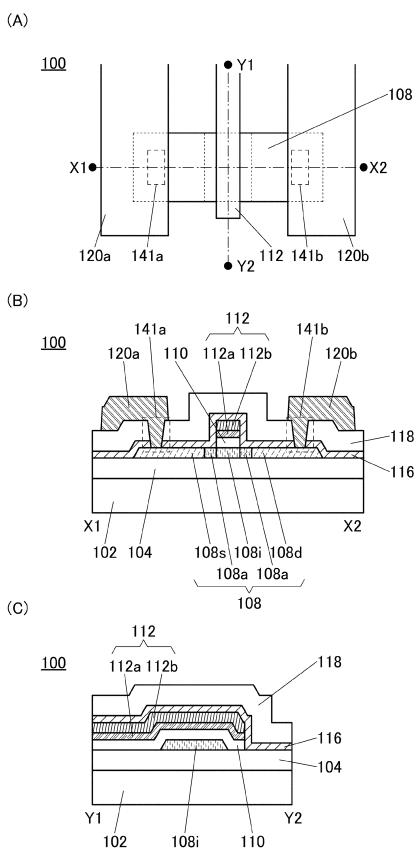
3 1 6	絶縁膜	
3 1 8	絶縁膜	
3 2 0 a	導電膜	
3 2 0 b	導電膜	
3 4 1 a	開口部	
3 4 1 b	開口部	
3 4 2 a	開口部	
3 4 2 b	開口部	
3 4 2 c	開口部	
5 0 1	画素回路	10
5 0 1 t	トランジスタ	
5 0 5 t	トランジスタ	
5 0 6 t	トランジスタ	
5 0 2	画素部	
5 0 4	駆動回路部	
5 0 4 a	ゲートドライバ	
5 0 4 b	ソースドライバ	
5 0 6	保護回路	
5 0 7	端子部	
5 1 0	表示装置	20
5 1 1	基板	
5 1 2	基板	
5 1 4	表示部	
5 1 6	回路	
5 1 8	配線	
5 2 0	I C	
5 2 2	F P C	
5 2 4	電極	
5 2 6	開口部	
5 3 0	絶縁層	30
5 3 1	絶縁層	
5 3 2	着色層	
5 3 4	接着層	
5 3 5	接着層	
5 3 6	遮光層	
5 3 7	電極	
5 3 8 a	配向膜	
5 3 8 b	配向膜	
5 3 9	絶縁層	
5 4 0	偏光板	40
5 4 1	液晶層	
5 4 2	電極	
5 4 3	接続部	
5 4 4	導電層	
5 4 5	導電層	
5 4 6	接続部	
5 4 7	接続体	
5 4 8	電極	
5 5 0	トランジスタ	
5 5 2	トランジスタ	50

5 5 4	トランジスタ	
5 6 0	容量素子	
5 6 2	容量素子	
5 7 0	液晶素子	
5 7 2	発光素子	
5 7 4	液晶素子	
5 7 6	E L 層	10
5 7 7	電極	
5 7 8	絶縁層	
5 7 9	導電層	
5 8 0	絶縁層	
5 8 1	絶縁層	
5 8 2	絶縁層	
5 8 3	絶縁層	
5 8 4	導電層	
5 8 5	導電層	
5 8 6	半導体層	
5 8 7	導電層	
5 8 8	発光素子	
5 8 9	接続部	20
5 9 0	接続層	
6 6 4	電極	
6 6 5	電極	
6 6 7	電極	
7 0 0	表示装置	
7 0 1	基板	
7 0 2	画素部	
7 0 4	ソースドライバ回路部	
7 0 5	基板	
7 0 6	ゲートドライバ回路部	30
7 0 8	F P C 端子部	
7 1 0	信号線	
7 1 1	配線部	
7 1 2	シール材	
7 1 6	F P C	
7 3 0	絶縁膜	
7 3 2	封止膜	
7 3 4	絶縁膜	
7 3 6	着色膜	
7 3 8	遮光膜	40
7 5 0	トランジスタ	
7 5 2	トランジスタ	
7 6 0	接続電極	
7 7 0	平坦化絶縁膜	
7 7 2	導電膜	
7 7 3	絶縁膜	
7 7 4	導電膜	
7 7 5	液晶素子	
7 7 6	液晶層	
7 7 8	構造体	50

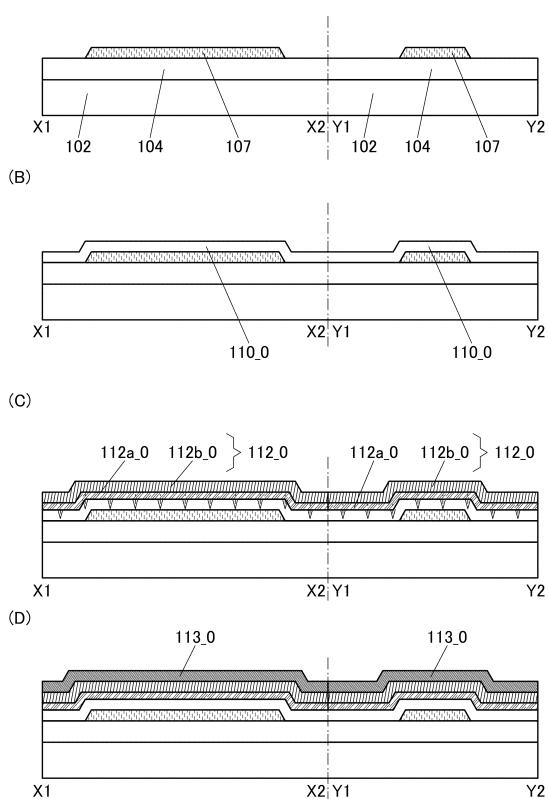
7 8 0	異方性導電膜	
7 8 2	発光素子	
7 8 4	導電膜	
7 8 6	E L 層	
7 8 8	導電膜	
7 9 0	容量素子	
7 9 1	タッチパネル	
7 9 2	絶縁膜	
7 9 3	電極	10
7 9 4	電極	
7 9 5	絶縁膜	
7 9 6	電極	
7 9 7	絶縁膜	
8 0 0	インバータ	
8 1 0	O S トランジスタ	
8 2 0	O S トランジスタ	
8 3 1	信号波形	
8 3 2	信号波形	
8 4 0	破線	
8 4 1	実線	20
8 5 0	O S トランジスタ	
8 6 0	C M O S インバータ	
9 0 0	半導体装置	
9 0 1	電源回路	
9 0 2	回路	
9 0 3	電圧生成回路	
9 0 3 A	電圧生成回路	
9 0 3 B	電圧生成回路	
9 0 3 C	電圧生成回路	
9 0 4	回路	30
9 0 5	電圧生成回路	
9 0 6	回路	
9 1 1	トランジスタ	
9 1 2	トランジスタ	
9 1 2 A	トランジスタ	
9 1 2 B	トランジスタ	
9 2 1	制御回路	
9 2 2	トランジスタ	
7 0 0 0	表示モジュール	
7 0 0 1	上部カバー	40
7 0 0 2	下部カバー	
7 0 0 3	F P C	
7 0 0 4	タッチパネル	
7 0 0 5	F P C	
7 0 0 6	表示パネル	
7 0 0 7	バックライト	
7 0 0 8	光源	
7 0 0 9	フレーム	
7 0 1 0	プリント基板	
7 0 1 1	バッテリ	50

8 0 0 0	カメラ	
8 0 0 1	筐体	
8 0 0 2	表示部	
8 0 0 3	操作ボタン	
8 0 0 4	シャッターボタン	
8 0 0 6	レンズ	
8 1 0 0	ファインダー	
8 1 0 1	筐体	
8 1 0 2	表示部	
8 1 0 3	ボタン	10
8 2 0 0	ヘッドマウントディスプレイ	
8 2 0 1	装着部	
8 2 0 2	レンズ	
8 2 0 3	本体	
8 2 0 4	表示部	
8 2 0 5	ケーブル	
8 2 0 6	バッテリ	
8 3 0 0	ヘッドマウントディスプレイ	
8 3 0 1	筐体	
8 3 0 2	表示部	20
8 3 0 3	操作ボタン	
8 3 0 4	固定具	
8 3 0 5	レンズ	
8 3 0 6	ダイヤル	
9 0 0 0	筐体	
9 0 0 1	表示部	
9 0 0 3	スピーカ	
9 0 0 5	操作キー	
9 0 0 6	接続端子	
9 0 0 7	センサ	30
9 0 0 8	マイクロフォン	
9 0 5 0	操作ボタン	
9 0 5 1	情報	
9 0 5 2	情報	
9 0 5 3	情報	
9 0 5 4	情報	
9 0 5 5	ヒンジ	
9 1 0 0	テレビジョン装置	
9 1 0 1	携帯情報端末	
9 1 0 2	携帯情報端末	40
9 2 0 0	携帯情報端末	
9 2 0 1	携帯情報端末	
9 5 0 0	表示装置	
9 5 0 1	表示パネル	
9 5 0 2	表示領域	
9 5 0 3	領域	
9 5 1 1	軸部	
9 5 1 2	軸受部	

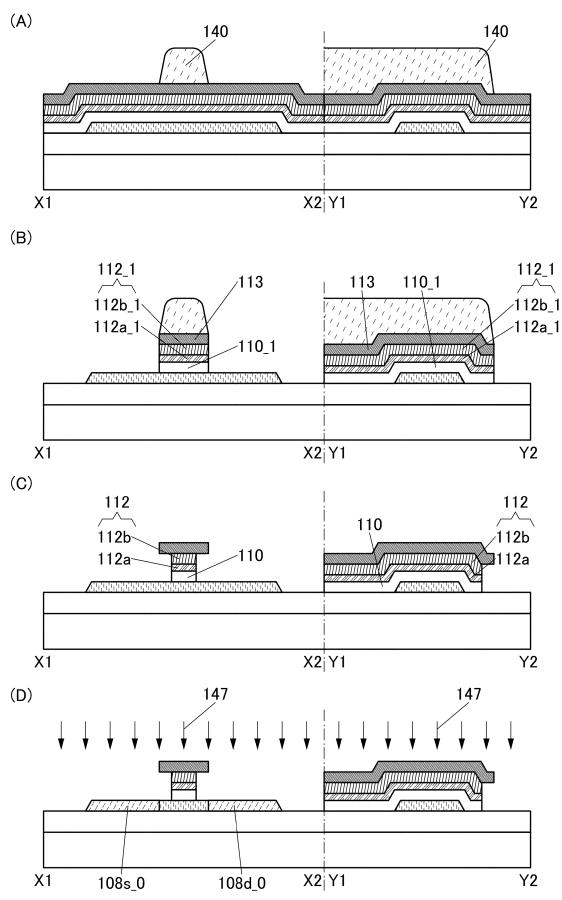
【図1】



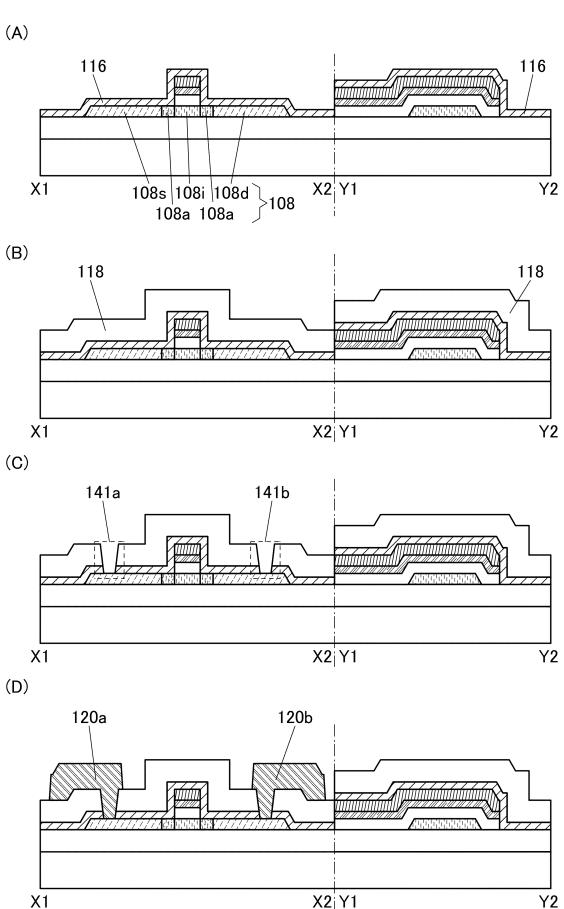
【図2】



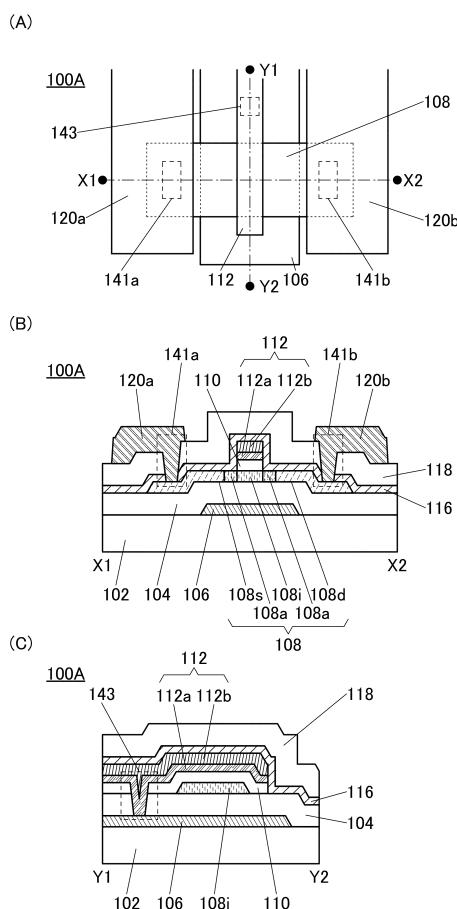
【図3】



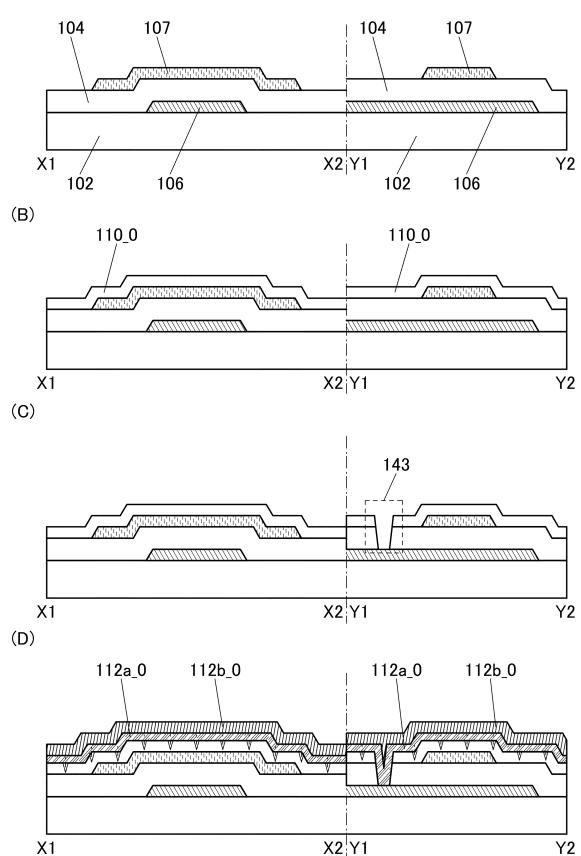
【図4】



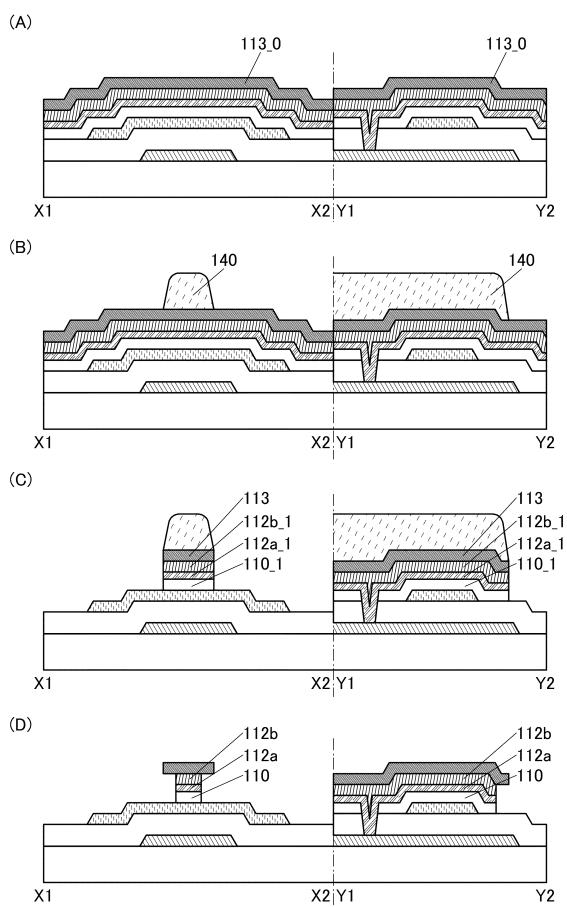
【図5】



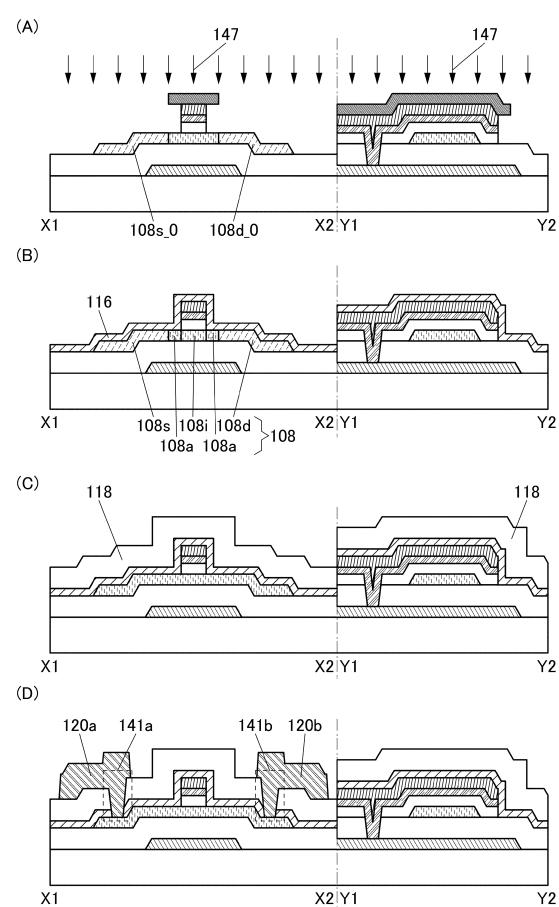
【図6】



【図7】

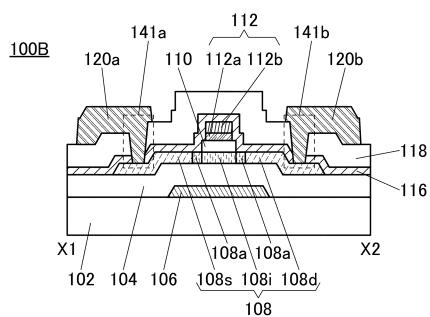


【図8】

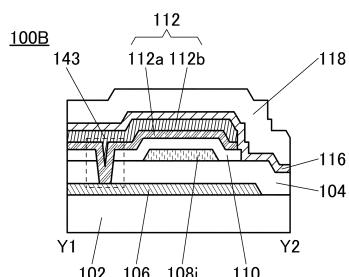


【図9】

(A)

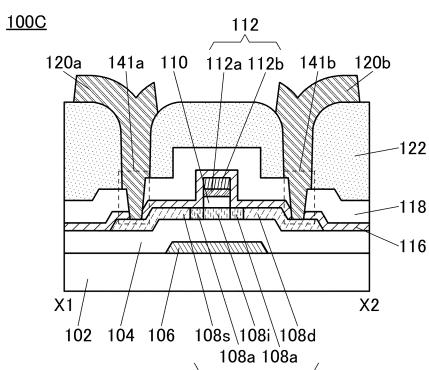


(B)

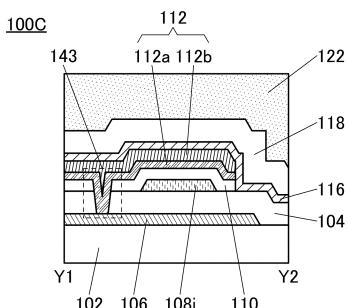


【図10】

(A)

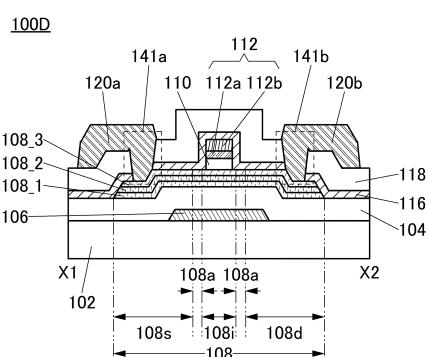


(B)

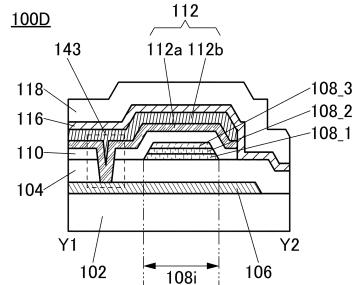


【図11】

(A)

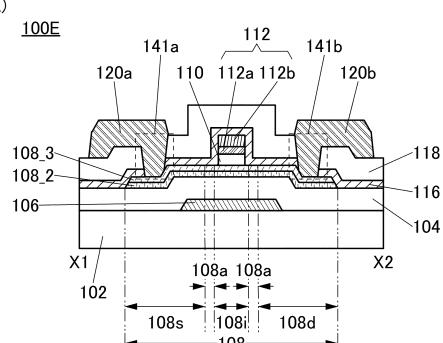


(B)

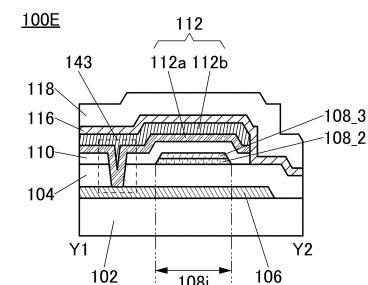


【図12】

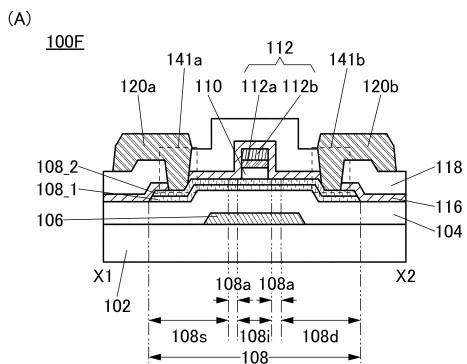
(A)



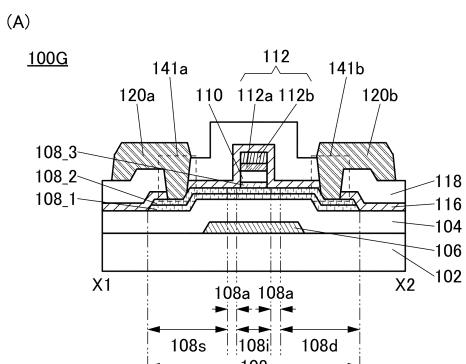
(B)



【図13】

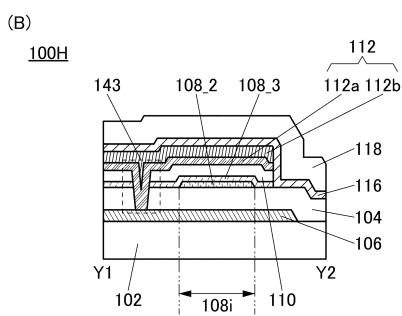
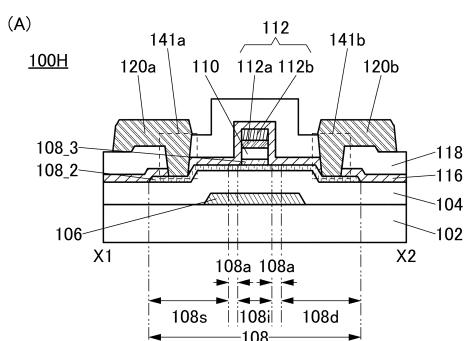


【図14】

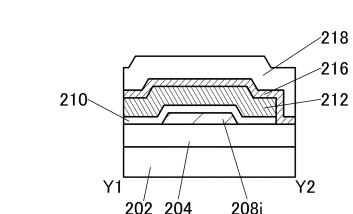
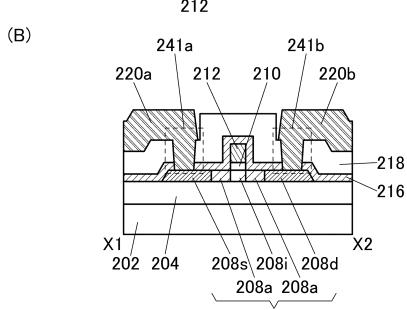
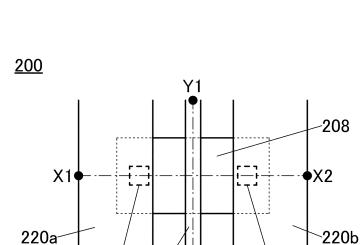


This cross-sectional diagram illustrates the structure of the semiconductor device at point B. It shows a stack of layers: 104, 110, 116, 118, 143, 112, 112a, 112b, 108i, 106, 102, Y1, and Y2. The layer 112 is depicted as a stepped structure with two parts, 112a and 112b, which overlap the top surface of layer 116. Layer 108i is positioned between layers 106 and 102. The labels Y1 and Y2 indicate specific measurement points.

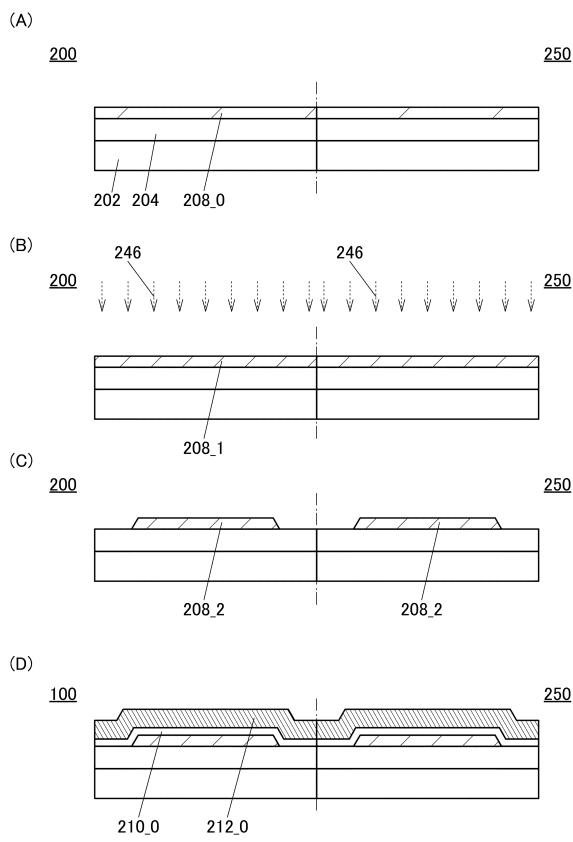
【図15】



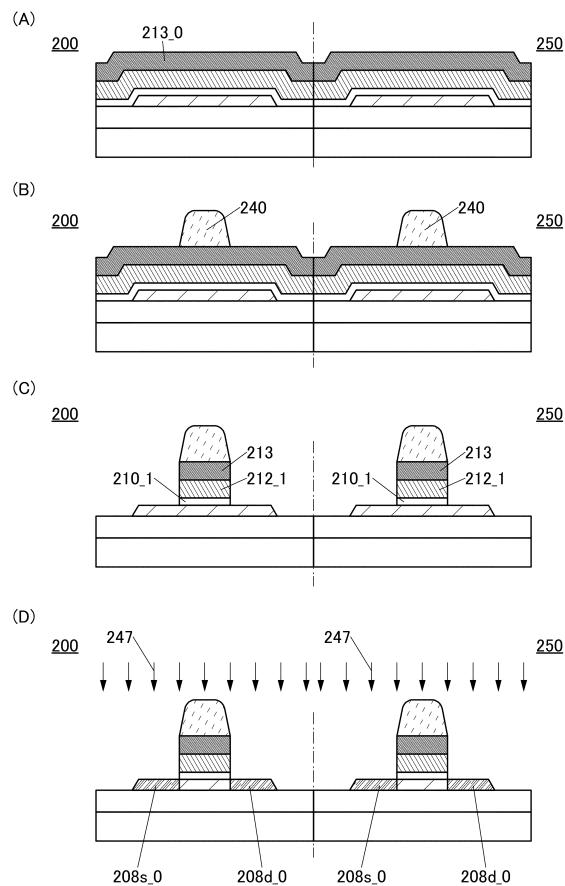
【図16】



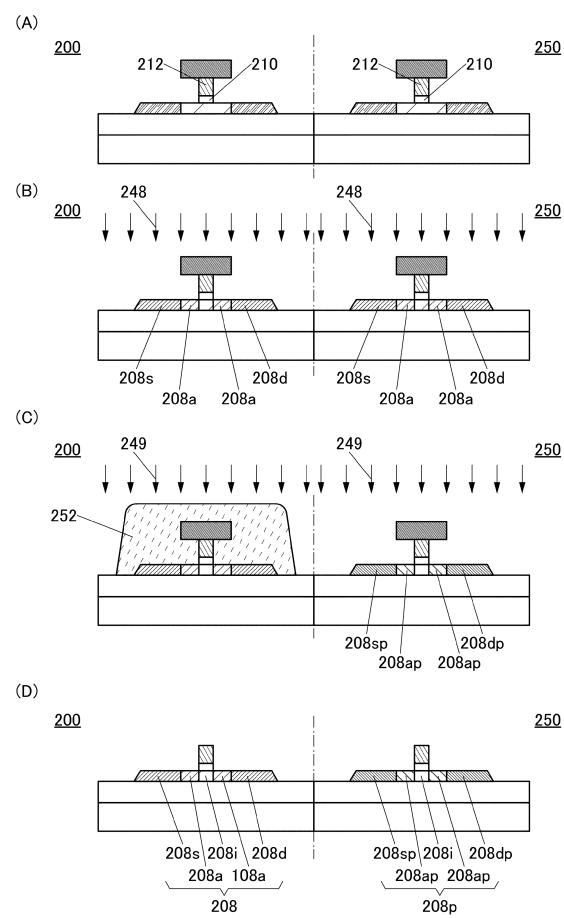
【図17】



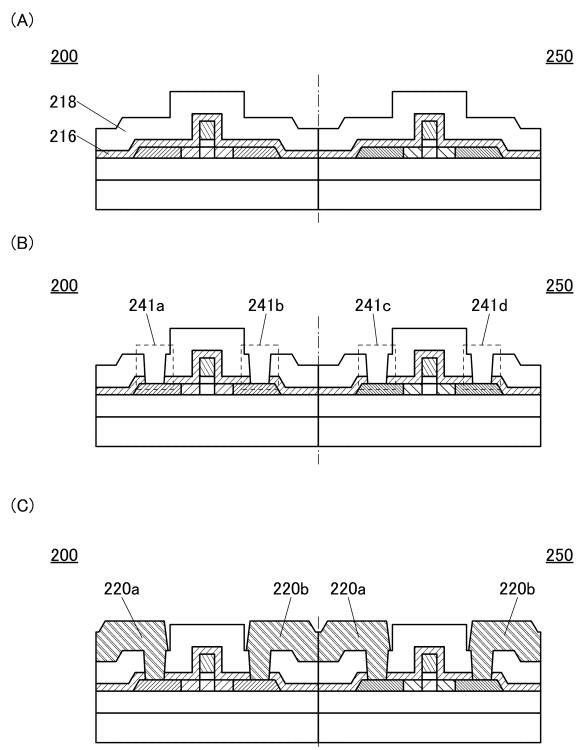
【図18】



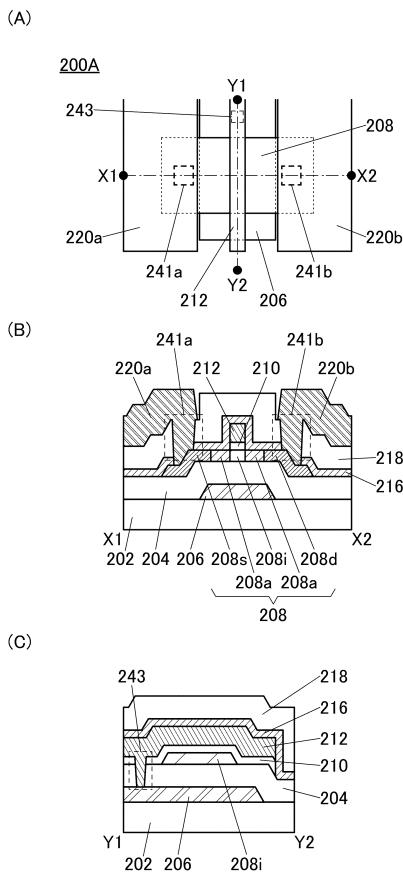
【図19】



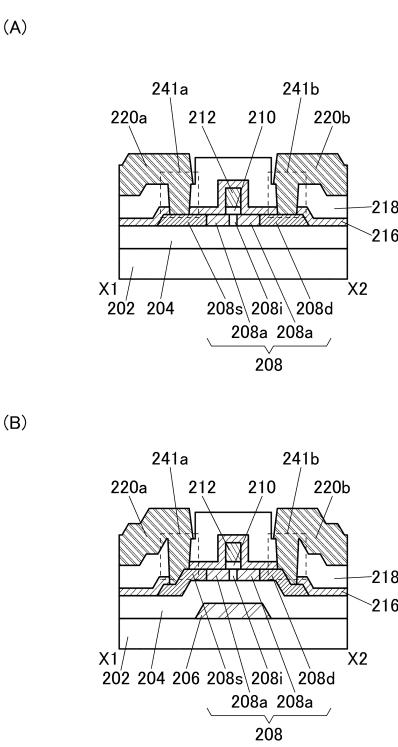
【図20】



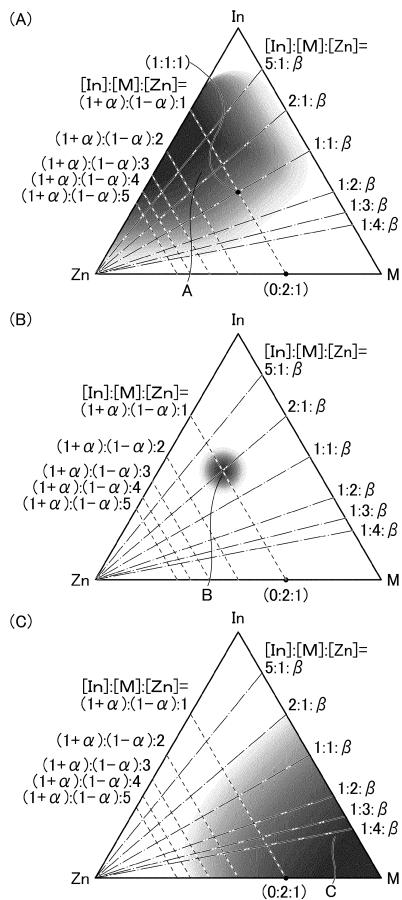
【図21】



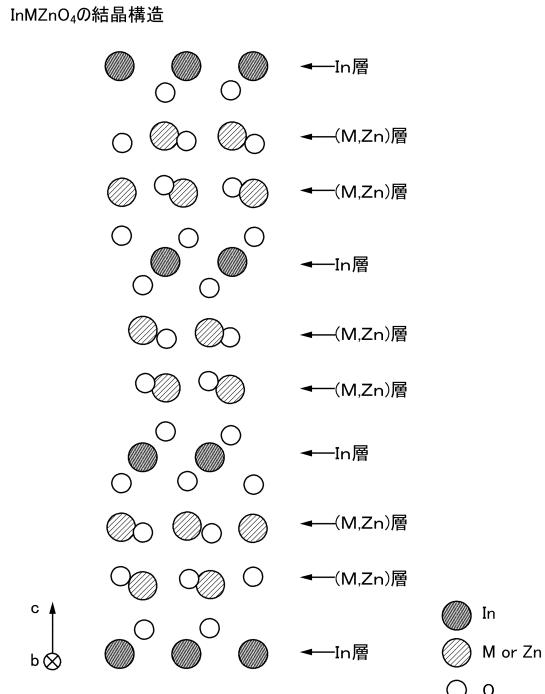
【図22】



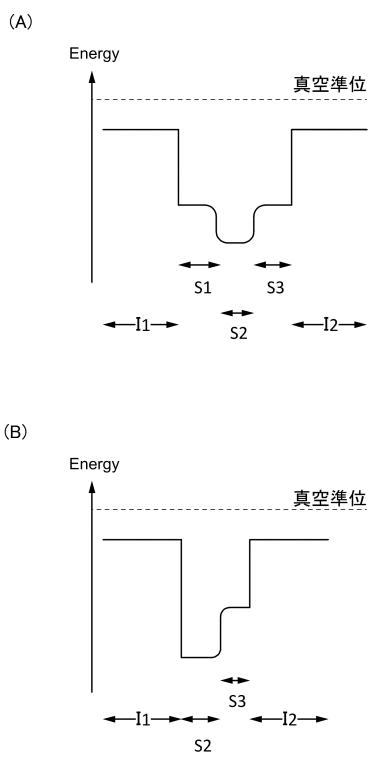
【図23】



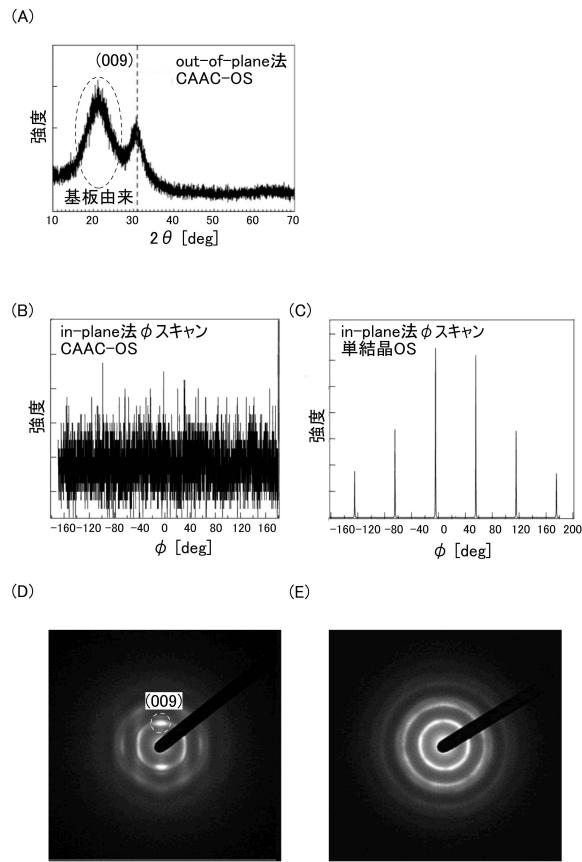
【図24】



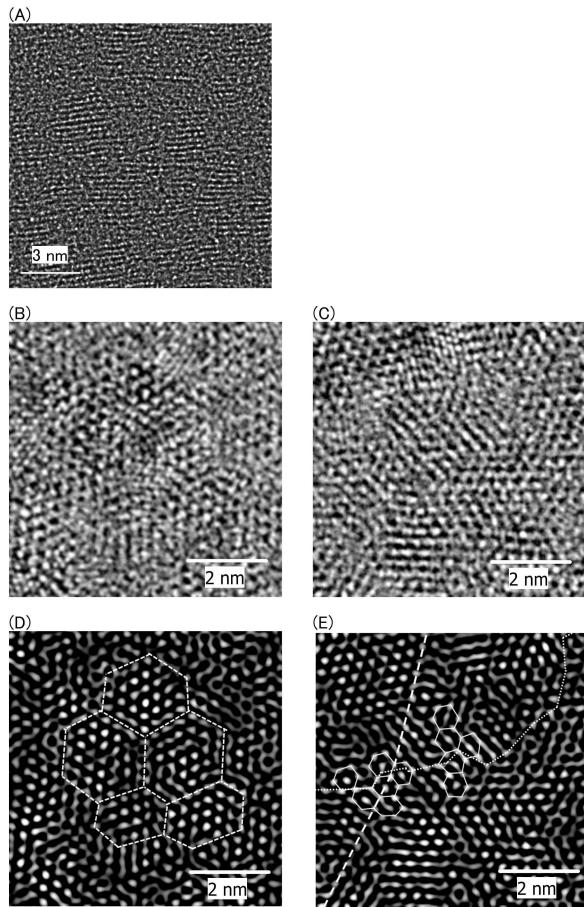
【図25】



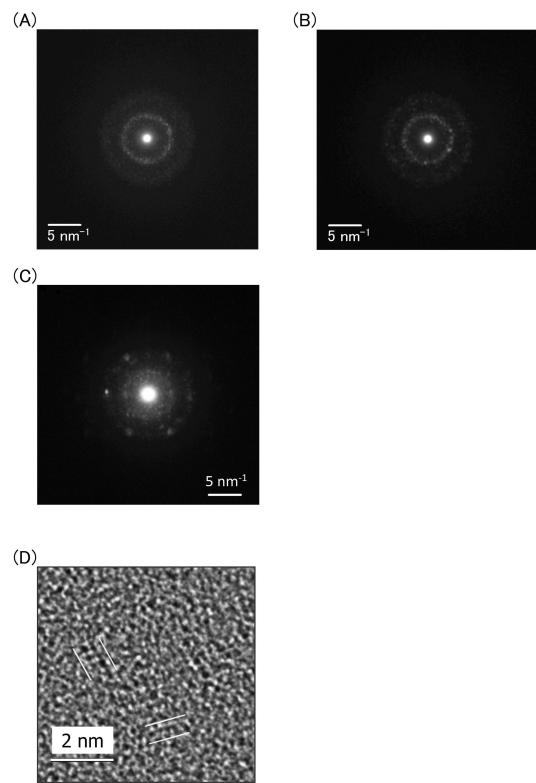
【図26】



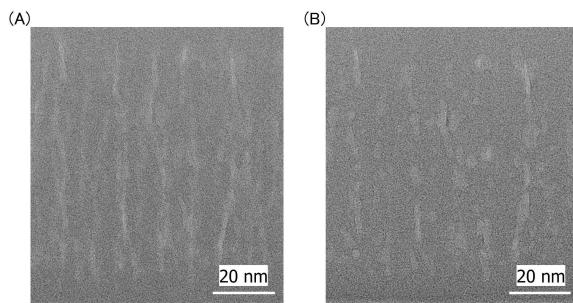
【図27】



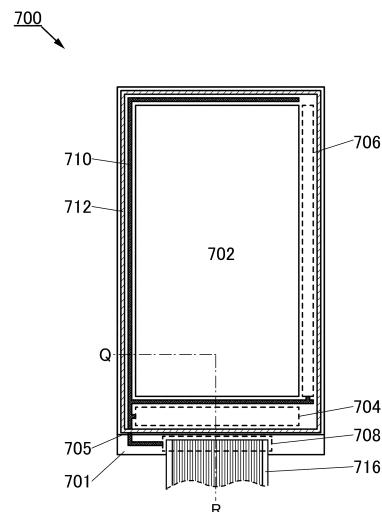
【図28】



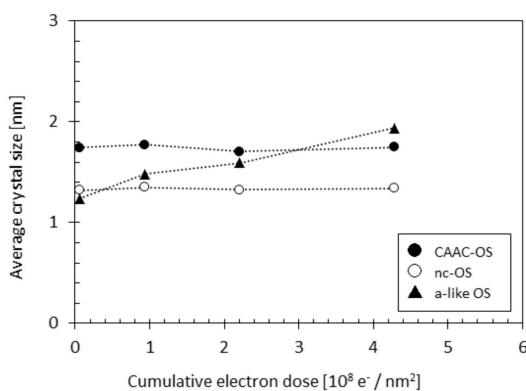
【図29】



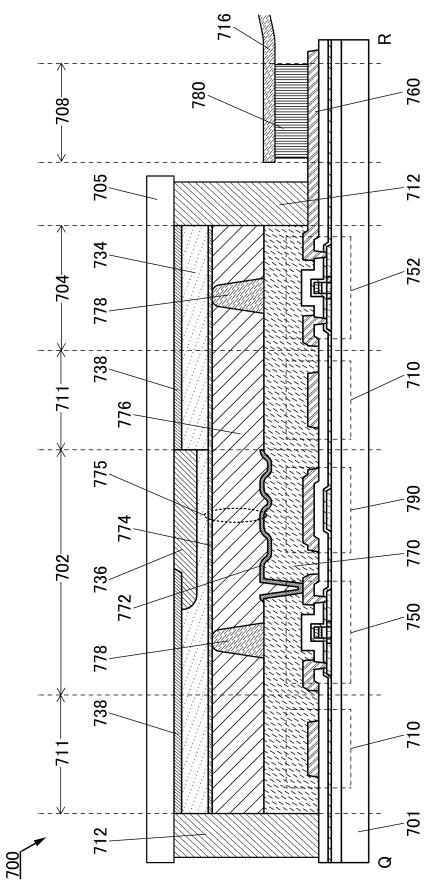
【図31】



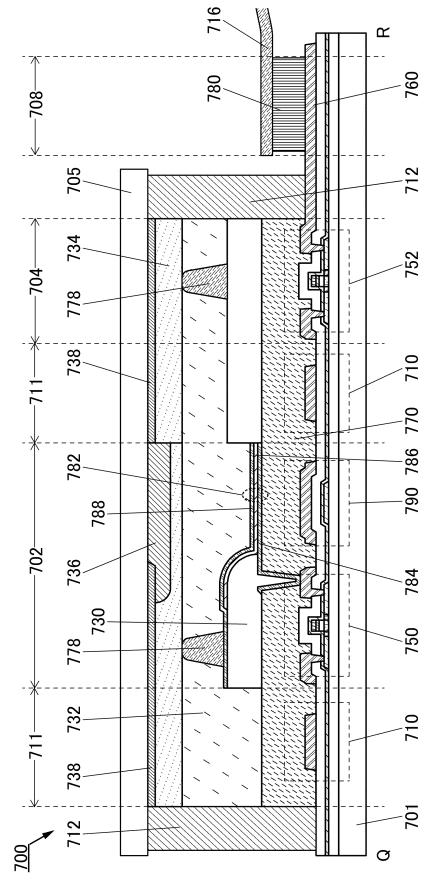
【図30】



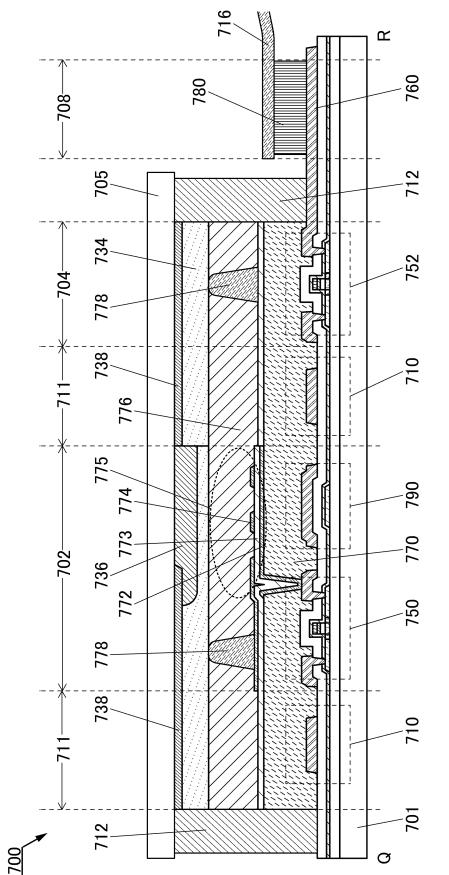
【図32】



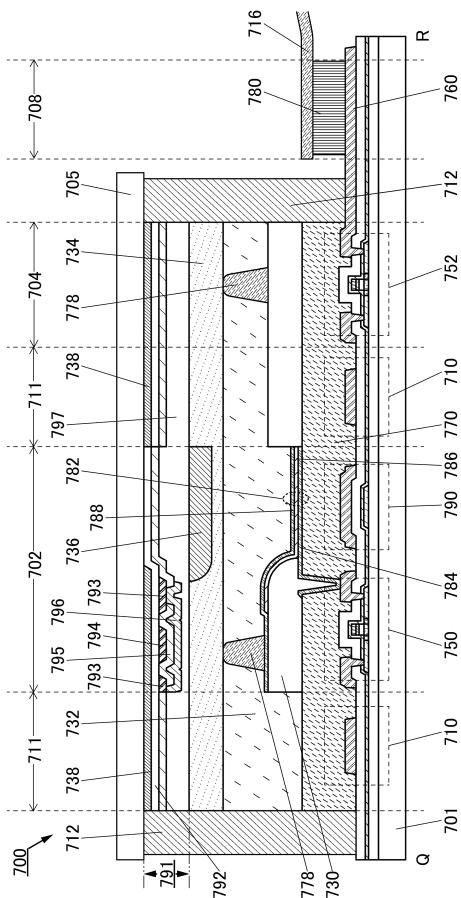
【図33】



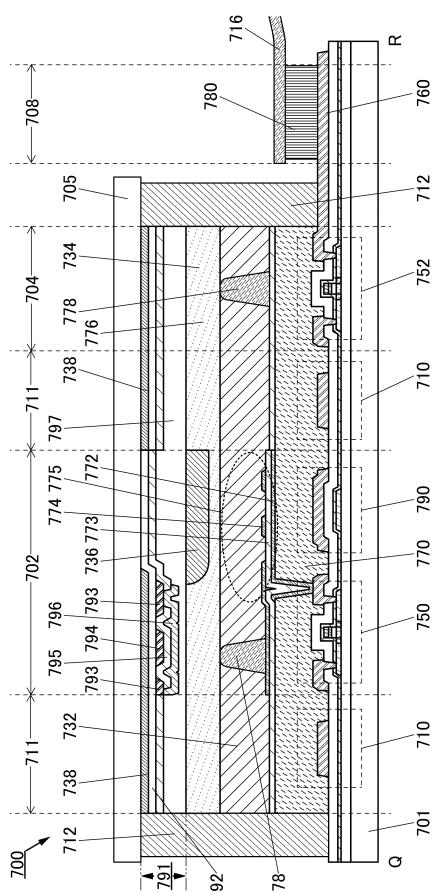
【図34】



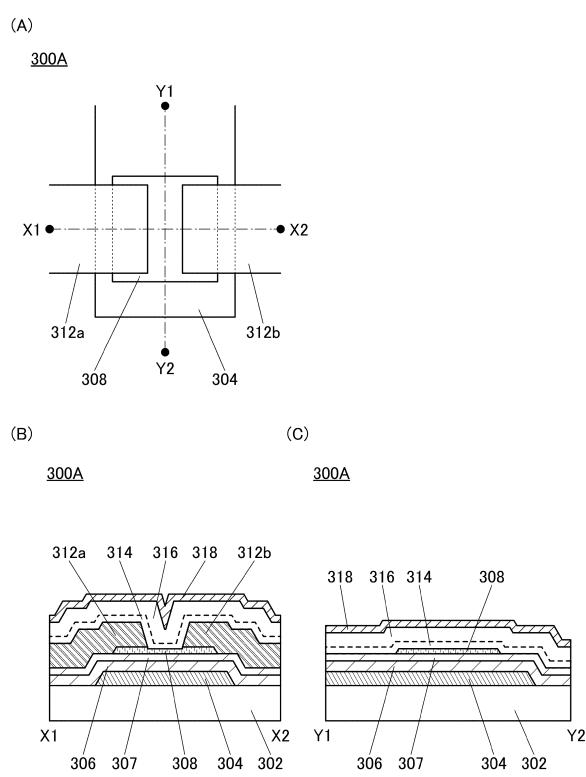
【図35】



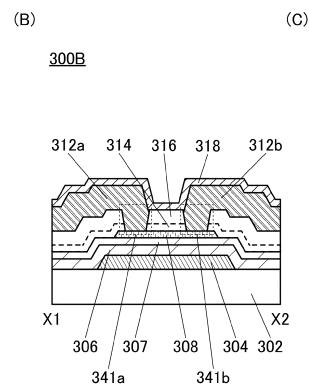
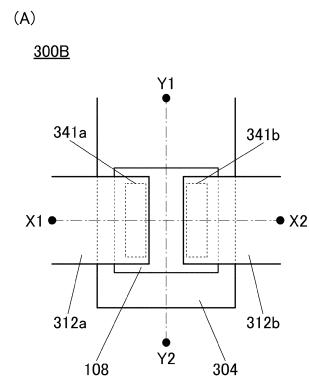
【図36】



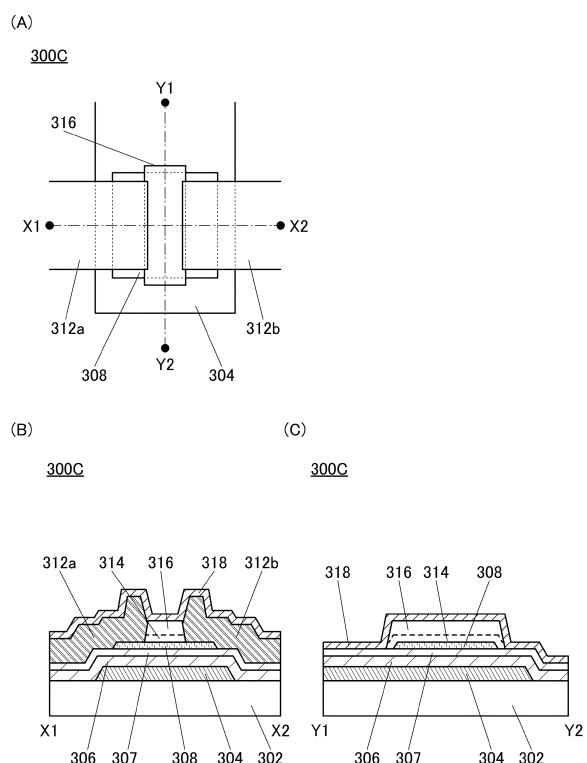
【図37】



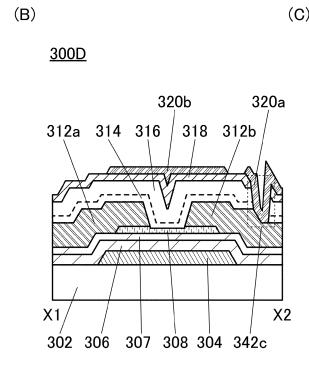
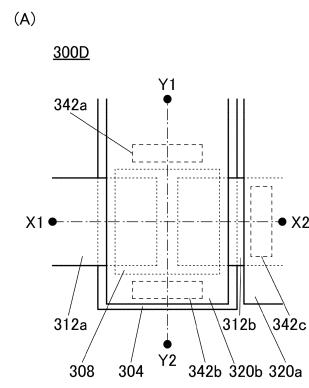
【図38】



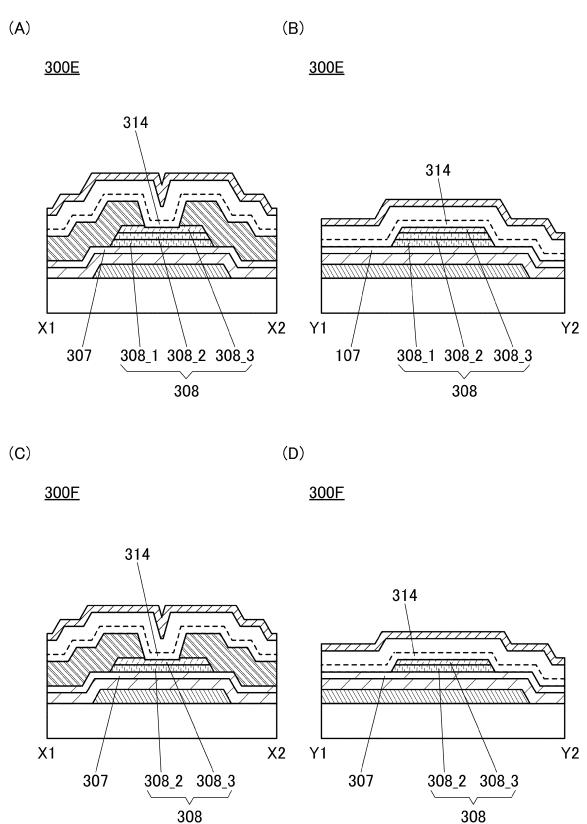
【図39】



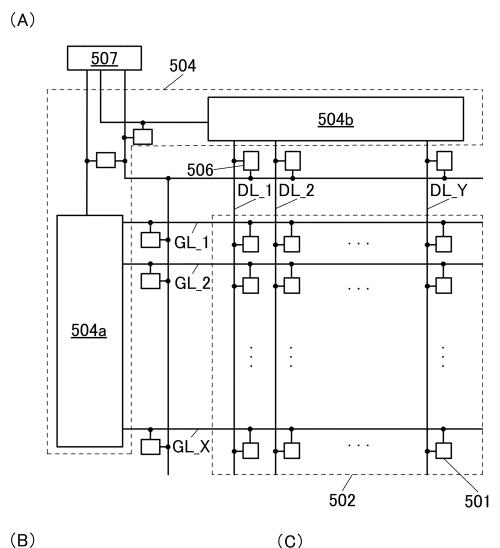
【図40】



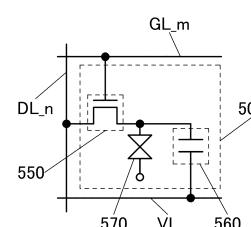
【図41】



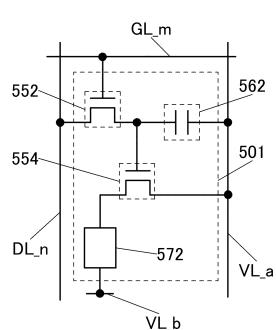
【図4-2】



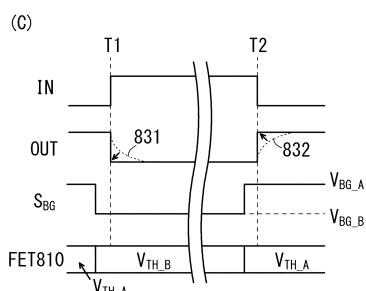
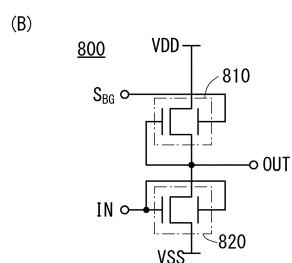
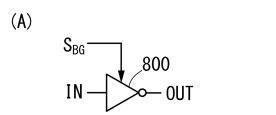
(B)



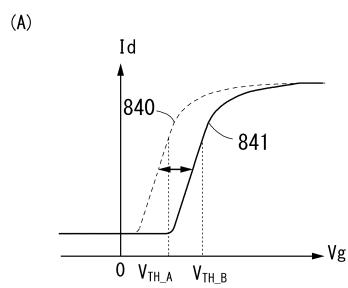
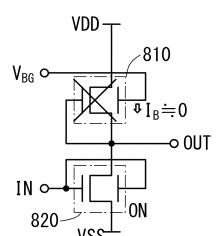
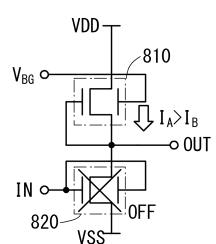
(C)



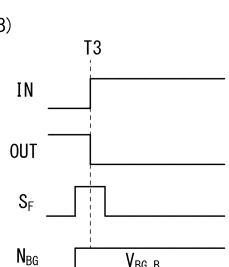
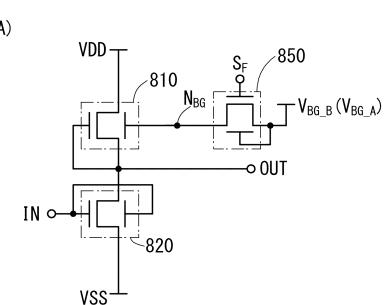
【図4-3】



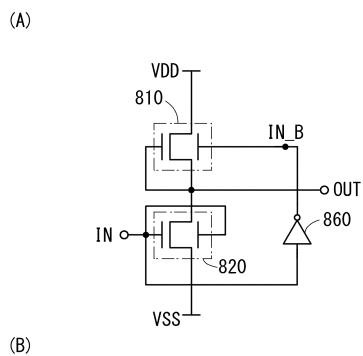
【図4-4】

(B)  $V_{BG_B}$ (C)  $V_{BG_A}$ 

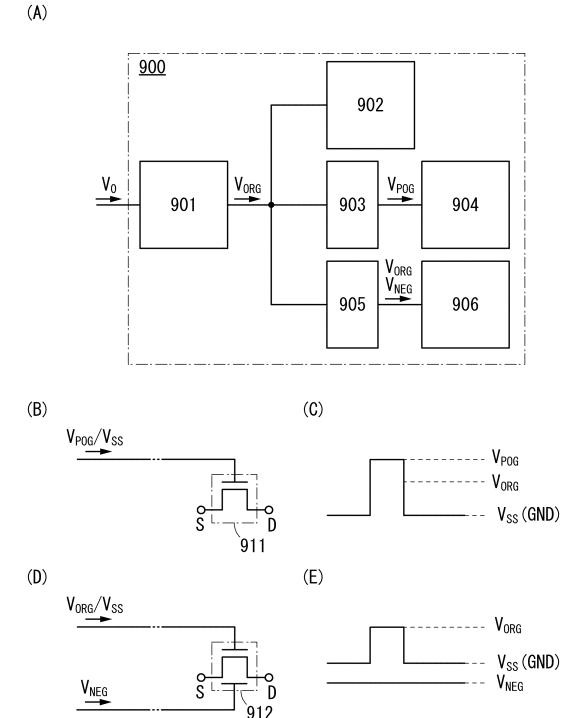
【図4-5】



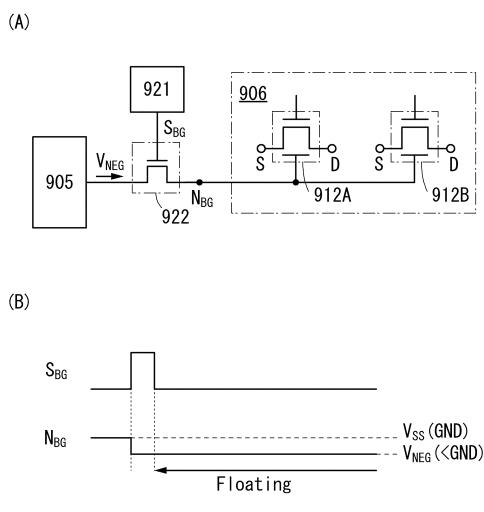
【図46】



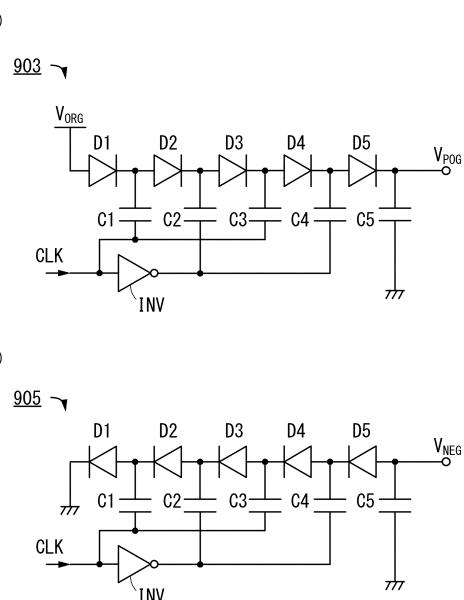
【図47】



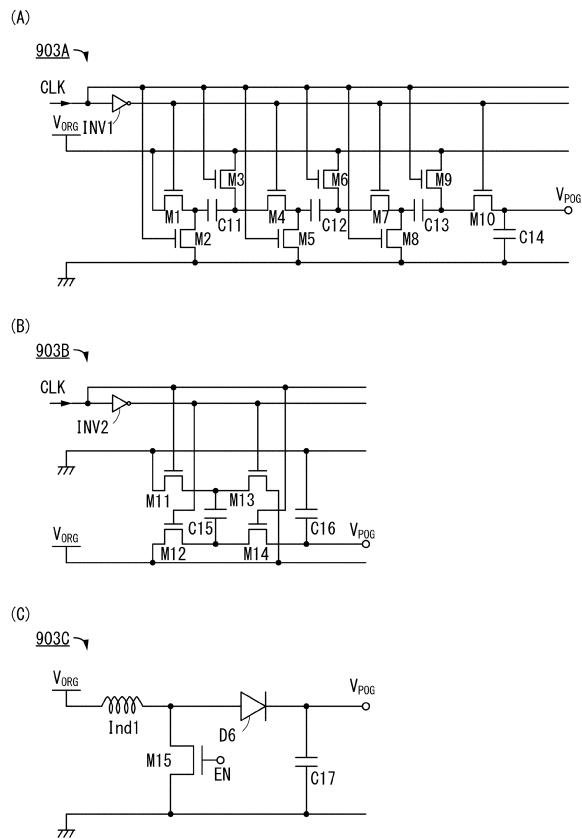
【図48】



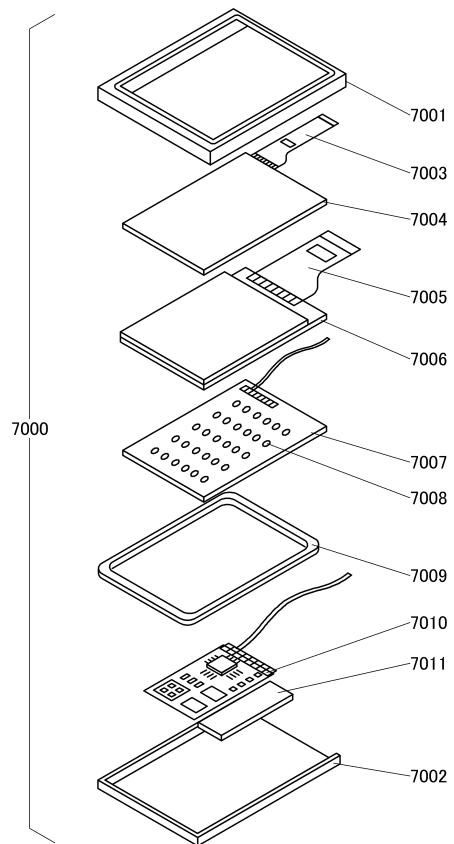
【図49】



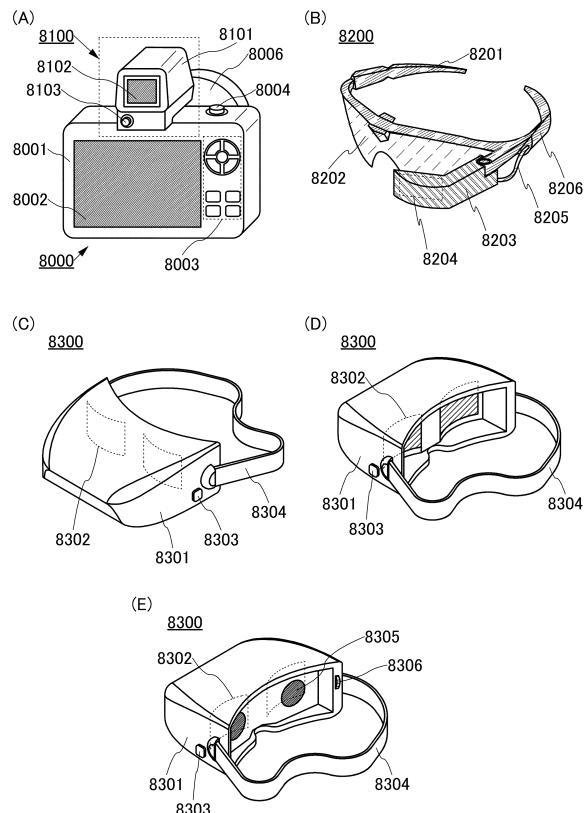
【図50】



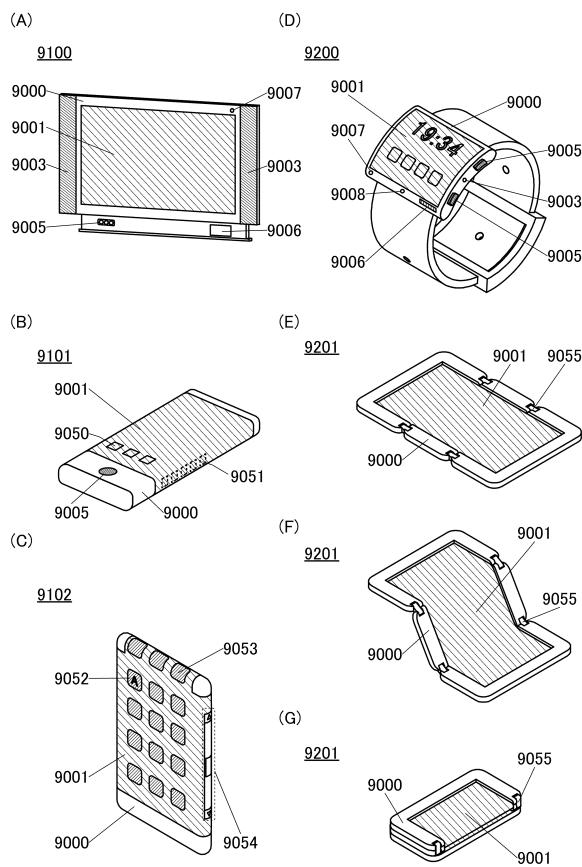
【図51】



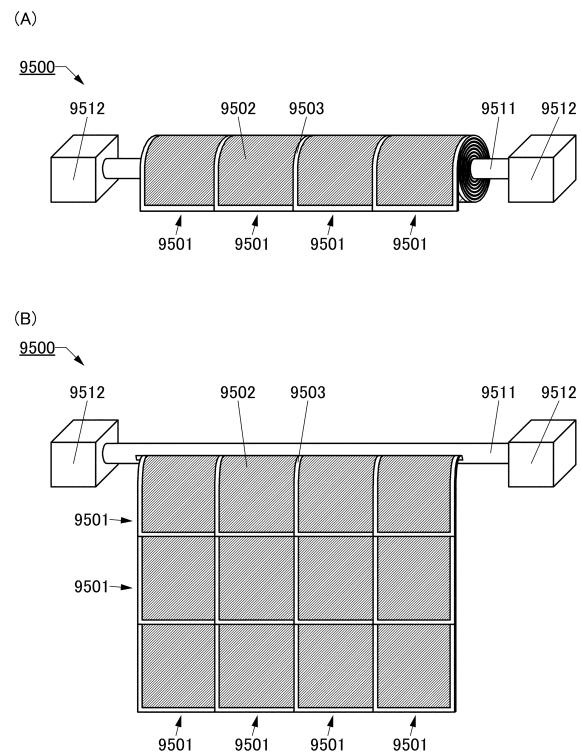
【図52】



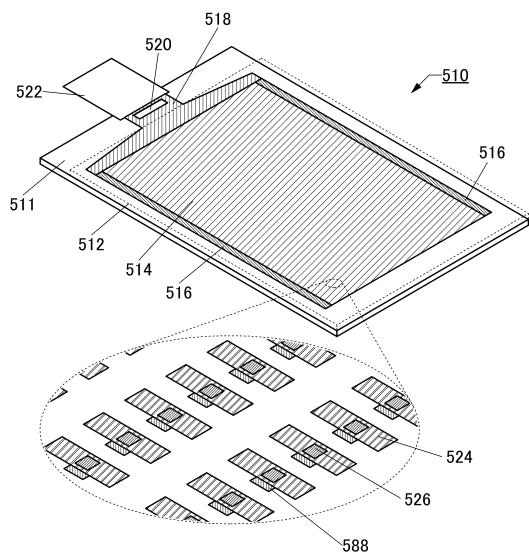
【図53】



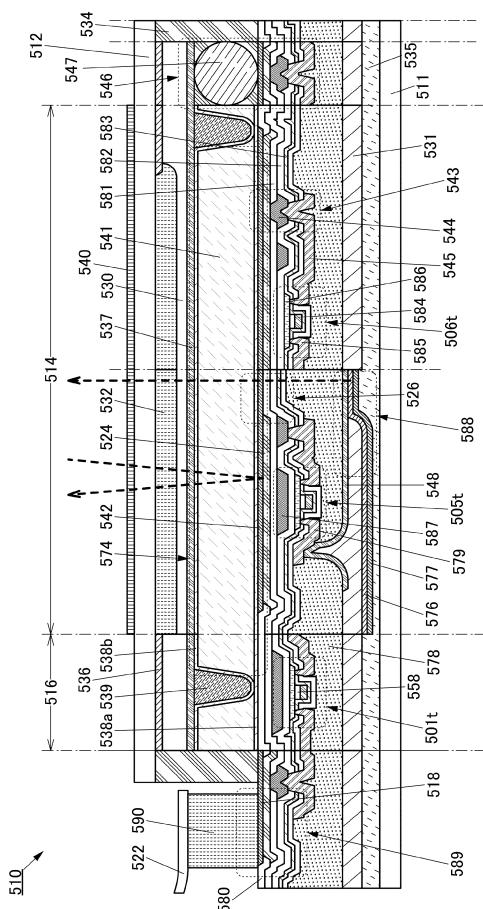
【図54】



【図55】



【図 5 6】



## フロントページの続き

(51)Int.Cl.		F I			
H 0 1 L	27/092	(2006.01)	H 0 1 L	29/78	6 1 7 L
H 0 1 L	21/28	(2006.01)	H 0 1 L	29/78	6 1 7 M
G 0 2 F	1/1368	(2006.01)	H 0 1 L	29/78	6 1 6 T
G 0 2 F	1/1333	(2006.01)	H 0 1 L	27/088	3 3 1 E
H 0 1 L	51/50	(2006.01)	H 0 1 L	21/28	E
H 0 5 B	33/14	(2006.01)	G 0 2 F	1/1368	
H 0 5 B	33/02	(2006.01)	G 0 2 F	1/1333	
G 0 9 F	9/30	(2006.01)	H 0 5 B	33/14	A
G 0 9 F	9/00	(2006.01)	H 0 5 B	33/14	Z
			H 0 5 B	33/02	
			G 0 9 F	9/30	3 3 8
			G 0 9 F	9/00	3 3 8
			G 0 9 F	9/00	3 6 6 A
			G 0 9 F	9/00	3 4 7 Z
			G 0 9 F	9/30	3 3 6

特許法第30条第2項適用 [刊行物名] SOCIETY FOR INFORMATION DISPLAY 2016 INTERNATIONAL SYMPOSIUM DIGEST OF TECHNICAL PAPERS Volume 47 57 - 60、735 - 738、1002 - 1004 発行年月日 平成28年5月22日 [集会名] DISPLAY WEEK 2016 INTERNATIONAL SYMPOSIUM 開催日 平成28年5月22日 - 27日

(56)参考文献	特開2000-228527 (JP, A)
	特開平05-182983 (JP, A)
	特開平07-321329 (JP, A)
	特開平07-226518 (JP, A)
	特開平06-188263 (JP, A)
	特開2015-179822 (JP, A)
	特開2000-031496 (JP, A)
	特開2002-208599 (JP, A)
	特表平08-511380 (JP, A)
	米国特許出願公開第2015/0221678 (US, A1)
	米国特許出願公開第2001/0008781 (US, A1)
	米国特許出願公開第2002/0068392 (US, A1)
	米国特許出願公開第2007/0281401 (US, A1)
	米国特許第05618741 (US, A)
	中国特許出願公開第104821338 (CN, A)
	中国特許第1157772 (CN, C)
	韓国公開特許第10-2002-0043116 (KR, A)

## (58)調査した分野(Int.Cl., DB名)

H 0 1 L	2 9 / 7 8 6
H 0 1 L	2 1 / 3 3 6
G 0 2 F	1 / 1 3 3 3
G 0 2 F	1 / 1 3 6 8
G 0 9 F	9 / 0 0
G 0 9 F	9 / 3 0

H 01 L 21 / 28  
H 01 L 21 / 8234  
H 01 L 21 / 8238  
H 01 L 27 / 088  
H 01 L 27 / 092  
H 01 L 51 / 50  
H 05 B 33 / 02  
H 05 B 33 / 14