

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2022 年 3 月 3 日 (03.03.2022)



(10) 国际公布号
WO 2022/042016 A1

(51) 国际专利分类号:
G06F 1/12 (2006.01)

(21) 国际申请号: PCT/CN2021/103706

(22) 国际申请日: 2021 年 6 月 30 日 (30.06.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202010874183.5 2020年8月26日 (26.08.2020) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(72) 发明人: 甯树梁 (NING, Shu-liang); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

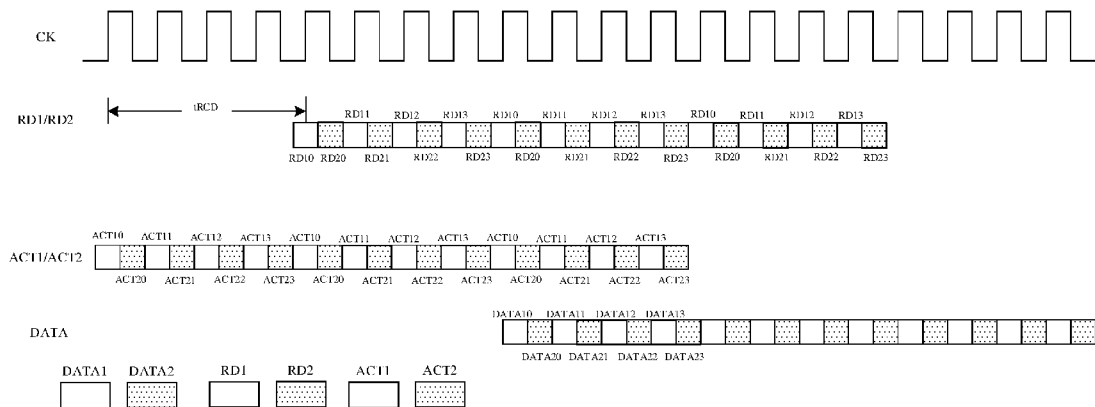
(74) 代理人: 上海晨皓知识产权代理事务所 (普通合伙) (SHANGHAI CHENHAO INTELLECTUAL PROPERTY LAW FIRM GENERAL PARTNERSHIP); 中国上海市黄浦区制造局路787号二幢202B室, Shanghai 200011 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,

(54) Title: MEMORY

(54) 发明名称: 存储器



AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

— 包括国际检索报告(条约第21条(3))。

交叉引用

[0001] 本申请引用于 2020 年 8 月 26 日递交的名称为“存储器”的第
5 2020108741835 号中国专利申请，其通过引用被全部并入本申请。

技术领域

[0002] 本申请实施例涉及半导体技术领域，特别涉及一种存储器。

背景技术

[0003] 动态随机存取存储器（Dynamic Random Access Memory，DRAM）是计
10 算机中常用的半导体存储器件，由许多重复的存储单元组成。每个存储单元通常包括电容器和晶体管，晶体管的栅极与字线相连、漏极与位线相连、源极与电容器相连，字线上的电压信号能够控制晶体管的打开或关闭，进而通过位线读取存储在电容器中的数据信息，或者通过位线将数据信息写入到电容器中进行存储。

15 [0004] 随着 DRAM 应用的领域越来越多，如 DRAM 越来越多地应用于各种领域，用户对于 DRAM 性能指标的要求越来越高，且会由于应用领域不同而对 DRAM 有着不同的要求。

发明内容

[0005] 本申请实施例解决的技术问题为提供一种存储器，解决存储器功耗大、
20 成本高的问题。

[0006] 为解决上述问题，本申请实施例提供一种存储器，一种存储器，包括：控制芯片；多个存储芯片，多个所述存储芯片共用信道与所述控制芯片电连接，

多个所述存储芯片被配置为，采用相同的时钟信号，且多个所述存储芯片分别在所述时钟信号的不同时钟状态下与所述控制芯片进行信息交互。

[0007] 另外，所述多个存储芯片包括：第一存储芯片和第二存储芯片；所述第一存储芯片被配置为，在所述时钟信号的上升沿与所述控制芯片进行信息交互；

5 所述第二存储芯片被配置为，在所述时钟信号的下降沿与所述控制芯片进行信息交互。

[0008] 另外，所述时钟信号包括命令时钟和数据时钟，所述多个所述存储芯片分别在所述时钟信号的不同时钟状态下与所述控制芯片进行信息交互，包括：

10 所述第一存储芯片在所述命令时钟和/或所述数据时钟的上升沿与所述控制芯片进行信息交互；所述第二存储芯片在所述命令时钟和/或所述数据时钟的下降沿与所述控制芯片进行信息交互。

[0009] 另外，所述时钟状态包括所述命令时钟的第一预设沿以及所述数据时钟的第二预设沿；所述第一预设沿为第一上升沿或者第一下降沿，所述第二预设沿为第二上升沿或者第二下降沿。

15 [0010] 另外，每一所述存储芯片包括至少一个通道，所述通道包括：多个存储块，每一所述存储块包括多个存储单元，多个所述存储块被配置为交替进行读写操作；命令端口，所述命令端口被配置为在所述命令时钟的对应时钟沿接收命令信号，所述命令信号用于控制所述存储块的读写操作；数据端口，所述数据端口被配置为，在所述数据时钟的对应时钟沿接收待写入到所述存储块的数据信号或者发送数据信号；其中，所述对应时钟沿包括所述上升沿或者所述下降沿，所述命令端口包括行地址端口和列地址端口，所述行地址端口用于接收目标存储单元所在位置的行地址信号，所述列地址端口用于接收目标存储单元

20

所在位置的列地址信号，所述目标存储单元为所述多个存储单元中选中的存储单元。

[0011] 另外，所述命令时钟和所述数据时钟为同一时钟信号。

[0012] 另外，所述多个所述存储芯片共用信道与所述控制芯片电连接，包括：

- 5 两个所述存储芯片共用信道与所述控制芯片电连接；每一所述存储芯片采用相同的所述时钟信号，且各所述存储芯片的所述命令端口采用不同的时钟沿接收或者发送信号，各所述存储芯片的所述数据端口采用不同的时钟沿接收或者发送信号。

[0013] 另外，所述命令信号包括激活命令以及与每一所述激活命令对应的读命令；
10 所述通道还被配置为，所述命令端口接收针对一所述存储块的所述激活命令后，所述命令端口接收与所述激活命令对应的所述读命令。

[0014] 另外，所述通道还被配置为，在所述命令端口接收所述读命令之后，所述数据端口发送所述数据信号。

[0015] 另外，所述命令信号包括激活命令以及与每一所述激活命令对应的多个
15 读命令；所述通道还被配置为，所述命令端口接收针对一所述存储块的所述激活命令后，所述命令端口在多个对应时钟沿接收一与所述激活命令对应的所述读命令，以使所述命令端口在连续多个对应时钟沿接收多个与所述激活命令对应的所述读命令。

[0016] 另外，所述通道还被配置为，所述数据端口在连续多个所述对应时钟沿
20 分别发送多个所述数据信号，所述数据信号的数量与所接受到的所述读命令的数量相同。

[0017] 另外，所述命令信号包括激活命令和与所述激活命令对应的读命令；所

述通道还被配置为,所述命令端口交替接收针对不同所述存储块的激活命令后,所述命令端口交替接收与所述激活命令对应的所述读命令。

[0018] 另外,所述通道还被配置为,在所述命令端口接收所述读命令之后,所述数据端口交替发送与不同所述存储块对应的所述数据信号。

- 5 [0019] 另外,所述命令信号包括激活命令以及与每一所述激活命令对应的多个读命令;所述通道还被配置为,所述命令端口交替接收针对不同存储块的所述激活命令,且所述命令端口交替接收与每一所述激活命令对应的多个所述读命令。

- [0020] 另外,其特征在于,所述激活命令包括所述行地址信号,所述读命令包
10 括所述列地址信号;所述通道还被配置为:所述激活命令和所述读命令通过所述命令端口中的不同端口接收。

- [0021] 另外,所述通道还被配置为:对于任意所述存储块,接收所述激活命令和接收与所述激活命令对应的所述读命令的时间差大于或等于 t_{RCD} ,所述 t_{RCD} 为所述存储块在接收到所述激活命令之后可进行读操作所需的最短准备
15 时间。

[0022] 另外,所述存储芯片包括多个所述通道,所述存储芯片还包括多个所述通道共用的共用电路。

[0023] 另外,所述存储芯片还包括:测试端口,在测试模式下,多个所述通道共用同一所述测试端口进行测试。

- 20 [0024] 另外,所述共用电路包括测试控制电路,所述测试控制电路用于对多个所述通道的测试控制。

[0025] 另外,多个所述存储芯片依次堆叠于所述控制芯片上,所述信道包括硅

通孔结构。

[0026] 与相关技术相比，本申请实施例提供的技术方案具有以下优点：

[0027] 本申请实施例提供一种结构性能优越的存储器，多个存储芯片共用信道与控制芯片电连接，多个存储芯片被配置为，采用相同的时钟信号，且多个存储芯片分别在不同的时钟状态下与控制芯片进行信息交互。由于多个存储芯片共用信道与控制芯片电连接，因此无需为每个存储芯片分别设置一个与控制芯片电连接的信道，有利于减少存储器所需的信道的数量，从而降低存储器的成本、功耗。

附图说明

[0028] 一个或多个实施例通过与之对应的附图中的图片进行示例性说明，这些示例性说明并不构成对实施例的限定，附图中具有相同参考数字标号的元件表示为类似的元件，除非有特别申明，附图中的图不构成比例限制。

[0029] 图 1 为本申请一实施例提供的存储器的结构示意图；

[0030] 图 2 为本申请一实施例提供的存储器中共用信道的两个存储芯片对应的工作信号的时序图；

[0031] 图 3 为本申请另一实施例提供的存储器的结构示意图；

[0032] 图 4 为图 3 中一存储芯片的结构示意图；

[0033] 图 5 为图 3 中第一存储芯片以及第二存储芯片的一种工作时序图；

[0034] 图 6 为图 3 中第一存储芯片以及第二存储芯片的另一种工作时序图。

具体实施方式

[0035] 由背景技术可知，现有技术的存储器的性能有待提高。

[0036] 为解决上问题，本申请实施提供一种存储器，多个存储芯片，多个存储

芯片共用信道与控制芯片电连接，多个存储芯片被配置为，采用相同的时钟信号，且多个存储芯片分别在时钟信号的不同的时钟状态下与控制芯片进行信息交互。由于多个存储芯片共用信道，因而在不影响多个存储芯片与控制芯片信息交互的质量的前提下，节省存储器所需的信道数量，从而节省存储器的面积，降低存储器的成本，减小存储器的功耗。

[0037] 为使本申请实施例的目的、技术方案和优点更加清楚，下面将结合附图对本申请各实施例进行详细的阐述。然而，本领域的普通技术人员可以理解，在本申请各实施例中，为了使读者更好地理解本申请而提出了许多技术细节。但是，即使没有这些技术细节和基于以下各实施例的种种变化和修改，也可以实现本申请所要求保护的技术方案。

[0038] 图 1 为本申请一实施例提供的存储器的结构示意图。

[0039] 参考图 1，本实施例中，存储器包括：控制芯片 114；多个存储芯片 100，多个存储芯片 100 共用信道 01 与控制芯片 114 电连接，多个存储芯片 100 被配置为，采用相同的时钟信号，且多个存储芯片 100 分别在时钟信号的不同的时钟状态下与控制芯片 114 进行信息交互。

[0040] 由于多个存储芯片 100 分别在时钟信号的不同的时钟状态下与控制芯片 114 进行信息交互，若为一个时钟信号的情况下，单个存储芯片 100 在时钟信号的上升沿或者下降沿中的一者传输数据，就能够使得存储器在时钟信号的所有不同时钟状态下均能传输数据，即存储器在时钟信号的上升沿以及下降沿均能够传输数据。本实施例的时钟信号可以为一个时钟，也可以为多个时钟，本实施例对此不做限定。

[0041] 以下将结合附图对本实施例提供的存储器进行详细说明。

[0042] 本实施例中，存储器可以为动态随机存储器（DRAM）。

[0043] 具体地，多个存储芯片 100 可以在控制芯片 114 上依次层叠设置，有利于提高存储密度且减小存储芯片 100 与控制芯片 114 的距离；或者，多个存储芯片 100 也可以在控制芯片 114 上并排设置，有利于减小存储器的纵向厚度。

- 5 本实施例中，多个存储芯片 100 依次堆叠于控制芯片 114 上，且信道 01 包括硅通孔结构（TSV，Through Silicon Via）。

[0044] 本实施例中，多个存储芯片 100 包括：第一存储芯片 110 和第二存储芯片 120；第一存储芯片 110 被配置为，在时钟信号的上升沿与控制芯片 114 进行信息交互；第二存储芯片 120 被配置为，在时钟信号的下降沿与控制芯片 114
10 进行信息交互。

[0045] 第一存储芯片 110 的工作模式为时钟信号的上升沿传输数据，第二存储芯片 120 的工作模式为时钟信号的下降沿传输数据；然而，由于第一存储芯片 110 以及第二存储芯片 120 工作在同一时钟信号的不同时钟状态下，使得第一存储芯片 110 和第二存储芯片 120 整体上的宏观工作模式为：在时钟信号的上升沿以及下降沿均传输数据。因此，对于单个存储芯片 100 而言满足在时钟信号
15 的上升沿或者下降沿中的一者传输数据，但是对于存储器整体而言即可达到在时钟信号的上升沿和下降沿均传输数据的效果。

[0046] 图 1 中示意出了两个不同的信道 01，且其中两个存储芯片 100 共用其中一信道 01，另外两个存储芯片 100 共用另一信道 01。具体地，可以为：如图 1
20 所示，相邻的两个存储芯片 100 共用同一信道 01，或者，相间隔的两个存储芯片 100 共用同一信道 01。可以理解的是，存储器可以包括任意数量个信道 01，且两个存储芯片 100 共用同一信道 01。

[0047] 此外，时钟信号包括命令时钟和数据时钟，多个存储芯片 100 分别在时钟信号的不同的时钟状态下与控制芯片 114 进行信息交互，包括：第一存储芯片 110 在命令时钟和/或数据时钟的上升沿与控制芯片 114 进行信息交互；第二存储芯片 120 在命令时钟和/或数据时钟的下降沿与控制芯片 114 进行信息交互。

- 5 [0048] 具体地，时钟状态包括命令时钟的第一预设沿以及数据时钟的第二预设沿；第一预设沿为第一上升沿或者第一下降沿，第二预设沿为第二上升沿或者第二下降沿。每一存储芯片 100 在命令时钟的第一预设沿与控制芯片 114 进行信息交互，每一存储芯片 100 在数据时钟的第二预设沿与控制芯片 114 进行信息交互。更具体地，存储芯片 100 被配置为，在命令时钟的第一预设沿接收命令信号，命令信号用于控制存储芯片 100 的读写操作；存储芯片 100 还被配置为，在数据时钟的第二预设沿接收待写入到存储芯片 100 的数据信号或者发送数据信号。举例来说，第一存储芯片 110 被配置为，在命令时钟的第一上升沿接收命令信号，在数据时钟的第二上升沿接收待写入的数据信号或者发送数据信号；第二存储芯片 120 被配置为，在时钟信号的第一下降沿接收命令信号，
10 在数据时钟的第二下降沿接收待写入的数据信号或者发送数据信号。本实施例中，命令时钟与数据时钟为同一时钟信号，相应的第一预设沿与第二预设沿为同一预设沿。

- [0049] 图 2 为本实施例提供的存储器中共用信道的两个存储芯片对应的工作信号的时序图，且命令时钟与数据时钟为同一时钟信号，CK 为时钟信号，DATA1
20 为第一存储芯片 110 传输数据的时序图，DATA2 为第二存储芯片 120 传输数据的时序图，DATA 为将 DATA1 和 DATA2 合并的时序图。

[0050] 以下将结合图 2 对本实施例提供的存储器的工作原理进行说明。

[0051] 在时钟信号的第一个上升沿，第一存储芯片 110 接收激活命令信号；在时钟信号的第 m 个上升沿，第一存储芯片 110 接收读命令信号；在时钟信号的第 n 个上升沿，第一存储芯片 110 传输数据。在时钟信号的第一个下降沿，第二存储芯片 120 接收激活命令信号；在时钟信号的第 m 个下降沿，第二存储芯片 120 接收读命令信号；在时钟信号的第 n 个下降沿，第二存储芯片 120 传输数据。如此，在时钟信号的不同上升沿第一存储芯片 110 传输数据，在时钟信号的不同下降沿第二存储芯片 120 传输数据，直至完成数据的传输。

[0052] 可以理解的是，上述是以存储器进行读取操作为例进行说明的，存储器进行写入操作期间同样是第一存储芯片 110 以及第二存储芯片 120 交替传输数据。

[0053] 本实施例提供的存储器，由于多个存储芯片 100 共用信道 01，在不影响控制芯片 114 与多个存储芯片 100 信息交互的带宽的前提下，减少了存储器的信道 01 数量，从而降低了存储器的制造成本以及功耗。

[0054] 本申请另一实施例还提供一种存储器，该存储器与前述存储器大致相同，主要区别包括对每一存储芯片进行了更详细的说明。以下将结合附图对本实施例提供的存储器进行详细说明，需要说明的是，与前述实施例相同或者相应的部分，可参考前述实施例的说明，以下将不做赘述。

[0055] 图 3 为本申请另一实施例提供的存储器的结构示意图，图 4 为图 3 中一存储芯片的结构示意图。

[0056] 参考图 3 及图 4，本实施例中，存储器包括：控制芯片 214；多个存储芯片 200，多个存储芯片 200 共用信道 02 与控制芯片 214 电连接，多个存储芯片 200 被配置为，采用相同的时钟信号，且多个存储芯片 200 分别在时钟信号的

不同的时钟状态下与控制芯片 214 进行信息交互；具体地，存储芯片 200 包括第一存储芯片 210 和第二存储芯片 220，时钟信号包括命令时钟和数据时钟，第一存储芯片 210 在命令时钟和/或数据时钟的上升沿与控制芯片 214 进行信息交互，且第二存储芯片 220 在命令时钟和/或数据时钟的下降沿与控制芯片 214 进行信息交互。

[0057] 每一存储芯片 200 包括至少一个通道 20，通道 20 包括：多个存储块 201，每一存储块 201 包括多个存储单元，多个存储块 201 被配置为交替进行读写操作；命令端口 202，命令端口 202 被配置为在命令时钟的对应时钟沿接收命令信号，命令信号用于控制存储块 201 的读写操作；数据端口 203，数据端口 203 被配置为，在数据时钟的对应时钟沿接收待写入到存储块 201 的数据信号或者发送数据信号；其中，对应时钟沿包括前述的上升沿或者下降沿，命令端口 202 包括行地址端口 212 和列地址端口 222，行地址端口 212 用于接收目标存储单元所在位置的行地址信号，列地址端口 222 用于接收目标存储单元所在位置的列地址信号，目标存储单元为多个存储单元中选中的存储单元。

[0058] 可以理解的是，对应时钟沿指的是，该存储芯片 200 进行信息交互对应的命令时钟的上升沿或者下降沿，该存储芯片 200 进行信息交互对应的数据时钟的上升沿或者下降沿。

[0059] 需要注意的是，本实施例所称的命令端口包括传输命令信号和地址信号的端口，但也不限于此。

[0060] 以下将结合附图对本实施例提供的存储器进行详细说明。

[0061] 每一存储块 201 中的多个存储单元可以呈阵列式分布。本实施例中，以每一通道(channel)20 包括 4 个存储块 201 作为示例，图 4 中以 bank10、bank11、

bank12 以 bank13 示意出一通道 20 中的 4 个存储块 201。可以理解的是，在其他实施例中，每一通道 20 包括的存储块的数量也可以为其他任意数量个，例如为 2 个或者 6 个等。

5 [0062] 数据端口 203 用于接收待存入存储单元中的数据或发送从存储单元中读出的数据。

[0063] 存储芯片 200 包括多个通道 20，且存储芯片 200 还包括多个通道 20 共用的共用电路 204。本实施例中，该共用电路 204 可以为测试控制电路，测试控制电路用于对多个通道 20 的测试控制。在其他实施例中，该共用电路也可以为温度传感器电路、模拟电路或者电荷泵电路中的至少一种。

10 [0064] 存储器还可以包括：测试端口，且在测试模式下多个通道 20 共用同一测试端口进行测试。由于共用测试端口的设置，有利于减少存储器中端口的数量，从而降低采用探针卡对存储器进行测试的难度，且降低探针卡的制造难度。

[0065] 具体地，命令时钟具有第一预设沿，数据时钟具有第二预设沿，且第一预设沿为第一上升沿或者第一下降沿，前述的命令时钟的对应时钟沿为第一上升沿或者第一下降沿，第二预设沿为第二上升沿或者第二下降沿，前述的数据时钟的对应时钟沿为第二上升沿或者第二下降沿。本实施例中，命令时钟和数据时钟为同一时钟信号，第一预设沿与第二预设沿为同一预设沿，该预设沿可以为上升沿或者下降沿中的一种。如此，有利于简化电路设计，避免由于命令时钟和数据时钟握手或同步产生的错误而导致的数据接收或发送错误，提高存
15
20 储器的存储正确率。需要说明的是，在其他实施例中，命令时钟和数据时钟也可以为不同的时钟信号，相应的，需区分命令时钟的时钟沿以及数据时钟的时钟沿。

[0066] 另外，本实施例中，两个存储芯片 200 共用信道 02，且两个存储芯片 200 共用信道 02 与控制芯片 214 电连接，以第一存储芯片 210 以及第二存储芯片 220 将两个存储芯片 200 区分开。每一存储芯片 200 采用相同的时钟信号，且各存储芯片 200 的命令端口 202 采用不同的时钟沿接收或者发送信号，各存储芯片 200 的数据端口 203 采用不同的时钟沿接收或者发送信号。

[0067] 举例来说，第一存储芯片 210 的命令端口 202 采用第一上升沿接收或者发送信号，第二存储芯片 220 的命令端口 202 采用第一下降沿接收或者发送信号，第一存储芯片 210 的数据端口 203 采用第二上升沿接收或者发送信号，第二存储芯片 220 的数据端口 203 采用第二下降沿接收或者发送信号。

[0068] 具体地，命令信号包括激活命令以及与每一激活命令对应的读命令。通道 20 还被配置为，命令端口 202 接收针对一存储块 201 的激活命令后，命令端口 202 接收与激活命令对应的读命令。更具体地，激活命令包括行地址信号，其中行地址信号通过行地址端口 212 接收；读命令包括列地址信号，其中列地址信号通过列地址端口 222 接收。需要注意的是，激活命令和读命令中还可能包含除行地址信号或列地址信号以外的其他控制信号，这些其他控制信号用于帮助或辅助存储芯片 200 识别该命令是否是激活命令或读命令，且这些其他控制信号可通过除行地址端口 212 和列地址端口 222 之外的其他命令端口接收；如此，行地址端口 212 可以连续地接收行地址信号，列地址端口 222 可以连续地接收列地址信号。相应的，通道 20 还被配置为：激活命令和读命令通过命令端口 202 中的不同端口接收，从而可以实现激活命令和读命令的同时接收。

[0069] 本实施例中，命令信号包括激活命令和与激活命令对应的读命令；通道 20 还被配置为，命令端口 202 交替接收针对不同存储块 201 的激活命令后，命

令端口 202 交替接收激活命令对应的读命令。具体地，行地址端口 212 交替接收针对不同存储块 201 的激活命令后，列地址端口 222 交替接收激活命令对应的读命令。

[0070] 此外，通道 20 还被配置为，在命令端口 202 接收读命令之后，数据端口

5 203 交替发送与不同存储块 201 对应的数据信号。

[0071] 图 5 为第一存储芯片 210 以及第二存储芯片 220 的一种工作时序图，以下将结合时序图对该存储器的工作原理进行说明。

[0072] 图 5 中命令时钟以及数据时钟采用同一时钟信号，以 CK 示意出时钟信号，ACT1 示意出针对第一存储芯片 210 的激活命令信号的时序图，ACT2 示意
10 出针对第二存储芯片 220 的激活命令信号的时序图，RD1 示意出针对第一存储芯片 210 的读命令信号的时序图，RD2 示意出针对第二存储芯片 220 的读命令信号的时序图，DATA1 示意出第一存储芯片 210 的数据端口 203 的数据信号的时序图，DATA2 示意出第二存储芯片 220 的数据端口 203 的数据信号的时序图。

[0073] 其中，以第一存储芯片 210 包括 bank10、bank11、bank12 以 bank13 四
15 个存储块 201 作为示例，激活命令信号包括分别用于激活 bank10、bank11、bank12 以 bank13 的 ACT10/ACT11/ACT12/ACT13，ACT10 与 bank10 对应，ACT11 与 bank11 对应，以此类推；读命令信号包括与 bank10、bank11、bank12 以 bank13 一一对应的 RD10/RD11/RD12/RD13，数据信号包括 DATA10/DATA11/DATA12/DATA13；激活命令 ACT10 与 bank10、1 个读命令
20 RD10 以及数据信号 DATA10 对应，激活命令 ACT11 与 bank11、1 个读命令 RD11 以及数据信号 DATA11 对应，激活命令 ACT12 与 bank12、1 个读命令 RD12 以及数据信号 DATA12 对应，激活命令 ACT13 与 bank13、与 1 个读命令 RD13

以及数据信号 DATA13 对应，即一激活命令对应一读命令。有关第二存储芯片 220 对应的激活信号 ACT20/ACT21/ACT22/ACT23、读命令信号 RD20/RD21/RD22/RD23、数据信号 DATA20/DATA21/DATA22/DATA23 的详细说明可参考前述说明。

- 5 [0074] 如图 5 所示，对于第一存储芯片 210，以命令端口 202 和数据端口 203 采用时钟的上升沿接收或者发送信号作为示例：命令端口 202 在时钟信号的上升沿接收到针对一存储块 201 的激活命令 ACT10 后，命令端口 202 在上升沿接收与激活命令 ACT10 对应的 1 个读命令 RD10；在命令端口 202 接收读命令 RD10 之后，数据端口 203 在时钟信号的上升沿发送数据信号 DATA10。关于命令
- 10 端口 202 接收到激活命令 ACT11/ACT12/ACT13 后的流程与前述类似。具体地，命令端口 202 中的行地址端口 212 在时钟信号的第一个上升沿接收激活 bank10 的激活命令 ACT10，命令端口 202 中的行地址端口 212 在时钟信号的第二个上升沿接收激活 bank11 的激活命令 ACT11，在时钟信号的第三个上升沿接收激活 bank12 的激活命令 ACT12，在时钟信号的第四个上升沿接收激活
- 15 bank13 的激活命令 ACT12；命令端口 202 中的列地址端口 222 在第 n 个上升沿接收与激活命令 ACT10 对应的读命令 RD10，命令端口 202 在第 n+1 个上升沿接收与激活命令 ACT11 对应的读命令 RD11，在第 n+2 个上升沿接收与激活命令 ACT2 对应的读命令 RD12，在第 n+3 个上升沿接收与激活命令 ACT13 对应的读命令 RD13，其中，n 为任意自然数。相应的，数据端口 203 在时钟信号的
- 20 第 m 个上升沿发送与存储块 bank10 对应的数据信号 DATA10，数据端口 203 在时钟信号的第 m+1 个上升沿发送与存储块 bank11 对应的数据信号 DATA11，在第 m+2 个上升沿发送与 bank12 对应的数据信号 DATA12，在第 m+3 个上升

沿发送与 bank13 对应的数据信号 DATA13，其中，m 为任意自然数，且对于每一存储块 201 而言，对应的 m 大于 n。

[0075] 需要说明的是，图 5 中以在连续的上升沿分别接收激活命令 ACT10、ACT11、ACT12、ACT13 作为示例，即在连续的上升沿分别接收不同存储块 201 对应的激活命令，在其他实施例中，也可以在非连续的上升沿分别接收不同存储块对应的激活命令。

[0076] 从图 5 中不难发现，由于行地址端口 212 与列地址端口 222 不共用，因此在此在列地址端口 222 接收读命令 RD12 期间，行地址端口 212 可以接收激活命令 ACT12，如此，无需等待所有的读命令信号都接收完毕之后才能接收激活命令，使得数据总线能够被填满，即数据端口 203 可以连续传输数据，避免数据总线在一定时间段内出现的空闲问题，从而有利于提升存储器的存储速度。

[0077] 此外，如图 5 所示，对于第二存储芯片 220，以命令端口 202 和数据端口 203 采用时钟的下降沿接收或者发送信号：命令端口 202 在时钟信号的下降沿接收到针对一存储块 201 的激活命令 ACT20 后，命令端口 202 在上升沿接收与激活命令 ACT20 对应的 1 个读命令 RD20；在命令端口 202 接收读命令 RD20 之后，数据端口 203 在时钟信号的下降沿发送数据信号 DATA20。有关发第二存储芯片 220 发送数据信号 DATA21/DATA22/DATA23 的过程将不做详细赘述。

[0078] 由于第一存储芯片 210 和第二存储芯片 220 分别在时钟的上升沿或者下降沿接收或者发送信号，因此共用信道 02 的第一存储芯片 210 以及第二存储芯片 220 传输数据互不干扰。

[0079] 在另一个例子中，命令信号包括激活命令以及与每一激活命令对应的多个读命令；通道 20 还被配置为，命令端口 202 接收针对一存储块 201 的激活命

令后, 命令端口 202 在多个对应时钟沿接收一与激活命令对应的读命令, 以使命令端口 202 在连续多个对应时钟沿接收多个与激活命令对应的读命令。通道 20 还被配置为, 数据端口 203 在连续多个对应时钟沿分别发送多个数据信号, 数据信号的数量与所接收到的读命令的数量相同。

- 5 [0080] 此外, 命令信号可以包括激活命令以及与每一激活命令对应的多个读命令; 通道 20 还可以被配置为, 命令端口 202 交替接收针对不同存储块 201 的激活命令后, 命令端口 202 交替接收与每一激活命令对应的多个读命令。具体地, 命令端口 202 交替接收针对不同存储块 201 的激活命令后, 命令端口 202 在多个对应时钟沿中的每一时钟沿接收一与激活命令对应的读命令, 以使命令端口
- 10 202 在连续多个时钟沿接收多个与激活命令对应的读命令, 直至命令端口 202 接收完针对一存储块 201 的激活命令对应的多个读命令, 之后, 命令端口 202 接收针对另一存储块 201 的激活命令对应的多个读命令。

- [0081] 图 6 为第一存储芯片 210 以及第二存储芯片 220 的另一种工作时序图, 以下将结合图 6 对该存储器的工作原理进行说明, 以一个激活命令对应 4 个读
- 15 命令作为示例。

- [0082] 有关图 6 中各信号的说明可参考图 5 对应的说明, 与图 5 对应的主要区别包括: 用于激活 bank10 的激活命令 ACT10 与 4 个读命令 RD10 以及 4 个数据信号 DATA10 对应, 用于激活 bank11 的激活命令 ACT1 与 4 个读命令 RD11 以及数据信号 DATA11 对应, 以此类推, 即一激活命令对应多个不同的读命令。
- 20 [0083] 以在时钟信号的上升沿接收或发送信号的第一存储芯片 210 作为示例: 如图 6 所示, 命令端口 202 在时钟信号的上升沿接收到针对一存储块 201 的激活命令 ACT10 后, 命令端口 202 在 4 个连续的上升沿接收与激活命令 ACT10

对应的 4 个读命令 RD10, 在命令端口 202 接收读命令 RD10 之后, 数据端口 203 在时钟信号的上升沿发送四个数据信号 DATA10。在接收到针对另一存储块 201 的激活命令 ACT11 后, 命令端口 202 在 4 个连续的上升沿接收与激活命令 ACT11 对应的 4 个读命令 RD11, 在命令端口 202 接收读命令 RD11 之后, 数据端口 203 在时钟信号的上升沿发送四个数据信号 DATA11, 关于命令端口 202 接收到激活命令 ACT12 以及 ACT13 后的流程与前述类似。

[0084] 第二存储芯片 220 在时钟信号的下降沿发送或者接收信号, 有关第二存储芯片 220 的工作原理可参考第一存储芯片 210 的工作原理。

[0085] 需要说明的是, 本实施例中, 通道 20 还被配置为: 对于任意存储块 201,

接收激活命令信号与接收对应的读命令信号的时间差大于或等于 t_{RCD} , t_{RCD} 为存储块 201 在接收到激活命令信号之后可进行读操作所需的最短准备时间。

具体地, 关于 t_{RCD} 的定义为: 从行有效到读/写命令发出之间的间隔被定义为 t_{RCD} , 即 RAS 到 CAS 的延迟, RAS 为行地址选通脉冲信号简称行地址信号, CAS 为列地址选通脉冲信号简称列地址信号, t_{RCD} 可理解为行选通周期。如

此, 可以保证存储块 201 在接收到读命令之前或接收到读命令时已经被完全激活, 在接收到读命令时即可进行读操作, 从而进一步地提高存储器的存储速度。

[0086] 具体地, 以第一存储芯片 210 作为示例, 如图 5 及图 6, 对于 bank10 而言, ACT10 与 RD10 之间的时间差为 t_{RCD} ; 对于 bank11 而言, ACT11 与 RD11 之间的时间差可以大于或等于 t_{RCD} , 关于 bank12 以及 bank13 的情形在此不再一一列举。不管一个激活命令对应一个读命令还是对应多个读命令, 均可以通过合理的设置保证对于任意存储块 201, 接收命令信号与接收对应的读命令信号的时间差大于或等于 t_{RCD} 。

[0087] 本实施例提供的存储器中，不同的存储块 201 采用相同的命令端口 202 以及数据端口 203。在其他实施例中，不同的存储块也可以采用不同的命令端口以及不同的数据端口。

[0088] 本实施例提供的存储器，由于行地址端口 212 与列地址端口 222 分开，

- 5 因而可以实现行地址信号和列地址信号同时传输，避免由于命令时钟和数据时钟握手或同步产生的错误而导致的数据接收或发送错误，因此有利于避免在某些时间段上数据线未被占满的问题，保证数据线始终被数据占满，从而提高存储器的存储速度，改善存储器的存储性能。

[0089] 本领域的普通技术人员可以理解，上述各实施方式是实现本申请的具体

- 10 实施例，而在实际应用中，可以在形式上和细节上对其作各种改变，而不偏离本申请的精神和范围。任何本领域技术人员，在不脱离本申请的精神和范围内，均可作各自更动与修改，因此本申请的保护范围应当以权利要求限定的范围为准。

权利要求书

1. 一种存储器，其特征在于，包括：

控制芯片；

多个存储芯片，多个所述存储芯片共用信道与所述控制芯片电连接，多个所

5 述存储芯片被配置为，采用相同的时钟信号，且多个所述存储芯片分别在所述时钟信号的不同的时钟状态下与所述控制芯片进行信息交互。

2. 如权利要求 1 所述的存储器，其特征在于，所述多个存储芯片包括：第一存储芯片和第二存储芯片；所述第一存储芯片被配置为，在所述时钟信号的上升沿与所述控制芯片进行信息交互；所述第二存储芯片被配置为，在所述时钟信号的下降沿与所述控制芯片进行信息交互。

3. 如权利要求 2 所述的存储器，其特征在于，所述时钟信号包括命令时钟和数据时钟，所述多个所述存储芯片分别在所述时钟信号的不同的时钟状态下与所述控制芯片进行信息交互，包括：所述第一存储芯片在所述命令时钟和/或所述数据时钟的上升沿与所述控制芯片进行信息交互；所述第二存储芯片在所述命令时钟和/或所述数据时钟的下降沿与所述控制芯片进行信息交互。

4. 如权利要求 3 所述的存储器，其特征在于，所述时钟状态包括所述命令时钟的第一预设沿以及所述数据时钟的第二预设沿；所述第一预设沿为第一上升沿或者第一下降沿，所述第二预设沿为第二上升沿或者第二下降沿。

5. 如权利要求 3 所述的存储器，其特征在于，每一所述存储芯片包括至少一个通道，所述通道包括：多个存储块，每一所述存储块包括多个存储单元，多个所述存储块被配置为交替进行读写操作；命令端口，所述命令端口被配置为在所述命令时钟的对应时钟沿接收命令信号，所述命令信号用于控制所述

存储块的读写操作；数据端口，所述数据端口被配置为，在所述数据时钟的对应时钟沿接收待写入到所述存储块的数据信号或者发送数据信号；其中，所述对应时钟沿包括所述上升沿或者所述下降沿，所述命令端口包括行地址端口和列地址端口，所述行地址端口用于接收目标存储单元所在位置的行地址信号，所述列地址端口用于接收目标存储单元所在位置的列地址信号，所述目标存储单元为所述多个存储单元中选中的存储单元。

6. 如权利要求 3 所述的存储器，其特征在于，所述命令时钟和所述数据时钟为同一时钟信号。

7. 如权利要求 5 所述的存储器，其特征在于，所述多个所述存储芯片共用信道与所述控制芯片电连接，包括：两个所述存储芯片共用信道与所述控制芯片电连接；每一所述存储芯片采用相同的所述时钟信号，且各所述存储芯片的所述命令端口采用不同的时钟沿接收或者发送信号，各所述存储芯片的所述数据端口采用不同的时钟沿接收或者发送信号。

8. 如权利要求 5 所述的存储器，其特征在于，所述命令信号包括激活命令以及与每一所述激活命令对应的读命令；所述通道还被配置为，所述命令端口接收针对一所述存储块的所述激活命令后，所述命令端口接收与所述激活命令对应的所述读命令。

9. 如权利要求 8 所述的存储器，其特征在于，所述通道还被配置为，在所述命令端口接收所述读命令之后，所述数据端口发送所述数据信号。

10. 如权利要求 5 所述的存储器，其特征在于，所述命令信号包括激活命令以及与每一所述激活命令对应的多个读命令；所述通道还被配置为，所述命令端口接收针对一所述存储块的所述激活命令后，所述命令端口在多个对应时钟

沿接收一与所述激活命令对应的所述读命令，以使所述命令端口在连续多个对应时钟沿接收多个与所述激活命令对应的所述读命令。

11.如权利要求 10 所述的存储器，其特征在于，所述通道还被配置为，所述数据端口在连续多个所述对应时钟沿分别发送多个所述数据信号，所述数据信号的数量与所接收到的所述读命令的数量相同。

12.如权利要求 5 所述的存储器，其特征在于，所述命令信号包括激活命令和与所述激活命令对应的读命令；所述通道还被配置为，所述命令端口交替接收针对不同所述存储块的激活命令后，所述命令端口交替接收与所述激活命令对应的所述读命令。

13.如权利要求 12 所述的存储器，其特征在于，所述通道还被配置为，在所述命令端口接收所述读命令之后，所述数据端口交替发送与不同所述存储块对应的所述数据信号。

14.如权利要求 5 所述的存储器，其特征在于，所述命令信号包括激活命令以及与每一所述激活命令对应的多个读命令；所述通道还被配置为，所述命令端口交替接收针对不同存储块的所述激活命令，且所述命令端口交替接收与每一所述激活命令对应的多个所述读命令。

15.如权利要求 8、11、12 或 14 所述的存储器，其特征在于，所述激活命令包括所述行地址信号，所述读命令包括所述列地址信号；所述通道还被配置为：所述激活命令和所述读命令通过所述命令端口中的不同端口接收。

16.如权利要求 15 所述的存储器，其特征在于，所述通道还被配置为：对于任意所述存储块，接收所述激活命令和接收与所述激活命令对应的所述读命令的时间差大于或等于 t_{RCD} ，所述 t_{RCD} 为所述存储块在接收到所述激活命

令之后可进行读操作所需的最短准备时间。

17.如权利要求5所述的存储器,其特征在于,所述存储芯片包括多个所述通道,所述存储芯片还包括多个所述通道共用的共用电路。

18.如权利要求17所述的存储器,其特征在于,所述存储芯片还包括:测试端
5 口,在测试模式下,多个所述通道共用同一所述测试端口进行测试。

19.如权利要求17所述的存储器,其特征在于,所述共用电路包括测试控制电路,所述测试控制电路用于对多个所述通道的测试控制。

20.如权利要求1所述的存储器,其特征在于,多个所述存储芯片依次堆叠于所述控制芯片上,所述信道包括硅通孔结构。

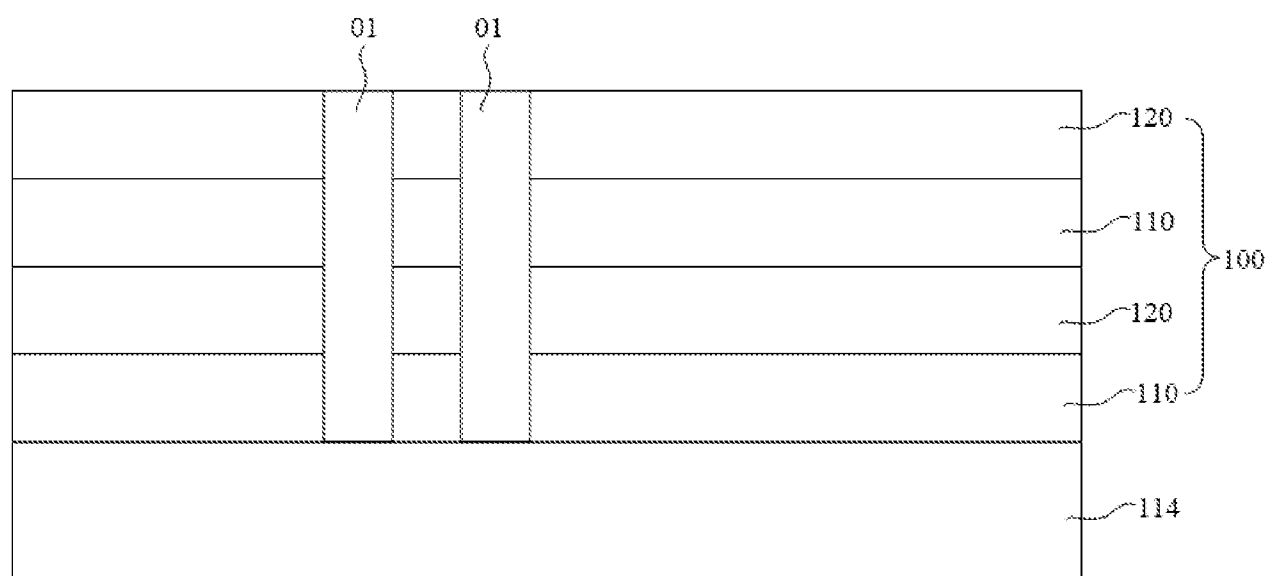


图 1

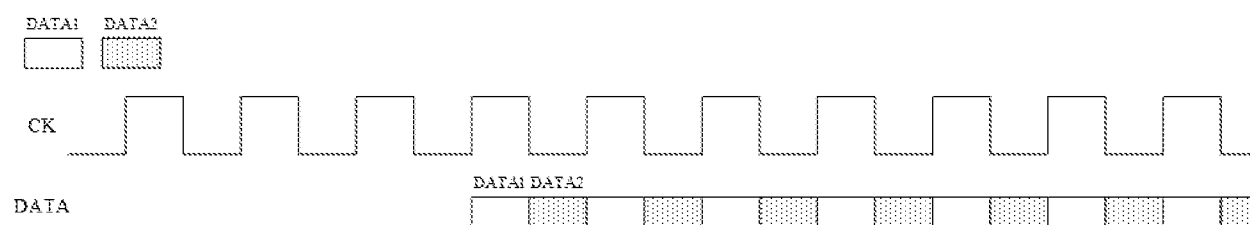


图 2

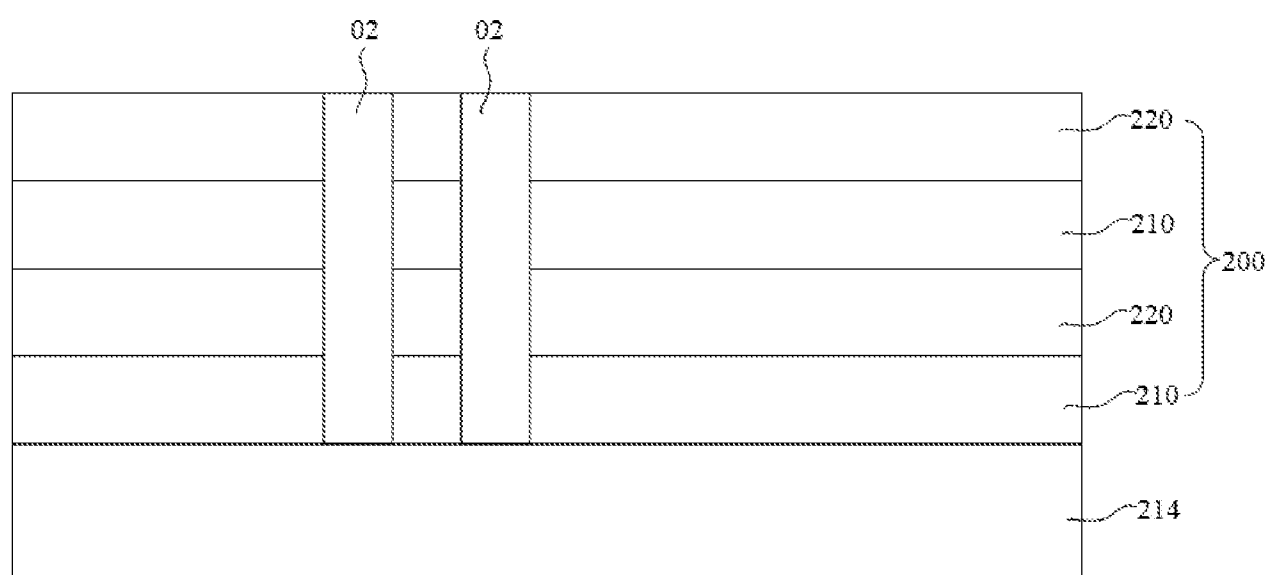


图 3

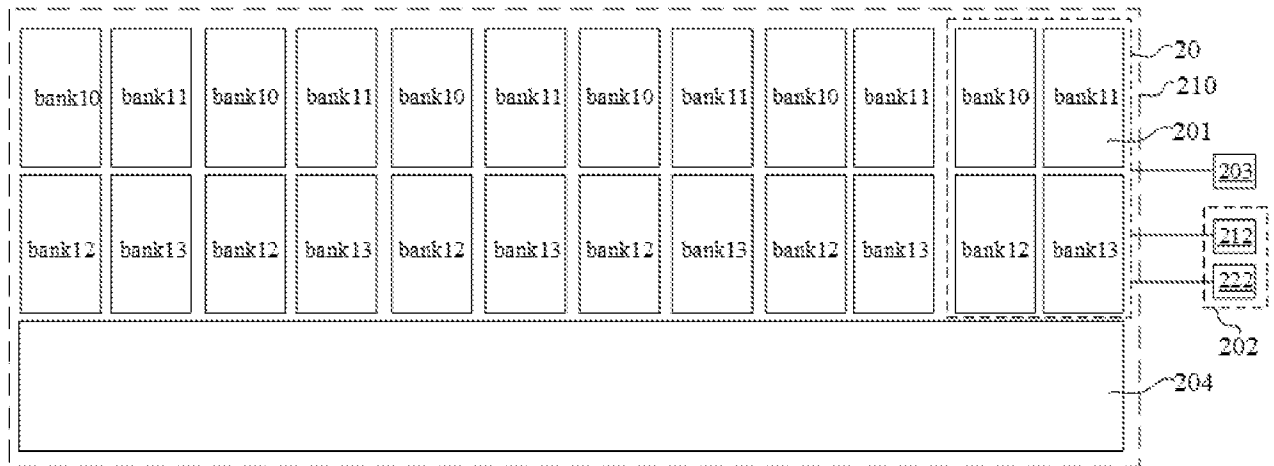


图 4

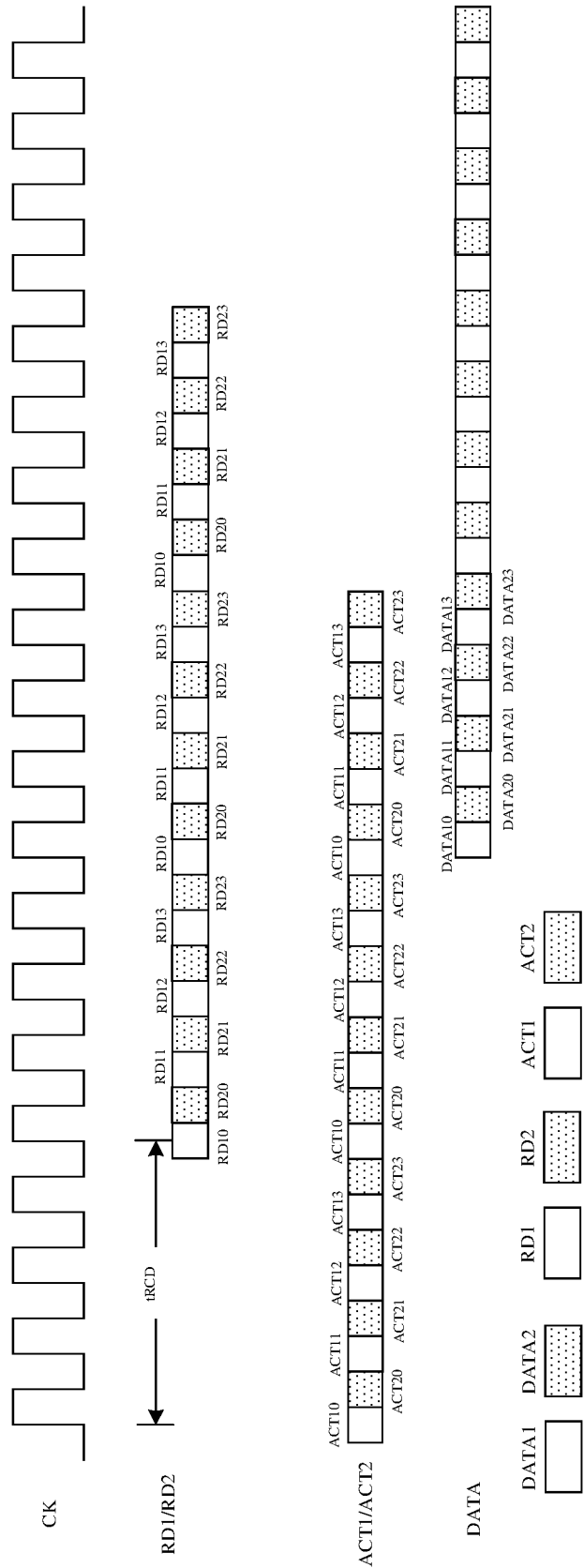


图 5

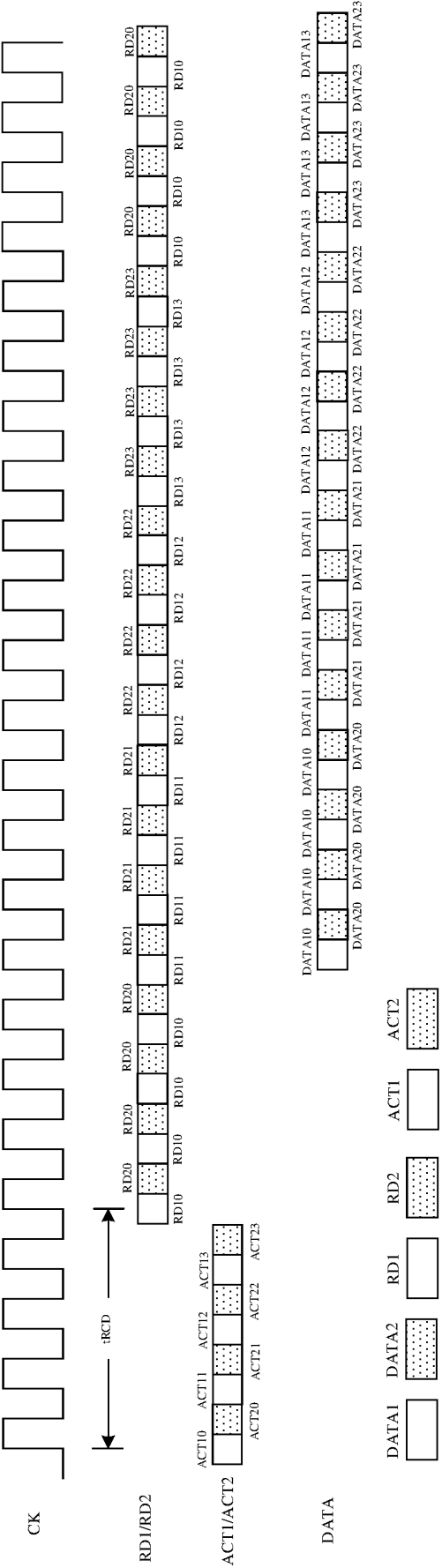


图6

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/103706

A. CLASSIFICATION OF SUBJECT MATTER

G06F 1/12(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, CNPAT, CNKI: 存储器, 交互, 控制, 信号, 时钟, 状态, 通道, 信道, 相同, 不同, 存储芯片, 上升沿, 下降沿, control, memory, clock, time, stor+, same, different, chip

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 109783009 A (SK HYNIX INC.) 21 May 2019 (2019-05-21) description, paragraphs [0061]-[0083], figure 3	1-2, 20
Y	CN 106796813 A (MAWIER INTERNATIONAL TRADE CO., LTD.) 31 May 2017 (2017-05-31) description, paragraphs [0016]-[0023]	1-2, 20
A	CN 211207252 U (SHENZHEN WEIBU INFORMATION INC.) 07 August 2020 (2020-08-07) entire document	1-20
A	US 2006090149 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 27 April 2006 (2006-04-27) entire document	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

16 September 2021

Date of mailing of the international search report

28 September 2021

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/103706

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	109783009	A	21 May 2019	KR	20190054974	A	22 May 2019
				US	2019146911	A1	16 May 2019
CN	106796813	A	31 May 2017	US	2017194945	A1	06 July 2017
				US	2016065190	A1	03 March 2016
				EP	3195319	A1	26 July 2017
				WO	2016030795	A1	03 March 2016
CN	211207252	U	07 August 2020	None			
US	2006090149	A1	27 April 2006	None			

国际检索报告

国际申请号

PCT/CN2021/103706

A. 主题的分类

G06F 1/12 (2006.01) i

按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献 (标明分类系统和分类号)

G06F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))

WPI, EPDOC, CNPAT, CNKI: 存储器, 交互, 控制, 信号, 时钟, 状态, 通道, 信道, 相同, 不同, 存储芯片, 上升沿, 下降沿, control, memory, clock, time, stor+, same, different, chip

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	CN 109783009 A (爱思开海力士有限公司) 2019年 5月 21日 (2019 - 05 - 21) 说明书第[0061]-[0083]段, 图3	1-2, 20
Y	CN 106796813 A (马维尔国际贸易有限公司) 2017年 5月 31日 (2017 - 05 - 31) 说明书第[0016]-[0023]段	1-2, 20
A	CN 211207252 U (深圳微步信息股份有限公司) 2020年 8月 7日 (2020 - 08 - 07) 全文	1-20
A	US 2006090149 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 2006年 4月 27日 (2006 - 04 - 27) 全文	1-20

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2021年 9月 16日

国际检索报告邮寄日期

2021年 9月 28日

ISA/CN的名称和邮寄地址

中国国家知识产权局 (ISA/CN)

中国 北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

授权官员

田晶

电话号码 86-(10)-53961334

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/103706

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	109783009	A	2019年 5月 21日	KR	20190054974	A	2019年 5月 22日
				US	2019146911	A1	2019年 5月 16日
CN	106796813	A	2017年 5月 31日	US	2017194945	A1	2017年 7月 6日
				US	2016065190	A1	2016年 3月 3日
				EP	3195319	A1	2017年 7月 26日
				WO	2016030795	A1	2016年 3月 3日
CN	211207252	U	2020年 8月 7日	无			
US	2006090149	A1	2006年 4月 27日	无			