



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.	(45) 공고일자	2007년03월30일
G02F 1/136 (2006.01)	(11) 등록번호	10-0702284
	(24) 등록일자	2007년03월26일

(21) 출원번호	10-2004-0057114	(65) 공개번호	10-2005-0011725
(22) 출원일자	2004년07월22일	(43) 공개일자	2005년01월29일
심사청구일자	2004년07월22일		

(30) 우선권주장	JP-P-2003-00277459	2003년07월22일	일본(JP)
	JP-P-2004-00212977	2004년07월21일	일본(JP)

(73) 특허권자 엔이씨 엘씨디 테크놀로지스, 엘티디.
일본 가나가와켄 가와사키시 나카하라구 시모누마베 1753

(72) 발명자 타나카히로아키
일본국 카나가와켄 카와사키시 나카하라구 시모누마베 1753 엔이씨 엘
씨디 테크놀로지스, 엘티디.

야스다쿄우네이
일본국 카나가와켄 카와사키시 나카하라구 시모누마베 1753 엔이씨 엘
씨디 테크놀로지스, 엘티디.

스즈키세이지
일본국 카나가와켄 카와사키시 나카하라구 시모누마베 1753 엔이씨 엘
씨디 테크놀로지스, 엘티디.

(74) 대리인 최달용

(56) 선행기술조사문헌
JP2000284326 A * JP09026598 A *
* 심사관에 의하여 인용된 문헌

심사관 : 임동재

전체 청구항 수 : 총 23 항

(54) 박막 트랜지스터 회로 장치 및 상기 박막 트랜지스터 회로 장치를 이용한 액정 표시 장치

(57) 요약

하부층은 알루미늄 합금으로 상부층은 몰리브덴 합금으로 구성된 배선을 포함하고, 몰리브덴 합금의 공기중에서의 부식이 용이하게 진행되지 않는 박막 트랜지스터 회로 장치 및 그 제조 방법이 요구된다. 본 발명에 따르면, 기관의 중심부상에 형성된 주 회로 영역의 박막 트랜지스터를 접속하는 절연막으로 피복된 배선의 일부를, 상기 기관의 외주부상에 형성된 보호 회로 영역에 노출시키고, 상기 노출된 표면상에 단자 전극 금속으로 형성된 단자를 포함하는 박막 트랜지스터 회로 장치가 있어서, 상기 배선의 최상부 표면은 니오븀(niobium)을 함유하는 몰리브덴 합금이다.

대표도

도 14

특허청구의 범위

청구항 1.

적어도 기관의 중앙부에 형성된 주회로 영역으로부터 기관의 바깥 주위에 형성된 단자에 연재되는 니오븀을 5 내지 20at%(atom%)의 비율로 함유하는 몰리브덴 합금을 구성요소로서 포함하는 배선을 갖는 박막 트랜지스터 회로 장치에 있어서,

상기 단자는 절연막으로 덮여진 배선의 일부를 노출시켜, 상기 노출면에 단자 전극이 형성된 단자이고,

상기 노출면이 상기 몰리브덴 합금의 표면에 형성된 니오븀의 산화물로 이루어지는 층인 것을 특징으로 하는 박막 트랜지스터 회로 장치.

청구항 2.

삭제

청구항 3.

삭제

청구항 4.

제 1항에 있어서,

상기 몰리브덴 합금은, 니오븀을 5 내지 10at%의 비율로 함유하는 것을 특징으로 하는 박막 트랜지스터 회로 장치.

청구항 5.

제 1항에 있어서,

상기 몰리브덴 합금은, 니오븀을 10 내지 15at%의 비율로 함유하는 것을 특징으로 하는 박막 트랜지스터 회로 장치.

청구항 6.

제 1항에 있어서,

상기 몰리브덴 합금은, 니오븀을 15 내지 20at%의 비율로 함유하는 것을 특징으로 하는 박막 트랜지스터 회로 장치.

청구항 7.

제 1항에 있어서,

상기 배선이 니오븀을 함유하는 몰리브덴 합금층만으로 이루어지는 것을 특징으로 하는 박막 트랜지스터 회로 장치.

청구항 8.

제 1항에 있어서,

상기 배선은, 적어도 최상층이 니오븀을 함유하는 몰리브덴 합금층이고 상기 몰리브덴 합금층의 하층이 상기 몰리브덴 합금층보다도 저저항 금속으로 이루어지는 적층 구조인 것을 특징으로 하는 박막 트랜지스터 회로 장치.

청구항 9.

제 8항에 있어서,

상기 배선은 실리콘막에 접하여 형성되며, 상기 저저항 금속의 하층에 몰리브덴층 또는 몰리브덴 합금층이 더 형성되어 있는 것을 특징으로 하는 박막 트랜지스터 회로 장치.

청구항 10.

제 8항에 있어서,

상기 저저항 금속은, 알루미늄을 주성분으로 하는 금속, 구리를 주성분으로 하는 금속, 은을 주성분으로 하는 금속의 어느 하나인 것을 특징으로 하는 박막 트랜지스터 회로 장치.

청구항 11.

제 10항에 있어서,

상기 알루미늄을 주성분으로 하는 금속은, 순 알루미늄 또는 네오디뮴을 함유하는 알루미늄 합금인 것을 특징으로 하는 박막 트랜지스터 회로 장치.

청구항 12.

제 1항에 있어서,

상기 단자 전극이 투명 도전막으로 이루어지는 것을 특징으로 하는 박막 트랜지스터 회로 장치.

청구항 13.

제 12항에 있어서,

상기 투명 도전막이 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 또는 IZTO(Indium Tin Zinc Oxide)인 것을 특징으로 하는 박막 트랜지스터 회로 장치.

청구항 14.

기관의 중앙부에 형성된 주회로 영역과 기관의 자갈 주위에 형성된 외부 회로 영역에 형성된 박막 트랜지스터 및 배선과,

상기 박막 트랜지스터의 전극 또는 상기 배선상에 형성된 절연막과,

상기 절연막에 형성되고 하층의 상기 박막 트랜지스터의 전극 또는 상기 배선의 적어도 일부를 노출하는 개구부와,

상기 개구부 전극 또는 상기 개구부 사이를 접속하는 접속 배선을 가지며,

상기 박막 트랜지스터의 전극 또는 상기 배선을 구성하는 금속이 니오븀을 5 내지 20at%의 비율로 함유하는 몰리브덴 합금을 포함하며,

상기 개구부에 노출되는 상기 박막 트랜지스터의 전극 또는 상기 전선의 표면이 니오븀의 산화막으로 이루어지는 층인 것을 특징으로 하는 박막 트랜지스터 회로 장치.

청구항 15.

삭제

청구항 16.

삭제

청구항 17.

제 14항에 있어서,

상기 개구부에 노출하는 상기 몰리브덴 합금은, 니오븀을 5 내지 10at%의 비율로 함유하는 것을 특징으로 하는 박막 트랜지스터 회로 장치.

청구항 18.

제 14항에 있어서,

상기 개구부에 노출하는 상기 몰리브덴 합금은, 니오븀을 10 내지 15at%의 비율로 함유하는 것을 특징으로 하는 박막 트랜지스터 회로 장치.

청구항 19.

제 14항에 있어서,

상기 개구부에 노출하는 상기 몰리브덴 합금은, 니오븀을 15 내지 20at%의 비율로 함유하는 것을 특징으로 하는 박막 트랜지스터 회로 장치.

청구항 20.

제 14항에 있어서,

상기 배선 또는 상기 박막 트랜지스터의 전극이 니오븀을 함유하는 몰리브덴 합금층만으로 이루어지는 것을 특징으로 하는 박막 트랜지스터 회로 장치.

청구항 21.

제 14항에 있어서,

상기 배선 또는 상기 박막 트랜지스터의 전극은, 적어도 최상층이 니오븀을 함유하는 몰리브덴 합금층이고 상기 몰리브덴 합금층의 하층이 상기 몰리브덴 합금층보다도 저저항 금속으로 이루어지는 적층 구조인 것을 특징으로 하는 박막 트랜지스터 회로 장치.

청구항 22.

제 21항에 있어서,

상기 배선 또는 상기 박막 트랜지스터의 전극은, 상기 저저항 금속의 하층에 몰리브덴층 또는 몰리브덴 합금층이 더 형성되어 있는 것을 특징으로 하는 박막 트랜지스터 회로 장치.

청구항 23.

제 21항에 있어서,

상기 저저항 금속은, 알루미늄을 주성분으로 하는 금속, 구리를 주성분으로 하는 금속, 은을 주성분으로 하는 금속의 어느 하나인 것을 특징으로 하는 박막 트랜지스터 회로 장치.

청구항 24.

제 23항에 있어서,

상기 알루미늄을 주성분으로 하는 금속은, 순 알루미늄 또는 네오디뮴을 함유하는 알루미늄 합금인 것을 특징으로 하는 박막 트랜지스터 회로 장치.

청구항 25.

제 14항에 있어서,

상기 전극 또는 상기 접속 배선이 투명 도전막으로 이루어지는 것을 특징으로 하는 박막 트랜지스터 회로 장치.

청구항 26.

제 25항에 있어서,

상기 투명 도전막이 ITO, IZO 또는 IZTO인 것을 특징으로 하는 박막 트랜지스터 회로 장치.

청구항 27.

삭제

청구항 28.

삭제

청구항 29.

삭제

청구항 30.

제 1항 또는 제 14항에 기재된 박막 트랜지스터 회로 장치를 한쪽의 기관으로 하고, 기관상에 적어도 공통 배선을 형성한 다른쪽의 기관을 대향하여 배치하고, 간극에 액정을 끼워 지지하여 이루어지는 것을 특징으로 하는 액정 표시 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

기술분야

최근에, 박막 트랜지스터(TFT) 액정 디스플레이는 액정 디스플레이의 주된 흐름이며 박막 트랜지스터는 박막 트랜지스터 회로 장치에 대한 스위칭 소자로서 개발되어 온 것으로서, 보다 크게 제조된 TFT 액정 디스플레이, 및 보다 소형으로 제조된 TFT 액정 디스플레이의 픽셀로부터 생긴 기술 향상이 이루어져 왔다. TFT 액정 디스플레이의 픽셀을 구동하는 단순한 스위칭 소자는 별개로 하고, 액정 디스플레이에서 사용되는 박막 트랜지스터 회로 장치는 액정을 구동하는 구동 회로용의 트랜지스터로서 및 정전기 보호 회로용의 트랜지스터로서 기관상에 제조된다.

종래기술

따라서, 박막 트랜지스터 회로 장치 트랜지스터들의 전극 사이의 접속에 사용될 배선에 대한 필요성이 대두되고 있다.

종래기술에서, 알루미늄(Al) 또는 알루미늄 합금 등의 알루미늄 배선은 박막 트랜지스터 회로 장치에 형성된 배선의 배선 저항을 감소시키는데 사용되어 왔다.

그러나, 알루미늄 배선은 열 이력(thermal history)에 따라 힐록(hillock)을 용이하게 형성하는 경향이 있는 단점이 있다. 상기 힐록은 테이퍼 팁 형상이고, 그에 따라 대면 기관을 손상시키는 등의 문제들을 야기한다. 상기 문제를 해결하기 위해, 내화성 금속막이 알루미늄 배선상에 적층되는 적층 배선법이 있다. 일본국 특허공개공보 제11-259016호는 내화성 금속을 알루미늄상에 적층하여 알루미늄 배선상의 힐록을 방지하는 기술을 개시한다. 일본국 특허공개공보 제11-259016호는 Cr, Mo, W, Ti, Zr, Hf, V, Nb, 및 Ta, 또는 그 합금으로 구성된 그룹으로부터 선택된 하나의 금속을 내화성 금속으로서 개시한다.

전술한 적층 배선은 질화물막으로 피복되어 단자를 노출시키기 위해 드라이 에칭에 의해 상기 질화물막을 제거하는 경우에 질화물막 및 몰리브덴의 에칭 선택성은 몰리브덴 합금이 에칭되는 것을 방지할 정도로 높아져야 한다. 일본국 특허공개공보 제2000-284326호는 몰리브덴에 개략 17 atom%(이하에서, at%라고 한다) 또는 그 이상의 니오븀(Nb)을 첨가함으로써, Mo-Nb 에칭 속도가 질화물 에칭 속도 보다 1/4 또는 그 보다 낮게 될 수 있다는 것을 개시한다.

그러나, 몰리브덴 배선은 공기중의 습기에 의해 쉽게 부식된다. 따라서, 몰리브덴 배선에 대해, 몰리브덴 부식은 공기에 노출되는 단자부의 표면에서 발생하는 경향이 있어, 외부 접속 신뢰성이 불량해 진다. 또한, 오히려 몰리브덴이 아닌 Cr, W, Ti, Zr, Hf, V, Nb, 및 Ta가 내화성금속으로 사용되는 경우에, 알루미늄 합금 적층막의 웨트 에칭이 용이하지 않고, 그에 따라, 테이퍼 형상의 게이트 배선층이 나빠지고, 따라서 게이트 배선의 상부층상에서 층간 절연막을 사이에 두고 형성된 드레인 및 소스 배선은 절단되는 경향이 있다.

또한, 일본국 특허공개공보 제2000-284326호는 배선의 상부층을 구성하는 몰리브덴 합금 및 배선을 피복하는 질화물의 드라이 에칭 선택 속도를 높이기 위해 개략 17 at% 또는 그 이상의 니오븀을 몰리브덴에 첨가하는 것은 양호하다는 것을 개시하는데, 그 이유는 몰리브덴 합금 에칭 속도는 질화물막 에칭비의 1/4 또는 그 이하로 낮아질 수 있기 때문이다. 그러나, 몰리브덴 합금의 부식 저항에 대해서는 고려하지 않았다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 적어도 배선에 대해 몰리브덴 합금을 사용하는 배선 구조를 포함하는 박막 트랜지스터 회로 장치에 대해 공기중에서 몰리브덴 합금의 부식 저항을 향상시키는 것이다.

본 발명에 따르면, 기관의 외주부상에 형성된 단자를 향해 연장되는 상기 기관의 중심부상에 형성된 주 회로 영역의 박막 트랜지스터의 배선을 구비는 박막 트랜지스터 회로 장치에 있어서, 상기 단자는 절연막으로 피복된 배선의 일부, 및 단자 전극 금속으로 형성된 상기 단자의 상기 노출된 표면을 노출하고, 상기 배선의 적어도 상기 노출된 표면은 니오븀(niobium)을 함유하는 몰리브덴 합금인 것을 특징으로 하는 박막 트랜지스터 회로 장치가 개시된다.

상기 몰리브덴 합금은 5 내지 20at% 비율의 니오븀을 함유하면 양호하다.

상기 배선은 니오븀을 함유하는 몰리브덴 합금층으로만 구성될 수 있다. 또한, 상기 배선은 적어도 최상부층이 니오븀을 포함하는 몰리브덴 합금층인 적층 구조이고, 상기 몰리브덴 합금층의 하부층은 상기 몰리브덴 합금층 보다 저항이 더 낮은 저 저항 금속으로 구성된다. 상기 배선층은 실리콘막상에 형성되고, 몰리브덴 합금층이 하부층상에 형성되면 보다 더 양호하다.

상기 저 저항 금속층은 주성분으로서 알루미늄을 포함하는 금속, 주성분으로서 구리를 포함하는 금속, 또는 주성분으로서 은을 포함하는 금속 중의 어느 하나이다.

주성분으로서 알루미늄을 포함하는 상기 금속은 순수 알루미늄 또는 네오디뮴(neodymium)을 함유하는 알루미늄 합금이다. 상기 단자 전극은 투명 도전막으로 구성되고, 상기 투명 도전막은 ITO(인듐 주석 산화물), IZO(인듐 아연 산화물) 또는 IZTO(인듐 주석 아연 산화물)이다.

본 발명에 따른 박막 트랜지스터 회로 장치에 있어서, 기관의 중심부상에 형성된 주 회로 영역, 및 상기 기관의 외주부상에 형성된 외부 회로 영역에 형성된 배선 및 박막 트랜지스터를 포함하고, 상기 주 회로 영역과 상기 외부 영역에 형성된 배선과 박막 트랜지스터의 전극이 절연막으로 피복되고, 관통 개구(via aperture)는 상기 절연막상에 제공되고, 상기 배선 및/또는 상기 박막 트랜지스터의 상기 전극의 최상부 표면은 상기 관통 개구상에 노출되고, 상기 배선 및/또는 상기 박막 트랜지스터의 상기 전극은 금속막에 접속되고, 상기 배선 및 상기 전극의 노출된 최상부 표면은 니오븀을 함유하는 몰리브덴 합금인 구성이 제공된다.

또한, 산화 니오븀층은 개구에 의해 노출된 니오븀을 포함하는 상기 몰리브덴 합금의 표면상에 형성되면 양호하다.

상기 개구에 의해 노출된 상기 몰리브덴 합금은 5 내지 20at%의 비율의 니오븀을 함유하면 양호하다.

또한, 상기 배선은 몰리브덴층 또는 니오븀을 함유하는 몰리브덴 합금층으로만 구성된다. 상기 배선 또는 박막 트랜지스터의 전극은 적어도 최상부층이 니오븀을 함유하는 몰리브덴 합금층인 적층 구조이고, 상기 몰리브덴 합금층의 하부층이 상기 몰리브덴 합금층 보다 저항이 더 낮은 저 저항 금속으로 구성된다. 실리콘막상에 형성된 박막 트랜지스터의 전극 또는 상기 배선은 하부층상에 형성된 몰리브덴 합금층 및 몰리브덴층을 더 포함한다.

상기 저 저항 금속층은 주성분으로서 알루미늄을 포함하는 금속, 주성분으로서 구리를 포함하는 금속, 또는 주성분으로서 은을 포함하는 금속 중의 어느 하나이고, 주성분으로서 알루미늄을 포함하는 상기 금속은 순수 알루미늄 또는 네오디뮴(neodymium)을 함유하는 알루미늄이다.

상기 금속막은 투명 도전막으로 구성되고, 상기 투명 도전막은 ITO(인듐 주석 산화물), IZO(인듐 아연 산화물) 또는 IZTO(인듐 주석 아연 산화물)이다.

또한, 기관의 중심부상에 형성된 주 회로 영역, 및 상기 기관의 외주부상에 형성된 외부 회로 영역에 형성된 배선 및 박막 트랜지스터를 포함하는 박막 트랜지스터 회로 장치의 제조 방법에 있어서, 상기 배선 또는 상기 박막 트랜지스터의 전극상에 절연막을 형성하는 공정과, 상기 배선 및 상기 박막 트랜지스터의 절연막상에 형성하는 관통 개구(via aperture)에 상기 배선 또는 상기 박막 트랜지스터의 전극의 최상부층의 표면을 노출하는 공정과, 상기 관통 개구 사이에 배선을 형성하는 공정을 포함하고, 상기 배선 또는 상기 트랜지스터의 전극의 최상부층의 노출된 표면은 니오븀을 함유하는 몰리브덴 합금인 것을 특징으로 하는 박막 트랜지스터 회로 장치의 제조 방법이 개시된다.

또한, 상기 배선 또는 상기 박막 트랜지스터의 전극의 상기 최상부의 상기 노출된 표면을 산화하는 공정은 상기 배선 또는 상기 박막 트랜지스터의 상기 절연막상에 형성하는 관통 개구에 상기 배선 또는 상기 박막 트랜지스터의 전극의 상기 최상부층의 표면을 노출하는 상기 공정 이후에 행해진다.

이 때, 상기 관통 개구들 사이에 배선을 형성하는 공정은 산소 함유 대기에 의해 스퍼터링된다.

또한, 전술한 박막 트랜지스터 회로 장치가 하나의 기관상에 제조되고, 상기 하나의 기관은 적어도 공통 배선이 상부에 형성되는 다른 기관에 대면하도록 배치되고, 상기 기관들 사이의 겹에 액정을 삽입함에 의해 형성된다.

본 발명에 따르면, 몰리브덴에 5 내지 20at%의 비율의 니오븀을 첨가함으로써, 몰리브덴 합금의 공기 중에서의 부식 저항을 현저하게 향상시킬 수 있다. 상기 배선 구조를 드레인 배선에 적용함으로써, 게이트 단자/배선 및 드레인 단자/배선의 신뢰성을 향상시킬 수 있다.

발명의 구성

본 발명의 목적은 적어도 배선에 대해 몰리브덴 합금을 사용하는 배선 구조를 포함하는 박막 트랜지스터 회로 장치에 대해 공기중에서 몰리브덴 합금의 부식 저항을 향상시키는 것이다. 본 발명의 또다른 목적은 적어도 몰리브덴 합금 및 알루미늄 또는 알루미늄 합금으로 구성된 적층막을 웨트 에칭하는 경우에, 전방향의 테이퍼 형상(forward tapered shape)인 에칭 형상을 달성하는 것이다.

본 발명에 따른 박막 트랜지스터 회로 장치는 제 1의 기관과, 상기 제 1의 기관상에 마련되고 표시 영역의 외주부에서 게이트 단자를 구성하는 게이트 배선과, 상기 게이트 배선을 피복하는 상기 제 1의 기관상에 마련된 제 1의 절연막과, 상기 제 1의 절연막상에 마련되고 박막 트랜지스터 활성층으로 기능하는 반도체층과, 상기 게이트 배선을 가로지르고 표시 영역의 외주부에서 드레인 단자를 구성하는 드레인 배선과, 상기 드레인 배선을 피복하는 상기 제 1의 절연막상에 마련된 제 2의 절연막과, 게이트 단자 개구 및 드레인 단자 개구를 각각 피복하고 상기 게이트 단자 및 상기 드레인 단자의 상기 절연막상에 마련된 게이트 단자 전극 및 드레인 단자 전극을 포함하고, 상기 게이트 배선은 바닥으로부터 순서대로 하부 저항 금속, 및 니오븀을 포함하는 몰리브덴 합금을 포함하고, 상기 하부 저항 금속은 상기 몰리브덴 합금 보다 더 저항이 낮은 것을 특징으로 한다.

상술한 박막 트랜지스터 회로 장치에 있어서, 소스 전극은 드레인 배선과 동일층에 형성되고, 드레인 배선 및 소스 배선은 각각 반도체층과 접촉되고, 드레인 배선 및 소스 배선은 바닥으로부터 순서대로 몰리브덴 또는 몰리브덴 합금, 중간층의 저 저항 금속, 및 니오븀을 포함하는 몰리브덴 합금을 포함하고, 상기 저 저항 금속은 하부층의 몰리브덴 또는 몰리브덴 합금 중의 어느 것 보다 더 저항이 낮다.

컨택트 홀은 소스 전극상의 제 2의 절연막상에 제공되고, 게이트 단자 전극과 드레인 단자 전극의 재료와 동일한 재료로 구성되는 픽셀 전극은 컨택트 홀을 경유하여 소스 전극에 접촉된다.

또한, 상부층 몰리브덴/니오븀, 및 게이트 단자 전극과 드레인 단자 전극을 구성하는 재료 사이에 산화 니오븀을 제공함으로써 외측과의 접촉 신뢰성이 개선된다.

상술한 박막 트랜지스터 회로 장치에 있어서, 게이트 단자 전극과 드레인 단자 전극을 구성하는 재료는 ITO(인듐 주석 산화물), IZO(인듐 아연 산화물) 또는 IZTO(인듐 주석 아연 산화물)이다.

박막 트랜지스터 회로 장치에 있어서, 저 저항 재료는 주성분으로서 알루미늄을 갖는 재료, 주성분으로서 구리를 갖는 재료 또는 주성분으로서 은을 갖는 재료 중의 어느 것이어도 무방하다. 또한, 주성분으로서 알루미늄을 갖는 재료는 양호하게는 순수 알루미늄 또는 네오디뮴(neodymium)을 포함하는 알루미늄 합금이다.

또한, 본 발명에 따른 박막 트랜지스터 회로 장치의 제조 방법은, 박막 트랜지스터 기관의 제조 방법으로서, 상기 방법은 표시 영역의 외주부에서 게이트 단자를 구성하는 제 1의 기관상에 게이트 배선을 형성하는 게이트 배선 형성 공정과, 게이트 배선을 피복하는 제 1의 기관상에 제 1의 절연막을 형성하는 제 1의 절연막 형성 공정과, 게이트 전극으로 기능하고 제 1의 절연막상에 게이트 배선의 일부를 갖는 박막 트랜지스터 반도체를 형성하는 반도체 형성 공정과, 제 1의 절연막상에서 게이트 배선을 가로지르고 표시 영역의 외주부에서 드레인 단자를 구성하고 반도체 층을 접속하는 드레인 배선을 형성하는 드레인 배선 형성 공정과, 드레인 배선을 피복하는 제 1의 절연막상에 제 2의 절연막을 형성하는 제 2의 절연막 형성 공정과, 게이트 단자 및 드레인 단자의 절연막상에 게이트 단자 개구 및 드레인 단자 개구를 형성하는 개구 형성 공정과, 게이트 단자 개구 및 드레인 단자 개구를 피복하는 게이트 단자 전극과 드레인 단자 전극을 각각 형성하는 단자 전극 형성 공정을 포함하고, 게이트 배선은, 바닥으로부터, 저 저항 재료 및 니오븀을 포함하는 폴리브텐 합금을 포함하고, 저 저항 금속은 폴리브텐 합금 보다 저항이 더 낮은 것을 특징으로 한다.

상술한 박막 트랜지스터 회로 장치의 제조 방법에 있어서, 드레인 배선 형성 공정에서, 드레인 배선은 소스 전극과 동일한 시간에 형성되고, 소스 배선은 반도체층에 접속되고, 드레인 배선 및 소스 배선은 바다으로부터 폴리브텐 또는 폴리브텐 합금, 중간층의 저 저항 금속, 및 니오븀을 포함하는 폴리브텐 합금을 포함하고, 저 저항 금속은 하부 층의 폴리브텐 또는 폴리브텐 합금 또는 상부층의 폴리브텐 합금 중의 어느 층 보다 저항이 더 낮다.

상술한 박막 트랜지스터 회로 장치 제조 방법에 있어서, 단자 개구 형성 공정에서, 콘택트 홀을 소스 전극상의 제 2의 절연막에 마련되고, 게이트 단자 전극 및 드레인 단자 전극의 재료와 동일한 재료로 구성되는 픽셀 전극은 콘택트 홀을 경유하여 소스 전극에 접속된다.

또한, 상술한 박막 트랜지스터 회로 장치의 제조 방법에 있어서, 상부층 폴리브텐/니오븀과 게이트 단자 전극과 드레인 단자 전극을 구성하는 재료 사이에 산화 니오븀을 제공하는 것은 외측과의 접속 신뢰성을 개선하게 한다.

전술한 박막 트랜지스터 회로 장치의 제조 방법에 있어서, 게이트 단자 전극과 드레인 단자 전극을 구성하는 재료는 ITO, IZO, IZTO이다.

전술한 박막 트랜지스터 회로 장치 제조 방법에 있어서, 주성분으로서 알루미늄을 갖는 재료는 양호하게는 순수 알루미늄 또는 네오디뮴(neodymium)을 함유하는 알루미늄 합금이다.

본 발명에 따른 폴리브텐 합금은 5 내지 20at%의 니오븀이 폴리브텐에 함유된 경우에 최적의 폴리브텐 합금이다. 폴리브텐 합금, 알루미늄 또는 알루미늄 합금으로 구성된 적층막을 웨트 에칭하는 도중에 전방향(forward) 테이퍼 형상인 에칭 형상을 달성하려고 시도하는 경우에, 알루미늄 합금에 대한 폴리브텐 합금의 에칭 속도비는 양호하게는 1.5 내지 0.5이고, 보다 양호하게는 1.25 내지 0.75이다. 상기 조건은 폴리브텐 합금에 5 내지 15at%, 또는 5 내지 10at%의 Nb 함유량을 함유함으로써 달성 될 수 있다. 또한, 에칭 속도비는 인산, 질산, 아세트산의 성분 조정을 통해 조절될 수 있다. 부식 저항에 대한 우선 순위를 두어야 할 특정 필요성이 있는 경우에, 폴리브텐 합금에 20at%의 Nb 함유량 또한 가능하다.

전방향 테이퍼 모양의 에칭 형상을 달성하기 위해, Mo에 5 내지 10at%의 Nb를 섞는 것이 최선이고, 부식 저항에 대한 특정 선택시에, Mo 내에 10 내지 15 at%의 Nb를 섞는 것이 최적이고, 부식 저항에 대한 특정 선택시에, Mo 내에 15 내지 20at%의 Nb를 섞는 것이 최적이다.

본 발명에 따른 알루미늄 합금을 사용하는 배선은 표면이 노출되는 단자의 구조가 단자를 접속하는 배선의 구조와 동일한 박막 트랜지스터 회로 장치의 구조상에 배선하기 위한 최적 구조이다. 배선 구조는 양호하게는 폴리브텐 합금 단일층 구조 배선, 또는 다층 구조 배선이고, 상기 다층 구조 배선에서, 하부층은 알루미늄 합금이고 상부층은 폴리브텐 합금이다. 배선을 형성하는 베이스 물질(기관상에 형성된 막 또는 기관)은 실리콘 기관이고 다층 배선이면 보다 양호하고, 상기 다층 배선에서 하부층은 폴리브텐 또는 폴리브텐 합금이고 중간층은 알루미늄 합금이고 최상층은 폴리브텐 합금이다.

본 발명에 따른 박막 트랜지스터 회로 장치는 제 1의 기관을 예컨대 공통 배선으로 형성된 제 2의 기관에 대면하도록 구성할 수 있고, 상기에서, 액정 디스플레이는 겹에 액정을 끼움으로써 형성된다.

제 1의 실시예

액정 디스플레이 픽셀이 상부에 형성되는 기관측은 본 발명에 따른 예시로서 이하에서 설명될 것이다. 도 1은 액정 디스플레이 픽셀이 형성되는 기관측의 박막 트랜지스터 회로 장치의 전체 구조의 일부를 개략 도시하는 다이어그램이다. 도 2 내지 9는 박막 트랜지스터 회로 장치(TFT 회로 장치)의 전체 구조의 일부를 개략 도시하는 공정 단면도이다.

당연히, 본 발명은 액정 디스플레이 이외의 박막 트랜지스터 회로 장치에 적용될 수 있다.

도 1에 도시된 바와 같이, 게이트 배선(2) 및 게이트 단자(3)는 TFT 회로 장치(100)상에 수평 방향으로 제공되고, 정전기 보호 배선(4)은 기관의 최외주부에 형성된다. 게이트 배선(2)은 게이트 단자(3)를 통과하여, 게이트 배선(22)이 되어 정전기 보호 소자(19)를 경유하여 정전기 보호 배선(4)에 접속한다. 드레인 배선(7)은 게이트 배선(2)에 대해 직교하게 TFT 회로 장치(100)상에 배치된다. 드레인 배선(7)은 드레인 단자(8)를 통과하여, 드레인 배선(27)이 되어 정전기 보호 소자(19)를 경유하여 정전기 보호 배선(4)에 접속한다. 박막 트랜지스터(10)는 게이트 배선(2) 및 드레인 배선(7)이 교차하는 영역에 제공된다. 박막 트랜지스터(10)의 게이트 단자는 게이트 배선에 접속되고, 박막 트랜지스터(10)의 드레인 단자는 드레인 배선(7)에 접속되고, 그에 따라 소자가 픽셀 전극(도시되지 않음)에 접속된다. 정전기 보호 소자(19)는 박막 트랜지스터(10)의 구조와 동일한 트랜지스터 구조로부터 구성된다.

도 1에 있어서, 선분 I-I'에 의해 둘러싸인 내부 영역은 메인 회로 영역이고, 액정 디스플레이에서 사용되는 박막 트랜지스터 회로 장치에 대해 상기 영역은 표시 영역이 된다.

도 1에 따른 박막 트랜지스터 회로 장치는 액정 디스플레이의 기관을 형성한다. 정전기 보호 소자(19)는 박막 트랜지스터 회로 장치의 제조 중에 정전기 보호를 위해 사용되고, 기관은 선분 II-II'에 따라 액정 디스플레이를 제조하는 공정 중에 절단된다. 도 1에 도시되지 않았지만, 몇몇의 경우에 정전기 보호 회로 또는 구동 회로 등의 회로는 게이트 단자(3) 및 드레인 단자(4)와 표시 소자 영역 사이에 추가로 형성된다. 상기 정전기 보호 소자 또는 구동 회로를 합하여 외부 회로 영역이라고 한다. 정전기 보호 소자(19)와 유사하게, 회로 영역에 형성된 박막 트랜지스터는 메인 회로 영역에 형성된 박막 트랜지스터(10)의 구조와 동일한 구조를 갖는 트랜지스터로부터 제조된다.

도 2 내지 도 12는 박막 트랜지스터 회로 장치의 일련의 제조 공정에서 드레인 배선(7)과 드레인 단자(8), 박막 트랜지스터(10), 게이트 배선(2)과 게이트 단자(3)의 각각의 단면을 개략 도시하는 공정 단면도이다. 각각의 도면은 드레인 배선 및 드레인 단자 형성 영역(A); 박막 트랜지스터 형성 영역(B); 게이트 배선 및 게이트 단자 형성 영역(C)의 좌측으로부터 순서대로 도시된다.

먼저, 두께가 200 내지 400nm이고 2at%의 네오디뮴(neodymium)을 함유하는 알루미늄 합금, 및 두께가 50 내지 100nm이고 5 내지 15at%의 니오븀(niobium)을 함유하는 몰리브덴 합금이 유리로 구성된 투명 기관(1)상에 그 순서대로 디포지팅되어 적층막을 형성하고, 하부층은 알루미늄 합금이고 상부층은 몰리브덴 합금이다. 게이트 배선(2), 게이트 단자(3), 및 정전기 보호 배선(4)(도시되지 않음)은 적층막의 보통의 포토리소그라피에 의해 형성된 포토레지스트의 마스크를 사용하여 인산; 질산; 아세트산 에칭제를 채택한 웨트 에칭 기술을 사용하여 형성되었다(제 1의 포토리소그라피 공정). 게이트 배선(2), 게이트 단자(3), 및 정전기 보호 배선(4)(도시되지 않음)은 하부층이 알루미늄 합금층(31)이고 상부층이 몰리브덴 합금층(32)인 적층 구조를 갖는다(도 2).

투명 기관용으로 채택된 유리로서, 석영 등의 내열성 유리가 고온 폴리실리콘 기술을 사용하여 박막 트랜지스터를 형성하는 경우에 채택되고, 알칼리 또는 무알칼리 유리는 저온 폴리실리콘 기술 또는 비정질 실리콘 기술을 사용하는 경우에 채택된다. 본 실시예는 비정질 실리콘 기술을 사용하는 컬러 TFT 디스플레이 장치에 대한 박막 트랜지스터를 형성하는 예이기 때문에, 무알칼리 유리가 채택된다.

다음에, 막두께가 200 내지 600nm인 질화막(5)과, 막두께가 100 내지 300nm인 비정질 실리콘(이하, "a-Si"라고 함)막(61)과, 막두께가 20 내지 70nm인 n+ 형 비정질 실리콘(이하, "n+ 형 Si"라고 함)막(62)과, 막두께가 200 내지 500nm인 크롬(Cr)막(7)이 상기 순서로 디포지팅된다(도 3).

질화막, 산질화막(oxynitride film), 산화막 등의 절연막은 질화막(5)으로서 사용될 있고, 이는 박막 트랜지스터에 대한 게이트 절연체로서 사용된다.

다음에, 레지스트 패턴(58, 59)이 헬프톤 마스크(halftone mask)를 사용하여, Cr막(7)상에서 포토리소그라피에 의해 형성된다. 레지스트 패턴(58)은 드레인 단자를 포함하는 드레인 배선의 형성 영역(A)상에 형성되고, 레지스트 패턴(59)은 박막 트랜지스터의 형성 영역상에 형성된다.

상기 공정 중에, 레지스트 패턴(58, 59)은 양호하게는 헬프톤(halftone) 마스크 또는 그레이톤(gray tone) 마스크를 사용하여 형성된다.

완전 노출된 부분 및 음영부를 제외하고, 헬프톤 또는 그레이 톤 마스크는 박막 트랜지스터의 채널 영역에 대응하는 반 투과 영역을 갖는 패턴이다. 그 결과, 박막 트랜지스터(이하, "TFT"라고 함) 형성 영역(B)상에 형성된 레지스트 패턴(59)의 막두께는 박막 트랜지스터 채널에 의해 형성된 영역에서는 막두께가 0.5 내지 1.0 μm 이고, 다른 영역에서는 막두께가 1.5 내지 2.0 μm 이다.

다음에, 레지스트 패턴(58, 59)을 마스크로 하여, Cr막(7)은 예컨대, 세릭 암모니움 니트레이트(ceric ammonium nitrate) 및 질산의 혼합액을 사용하는 에칭에 의해 제거된다(도 4).

다음에, 레지스트 패턴(58, 59)을 마스크로 하여, n+ 형 a-Si막(62) 및 a-Si막(61)이 드라이 에칭에 의해 연속 제거된다(도 5).

다음에, 레지스트 패턴(58, 59)이 레지스트 패턴(59) 내부의 박막 트랜지스터 채널 영역에 대응하는 얇은 부분을 제거하는 시간 동안만 산소 플라즈마 애싱(ashing)에 의해 두께 방향으로 에칭된다. 레지스트 패턴(58, 59)은 이와 같이 하여 각각의 두께가 0.5, 내지 1.0 μm 인 레지스트 패턴(88, 89, 90)이 된다.

다음에, Cr막(7)은 레지스트 패턴(88, 89, 90)을 마스크로하여 선택적 드라이 에칭에 의해 제거되어 드레인 단자 음영 전극(73), TFT 드레인 전극(74), 및 소스 전극(75)을 형성한다(도 7).

다음에, 일단 레지스트 패턴(88, 89, 90)이 제거되고, 그 후, 드레인 단자(73), TFT 드레인 전극(74) 및 소스 전극(75)을 마스크로 하여, 박막 트랜지스터(10)의 채널 영역의 n+ 형 a-Si막(62) 및 a-Si막(61)의 일부는 드라이 에칭을 사용하여 에칭된다(제 2의 포토리소그라피 공정). 다음에, 막두께가 100 내지 300nm인 질화막으로 구성된 보호막(11)이 기판 표면상에 형성되고, 그 후, 포토리소그라피 공정을 사용하여 드레인 단자(8), 박막 트랜지스터(10)의 소스 전극(75), 및 게이트 단자상의 절연막이 에칭에 의해 제거되어 개구(12, 13, 14)를 형성한다. 이때, 드레인 단자(8) 및 박막 트랜지스터(10)의 소스 전극(75)에 대응하는 개구(12, 13)는 보호막(11)의 에칭에 의해 형성되고, 게이트 단자(3)에 대응하는 개구(14)는 보호막(11) 및 질화막(5)의 에칭에 의해 형성된다(제 3의 포토리소그라피 공정)(도 8).

당연히, 질화막 이외에, 보호막(11)은 산화막, 산질화막 등으로 이루어진 절연막을 채택할 것이다.

최종적으로, 스퍼터링 기술을 사용하여, 막두께가 30 내지 100nm인 ITO(인듐 주석 산화물)막이 디포지팅되고, 그 이후에 에칭 마스크로서 기능하는 포토레지스트 패턴이 포토리소그라피 공정을 사용하여 형성된다. 다음에, ITO막은 드라이 에칭에 의해 패터닝되어 드레인 단자 전극(15), 픽셀 전극(16), 및 게이트 단자 전극(17)을 형성한다(제 4의 포토리소그라피 공정)(도 9).

TFT 회로 장치는 상술한 바와 같이 형성된다. 도 9에 도시된 바와 같이 게이트 단자(3)의 구조는 바닥으로부터 순서대로 알루미늄 합금, 폴리브덴 합금, 및 ITO이고, 폴리브덴 합금의 Nb 함유량은 양호하게는 5 내지 20at%(원자량 값)이다.

또한, IZO(인듐 아연 산화물) 또는 IZTO(인듐 주석 아연 산화물)이 ITO 대신에 사용되어 동일한 효과가 얻어진다.

ITO, IZO, 또는 IZTO와 알루미늄 합금 사이에 폴리브덴 합금을 끼우는 것은 ITO, IZO 또는 IZTO와 Al 사이에서 발생하는 전식 작용(galvanic action)을 방지하고, ITO, IZO 또는 IZTO와의 접촉 저항을 낮게 한다. 그러나, ITO, IZO, IZTO는 습기가 쉽게 통과하도록 하고, 따라서, 폴리브덴 합금이 ITO, IZO IZTO에 의해 피복되는 구조에서도, 내습성 폴리브덴 합금이 요구된다. 여기서, Mo에 5 내지 20at%의 Nb를 함유하는 현저한 효과는 그래프를 이용하여 설명된다.

도 10은 폴리브덴 합금내의 Nb의 비율이 변동하는 경우 고온 고습 테스트로부터 합금 저항의 시간에 따른 변화를 도시한다(수평축, 및 수직축 양쪽 모두는 로그 스케일(logarithmic scale)이다). Nb를 함유하지 않는 순수 Mo에 대해, 합금 저항은 30시간이 경과한 이후부터 증가하기 시작한다. 5, 10, 15at%를 함유하는 합금에 있어서, 5at% 함유 합금에 대해서는 30 시간후에 증가를 나타내는 것이 관찰될 수 있지만, 10 및 15at% 함유 합금에 대해서는, 합금 저항의 변화가 관찰되지 않는다. 저항의 증가는 개략 100 시간이 경과한 이후에 10 및 15at%에 대해 관찰되었다. 따라서, 폴리브덴 합금에 함유된 Nb 함유량은 양호하게는 5at% 이상이고 10at% 이상이 더 바람직하다.

Nb 함유량이 15at% 이상인 경우에, 저항의 변화는 10at% 또는 15at%의 함유량에 대해 관찰된 것과 차이가 없다.

도 11은 인산; 질산; 아세트산을 사용하여 몰리브덴 합금을 웨트 에칭하는 경우에 몰리브덴 합금 및 알루미늄 합금 에칭 속도비에 대해 몰리브덴 합금에 함유된 Nb의 비율에 기인한 변화를 도시한다. 이상적으로, 양호한 에칭 형상을 얻기 위해, 몰리브덴 합금과 알루미늄 합금의 적층체는 웨트 에칭되어 몰리브덴 합금 및 알루미늄 합금 에칭 속도는 양호하게는 거의 동일하다. 따라서, 몰리브덴 합금과 알루미늄 합금 에칭 속도비는 양호하게는 1.5 내지 0.5이고 보다 양호하게는 1.25 내지 0.75이다. 상기 조건하에서, 몰리브덴 합금내의 5 내지 15at%의 Nb 함유량 또는 5 내지 10at%의 함유량이 달성된다. 에칭 속도비는 또한 인산; 질산; 아세트산의 성분 조정에 의해 조절될 수 있다. 부식 저항에 대한 특정 우선 순위를 두고자 하는 특수한 필요성이 있는 경우에, 몰리브덴 합금 내의 20at%의 Nb 함유량 또한 가능하다.

도 10 및 11로부터, 몰리브덴 합금 내의 5 내지 20at%의 Nb 함유량은 최적 몰리브덴 합금을 부여한다. 본 발명을 사용하는 액정 디스플레이에 대해, Mo내의 5 내지 10at%의 Nb 함유량은 에칭 형상에 대해 선택할 때 최적이고, Mo내의 10 내지 15at%의 Nb 함유량은 부식 저항에 대한 선택을 하는 경우에 최적이다. 부식 저항에 대한 특정 선택을 하는 경우에, 15 내지 20at%의 Nb 함유량이 최적이다.

본 실시예에 있어서, 디스플레이 장치의 구조는 단순 구조를 이용하여 설명하였기 때문에, 디스플레이 장치 영역에서의 게이트 배선 및 드레인 배선은 동일층상에 형성된 구성을 사용하여 설명된다. 그러나, 게이트 단자(3)와 드레인 단자(3)에 인가된 정전기로부터 구동 회로 및 디스플레이 장치를 구성하는 트랜지스터를 보호하기 위해 정전기 보호 회로가 제공되는 경우가 있고, 또는, 픽셀부의 구성이 인 플레인형(in-plane type)과 같이 복잡한 경우가 있고, 또는, 게이트 전극 및 게이트 배선/드레인 전극 및 드레인 배선이 별도의 층에 형성되는 경우도 있다. 도 31은 하나의 박막 트랜지스터에 대해 게이트 배선이 다른 박막 트랜지스터의 오프와 접속하는 경우의 예를 개략 도시한다. 도 31의 a는 상기과 같은 구조의 평면도를 도시하고, 도 31의 b는 도 31의 a의 선분 III-III선을 따른 단면도를 도시하는 다이어그램이다.

도 31의 a에 있어서, 2개의 박막 트랜지스터는 병렬로 형성되고, 하나의 박막 트랜지스터의 게이트 배선(2)은 다른 박막 트랜지스터의 전극 중의 하나와 접속되고, 다른 박막 트랜지스터의 게이트 배선은 상기 제 1의 박막 트랜지스터의 전극 중의 하나와 접속된다. 도 31의 b는 도 31의 a의 II-II선에 따른 단면도이다. 알루미늄 합금층(31), 및 몰리브덴 합금층(32)의 적층 구조의 게이트 배선은 기판(1)상에 형성된다. 게이트 배선상에는 게이트 절연막으로 기능하는 질화막(5), a-Si막(61) 및 n+ 형 a-Si막(62)의 적층체인 박막 트랜지스터의 바디, 및 상기 바디상에 형성된 몰리브덴 합금층(121), 알루미늄 합금층(122) 및 몰리브덴 합금층(123)의 적층 전극이 형성된다. 보호막(11)은 전체 표면을 피복하도록 형성되고, 전극을 노출시키는 제 1의 개구는 전극상의 보호막(11)상에 형성된다. 또한, 보호막(11) 및 질화막(5)상에, 제 2의 개구가 배선의 표면을 노출시키기 위해 형성된다. 접속 배선(77)은 게이트 배선과 전극을 접속하기 위해 상기 제 1 및 제 2의 개구를 통해 형성된다.

제 2의 실시예

다음에, 본 발명에 따른 제 2의 실시예가 도 12에서 도시될 것이다. 도 12는 도 9의 일부분(D)의 확대도로서, 산화 니오븀막(18)이 게이트 단자 ITO와 몰리브덴 합금의 표면에 형성된다.

산화 니오븀막(18)은 ITO를 디포지팅할 때 아르곤(Ar)에 산소(O₂)를 추가함으로써 실시될 수 있다.

제 2의 실시예에 있어서, ITO는 30 내지 100nm의 두께까지 디포지팅된다.

장치에 따라 다르지만, 압력이 0.3 내지 0.6 Pa이고, DC 전력이 1 내지 2 KW이고, O₂ 유량이 Ar 유량의 0.1 내지 2%이면 양호한 조건이고 다른 값들도 최적일 수 있다. 당연히, 상기 조건들은 적절하게 결정될 수 있다.

소량의 O₂를 Ar에 첨가함에 의해, 스퍼터링이 시작된 직후에 몰리브덴 합금의 표면상에 약 1 내지 5nm의 두께를 갖는 산화 니오븀막(18)이 형성되는 것이 가능해진다. 산화 니오븀막은 비유동 재료이기 때문에, 배리어 막으로 작용하고 Mo 및 그 밑의 Al의 부식을 방지한다.

당연히, 산화 니오븀막(18)은 산소 함유 분위기에서 가열한 이후에 ITO를 스퍼터링함으로써 또한 형성될 수 있다. ITO를 스퍼터링하기 이전에 기판을 가열하는 경우에, 산화 니오븀막(18)은 스퍼터링 장치의 내부 압력을 줄이고, 기판을 가열하고, 그 후 압력을 줄이고 스퍼터링을 실행함이 없이, 공기 분위기 또는 아르곤 내에 산소를 추가함에 의해 많은 공정을 증가시키지 않고서 형성될 수 있다.

실시예 3

다음에, 본 발명에 따른 제 3의 실시예가 도 13 및 도 14를 사용하여 설명될 것이다.

제 1의 실시예에서 알루미늄 합금 및 몰리브덴 합금으로 구성된 적층 구조가 게이트 배선에 대해 적용만 되었지만, 본 실시예에 있어서, 드레인 배선에 대해 적용되었다. 상기 경우에, 드레인 배선의 하부 표면은 비정질 실리콘막과 접촉하기 때문에, 알루미늄 및 실리콘막 사이에서 공융 반응(eutectic reaction)이 발생하는 것을 방지하기 위해서, 몰리브덴 합금이 알루미늄 합금 하부에 제공되어 삼층구조를 형성한다.

비정질 실리콘이 본 발명에서 실리콘막으로서 사용되었지만, 당연히 단결정 또는 다결정 실리콘이라면 동일한 결과를 부여할 것이다.

제 1의 실시예의 도 3에서, Cr막(7)이 디포지팅되었지만, 본 실시예에 있어서, 두께가 50 내지 100nm이고 니오븀 함유량이 5 내지 15at%인 몰리브덴 합금막(121)과, 두께가 200 내지 400nm이고 네오디뮴 함유량이 2at%인 알루미늄 합금막(122)과, 막두께가 50 내지 100nm이고 니오븀 함유량이 5 내지 15at%인 몰리브덴 합금막(123)이 상기 순서로 디포지팅된다(도 13).

다음에, 도 4와 동일한 방식으로, 그레이 톤 마스크를 몰리브덴 합금막(123)상에서 사용하여, 레지스트 패턴이 드레인 단자를 포함하는 드레인 배선 형성 영역(A), 박막 트랜지스터 형성 영역(B)의 각각의 상부에 포토리소그라피에 의해 형성된다. 도 4에 기술된 바와 같이, 상기 레지스트들은 양호하게는 박막 트랜지스터 채널 영역에 대응하는 영역을 반투과 영역으로 만드는 헬프톤 또는 그레이톤 마스크를 사용하여 형성된다. 본 실시예에 있어서, 박막 트랜지스터 채널에 의해 형성된 영역의 막두께가 0.5 내지 1.0 μm 이고 다른 영역의 막두께가 1.5 내지 2.0 μm 인 레지스트 패턴들이 형성된다.

다음에, 레지스트 패턴(58, 59)을 마스크로 하여, 레지스트 패턴에 의해 피복되지 않은 몰리브덴 합금막(121), 알루미늄 합금막(122), 및 몰리브덴 합금막(123)은 예컨대 인산, 질산, 아세트산 에칭제를 사용하는 웨트 에칭 기술을 사용하여 에칭된다.

그 후, 레지스트 패턴(58, 59)을 마스크로 하여, n+ 형 a-Si막(62) 및 a-Si막(61)은 연속적인 드라이 에칭에 의해 제거된다.

다음에, 도 6과 동일한 방법으로, 레지스트 패턴 내측의 박막 트랜지스터 채널 영역에 대응하는 얇은 부분을 제거하는 시간 동안에만 산소 플라즈마 에칭(ashing)에 의해 두께 방향으로 레지스트 패턴이 에칭되고, 그에 따라, 박막 트랜지스터 채널 영역을 형성하는 영역의 레지스트 패턴은 제거된다.

다음에, 도 7과 동일한 방법으로, 나머지 레지스트 패턴을 마스크로 하여 박막 트랜지스터의 채널 형성 영역의 몰리브덴 합금막(121), 알루미늄 합금막(122), 및 몰리브덴 합금막(123)이 에칭에 의해 제거된다.

다음에, 도 8과 동일한 방법으로, 일단 레지스트 패턴이 드레인 단자 및 소스 전극을 마스크로 하여 제거되고, n+ 형 a-Si막(62) 및 a-Si막(61)이 두께 방향으로 제거된다(제 2의 포토리소그라피 공정). 다음에, 두께가 100 내지 300nm인 질화막으로 구성된 보호막(11)이 기판 표면에 형성되고 그 후, 포토리소그라피 공정을 사용하여 드레인 단자, 박막 트랜지스터(10)의 소스 전극, 및 게이트 단자상의 절연막이 에칭에 의해 제거되어 개구를 형성한다. 이때, 박막 트랜지스터의 드레인 단자 및 소스 전극에 대응하는 개구들은 보호막(11)의 에칭에 의해 형성되고, 게이트 단자에 대응하는 개구(14)는 보호막(11) 및 질화막(5)의 에칭에 의해 형성된다(제 3의 포토리소그라피 공정)

최종적으로, 스퍼터링 기술을 사용하여, 두께가 30 내지 100nm인 ITO(인듐 주석 산화물)의 투명 전도막이 디포지팅되고, 그 후, 포토리소그라피 공정을 사용하여 패터닝되어 드레인 단자 전극(15), 픽셀 전극(16), 게이트 단자 전극(17)을 형성한다(제 4의 포토리소그라피 공정)(도 14).

그에 따라 TFT 회로 장치가 형성된다. 도 14에 도시된 바와 같이, 드레인 배선과 드레인 단자, 게이트 배선과 게이트 단자, 및 소스 전극과 드레인 전극의 구성은 바닥으로부터 순서대로 몰리브덴 합금, 알루미늄 합금, 몰리브덴 합금 및 ITO이고, 몰리브덴 합금의 Nb 함유량은 양호하게는 5 내지 20at%(원자량 값)이다.

제 4의 실시예

도 15 내지 22는 TFT 회로 장치의 일련의 제조 공정에 대한 본 실시예에 따른 그레이 단자(8), 박막 트랜지스터(10), 및 케이스 단자(3) 각각의 단면을 개략도시하는 공정 단면도이다. 각 도면에서, 드레인 배선 및 드레인 단자 형성 영역(A), 박막 트랜지스터 형성 영역(B), 드레인 배선 및 드레인 단자 형성 영역(C)은 좌측으로부터 도시된다.

먼저, 막두께가 200 내지 400nm이고 네오디뮴 함유량이 2at%인 알루미늄 합금막(21), 및 막두께가 50 내지 100nm이고 니오븀 함유량이 5 내지 15at%인 몰리브덴 합금막이 유리로 구성된 투명 기관(1)상에 디포지팅되어 하부층이 알루미늄 합금(Al-Nd)이고 상부층이 몰리브덴 합금인 적층막을 형성한다. 게이트 배선(2), 게이트 단자(3) 및 정전기 보호 배선(4) (도시되지 않음)이 보통의 포토리소그래피를 마스크로 하여 형성된 포토레지스트로 인산; 질산; 아세트산 에칭제를 채택한 웨트 에칭을 사용하여 적층막상에 형성된다(제 1의 포토리소그래피 공정)(도 15). 게이트 배선(2), 게이트 단자(3), 및 정전기 보호 배선(4)(도시되지 않음)은 하부층이 알루미늄 합금층(31)이고 상부층이 몰리브덴 합금층(32)인 적층 구조를 갖는다.

제 1의 실시예와 동일한 방법으로, 본 실시예는 컬러 TFT 디스플레이 장치에 대한 박막 트랜지스터를 형성하는 실시예이기 때문에, 무알칼리 유리가 채택된다.

다음에, 막두께가 200 내지 600nm인 질화막(5), 막두께가 100 내지 300nm인 a-Si막(61), 막두께가 20 내지 70nm인 n+ 형 a-Si막(62), 니오븀이 5 내지 15at% 함유된 막두께가 200 내지 500nm인 몰리브덴 합금막(40)이 상기 순서대로 디포지팅된다(도 16)

다음에, 레지스트 패턴(58, 59)이 그레이톤 마스크를 사용하여 몰리브덴 합금막(40)상에 포토리소그래피에 의해 형성된다. 레지스트 패턴(58)은 드레인 단자를 포함하는 드레인 배선의 형성 영역(A)상에 형성되고, 레지스트 패턴(59)은 박막 트랜지스터의 형성 영역(B)상에 형성된다.

상기 공정 중에, 레지스트 패턴(58, 59)은 양호하게는 헬프톤 또는 그레이 톤 마스크를 사용하여 형성된다.

완전히 노출된 부분 및 음영부를 제외하고, 헬프톤 또는 그레이톤 마스크는 박막 트랜지스터의 채널 영역에 대응하는 반투과성 영역을 갖는 패턴이다. 그 결과, 박막 트랜지스터(이하, TFT라고 한다) 형성 영역(B)상에 형성된 레지스트 패턴(59)의 막두께는 박막 트랜지스터 채널에 의해 형성된 영역에서는 0.5 내지 1.0 μm 이고, 다른 영역에서는 1.5 내지 2.0 μm 이다.

다음에, 레지스트 패턴(58, 59)을 마스크로 하여 몰리브덴 합금(Mo-Nb)은 예컨대, 인산; 질산; 아세트산의 에칭제를 사용한 에칭에 의해 제거된다(도 17).

다음에, 레지스트 패턴(58, 59)을 마스크로 하여 n+ 형 a-Si막(62) 및 a-Si막(61)이 드라이 에칭에 의해 연속적으로 제거된다(도 18).

다음에, 레지스트 패턴(58, 59)은 레지스트 패턴(59) 내측의 박막 트랜지스터 채널 영역에 대응하는 얇은 부분을 제거하는 시간 동안에만 산소 플라즈마 애싱에 의해 두께 방향으로 에칭된다(도 19). 레지스트 패턴(58, 59)은 따라서 레지스트 패턴(88,89,90)이 되고, 그 각각은 두께가 0.5 내지 1.0 μm 이다.

다음에, 박막 트랜지스터 채널 영역에 노출된 몰리브덴 합금막(40)은 레지스트 패턴(88, 89, 90)을 마스크로 하여 드라이 에칭에 의해 선택적으로 제거되어 드레인 단자 음영 전극(73), TFT 드레인 전극(74), 및 소스 전극(75)을 형성한다(도 20)

다음에, 일단 레지스트 패턴(88, 89, 90)이 TFT 드레인 전극(74) 및 소스 전극(75)을 마스크로 하여 제거되고, 박막 트랜지스터(10)의 채널 영역의 n+ 형 a-Si막(62) 및 a-Si막(61)이 드라이 에칭에 의해 연속적으로 제거된다(제 2의 포토리소그래피 공정). 다음에, 막두께가 100 내지 300nm인 질화막으로 구성된 알루미늄 합금막(21)이 기관 표면상에 형성되고,

그 후, 포토리소그래피 공정을 사용하여 드레인 단자, 박막 트랜지스터(10)의 드레인 단자 전극(15), 및 게이트 단자상의 절연막이 에칭되어 개구(12, 13, 14)를 형성한다. 이 때, 박막 트랜지스터(10)의 드레인 단자(8) 및 소스 전극(75)에 대응하는 개구(12, 13)는 보호막(11)의 에칭에 의해 형성되고, 게이트 단자(3)에 대응하는 개구(14)는 보호막(11) 및 절화막(5)의 에칭에 의해 형성된다(제 3의 포토리소그래피 공정)(도 21).

최종적으로, 스퍼터링 기술을 사용하여, 두께가 30 내지 100nm인 ITO(인듐 주석 산화물)막이 디포지팅되고, 그 후, 에칭 마스크로 기능하는 포토레지스트 패턴이 포토리소그래피 공정을 사용하여 형성된다. 다음에, ITO막은 드라이 에칭에 의해 형성되어 드레인 단자 전극(15), 픽셀 전극(16), 및 게이트 단자 전극(17)을 형성한다(도 22).

제 5의 실시예

전술한 실시예들은 4번의 포토리소그래피 공정을 사용하여 실행되었지만, 또한 5번의 포토리소그래피 공정을 사용하여 실시될 수 있다.

도 23 내지 30은 TFT 회로 장치의 제조 공정 순서에 대한 본 실시예에 따른 그레인 단자(8), 박막 트랜지스터(10), 게이트 단자(3) 각각의 단면을 개략 도시하는 공정 단면도이다. 각각의 도면에서, 드레인 배선과 드레인 단자 형성 영역(A), 박막 트랜지스터 형성 영역(B), 및 게이트 배선과 게이트 단자 형성 영역(C)는 좌측으로부터 도시된다.

먼저, 두께가 200 내지 400nm이고, 네오디뮴의 함유량이 2at%인 알루미늄 합금막(21), 및 두께가 50 내지 100nm이고 니오븀의 함유량이 5 내지 15at%인 몰리브덴 합금막이 상기 순서대로 유리로 이루어진 투명 기관(1)상에 디포지팅되어 하부층이 몰리브덴 합금(Al-Nb)이고 상부층이 몰리브덴 합금인 적층막으로 형성된다. 게이트 배선(2), 게이트 단자(3), 정전기 보호 배선(4)(도시 않음)은 보통의 포토리소그래피에 의해 형성된 포토레지스트를 마스크로 하여 인산; 질산; 아세트산 에칭제를 사용한 웨트 에칭을 이용하여 적층막상에 형성된다(제 1의 포토리소그래피 공정)(도 23). 게이트 배선(2), 게이트 단자(3), 및 정전기 보호 배선(4)(도시 않음)은 하부층이 알루미늄 합금층(31)이고 상부층이 몰리브덴 합금층(32)인 적층 구조를 갖는다.

제 1의 실시예와 동일한 방법으로, 본 실시예는 컬러 TFT 디스플레이 장치용 박막 트랜지스터를 형성하는 실시예이기 때문에, 무알카리 유리가 사용된다.

다음에, 두께가 300 내지 600nm인 절화막(5), 두께가 100 내지 300nm인 a-Si막(61), 두께가 20 내지 70nm인 n+ 형 a-Si막(62)이 상기 순서대로 디포지팅된다.

다음에, 레지스트 패턴(57)이 n+ 형 a-Si막(62)상에 포토리소그래피에 의해 형성된다(도 24). 레지스트 패턴(57)을 마스크로 하여, n+ 형 a-Si막(62) 및 a-Si막(61)은 드라이 에칭에 의해 제거된다(제 2의 포토리소그래피 공정).

다음에, 레지스트 패턴(57)이 제거된 이후에, 몰리브덴 합금(Mo-Nb)막(40)이 니오븀 함유량이 5 내지 15at%이고 200 내지 500nm의 두께로 형성된다(도 25).

다음에, 레지스트 패턴(88, 89, 90)이 몰리브덴 합금막(40)상에 포토리소그래피에 의해 형성된다. 레지스트 패턴(88)은 드레인 단자를 포함하는 드레인 배선 영역(A)상에 형성되고, 레지스트 패턴(89, 90)은 박막 트랜지스터 형성 영역(B)상에 형성된다(도 26).

다음에, 레지스트 패턴(88, 89, 90)을 마스크로 하여, 몰리브덴 합금막(40)은 예컨대 인산; 질산; 아세트산의 에칭제를 사용하는 에칭에 의해 제거된다(도 27).

다음에, 박막 트랜지스터 채널 영역에 노출된 몰리브덴 합금막(40)은 레지스트 패턴(88, 89, 90)을 마스크로 하여 드라이 에칭에 의해 선택적으로 제거되어 드레인 단자 음영 전극(73), TFT 전극(74), 소스 전극(75)을 형성한다(제 3의 포토리소그래피 공정)(도 28).

다음에, 레지스트 패턴(88, 89, 90)이 제거되고 그 후, 드레인 단자, 드레인 전극 및 소스 전극을 마스크로 하여, n+ 형 a-Si막(61) 및 a-Si막(62)의 일부가 두께 방향으로 제거된다. 다음에, 두께가 100 내지 300nm인 절화막으로 구성된 보호막(11)이 기관 표면상에 형성되고 그 후 포토리소그래피 공정을 사용하여 드레인 단자, 박막 트랜지스터(10)의 소스 전극

(75), 및 게이트 단자상의 절연막이 에칭되어 개구(12, 13, 14)를 형성한다(제 4의 포토리소그래피 공정)(도 29). 이 때, 드레인 단자(8), 박막 트랜지스터(10)의 소스 전극(75)에 대응하는 개구(12, 13)는 보호막(11)의 에칭에 의해 형성되고, 게이트 단자(3)에 대응하는 개구(14)는 보호막(11) 및 절화막(5)의 에칭에 의해 형성된다.

최종적으로, 스퍼터링 기술을 사용하여, 두께가 30 내지 100nm인 ITO(인듐 주석 산화물)막이 디포지팅되고, 그 후, 에칭 마스크로 기능하는 포토레지스트 패턴이 포토리소그래피 공정에 의해 형성된다. 다음에, ITO막은 드라이 에칭에 의해 패턴닝되어 드레인 단자 전극(15), 픽셀 전극(16), 및 게이트 단자 전극(17)을 형성한다(제 5의 포토리소그래피 공정)(도 30).

제 6의 실시예

알루미늄 합금은 웨트 에칭 중에 완전히 제거되어야 한다. 실리콘을 함유하는 Al-Si 합금이 드라이 에칭에 의해 제거되지만, 웨트 에칭에 대해, 박막층은 표면에 잔류하고 따라서 양호하지 못하다.

당연히, 웨트 에칭에 의해 완전 제거 가능한 네오디뮴 이외의 불순물이 역시 포함된다.

순수 알루미늄 또는 네오디뮴은 양호하게는 웨트 에칭에 의해 완전 제거 가능하기 때문에 양호하게 사용된다.

당연히, 순수 알루미늄 또는 알루미늄 합금, 주성분으로서 은을 갖는 은 합금 또는 구리를 주성분으로 갖는 구리 합금도 웨트 에칭에 의해 제거될 수 있다면 사용가능하다.

또한, 전술한 실시예들은 아웃-플레인(out-plane)형 액정 디스플레이의 TFT 구조에 관련하여 설명되었지만, 전술한 실시예들의 결과와 동일한 결과는 인-플레인 방식 등의 상이한 액정 제어 방법을 갖는 TFT 구조에 대해서도 달성될 수 있다.

본 발명에 따른 박막 트랜지스터 회로 장치에 의해 형성된 제 1의 기관은 예컨대, 공통 배선으로부터 형성된 제 2의 기관과 대면할 수 있고, 액정 디스플레이는 갭에 액정을 삽입함으로써 형성된다.

발명의 효과

본 발명에 따르면, 몰리브덴에 5 내지 20at%의 비율의 니오븀을 첨가함으로써, 몰리브덴 합금의 공기 중에서의 부식 저항을 현저하게 향상시킬 수 있다. 상기 배선 구조를 드레인 배선에 적용함으로써, 게이트 단자/배선 및 드레인 단자/배선의 신뢰성을 향상시킬 수 있다.

도면의 간단한 설명

도 1은 박막 트랜지스터 기관의 내부 회로 및 단자 주위의 배선을 개략 도시하는 부분 평면도.

도 2는 TFT 기관의 제조 공정 순서로 도시된 제 1의 실시예에 따른 드레인 단자, 박막 트랜지스터, 및 게이트 단자의 각각의 단면을 개략 도시하는 단면도.

도 3은 도 2 다음의 제조 공정을 도시하는 박막 트랜지스터 기관을 개략 도시하는 단면도.

도 4는 도 3 다음의 제조 공정을 도시하는 박막 트랜지스터 기관을 개략 도시하는 단면도.

도 5는 도 4 다음의 제조 공정을 도시하는 박막 트랜지스터 기관을 개략 도시하는 단면도.

도 6은 도 5 다음의 제조 공정을 도시하는 박막 트랜지스터 기관을 개략 도시하는 단면도.

도 7은 도 6 다음의 제조 공정을 도시하는 박막 트랜지스터 기관을 개략 도시하는 단면도.

도 8은 도 7 다음의 제조 공정을 도시하는 박막 트랜지스터 기관을 개략 도시하는 단면도.

도 9는 도 8 다음의 제조 공정을 도시하는 박막 트랜지스터 기판을 개략 도시하는 단면도.

도 10은 몰리브덴 합금에 함유된 Nb의 비율이 변화하는 경우에 고온 고습 테스트로부터의 합금 저항의 시간에 따른 변화를 도시하는 도면.

도 11은 인산; 질산; 아세트산을 사용하여 몰리브덴 합금을 웨트 에칭하는 경우의 에칭 속도를 도시하고, 몰리브덴 합금에 함유된 Nb의 비율에 기인한 변화를 도시하는 도면.

도 12는 제 1의 실시예의 게이트 단자 전극의 구성의 일부가 변형된 본 발명의 제 2의 실시예에 따른 박막 트랜지스터 기판상의 게이트 단자 전극을 개략 도시하는 단면도.

도 13은 TFT 기판의 제조 공정 순서로 도시된 본 발명에 따른 제 3의 실시예에 따른 드레인 단자, 박막 트랜지스터, 및 게이트 단자의 각각의 단면을 개략 도시하는 단면도.

도 14는 도 13 다음의 제조 공정을 도시하는 박막 트랜지스터 기판을 개략 도시하는 단면도.

도 15는 도 14 다음의 제조 공정을 도시하는 박막 트랜지스터 기판을 개략 도시하는 단면도.

도 16은 도 15 다음의 제조 공정을 도시하는 박막 트랜지스터 기판을 개략 도시하는 단면도.

도 17은 도 16 다음의 제조 공정을 도시하는 박막 트랜지스터 기판을 개략 도시하는 단면도.

도 18은 도 17 다음의 제조 공정을 도시하는 박막 트랜지스터 기판을 개략 도시하는 단면도.

도 19는 도 18 다음의 제조 공정을 도시하는 박막 트랜지스터 기판을 개략 도시하는 단면도.

도 20은 도 19 다음의 제조 공정을 도시하는 박막 트랜지스터 기판을 개략 도시하는 단면도.

도 21은 도 20 다음의 제조 공정을 도시하는 박막 트랜지스터 기판을 개략 도시하는 단면도.

도 22는 TFT 기판의 제조 공정 순서로 도시된 본 발명에 따른 제 5의 실시예에 따른 드레인 단자, 박막 트랜지스터, 및 게이트 단자의 각각의 단면을 개략 도시하는 단면도.

도 23은 도 22 다음의 제조 공정을 도시하는 박막 트랜지스터 기판을 개략 도시하는 단면도.

도 24는 도 23 다음의 제조 공정을 도시하는 박막 트랜지스터 기판을 개략 도시하는 단면도.

도 25는 도 24 다음의 제조 공정을 도시하는 박막 트랜지스터 기판을 개략 도시하는 단면도.

도 26은 도 25 다음의 제조 공정을 도시하는 박막 트랜지스터 기판을 개략 도시하는 단면도.

도 27은 도 26 다음의 제조 공정을 도시하는 박막 트랜지스터 기판을 개략 도시하는 단면도.

도 28은 도 27 다음의 제조 공정을 도시하는 박막 트랜지스터 기판을 개략 도시하는 단면도.

도 29는 도 29 다음의 제조 공정을 도시하는 박막 트랜지스터 기판을 개략 도시하는 단면도.

도 30은 도 29 다음의 제조 공정을 도시하는 박막 트랜지스터 기판을 개략 도시하는 단면도.

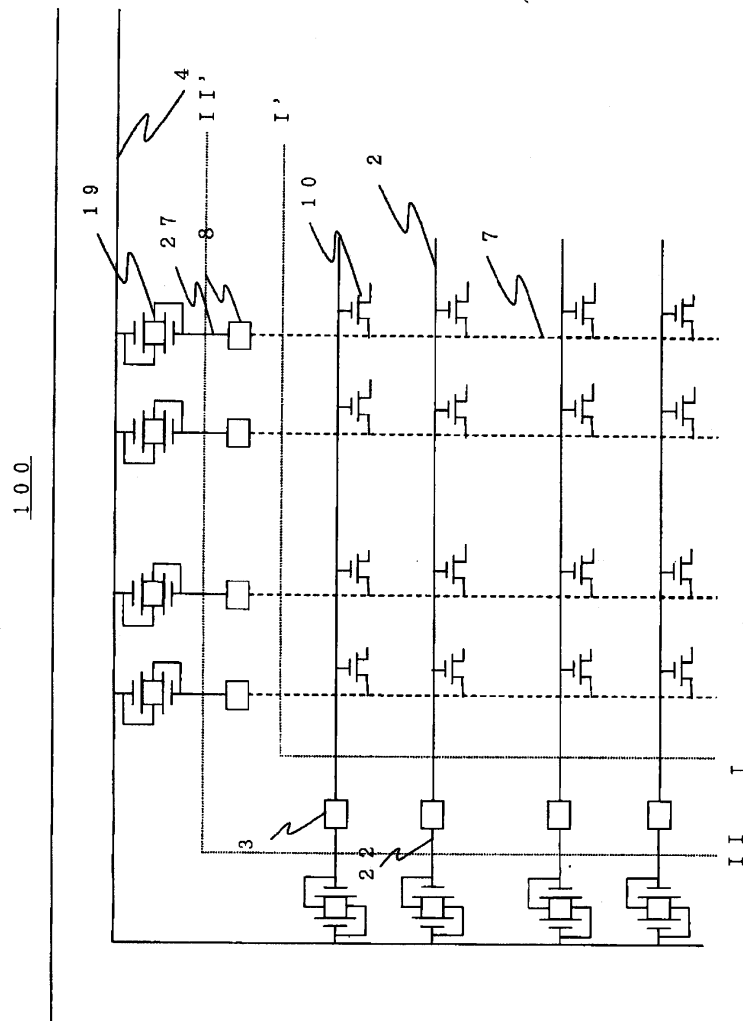
도 31은 본 발명에 따른 박막 트랜지스터를 접속하는 패턴도.

본 발명에서, 도면 부호 1은 투명 기판을, 도면 부호 2 및 22는 게이트 배선을, 도면 부호 3은 게이트 단자를, 도면 부호 4는 정전기 보호 회로를, 도면 부호 5는 절화물막을, 도면 부호 7은 드레인 배선을, 도면 부호 8은 드레인 단자를, 도면 부호

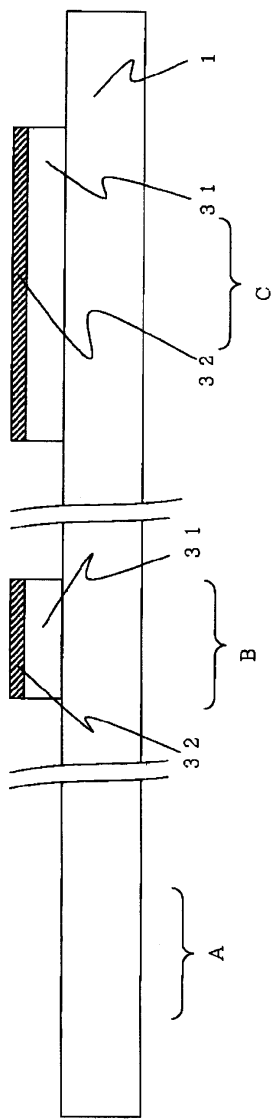
10은 박막 트랜지스터를, 도면 부호 11은 보호막을, 도면 부호 12, 13, 및 14는 각각의 개구를, 도면 부호 15는 드레인 단자 전극을, 도면 부호 16은 픽셀 전극을, 도면 부호 17은 드레인 단자 전극을, 도면 부호 18은 산화 니오븀막을, 도면 부호 19는 정전기 보호 소자를, 도면 부호 31 및 122는 각각 알루미늄 합금층을, 도면 부호 32, 121, 및 123은 각각의 몰리브덴 합금층을, 도면 부호 70은 크롬(Cr)막을, 도면 부호 57, 58, 59, 88, 89, 및 90은 각각의 레지스트 패턴을, 도면 부호 61은 비정형 실리콘(a-Si)막을, 도면 부호 62는 n+ 형 a-Si막을, 도면 부호 73은 드레인 단자를, 도면 부호 74는 드레인 전극을, 도면 부호 75는 소스 전극을, 도면 부호 100은 TFT 회로 장치를 나타낸다.

도면

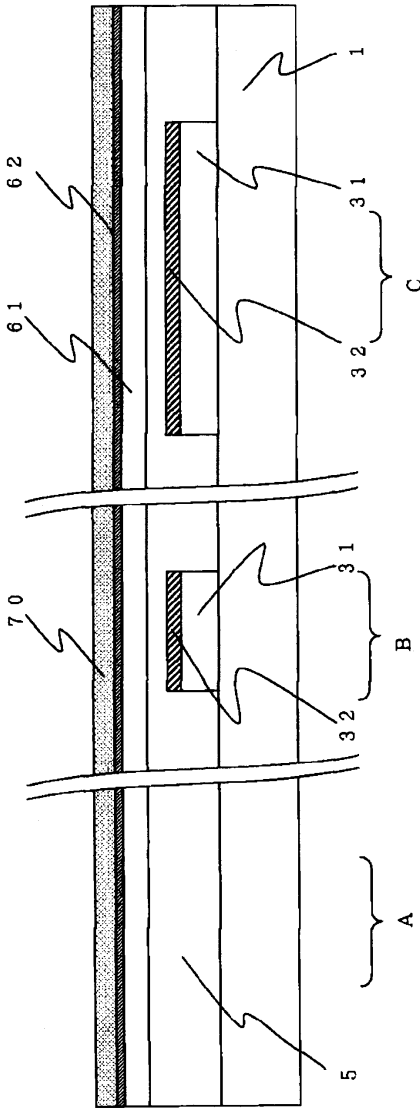
도면1



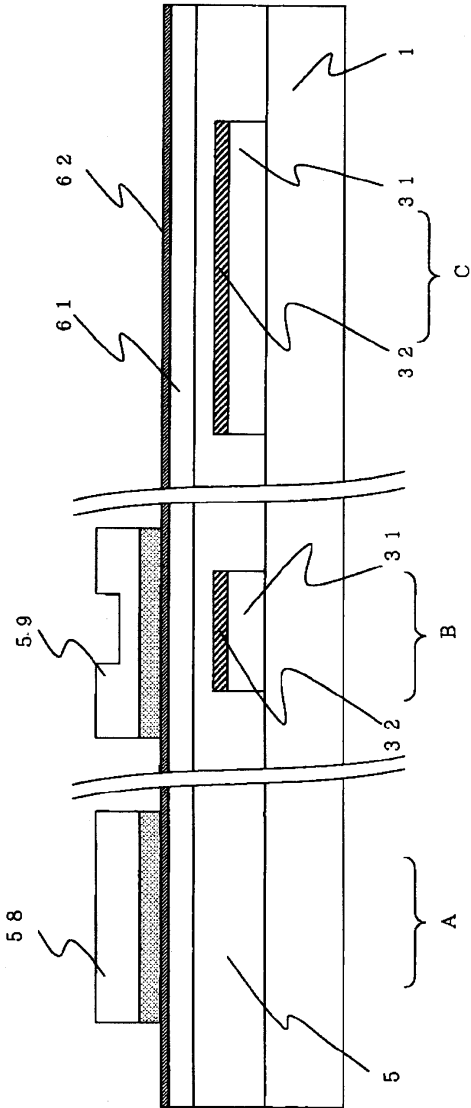
도면2



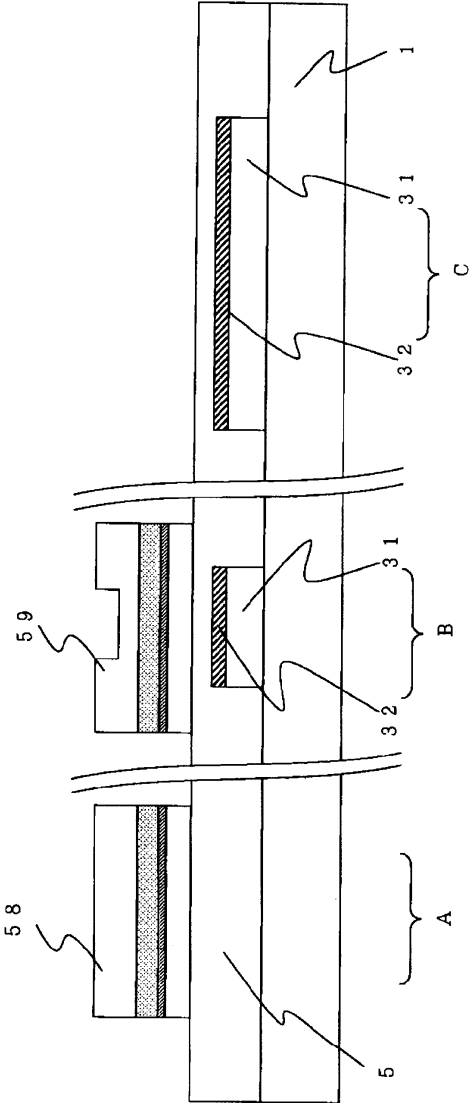
도면3



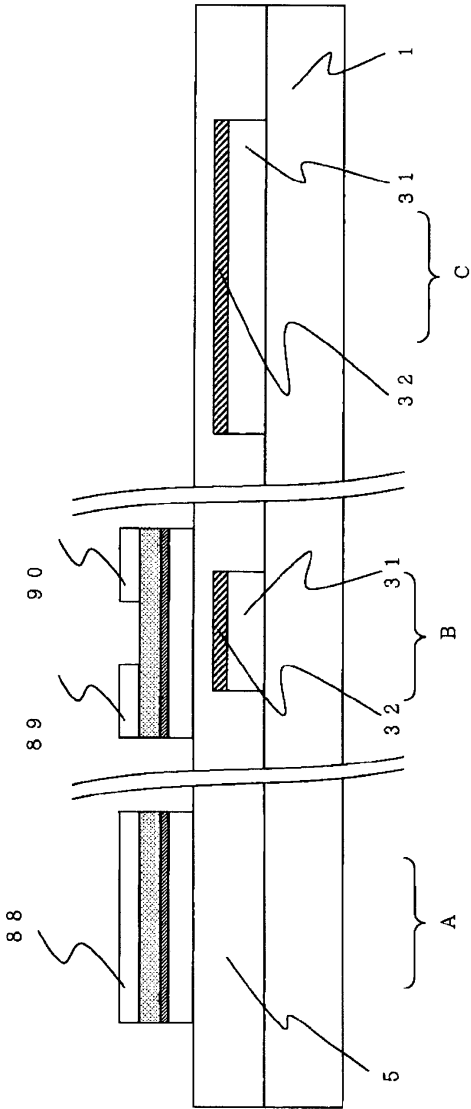
도면4



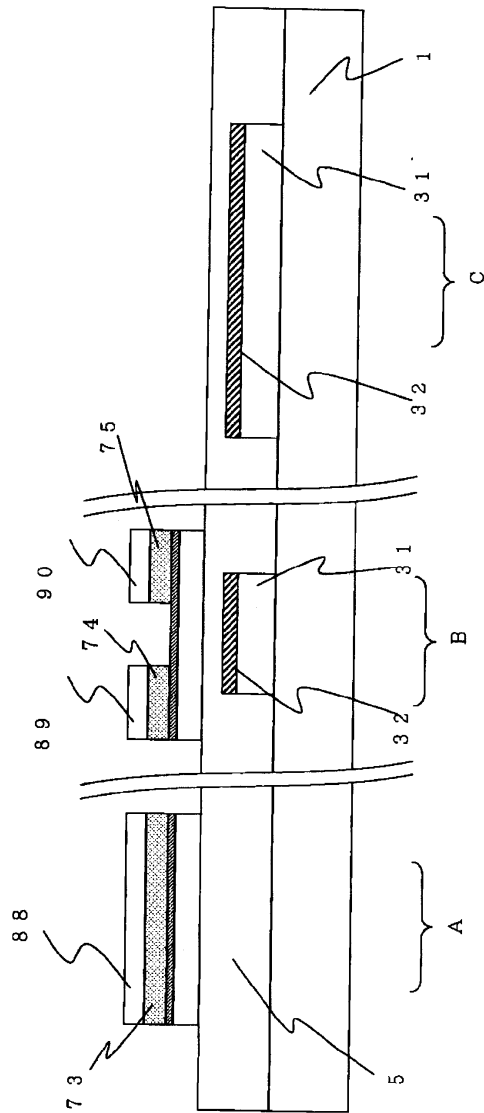
도면5



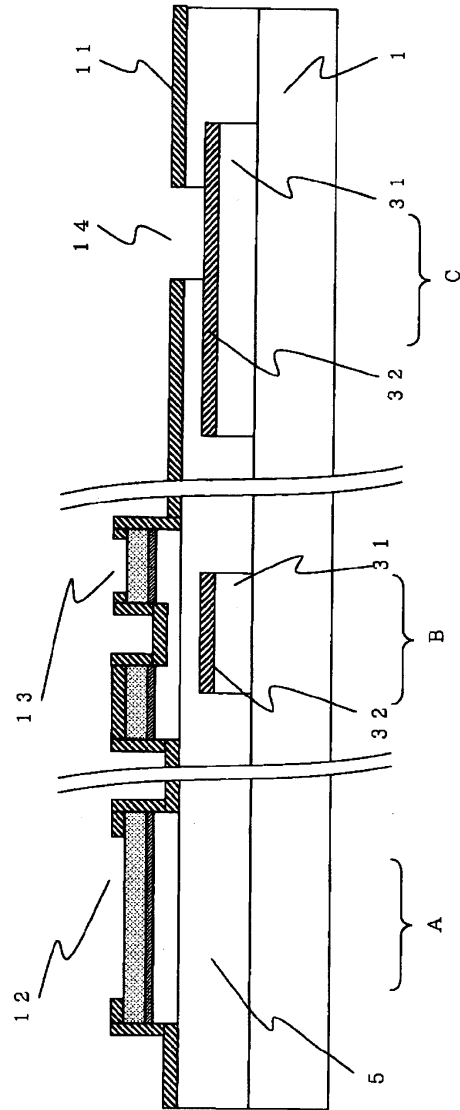
도면6



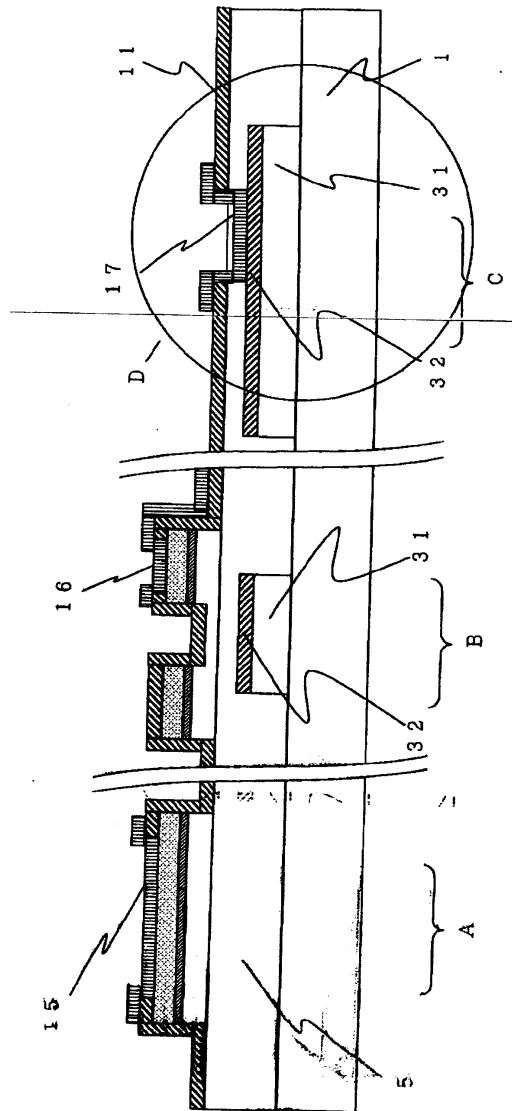
도면7



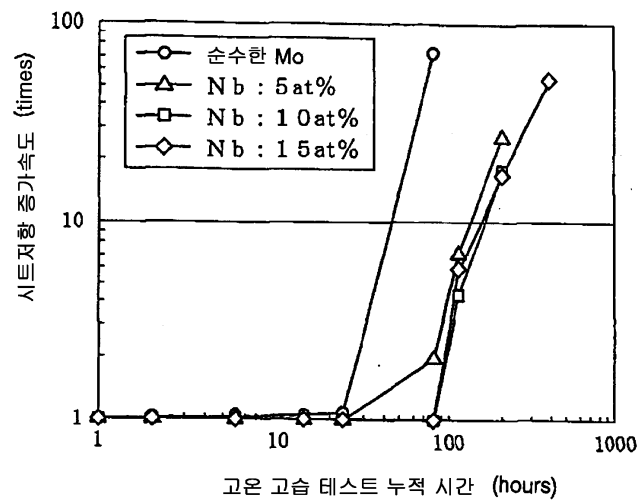
도면8



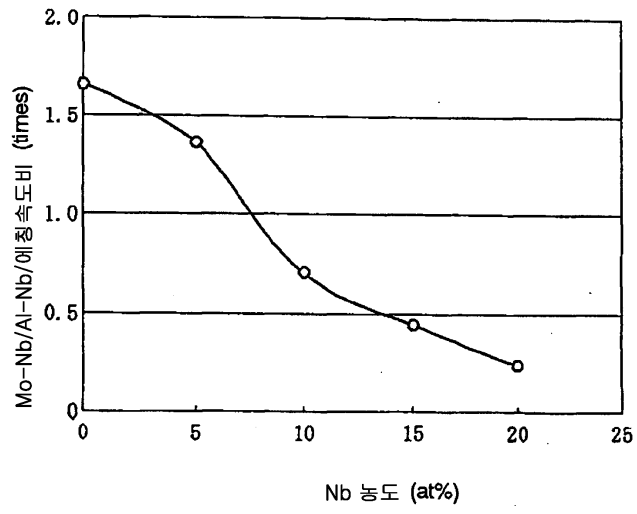
도면9



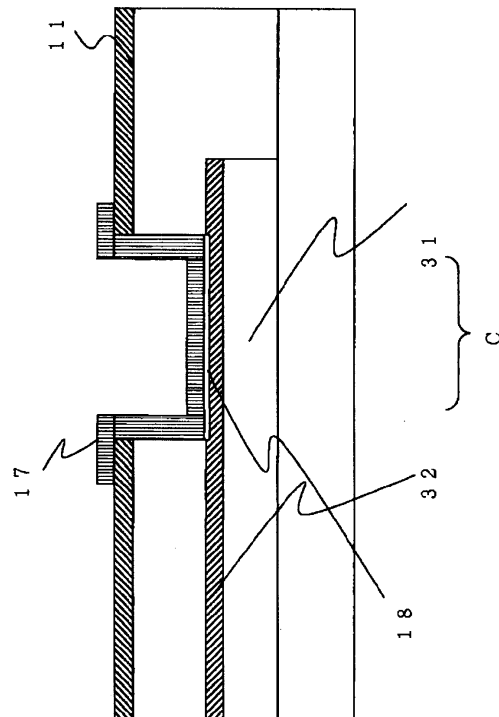
도면10



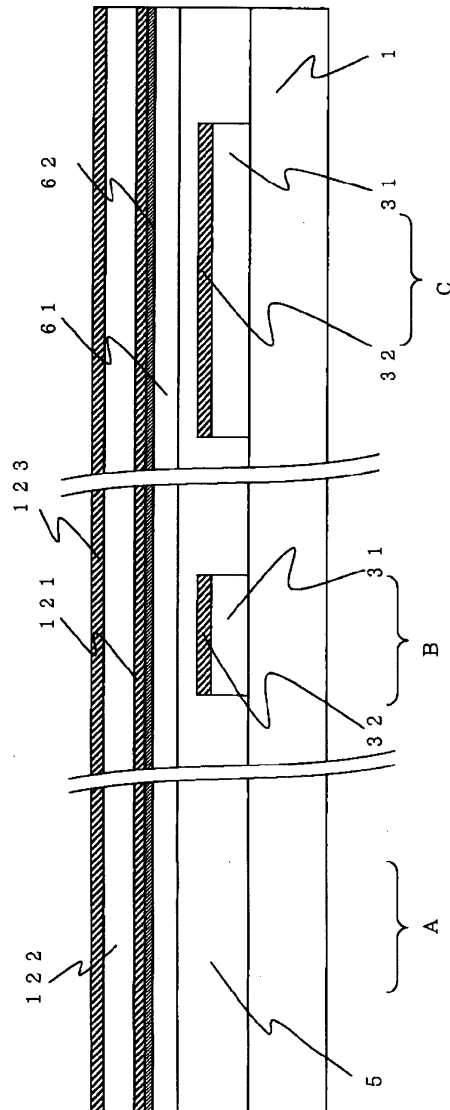
도면11



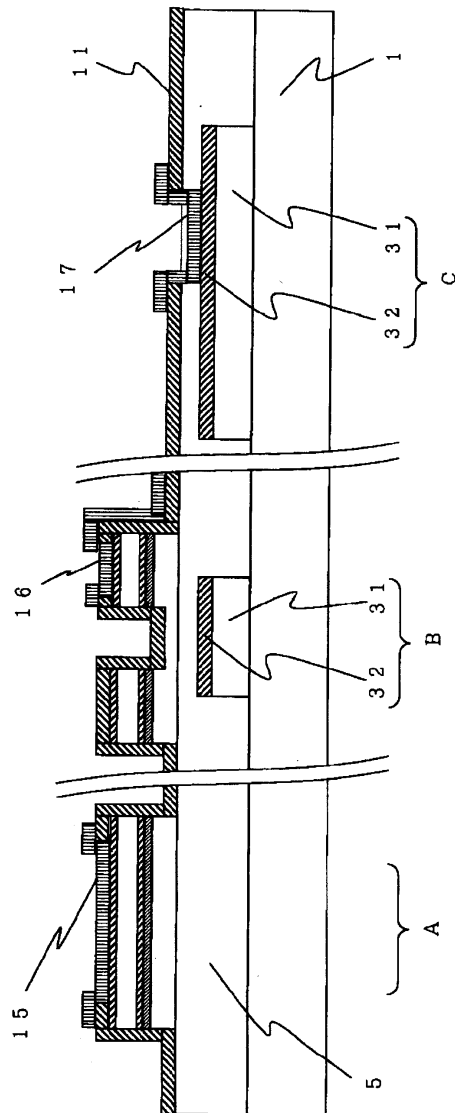
도면12



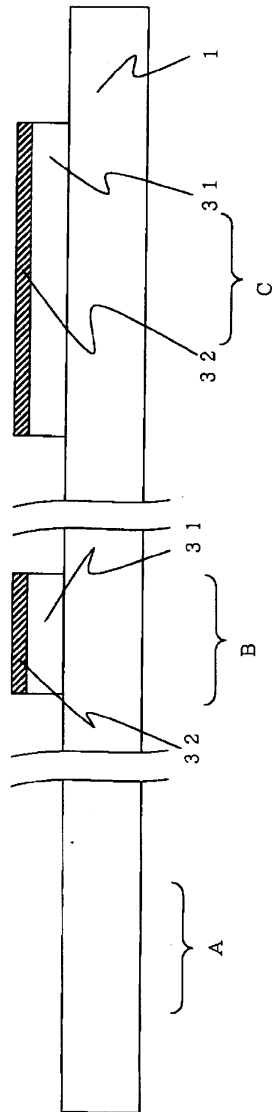
도면13



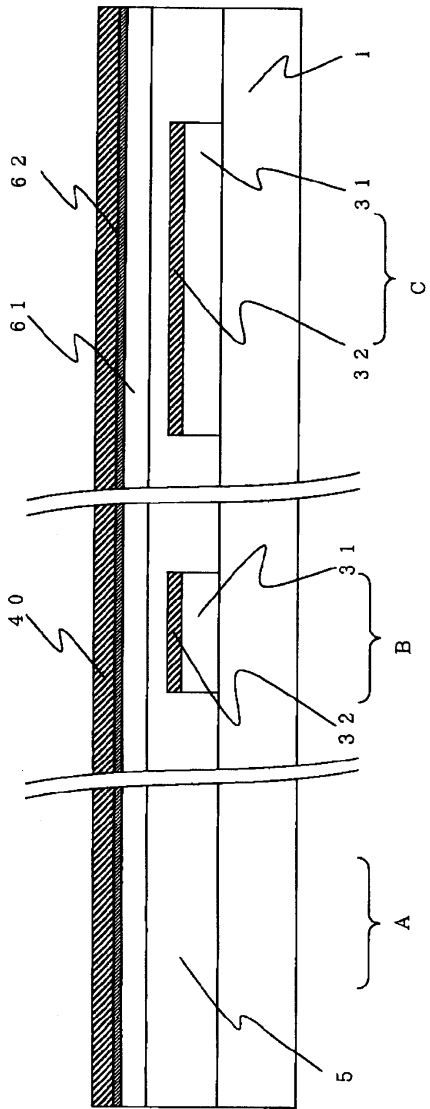
도면14



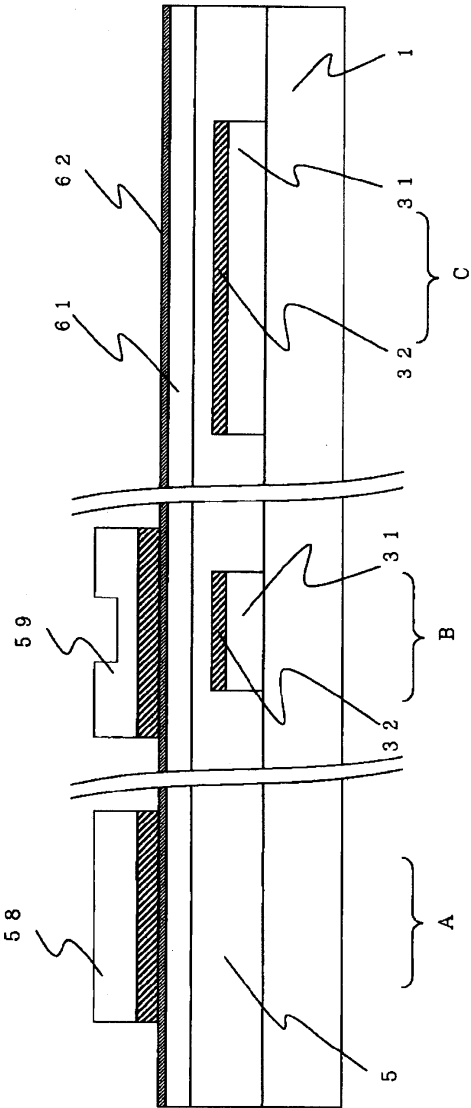
도면15



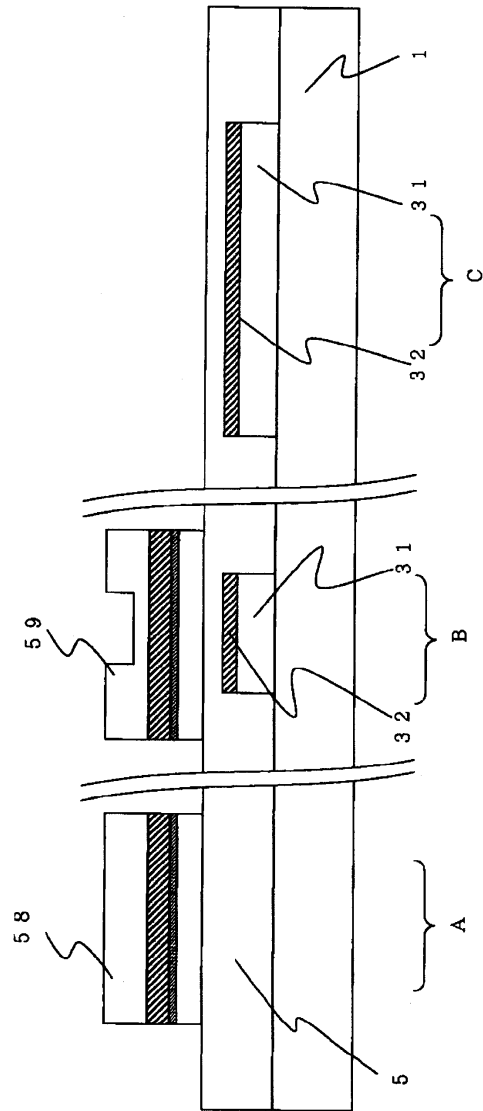
도면16



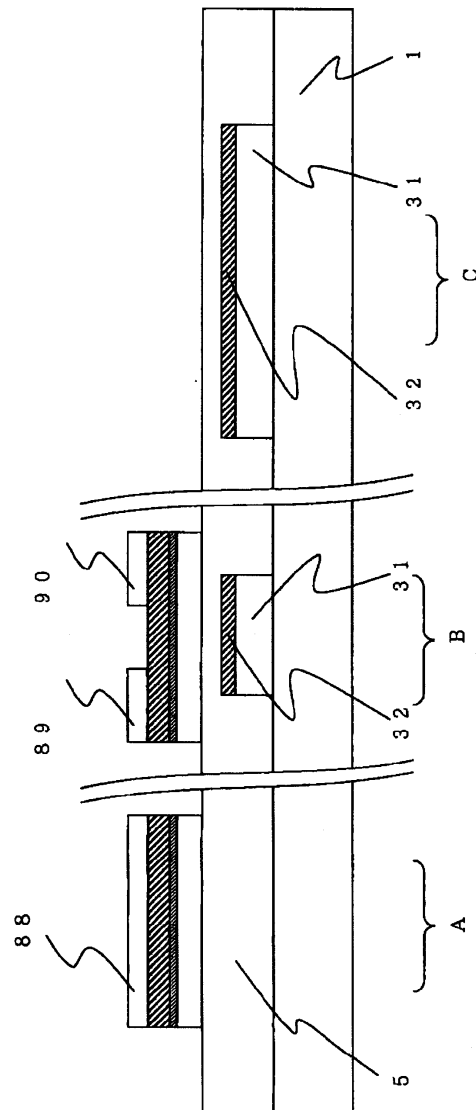
도면17



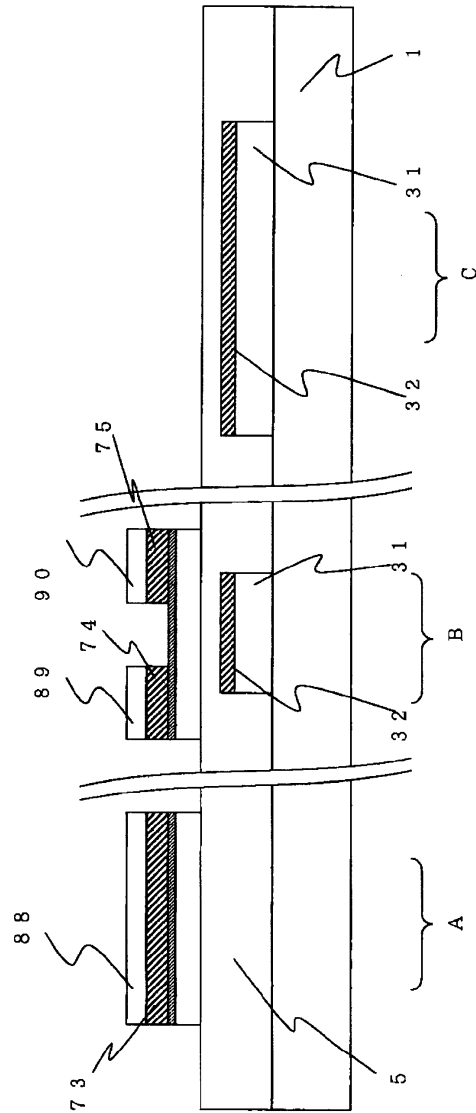
도면18



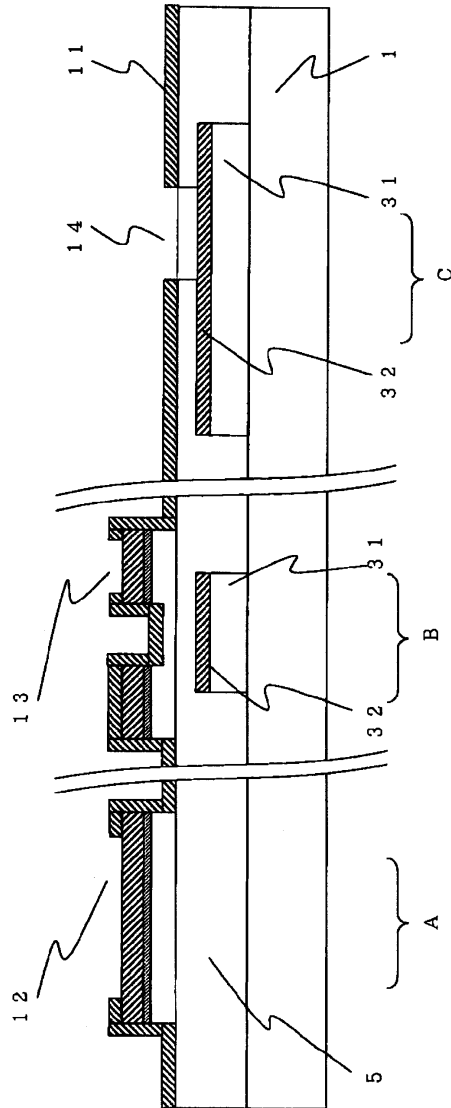
도면19



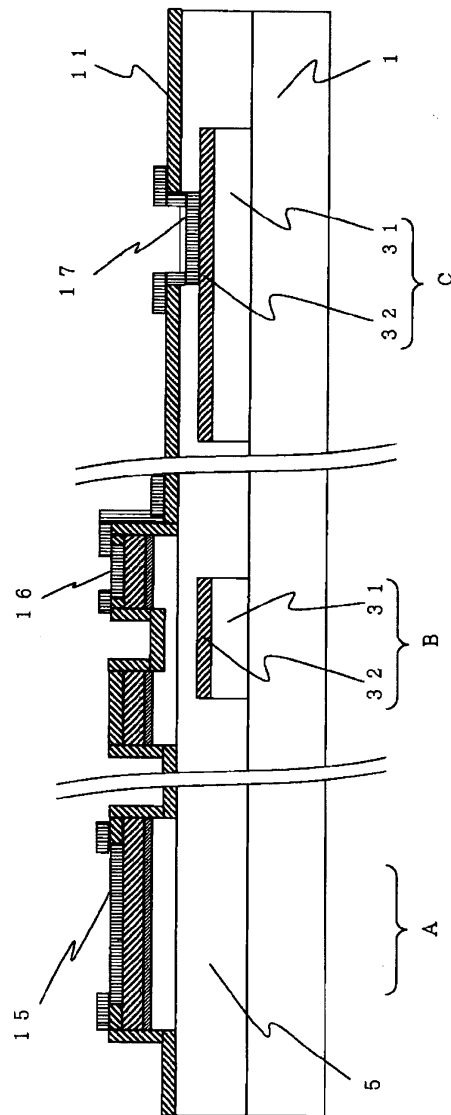
도면20



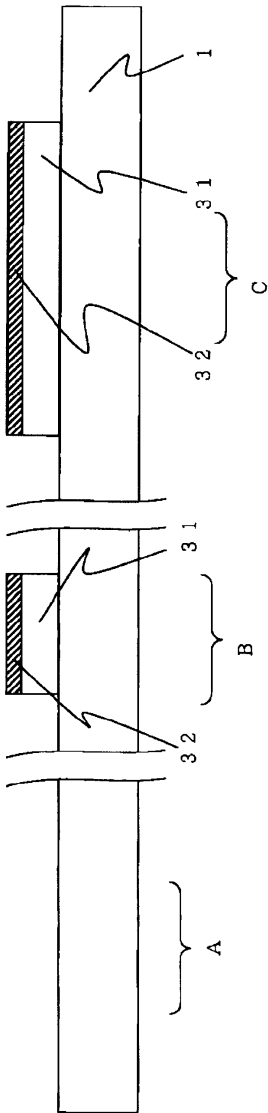
도면21



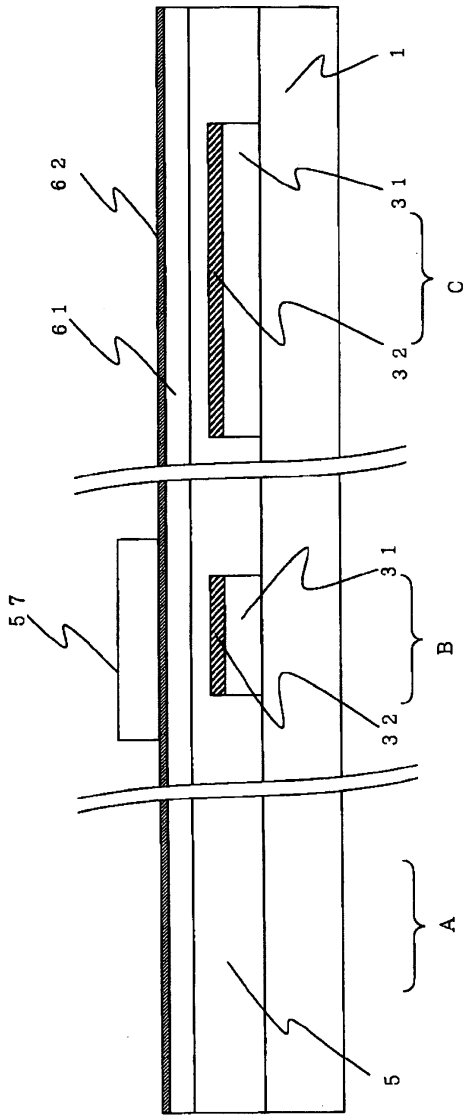
도면22



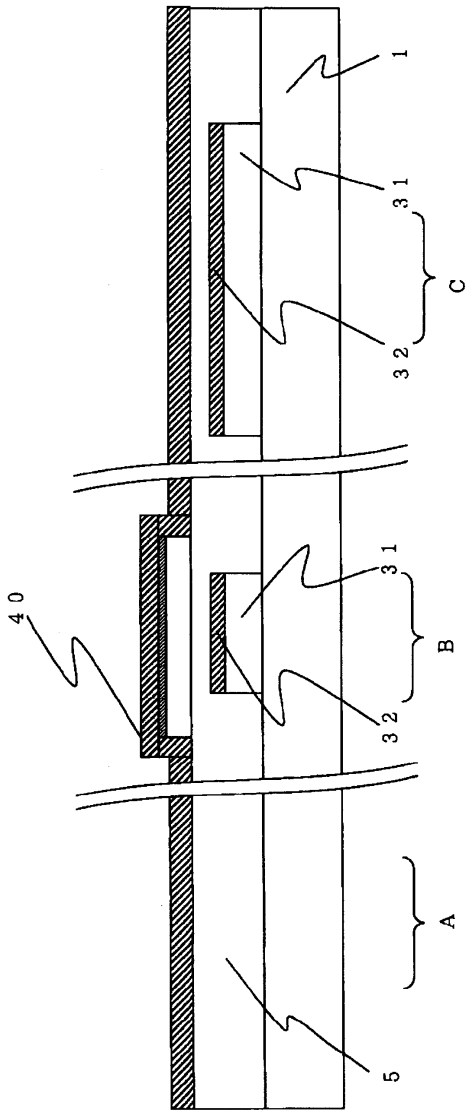
도면23



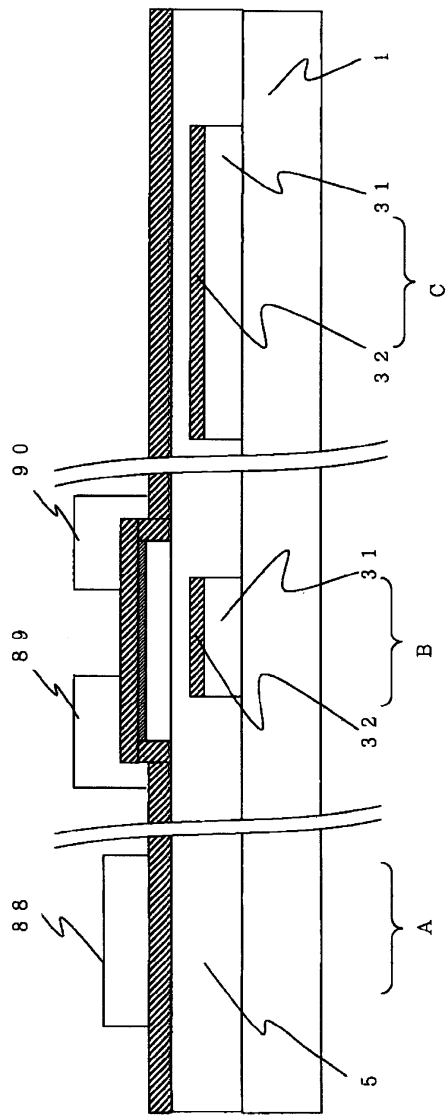
도면24



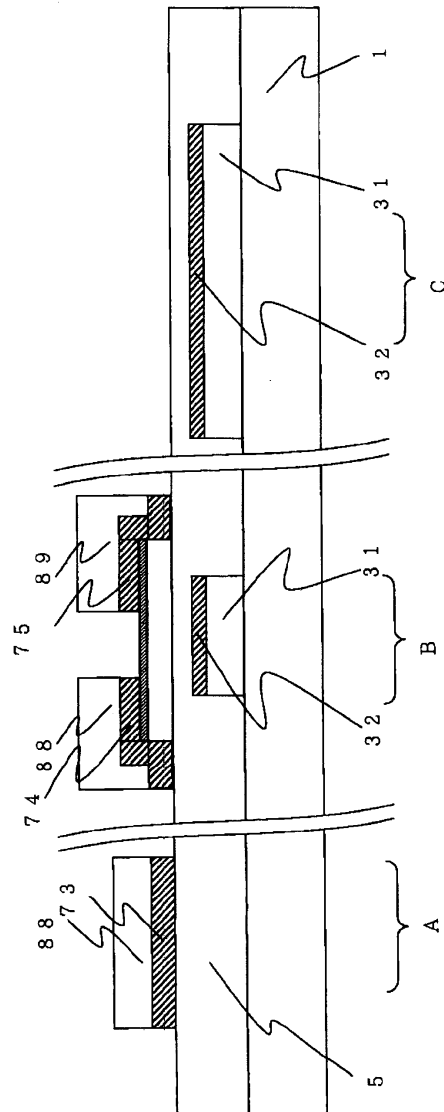
도면25



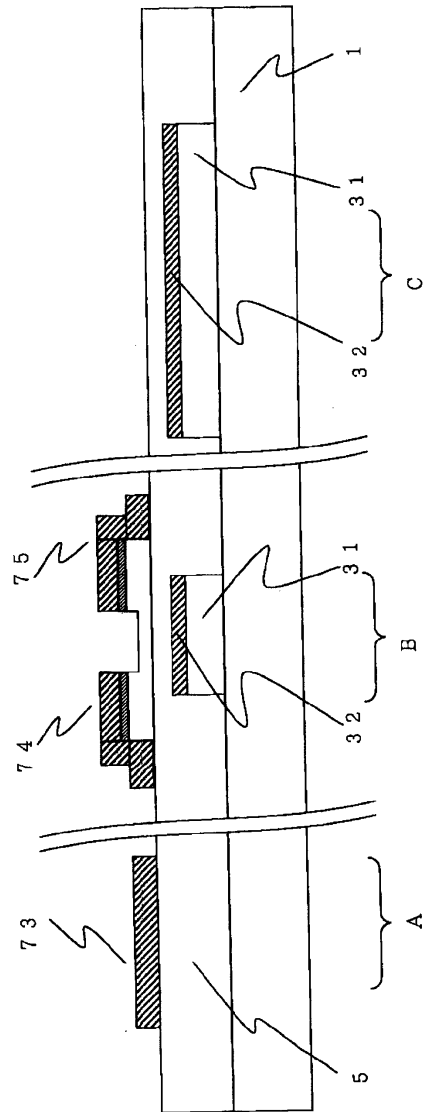
도면26



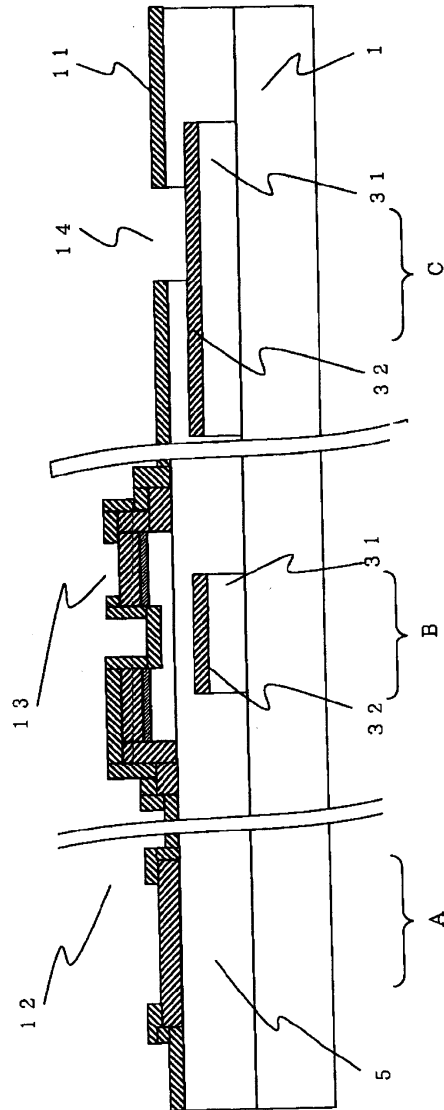
도면27



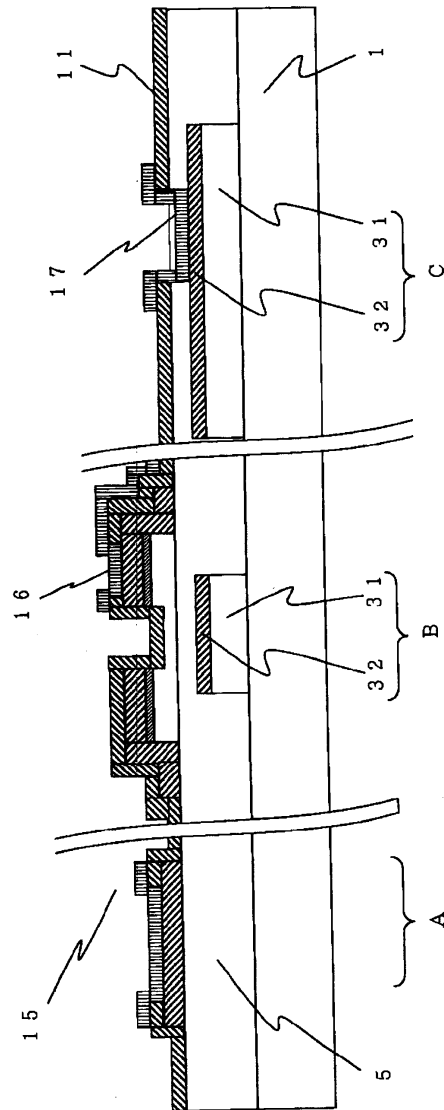
도면28



도면29



도면30



도면31

