

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4409821号
(P4409821)

(45) 発行日 平成22年2月3日(2010.2.3)

(24) 登録日 平成21年11月20日(2009.11.20)

(51) Int.Cl.

F 1

G09G	3/30	(2006.01)	G09G	3/30	J
G09F	9/30	(2006.01)	G09F	9/30	338
H01L	27/32	(2006.01)	G09F	9/30	365Z
G09G	3/20	(2006.01)	G09G	3/20	611J
H01L	51/50	(2006.01)	G09G	3/20	622C

請求項の数 6 (全 28 頁) 最終頁に続く

(21) 出願番号

特願2002-338525 (P2002-338525)

(22) 出願日

平成14年11月21日(2002.11.21)

(65) 公開番号

特開2004-170815 (P2004-170815A)

(43) 公開日

平成16年6月17日(2004.6.17)

審査請求日

平成17年7月25日(2005.7.25)

(73) 特許権者 599142729

奇美電子股▲ふん▼有限公司

Chi Mei Optoelectronics Corporation

台灣台南縣台南科学工業園區新市鄉奇業路
1號NO. 1, Chi-Yeh Road, Tainan Science-Base
d Industrial Park, Tainan Country, Taiwan,
R. O. C.

(73) 特許権者 000006633

京セラ株式会社

京都府京都市伏見区竹田鳥羽殿町 6 番地

最終頁に続く

(54) 【発明の名称】 E L 表示装置

(57) 【特許請求の範囲】

【請求項 1】

複数の走査線と複数のデータ線の各交差点近傍に表示セルを設け、前記表示セルが、少なくとも、前記走査線から供給された走査線選択電圧をゲートに入力する選択トランジスタと、前記選択トランジスタを介して前記データ線から供給されたデータ電圧をゲートに入力する駆動トランジスタと、前記駆動トランジスタのゲートに一端が接続されたキャパシタと、前記駆動トランジスタのソースもしくはドレインの一方に一端が接続されたエレクトロルミネッセンス(E L)素子とを有して構成された E L 表示装置において、

前記複数の走査線のうちの任意の第1の走査線で選択される表示セル内の前記駆動トランジスタのソースもしくはドレインの他方と前記キャパシタの他端とは、前記複数の走査線のうち前記第1の走査線に対して走査方向次段に隣接した第2の走査線に接続されており、

前記第1の走査線に、第1電圧と該第1電圧よりも値の大きい第2電圧の順序で形成される階段形状パルスを供給し、且つ当該階段形状パルスを前記第2の走査線に前記第1電圧のパルス幅だけ遅らせて供給し、当該階段形状パルスのパルス幅を有すると共に、前記データ電圧より大きい第3電圧の大きさのパルスを、前記複数の走査線のうち前記階段形状パルスが供給されている走査線とは異なる他の走査線に供給する走査線駆動回路と、

前記第1の走査線に前記第1電圧が供給されている間及び前記第1の走査線に前記第2電圧が供給されている間のそれぞれのタイミングで、前記データ線から前記データ電圧を前記キャパシタの一端に供給して、前記第2の走査線に供給されている電圧と前記データ

電圧との差分を前記キャパシタへ書き込むデータ線駆動回路と、を備えたことを特徴とする E L 表示装置。

【請求項 2】

前記走査線駆動回路は、前記第 1 電圧と前記第 2 電圧を連続した所定の単位期間にそれぞれ割り当てることで前記階段形状パルスを生成するとともに、前記第 1 の走査線に供給される階段形状パルスを、前記第 2 の走査線に、前記単位期間だけずらして供給することを特徴とする請求項 1 に記載の E L 表示装置。

【請求項 3】

前記走査線駆動回路は、前記第 3 電圧の大きさのパルスを、前記複数の走査線のうち前記階段形状パルスが供給されている走査線とは異なる任意の第 3 の走査線と、当該第 3 の走査線に対して走査方向次段に隣接した第 4 の走査線とにそれぞれ供給し、前記第 4 の走査線に供給されるパルスは、前記第 3 の走査線に供給されるパルスに対して前記単位期間だけずらして供給されることを特徴とする請求項 2 に記載の E L 表示装置。10

【請求項 4】

前記第 3 電圧は、前記第 2 電圧の値と等しいことを特徴とする請求項 1 または 3 に記載の E L 表示装置。

【請求項 5】

前記データ線駆動回路は、前記データ線に、前記第 1 電圧以上かつ前記第 2 電圧未満の値を有するデータ電圧を供給することを特徴とする請求項 1 ~ 4 のいずれか一つに記載の E L 表示装置。20

【請求項 6】

前記エレクトロルミネッセンス素子は、有機 E L 素子であることを特徴とする請求項 1 ~ 5 のいずれか一つに記載の E L 表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、有機 E L (electroluminescence : エレクトロルミネッセンス) 素子等の自発光素子とその自発光素子を駆動させる TFT (Thin Film Transistor : 薄膜トランジスタ) とがマトリクス状に配置された E L 表示装置およびその駆動方法に関し、特に大画面表示においても輝度ムラの生じない電圧書き込み型の E L 表示装置およびその駆動方法に関する。30

【0002】

【従来の技術】

有機 E L 素子を用いた有機 E L 表示装置は、液晶素子を用いた液晶表示装置に比べて、視野角が広いこと、コントラストがよいこと、視認性に優れていることなどを理由に近年注目されている。また、有機 E L 表示装置では、バックライトが不要なため、薄型・軽量型が実現でき、消費電力の面でも有利である。さらに、有機 E L 表示装置は、直流低電圧駆動が可能であることから応答速度も速いこと、すべて固体であることから振動に強く、使用温度範囲が広くかつフレキシブルな形状が可能であることなどの特徴を有している。

【0003】

以下に、従来の有機 E L 表示装置について、特にアクティブマトリクスピネルを中心に説明する。図 13 は、従来の有機 E L 表示装置の概略構成のうち、アクティブマトリクスピネルと駆動回路を示す図である。図 13 において、アクティブマトリクスピネル 100 は、n 本の走査線 Y₁ ~ Y_n と m 本のデータ線 X₁ ~ X_m の各交差点に表示セル 110 を配置しており、その基本構造はアクティブマトリクスピネル型の液晶表示装置と同様である。40

【0004】

よって、アクティブマトリクスピネル 100 は、液晶表示装置と同様に、n 本の走査線 Y₁ ~ Y_n に対して所定のタイミングで走査線選択電圧を供給する走査線駆動回路 120 と、m 本のデータ線 X₁ ~ X_m に対して所定のタイミングでデータ電圧を供給するデータ線駆動回路 130 とを備えている。なお、図 13 では、有機 E L 表示装置を駆動させるためのそ50

の他の種々の回路については省略している。

【0005】

アクティブマトリクスパネル100において、液晶表示装置と異なる点は、各表示セル110が、液晶素子に換えて有機EL素子を備えていることである。この表示セル110の構成として、選択TFT、駆動TFT、キャパシタ、有機EL素子をそれぞれ一つずつ備えた、いわゆる電圧書き込み型の表示セルが最もよく知られている（例えば、特許文献1参照）。

【0006】

電圧書き込み型の表示セルの等価回路の一例を挙げると、図13に示すように、選択TFTは、ゲートを走査線に接続するとともにドレインをデータ線に接続し、駆動TFTは、ゲートを選択TFTのソースに接続するとともにソースを共通線（多くの場合、接地線GND）に接続している。また、上記したキャパシタは、駆動TFTのソース-ゲート間に接続され、有機EL素子は、アノード側を電源電圧線（図中では V_{dd} ）に接続するとともにカソード側を駆動TFTのドレインに接続している。

【0007】

ここで、この電圧書き込み型の表示セルの動作を簡単に説明する。まず、選択TFTのゲートに走査線駆動回路120から走査線選択電圧が供給されると、選択TFTはオン状態となり、データ線駆動回路130から供給されたデータ電圧が駆動TFTのゲートとキャパシタに印加される。これにより、駆動TFTはオン状態となり、有機EL素子のカソード側から共通線への電流路が形成される。すなわち、有機EL素子は、データ電圧に応じて決定される電流によって発光する。一方、キャパシタには、データ電圧が蓄積される。

【0008】

蓄積されたデータ電圧は、駆動TFTとキャパシタとの上記接続関係から、駆動TFTのゲートに供給されるので、選択TFTのゲートに走査線選択電圧が供給されなくなっていても、すなわち走査線駆動回路120が次の走査線の選択に移行した後であっても、有機EL素子は、次に走査線駆動回路120によって走査線が選択されるまで発光を持続する。換言すれば、キャパシタに書き込まれたデータ電圧によって有機EL素子は発光し続ける。これが、電圧書き込み型と呼ばれる所以である。

【0009】

一方、共通線を必要としない表示セルの構成も提案されている（特許文献2参照）。図14は、特許文献2に開示された一実施例を説明するための表示セルの等価回路を示す図である。図14に示す等価回路は、nチャネル型TFT36、pチャネル型TFT37、有機薄膜EL素子38および容量39（上記したキャパシタに相当）を備えて構成される。

【0010】

図14において、走査線41はnチャネル型TFT36とpチャネル型TFT37のゲート電極に接続され、信号線42（上記したデータ線に相当）はnチャネル型TFT36の一方の電極に接続されている。また、nチャネル型TFT36の他方の電極は容量39の一方の端子とpチャネル型TFT37の一方の電極との接続点に接続され、pチャネル型TFT37の他方の電極は有機薄膜EL素子38の一方の電極に接続されている。そして、容量39の他方の端子と有機薄膜EL素子38の他方の電極とは電源電極40に接続されている。

【0011】

この構成によれば、走査線41が選択されると、nチャネル型TFT36がオン状態となり、信号線42からnチャネル型TFT36を介して容量39に電圧が印加される。このときpチャネル型TFT37はオフ状態となり、有機薄膜EL素子38は発光しない。次に、走査線41が非選択状態になると、nチャネル型TFT36がオフ状態となるため、信号線42の電圧は容量39に印加されなくなる。その一方で、pチャネル型TFT37はオン状態となり、容量39に蓄えられた電荷がpチャネル型TFT37を介して有機薄膜EL素子38に流れ込み、これにより有機薄膜EL素子38が発光する。

【0012】

10

20

30

40

50

また、上述した特許文献1および2は、電圧書き込み型の有機EL表示装置に関するものであったが、後述する輝度ムラを解消することができる電流書き込み型の有機EL表示装置も提案されている（例えば、特許文献3参照）。

【0013】

【特許文献1】

特開平8-234683号公報（第5頁左段、第1図）

【特許文献2】

特許第2689917号公報（第7頁左段～第8頁右段、第11図）

【特許文献3】

特開2001-147659号公報（第7頁左段～第8頁左段、第1図）

10

【0014】

【発明が解決しようとする課題】

しかしながら、電圧書き込み型の表示セルを採用した有機EL表示装置は、大画面化を実現する上で輝度ムラが発生してしまうという問題を有している。輝度ムラの問題については本来、大画面でなくとも、表示セル間において駆動TFTの特性（例えば、閾値電圧 V_{th} ）が異なることを起因としていることが知られている。但し、この駆動TFTのバラツキに起因する問題については種々の解決法が提案されているので、ここでは問題としない。

【0015】

ここでいう大画面化による輝度ムラの発生とは、駆動TFTのバラツキに起因するものではなく、共通線の配線抵抗を起因としたものである。以下にその問題について説明する。
図15(a)は、アクティブマトリクスパネル100の第i行目の表示セル列を示す図である。図15(a)に示すように、第i行目のm個の表示セルにおいて、各駆動TFTのソースはすべて同一の共通線31に接続されている。すなわち、すべての駆動TFTがオン状態となっている間ににおいて、各有機EL素子に流れる電流 $i_1 \sim i_m$ はすべて同一の共通線31に流れ込む。ここで、共通線31は、高導電性の材料によって形成されてはいるが、多少の配線抵抗（図中の抵抗 $R_1 \sim R_{m+1}$ ）を有しており、大画面化に伴ってその長さが長くなった場合には、その配線抵抗による電圧降下は無視できないものとなる。

20

【0016】

また、通常、大画面化に伴って高精細化も実現されるため、行方向における表示セルの数も多くなる。これは、共通線31に流れ込む電流の総和が増大することを意味し、上記した配線抵抗による電圧降下をさらに増大させる。よって、アクティブマトリクスパネル100の輝度を最大にした場合には、共通線31に流れ込む電流値も最大になる。図15(b)は、共通線における電圧降下を説明するための説明図である。共通線31は、通常、図13に示したように、行ごとにかつ行方向に平行してそれぞれ配置されており、その両端は共通電源に接続されている。共通電源は多くの場合接地電位であるため、各表示セルから共通線31に流れ込んだ電流は、その流入した位置に応じた電流値で分割されて共通線31の両端に向かう。よって、共通線31の端部からの位置に応じて配線抵抗が重畠されることを考慮すると、共通線31の配線長をLとした場合、図15(b)に示すように、共通線31の一端から0.5Lの位置の電位が最大となる。なお、この最大値 V_{max} は、各有機EL素子に流れる電流をiとし、表示セル間に相当する共通線31の配線抵抗の抵抗値をrとすると、m個の表示セルを有する行では、

$$V_{max} = (1/2) r i ((m+1)/2)^2 \quad \dots [m: 奇数]$$

$$V_{max} = (1/2) r i (m/2)((m+2)/2) \quad \dots [m: 偶数]$$

30

で表わされる。

40

【0017】

有機EL表示装置では、すべての有機EL素子を定常に発光させているため、表示セル内のキャパシタに新たなデータ電圧を書き込む直前においても、各表示セルから共通線31へと電流が流れ込んでいる。換言すれば、データ電圧の書き込む直前においても、共通線31の電位は、データ電圧の書き込みが行われる表示セルの位置に応じた大きさ、すなわち図15(b)に示したような電位分布に従った大きさを有する。ここで、図15(a)に

50

示された表示セルの構成を見てもわかるように、キャパシタの一端は共通線 31 に接続されているため、キャパシタに書き込まれる電圧は、結局、その共通線 31 の電位を基準とした大きさとなる。すなわち、1列目の表示セルと $m/2$ 列目の表示セルにそれぞれ同じ電圧値のデータが入力されたとしても、各表示セルのキャパシタに書き込まれる電圧は異なることになる。

【0018】

例えば、データ線駆動回路 130 からすべてのデータ線 $X_1 \sim X_m$ にデータ電圧 V_{sig} が供給された場合でも、図 15 のデータ線 X_1 に位置する表示セルのキャパシタには電圧 V_{sig} が書き込まれるもの、データ線 $X_{0.5L}$ に位置する表示セルのキャパシタには、電圧 V_{sig} よりも小さい電圧 $V_{sig} - V_{max}$ が書き込まれる。すなわち、アクティブマトリクスパネル 100 は、中央部が暗く、端に向かって明るくなる。これはアクティブマトリクスパネル 100 の大型化・高輝度化を実現する上で重要な問題である。10

【0019】

また、上述した特許文献 2 によれば、共通線を必要としないことと、容量 39 への電圧書込み時において有機薄膜 EL 素子 38 に電流が流れないことから、キャパシタに書き込まれる電圧（以下、蓄積電圧と称する。）に関する問題は生じない。ところが、特許文献 2 において想定されている表示セルは、容量 39 に蓄積された電荷によって直接に有機薄膜 EL 素子 38 を発光させる構成であり、特許文献 1 に示すような現在主流の駆動 TFT を用いた構成ではない。より詳細に言えば、容量 39 は TFT を駆動させるために用いられない。よって、そもそも特許文献 2 では、大画面化によって蓄積電圧がばらつくという問題は生じない。20

【0020】

さらに、上記した特許文献 3 は、電流書込み型の表示セルを開示するが、この電流書込み型では、各表示セルに微小な電流を正確な値で与える必要があり、大画面になると特にその電流制御は困難なものとなる。また、電流書込み型では、表示セルを構成するのに電圧書込み型で必要とする数以上の TFT が必要となり（例えば 4 つ）、これは表示セルの開口率の向上やコスト削減の障害になる。

【0021】

本発明は上記に鑑みてなされたものであって、駆動 TFT を備えた電圧書込み型の大画面のアクティブマトリクスパネルに対しても、各表示セルのキャパシタに所望の電圧を正確に書き込むことができる EL 表示装置およびその駆動方法を提供することを目的とする。30

【0022】

【課題を解決するための手段】

上記目的を達成するため、請求項 1 にかかる EL 表示装置は、複数の走査線と複数のデータ線の各交差点近傍に表示セルを設け、前記表示セルが、少なくとも、前記走査線から供給された走査線選択電圧をゲートに入力する選択トランジスタと、前記選択トランジスタを介して前記データ線から供給されたデータ電圧をゲートに入力する駆動トランジスタと、前記駆動トランジスタのゲートに一端が接続されたキャパシタと、前記駆動トランジスタのソースもしくはドレインの一方に一端が接続されたエレクトロルミネッセンス（EL）素子とを有して構成された EL 表示装置において、前記複数の走査線のうちの任意の第 1 の走査線で選択される表示セル内の前記駆動トランジスタのソースもしくはドレインの他方と前記キャパシタの他端とは、前記複数の走査線のうち前記第 1 の走査線に対して走査方向次段に隣接した第 2 の走査線に接続されており、前記第 1 の走査線に、第 1 電圧と該第 1 電圧よりも値の大きい第 2 電圧の順序で形成される階段形状パルスを供給し、且つ当該階段形状パルスを前記第 2 の走査線に前記第 1 電圧のパルス幅だけ遅らせて供給し、当該階段形状パルスのパルス幅を有し、前記データ電圧より大きい第 3 電圧の大きさのパルスを、前記複数の走査線のうち前記階段形状パルスが供給されている走査線とは異なる他の走査線に供給する走査線駆動回路と、前記第 1 の走査線に前記第 1 電圧が供給されている間及び前記第 1 の走査線に前記第 2 電圧が供給されている間のそれぞれのタイミングで、前記データ線から前記データ電圧を前記キャパシタの一端に供給して、前記第 2 の40

走査線に供給されている電圧と前記データ電圧との差分を前記キャパシタへ書き込むデータ線駆動回路と、を備えたことを特徴としている。

【0023】

この請求項1の発明によれば、キャパシタの他端の電位が、走査線に供給される第1電圧または第2電圧によって固定されるので、キャパシタの一端に所望の電圧を正確に書き込むことができる。

【0024】

また、請求項2にかかるEL表示装置は、上記の発明において、前記走査線駆動回路が、前記第1電圧と前記第2電圧を連続した所定の単位期間にそれぞれ割り当てることで前記階段形状パルスを生成するとともに、前記第1の走査線に供給される階段形状パルスを
、前記第2の走査線に、前記単位期間だけずらして供給することを特徴としている。

10

【0026】

また、請求項3にかかるEL表示装置は、上記の発明において、前記走査線駆動回路は、前記第3電圧の大きさのパルスを、前記複数の走査線のうち前記階段形状パルスが供給されている走査線とは異なる任意の第3の走査線と、当該第3の走査線に対して走査方向次段に隣接した第4の走査線とにそれぞれ供給し、前記第4の走査線に供給されるパルスは、前記第3の走査線に供給されるパルスに対して前記単位期間だけずらして供給されることを特徴としている。

【0027】

また、請求項4にかかるEL表示装置は、上記の発明において、前記第3電圧は、前記第2電圧の値と等しいことを特徴としている。

20

【0028】

また、請求項5にかかるEL表示装置は、上記の発明において、前記データ線駆動回路は、前記データ線に、前記第1電圧以上かつ前記第2電圧未満の値を有するデータ電圧を供給することを特徴としている。

【0034】

また、請求項6にかかるEL表示装置は、上記の発明において、前記エレクトロルミネッセンス素子は、有機EL素子であることを特徴としている。

【0043】

【発明の実施の形態】

30

以下に、本発明にかかるEL表示装置およびその駆動方法の実施の形態を図面に基づいて詳細に説明する。なお、この実施の形態により本発明が限定されるものではない。

【0044】

(実施の形態1)

まず、実施の形態1にかかるEL表示装置およびその駆動方法について説明する。実施の形態1にかかるEL表示装置およびその駆動方法は、共通線を排除し、従来においてその共通線に接続されていたキャパシタの一端を、そのキャパシタを備えた表示セルに隣接した他の表示セルの走査線に接続するとともに、走査線に印加する電圧を階段形状のパルスにしたことを特徴としている。

【0045】

図1は、実施の形態1にかかるEL表示装置の概略構成のうち、アクティブマトリクスピネルと駆動回路を示す図である。図1において、アクティブマトリクスピネル10は、ガラス基板上に格子状に形成されたn本の走査線Y₁～Y_nとm本のデータ線X₁～X_mを備えており、さらにそれら走査線とデータ線との交差点にそれぞれ表示セル11を配置している。また、各表示セル11は、後述するようにTFTを備えている。また、アクティブマトリクスピネル10は、n本の走査線Y₁～Y_nに対して所定のタイミングで走査線選択電圧を供給する走査線駆動回路20と、m本のデータ線X₁～X_mに対して所定のタイミングでデータ電圧を供給するデータ線駆動回路30とを備えている。すなわち、これら説明した構成については、図8に示した従来の有機EL表示装置と変わりない。なお、図1では、EL表示装置を駆動させるためのその他の種々の回路については省略している。

40

50

【0046】

図1に示すEL表示装置において、図13に示した従来の有機EL表示装置と異なる点は、共通線が排除されたことと、各表示セルのキャパシタの一端が、隣接した表示セルの走査線に接続されたことと、n行目(最終行)の各表示セルのキャパシタの一端に接続される補助走査線 Y_{n+1} が設けられていることである。また、走査線駆動回路20が走査線選択電圧として階段状のパルスを供給するとともに、同様なパルスを補助走査線 Y_{n+1} に対して供給する点も異なる。すなわち、走査線駆動回路20による駆動方法にも特徴がある。なお、補助走査線 Y_{n+1} については、走査線駆動回路20によって内部的に走査線 Y_1 と同じパルスが供給される。

【0047】

図2は、実施の形態1にかかるEL表示装置の表示セルの等価回路を示す図である。なお、図2は、k列目の*i*-1行目～*i*+1行目に位置する3つの表示セル $PX_{(k,i-1)}$ 、 $PX_{(k,i)}$ 、 $PX_{(k,i+1)}$ を表わしている。ここで、k列*i*行目の表示セル $PX_{(k,i)}$ の等価回路について説明する。表示セル $PX_{(k,i)}$ は、ゲートを走査線 Y_i に接続するとともにドレインをデータ線 X_k に接続したnチャネル型の選択TFT12_{*i*}と、ゲートを選択TFT12_{*i*}のソースに接続するとともにソースを下位の表示セル $PX_{(k,i+1)}$ の走査線 Y_{i+1} に接続したnチャネル型の駆動TFT13_{*i*}と、駆動TFT13_{*i*}のソース-ゲート間に接続されたキャパシタCS_{*i*}と、アノード側を電源電圧V_{dd}の供給線に接続するとともにカソード側を駆動TFT13_{*i*}のドレインに接続した有機EL素子LD_{*i*}とを備えて構成される。表示セル $PX_{(k,i-1)}$ 、 $PX_{(k,i+1)}$ および他の表示セルについても上記 $PX_{(k,i)}$ と同様な等価回路で表わされる。

【0048】

次に、図2に示した等価回路の動作について説明する。図3は、上記等価回路において、走査線 Y_{i-1} ～ Y_{i+2} に供給される走査線選択電圧とデータ線 X_k に供給されるデータ電圧のタイミングチャートである。なお、図3には、説明の便宜上、表示セル $PX_{(k,i+2)}$ に供給される走査線 Y_{i+2} の電圧も示している。

【0049】

まず、期間t0において、走査線駆動回路20は、走査線 Y_{i-1} に対して電圧V1を供給し、走査線 Y_i ～ Y_{i+2} および図示しない他の走査線に対しては各選択TFTの閾値電圧以下の電圧(以下、説明を簡単にするため、図3に示すように0[V]とする)を供給する。これにより、表示セル $PX_{(k,i-1)}$ 内の選択TFT12_{*i*-1}のみがオン状態となり、他の選択TFTはオフ状態となる。なお、電圧V1は、

$$V1 = V_{dd} - V_{th}$$

で表わされる。ここで、V_{dd}は上記した電源電圧であり、V_{th}は各表示セル内の有機EL素子の発光閾値電圧である。

【0050】

また、期間t0においては、データ線駆動回路30によって、データ線 X_k に電圧S0が供給される。ここで、駆動TFT13_{*i*-1}のソースは走査線 Y_i に接続されているので、その電位は走査線 Y_i の電位、すなわち0[V]を示す。よって、選択TFT12_{*i*-1}がオン状態になると、駆動TFT13_{*i*-1}のゲートには、駆動TFT13_{*i*-1}のソース-ゲート間電圧、すなわち電圧S0が入力される。電圧S0は、正の値を示しかつ駆動TFT13_{*i*-1}の閾値電圧以上でもあるので、駆動TFT13_{*i*-1}はオン状態となる。駆動TFT13_{*i*-1}がオン状態になると、有機EL素子LD_{*i*-1}には、電源電圧V_{dd}から駆動TFT13_{*i*-1}のドレイン-ソース間電圧を差し引いた電圧が印加される。ドレイン-ソース間電圧は十分に小さいので、有機EL素子LD_{*i*-1}は、発光閾値以上の電圧が印加されることになり発光し始める。

【0051】

また、キャパシタCS_{*i*-1}の一端も走査線 Y_i に接続されているので、期間t0では、その電位も走査線 Y_i の電位、すなわち0[V]を示す。結局、キャパシタCS_{*i*-1}には、データ線 X_k と走査線 Y_i の電位差、すなわち電圧S0が書き込まれる。なお、データ線駆動回

10

20

30

40

50

路 3 0 によって供給されるデータ電圧は、上記電圧 V 1 以上でありかつ電圧 V 3 以下である。すなわち、上記電圧 S 0 、後述する電圧 S 1 ~ S 5 、電圧 V 1 および V 3 は、
 $V_1 < S_0 \sim S_5 < V_3$
 の関係を有する。

【 0 0 5 2 】

一方、表示セル $P X_{(k, i-1)}$ 以外の表示セル内の選択 TFT は、期間 t 0 においてはオフ状態になるので、それら表示セル内のキャパシタに電荷が保持されていない初期状態にあっては、各駆動 TFT はオフ状態であり、各有機 EL 素子も発光しない。

【 0 0 5 3 】

次の期間 t 1 では、走査線駆動回路 2 0 は、走査線 Y_{i-1} に対して、電圧 V 1 よりも大きい電圧 V 2 を供給し、走査線 Y_i に対して電圧 V 1 を供給し、走査線 Y_{i+1}, Y_{i+2} および図示しないその他の走査線に対しては 0 [V] を供給する。これにより、表示セル $P X_{(k, i-1)}$ 内の選択 TFT 1 2 $i-1$ および表示セル $P X_{(k, i)}$ 内の選択 TFT 1 2 i がオン状態となり、他の選択 TFT はオフ状態となる。なお、電圧値 V 2 は、上記した電圧 V 3 よりも十分に大きな値である。10

【 0 0 5 4 】

また、この期間 t 1 においては、データ線駆動回路 3 0 によって、データ線 X_k に電圧 S 1 が供給される。ここで、駆動 TFT 1 3 $i-1$ のソースは走査線 Y_i に接続されているので、その電位は走査線 Y_i の電位、すなわち V 1 を示す。よって、電圧 V 2 の入力により選択 TFT 1 2 $i-1$ がオン状態になると、駆動 TFT 1 3 $i-1$ のゲートには、駆動 TFT 1 3 $i-1$ のソース - ゲート間電圧、すなわち電圧 $S_1 - V_1$ が入力される。電圧 $S_1 - V_1$ は、正の値を示しかつ駆動 TFT 1 3 $i-1$ の閾値電圧以上でもあるので、駆動 TFT 1 3 $i-1$ はオン状態となる。20

【 0 0 5 5 】

駆動 TFT 1 3 $i-1$ がオン状態になると、有機 EL 素子 $L D_{i-1}$ には、電源電圧 V_{dd} から駆動 TFT 1 3 $i-1$ のドレイン - ソース間電圧と電圧 V 1 を差し引いた電圧が印加されることになる。ドレイン - ソース間電圧は十分に小さいが、電圧 V 1 は、上記したように $V_1 = V_{dd} - V_{th}$ の関係を有するため、有機 EL 素子 $L D_{i-1}$ は発光閾値未満の電圧が印加されることになり発光しない。また、キャパシタ $C S_{i-1}$ の一端も走査線 Y_i に接続されているので、結局、キャパシタ $C S_{i-1}$ にも、データ線 X_k と走査線 Y_i の電位差、すなわち電圧 $S_1 - V_1$ が書き込まれる。30

【 0 0 5 6 】

また、駆動 TFT 1 3 i のソースは走査線 Y_{i+1} に接続されているので、その電位は走査線 Y_{i+1} の電位、すなわち 0 [V] を示す。よって、電圧 V 1 の入力により選択 TFT 1 2 i がオン状態になると、駆動 TFT 1 3 i のゲートには、駆動 TFT 1 3 i のソース - ゲート間電圧、すなわち電圧 S_1 が入力される。電圧 S_1 は、正の値を示しかつ駆動 TFT 1 3 i の閾値電圧以上でもあるので、結局、駆動 TFT 1 3 i はオン状態となる。駆動 TFT 1 3 i がオン状態になると、走査線 Y_{i+1} の電位が 0 [V] であるので、有機 EL 素子 $L D_i$ に、電源電圧 V_{dd} から駆動 TFT 1 3 i のドレイン - ソース間電圧を差し引いた電圧が印加される。この状態は、上記した期間 t 0 での有機 EL 素子 $L D_{i-1}$ と同様な状態であるので、有機 EL 素子 $L D_i$ は発光し始める。また、キャパシタ $C S_i$ についても、上記した期間 t 0 でのキャパシタ $C S_{i-1}$ と同様な状態となるので、データ線 X_k と走査線 Y_i の電位差、すなわちデータ電圧 S_1 が書き込まれる。40

【 0 0 5 7 】

一方、表示セル $P X_{(k, i-1)}$ および $P X_{(k, i)}$ 以外の表示セル内の選択 TFT は、期間 t 1 においてはオフ状態になるので、それら表示セル内のキャパシタに電荷が保持されていない初期状態にあっては、各駆動 TFT はオフ状態であり、各有機 EL 素子も発光しない。

【 0 0 5 8 】

次の期間 t 2 では、走査線駆動回路 2 0 は、走査線 Y_{i-1} に対して 0 [V] を供給し、走査線 Y_i に対して上記した電圧 V 2 を供給し、走査線 Y_{i+1} に対して上記した電圧 V 1 を供50

給し、走査線 Y_{i+2} および図示しないその他の走査線に対しては $0 [V]$ を供給する。これにより、表示セル $PX_{(k,i)}$ 内の選択 TFT12_i および表示セル $PX_{(k,i+1)}$ 内の選択 TFT12_{i+1} がオン状態となり、表示セル $PX_{(k,i-1)}$ 内の選択 TFT12_{i-1} および他の表示セル内の各選択 TFT はオフ状態となる。また、この期間 t_2 においては、データ線駆動回路 30 によって、データ線 X_k に電圧 S_2 が供給される。

【0059】

この状態で、表示セル $PX_{(k,i-1)}$ 内の選択 TFT12_{i-1} はオフ状態であるが、上記した期間 t_1 において、同表示セル内のキャパシタ CS_{i-1} には電圧 $S_1 - V_1$ が書き込まれているため、駆動 TFT13_{i-1} はその電圧をゲートに入力してオン状態となる。しかしながら、駆動 TFT13_{i-1} のソースに接続されている走査線 Y_i には十分に大きな値を有する電圧 V_2 が供給されているため、有機 EL 素子 LD_{i-1} は発光閾値未満の電圧が印加されることになり発光しない。10

【0060】

一方、駆動 TFT13_i のソースは走査線 Y_{i+1} に接続されているので、期間 t_2 では、その電位は走査線 Y_{i+1} の電位、すなわち V_1 を示す。よって、選択 TFT12_i がオン状態になると、駆動 TFT13_i のゲートには、駆動 TFT13_i のソース - ゲート間電圧、すなわち電圧 $S_2 - V_1$ が入力される。また、駆動 TFT13_{i+1} のソースは走査線 Y_{i+2} に接続されているので、期間 t_2 では、その電位は走査線 Y_{i+1} の電位、すなわち $0 [V]$ を示す。よって、選択 TFT12_{i+1} がオン状態になると、駆動 TFT13_{i+1} のゲートおよびキャパシタ CS_{i+1} には、駆動 TFT13_{i+1} のソース - ゲート間電圧、すなわち電圧 S_2 が入力される。20

【0061】

これら表示セル $PX_{(k,i)}$ および $PX_{(k,i+1)}$ の状態は、上記した期間 t_1 における表示セル $PX_{(k,i-1)}$ および表示セル $PX_{(k,i)}$ と同様な状態である。よって、有機 EL 素子 LD_i は発光閾値未満の電圧が印加されることになり発光せず、キャパシタ CS_i には、データ線 X_k と走査線 Y_i の電位差、すなわちデータ電圧 $S_2 - V_1$ が書き込まれる。また、有機 EL 素子 LD_{i+1} は発光し始め、キャパシタ CS_{i+1} には、データ線 X_k と走査線 Y_i の電位差、すなわちデータ電圧 S_2 が書き込まれる。

【0062】

上記表示セル以外の表示セル内の選択 TFT は、期間 t_2 においてはオフ状態になるので、それら表示セル内のキャパシタに電荷が保持されていない初期状態にあっては、各駆動 TFT はオフ状態であり、各有機 EL 素子も発光しない。30

【0063】

次の期間 t_3 では、走査線駆動回路 20 は、走査線 Y_{i-1} および Y_i に対して $0 [V]$ を供給し、走査線 Y_{i+1} に対して上記した電圧 V_2 を供給し、走査線 Y_{i+2} に対して上記した電圧 V_1 を供給し、図示しないその他の走査線に対しては $0 [V]$ を供給する。これにより、表示セル $PX_{(k,i+1)}$ 内の選択 TFT12_{i+1} および表示セル $PX_{(k,i+2)}$ 内の選択 TFT12_{i+2} がオン状態となり、表示セル $PX_{(k,i-1)}$ 内の選択 TFT12_{i-1}、表示セル $PX_{(k,i)}$ 内の選択 TFT12_i および他の表示セル内の各選択 TFT はオフ状態となる。また、この期間 t_3 においては、データ線駆動回路 30 によって、データ線 X_k に電圧 S_3 が供給される。40

【0064】

この状態で、表示セル $PX_{(k,i-1)}$ 内の選択 TFT12_{i-1} はオフ状態であるが、同表示セル内のキャパシタ CS_{i-1} には電圧 $S_1 - V_1$ が保持されているため、駆動 TFT13_{i-1} はその電圧をゲートに入力してオン状態となる。さらに、駆動 TFT13_{i-1} のソースに接続されている走査線 Y_i は $0 [V]$ であるため、有機 EL 素子 LD_i は発光閾値以上の電圧が印加されて発光し始める。

【0065】

また、この期間 t_3 において、表示セル $PX_{(k,i)}$ 内の選択 TFT12_i はオフ状態であるが、上記した期間 t_2 において、同表示セル内のキャパシタ CS_i には電圧 $S_2 - V_1$ が50

書き込まれているため、駆動 T F T 1 3_i はその電圧をゲートに入力してオン状態となる。しかしながら、駆動 T F T 1 3_i のソースに接続されている走査線 Y_{i+1} には上記した電圧 V 2 が供給されているため、有機 E L 素子 L D_i には発光閾値未満の電圧が印加されることになり発光しない。すなわち、表示セル P X_(k, i) は、上記した期間 t₂ における表示セル P X_(k, i-1) と同様な状態となる。

【0066】

一方、駆動 T F T 1 3_{i+1} のソースは走査線 Y_{i+2} に接続されているので、期間 t₃ では、その電位は走査線 Y_{i+2} の電位、すなわち V 1 を示す。よって、選択 T F T 1 2_{i+1} がオン状態になると、駆動 T F T 1 3_{i+1} のゲートおよびキャパシタ C S_{i+1} に、駆動 T F T 1 3_{i+1} のソース - ゲート間電圧、すなわち電圧 S₃ - V₁ が入力される。

10

【0067】

この状態は、上記した期間 t₁ における駆動 T F T 1 3_{i-1} と同様な状態である。よって、有機 E L 素子 L D_{i+1} は発光閾値未満の電圧が印加されることになり発光せず、キャパシタ C S_{i+1} には、データ線 X_k と走査線 Y_{i+2} の電位差、すなわちデータ電圧 S₃ - V₁ が書き込まれる。

【0068】

表示セル P X_(k, i+2) 以外の表示セル内の選択 T F T は、期間 t₃ においてはオフ状態になるので、それら表示セル内のキャパシタに電荷が保持されていない初期状態にあっては、各駆動 T F T はオフ状態であり、各有機 E L 素子も発光しない。

【0069】

続く期間 t₄ 以降においては、走査線駆動回路 20 によって選択された順、すなわち走査線に走査線選択電圧として電圧 V₁ が供給された順に、各表示セルに電圧 V₁ と電圧 V₂ からなる図 3 に示すような階段形状のパルスが供給され、上述した動作が繰り返される。

20

【0070】

これら動作を一般的に記述すると、各表示セルは、走査線に電圧 V₁ が供給された際のデータ電圧に基づいて一瞬だけ有機 E L 素子を発光させる第 1 フェーズと、有機 E L 素子を発光させずに、走査線に電圧 V₁ よりも大きい電圧 V₂ が供給された際のデータ電圧をキャパシタに書き込む第 2 フェーズと、有機 E L 素子を発光させずに、キャパシタへの書き込みを停止しつつ書き込まれた電圧を保持する第 3 フェーズと、キャパシタへの書き込みを停止しつつ書き込まれた電圧に基づいて有機 E L 素子の発光を新たな第 1 フェーズまで持続させる第 4 フェーズとにいった流れで動作する。

30

【0071】

ここで特に、上記した第 2 フェーズの電圧書き込み時において、従来の構成で共通線に接続されていたキャパシタの一端の電位が、表示セルの位置とは無関係に電圧 V₁ に固定されるので、そのキャパシタに所望の電圧（データ電圧 - 電圧 V₁）を正確に書き込むことができる。但し、データ線には、キャパシタに書き込みたい電圧よりも電圧 V₁ だけ大きい電圧を供給する必要がある。なお、第 1 フェーズにおいて望まない発光が生じるがそれは第 4 フェーズにおいて持続する発光時間に比べて無視できる程に短い時間であり、視認することもできないために問題とはならない。

【0072】

40

以上に説明したように、実施の形態 1 にかかる E L 表示装置およびその駆動方法によれば、キャパシタの一端と駆動 T F T のソースを、それらを含む表示セルの下位の行を選択するための走査線に接続するので、従来必要であった共通線を排除することができる。また、表示セル内のキャパシタの一端の電位をその走査線に入力される電圧 V₁ に固定しつつ有機 E L 素子に電流を流さない状態で、データ電圧をそのキャパシタに書き込むので、行上の表示セルの位置に応じてキャパシタの一端の電位が変動するようなことも無く、キャパシタに所望の電圧を正確に保持させることができる。すなわち、アクティブマトリクスピネル 10 の大画面化により行方向に位置する表示セルの数が増加しても、中央部が暗くて端に向かって明るくなるというような従来生じていた輝度ムラは発生しない。

【0073】

50

(実施の形態 2)

つぎに、実施の形態 2 にかかる E L 表示装置およびその駆動方法について説明する。実施の形態 2 にかかる E L 表示装置およびその駆動方法は、実施の形態 1 に説明した駆動方法に加えて、上述した階段形状のパルス幅に等しい矩形パルスを、階段形状のパルスが書き込まれている表示セル以外の表示セルに入力することで、同一パネル上においてデータの書き込みとデータの消去を同時に行うことを特徴としている。

【 0 0 7 4 】

なお、実施の形態 2 にかかる E L 表示装置の概略構成については図 1 に示したとおりであるので、ここではその説明を省略する。よって、以下においては、走査線駆動回路 2 0 による駆動方法について説明する。

10

【 0 0 7 5 】

図 4 は、実施の形態 2 にかかる E L 表示装置の表示セルの等価回路を示す図である。特に図 4 は、 k 列目の i 行目および $i + 1$ 行目に位置する 2 つの表示セル $P X_{(k,i)}$, $P X_{(k,i+1)}$ と、それら表示セルから所定行数分離れた j 行目および $j + 1$ 行目に位置する 2 つの表示セル $P X_{(k,j)}$, $P X_{(k,j+1)}$ とを表わしている。各表示セルの回路構成および符号については実施の形態 1 と同様であるのでここでは説明を省略する。

【 0 0 7 6 】

図 5 は、図 4 に示した等価回路において、走査線 Y_i , Y_{i+1} , Y_j , Y_{j+1} に供給される走査線選択電圧とデータ線 X_k に供給されるデータ電圧のタイミングチャートである。なお、図中の電圧 V_1 , V_2 および V_3 は、実施の形態 1 に示したとおりの関係を有する。

20

【 0 0 7 7 】

まず、期間 t_1 において、走査線駆動回路 2 0 は、走査線 Y_i に対して電圧 V_1 を供給し、走査線 Y_j に対して電圧 V_2 を供給し、走査線 Y_{i+1} , Y_{j+1} および図示しないその他の走査線に対して 0 [V] を供給する。これにより、表示セル $P X_{(k,i)}$ 内の選択 TFT12_i と表示セル $P X_{(k,j)}$ 内の選択 TFT12_j がオン状態となり、他の選択 TFT はオフ状態となる。

【 0 0 7 8 】

また、この期間 t_1 においては、データ線駆動回路 3 0 によって、データ線 X_k にデータ電圧 S_1 が供給される。ここで、駆動 TFT13_i のソースは走査線 Y_{i+1} に接続されているので、その電位は走査線 Y_{i+1} の電位、すなわち 0 [V] を示す。よって、選択 TFT12_i がオン状態になると、キャパシタ CS_i と駆動 TFT13_i のゲートには、駆動 TFT13_i のソース - ゲート間電圧、すなわち電圧 S_1 が入力される。この状態は、実施の形態 1 で説明した期間 t_1 における表示セル $P X_{(k,i)}$ の状態と同じである。よって、有機 E L 素子 LD_i は、発光閾値以上の電圧が印加されて発光し始め、キャパシタ CS_i には、データ線 X_k と走査線 Y_{i+1} の電位差、すなわち電圧 S_1 が書き込まれる。

30

【 0 0 7 9 】

また、駆動 TFT13_j のソースは走査線 Y_{j+1} に接続されているので、その電位は走査線 Y_{j+1} の電位、すなわち 0 [V] を示す。よって、選択 TFT12_j がオン状態になると、キャパシタ CS_j と駆動 TFT13_j のゲートには、データ電圧 S_1 が入力される。この状態も、上記した表示セル $P X_{(k,i)}$ と同様な状態であるため、有機 E L 素子 LD_j は、発光閾値以上の電圧が印加されて発光し始め、キャパシタ CS_j には、データ線 X_k と走査線 Y_{j+1} の電位差、すなわちデータ電圧 S_1 が書き込まれる。

40

【 0 0 8 0 】

一方、表示セル $P X_{(k,i)}$ および $P X_{(k,j)}$ 以外の表示セル内の選択 TFT は、期間 t_1 においてはオフ状態になるので、それら表示セル内のキャパシタに電荷が保持されていない初期状態にあっては、各駆動 TFT はオフ状態であり、各有機 E L 素子も発光しない。

【 0 0 8 1 】

次の期間 t_2 では、走査線駆動回路 2 0 は、走査線 Y_i , Y_j , Y_{j+1} に対して電圧 V_2 を供給し、走査線 Y_{i+1} に対して電圧 V_1 を供給し、図示しないその他の走査線に対しては 0 [V] を供給する。これにより、表示セル $P X_{(k,i)}$ 内の選択 TFT12_i、表示セル P

50

$X_{(k,i+1)}$ 内の選択 T F T 1 2 $i+1$ 、表示セル P X (k,j) 内の選択 T F T 1 2 j および表示セル P X $(k,j+1)$ 内の選択 T F T 1 2 $j+1$ がオン状態となり、他の選択 T F T はオフ状態となる。

【0082】

また、この期間 t_2 においては、データ線駆動回路 30 によって、データ線 X_k に電圧 S_2 が供給される。ここで、駆動 T F T 1 3 i のソースは走査線 Y_{i+1} に接続されているので、その電位は走査線 Y_{i+1} の電位、すなわち電圧 V_1 を示す。よって、選択 T F T 1 2 i がオン状態になると、キャパシタ C S i と駆動 T F T 1 3 i のゲートには、電圧 $S_2 - V_1$ が入力される。また、駆動 T F T 1 3 $i+1$ のソースは走査線 Y_{i+2} に接続されているので、その電位は走査線 Y_{i+2} の電位、すなわち 0 [V] を示す。よって、選択 T F T 1 2 $i+1$ がオン状態になると、キャパシタ C S $i+1$ と駆動 T F T 1 3 $i+1$ のゲートには、データ電圧 S_2 が入力される。これら表示セル P X (k,i) および P X $(k,i+1)$ の状態は、実施の形態 1 で説明した期間 t_2 における表示セル P X (k,i) および P X $(k,i+1)$ の状態と同じである。よって、有機 E L 素子 L D i は、発光閾値未満の電圧が印加されて発光せず、キャパシタ C S i には、データ線 X_k と走査線 Y_{i+1} の電位差、すなわちデータ電圧 $S_2 - V_1$ が書き込まれる。また、有機 E L 素子 L D $i+1$ は、発光閾値以上の電圧が印加されて発光し始め、キャパシタ C S $i+1$ には、データ線 X_k と走査線 Y_{i+2} の電位差、すなわちデータ電圧 S_2 が書き込まれる。10

【0083】

一方、駆動 T F T 1 3 j のソースは走査線 Y_{j+1} に接続されているので、その電位は走査線 Y_{j+1} の電位、すなわち V_2 を示す。よって、この期間 t_2 においては、選択 T F T 1 2 j がオン状態になると、駆動 T F T 1 3 j のゲートに、駆動 T F T 1 3 j のソース - ゲート間電圧、すなわち電圧 $S_2 - V_2$ が入力される。電圧 V_2 は、実施の形態 1 で説明したように、データ電圧よりも大きな値を有するので、上記電圧 $S_2 - V_2$ は負の値を示す。すなわち、駆動 T F T 1 3 j はオフ状態となり、有機 E L 素子 L D j は発光しない。また、キャパシタ C S j の一端も走査線 Y_{j+1} に接続されているので、結局、キャパシタ C S j にも、データ線 X_k と走査線 Y_{j+1} の電位差、すなわち負の電圧 $S_2 - V_2$ が書き込まれる。20

【0084】

また、駆動 T F T 1 3 $j+1$ のソースは走査線 Y_{j+2} に接続されているので、その電位は走査線 Y_{j+2} の電位、すなわち 0 [V] を示す。よって、電圧 V_2 の入力により選択 T F T 1 2 $j+1$ がオン状態になると、キャパシタ C S $j+1$ と駆動 T F T 1 3 $j+1$ のゲートには、データ電圧 S_2 が入力される。この状態は、上記した期間 t_1 における表示セル P X (k,j) と同様な状態であるため、有機 E L 素子 L D $j+1$ は、発光閾値以上の電圧が印加されて発光し始め、キャパシタ C S $j+1$ には、データ線 X_k と走査線 Y_{j+2} の電位差、すなわちデータ電圧 S_2 が書き込まれる。30

【0085】

また、上記以外の表示セル内の選択 T F T は、この期間 t_2 においてはオフ状態になるので、それら表示セル内のキャパシタに電荷が保持されていない初期状態にあっては、各駆動 T F T はオフ状態であり、各有機 E L 素子も発光しない。40

【0086】

次の期間 t_3 では、走査線駆動回路 20 は、走査線 Y_{i+1} , Y_{j+1} に対して電圧 V_2 を供給し、走査線 Y_i , Y_j および図示しないその他の走査線に対しては 0 [V] を供給する。これにより、表示セル P X $(k,i+1)$ 内の選択 T F T 1 2 $i+1$ および表示セル P X $(k,j+1)$ 内の選択 T F T 1 2 $j+1$ がオン状態となり、他の選択 T F T はオフ状態となる。

【0087】

また、この期間 t_3 においては、データ線駆動回路 30 によって、データ線 X_k に電圧 S_3 が供給される。この状態で、表示セル P X (k,i) 内の選択 T F T 1 2 i はオフ状態であるが、上記した期間 t_2 において、同表示セル内のキャパシタ C S i には電圧 $S_2 - V_1$ が書き込まれているため、駆動 T F T 1 3 i はその電圧をゲートに入力してオン状態となる。しかしながら、駆動 T F T 1 3 i のソースに接続されている走査線 Y_i には上記した電圧50

V_2 が供給されているため、実施の形態 1 で説明した期間 t_3 における表示セル $P X_{(k,i)}$ の状態と同様に、有機 EL 素子 $L D_i$ は発光閾値未満の電圧が印加されることになり発光しない。

【 0 0 8 8 】

また、駆動 TFT 1 3 $i+1$ のソースは走査線 Y_{i+2} に接続されているが、走査線 Y_{i+2} 以降の走査線に対しても、期間 t_1 および t_2 における走査線 Y_i のタイミングチャートで示した電圧が順次与えられるので、その駆動 TFT 1 3 $i+1$ のソースの電位は走査線 Y_{i+2} の電位、すなわち電圧 V_1 を示す。よって、選択 TFT 1 2 $i+1$ がオン状態になると、キャパシタ $C S_{i+1}$ と駆動 TFT 1 3 $i+1$ のゲートには、電圧 $S_3 - V_1$ が入力される。この表示セル $P X_{(k,i+1)}$ の状態は、実施の形態 1 で説明した期間 t_3 における表示セル $P X_{(k,i+1)}$ の状態と同じである。すなわち、有機 EL 素子 $L D_{i+1}$ は、発光閾値未満の電圧が印加されて発光せず、キャパシタ $C S_{i+1}$ には、データ線 X_k と走査線 Y_{i+2} の電位差、すなわち電圧 $S_3 - V_1$ が書き込まれる。10

【 0 0 8 9 】

一方、表示セル $P X_{(k,j)}$ 内の選択 TFT 1 2 j はオフ状態であり、さらには、上記した期間 t_2 において、同表示セル内のキャパシタ $C S_j$ には負の電圧 $S_2 - V_2$ が書き込まれているため、駆動 TFT 1 3 j もまたオフ状態となる。すなわち、有機 EL 素子 $L D_j$ は発光しない。特に、この非発光状態は、期間 t_1 における表示セル $P X_{(k,i)}$ のように新たな電圧書き込みが行われるまで持続する。換言すれば、表示セル $P X_{(k,j)}$ に対してデータの消去が行われる。20

【 0 0 9 0 】

また、駆動 TFT 1 3 $j+1$ のソースは走査線 Y_{j+1} に接続されているが、走査線 Y_{j+2} 以降の走査線に対しても、期間 t_1 および t_2 における走査線 Y_j のタイミングチャートで示した電圧が順次与えられるので、その駆動 TFT 1 3 $j+1$ のソースの電位は走査線 Y_{j+2} の電位、すなわち電圧 V_2 を示す。この状態は、期間 t_2 における表示セル $P X_{(k,j)}$ の状態と同様である。すなわち、駆動 TFT 1 3 $j+1$ は、ゲートに負の電圧 $S_3 - V_2$ を入力してオフ状態となり、有機 EL 素子 $L D_{j+1}$ は発光しない。また、キャパシタ $C S_{j+1}$ にも、データ線 X_k と走査線 Y_{j+2} の電位差、すなわち負の電圧 $S_3 - V_2$ が書き込まれる。

【 0 0 9 1 】

また、上記以外の表示セル内の選択 TFT は、期間 t_3 においてはオフ状態になるので、それら表示セル内のキャパシタに電荷が保持されていない初期状態にあっては、各駆動 TFT はオフ状態であり、各有機 EL 素子も発光しない。30

【 0 0 9 2 】

続く期間 t_4 以降においては、各表示セルに対して順次、上述した動作と同様な動作が繰り返される。すなわち、各表示セルは、上記した表示セル $P X_{(k,i)}$, $P X_{(k,i+1)}$ のように、走査線駆動回路 2 0 によって、走査線に階段形状のパルスの一段目として電圧 V_1 が供給された順に、正確な電圧書き込みによって有機 EL 素子を発光させる。また、各表示セルは、上記した表示セル $P X_{(k,j)}$, $P X_{(k,j+1)}$ のように、走査線駆動回路 2 0 によって、走査線に矩形パルスである電圧 V_2 が供給された順に、データの消去を行う。

【 0 0 9 3 】

以上に説明したように、実施の形態 2 にかかる EL 表示装置およびその駆動方法によれば、実施の形態 1 で説明した駆動方法に加え、発光のための電圧書き込みが行われていない走査線上の表示セルに対して、順次、そのキャパシタへ負の電圧を書き込むので、アクティブラーマトリクスパネル 1 0 上において同時にデータ表示とデータの消去を実行することができる。特に、そのデータの消去動作においては、駆動 TFT のソース - ゲート間に逆電圧を印加することになるので、駆動 TFT の閾値電圧シフトを抑制することもできる。40

【 0 0 9 4 】

(実施の形態 3)

次に、実施の形態 3 にかかる EL 表示装置およびその駆動方法について説明する。実施の形態 3 にかかる EL 表示装置およびその駆動方法は、同一行の表示セルの選択 TFT に接50

続された走査線（以下、選択走査線と称する。）と、同一行の表示セルのキャパシタに接続された線路（以下、書き込み走査線と称する。）とが、それぞれ独立して走査線駆動回路に接続され、それら選択走査線と書き込み走査線に所定のタイミングで互いに異なる電圧パルスを印加することを特徴としている。

【0095】

図6は、実施の形態3にかかるEL表示装置の概略構成のうち、アクティブマトリクスパネルと駆動回路を示す図である。図6において、アクティブマトリクスパネル50は、ガラス基板上に格子状に形成されたn本の選択走査線 $Y_{a_1} \sim Y_{a_n}$ とn本の書き込み走査線 $Y_{b_1} \sim Y_{b_n}$ とm本のデータ線 $X_1 \sim X_m$ を備えており、さらにそれら選択走査線とデータ線との交差点にそれぞれ表示セル51を配置している。また、各表示セル51は、後述するようにTFTを備えている。また、アクティブマトリクスパネル50は、n本の選択走査線 $Y_{a_1} \sim Y_{a_n}$ に対して所定のタイミングで走査線選択電圧を供給するとともにn本の書き込み走査線 $Y_{b_1} \sim Y_{b_n}$ に対して所定のタイミングで書き込み基準電圧を供給する走査線駆動回路60と、m本のデータ線 $X_1 \sim X_m$ に対して所定のタイミングでデータ電圧を供給するデータ線駆動回路30とを備えている。なお、図6では、EL表示装置を駆動させるためのその他の種々の回路については省略している。

10

【0096】

図6に示すEL表示装置において、図13に示した従来の有機EL表示装置と異なる点は、各表示セルのキャパシタに接続されていた共通線が走査線駆動回路60に接続され、各表示セルの有機EL素子のアノード側が接地線GNDに接続されていることである。また、走査線駆動回路60が上記走査線選択電圧と上記書き込み基準電圧を所定の大小関係を有した状態でそれぞれ選択走査線と書き込み走査線に供給する点も異なる。すなわち、走査線駆動回路50による駆動方法にも特徴がある。

20

【0097】

図7は、実施の形態3にかかるEL表示装置の表示セルの等価回路を示す図である。なお、図7は、k列目の*i*-1行目～*i*+1行目に位置する3つの表示セル $PX_{(k, i-1)}$ 、 $PX_{(k, i)}$ 、 $PX_{(k, i+1)}$ を表わしている。ここで、k列*i*行目の表示セル $PX_{(k, i)}$ の等価回路について説明する。表示セル $PX_{(k, i)}$ は、ゲートを選択走査線 Y_{a_i} に接続するとともにドレインをデータ線 X_k に接続したnチャネル型の選択TFT52_iと、ゲートを選択TFT52_iのソースに接続するとともにソースを書き込み走査線 Y_{b_i} に接続したnチャネル型の駆動TFT53_iと、駆動TFT53_iのソース-ゲート間に接続されたキャパシタCS_iと、アノード側を接地線GNDに接続するとともにカソード側を駆動TFT53_iのドレインに接続した有機EL素子LD_iとを備えて構成される。表示セル $PX_{(k, i-1)}$ 、 $PX_{(k, i+1)}$ および他の表示セルについても上記 $PX_{(k, i)}$ と同様な等価回路で表わされる。

30

【0098】

次に、図7に示した等価回路の動作について説明する。図8は、上記等価回路において、選択走査線 $Y_{a_{i-1}} \sim Y_{a_{i+2}}$ に供給される走査線選択電圧と書き込み走査線 $Y_{b_{i-1}} \sim Y_{b_{i+2}}$ に供給される書き込み基準電圧とデータ線 X_k に供給されるデータ電圧のタイミングチャートである。なお、図8には、説明の便宜上、表示セル $PX_{(k, i+2)}$ に供給される選択走査線 $Y_{a_{i+2}}$ および書き込み走査線 $Y_{b_{i+2}}$ の電圧も示している。

40

【0099】

まず、期間t0において、走査線駆動回路60は、選択走査線 $Y_{a_{i-1}}$ に対して電圧V2を供給し、選択走査線 $Y_{a_i} \sim Y_{a_{i+2}}$ および図示しないその他の選択走査線に対して負の電源電圧-V_{dd}を供給し、書き込み走査線 $Y_{b_{i-1}} \sim Y_{b_{i+2}}$ および図示しないその他の書き込み走査線に対して接地電位(0[V])を供給する。これにより、表示セル $PX_{(k, i-1)}$ 内の選択TFT52_{i-1}のみがオン状態となり、他の選択TFTはオフ状態となる。

【0100】

また、期間t0においては、データ線駆動回路70によって、データ線 X_k に電圧S0が供給される。ここで、駆動TFT53_{i-1}のソースは書き込み走査線 $Y_{b_{i-1}}$ に接続されているので、その電位は書き込み走査線 $Y_{b_{i-1}}$ の電位、すなわち0[V]を示す。よって、選

50

選択 T F T 5 2_{i-1}がオン状態になると、駆動 T F T 5 3_{i-1}のゲートには、駆動 T F T 5 3_{i-1}のソース - ゲート間電圧、すなわち電圧 S 0 が入力される。ここで、データ線駆動回路 7 0 によって供給される電圧 S 0 および後述する電圧 S 1 ~ S 5 は、正の値を示しかつ駆動 T F T 5 3_{i-1}の閾値電圧以上である。すなわち、ゲートに電圧 S 0 が供給された駆動 T F T 5 3_{i-1}はオン状態となり、有機 E L 素子 L D_{i-1}のカソード側と書込み走査線 Y b_{i-1}との間の電流路が形成される。ところが、書込み走査線 Y b_{i-1}は 0 [V] を示しているので、有機 E L 素子 L D_{i-1}に電圧は印加されず発光しない。

【0101】

この状態では、キャパシタ C S_{i-1}の一端も書込み走査線 Y b_{i-1}に接続されているので、期間 t 0 では、その電位も書込み走査線 Y b_{i-1}の電位、すなわち 0 [V] を示す。結局、キャパシタ C S_{i-1}には、データ線 X_kと書込み走査線 Y b_{i-1}の電位差、すなわち電圧 S 0 が書き込まれる。特に、この電圧書込み時においては、上記したように書込み走査線 Y b_{i-1}に接続された各表示セル内の有機 E L 素子に電流が流れないと、各有機 E L 素子から書込み走査線 Y b_{i-1}へと電流が流入することはない。これは、従来の共通線で生じていた表示セル位置に基づく電圧降下が生じないことを意味している。

【0102】

一方、表示セル P X_(k, i-1)以外の表示セル内の選択 T F T は、期間 t 0 においてはオフ状態になるので、それら表示セル内のキャパシタに電荷が保持されていない初期状態にあつては、各駆動 T F T はオフ状態であり、各有機 E L 素子も発光しない。

【0103】

次の期間 t 1 では、走査線駆動回路 6 0 は、選択走査線 Y a_iに対して電圧 V 2 を供給し、選択走査線 Y a_{i-1}、Y a_{i+1}、Y a_{i+2} および図示しない他の選択走査線に対して負の電源電圧 - V_{dd} を供給し、書込み走査線 Y b_{i-1} ~ Y b_{i+2} および図示しない他の書込み走査線に対して接地電位 (0 [V]) を供給する。これにより、表示セル P X_(k, i) 内の選択 T F T 5 2_i のみがオン状態となり、他の選択 T F T はオフ状態となる。

【0104】

また、期間 t 1 においては、データ線駆動回路 7 0 によって、データ線 X_kに電圧 S 1 が供給される。ここで、駆動 T F T 5 3_i のソースは書込み走査線 Y b_i に接続されているので、その電位は書込み走査線 Y b_i の電位、すなわち 0 [V] を示す。よって、選択 T F T 5 2_i がオン状態になると、駆動 T F T 5 3_i のゲートには、駆動 T F T 5 3_i のソース - ゲート間電圧、すなわち電圧 S 1 が入力される。この状態は、期間 t 0 における表示セル P X_(k, i-1) の状態と同様であり、結局、ゲートに電圧 S 1 が供給された駆動 T F T 5 3_i はオン状態となるが、有機 E L 素子 L D_i に電圧は印加されず発光しない。

【0105】

また、この状態において、キャパシタ C S_i には、期間 t 0 における表示セル P X_(k, i-1) のキャパシタ C S_{i-1} と同様に、データ線 X_k と書込み走査線 Y b_i の電位差、すなわち電圧 S 1 が書き込まれる。この電圧書込み時においても、上記したように、各表示セルの有機 E L 素子から書込み走査線 Y b_i へと電流が流入しないため、電圧降下は生じない。

【0106】

一方、表示セル P X_(k, i) 以外の表示セル内の選択 T F T は、期間 t 1 においてはオフ状態になるので、それら表示セル内のキャパシタに電荷が保持されていない初期状態にあつては、各駆動 T F T はオフ状態であり、各有機 E L 素子も発光しない。但し、表示セル P X_(k, i-1) 内のキャパシタ C S_{i-1} には、期間 t 0 において電圧 S 0 が書き込まれているために、その駆動 T F T 5 3_{i-1} はオン状態となる。ところが、書込み走査線 Y b_{i-1} は 0 [V] を示しているために、有機 E L 素子 L D_{i-1} に電圧は印加されず発光しない。

【0107】

次の期間 t 2 では、走査線駆動回路 6 0 は、選択走査線 Y a_{i+1} に対して電圧 V 2 を供給し、選択走査線 Y a_{i-1}、Y a_i、Y a_{i+2} および図示しない他の選択走査線に対して負の電源電圧 - V_{dd} を供給し、書込み走査線 Y b_{i-1} にも負の電源電圧 - V_{dd} を供給し、書込み走査線 Y b_i ~ Y b_{i+2} および図示しない他の書込み走査線に対して接地電位 (0 [V]) を示しているために、有機 E L 素子 L D_{i-1} に電圧は印加されず発光しない。

10

20

30

40

50

$0 [V]$)を供給する。これにより、表示セル $P X_{(k, i+1)}$ 内の選択TFT 53_{i+1} のみがオン状態となり、他の選択TFTはオフ状態となる。

【0108】

また、期間 t_2 においては、データ線駆動回路 7_0 によって、データ線 X_k に電圧 S_2 が供給される。ここで、駆動TFT 53_{i+1} のソースは書き込み走査線 $Y b_{i+1}$ に接続されているので、その電位は書き込み走査線 $Y b_{i+1}$ の電位、すなわち $0 [V]$ を示す。よって、選択TFT 52_{i+1} がオン状態になると、駆動TFT 53_{i+1} のゲートには、駆動TFT 53_{i+1} のソース-ゲート間電圧、すなわち電圧 S_2 が入力される。この状態は、期間 t_0 における表示セル $P X_{(k, i-1)}$ の状態と同様であり、結局、ゲートに電圧 S_2 が供給された駆動TFT 53_{i+1} はオン状態となるが、有機EL素子 $L D_{i+1}$ に電圧は印加されず発光しない。10

【0109】

また、この状態において、キャパシタ $C S_{i+1}$ には、期間 t_0 における表示セル $P X_{(k, i-1)}$ のキャパシタ $C S_{i-1}$ と同様に、データ線 X_k と書き込み走査線 $Y b_{i+1}$ の電位差、すなわち電圧 S_2 が書き込まれる。この電圧書き込み時においても、上記したように、各表示セルの有機EL素子から書き込み走査線 $Y b_{i+1}$ へと電流が流入しないため、電圧降下は生じない。

【0110】

一方、表示セル $P X_{(k, i+1)}$ 以外の表示セル内の選択TFTは、この期間 t_2 においてはオフ状態になるので、それら表示セル内のキャパシタに電荷が保持されていない初期状態にあっては、各駆動TFTはオフ状態であり、各有機EL素子も発光しない。但し、表示セル $P X_{(k, i-1)}$ 内のキャパシタ $C S_{i-1}$ には、期間 t_0 において電圧 S_0 が書き込まれているために、その駆動TFT 53_{i-1} はオン状態となる。さらに、書き込み走査線 $Y b_{i-1}$ は負の電源電圧 $-V_{dd}$ を示しているために、有機EL素子 $L D_{i-1}$ には電圧 V_{dd} が印加され、発光し始める。20

【0111】

また、表示セル $P X_{(k, i)}$ 内のキャパシタ $C S_i$ には、期間 t_1 において電圧 S_1 が書き込まれるために、その駆動TFT 53_i はオン状態となる。ところが、書き込み走査線 $Y b_i$ は $0 [V]$ を示しているために、有機EL素子 $L D_i$ に電圧は印加されず発光しない。30

【0112】

次の期間 t_3 では、走査線駆動回路 6_0 は、選択走査線 $Y a_{i+2}$ に対して電圧 V_2 を供給し、選択走査線 $Y a_i \sim Y a_{i+2}$ および図示しないその他の選択走査線に対して負の電源電圧 $-V_{dd}$ を供給し、書き込み走査線 $Y b_{i-1}$ および $Y b_i$ にも負の電源電圧 $-V_{dd}$ を供給し、書き込み走査線 $Y b_{i+1}$ 、 $Y b_{i+2}$ および図示しないその他の書き込み走査線に対して接地電位($0 [V]$)を供給する。これにより、表示セル $P X_{(k, i+2)}$ 内の選択TFT 53_{i+2} のみがオン状態となり、他の選択TFTはオフ状態となる。

【0113】

また、期間 t_3 においては、データ線駆動回路 7_0 によって、データ線 X_k に電圧 S_3 が供給される。ここで、駆動TFT 53_{i+2} のソースは書き込み走査線 $Y b_{i+2}$ に接続されているので、その電位は書き込み走査線 $Y b_{i+2}$ の電位、すなわち $0 [V]$ を示す。よって、選択TFT 52_{i+1} がオン状態になると、駆動TFT 53_{i+2} のゲートには、駆動TFT 53_{i+2} のソース-ゲート間電圧、すなわち電圧 S_3 が入力される。この状態は、期間 t_0 における表示セル $P X_{(k, i-1)}$ の状態と同様であり、結局、ゲートに電圧 S_3 が供給された駆動TFT 53_{i+2} はオン状態となるが、有機EL素子 $L D_{i+2}$ に電圧は印加されず発光しない。40

【0114】

また、この状態において、キャパシタ $C S_{i+2}$ には、期間 t_0 における表示セル $P X_{(k, i-1)}$ のキャパシタ $C S_{i-1}$ と同様に、データ線 X_k と書き込み走査線 $Y b_{i+2}$ の電位差、すなわち電圧 S_3 が書き込まれる。この電圧書き込み時においても、上記したように、各表示セルの有機EL素子から書き込み走査線 $Y b_{i+2}$ へと電流が流入しないため、電圧降下は生じない。50

い。

【0115】

一方、表示セル $P X_{(k, i+2)}$ 以外の表示セル内の選択 TFT は、この期間 t_3 においてはオフ状態になるので、それら表示セル内のキャパシタに電荷が保持されていない初期状態にあっては、各駆動 TFT はオフ状態であり、各有機 EL 素子も発光しない。但し、表示セル $P X_{(k, i)}$ 内の駆動 TFT $S_{3,i-1}$ は、電圧 S_0 が書き込まれたキャパシタ $C S_i$ によってオン状態となり、さらに、書き込み走査線 $Y b_{i-1}$ は負の電源電圧 $-V_{dd}$ を示しているために、有機 EL 素子 $L D_{i-1}$ は期間 t_2 に引き続いて発光を持續する。

【0116】

また、表示セル $P X_{(k, i)}$ 内のキャパシタ $C S_i$ には、期間 t_1 において電圧 S_1 が書き込まれているために、その駆動 TFT $S_{3,i}$ はオン状態となり、さらに、書き込み走査線 $Y b_i$ は負の電源電圧 $-V_{dd}$ を示しているために、有機 EL 素子 $L D_i$ は発光し始める。また、表示セル $P X_{(k, i+1)}$ 内のキャパシタ $C S_{i+1}$ には、期間 t_2 において電圧 S_2 が書き込まれているために、その駆動 TFT $S_{3,i+1}$ はオン状態となる。ところが、書き込み走査線 $Y b_{i+1}$ は $0 [V]$ を示しているために、有機 EL 素子 $L D_{i+1}$ に電圧は印加されず発光しない。

【0117】

続く期間 t_4 以降においても、上述したような動作を繰り返す。すなわち、走査線駆動回路 70 によって選択された順に、選択走査線に電圧 V_2 が供給され、それに対となる書き込み走査線に負の電源電圧 $-V_{dd}$ が供給される。

【0118】

この繰り返し動作を一般的に記述すると、各表示セルは、選択走査線に電圧 V_2 が供給されかつ書き込み走査線に $-V_{dd}$ が供給された状態で有機 EL 素子を発光させずにデータ電圧をキャパシタに書き込む第 1 フェーズと、選択走査線に電圧 $0 [V]$ が供給されかつ書き込み走査線に $-V_{dd}$ が供給された状態で有機 EL 素子を発光させずにキャパシタの蓄積電圧を保持する第 2 フェーズと、選択走査線と書き込み走査線に $-V_{dd}$ が供給された状態でキャパシタの蓄積電圧に基づいて有機 EL 素子の発光を新たな第 1 フェーズまで持続させる第 3 フェーズといった流れで動作する。すなわち、この動作が、走査線駆動回路 70 によって選択された表示セルに対して順に行われる。なお、上記した各電圧間の大きさの関係は以下のとおりである。

$$V_2 > V_1 > 0 > -V_{dd}$$

【0119】

以上に説明したように、実施の形態 3 にかかる EL 表示装置およびその駆動方法によれば、各表示セルにおいて、有機 EL 素子に電流を流さずにキャパシタにデータ電圧を書き込むことができるよう、選択 TFT のゲートとキャパシタの一端とに与える電圧が所定の関係を有して順次与えられるので、行上の表示セルの位置に応じてキャパシタの一端の電位が変動するようなことも無く、キャパシタに所望の電圧を正確に保持させることができる。すなわち、アクティブマトリクスパネル 50 の大画面化により行方向に位置する表示セルの数が増加しても、中央部が暗くて端に向かって明るくなるというような従来生じていた輝度ムラは発生しない。

【0120】

(実施の形態 4)

つぎに、実施の形態 4 にかかる EL 表示装置およびその駆動方法について説明する。実施の形態 4 にかかる EL 表示装置およびその駆動方法は、実施の形態 3 に説明した駆動方法に加えて、図 8 に示したようなパターンのパルスが書き込まれている表示セル以外の表示セルに対して他の異なるパターンのパルスを入力することで、同一パネル上においてデータの書き込みとデータの消去を同時に行うことの特徴としている。

【0121】

なお、実施の形態 4 にかかる EL 表示装置の概略構成については図 6 に示したとおりであるので、ここではその説明を省略する。よって、以下においては、走査線駆動回路 60 に

10

20

30

40

50

よる駆動方法について説明する。

【0122】

図9は、実施の形態4にかかるEL表示装置の表示セルの等価回路を示す図である。特に図9は、k列目のi行目およびi+1行目に位置する2つの表示セルPX_(k,i)、PX_(k,i+1)と、それら表示セルから所定行数分離れたj行目およびj+1行目に位置する2つの表示セルPX_(k,j)、PX_(k,j+1)とを表わしている。各表示セルの回路構成および符号については実施の形態3と同様であるのでここでは説明を省略する。

【0123】

図10は、図9に示した等価回路において、選択走査線YA_i、YA_{i+1}、YA_j、YA_{j+1}に供給される走査線選択電圧と、書き込み走査線Yb_i、Yb_{i+1}、Yb_j、Yb_{j+1}に供給される書き込み基準電圧と、データ線X_kに供給されるデータ電圧のタイミングチャートである。なお、図中の電圧V1、V2および-V_{dd}は、実施の形態3に示したとおりの関係を有し、さらに後述する電圧V3と上記電圧V1の関係は、V3 > V1である。また、以下において、表示セルPX_(k,i)およびPX_(k,i+1)についての各期間t0～t4の動作は、実施の形態3で説明した各期間の動作と同じなのでそれらの説明を省略し、表示セルPX_(k,j)およびPX_(k,j+1)内の動作、換言すれば消去対象となっている表示セルの動作について説明する。

【0124】

まず、期間t0において、走査線駆動回路60は、選択走査線YA_j、YA_{j+1}および図示しないその他の消去処理対象の表示セルの選択走査線に負の電源電圧-V_{dd}を供給し、書き込み走査線Yb_jに対して電圧V3を供給し、書き込み走査線Yb_{j+1}および図示しないその他の消去処理対象の表示セルの書き込み走査線に対して負の電源電圧-V_{dd}を供給する。ここで、期間t0の直前において、表示セルPX_(k,j)、PX_(k,j+1)および図示しないその他の消去処理対象の表示セルは発光状態にあったとする。よって、走査線駆動回路60による上記電圧の供給により、表示セルPX_(k,j)、PX_(k,j+1)内および図示しないその他の消去処理対象の表示セル内の各選択TFTはオフ状態となる。

【0125】

また、この期間t0においては、データ線駆動回路70によって、データ線X_kにデータ電圧S0が供給される。ところが、消去処理対象の表示セル内の各選択TFTはオフ状態であるので、それら表示セル内のキャパシタは、電圧S0に影響されない。その一方で、それら表示セル内のキャパシタには、他の期間においてデータ電圧が書き込まれているため、キャパシタの一端に接続された書き込み走査線の電位状態に応じて、発光されるかまたは消去される。この期間t0では、書き込み走査線Yb_jはデータ電圧よりも大きな電圧V3を示しているため、キャパシタCS_jに書き込まれていた正の電圧は放電して表示セルPX_(k,j)の駆動TFT53_jはオフ状態となり、有機EL素子LD_jは消灯する。また、書き込み走査線Yb_{j+1}は負の電源電圧-V_{dd}を示しているため、表示セルPX_(k,j+1)の駆動TFT53_{j+1}のゲートには、キャパシタCS_{j+1}の蓄積電圧が与えられ、有機EL素子LD_{j+1}は発光を持続する。

【0126】

次の期間t1では、走査線駆動回路60は、選択走査線YA_jに電圧V2を供給し、選択走査線YA_{j+1}および図示しないその他の消去処理対象の表示セルの選択走査線に負の電源電圧-V_{dd}を供給し、書き込み走査線Yb_jおよびYb_{j+1}に対して電圧V3を供給し、図示しないその他の消去処理対象の表示セルの書き込み走査線に対して負の電源電圧-V_{dd}を供給する。これにより、表示セルPX_(k,j)の選択TFT52_jはオン状態となり、表示セルPX_(k,j+1)の選択TFT52_{j+1}はオフ状態となる。

【0127】

また、期間t1においては、データ線駆動回路70によって、データ線X_kに電圧S1が供給される。ここで、駆動TFT53_jのソースは書き込み走査線Yb_jに接続されているので、その電位は書き込み走査線Yb_jの電位、すなわち電圧V3を示す。よって、選択TFT52_jがオン状態になると、キャパシタCS_jと駆動TFT53_jのゲートには、負の電

10

20

30

40

50

圧 S_{1-V3} が入力される。よって、駆動 TFT_{53j} はオフ状態となり、有機 EL 素子 LD_j は消灯状態を維持する。また、キャパシタ CS_j には負の電圧 S_{1-V3} が書き込まれる。

【0128】

一方、選択 TFT_{52j+1} はオフ状態であるが、書込み走査線 Y_{b_{j+1}} はデータ電圧よりも大きな電圧 V₃ を示しているため、キャパシタ CS_{j+1} に書き込まれていた正の電圧は放電し、表示セル PX_(k,j+1) の駆動 TFT_{53j+1} はオフ状態となる。すなわち、有機 EL 素子 LD_{j+1} は消灯する。

【0129】

次の期間 t₂ では、走査線駆動回路 60 は、選択走査線 Y_{a_j} および図示しない他の消去処理対象の表示セルの選択走査線に負の電源電圧 -V_{dd} を供給し、選択走査線 Y_{a_{j+1}} に電圧 V₂ を供給し、書込み走査線 Y_{b_j} および Y_{b_{j+1}} に対して電圧 V₃ を供給し、図示しない他の消去処理対象の表示セルの書込み走査線に対して負の電源電圧 -V_{dd} を供給する。これにより、表示セル PX_(k,j) の選択 TFT_{52j} はオフ状態となり、表示セル PX_(k,j+1) の選択 TFT_{52j+1} はオン状態となる。10

【0130】

また、期間 t₂ においては、データ線駆動回路 70 によって、データ線 X_k に電圧 S₂ が供給される。ここで、駆動 TFT_{53j+1} のソースは書込み走査線 Y_{b_{j+1}} に接続されているので、その電位は書込み走査線 Y_{b_{j+1}} の電位、すなわち電圧 V₃ を示す。よって、選択 TFT_{52j+1} がオン状態になると、キャパシタ CS_{j+1} と駆動 TFT_{53j+1} のゲートには、負の電圧 S_{2-V3} が入力される。よって、駆動 TFT_{53j+1} はオフ状態となり、有機 EL 素子 LD_{j+1} は消灯状態を維持する。また、キャパシタ CS_{j+1} には負の電圧 S_{2-V3} が書き込まれる。20

【0131】

一方、選択 TFT_{52j} はオフ状態であるが、期間 t₁ においてキャパシタ CS_j に負の電圧 S_{1-V3} が書き込まれているため、駆動 TFT_{53j} はオフ状態のままであり、有機 EL 素子 LD_j は消灯状態を維持する。

【0132】

次の期間 t₃ では、走査線駆動回路 60 は、選択走査線 Y_{a_j}、Y_{a_{j+1}} および図示しない他の消去処理対象の表示セルの選択走査線に負の電源電圧 -V_{dd} を供給し、書込み走査線 Y_{b_j} に 0 [V] を供給し、書込み走査線 Y_{b_{j+1}} に対して電圧 V₃ を供給し、図示しない他の消去処理対象の表示セルの書込み走査線に対して負の電源電圧 -V_{dd} を供給する。これにより、表示セル PX_(k,j) の選択 TFT_{52j} と表示セル PX_(k,j+1) の選択 TFT_{52j+1} はともにオフ状態となる。30

【0133】

また、期間 t₃ においては、データ線駆動回路 70 によって、データ線 X_k にデータ電圧 S₃ が供給される。ところが、消去処理対象の表示セル内の各選択 TFT はオフ状態であるので、それら表示セル内のキャパシタは、電圧 S₃ に影響されない。その一方で、表示セル PX_(k,j) 内のキャパシタ CS_j には、期間 t₁ において負の電圧 S_{1-V3} が書き込まれているため、駆動 TFT_{53j} はオフ状態のままであり、有機 EL 素子 LD_j は消灯状態を維持する。同様に、表示セル PX_(k,j+1) 内のキャパシタ CS_{j+1} には、期間 t₂ において負の電圧 S_{2-V3} が書き込まれているため、駆動 TFT_{53j+1} はオフ状態のままであり、有機 EL 素子 LD_{j+1} は消灯状態を維持する。40

【0134】

続く期間 t₄ 以降においては、各表示セルに対して順次、上述した動作と同様な動作が繰り返される。すなわち、各表示セルは、実施の形態 3 で説明したように、ある位置の選択走査線に位置する表示セルから順に、その選択走査線上での電圧降下を生じさせることなく、発光させることができるとともに、同一のアクティブマトリクスパネル上の他の選択走査線に位置する表示セルから順に、データの消去を行う。

【0135】

50

以上に説明したように、実施の形態4にかかるEL表示装置およびその駆動方法によれば、実施の形態3で説明した駆動方法に加え、発光のための電圧書き込みが行われていない走査線上の表示セルに対して、順次、そのキャパシタへ負の電圧を書き込むので、アクティブラーマトリクスパネル50において同時にデータ表示とデータの消去を実行することができる。特に、そのデータの消去動作においては、駆動 TFT のソース - ゲート間に逆電圧を印加することになるので、駆動 TFT の閾値電圧シフトを抑制することもできる。

【0136】

(実施の形態5)

つぎに、実施の形態5にかかるEL表示装置およびその駆動方法について説明する。実施の形態5にかかるEL表示装置およびその駆動方法は、図15(a)に示したような共通線を有する従来構造において、各表示セルにおける共通線の電圧降下を予測し、その予測結果に応じてデータ電圧の大きさを調整することを特徴としている。10

【0137】

図11は、実施の形態5にかかるEL表示装置の駆動方法を説明するための説明図である。特に、同図(a)は、アクティブラーマトリクスパネルの第*i*行目の表示セル列を示す図であり、同図(b)は、各表示セルに供給するデータ電圧を示す図である。

【0138】

各表示セルから共通線31に流れ込む電流をそれぞれ*i₁*, *i₂*, ..., *i_p*, ..., *i_m*とすると、*p*番目の画素までの共通線31の表示セル間の電圧降下を共通線31の左端から加算した電圧(*V_{s,p}*)は、*k*番目の表示セルPX_(p,i)の共通線31における電位となり、以下に示す式(1)のように表わされる。20

【0139】

【数1】

$$V_{s,p} = r \sum_{j=1}^p \left(\sum_{k=j}^m i_{L,k} - \sum_{k=1}^{j-1} i_{R,k} \right) \quad (1)$$

ここで、*r*は、表示セル間の配線抵抗の抵抗値を表わす。

【0140】

また、

【数2】

$$i_{L,k} = \frac{n+1-k}{n+1} i_k, \quad i_{R,k} = \frac{k}{n+1} i_k \quad (2)$$

であり、*i_{L,k}*は表示セルPX_(p,i)から共通線31の左側に向かって流れる電流を表わし、*i_{R,k}*は表示セルPX_(p,i)から共通線31の右側に向かって流れる電流を表わす。

【0141】

よって、共通線31に電圧降下が生じない状態、すなわち共通線31が接地電位である場合と、上記した電圧降下によって結果的に共通線31の電位が上昇してしまった場合との駆動TFTのドレイン - ソース間電圧のずれ *V_{ds,m}*は、40

【数3】

$$\delta V_{ds,p} = V'_{ds,p} - V_{ds,p} = (V_{d,p} - V_{s,p}) - (V_{d,p} - 0) = -V_{s,p} \quad (3)$$

として表わすことができる。ここで、*V_{d,p}*は駆動TFTのドレイン電位を表わし、*V_{s,p}*は駆動TFTのソース電位を表わす。

【0142】

10

20

30

40

50

すなわち、各表示セルの有機EL素子には、本来よりも上記ずれ $V_{ds,m}$ 分だけ電圧が少なく印加され、その結果、有機EL素子に流れる電流が減少して輝度が低下することになる。よって、この電流の減少を補った電圧（以下、補償電圧と称する。） V'_{gs} を本来の電圧 V_{gs} に換えて駆動 TFT のゲートに印加すれば、上記した電圧降下による有機EL素子の輝度低下を補償することが可能になる。ここで、有機EL素子の印加電圧の減少分を V_{ds} 、駆動 TFT のコンダクタンスを g_m 、出力抵抗を r_D とすると、駆動 TFT に流れ電流の変化 (I_{ds}) は、以下に示す式(4)のように表わされる。

【0143】

【数4】

$$\delta I_{ds} = \frac{\partial I_{ds}}{\partial V_{gs}} \delta V_{gs} + \frac{\partial I_{ds}}{\partial V_{ds}} \delta V_{ds} = g_m \cdot \delta V_{gs} + \frac{1}{r_D} \delta V_{ds} \quad (4)$$

10

【0144】

よって、 $I_{ds} = 0$ より、

【数5】

$$\delta V_{gs} = -\frac{1}{r_D \cdot g_m} \cdot \delta V_{ds} \quad (5)$$

20

と表わすことができる。

【0145】

ここで、表示セル $PX_{(p,i)}$ の駆動 TFT のゲートに与えられる本来の電圧 $V_{gs,p}$ とし、補償電圧を $V'_{gs,p}$ とすると、

【数6】

$$\begin{aligned} V'_{gs,p} &= V_{gs,p} + \delta V_{gs,p} = V_{gs,p} - \frac{\delta V_{ds,p}}{r_D \cdot g_m} \\ &= V_{gs,p} + \frac{r}{r_D \cdot g_m} \sum_{j=1}^p \left(\sum_{k=j}^m i_{L,k} - \sum_{k=1}^{j-1} i_{R,k} \right) \end{aligned} \quad (6)$$

30

と表わすことができる。

【0146】

よって、データ線駆動回路が、表示セル $PX_{(p,i)}$ の駆動 TFT のゲートにこの補償電圧 $V'_{gs,p}$ が与えられるようにデータ電圧を増加すれば、所望の輝度の発光を得ることができる。表示セル $PX_{(p,i)}$ 以外の各表示セルについても、上記式(6)において、 p の値を表示セルの列位置に対応させることでそれぞれ補償電圧を得ることができる。すなわち、データ線駆動回路は、図 11(b) に示すように式(6)で与えられる補償電圧に基づいてデータ電圧を調整することにより、行全体にわたる表示セルの有機EL素子を所望の輝度で発光させることができる。

40

【0147】

以上に説明したように、実施の形態 5 にかかる EL 表示装置およびその駆動方法によれば、共通線を有する従来のアクティブマトリクスピネルの構造において、共通線上の電圧降下に起因する各有機EL素子の印加電圧の低下を補償する補償電圧を予測し、データ線駆動回路が、その予測値に基づいてデータ電圧の大きさを調整するので、アクティブマトリクスピネルの大画面化により行方向に位置する表示セルの数が増加しても、中央部が暗くて端に向かって明るくなるというような従来生じていた輝度ムラは発生しない。

【0148】

50

なお、以上に説明した実施の形態1～5では、有機EL素子のアノード側に電源電圧 V_{dd} の供給線が接続された、いわゆるアノードコモン型の表示セルを示したが、図12に示すように、有機EL素子のカソード側に走査線または共通線が接続された、いわゆるカソードコモン型の表示セルを採用しても上記同様の効果を得ることができる。

【0149】

また、以上に説明した実施の形態1～5では、自発光素子として有機EL素子を例に挙げたが、有機EL素子に換えて、無機EL素子や発光ダイオード等の他のエレクトロルミネッセンス素子を用いた場合でも、上記同様の効果を得ることができる。

【0150】

【発明の効果】

10

以上に説明したように、本発明にかかるEL表示装置およびその駆動方法によれば、キャパシタの一端と駆動トランジスタのソースを、それらを含む表示セルの下位の行を選択するための走査線に接続するので、従来必要であった共通線を排除することができ、さらには、表示セル内のキャパシタの一端の電位をその走査線に入力される電圧 V_1 に固定しつつEL素子に電流を流さない状態で、データ電圧をそのキャパシタに書き込むので、行上の表示セルの位置に応じてキャパシタの一端の電位が変動するようなことも無く、キャパシタに所望の電圧を正確に保持させることができるという効果を奏する。

【0151】

また、本発明にかかるEL表示装置およびその駆動方法によれば、上記発明の効果に加え、発光のための電圧書き込みが行われていない走査線上の表示セルに対して、順次、そのキャパシタへ負の電圧を書き込むことになるので、アクティブマトリクスピネル上において同時にデータ表示とデータの消去を実行することができるという効果を奏する。

20

【0152】

また、本発明にかかるEL表示装置およびその駆動方法によれば、各表示セルのキャパシタに対して、選択トランジスタを駆動させる選択走査線とは独立した書き込み走査線によって所定の電位に固定しつつEL素子に電流を流さない状態で、データ電圧をそのキャパシタに書き込むので、行上の表示セルの位置に応じてキャパシタの一端の電位が変動するようなことも無く、キャパシタに所望の電圧を正確に保持させることができるという効果を奏する。

【0153】

30

また、本発明にかかるEL表示装置およびその駆動方法によれば、上記発明の効果に加え、発光のための電圧書き込みが行われていない書き込み走査線上の表示セルに対して、順次、そのキャパシタへ負の電圧を書き込むので、アクティブマトリクスピネル上において同時にデータ表示とデータの消去を実行することができるという効果を奏する。

【0154】

また、本発明にかかるEL表示装置およびその駆動方法によれば、共通線を有する従来のアクティブマトリクスピネルの構造において、共通線上的電圧降下に起因する各EL素子の印加電圧の低下を補償する補償電圧を予測し、データ線駆動回路が、その予測値に基づいてデータ電圧の大きさを調整するので、アクティブマトリクスピネルの大画面化により行方向に位置する表示セルの数が増加しても、中央部が暗くて端に向かって明るくなるというような従来生じていた輝度ムラを解消することができるという効果を奏する。

40

【図面の簡単な説明】

【図1】実施の形態1にかかるEL表示装置の概略構成のうち、アクティブマトリクスピネルと駆動回路を示す図である。

【図2】実施の形態1にかかるEL表示装置の表示セルの等価回路を示す図である。

【図3】実施の形態1にかかるEL表示装置の表示セルの等価回路において、走査線 $Y_{i-1} \sim Y_{i+2}$ に供給される走査線選択電圧とデータ線 X_k に供給されるデータ電圧のタイミングチャートである。

【図4】実施の形態2にかかるEL表示装置の表示セルの等価回路を示す図である。

【図5】実施の形態2にかかるEL表示装置の表示セルの等価回路において、走査線 Y_i

50

, Y_{i+1} , Y_j , Y_{j+1} に供給される走査線選択電圧とデータ線 X_k に供給されるデータ電圧のタイミングチャートである。

【図6】実施の形態3にかかるEL表示装置の概略構成のうち、アクティブマトリクスパネルと駆動回路を示す図である。

【図7】実施の形態3にかかるEL表示装置の表示セルの等価回路を示す図である。

【図8】実施の形態3にかかるEL表示装置の表示セルの等価回路において、選択走査線に供給される走査線選択電圧と書き込み走査線に供給される書き込み基準電圧とデータ線 X_k に供給されるデータ電圧のタイミングチャートである。

【図9】実施の形態4にかかるEL表示装置の表示セルの等価回路を示す図である。

【図10】実施の形態4にかかるEL表示装置の表示セルの等価回路において、選択走査線に供給される走査線選択電圧と書き込み走査線に供給される書き込み基準電圧とデータ線 X_k に供給されるデータ電圧のタイミングチャートである。
10

【図11】実施の形態5にかかるEL表示装置の駆動方法を説明するための説明図である。
。

【図12】実施の形態1～5において置換可能なカソードコモン型の表示セルの等価回路を示す図である。

【図13】従来の有機EL表示装置の概略構成のうち、アクティブマトリクスパネルと駆動回路を示す図である。

【図14】特許文献2に開示された一実施例を説明するための表示セルの等価回路を示す図である。
20

【図15】(a)は、アクティブマトリクスパネル100の第i行目の表示セル列を示す図であり、(b)は、共通線における電圧降下を説明するための説明図である。

【符号の説明】

10, 50, 100 アクティブマトリクスパネル

11, 51, 110 表示セル

12_{i-1}, 12_i, 12_{i+1}, 12_j, 12_{j+1}, 12_{i-1}, 52_i, 52_{i+1}, 52_j, 52_{j+1}
選択TFT

13_{i-1}, 13_i, 13_{i+1}, 13_j, 13_{j+1}, 53_{i-1}, 53_i, 53_{i+1}, 53_j, 53_{j+1}
駆動TFT

20, 60, 120 走査線駆動回路

30, 70, 130 データ線駆動回路

31 共通線

36 nチャネル型TFT

37 pチャネル型TFT

38 有機薄膜EL素子

39 容量

40 電源電極

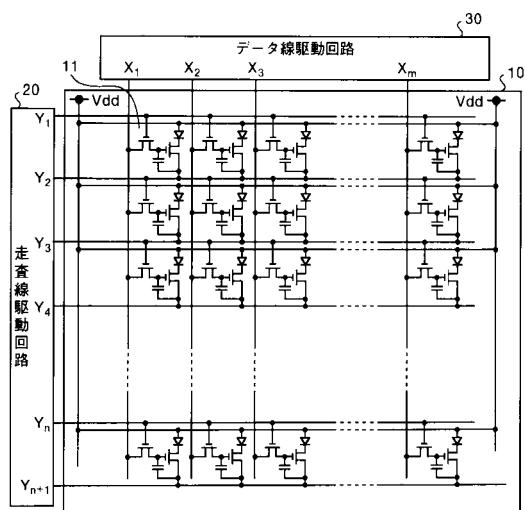
41 走査線

42 信号線

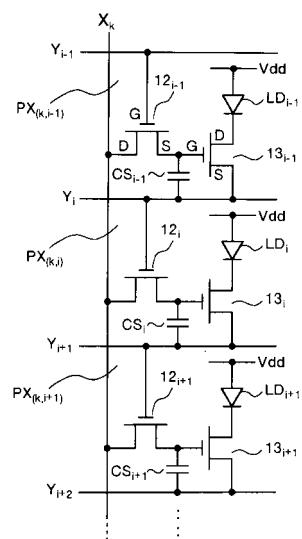
L_D_{i-1}, L_D_i, L_D_{i+1}, L_D_j, L_D_{j+1} 有機EL素子

C_S_{i-1}, C_S_i, C_S_{i+1}, C_S_j, C_S_{j+1} キャパシタ
40

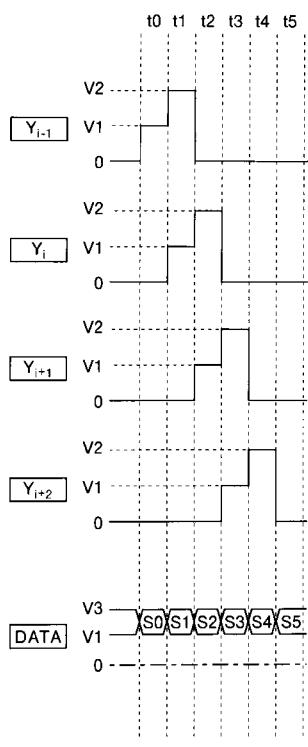
【図1】



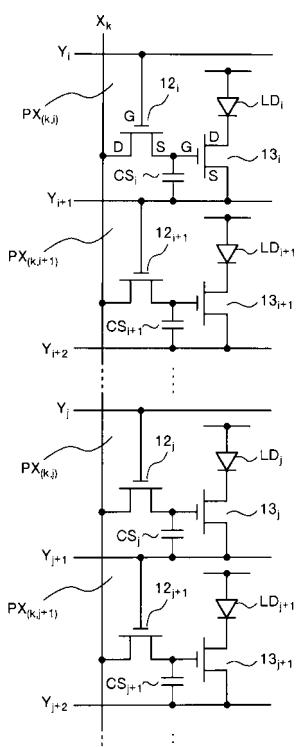
【図2】



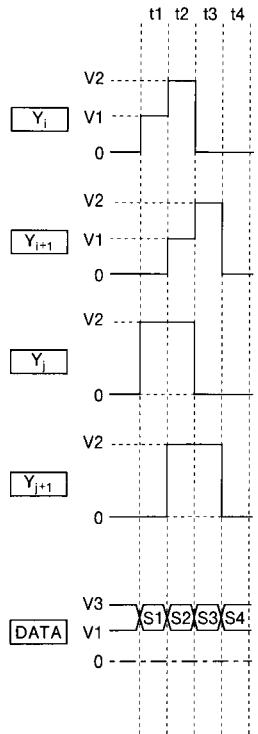
【図3】



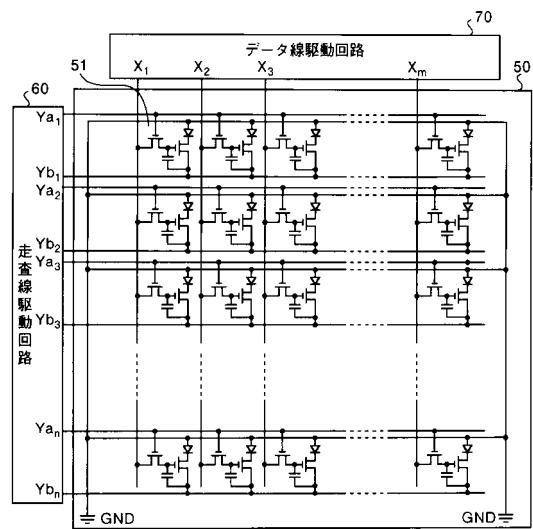
【図4】



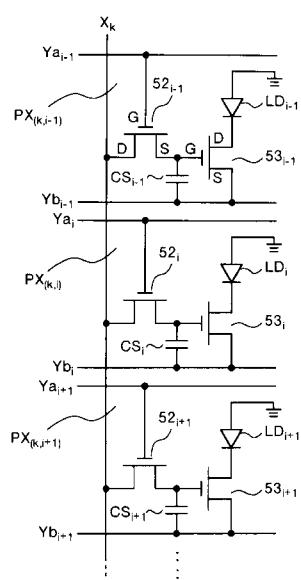
【図5】



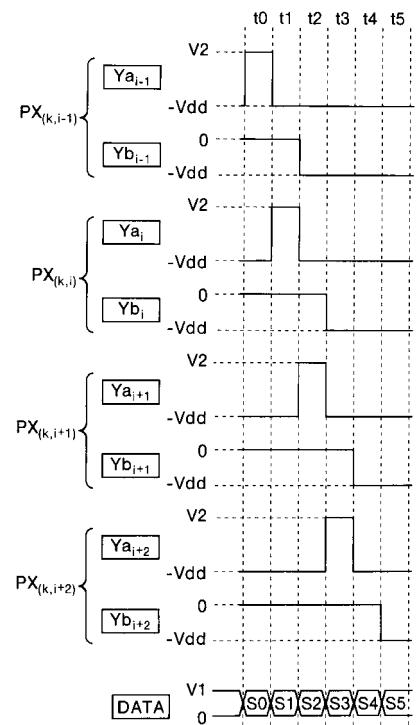
【図6】



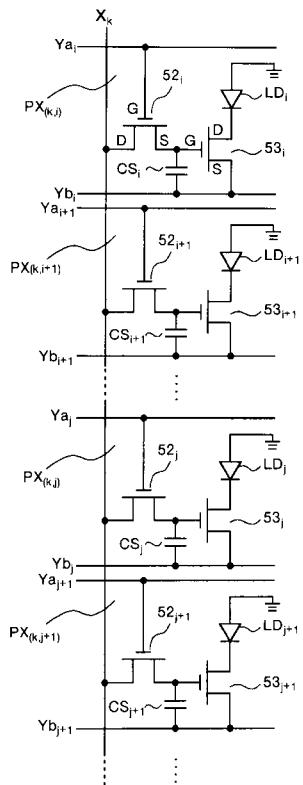
【図7】



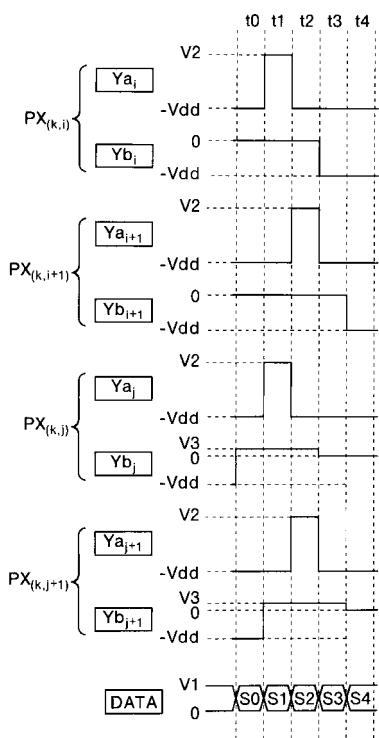
【図8】



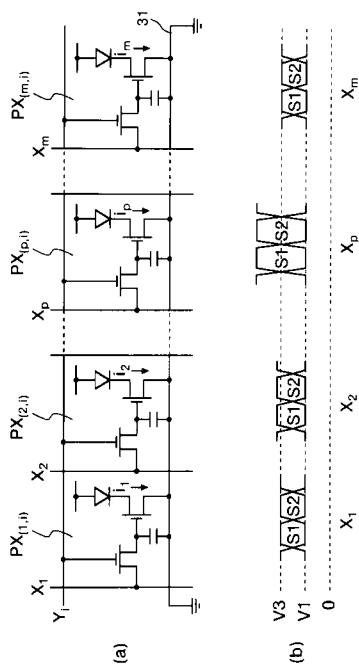
【図9】



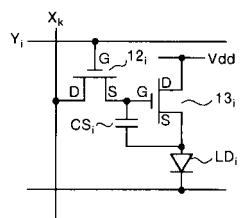
【図10】



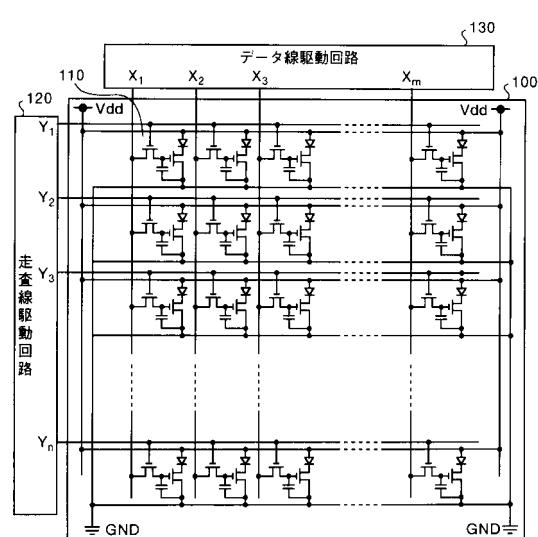
【図11】



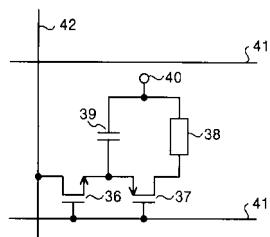
【図12】



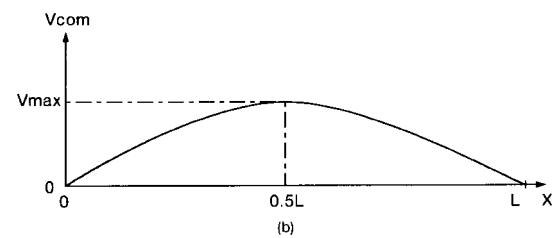
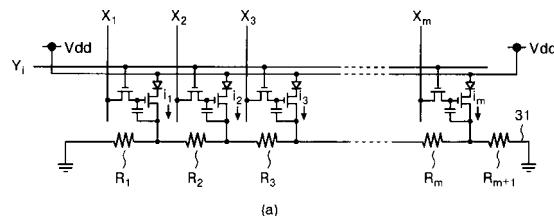
【図13】



【図14】



【図15】



フロントページの続き

(51)Int.Cl.

F I		
G 09 G	3/20	6 2 2 D
G 09 G	3/20	6 2 2 Q
G 09 G	3/20	6 2 3 R
G 09 G	3/20	6 2 4 B
G 09 G	3/20	6 4 1 C
G 09 G	3/20	6 4 1 P
G 09 G	3/20	6 4 2 A
H 05 B	33/14	A

(74)代理人 100089118

弁理士 酒井 宏明

(72)発明者 小林 芳直

神奈川県大和市下鶴間1623番地14 インターナショナル ディスプレイ テクノロジー株式
会社内

(72)発明者 小野 晋也

神奈川県大和市下鶴間1623番地14 インターナショナル ディスプレイ テクノロジー株式
会社内

審査官 橋本 直明

(56)参考文献 特開2003-167551(JP, A)

特開平07-111341(JP, A)

特開2002-260843(JP, A)

特開2002-287698(JP, A)

特開平02-074989(JP, A)

特表2002-517806(JP, A)

特開平06-003647(JP, A)

特開2002-229519(JP, A)