



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I575614 B

(45)公告日：中華民國 106 (2017) 年 03 月 21 日

(21)申請案號：101150073

(22)申請日：中華民國 101 (2012) 年 12 月 26 日

(51)Int. Cl. : H01L21/56 (2006.01)

H01L23/28 (2006.01)

(30)優先權：2012/01/09 美國

61/584,634

2012/12/19 美國

13/720,516

(71)申請人：史達晶片有限公司 (新加坡) STATS CHIPPAC, LTD. (SG)  
新加坡

(72)發明人：朴晟源 PARK, SEONG WON (KR)；張氣連 JANG, KIYOUN (KR)；李慶勳 LEE, KYUNGHOON (KR)；李在賢 LEE, JAEHYUN (KR)

(74)代理人：閻啟泰；林景郁

(56)參考文獻：

TW 200700488A

TW 200816330A

TW 200926312A

TW 201145469A

US 2010/0171205A1

審查人員：陳俊宏

申請專利範圍項數：15 項 圖式數：6 共 43 頁

(54)名稱

在模封底部填充中形成減少的表面粗糙度以用於改進的 C - 模式掃描聲波顯微鏡檢視之半導體裝置和方法

SEMICONDUCTOR DEVICE AND METHOD OF FORMING REDUCED SURFACE ROUGHNESS IN MOLDED UNDERFILL FOR IMPROVED C-SAM INSPECTION

(57)摘要

一種半導體裝置包括半導體晶粒。互連結構被形成在所述半導體晶粒的主動表面上方。封裝材料被形成在所述半導體晶粒和互連結構上方，包括一相對於所述互連結構的第一表面。所述第一表面的周圍部分包括第一粗糙度，其設置在所述半導體晶粒的覆蓋區之外。所述第一表面的半導體晶粒部分包括第二粗糙度，其小於所述第一粗糙度且設置在所述半導體晶粒的覆蓋區上方。所述封裝材料的第一表面被設置在模具內和所述半導體晶粒的周圍以接觸所述模具的表面，其中該模具包括與所述第一粗糙度相等的第三粗糙度和與所述第二粗糙度相等的第四粗糙度。第一粗糙度包括小於 1.0 微米的粗糙度。第二粗糙度包括在 1.2 至 1.8 微米範圍的粗糙度。

A semiconductor device includes a semiconductor die. An interconnect structure is formed over an active surface of the semiconductor die. An encapsulant is formed over the semiconductor die and interconnect structure including a first surface opposite the interconnect structure. A peripheral portion of the first surface includes a first roughness disposed outside a footprint of the semiconductor die. A semiconductor die portion of the first surface includes a second roughness less than the first roughness disposed over the footprint of the semiconductor die. The first surface of the encapsulant is disposed within a mold and around the semiconductor die to contact a surface of the mold that includes a third roughness equal to the first roughness and a fourth roughness equal to the second roughness. The first roughness

includes a roughness of less than 1.0 micrometers. The second roughness includes a roughness in a range of 1.2 - 1.8 micrometers.

指定代表圖：

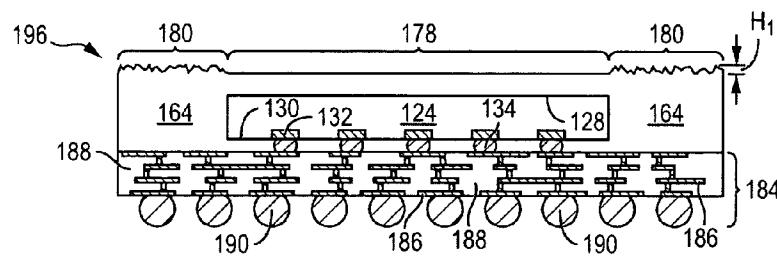


圖5

符號簡單說明：

- 124 · · · 半導體晶粒
- 128 · · · 背表面
- 130 · · · 主動表面
- 132 · · · 導電層
- 134 · · · 絝緣或鈍化層
- 164 · · · 封裝材料或模製化合物
- 178 · · · 半導體晶粒區域
- 180 · · · 周圍區域
- 184 · · · 建立互連結構
- 186 · · · 再分佈層  
(導電層)
- 188 · · · 絝緣或鈍化層
- 190 · · · 凸塊
- 196 · · · 封裝

# 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101150073

H01L 21/56 (2006.01)

※申請日：(01.12.26)

※IPC 分類：

H01L 23/28 (2006.01)

## 一、發明名稱：(中文/英文)

在模封底部填充中形成減少的表面粗糙度以用於改進  
的 C-模式掃描聲波顯微鏡檢視之半導體裝置和方法

SEMICONDUCTOR DEVICE AND METHOD OF FORMING  
REDUCED SURFACE ROUGHNESS IN MOLDED UNDERFILL  
FOR IMPROVED C-SAM INSPECTION

## 二、中文發明摘要：

一種半導體裝置包括半導體晶粒。互連結構被形成在所述半導體晶粒的主動表面上方。封裝材料被形成在所述半導體晶粒和互連結構上方，包括一相對於所述互連結構的第一表面。所述第一表面的周圍部分包括第一粗糙度，其設置在所述半導體晶粒的覆蓋區之外。所述第一表面的半導體晶粒部分包括第二粗糙度，其小於所述第一粗糙度且設置在所述半導體晶粒的覆蓋區上方。所述封裝材料的第一表面被設置在模具內和所述半導體晶粒的周圍以接觸所述模具的表面，其中該模具包括與所述第一粗糙度相等的第三粗糙度和與所述第二粗糙度相等的第四粗糙度。第一粗糙度包括小於 1.0 微米的粗糙度。第二粗糙度包括在 1.2 至 1.8 微米範圍的粗糙度。

### 三、英文發明摘要：

A semiconductor device includes a semiconductor die. An interconnect structure is formed over an active surface of the semiconductor die. An encapsulant is formed over the semiconductor die and interconnect structure including a first surface opposite the interconnect structure. A peripheral portion of the first surface includes a first roughness disposed outside a footprint of the semiconductor die. A semiconductor die portion of the first surface includes a second roughness less than the first roughness disposed over the footprint of the semiconductor die. The first surface of the encapsulant is disposed within a mold and around the semiconductor die to contact a surface of the mold that includes a third roughness equal to the first roughness and a fourth roughness equal to the second roughness. The first roughness includes a roughness of less than 1.0 micrometers. The second roughness includes a roughness in a range of 1.2 - 1.8 micrometers.

#### 四、指定代表圖：

(一) 本案指定代表圖為：圖 5。

(二) 本代表圖之元件符號簡單說明：

124	半導體晶粒
128	背表面
130	主動表面
132	導電層
134	絕緣或鈍化層
164	封裝材料或模製化合物
178	半導體晶粒區域
180	周圍區域
184	建立互連結構
186	再分佈層(導電層)
188	絕緣或鈍化層
190	凸塊
196	封裝

#### 五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 六、發明說明：

### 【優先權宣告】

本申請主張 2012 年 1 月 9 日申請的臨時申請案第 61/584,634 號的優點，其通過參考方式併入本文。

### 【發明所屬之技術領域】

本發明一般涉及到半導體裝置，更具體地說是一種在模封底部填充中形成減少的表面粗糙度以用於改進的 C-模式掃描聲波顯微鏡（C-SAM）檢視的半導體裝置和方法。

### 【先前技術】

半導體裝置常見的於現代電子產品中。半導體裝置改變電氣構件的數目和密度。離散的半導體裝置通常包含一種類型的電氣構件，例如，發光二極體（LED）、小信號電晶體、電阻器、電容器、電感器和功率金屬氧化物半導體場效應電晶體（MOSFET）。整合的半導體裝置通常包含數百至百萬的電氣構件。整合的半導體裝置的例子包括微控制器、微處理器、電荷耦合裝置（CCD）、太陽能電池以及數位微鏡裝置（DMD）。

半導體裝置進行了廣泛的功能，如信號處理、高速計算、傳輸和接收電磁信號、控制電子裝置、將太陽光轉化為電能以及建立用於電視顯示器的可視化投影。半導體裝置也發現在娛樂、通訊、電源轉換、網絡、電腦以及消費類產品的領域上。半導體裝置也發現在軍事上的應用、航空、汽車、工業控制以及辦公設備。

半導體裝置利用半導體材料的電氣性能。半導體材料

的原子結構允許藉由電場或基極電流的施加或通過摻雜的過程來操縱它的導電性。將雜質摻雜引入至半導體材料來操作和控制半導體裝置的導電性。

一種半導體裝置包含主動和被動的電子結構。包括雙極和場效應電晶體的主動結構控制電流的流動。透過改變摻雜的水平和電場或基極電流的施加，電晶體促進或限制電流的流動。包括電阻器、電容器和電感器的被動結構建立電壓和所需的電流之間的關係，來執行各種電氣功能。被動結構和主動結構電連接以形成電路，其使半導體裝置執行高速的計算和其他有用的功能。

半導體裝置一般使用兩個複雜的製造過程來製造，即前端製造和後端製造，每個牽涉潛在的數百個步驟。前端製造牽涉半導體晶圓的表面上形成多個晶粒。每個半導體晶粒通常是相同的並包含藉由電連接主動和被動構件所形成的電路。後端製造牽涉將來自完成的晶圓的個別的半導體晶粒單一化並且將晶粒封裝以提供結構支撐和環境隔離。於本文所使用的術語“半導體晶粒”是指單數和複數兩者形式的詞語，並且相應地可以參考單一半導體裝置和多個半導體裝置兩者。

半導體製造的目標之一是產生更小的半導體裝置。更小的裝置通常消耗更少的功率、有更高的性能並可以更有效地製造。此外，更小的半導體裝置具有較小的覆蓋區，這對較小的最終產品而言是期望的。較小的半導體晶粒的尺寸可以藉由改進前端製程而產生具有小且較高密度的主

動和被動構件的半導體晶粒來實現。後端製程可能會藉由電氣互連和封裝材料的改進而產生半具有更小覆蓋區的半導體裝置。

半導體製造的另一個目標是減少製造半導體裝置的成本。利用一種後端製造技術以降低半導體裝置的成本是模封底部填充( MUF )製程的使用，而不是毛細底部填充( CUF )製程。CUF 傳統上用來作為兩個步驟製程中的第一步驟，使用底部填充材料來填充在半導體晶粒和封裝基板之間的間隙。第二，使用封裝材料以覆蓋模具或囊封半導體晶粒和封裝基板。另一方面，MUF 是更簡單和更有效節省成本的製程，其使用單一步驟同時底部填充且遍及模封在單一囊封製程中的半導體晶粒的方法。在半導體裝置以 MUF 囊封之後，半導體裝置被檢視以檢測在裝置內的瑕疵或缺陷，以便消除潛在的不可靠的部件和維持品質保證。發生在經歷了 MUF 製程的半導體裝置的一個缺陷是在 MUF 或半導體晶粒的周圍的封裝材料的空孔形成。另一個缺陷是凸塊結構和介電層之間的裂紋的形成，其包括低介電常數( 低 k )裂紋，由於使用如 C-SAM 掃描的聲波或聲音基的掃描的凸點的外觀，它們通常被稱為“白凸點”。需要檢視半導體裝置的空孔、裂紋和脫層也是關注的半導體裝置的問題，其包括聚醯亞胺( PI )的層或 PI 塗覆的基板或晶圓。

在處理製造更小的半導體裝置並透過使用 MUF 來降低封裝成本的兩個目標，使用 C-SAM 的缺陷檢測是有問題

的。對於低輪廓的封裝，例如，具有約 250 微米厚度的模封材料與約 70 微米厚度的半導體晶粒的封裝，傳統的 C-SAM 方法無法檢測到空孔、白凸塊和低 k 裂紋的存在。以 MUF 和使用 PI 塗覆的半導體晶圓來形成的封裝也限制了藉由傳統的 C-SAM 方法的空孔、白凸塊和低 k 裂紋的檢測。MUF 封裝中無法識別的缺陷是指消除潛在的不可靠的部件、維護品質保證並降低半導體設備故障的下降的能力。

### 【發明內容】

需要存在提供在模封底部填充中減少的表面粗糙度以改進聲波檢視的半導體裝置和方法。因此，在一個實施例中，本發明是一種製造半導體裝置的方法，包括以下步驟：提供一半導體晶粒；形成一互連結構在所述半導體晶粒的主動表面上方；形成一封裝材料在所述半導體晶粒和所述互連結構上方，其包括相對於所述互連結構設置的一第一表面；形成所述第一表面的周圍部分，其包括設置在所述半導體晶粒的覆蓋區之外的一第一粗糙度；以及形成所述第一表面的一半導體晶粒部分，其包括小於所述第一粗糙度且設置在所述半導體晶粒的覆蓋區上方的一第二粗糙度。

在另一個實施例中，本發明是一種製造半導體裝置的方法，包括以下步驟：提供一半導體晶粒；以及形成一封裝材料在所述半導體晶粒的周圍，包括設置在所述半導體晶粒的覆蓋區之外且包括一第一粗糙度的一周圍部分以及設置在所述半導體晶粒的覆蓋區上方且包括小於所述第一

粗糙度的第二粗糙度的一晶粒部分。

在另一個實施例中，本發明是一種包括一半導體晶粒的半導體裝置。互連結構被形成在所述半導體晶粒的主動表面上方。封裝材料設置在所述半導體晶粒和互連結構的上方，進一步包括相對於所述互連結構的第一表面。所述第一表面的一周圍部分包括設置在所述半導體晶粒的覆蓋區以外的第一粗糙度。所述第一表面的一半導體晶粒部分包括設置在所述半導體晶粒的覆蓋區上方且小於第一粗糙度的第二粗糙度。

在另一個實施例中，本發明是一種包括一半導體晶粒的半導體裝置。一封裝材料形成在所述半導體晶粒的周圍，包括設置在所述半導體晶粒的覆蓋區之外且包括第一粗糙度的一周圍部分以及設置在所述半導體晶粒的覆蓋區上方且包括小於所述第一粗糙度的第二粗糙度的一晶粒部分。

### 【實施方式】

本發明係在以下參考該些圖式的說明中，以一或多個實施例來加以描述，其中相同的元件符號係代表相同或類似的元件。儘管本發明係以用於達成本發明之目的之最佳模式來加以描述，但熟習此項技術者將會體認到的是，其係欲涵蓋可內含在藉由所附的申請專利範圍及其藉由以下的揭露內容及圖式所支持的等同項所界定的本發明的精神與範疇內的替換、修改以及等同物。

半導體裝置一般是利用兩個複雜的製程：前端製造及

後端製造來加以製造。前端製造係牽涉到複數個晶粒在一半導體晶圓的表面上的形成。在該晶圓上的每個晶粒係包含電連接以形成功能電路的主動及被動電氣構件。例如是電晶體及二極體的主動電氣構件係具有控制電流的流動之能力。例如是電容器、電感器、電阻器及變壓器的被動電氣構件係產生執行電路功能所必要的電壓及電流之間的一種關係。

被動及主動構件係藉由一系列的製程步驟而形成在半導體晶圓的表面之上，該些製程步驟包含摻雜、沉積、光微影、蝕刻及平坦化。摻雜係藉由例如是離子植入或熱擴散的技術以將雜質帶入半導體材料中。該摻雜製程係修改主動裝置中的半導體材料的導電度，其係轉換該半導體材料成為絕緣體、導體、或是響應於一電場或基極電流來動態地改變該半導體材料的導電度。電晶體係包含具有不同類型及程度的摻雜的區域，該些區域係以使得該電晶體在電場或基極電流的施加時能夠提升或限制電流的流動所必要的方式來加以配置。

主動及被動構件係藉由具有不同電氣特性的材料層來加以形成。該些層可藉由各種沉積技術來形成，該技術部分是由被沉積的材料類型來決定的。例如，薄膜沉積可能牽涉到化學氣相沉積(CVD)、物理氣相沉積(PVD)、電解電鍍以及無電電鍍製程。每個層一般是被圖案化，以形成主動構件、被動構件或是構件間的電連接的部分。

該些層可利用光微影而被圖案化，光微影係牽涉到光

敏材料(例如，光阻)在待被圖案化的層之上的沉積。一圖案係利用光以從一光罩轉印至光阻。在一實施例中，該光阻圖案遭受到光的部分係利用一溶劑來移除，以露出下面待被圖案化的層的部分。在另一實施例中，該光阻圖案未遭受到光的部分(即負光阻)係利用一溶劑來移除，此係露出下面待被圖案化的層的部分。該光阻的剩餘部分係被移除，留下一圖案化的層。或者是，某些類型的材料係藉由利用例如是無電電鍍及電解電鍍的技術來直接將該材料沉積到該些區域或是沉積到藉由一先前的沉積/蝕刻製程所形成的空孔中而被圖案化。

圖案化是移除半導體晶圓表面上的頂端層的部分所藉由的基本動作。半導體晶圓的部分可利用光微影、光罩法、遮罩法、氧化物或金屬的移除、照相及製版、以及顯微蝕刻術來加以移除。光微影係包含以標線片或一光罩形成一圖案，並且將該圖案轉印到半導體晶圓的表面層。光微影係以兩個步驟的製程，在該半導體晶圓的表面上形成主動及被動構件之水平的尺寸。首先，在該標線片或遮罩上的圖案係被轉印到一光阻層。光阻是一種光敏的材料，其係在暴露到光時會在結構及性質上進行變化。該光阻的結構及性質的變化過程不是以負作用光阻、就是以正作用光阻來發生。其次，該光阻層係被轉印到晶圓表面。該轉印係發生在蝕刻移除半導體晶圓的頂端層未被該光阻覆蓋的部分時。光阻的化學作用係使得該光阻維持實質完整的，並且抵抗藉由化學蝕刻溶液的移除，同時半導體晶圓的頂端

層未被該光阻覆蓋的部分係被移除。形成、曝光及移除光阻的製程以及移除半導體晶圓的一部分的製程可根據所使用的特定光阻以及所要的結果來加以修改。

在負作用光阻中，光阻係暴露到光，並且在一個以聚合作用著稱的過程中從一可溶的狀態變化到一不可溶的狀態。在聚合作用中，未聚合的材料係暴露到光或是能量源，並且聚合物係形成一種抗蝕刻的交聯材料。在大多數的負光阻中，該聚合物是聚異戊二烯(polyisoprene)。利用化學溶劑或顯影劑來移除可溶的部分(亦即，未暴露到光的部分)係在光阻層中留下孔洞，該孔洞係對應於標線片上的不透明的圖案。其中圖案是存在於不透明的區域之光罩係稱為透明場光罩。

在正作用光阻中，光阻係被暴露到光，並且在一以光溶解化著稱的過程中從相對非可溶的狀態變化到更為可溶的狀態。在光溶解化中，該相對不可溶的光阻係暴露到適當的光能量，並且被轉換到一更為可溶的狀態。該光阻被光溶解化的部分可在顯影製程中藉由一溶劑來加以移除。該基本的正光阻聚合物是苯酚-甲醛聚合物，亦稱為苯酚-甲醛的酚醛樹脂。利用化學溶劑或顯影劑來移除該可溶的部分(亦即，暴露到光的部分)係在該光阻層中留下孔洞，該孔洞係對應於該標線片上之透明的圖案。其中圖案是存在於透明的區域中的光罩係稱為暗場光罩。

在移除半導體晶圓未被該光阻覆蓋的頂端部分之後，該光阻的剩餘部分係被移除，留下一圖案化的層。或者是，

某些類型的材料係藉由利用例如是無電電鍍及電解電鍍的技術來直接將該材料沉積到該些區域或是沉積到由一先前的沉積/蝕刻製程所形成的空孔中而被圖案化。

在一現有的圖案之上沉積一材料薄膜可能會擴大下面的圖案並且產生一非均勻平坦的表面。一均勻平坦的表面是產生較小且更緊密聚集的主動及被動構件所需的。平坦化可被利用來從晶圓的表面移除材料並且產生一均勻平坦的表面。平坦化係牽涉到利用一拋光墊來拋光晶圓的表面。一研磨劑材料及腐蝕性化學品係在拋光期間被加到晶圓的表面。該研磨劑的機械性作用以及該化學品的腐蝕性作用的組合係移除任何不規則的表面構形，產生一均勻平坦的表面。

後端製造係指切割或單粒化完成的晶圓成為個別的半導體晶粒並且接著為了結構的支撐及環境的隔離來封裝該半導體晶粒。為了單粒化該半導體晶粒，晶圓係沿著該晶圓的非功能區域(稱為切割道或劃線)來被劃線且截斷。該晶圓係利用一雷射切割工具或鋸刀而被單粒化。在單粒化之後，該個別的半導體晶粒係被安裝到一封裝基板，該封裝基板係包含用於和其它系統構件互連的接腳或接觸墊。形成在半導體晶粒之上的接觸墊係接著連接至該封裝內的接觸墊。該些電連接可以利用焊料凸塊、柱形凸塊、導電膏、或是引線接合來做成。一封裝材料或是其它模製材料係沉積在該封裝之上，以提供實體支撐及電氣隔離。該完成的封裝係接著被插入一電氣系統中，並且使得該半導體裝置

的功能為可供其它系統構件利用的。

圖 1 係描繪具有複數個安裝於其表面上之半導體封裝的晶片載體基板或印刷電路板(PCB)52 之電子裝置 50。視應用而定，電子裝置 50 可具有一種類型之半導體封裝或多種類型之半導體封裝。不同類型之半導體封裝係為了說明之目的而展示於圖 1 中。

電子裝置 50 可以是一使用該些半導體封裝以執行一或多種電功能之獨立的系統。或者，電子裝置 50 可以是一較大系統之子構件。舉例而言，電子裝置 50 可以是行動電話、個人數位助理(PDA)、數位視訊攝影機(DVC)或是其它電子通訊裝置的一部份。或者是，電子裝置 50 可以是一可插入電腦中之顯示卡、網路介面卡或其它信號處理卡。該半導體封裝可包括微處理器、記憶體、特殊應用積體電路(ASIC)、邏輯電路、類比電路、RF 電路、離散裝置或其它半導體晶粒或電氣構件。小型化及重量減輕是這些產品能夠被市場接受所不可少的。在半導體裝置間的距離必須縮短以達到更高的密度。

在圖 1 中，PCB 52 係提供一般的基板以供安裝在該 PCB 上之半導體封裝的結構支撑及電氣互連。導電的信號線路 54 係利用蒸鍍、電解電鍍、無電電鍍、網版印刷或其它適合的金屬沉積製程而被形成在 PCB 52 的一表面之上或是在層內。信號線路 54 係提供在半導體封裝、安裝的構件以及其它外部的系統構件的每一個之間的電通訊。線路 54 亦提供電源及接地連接給每個半導體封裝。

在某些實施例中，一半導體裝置係具有兩個封裝層級。第一層級的封裝是一種用於將半導體晶粒機械及電氣地附接至一中間載體的技術。第二層級的封裝係牽涉到將該中間載體機械及電氣地附接至 PCB。在其它實施例中，一半導體裝置可以只有該第一層級的封裝，其中晶粒是直接機械及電氣地安裝到 PCB 上。

為了說明之目的，包含引線接合封裝 56 及覆晶 58 之數種類型的第一層級的封裝係被展示在 PCB 52 上。此外，包含球格陣列(BGA)60、凸塊晶片載體(BCC)62、雙排型封裝(DIP)64、平台柵格陣列(LGA)66、多晶片模組(MCM)68、四邊扁平無引腳封裝(QFN)70 及四邊扁平封裝 72 之數種類型的第二層級的封裝係被展示安裝在 PCB 52 上。視系統需求而定，以第一及第二層級的封裝類型的任意組合來組態的半導體封裝的任何組合及其它電子構件可連接至 PCB 52。在某些實施例中，電子裝置 50 係包含單一附接的半導體封裝，而其它實施例需要多個互連的封裝。藉由在單一基板之上組合一或多個半導體封裝，製造商可將預製的構件納入電子裝置及系統中。由於半導體封裝包括複雜的功能，因此可使用較便宜構件及流線化製程來製造電子裝置。所產生的裝置不太可能發生故障且製造費用較低，從而降低消費者成本。

圖 2a-2c 係展示範例的半導體封裝。圖 2a 係描繪安裝在 PCB 52 上的 DIP 64 之進一步的細節。半導體晶粒 74 係包括一含有類比或數位電路的主動區，該些類比或數位電

路係被實施為形成在晶粒內之主動元件、被動元件、導電層及介電層並且根據該晶粒的電設計而電互連。例如，該電路可包含形成在半導體晶粒 74 的主動區內之一或多個電晶體、二極體、電感器、電容器、電阻器以及其它電路元件。接觸墊 76 是一或多層的導電材料，例如鋁(Al)、銅(Cu)、錫(Sn)、鎳(Ni)、金(Au)或銀(Ag)，並且電連接至形成在半導體晶粒 74 內之電路元件。在 DIP 64 的組裝期間，半導體晶粒 74 係利用一金矽共晶層或例如是熱環氧樹脂的黏著材料而被安裝到一中間載體 78。封裝基體係包含一種例如是聚合物或陶瓷的絕緣封裝材料。導線 80 及引線接合 82 係在半導體晶粒 74 及 PCB 52 之間提供電互連。封裝材料 84 係為了環境保護而沉積在該封裝之上，以防止濕氣及微粒進入該封裝且污染晶粒 74 或引線接合 82。

圖 2b 係描繪安裝在 PCB 52 上之 BCC 62 的進一步細節。半導體晶粒 88 係利用一種底部填充(underfill)或是環氧樹脂黏著材料 92 而被安裝在載體 90 之上。引線接合 94 係在接觸墊 96 及 98 之間提供第一層級的封裝互連。模製化合物或封裝材料 100 係沉積在半導體晶粒 88 及引線接合 94 之上以提供針對該裝置的物理支撐及電氣隔離。接觸墊 102 係利用一例如是電解電鍍或無電電鍍之合適的金屬沉積製程而被形成在 PCB 52 的一表面之上以避免氧化。接觸墊 102 係電連接至 PCB 52 中的一或多個導電信號線路 54。凸塊 104 係形成在 BCC 62 的接觸墊 98 以及 PCB 52 的接觸墊 102 之間。

在圖 2c 中，半導體晶粒 58 係以覆晶型第一層級的封裝方式面向下安裝到中間載體 106。半導體晶粒 58 的主動區 108 係包含類比或數位電路，該些類比或數位電路係被實施為根據該晶粒的電設計所形成的主動元件、被動元件、導電層及介電層。例如，該電路可包含一或多個電晶體、二極體、電感器、電容器、電阻器以及主動區 108 內之其它電路元件。半導體晶粒 58 係透過凸塊 110 電氣及機械地連接至載體 106。

BGA 60 係以 BGA 型第二層級的封裝方式利用凸塊 112 電氣及機械地連接至 PCB 52。半導體晶粒 58 係透過凸塊 110、信號線 114 及凸塊 112 電連接至 PCB 52 中的導電信號線路 54。一種模製化合物或封裝材料 116 係沉積在半導體晶粒 58 及載體 106 之上以提供針對該裝置的物理支撐及電氣隔離。該覆晶半導體裝置係提供從半導體晶粒 58 上的主動元件到 PCB 52 上的導電跡線之短的導電路徑，以便縮短信號傳遞距離、降低電容以及改善整體電路效能。在另一實施例中，半導體晶粒 58 可在無中間載體 106 的情況下，利用覆晶型第一層級的封裝直接機械及電連接至 PCB 52。

圖 3a 係展示一具有一種例如是矽、鎢、砷化鎵、磷化銅或矽碳化物的基體基板材料 122 以供結構支撐的半導體晶圓 120。複數個半導體晶粒或構件 124 係形成在晶圓 120 上，且藉由非主動的晶粒間的晶圓區域或切割道 126 加以分開。切割道 126 係提供切割區域以單粒化半導體晶圓 120

成為個別的半導體晶粒 124。

圖 3b 係展示半導體晶圓 120 的一部份的橫截面圖。每個半導體晶粒 124 係具有一背表面 128 以及一包含類比或數位電路的主動表面 130，該類比或數位電路被實施為形成在該晶粒內且根據該晶粒的電設計及功能電互連的主動元件、被動元件、導電層以及介電層。例如，該電路可包含一或多個電晶體、二極體以及其它形成在主動表面 130 內之電路元件以實施類比電路或數位電路，例如數位信號處理器(DSP)、ASIC、記憶體或是其它信號處理電路。半導體晶粒 124 亦可包含整合被動裝置(IPD)，例如電感器、電容器及電阻器，以供 RF 信號處理使用。

一導電層 132 係利用 PVD、CVD、電解電鍍、無電電鍍製程、或是其它合適的金屬沉積製程而形成在主動表面 130 之上。導電層 132 可以是一或多層的 Al、Cu、Sn、Ni、Au、Ag、或是其它合適的導電材料。導電層 132 係運作為接觸墊，該些接觸墊係電連接至主動表面 130 上的電路。如同圖 3b 中所示，導電層 132 可形成為接觸墊，該些接觸墊係和半導體晶粒 124 的邊緣隔一第一距離而並排地加以設置。或者是，導電層 132 可以是以多個列並列，使得一第一列的接觸墊係和該晶粒的邊緣隔一第一距離地加以設置，並且一和該第一列交錯的第二列的接觸墊係和該晶粒的邊緣隔一第二距離地加以設置。

一種導電凸塊材料使用蒸鍍、電解電鍍、無電電鍍、球型滴落或網版印刷而沉積在接觸墊 132 的上方。凸塊材

料可以是 Al、Sn、Ni、Au、Ag、Pb、Bi、Cu、焊錫及它們的組合以及一可選的焊劑溶液。例如，凸塊材料可以是共晶 Sn/Pb、高鉛焊料或無鉛焊料。凸塊材料使用合適的附件或接合製程而接合到接觸墊 132。在一個實施例中，凸塊材料藉由加熱所述材料至其熔點以上而回焊以形成球或凸塊 134。在某些應用中，凸塊 134 係回焊第二時間，以改善至接觸墊 132 的電接觸。凸塊 134 也可以是壓接合或者熱壓接合至接觸墊 132。凸塊 134 代表一種類型的互連結構，其可以形成在接觸墊 132 上方。互連結構也可以使用柱形凸塊、微凸塊或其他的電互連。

在圖 3c 中，半導體晶圓 120 係利用鋸刀或雷射切割工具 136 透過切割道 126 而被單粒化成為個別的半導體晶粒 124。

圖 4a 至 4h 描繪有關圖 1 和圖 2a 至 2c 的一種形成半導體裝置的製程，其包括具有減少的表面粗糙度的模封底部填充以改進聲波檢視。圖 4a 展現含有臨時或犧牲的基體材料的基板或載體 140 的一部分的橫截面圖，其中該基體材料如矽、鍺、砷化鎵、磷化銦、碳化矽、樹脂、氧化鋁、玻璃或用於結構支撐的其他合適的低成本、剛性材料。介面層或雙面帶 142 形成在載體 140 上方以作為臨時的黏著接合膜、蝕刻停止層或剝離層。

在圖 4b 中，圖 3a 至 3c 的半導體晶粒 124 以朝向載體定位的凸塊 134 而使用拾取和放置操作定位和安裝到介面層 142 和載體 140 上方。

在圖 4c 中，載體 140 和半導體晶粒 124 被放置在盒模具 146，其包括複數個進氣口 148 和 150 和腔體 152。盒模具 146 還具有形成腔體 152 的上表面的上部內表面 154。上表面 154 包括平滑區域 158 和粗糙區域 160。粗糙區域 160 包括高和低的區域之間的粗糙度或偏移量，即等同於常規的模具粗糙度。在一個實施例中，粗糙區域 160 包括大於 1.2 微米 ( $\mu\text{m}$ ) 的粗糙度，並進一步包括 1.2 至 1.8 微米的範圍內或在 1.2 至 1.6 微米範圍內的粗糙度。平滑區域 158 包括高和低的區域之間的粗糙度或偏移量，其是小於粗糙區域 160 的粗糙度。在一個實施例中，平滑區域 158 包括小於 1.0 微米的粗糙度，並且在另一個實施例中的粗糙度小於 0.5 微米，又另一個實施例中，粗糙度為 0.1 微米。平滑區域 158 透過藉由改變盒模具的設計或可選地藉由研磨模具表面 154 的部分來減少模具表面 154 的粗糙度而形成。

載體 140 被放置到盒模具 146，使得半導體晶粒 124 被設置在腔體 152 內並且腔體 152 的上表面 154 被設置在半導體晶粒 124 的背表面 128 上方。平滑區域 158 被設置在半導體晶粒 124 上方並且包括一具有面積大於或等於半導體晶粒的覆蓋區的面積的覆蓋區。粗糙區域 160 形成在平滑區域 158 的覆蓋區周圍，並設置在其之外，使得粗糙區域設置在半導體晶粒 124 之間延伸的一區域上方。由於平滑區域 158 被設置在半導體晶粒 124 上方，所以模具 146 的圖案和設計，包括平滑區域 158 的配置和位置，將根據設置在模具內的半導體晶粒 124 的尺寸和數量而有所不

同。因此，平滑區域 158 是專門在模具 146 的上表面 154 形成，以配合半導體晶粒 124 的覆蓋區。因此，包括以類似模具或封裝材料厚度所進行的 MUF 的半導體晶粒的不同數量或大小之重組晶圓可能不會使用常見的模具。相反地，具有根據半導體晶粒的大小、覆蓋區和數量而製造的平滑區域之不同的模具將被使用。

在載體 140 被放置到盒模具 146 之後，封裝材料或模製化合物 164 的容積在升高的溫度和壓力下從分配器 166 透過進氣口 148 注入至腔體 152，而在半導體晶粒 124 之上和周圍以及載體 140 之上。進氣口 150 是一具有針對多餘的封裝材料 164 的可選的真空輔助 168 的排氣口。封裝材料 164 可以是聚合物的複合材料，如環氧樹脂與填充物、環氧丙烯酸酯與填充物、或聚合物與適當的填充物。封裝材料 164 是不導電的，提供物理的支持和環境地保護半導體晶粒 124 免於外部元件和污染物。根據少了藉由半導體晶粒 124 和凸塊 134 所佔用的面積之腔體 152 的空間要求，測量封裝材料 164 的容積。封裝材料 164 在較高的溫度下均勻地分散和均勻地分佈在腔體 152 內和半導體晶粒 124 周圍。另外，封裝材料 164 是使用壓縮成型、傳遞成型或其他適合的噴頭所形成。透過施加封裝材料 164 至 MUF 製程，使得封裝材料 164 被形成在背表面 128 和主動表面 130 兩者之上，底部填充製程和分離的囊封製程的需要被消除。結果，半導體晶粒 124 以單一的處理步驟而有效地封閉在封裝材料 164 內，其可簡化製造和降低成本。此外，

如在下面更詳細討論的，與盒模具 146 的表面 154 接觸的部分的封裝材料 164 形成有紋理或粗糙度，其是等於和反映模具的粗糙度。

在圖 4d 中，半導體晶粒 124 和封裝材料 164 從模具 146 移除而作為複合基板或重組晶圓 170。重組晶圓 170 包括含有平滑的半導體晶粒區域 178 和粗糙的周圍區域 180 的上表面 174。半導體晶粒區域 178 和周圍區域 180 是藉由模具 146 的粗糙度而決定的，即，分別由平滑區域 158 和粗糙區域 160 所決定。周圍區域 180 包括等於或大致相等粗糙區域 160 的粗糙度的粗糙度，這是常規的模具的粗糙度。在一個實施例中，周圍區域 180 包括大於 1.2 微米的粗糙度，例如，在 1.2 至 1.8 微米的範圍，或在 1.2 至 1.6 微米的範圍。平滑的半導體晶粒區域 178 包括小於周圍區域 180 的粗糙度的粗糙度，並且等於或大致相等平滑區域 158 的粗糙度。在一個實施例中，半導體晶粒區域 178 包括小於 1.0 微米的粗糙度，在另一個實施例中的粗糙度小於 0.5 微米，在又另一實施例的粗糙度為 0.1 微米。因此，在分注封裝材料 164 之前，透過提供具有平滑區域 158 的模具 146 設置在半導體晶粒 124 的覆蓋區上方，當封裝材料 164 被分配在腔體 152 內及半導體晶粒周圍時，重組晶圓 170 係形成以具有設置在半導體晶粒 124 的覆蓋區上方的平滑的半導體晶粒區域 178。總距離或間隙高度 H1 從半導體晶粒區域 178 的低點延伸至周圍區域 180 的高點。在一個實施例中，距離 H1 必須小於 10 微米。此外，半導體晶粒區域 178 以

小於周圍區域 180 的平均高度的平均高度而形成，使得半導體晶粒區域形成在封裝材料 164 的第一平均厚度 T1 上方，同時周圍部分形成在大於 T1 的封裝材料的第二平均厚度 T2 上方。

形成作為 MUF 的製程的一部分的重組晶圓 170 的半導體晶粒區域 178 是比在從常規的模具移除重組晶圓之後研磨封裝材料 164 的表面還更加效率和實用。因此，模具 146 的使用降低製造成本和提高生產量。透過使用具有平滑區域 158 和粗糙區域 160 的模具 146 而形成光滑晶粒區域 178，模具是比如果在模具的整個上表面以光滑或有光澤的表面製造還不易染色和刮傷。使用不易染色和刮傷的設計減少了半導體封裝經過外部目視檢視 (EVI) 時的產量損失的問題。此外，使用具有平滑區域 158 和粗糙區域 160 兩者的模具，而不是使用整個上表面是光滑或有光澤的模具，即，包括小於 1.0 微米粗糙度，降低囊封的半導體晶粒 124 黏著在模具內的問題。透過減少黏著在模具內的囊封的晶粒，模具的額外的清潔可以減少且提高生產率。

在圖 4e 中，載體 140 和介面層 142 藉由化學蝕刻、機械剝離現象、CMP、機械研磨、熱烘烤、雷射掃描或濕剝離而移除以暴露凸塊 134 和封裝材料 164。建立互連結構 184 係形成在重組晶圓 170 上方並接觸封裝材料 164 和凸塊 134。建立互連結構 184 包括使用圖案化和金屬沉積製程所形成的導電層或再分佈層 (RDL) 186，其中金屬沉積製程如濺射法、電解電鍍和無電電鍍。導電層 186 可以是 Al、

Cu、Sn、Ni、Au、Ag 或其他合適的導電材料的一層或多層。導電層 186 電連接至凸塊 134。取決於半導體晶粒 124 的設計和功能，導電層 186 的其他部分可以是電共用或電分離。

建立互連結構 184 還包括使用 PVD、CVD、印刷法、旋塗法、噴塗法、燒結或熱氧化形成在導電層 186 之間用於電氣隔離的絕緣或鈍化層 188。絕緣層 188 包含的一層或多層的二氧化矽（ $\text{SiO}_2$ ）、氮化矽（ $\text{Si}_3\text{N}_4$ ）、氮氧化矽（ $\text{SiON}$ ）、五氧化二鉭（ $\text{Ta}_2\text{O}_5$ ）、氧化鋁（ $\text{Al}_2\text{O}_3$ ）或其他具有類似的絕緣和結構性質的材料。

雖然圖 4e 顯示在模具 146 中晶粒 124 的囊封之後形成建立互連結構 184 在重組晶圓 170 上方，建立互連結構還可以形成在囊封之前。在一個實施例中，在半導體晶粒 124 被安裝到臨時載體之前，建立互連結構 184 被形成在臨時載體 140 和介面層 142 之上，使得半導體晶粒被安裝在臨時載體上方的建立互連結構。半導體晶粒 124、建立互連結構 184 和臨時載體 140 然後以關於圖 4c 和 4d 上面所述的 MUF 製程而被一起放置入模具 146。

在圖 4f 中，導電性的凸塊材料使用蒸鍍、電解電鍍、無電電鍍、球型滴落或網版印刷沉積至互連結構 184 的導電層 186 上和電連接到互連結構 184 的導電層 186。凸塊材料可以是 Al、Sn、Ni、Au、Ag、Pb、Bi、Cu、焊錫及它們的組合，以及可選的焊劑溶液。例如，凸塊材料可以是共晶 Sn/Pb、高鉛焊料或無鉛焊料。凸塊材料使用合適的附件或接合製程而接合到導電層 186。在一個實施例中，凸塊材

料藉由加熱所述材料至其熔點以上而回焊以形成球或凸塊 190。在某些應用中，凸塊 190 係回焊第二時間，以改善至接觸墊 186 的電接觸。凸塊下金屬化（UBM）層可以形成在凸塊 190 之下。凸塊 190 也可以是壓接合至導電層 186。凸塊 190 代表一種類型的互連結構，其可以形成在導電層 186 上方。互連結構還可以使用柱形凸塊、微凸塊或其他的電性互連。

圖 4g 展示具有圖 4f 的複數個半導體晶粒 124 的重組晶圓 170 的俯視圖。特別是，半導體晶粒 124 配置在封裝材料 164 的平滑的半導體晶粒區域 178 的覆蓋區內。藉由限制半導體晶粒 124 的覆蓋區周圍以及之外的封裝材料 164 的粗糙周圍區域 180，重組晶圓 170 的聲波檢視的結果得到改善。更具體地，平滑的半導體晶粒區域 178 產生更清晰的 C-SAM 圖像，其允許在半導體晶粒 124 和凸塊 134 周圍的封裝材料 164 中的低 k 裂紋的檢測和小空孔的檢測，例如，包括直徑大於或等於約 95-100 微米的空孔。

圖 4h 一起顯示具有建立互連結構 184 和凸塊 190 的重組晶圓 170，經由封裝材料 164 和建立互連結構 184 使用鋸刀或雷射切割工具 194 將重組晶圓 170 單粒化成個別的半導體裝置或封裝 196。

圖 4h 也顯示藉由掃描裝置 198 的封裝 196 的檢視。封裝 196 的檢視發生在重組晶圓級的單粒化之前，或可替代地，在單粒化為個別的封裝 196 之後。掃描裝置 198 以聲波掃描封裝 196，或其它合適的裝置來檢測封裝內的空孔、

裂紋以及脫層。在一個實施例中，掃描裝置 198 是掃描聲波斷層(SAT)裝置，其產生指向封裝 196 的超聲波的脈衝，然後接收從封裝反彈回來的反射的超聲波。由於超聲波不會透過空氣發送，藉由掃描裝置 198 所接收的反射信號包括允許封裝 196 內空孔、低 k 裂紋和脫層的檢測的在封裝內由空氣所致的高對比度的區域。針對空孔或其它缺陷篩選藉由 MUF 製程所囊封半導體封裝的能力是確保半導體封裝品質的重要因素。當 MUF 的空孔不能在檢視過程中檢測出時，針對半導體封裝的 MUF 的使用被認為是一種較不可行的製造製程，因為不能測量半導體封裝的品質。

藉由用於檢測在半導體封裝 196 中的空孔和缺陷的掃描裝置 198 所接收的反射信號係藉由封裝表面 174 的粗糙度和封裝的厚度或輪廓所影響。藉由用於檢測在封裝 196 中的缺陷的掃描裝置 198 所接收的反射信號的品質隨著封裝的厚度減少而降低。對於以 450-530 微米的模具厚度所形成的封裝以及 150-280 微米的厚度的半導體晶粒，以 110 MHz 的頻率和 8 mm 的焦距所產生的 SAT 圖像包括足以檢測直徑約為 150 微米的最小空孔大小的解析度。對於包含以約 250 微米的模具厚度所形成的封裝、70 微米厚度的半導體晶粒以及約 1.8 微米的現有封裝的表面粗糙度之較低的輪廓封裝，以 110 MHz 和 180 MHz 的頻率所產生的 C-SAM 圖像不能有效地識別空孔，正因為如此，不是用於識別 MUF 的封裝內空孔的可行的篩選製程。為什麼空孔不能在較低的輪廓封裝中檢測的一個原因是因為藉由 MUF 的

表面粗糙度引起的聲波噪聲降低了反射信號的品質，從而防礙了以 C-SAM 的空孔檢測。藉由減少在半導體晶粒區域 178 中封裝材料上表面 174 的粗糙度至小於 1.0 微米或 0.5 微米，更清晰更高品質的 C-SAM 圖像產生以允許空孔、裂紋和脫層的檢測，否則依舊未能檢測出，特別在低輪廓 MUF 封裝。藉由形成具有 0.1 微米的表面粗糙度的半導體晶粒區域 178，具有最小直徑 95-100 微米的空孔被可靠地檢測，使得 MUF 成為針對低輪廓封裝的一個可行的製程選擇，其中低輪廓封裝包括約 250 微米的模具厚度和約 70 微米厚度的半導體晶粒。具有最小直徑為 95-100 微米的空孔的檢測甚至是可能的，當 PI 層，例如，PI 層為 5 微米，是作為半導體封裝 196 的一部分而呈現。

此外，藉由形成具有 0.1 微米的表面粗糙度的半導體晶粒區域 178，在 180 MHz 的頻率和 3 毫米焦距下執行 C-SAM 成像檢測在測試的半導體封裝內的層間電介質（ILD）裂紋的存在。與此相反，在包括具有  $1.8 \mu m$  的粗糙度的常規 MUF 表面的半導體封裝上成像的 C-SAM 以 110 MHz 或 180 MHz 皆沒有檢測到 ILD 裂紋的存在。因此，在一個實施例中，SAT 檢視係以 180 MHz 的頻率一個單元接一個單元來執行，這是對剝離翹曲非常敏感，並且提高在檢視期間 ILD 裂紋和剝離翹曲的檢測。

圖 5 展出在重組晶圓 170 單粒化之後的半導體封裝 196 的橫截面視圖。半導體封裝 196 是一包含 MUF 或封裝材料 164 的薄封裝，並提供了許多優於現有技術中所知的封裝的

優勢。

具體而言，半導體封裝 196 包括具有減少的表面粗糙度的模封底部填充，以用於改進半導體封裝的聲波檢視。半導體封裝 196 藉由安裝半導體晶粒 124 至載體 140 以及將半導體晶粒置入盒模具 146 以經過 MUF 製程來形成。盒模具 146 包括平滑區域 158 和粗糙區域 160。注入封裝材料 164 至盒模具 146，並且配置在半導體晶粒 124 上方與周圍和載體 140 上方以形成重組晶圓 170。重組晶圓 170 包括含有平滑的半導體晶粒區域 178 和粗糙的周圍區域 180 的上表面 174，其由於封裝材料 164 分別接觸平滑區域 158 和粗糙區域 160 所致。周圍區域 180 包括 1.2 至 1.8 微米的範圍的粗糙度，並且平滑的半導體晶粒區域 178 包括小於 1.0 微米的粗糙度。建立互連結構 184 和凸塊 190 配置在重組晶圓 170 上方。在形成半導體晶粒 124 囊封之前或之後，互連結構 184 係形成在重組晶圓 170 上方。

作為重組晶圓 170 的部分，半導體晶粒 124 係配置在封裝材料 164 的平滑的半導體晶粒區域 178 的覆蓋區內。平滑的半導體晶粒區域 178 的降低粗糙度產生更清晰的 C-SAM 圖像，其允許半導體晶粒 124 周圍和凸塊 134 周圍封裝材料 164 的低 k 裂紋的檢測和空孔的檢測。在一個實施例中，可檢測的空孔包括直徑大於約 95-100 微米。針對空孔或其它缺陷篩選藉由 MUF 製程所囊封的半導體封裝的能力是確保半導體封裝品質的一重要因素。藉由形成具有表面粗糙度小於 1.0 微米的半導體晶粒區域 178，包括 0.1

微米粗糙度，最小直徑為 95-100 微米的空孔被可靠地檢測出，使得 MUF 成為針對低輪廓封裝的一個可行的製程選擇，其中低輪廓封裝包括約 250 微米的模具厚度和約 70 微米厚度的半導體晶粒。具有最小直徑為 95-100 微米的空孔的檢測甚至是可能的，當 PI 層，例如，PI 層為 5 微米，是作為半導體封裝 196 的一部分而呈現。此外，藉由形成具有 0.1 微米表面粗糙度的半導體晶粒區域 178，C-SAM 成像也可以檢測在測試的半導體封裝內的 ILD 裂紋的存在。

圖 6 展出半導體裝置或封裝 200 的橫截面視圖，這是類似於圖 5 的半導體封裝 196，並且藉由類似於圖 4a-4h 所示的製程的製程所形成。半導體封裝 200 是包括具有減少的表面粗糙度的 MUF 或封裝材料 164 的薄封裝，以改進半導體封裝的聲波檢視。半導體晶粒區域 202 和粗糙的周圍區域 204 每個包括分別類似於半導體晶粒區域 178 和周圍區域 180 的粗糙度的粗糙度，使得半導體晶粒區域 202 的高和低區域之間的粗糙度或偏移量小於周圍區域 204 的高和低區域之間的粗糙度或偏移量。半導體晶粒區域 202 包括小於 1.0 微米的粗糙度，在另一個實施例中的粗糙度小於 0.5 微米，在又另一實施例的粗糙度為 0.1 微米。同樣地，周圍區域 204 包括大於 1.2 微米的粗糙度，例如，在 1.2 至 1.8 微米的範圍，或在 1.2 至 1.6 微米的範圍。半導體晶粒區域 202 的覆蓋區包括面積大於或等於半導體晶粒 124 的覆蓋區的面積，使得半導體晶粒 124 的覆蓋區實質上或完全地被配置在半導體晶粒區域 202 的覆蓋區內。

藉由平滑的半導體晶粒區域 202 和粗糙的周圍區域 204 的相對方位，半導體封裝 200 不同於半導體封裝 196，其藉由接觸作為半導體晶粒 124 的囊封的 MUF 製程所用的盒模具的平滑區域和粗糙區域的封裝材料 164 所致。在半導體封裝 200 中，半導體晶粒區域 202 形成有大於周圍區域 204 高度的高度。因此，半導體晶粒區域 202 係形成在封裝材料的第一平均厚度  $T_3$  上方，同時周圍部分 204 係形成在小於  $T_3$  的封裝材料的第二平均厚度  $T_4$  上方。高度或距離  $H_2$  在突出的半導體晶粒區域 202 上的高點和周圍區域 204 上的低點之間延伸。在一個實施例中，高度  $H_2$  是小於 10 微米。

藉由形成具有表面粗糙度小於 1.0 微米的半導體晶粒區域 202，包括粗糙度為 0.1 微米，最小直徑為 95-100 微米的空孔被可靠地檢測出，使得 MUF 成為針對低輪廓封裝的一個可行的製程選擇，其中低輪廓封裝包括約 250 微米的模具厚度和約 70 微米厚度的半導體晶粒。具有最小直徑為 95-100 微米的空孔的檢測甚至是可能的，當 PI 層，例如，PI 層為 5 微米，是作為半導體封裝 200 的一部分而呈現。此外，藉由形成具有 0.1 微米表面粗糙度的半導體晶粒區域 202，在 180 MHz 的頻率和 3 毫米焦距下執行 C-SAM 成像執可以檢測在測試的半導體封裝內的 ILD 裂紋的存在。因此，半導體封裝 200 的形成允許使用聲波或 C-SAM 成像的 MUF 使用和封裝檢視以檢測瑕疪或缺陷，並且消除潛在的不可靠的封裝，以保持封裝品質。

雖然本發明的一個或多個實施例已被詳細地展示出，本領域技術人員將會理解對這些實施例的修改和調整可以在不脫離如下所附的申請專利範圍中所述的本發明的範圍來執行。

#### 【圖式簡單說明】

圖 1 描繪以不同類型的封裝安裝到印刷電路板 (PCB) 的表面的印刷電路板；

圖 2a 至 2c 進一步描繪安裝到 PCB 的各自的半導體封裝的細節；

圖 3a 至 3c 描繪具有藉由切割道所分離的複數個半導體晶粒的半導體晶圓；

圖 4a 至 4h 描繪一種形成半導體裝置的製程，其包括具有減小的表面粗糙度的模封底部填充材料；

圖 5 描繪一種半導體裝置，其包括具有減小的表面粗糙度的模封底部填充材料；以及

圖 6 描繪半導體裝置的另一種實施例，其包括具有減小的表面粗糙度的模封底部填充材料。

#### 【主要元件符號說明】

- 50 電子裝置
- 52 印刷電路板 (PCB)
- 54 信號線路
- 56 引線接合封裝
- 58 覆晶
- 60 球格陣列 (BGA)

62	凸塊晶片載體(BCC)
64	雙排型封裝(DIP)
66	平台柵格陣列(LGA)
68	多晶片模組(MCM)
70	四邊扁平無引腳封裝(QFN)
72	四邊扁平封裝
74	半導體晶粒
76	接觸墊
78	中間載體
80	導線
82	引線接合
84	封裝材料
88	半導體晶粒
90	載體
92	底部填充(環氧樹脂黏著材料)
94	引線接合
96	接觸墊
98	接觸墊
100	模製化合物(封裝材料)
102	接觸墊
104	凸塊
106	中間載體
108	主動區
110	凸塊

112	凸塊
114	信號線
116	模製化合物(封裝材料)
120	半導體晶圓
122	基體基板材料
124	半導體晶粒
126	切割道
128	背表面
130	主動表面
132	導電層
134	絕緣或鈍化層
136	雷射
138	鋸刀(雷射切割工具)
140	基板(載體)
142	介面層(雙面帶)
146	盒模具(模具)
148	進氣口
150	進氣口
152	腔體
154	表面
158	平滑區域
160	粗糙區域
164	封裝材料或模製化合物
166	分配器

105年10月24日修正替換頁

- 168 真空輔助
- 170 重組晶圓
- 174 上表面(封裝表面)
- 178 半導體晶粒區域
- 180 周圍區域
- 184 建立互連結構
- 186 再分佈層(導電層)
- 188 絝緣或鈍化層
- 190 凸塊
- 194 鋸刀或雷射切割工具
- 196 封裝
- 198 掃描裝置
- 200 半導體封裝
- 202 半導體晶粒區域
- 204 周圍區域

105年10月24日修正  
替換頁(本)

## 七、申請專利範圍：

1. 一種製造半導體裝置的方法，其包括：

提供一半導體晶粒；

設置所述半導體晶粒在一模具內；

設置一封裝材料在所述模具內且在所述半導體晶粒上方，其包括設置在所述半導體晶粒的背表面上方之所述封裝材料的一表面，所述封裝材料的所述表面包括一周圍部分和一半導體晶粒部分，其中該周圍部分完全地延伸在所述半導體晶粒的一覆蓋區周圍且包含一第一粗糙度，以及該半導體晶粒部分設置在所述半導體晶粒的該覆蓋區上方且包含小於所述第一粗糙度的第一第二粗糙度；以及

形成一互連結構在相對於該半導體晶粒的所述背表面之所述半導體晶粒的一主動表面上方。

2. 根據申請專利範圍第1項的方法，進一步包括形成在所述封裝材料的所述表面的所述周圍部分與所述半導體晶粒部分之間的最大偏移以包括10微米的一距離。

3. 根據申請專利範圍第1項的方法，進一步包括形成所述封裝材料的所述表面之所述半導體晶粒部分包括一覆蓋區，其大於所述半導體晶粒的覆蓋區。

4. 根據申請專利範圍第1項的方法，其中設置所述封裝材料進一步包括：

設置所述封裝材料在所述模具內且在所述半導體晶粒的周圍以接觸所述模具的表面，所述模具的表面包括與所述第一粗糙度相等的第三粗糙度和與所述第二粗糙度相等

的第四粗糙度。

5.根據申請專利範圍第1項的方法，進一步包括形成所述第一粗糙度在1.2至1.8微米的範圍中。

6.一種製造半導體裝置的方法，其包括：

提供一半導體晶粒；

形成一封裝材料在所述半導體晶粒的周圍，包括設置在所述半導體晶粒的覆蓋區之外且包括一第一粗糙度的一周圍部分以及設置在所述半導體晶粒的覆蓋區上方且包括小於所述第一粗糙度的第二粗糙度的一半導體晶粒部分，所述周圍部分和所述半導體晶粒部分為共平面的；以及針對缺陷掃描所述半導體裝置。

7.根據申請專利範圍第6項的方法，進一步包括：使用C-模式掃描聲波顯微鏡來針對缺陷掃描所述半導體裝置。

8.根據申請專利範圍第6項的方法，其中形成所述封裝材料進一步包括：

設置所述半導體晶粒在一模具內；以及

設置所述封裝材料在所述模具內且在所述半導體晶粒的周圍以接觸所述模具的表面，所述模具的表面包括與所述第一粗糙度相等的第三粗糙度和與所述第二粗糙度相等的第四粗糙度。

9.根據申請專利範圍第6項的方法，進一步包括形成所述第一粗糙度在1.2至1.8微米的範圍中。

10.根據申請專利範圍第6項的方法，進一步包括形成小於1.0微米的所述第二粗糙度。

11. 一種半導體裝置，其包括：

一半導體晶粒；以及

一封裝材料，其形成在所述半導體晶粒的周圍，包括設置在所述半導體晶粒的覆蓋區之外且包括一第一粗糙度的一周圍部分以及設置在所述半導體晶粒的覆蓋區上方且包括小於 1.0 微米的第二粗糙度的一半導體晶粒部分。

12. 根據申請專利範圍第 11 項的半導體裝置，進一步包括小於或等於 10 微米且在所述周圍部分與所述半導體晶粒部分之間的偏移。

13. 根據申請專利範圍第 11 項的半導體裝置，其中：

所述半導體晶粒部分是在所述封裝材料的一第一平均厚度上方；以及

所述周圍部分在大於所述第一平均厚度的所述封裝材料的一第二平均厚度上方。

14. 根據申請專利範圍第 11 項的半導體裝置，進一步包括一互連結構，其形成在所述半導體晶粒的一主動表面上方，與所述封裝材料的所述周圍部分共平面之所述半導體裝置的表面係與所述互連結構電氣隔離。

15. 根據申請專利範圍第 11 項的半導體裝置，進一步包括所述第一粗糙度是在 1.2 至 1.8 微米的範圍中。

## 八、圖式：

(如次頁)

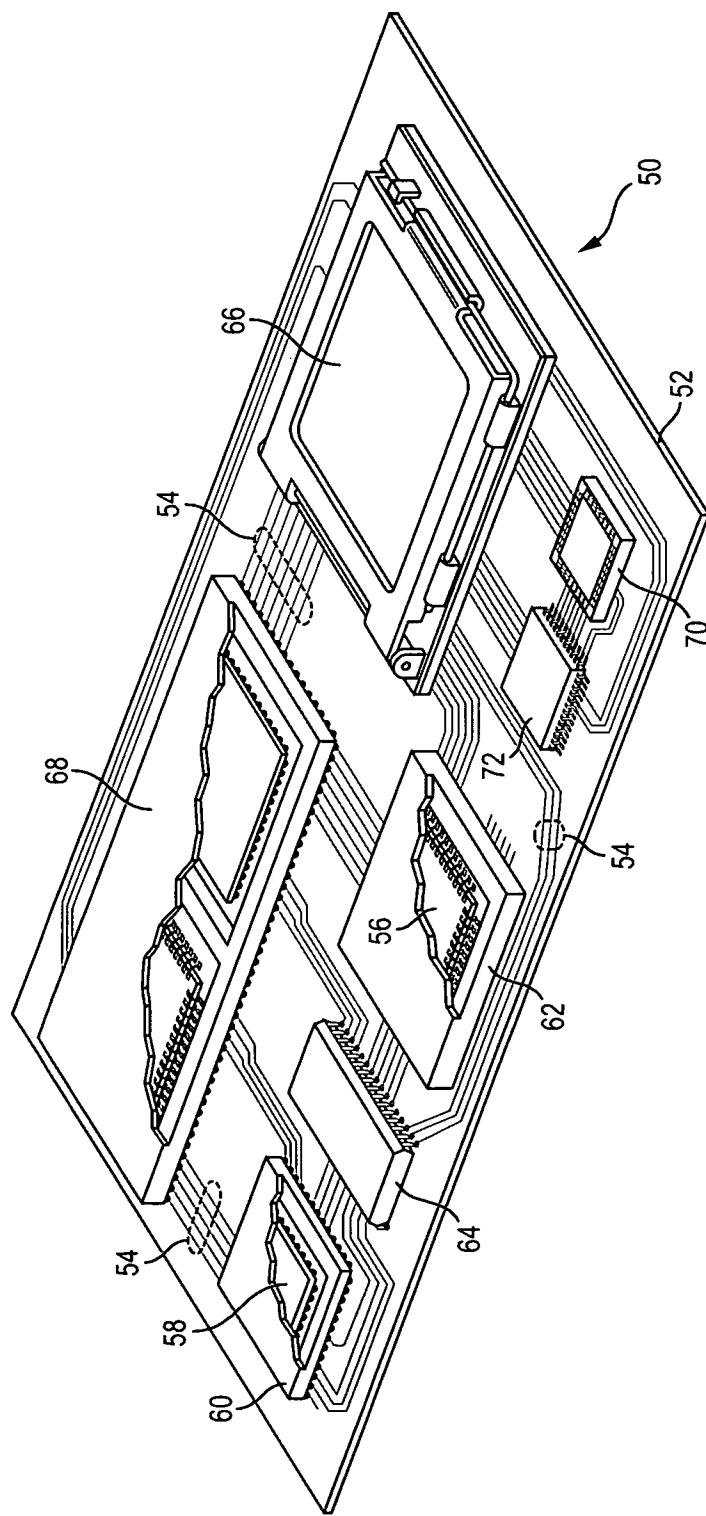


圖1

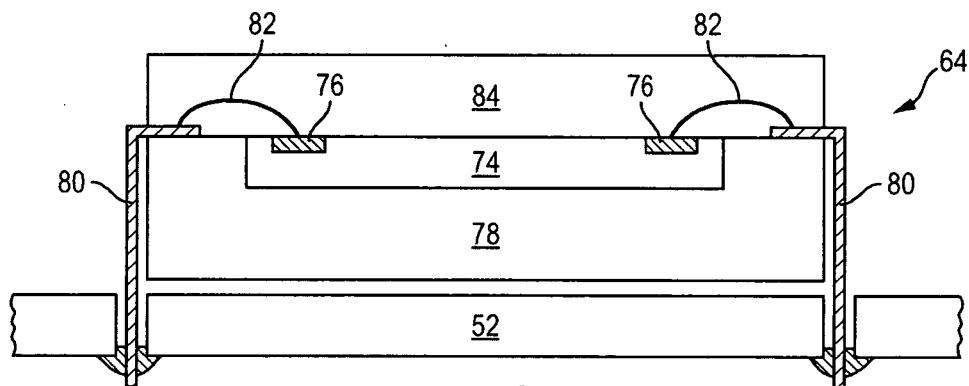


圖 2a

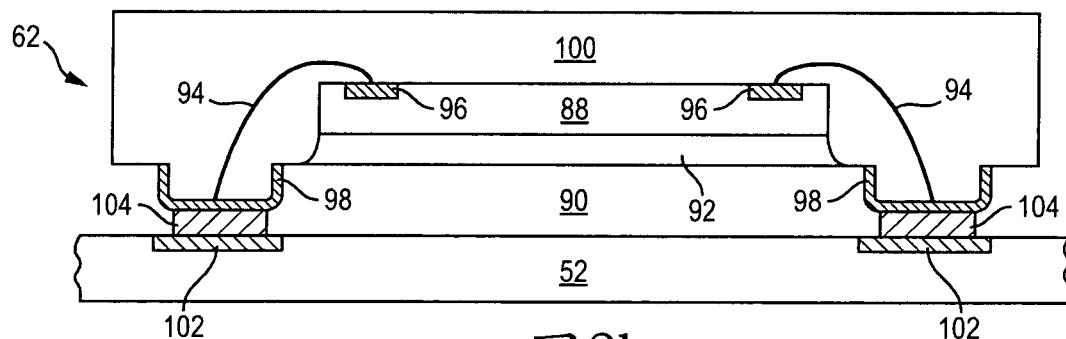


圖 2b

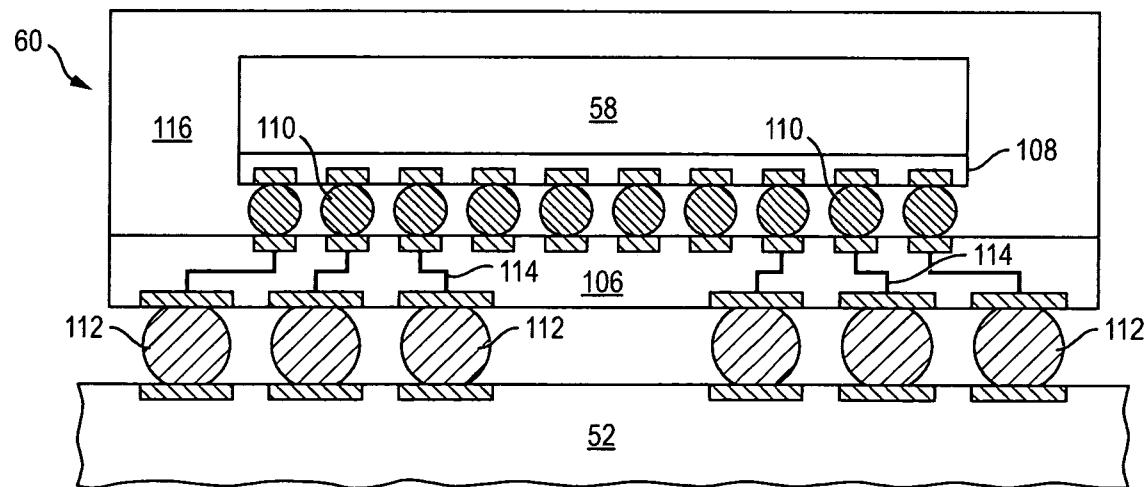


圖 2c

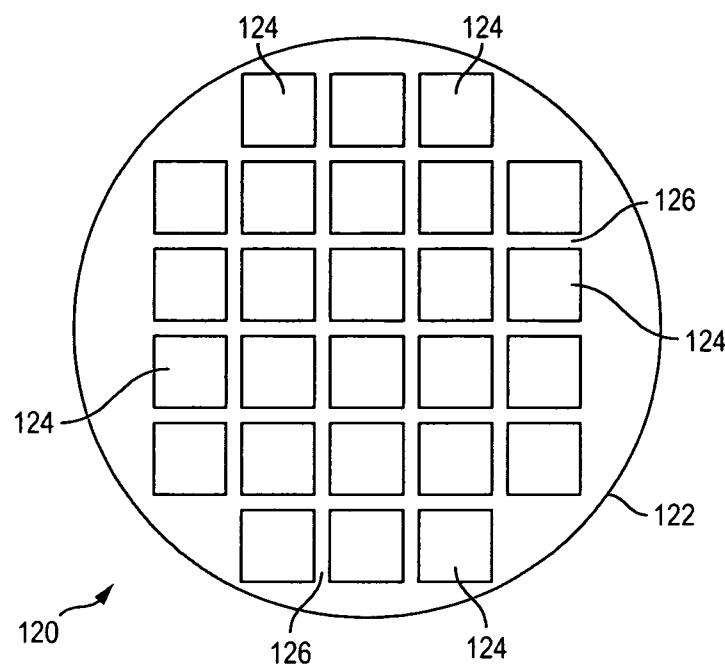


圖 3a

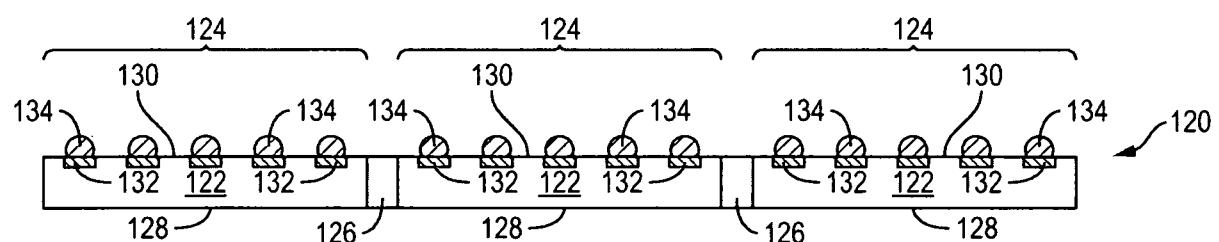


圖 3b

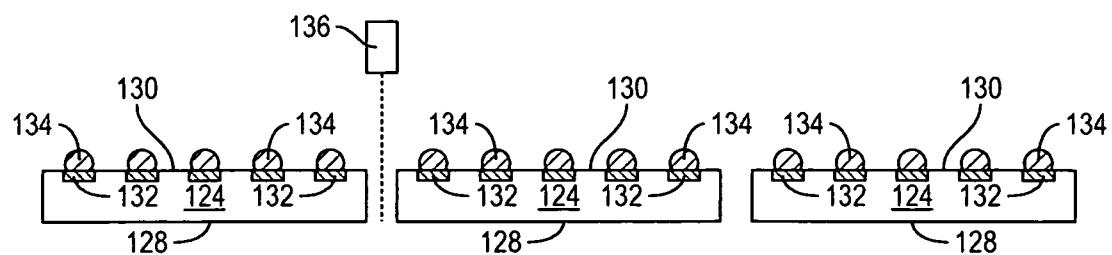


圖 3c

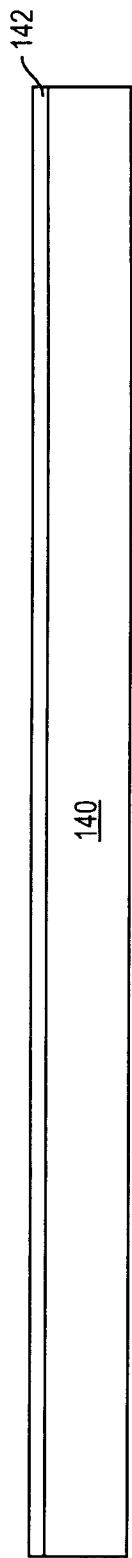


圖4a

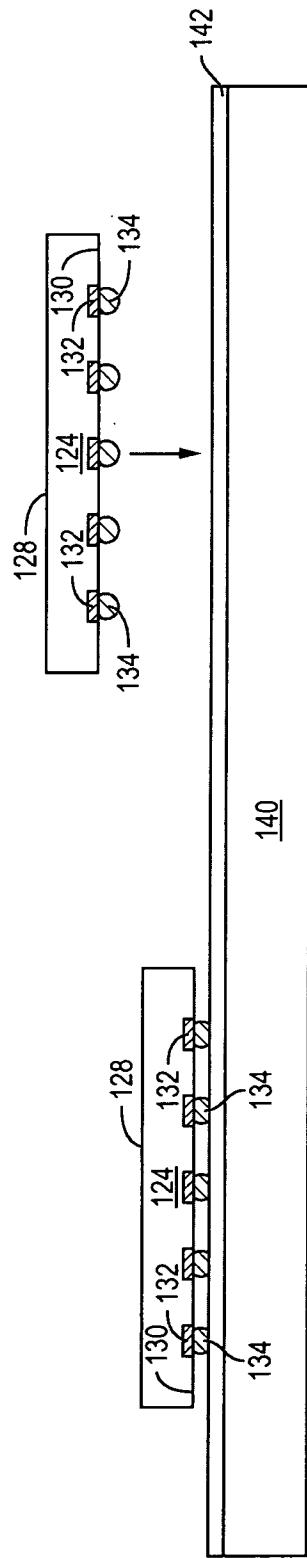
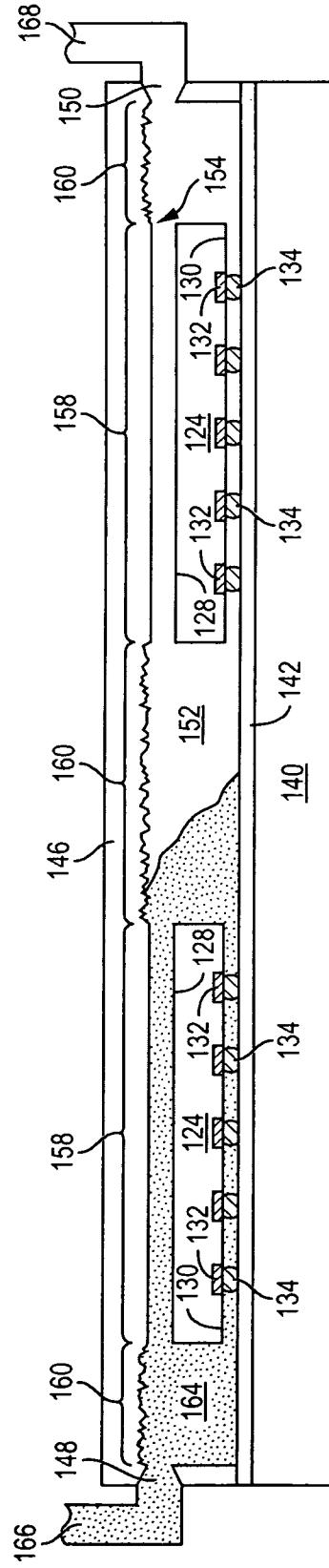


圖 4b



四

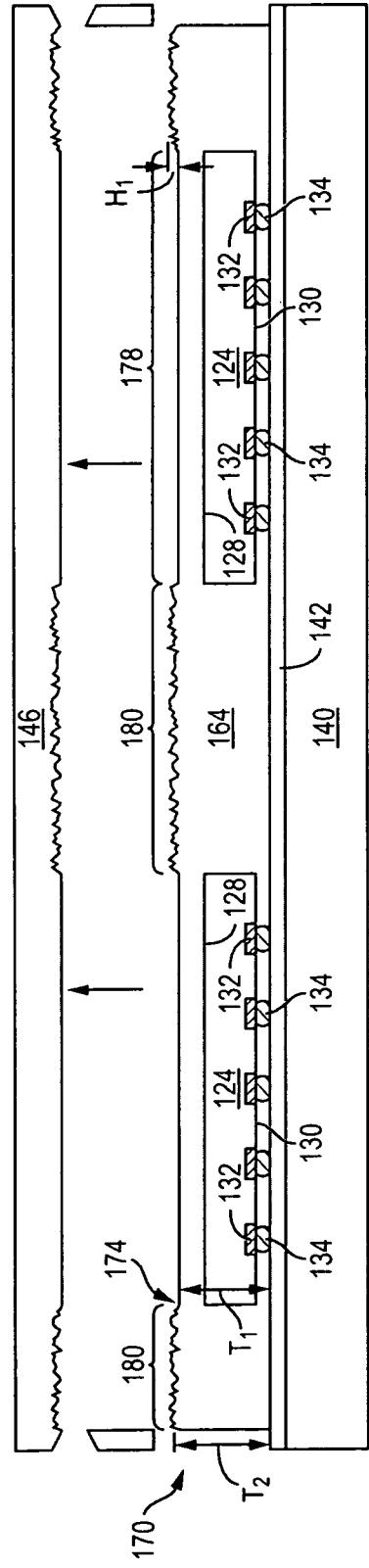


圖 4d

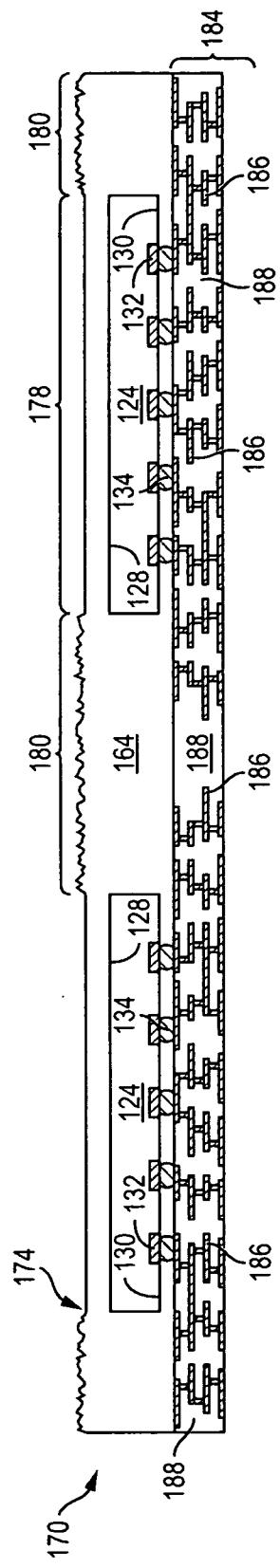


圖 4e

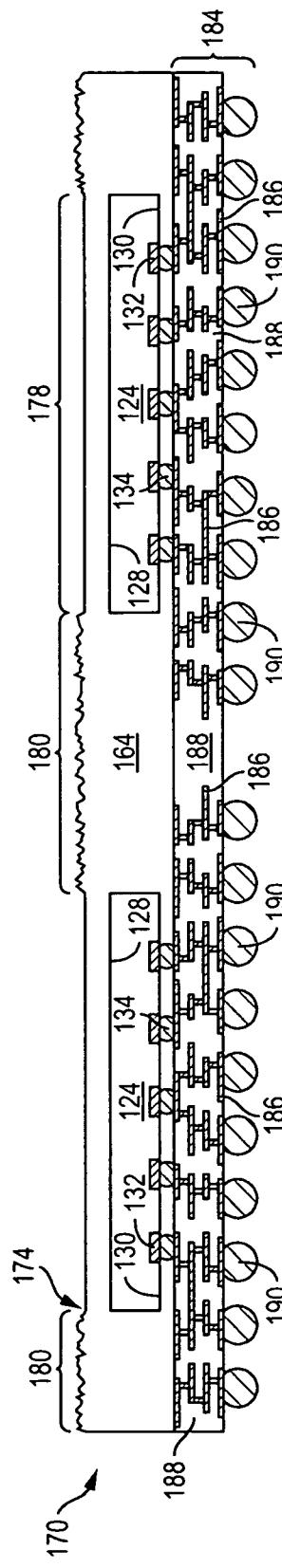
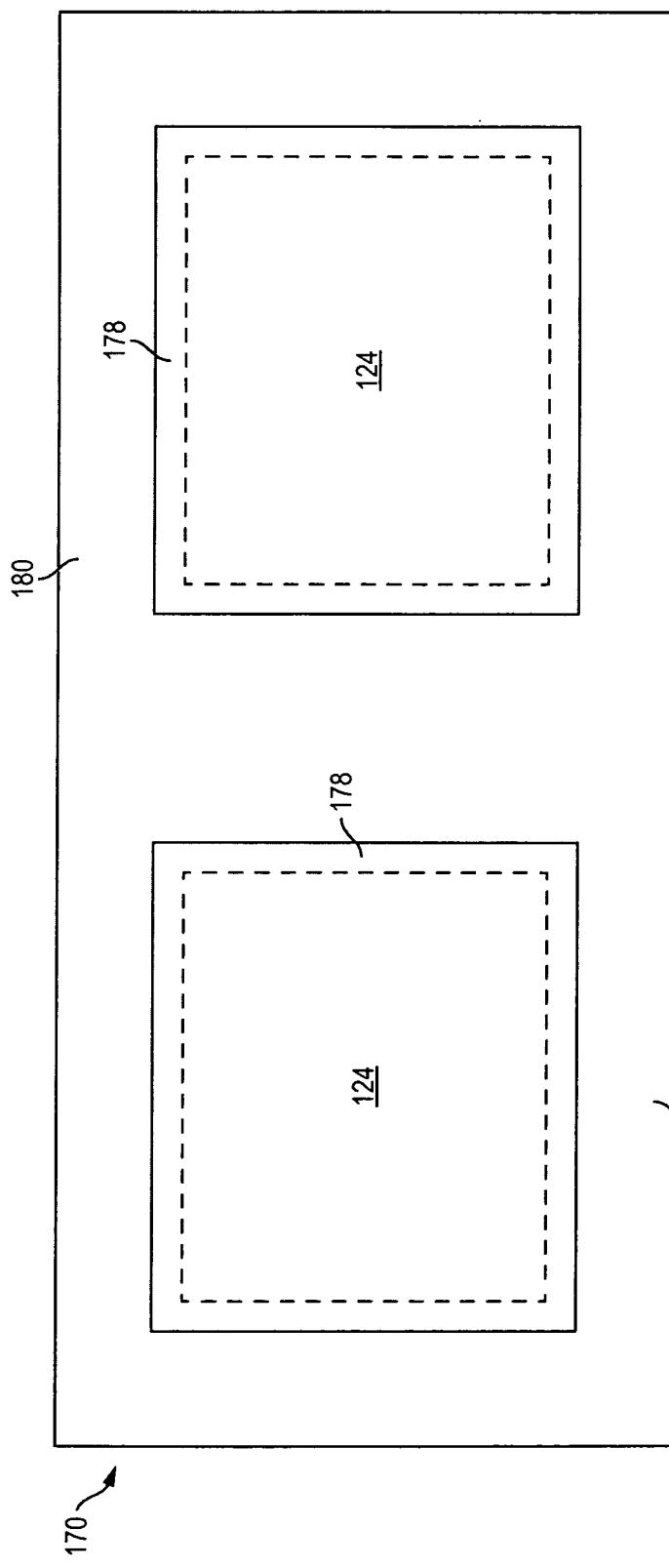
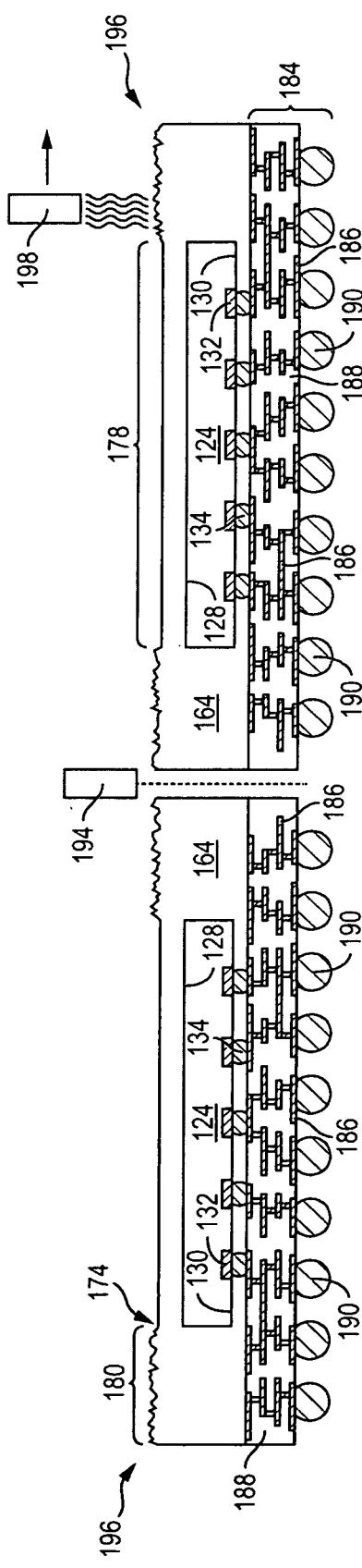


圖 4f



四圖



四百四

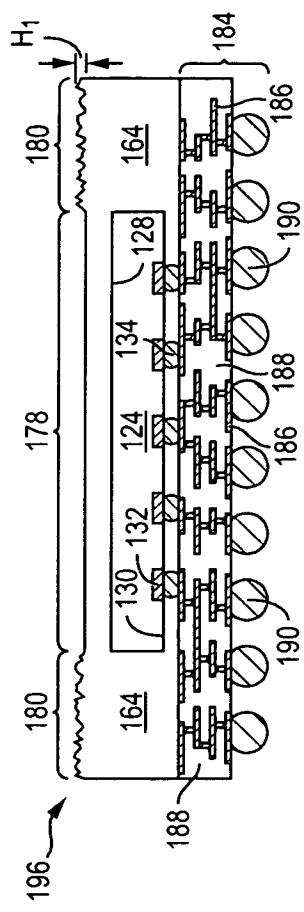


圖 5

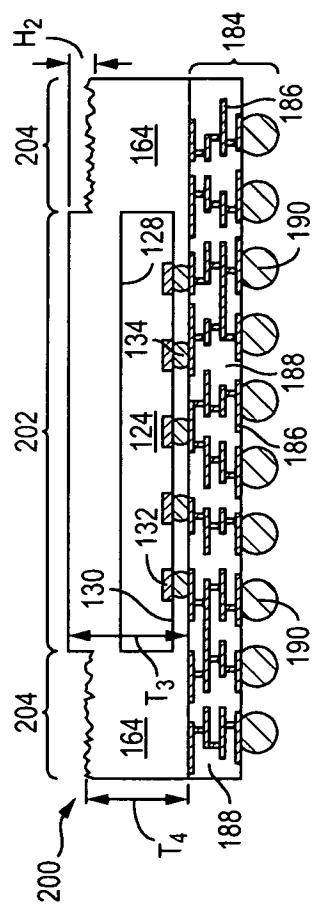


圖 6