

3919 Riverbend Terr, Fremont,, CA 94555, U.S.A.

2.美國・加州 94087・太陽谷・魚王 1 路 1319 號

1319 Kingfisher Wy #1, Sunnyvale, CA 94087, U.S.A.

3.美國・加州 95130・聖荷西・肯達路 3673 號

3673 Kendra Wy, San Jose, CA 95130, U.S.A.

4.美國・加州 95118・聖荷西・布洛桑大道 6277 號

6277 Blossom Ave., San Jose, CA 95118, U.S.A.

國 籍：(中文/英文) 1.2. 中國大陸/CN 3.4.美國/US

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利 ☒ V 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 美國 2002 年 12 月 02 日 10/307,667 （主張優先權）

2.

3.

4.

5.

☐ 主張國內優先權（專利法第二十五條之一）：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明

[發明所屬之技術領域]

本發明大體上係關於快閃記憶胞裝置(flash memory cell device)，詳言之，係關於雙位元電介質記憶胞結構於編程期間預先充電系統的改良，以減少短通道電流漏電。

[先前技術]

習知的 EEPROM(電可拭除可程式唯讀記憶體)型浮置閘極快閃記憶體使用記憶胞，其特徵為在結晶矽基板上設有隧道氧化物(SiO_2)、在隧道氧化物上之多晶矽浮置閘極、在浮置閘極上之間層電介質(通常為氧化物、氮化物、氧化物堆疊形式)、和在間層電介質上的控制閘極之垂直疊層。在基板內為位於垂直疊層下方的通道區，和在通道區之相對側的源極和汲極擴散區。

藉由從通道區感應熱電子注入至浮置閘極以於浮置閘極建立非揮發性負電荷，而編程該浮置閘極快閃記憶胞。藉由施加汲極至源極偏壓伴隨著高控制閘極正電壓，即可達成熱電子注入。閘極電壓將通道反向，而汲極至源極偏壓加速電子朝向汲極。加速之電子獲得 5.0 至 6.0 電子伏特(eV)之動能，足夠越過通道區和隧道氧化物之間 3.2 eV 之 Si-SiO₂ 能量障壁。當電子加速朝向汲極時，這些與晶格碰撞之電子在控制閘極電場之影響下再朝向 Si-SiO₂ 介面，並獲得足夠的能量越過障壁。

一旦編程了以後，於浮置閘極之負電荷橫越過半導體閘極並有增加 FET 臨限電壓之效果，該 FET 之特徵為具有

源極區、汲極區、通道區、和控制閘極。於“讀取”記憶胞期間，可由在預定的控制閘極電壓下偵測流經源極和汲極之間電流的大小，而偵測記憶胞之編程和未編程狀態。

最近已發展出一種電介質記憶胞結構。第 1 圖之剖視圖顯示習知的電介質記憶胞陣列 10a 至 10f。各電介質記憶胞之特徵為具有垂直堆疊之絕緣隧道層 18、電荷陷捕電介質層 22、絕緣上氧化物層 24、和位於在結晶矽基板 15 上之多晶矽控制閘極 20。各多晶矽控制閘極 20 可以是延伸過所有記憶胞 10a 至 10f 之多晶矽字線之一部分，而使得所有之控制閘極 20a 至 20f 為電耦接。

在基板 15 內是關聯於各記憶胞 10 之通道區 12，該通道區 12 位於垂直堆疊的下方。複數個位元線擴散區 26a 至 26g 之其中一個將各通道區 12 與鄰接的通道區 12 隔離。各位元線擴散區 26 形成各記憶胞 10 之源極區和汲極區。此矽通道區 12、隧道氧化物 18、氮化物 22、上氧化物 24、和多晶矽控制閘極 20 通常稱之為 SONOS 裝置。

與浮置閘極裝置相似，SONOS 記憶胞 10 由感應熱電子從通道區 12 注入到譬如氮化矽之電荷陷捕電介質層 22，予以編程，而在儲存於氮化物層 22 內之電荷陷捕層內建立非揮發性之負電荷。再者，可藉由施加汲極至源極偏壓伴隨著於控制閘極 20 之高正電壓，而達到熱電子注入之目的。於控制閘極 20 之高電壓將通道區 12 反向，而汲極至源極偏壓加速電子朝向汲極區。加速之電子獲得 5.0 至 6.0 電子伏特(eV)之動能，足夠越過通道區 12 和隧道氧化

物 18 之間 3.2eV 之 Si-SiO_2 能量障壁。當電子加速朝向汲極區時，這些與晶格碰撞之電子在控制閘極電場之影響下再朝向 Si-SiO_2 介面，並具有足夠的能量越過障壁。因為氮化物層儲存注入之電子於陷阱層(或為電介質層)內，故陷阱之電子保持位於靠近汲極區之汲極電荷儲存區內。例如，電荷能儲存於記憶胞 10b 之汲極位元儲存區 16b。位元線 26b 作用為源極區而位元線 26c 作用為汲極區。可以施加高電壓至通道區 12b 和汲極區 26c，而源極區 26b 接地。

同樣地，可施加源極至汲極偏壓伴隨著於控制閘極之高正電壓，以將熱電子注入靠近源極區之源極電荷儲存區內。例如，可使用將汲極區 26c 接地而於閘極 20b 和源極區 26b 表現高電壓，而將電子注入至源極位元電荷儲存區 14b。

以如此方式，SONOS 裝置可用來儲存二個位元之資料，一個在源極電荷儲存區 14(稱之為源極位元)，另一在汲極電荷儲存區 16(稱之為汲極位元)。

由於事實上儲存在儲存區 14 之電荷僅增加在儲存區 14 之下方之通道區 12 之部分臨限電壓，而儲存在儲存區 16 之電荷僅增加在儲存區 16 之下方之通道區 12 之部分臨限電壓，因此可藉由偵測儲存區 14 和儲存區 16 之間的通道區 12 之區域的通道反向，而獨立地讀取各源極位元和汲極位元。欲“讀取”汲極位元，可將汲極區接地而將電壓施加到源極區以及將稍為較高之電壓施加到閘極 20。以如

此方式，靠近源極/通道接合處之通道區 12 之部分將不會反向(因為相關於源極區電壓之閘極 20 電壓並不足夠來反向通道)，而流經汲極/通道接合處之電流可用來偵測由汲極位元之編程狀態所引起之臨限電壓的改變。

同樣地，欲“讀取”源極位元，可將源極區接地而將電壓施加到汲極區以及將稍為較高之電壓施加到閘極 20。以如此方式，靠近汲極/通道接合處之通道區 12 之部分將不會反向，而流經源極/通道接合處之電流可用來偵測由源極位元之編程狀態所引起之臨限電壓的改變。

一般之快閃記憶體陣列，當將一個所選擇之記憶胞編程時，列和行結構會產生問題。在行內之各記憶胞與行內之另一記憶胞分享共用之源極位元線和汲極位元線。以如此方式，若在行內之其它記憶胞當施加汲極至源極偏壓時，在源極位元線和汲極位元線之間漏電流，則此漏電流會減少該偏壓的大小，因而減少編程電荷，而如此會引起共用之相同位元線對未選擇之記憶胞之非計劃中的部分編程，並且會降低編程速度，以及增加編程電流之消耗。當記憶體陣列應用需要較小記憶胞結構時，較小記憶胞結構之短通道效應增加對於非選擇之記憶胞之衝穿(punch-through)現象的可能性，由此令人對於上述之漏電流問題倍感困擾。

因此需要有一種用於編程雙位元電介質記憶胞之改良之系統，該雙位元電介質記憶胞不會遭受到不利之短通道漏電。

[發明內容]

本發明之第一方面為提供一種雙位元電介質記憶胞之陣列，該雙位元電介質記憶胞之陣列包括編程系統，該編程系統減少編程電流漏電通過與選擇之記憶胞共用相同行(column)之非選擇之記憶胞。

此陣列包括：i)第一導電性半導體之第一位元線，形成用於陣列內一行記憶胞內各複數個記憶胞之源極區；和ii)第一導電性半導體之第二位元線，形成用於該行內各複數個記憶胞之汲極區；該第二位元線與該第一位元線由相反導電性之半導體隔開，該相反導電性之半導體形成用於該行內之各複數個記憶胞之通道區。

此陣列更進一步包括位於該行內複數個記憶胞之選擇之其中一個記憶胞之通道區上選擇之字線。該選擇之字線進一步形成用於與選擇之記憶胞在陣列的相同列內各複數個記憶胞之閘極。各複數條非選擇之字線，各平行於選擇之字線，且在該行內複數個非選擇之記憶胞之其中一個上形成閘極。

此陣列更進一步包括陣列控制電路，該陣列控制電路包括位元線控制電路、字線控制電路、和基板電位控制電路。於編程選擇之記憶胞之汲極充電陷捕區期間，字線控制電路可施加一正編程電壓於選擇之字線。與此配合者，位元線控制電路可施加：i)一正汲極電壓至汲極位元線；和ii)一正源極電壓至源極位元線，而正源極電壓小於正汲極電壓。

正源極電壓可以是在正汲極電壓之 $1/10$ 和正汲極電壓之 $3/10$ 之間。或者，指定一更窄範圍，正源極電壓可以是在正汲極電壓之 $1/10$ 和正汲極電壓之 $2/10$ 之間。

此陣列可進一步包括耦接於位元線控制電路和接地之間的電阻器。於此情況，位元線控制電路可耦接源極位元線至電阻器，因此該正源極電壓相等於經由電阻器之電壓增加。

配合施加正編程電壓於選擇之字線，字線控制電路可進一步適用於施加負偏壓於非選擇之字線。負偏壓可以是在 -0.1 伏特和 -2.0 伏特之間。或者，指定一更窄範圍，負偏壓可以是在 -0.5 伏特和 -1.0 伏特之間。

配合字線控制電路施加正編程電壓於選擇之字線，基板電壓控制電路可適用於施加負基板電壓於基板。負基板電壓可以是 -1.0 伏特和 -2.0 伏特之間。或者，指定一更窄範圍，負基板電壓可以是在 -0.5 伏特和 -1.0 伏特之間。

本發明之第二方面為提供一種將電荷編程入雙位元電介質記憶胞之陣列內所選擇的雙位元電介質記憶胞之電荷儲存區之方法。此陣列包括複數條平行位元線，形成用於各記憶胞之源極和汲極；以及複數條平行字線，形成用於各記憶胞之閘極，該方法包括：i) 施加正汲極電壓於第一位元線，該第一位元線與通道區形成汲極接合，該第一位元線位於通道區之右側；ii) 配合施加正汲極電壓於第一位元線，而施加正源極電壓於第二位元線，該第二位元線與選擇之記憶胞之通道區形成源極接合，該正源極電壓小於

該正汲極電壓，而通道區是在第二位元線的右側；和 iii) 配合施加正汲極電壓於該第一位元線，而施加正編程電壓於字線之選擇之其中一條字線，該選擇之其中一條字線係形成所選擇之記憶胞之閘極之字線。

正源極電壓可以是在 $1/10$ 之正汲極電壓和 $3/10$ 之正汲極電壓之間。或者，指定一更窄之範圍，正源極電壓可以是在 $1/10$ 之正汲極電壓和 $2/10$ 之正汲極電壓之間。

本方法可更進一步包括耦接一電阻器於源極位元線和接地之間。於此情況，正源極電壓相等於經由電阻器之電壓增加。

本方法可進一步包括配合該字線控制電路施加正編程電壓於選擇之字線，而施加負偏壓於非選擇之字線。負偏壓可以是在 -0.1 伏特和 -2.0 伏特之間。或者，指定一更窄之範圍，負偏壓可以是在 -0.5 伏特和 -1.0 伏特之間。

本方法可進一步包括配合該字線控制電路施加正編程電壓於選擇之字線，而施加負基板電壓於基板。負基板電壓可以是在 -0.1 伏特和 -2.0 伏特之間。或者，指定一更窄之範圍，負基板電壓可以是在 -0.5 伏特和 -1.0 伏特之間。

為了能更佳瞭解本發明，及本發明之其他和進一步之目的，可參考下列說明，並配合其附圖。本發明之範圍提出於所附申請專利範圍中。

[實施方式]

茲參照圖式而詳細說明本發明。該等圖式並未按照比例繪製，而一些細微結構之尺寸為了清楚顯示，而刻意畫

得比較大些。

第 2 圖為以區塊圖之形式顯示雙位元電介質記憶胞陣列 40 之實施範例。陣列 40 包括複數個雙位元電介質記憶胞 48、陣列控制電路 61、和製造於結晶半導體基板上之電流感測電路 66。雙位元電介質記憶胞 48 之陣列配置成矩陣格式，具有多晶矽字線 210 至 213 之水平列和交替位元線擴散區 200 至 205 之垂直行，和在基板 42 內之通道區 50。於一行內之各記憶胞 48 共用鄰接之相同的二條位元線，並與各記憶胞通道區形成接合。於一列內之各記憶胞 48 與於列中另一記憶胞共用相同的字線 210 至 213。

茲參照表示雙位元電介質記憶胞之列的橫剖面圖，該等雙位元電介質記憶胞共用字線 211，如第 3 圖配合第 2 圖所示。應瞭解到多晶矽字線 211 構造成在該列中各記憶胞 48 之控制閘極 60。位元線擴散區 200 至 206 與各通道區 50 有相反的半導體導電性，而使得位元線擴散區 200 至 206 形成於行中各記憶胞之源極區和汲極區。於 NMOS 裝置之範例中，通道區 50 譬如為輕微佈植了例如硼之電洞施體雜質的結晶矽之 p 型半導體，以及位元線擴散區 200 至 206 譬如為佈植了例如砷之電子施體雜質的結晶矽之 n 型半導體。

在通道區 50 上方的是可包括二氧化矽之第一絕緣障壁或隧道層 54。隧道層 54 之厚度可以在大約 50 至大約 150 埃($\text{\AA}$)之範圍內。具有更窄範圍的實施例包括隧道層 54 之厚度可以在大約 60 至大約 90 埃之範圍內。甚至更窄的範

圖，隧道層 54 之厚度可以在大約 70 至大約 80 埃之範圍內。

於隧道層 54 之上方的是一電荷陷捕層 56，該電荷陷捕層 56 包括源極電荷陷捕區或源極位元 62，和汲極電荷陷捕區或汲極位元 64，各用來儲存一中性電荷表示未規劃狀態或負電荷表示已規劃狀態。電荷陷捕層 56 可包括氮化物具有適當的電荷陷捕性質，並可具有 60 至 100 埃之厚度大小。於實施範例中，氮化物可選自由 Si_2N_4 、 Si_3N_4 和 SiO_xN_4 所組成之群中。

於電荷陷捕層 56 之上的為一上電介質層 58。上電介質層 58 可以是二氧化矽，或可以是具有電介質常數大於二氧化矽(例如，高 K 值材料)之電介質常數的材料。於較佳實施例中，高 K 值材料可以是選自 Al_2O_3 、 HfSi_xO_y 、 HfO_2 、 ZrF_2 和 ZrSi_xO_y 所組成之群中，及其他相似高電介質常數之材料。若上電介質層 58 為二氧化矽，則層 58 可以具有 60 至 100 埃之厚度大小。或者，若上述電介質層 58 為高電介質常數之材料，則其電厚度可以是在 60 埃至 100 埃之量級，而其實際厚度可以是在大約 70 至 130 埃之範圍內。具有更窄範圍的實施例包括上電介質層 58 具有厚度在大約 80 至大約 120 埃之範圍內，以及甚至更窄的範圍，上電介質層 58 之厚度大約為 90 至大約 100 埃。

於該上電介質層 58 之上的為字線 211，該字線 211 在列內各記憶胞上形成閘極 60。於實施範例中，閘極 60 可包括具有厚度 4,000 埃量級之多晶矽。字線 211 耦接到字線控制電路 46。

陣列控制電路 61 包括字線控制電路 46、位元線控制電路 44、基板電壓控制電路 45、分壓器 65、耦接之正操作電源(V_c)70、耦接之負操作電源($-V_c$)71、和耦接至地 68。於操作上，陣列控制電路操作以選擇性地耦接各字線 210 至 213、各位元線 200 至 206、和基板 42 至由分壓器 65 所供應之電壓，或至接地(或將該字線 210 至 213 或位元線 200 至 206 與所有之電壓源隔離或接地，俾使其電位僅與陣列 40 之其他的構造相互電作用時才有效)。耦接係以在矩陣 40 內能予拭除、選擇性地編程、和選擇性地讀取各源極電荷陷捕區 62 和各汲極電荷陷捕區 64 之方式進行。陣列控制電路亦操作以耦接選擇之位元線至電流感測器 66，而使得可測量選擇之位元線上之電流，以指示行記憶胞內之記憶胞之選擇之源極電荷陷捕區 62 或汲極電荷陷捕區 64 之編程狀態，於該行記憶胞中此種選擇之位元線為源極或汲極其中之一。

電流感測器 66 可使用已知的電路來感測所選擇位元線上之電流，該選擇之位元線藉由位元線控制電路 44 而耦接到電流感測器 66。當可應用的電位係藉由陣列控制電路 61 而耦接到可應用的字線和位元線，以用來讀取選擇之電荷陷捕區時，感測之電流表示源極電荷陷捕區 62 或汲極電荷陷捕區 64 之所選擇之其中一個之編程的狀態，此將於下文中作更詳細之說明。

陣列控制電路

簡單地參照第 4 圖並配合著第 2 圖和第 3 圖所示，陣

列控制電路 61 操作於三個狀態，於編程狀態 76 電荷係選擇地儲存於所選擇之其中一個記憶胞 48 之源極電荷陷捕區 62 或汲極電荷陷捕區 64；於讀取狀態 78 由選擇之其中一個記憶胞 48 偵測其源極電荷陷捕區 62 或汲極電荷陷捕區 64，以產生原來儲存於此電荷陷捕區中的資料；以及於拭除狀態 74，即於再編程編程狀態 76 之前，拭除儲存於一個或多個記憶胞中之電荷陷捕區 62 和 64 中之電荷。

編程狀態

當於編程狀態 76，藉由使用熱電子注入技術將電子注入於汲極電荷陷捕區 64 而編程汲極電荷陷捕區 64。詳言之，當施加高電壓至控制閘極 60 時，陣列控制電路 61 耦接位元線 200 至 206、字線 210 至 213、和基板 42 至各種電位(例如，由分壓器 65 供電和接地 68)，以供應高的汲極至源極偏壓。例如，參考選擇之其中一個記憶胞 48(例如，選擇之記憶胞 49)，可藉由位元線控制電路 44 將表示選擇之記憶胞 49 之源極區的位元線 201 耦接至地 68，和由位元線控制電路 44 將表示選擇之記憶胞 49 之汲極區的位元線 202 耦接至從大約 5 伏特之分壓器 65 來之編程電壓，而完成此工作。

同時，依照第 5 圖之表而操作之字線控制電路 46，將表示控制閘極 60 之選擇之字線 211 耦接至從約 10 伏特之分壓器 65 來之選擇之字線編程電壓 220，並可將非選擇之字線(例如，非為選擇之字線 211 之各其他字線)耦接至小的負偏壓 221，以防止衝穿漏電流經過與選擇之記憶胞 49b

共用相同之行之非選擇之記憶胞。於控制閘極 60 之電壓將通道區 50b 反向，而同時高汲極至源極偏壓吸引並加速電子從源極區 201 進入通道區 50 朝向汲極區 202 移動。

當電子加速朝向汲極區 202 時，電子之 4.5eV 至 5eV 動能增益足夠克服於通道區 50/隧道層 54b 界面之 3.1eV 至 3.5eV 能量障壁，由控制閘極 60 上之高電壓所引起之電場將再引導電子朝向汲極電荷陷捕區 64 移動。這些跨過界面進入汲極電荷陷捕區 64 之電子保持於陷捕的電荷陷捕層 56b 內，以備後來讀取之用。

同樣地，藉由將熱電子注入源極電荷陷捕區 62 而編程源極電荷陷捕區 62。詳言之，當施加高電壓至控制閘極 60 時，陣列控制電路 61 將位元線 200 耦接至 206、將字線 210 耦接至 213、和將基板 42 耦接至各種電位(例如，由分壓器 65 供電和接地 68)，以便供應高的源極至汲極偏壓。例如，再參考選擇之記憶胞 49，可藉由位元線控制電路 44 將表示選擇之記憶胞 49 之汲極區的位元線 202 耦接至地 68，和將表示選擇之記憶胞 49 之源極區的位元線 201 耦接至從大約 5 伏特之分壓器 65 來之編程電壓，而完成此工作。同樣地，字線控制電路 46，將表示控制閘極 60 之選擇之字線 211 耦接至從約 10 伏特之分壓器 65 來之選擇之字線編程電壓，並可將非選擇之字線(例如，非為選擇之字線 211 之各其他字線)耦接至小的負偏壓，以防止衝穿漏電流流經與選擇之記憶胞 49 共用相同之行之非選擇之記憶胞。於控制閘極 60 之電壓將通道區 50 反向，此時高源極

至汲極偏壓吸引並加速電子從汲極區 202 進入通道區 50 朝向源極區 201。

再者，當電子加速朝向源極區 201 時，電子之 4.5eV 至 5eV 動能增益足夠克服於通道區 50/隧道層 54 界面之 3.1eV 至 3.5eV 能量障壁，由控制閘極 60 上之高電壓所引起之電場將再引導電子朝向源極電荷陷捕區 62 移動。

如上所討論的，在行內之其他非選擇之記憶胞(例如，共用相同位元線 201 和 202 之記憶胞)於編程期間漏電流，則漏電流會減小編程偏壓的量級而降低了編程偏壓量級的準確性，造成非選擇記憶胞之未預定之部分編程，如此降低了編程速度，並增加編程電流。

茲參照第 6 圖，表示了編程系統之三個實施例。各實施例提供減少漏電流經過與選擇之記憶胞 49 共用相同之行之非選擇之記憶胞 48。雖然第 6 圖之表表示了用來編程汲極電荷儲存區 64(第 3 圖中)之三個實施例，但是應瞭解到可藉由互換參考之源極位元線和汲極位元線，此同一系統可用來編程源極電荷儲存區 62。

第一實施例 101 表示於編程期間施加小的正源極編程偏壓至源極位元線。詳言之，再參照選擇之記憶胞 49，位元線控制電路 44 將表示選擇之記憶胞 49 之源極區的位元線 201 耦接至從分壓器來之小的正源極編程偏壓，並將表示選擇之記憶胞 49 之汲極區的位元線 202 耦接至從大約 5 伏特之分壓器 65 來之編程電壓。基板 42 耦接至地 68。同時，字線控制電路 46 將表示控制閘極 60 之選擇的字線 211

耦接至從約 10 伏特之分壓器 65 來之選擇的字線編程電壓，並將非選擇之字線(例如，非為選擇之字線 211 之各其他字線)耦接至小的負偏壓。

小的正源極編程偏壓要小於耦接於汲極區的編程偏壓。詳言之，正源極編程偏壓可以是施加到汲極區的編程偏壓的 $1/10$ 至 $2/10$ 之間。

簡單地參照第 7 圖並配合著第 2 圖所示，代之以該位元線控制電路 44 將源極區耦接至從分壓器 65 來之小的正編程偏壓，該位元線控制電路 44 可包括電阻器 105，該電阻器 105 耦接於接地 68 與表示源極區之位元線 201 之間。如此，當編程電流流經源極區 201 和接地 68 之間時，電阻器操作為一分壓器，具有源極區 201 之正電位相等於跨越電阻器 105 之電壓增加。

茲參照第 6 圖並配合著第 2 圖和第 3 圖所示，第二實施例表示於編程期間基板控制電路 45 施加小的基板編程偏壓至基板 42。詳言之，再參考選擇之記憶胞 49，位元線控制電路 44 將表示選擇之記憶胞 49 之源極區之位元線 201 耦接至地 68，和將表示選擇之記憶胞 49 之汲極區之位元線 202 耦接至從大約 5 伏特之分壓器 65 來之編程電壓。同時，基板控制電路 45 將基板 42 耦接至小基板編程偏壓。字線控制電路 46，將表示控制閘極 60 之選擇之字線 211 耦接至從約 10 伏特之分壓器 65 來之選擇之字線編程電壓，並可將非選擇之字線(例如，非為選擇之字線 211 之各其他字線)耦接至小的負偏壓。

小基板編程偏壓可以是於-0.1 伏特和-2.0 伏特之間的負電壓。對於更窄的範圍，小基板編程偏壓可以是在-0.5 伏特和-1.0 伏特之間。

第三實施例表示第一實施例和第二實施例之綜合，而使得：於編程期間基板控制電路 45 施加小的基板編程偏壓至基板 42，和位元線控制電路 44 於編程期間將表示選擇之記憶胞 49 之源極區的位元線 201 耦接至從分壓器來之小的正源極編程偏壓。該基板編程偏壓和小的正源極編程偏壓可以是在關於第一實施例和第二實施例討論之範圍內。再者，可以使用第 7 圖之電路來施加正源極編程偏壓。

拭除狀態

當於拭除狀態 74，陣列控制電路可耦接可應用之位元線 200 至 206 和字線 210 至 213 至可應用之電位，而使得可藉由熱電洞注入技術或將從電荷陷捕層 56 來之電子穿隧入閘極 60 或至基板，而拭除多個記憶胞之源極電荷陷捕區 62 和汲極電荷陷捕區 64。此二種技術為習知技術。

讀取狀態

當於讀取狀態 78，偵測於選擇之源極電荷陷捕區 62 或汲極電荷陷捕區 64 之表現的陷捕電子(例如，負電荷表示編程狀態)。已知在源極電荷陷捕區 62 或汲極電荷陷捕區 64 內之表現的陷捕電子影響了此等電荷陷捕區下方通道區域 50 內之累積電荷。於此種情況，源極電荷陷捕區 62 或汲極電荷陷捕區 64 內之表現的陷捕電子影響了場效電晶體(FET)之門限電壓，該場效電晶體之特徵為具有控制

閘極 60、作用為源極區之位元線擴散區 200 至 206、和作用為汲極區之位元線擴散區 200 至 206。因此，可以“讀取”雙位元記憶胞 48 之各位元，或可由操作 FET 而偵測汲極電荷陷捕區 64。

尤其是，可以藉由施加正電壓至控制閘極 60 和較少之正電壓至作用為汲極區之位元線 202，以及將作用為源極區之位元線 201 耦接至地 68，而偵測儲存在源極電荷陷捕區 62 內表現的電子。然後於作用為源極區之位元線 201 或於作用為汲極區之位元線 202 測量電流。若在源極電荷陷捕區 62 內有陷捕的電子，而假定有適當的電壓和臨限值可用於測量(和假定沒有從與選擇之記憶胞 49 同一列內之鄰接的記憶胞 48 來之漏電流，和假定沒有從與選擇之記憶胞 49 同一行內之記憶胞 48 來之漏電流)，則於位元線 202 包括汲極區並未測量到可測量之電流。否則，若源極電荷陷捕區 62 為電中性(例如，沒有陷捕的電子)則有可測量之電流流進作用為汲極區之位元線。同樣地，可用相同之方法，偵測儲存於汲極電荷陷捕區 64 內之表現的陷捕電子，和僅僅反向作用為源極區之位元線和作用為汲極區之位元線。

已知從與選擇之記憶胞共用同一行之非選擇之記憶胞來之漏電流會影響讀取之正確性，因此陣列控制電路 61 可施加偏壓於非選擇之字線和/或形成行之源極區之位元線，以防止此種漏電。

第 5 圖之表表示依照本發明之字線控制電路 46 施加偏

壓於讀取選擇之記憶胞之範例操作。茲參照第 5 圖配合著第 3 圖，當讀取選擇之記憶胞 49 之源極電荷陷捕區 62 時，字線控制電路 46 將選擇之字線 211 耦接至從分壓器 65 來之正讀取電壓 49 於 10 伏特大小，並將非選擇之字線(例如，除了所選擇之字線以外的所有字線)耦接到從分壓器 65 來之讀取偏壓 96，以便防止衝穿漏電經過與選擇之記憶胞共用同一行之記憶胞。讀取偏壓 96 可以是負電壓。詳言之，讀取偏壓 96 可以是 -0.1 伏特至 -2.0 伏特之負電壓；或者是更窄的範圍 -0.1 伏特至 -0.5 伏特之負電壓；或更窄的範圍 -0.1 伏特至 -0.2 伏特之負電壓。

第 8 圖之表表示依照本發明之位元線控制電路 44 施加電壓於讀取選擇之記憶胞之範例操作。茲參照第 8 圖之實施例配合著第 2 圖，當讀取選擇之記憶胞例如選擇之記憶胞 49 之源極電荷陷捕區時，位元線控制電路 44 將表示選擇之記憶胞 49 之源極區之位元線 201 耦接至從分壓器 65 來之源極電壓，並將表示選擇之記憶胞 49 之汲極區之位元線 202 耦接至從分壓器 65 來之正汲極電壓和耦接至電流感測器電路 66。該汲極電壓可以小於或等於施加至選擇之字線之讀取電壓 94。該源極電壓可以接地或可以是 0.0 伏特至 1.0 伏特之間的小正電壓，以便減少衝穿漏電流流經與選擇之記憶胞 49 共用相同之行之非選擇之記憶胞 48。

已知從與選擇之記憶胞相同之列之鄰近的記憶胞來之漏電流會影響正確之讀取，位元線控制電路 44 可再充電在

汲極位元線右邊指示為號碼 203 的次一條位元線，使具有小的正電壓，以防止如此漏電。

茲參照第 8 圖之實施例 80，或可取而代之，當僅由與位元線 203 之相對側各通道區 50 之接面所影響時，位元線控制電路 44 可隔離位元線 203 而使得其電位可浮置，並可將該次一條位元線 203 右邊的位元線 204 耦接到從分壓器 65 來之預先充電電壓，俾使得能中性偏壓控制閘極 60 和正偏壓對於該源極位元線。可設想浮置位元線和預先充電位元線之各種其他組合，以便減少漏電流經過與選擇之記憶胞共用相同之列之記憶胞。

綜括上列說明，用來編程本發明之雙位元電介值記憶胞之電荷陷捕區之方法由於減少了流經與選擇之記憶胞共用相同之行之其他記憶胞之漏電流，故可使用較少之編程電流，即提供了更快速和更正確的編程。雖然本發明已用相關某些較佳實施例作了顯示和說明，但是很顯然的熟悉此項技藝之其他人士於閱讀並瞭解本說明書後，將可作一些等效的替換和修飾。例如，雖然所示之記憶胞陣列為形成於矽基板上的實質平面結構，但是應該瞭解到本發明之教示可應用於平面、鰭狀形成、和其他可適合形成於半導體基板上之電介質記憶胞結構，該半導體基板可包括例如：塊體矽半導體基板、絕緣層上覆矽(SOI)半導體基板、藍寶石(sapphire)上覆矽(SOS)半導體基板、和於此技藝中已知之形成於其他材料上的半導體基板。本發明將包括所有此等等效替換和修飾，且僅受下列申請專利範圍的限制。

[圖式簡單說明]

第 1 圖為先前技術已知的電介質記憶體陣列之橫剖面示意圖；

第 2 圖為依照本發明之一實施例電介質記憶體陣列之區塊示意圖；

第 3 圖為第 2 圖之電介質記憶體陣列之橫剖面示意圖；

第 4 圖為表示陣列控制電路之範例操作之狀態機圖；

第 5 圖為依照本發明中字線控制電路之表示一範例操作實施例之表；

第 6 圖為依照本發明中用於編程電介質記憶體陣列之陣列控制電路之表示範例操作實施例之表；

第 7 圖為依照本發明之一個實施例表示用來施行源極區正電位編程偏壓之電路的電路圖；以及

第 8 圖為依照本發明中用於讀取電介質記憶體陣列之陣列控制電路之表示範例操作實施例之表。

[主要元件符號說明]

10、10a 至 10f 電介質記憶體陣列(記憶體)

12、12a 至 12f 通道區

14、14a 至 14f 源極位元儲存區

15 基板

16、16a 至 16f 汲極位元儲存區

18 絕緣隧道層(隧道氧化物)

20、20a 至 20f 多晶矽控制閘極

22、22a 至 22f 電荷陷捕電介質層(氮化物)

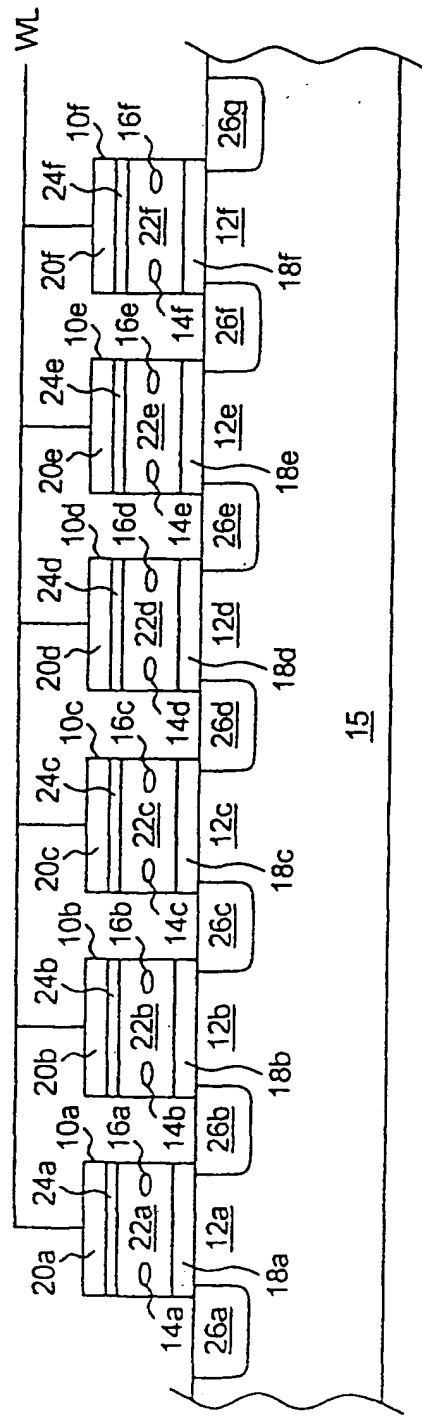
24	上氧化物層		
26、26a 至 26g	位元線擴散區(位元線、汲極區、源極區)		
40	雙位元電介質記憶胞陣列		
42	基板	44	位元線控制電路
45	基板電壓控制電路	46	字線控制電路
48	雙位元電介質記憶胞	49	記憶胞
50	通道區	54	絕緣障壁(隧道層)
56	電荷陷捕層	58	上電介質層
60	控制閘極	61	陣列控制電路
62	源極電荷陷捕區(源極位元)		
64	汲極電荷陷捕區(汲極位元)		
65	分壓器	66	電流感測電路
68	接地	70	正操作電源(Vc)
71	負操作電源(-Vc)	74	拭除狀態
76	編程狀態	78	讀取狀態
80	實施例	94、96	讀取電壓
101	實施例	105	電阻器
200 至 206	位元線	201	源極區
202	汲極區	203、204	位元線
210 至 213	字線	220	字線編程電壓
221	負偏壓		

伍、中文發明摘要：

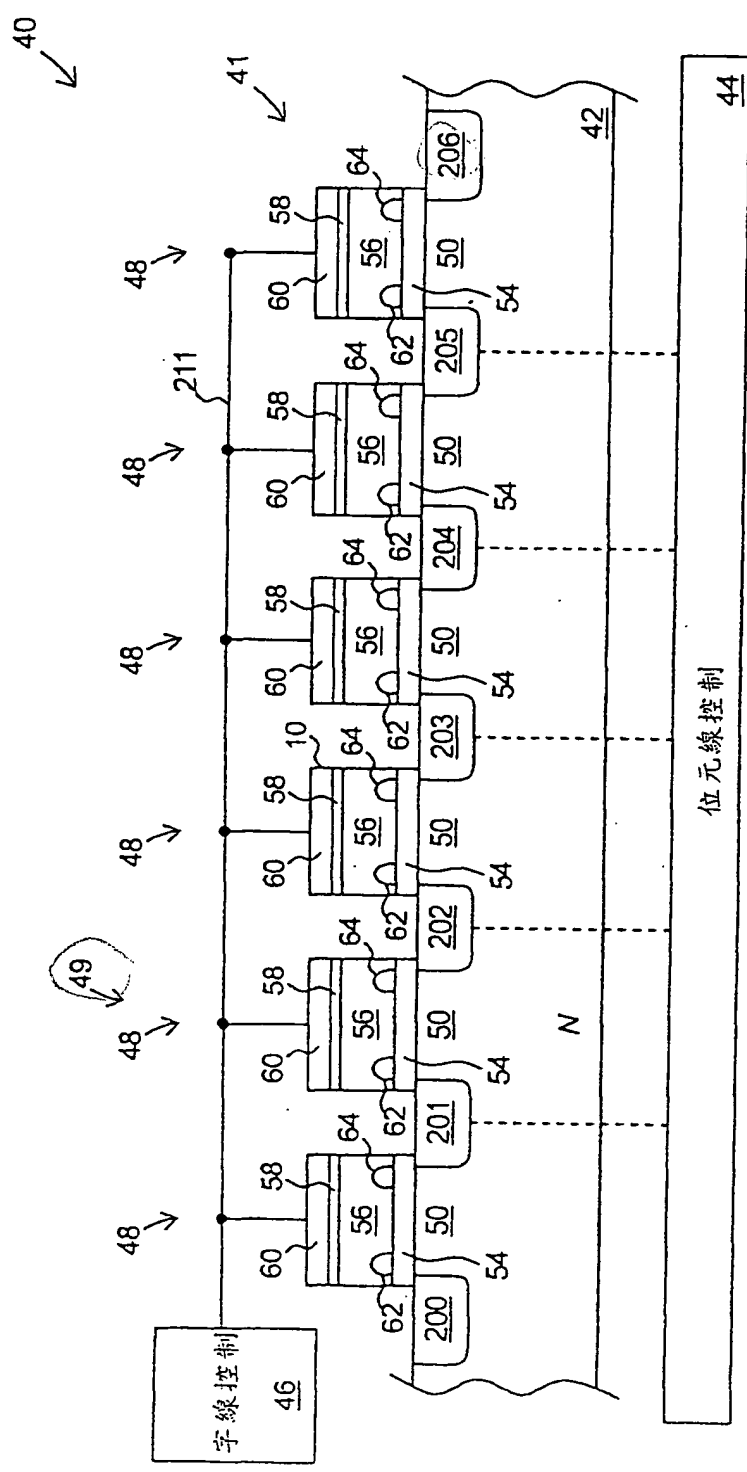
雙位元電介質記憶胞(48)之陣列(40)包含有複數條位元線。第一位元線(201)形成用於陣列(40)中一行記憶胞內之各複數個記憶胞(48)之源極區。第二位元線(202)形成用於該行內之各複數個記憶胞(48)之汲極區。相反導電性之通道區(50)位於第一位元線(201)和第二位元線(202)之間，並與該第一位元線和第二位元線各形成接合(junction)。選擇之字線(211)位於通道區(50)上方，並在同一列內之各複數個記憶胞(48)上形成閘極(60)。複數條非選擇之字線(210、212)各平行於選擇之字線(211)，並各在該行內複數個記憶胞(48)之其中一個並非為該複數個記憶胞之選擇之其中一個記憶胞(49)的上方形形成閘極(60)。字線控制電路(46)施加正編程電壓(220)至選擇的字線(211)，而位元線控制電路(44)同時施加正汲極電壓至汲極位元線(202)和施加正源極電壓至源極位元線(201)，該正源極電壓小於該正汲極電壓。

陸、英文發明摘要：

An array 40 of dual bit dielectric memory cells 48 comprises a plurality of bit lines. A first bit line 201 forms a source region for each of a plurality of memory cells 48 within a column of memory cells within the array 40. A second bit line 202 forms a drain region for each of the plurality of memory cells 48 within the column. A channel region 50 of the opposite conductivity is positioned between the first bit line 201 and the second bit line 202 and forms a junction with each. A selected word line 211 is positioned over the channel region 50 and forms a gate 60 over each for a plurality of memory cells 48 within a same row. A plurality of non-selected word lines 210, 212, are each parallel to the selected word line 211 and each form a gate 60 over one of the plurality of memory cells 48 within the column other than the selected one of the plurality of memory cells 49. A word line control circuit 46 applies a positive programming voltage 220 to the selected word line 211 while a bit line control circuit 44 simultaneously applies a positive drain voltage to the drain bit line 202 and a positive source voltage to the source bit line 201, the positive source voltage being less than the positive drain voltage.



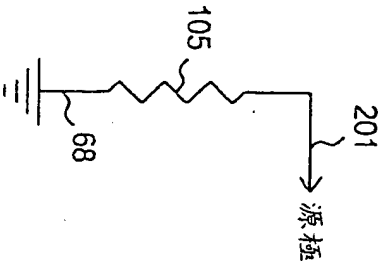
第1圖
(先前技術)



第3圖

101			103		104	
1			2		3	
源極位元線	源極編程偏壓		接地		源極編程偏壓	
汲極位元線	編程電壓		編程電壓		編程電壓	
基板	接地		基板編程偏壓		基板編程偏壓	

第6圖



第7圖

	79	80
源極位元線 201	源極	源極
汲極位元線 202	汲極	汲極
203	預先充電	浮置
204	—	預先充電

第8圖

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：92124292

※申請日期：92.9.3

※IPC 分類：G11C 16/0

壹、發明名稱：(中文/英文)

非揮發性記憶胞之編程用改良系統

IMPROVED SYSTEM FOR PROGRAMMING A NON-VOLATILE
MEMORY CELL

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

史班遜有限公司

SPANSION LLC

代表人：(中文/英文) 米連達 羅伯特 C / MELENDRES, ROBERT C.

住居所或營業所地址：(中文/英文)

美國·加州 94088-3453·桑尼威市·郵政信箱 3453 號·德吉尼大道 915 號

915 DeGuigne Drive, P.O. Box 3453, Sunnyvale, California

94088-3453, U.S.A.

國籍：(中文/英文) 美國 / U.S.A.

參、發明人：(共 4 人)

姓名：(中文/英文)

1. 何誼 / HE, YI

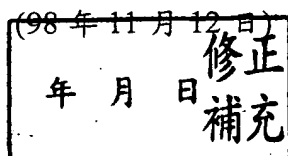
2. 劉克政 / LIU, ZHIZHENG

3. 蘭道夫 馬克 W / RANDOLPH, MARK W.

4. 哈達 尚米 S / HADDAD, SAMEER S.

住居所地址：(中文/英文)

1. 美國·加州 94555·佛蒙特·河帶梯 3919 號



拾、申請專利範圍：

1. 一種雙位元電介質記憶胞(48)之陣列(40)，該陣列包括：

第一導電性半導體之第一位元線(201)，該第一位元線(201)形成該陣列(40)內一行記憶胞內各複數個記憶胞(48)之源極區；

第一導電性半導體之第二位元線(202)，該第二位元線(202)形成該行內各該等複數個記憶胞(48)之汲極區，該第二位元線(202)與該第一位元線(201)以形成該行內各該等複數個記憶胞(48)之通道區(50)之相反導電性之半導體分隔開；

一選擇之字線(211)，位於該行內該等複數個記憶胞之其中一個選擇之記憶胞(49)之該通道區(50)上，並進一步形成與該選擇之記憶胞(49)在該陣列之相同列內各複數個記憶胞(48)之閘極(60)；

複數條非選擇之字線(210)、(212)，各平行於該選擇之字線(211)且各在該行內並非為該等複數個記憶胞之該其中一個選擇之記憶胞(49)的該等複數個記憶胞(48)之其中一個記憶胞上形成閘極(60)；

一字線控制電路(46)，用來：

施加正編程電壓(220)至該選擇之字線(211)；

一位元線控制電路(44)，用來配合著該字線控制電路(46)施加該正編程電壓(220)至該選擇之字線(211)，而施加：

一正汲極電壓至該汲極位元線(202)；以及

第 92124292 號專利申請案
(98 年 11 月 12 日)

一正源極電壓至該源極位元線(201)，該正源極電壓係小於該正汲極電壓。

2. 如申請專利範圍第 1 項之雙位元電介質記憶胞(48)之陣列(40)，進一步包括：

一電阻器(105)，耦接於該位元線控制電路(44)和一接地(68)之間；以及

其中該位元線控制電路(44)耦接該源極位元線(201)至該電阻器(105)，由此該正源極電壓相等於經由該電阻器(105)所增加的電壓。

3. 如申請專利範圍第 1 項之雙位元電介質記憶胞(48)之陣列(40)，其中該字線控制電路進一步適用於：

配合著該字線控制電路(46)施加該正編程電壓於該選擇之字線(211)，而施加一負偏壓於該非選擇之字線(210)、(212)。

4. 如申請專利範圍第 3 項之雙位元電介質記憶胞(48)之陣列(40)，其中該負偏壓為介於-0.1 伏特和-2.0 伏特之間。

5. 如申請專利範圍第 4 項之雙位元電介質記憶胞(48)之陣列(40)，其中該負偏壓為介於-0.5 伏特和-1.0 伏特之間。

6. 如申請專利範圍第 1 項之雙位元電介質記憶胞(48)之陣列(40)，進一步包括一基板電壓控制電路(45)，用來配合著該字線控制電路(46)施加正編程電壓於該選擇之字線(211)，而施加一負基板電壓於一基板(42)。

7. 如申請專利範圍第 6 項之雙位元電介質記憶胞(48)之陣列(40)，其中該負基板電壓為介於-0.1 伏特和-2.0 伏特

第 92124292 號專利申請案
(98 年 11 月 12 日)

之間。

8. 如申請專利範圍第 7 項之雙位元電介質記憶胞(48)之陣列(40)，其中該負基板電壓為介於 -0.5 伏特和 -1.0 伏特之間。
9. 如申請專利範圍第 1 項之雙位元電介質記憶胞(48)之陣列(40)，其中該正源極電壓為介於 $1/10$ 之該正汲極電壓和 $3/10$ 之該正汲極電壓之間。
10. 如申請專利範圍第 9 項之雙位元電介質記憶胞(48)之陣列(40)，其中該正源極電壓為介於 $1/10$ 之該正汲極電壓和 $2/10$ 之該正汲極電壓之間。

97年1月13日修正替換頁

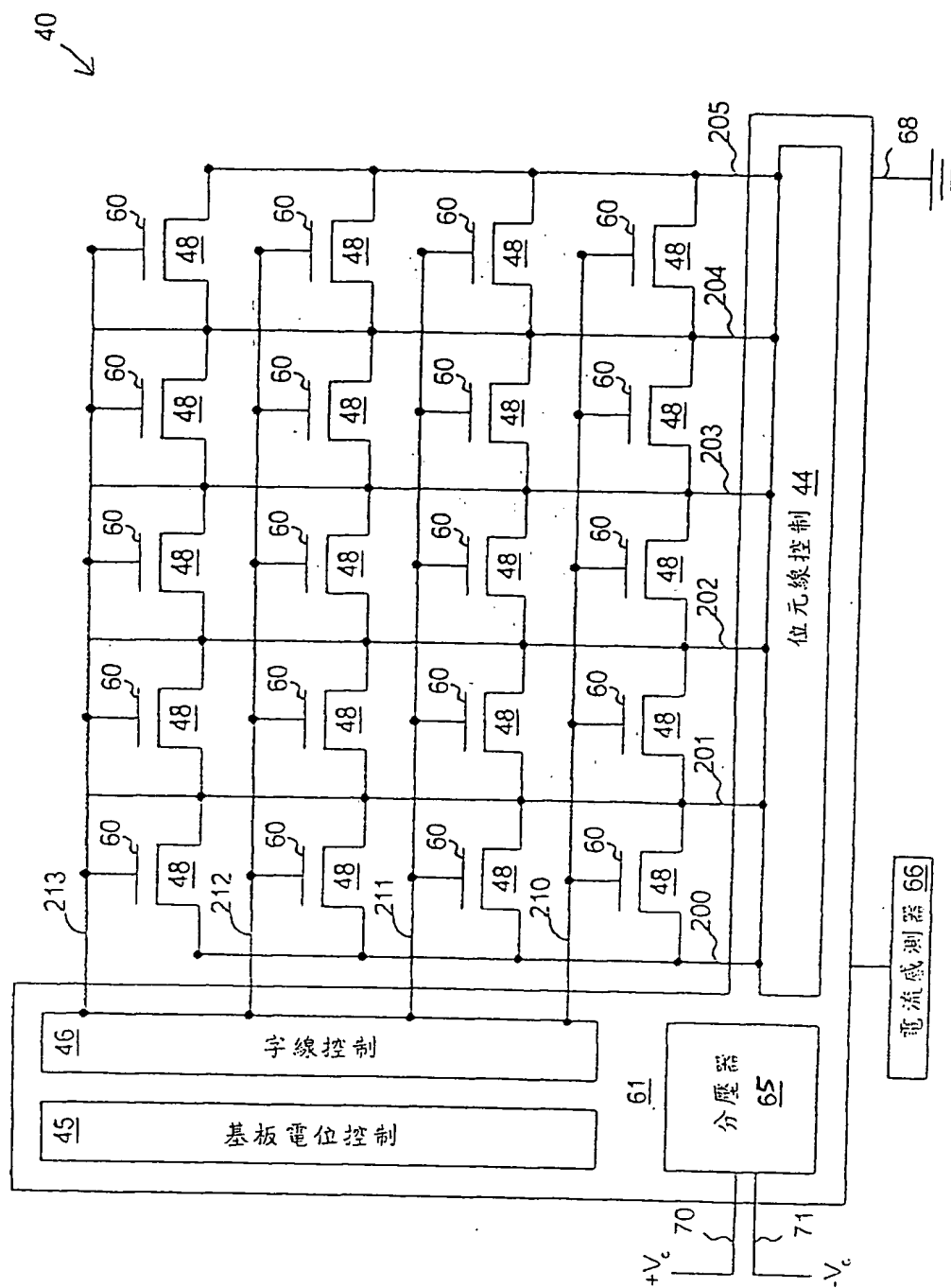
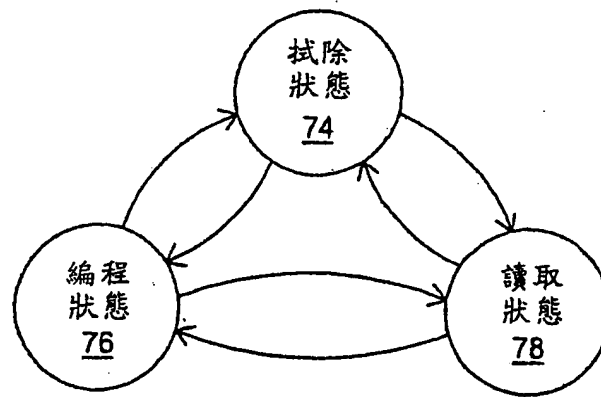


圖 2

85-8-13/10 修正



第4圖

	編程電壓	讀取電壓
選擇之字線 <u>211</u>	編程電壓 <u>220</u>	讀取電壓 <u>94</u>
非選擇之字線 <u>210, 212</u>	負偏壓 <u>221</u>	讀取偏壓 <u>96</u>

第5圖

98年	11月	12日	修正 補充
-----	-----	-----	----------

柒、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件代表符號簡單說明：

40	雙位元電介質記憶胞陣列	44	位元線控制電路
45	基板電壓控制電路	46	字線控制電路
48	雙位元電介質記憶胞	60	控制閘極
61	陣列控制電路	65	分壓器
68	接地	70	正操作電源(Vc)
71	負操作電源(-Vc)	200 至 205	位元線
210 至 213	字線		

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：