

CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

gate driving signal that has the row shift portion and that randomly has the frame shift portion.

(57) 摘要: 一种移位寄存器及其驱动方法、栅极驱动电路和显示装置。该移位寄存器包括: 扫描电路 (320), 被配置为生成用于在扫描时段使栅极驱动信号中具有行移位部分的第一信号; 感测电路 (310), 被配置为生成用于在消隐时段使所述栅极驱动信号中具有帧移位部分的第二信号; 以及随机移位电路 (330), 与所述扫描电路和所述感测电路分别电连接, 并被配置为能够基于所述第一信号和所述第二信号来生成具有所示行移位部分并且随机具有所述帧移位部分的栅极驱动信号。

移位寄存器及其驱动方法、栅极驱动电路和显示装置

本申请要求于 2018 年 11 月 9 日提交的、申请号为 201811336183.9 的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本公开涉及显示技术领域，且更具体地涉及移位寄存器及其驱动方法、栅极驱动电路和显示装置。

背景技术

随着技术的进步，有机发光二极管 OLED (Organic Light Emitting Diode) 显示技术得到广泛应用。例如主动矩阵有机发光二极管 (AMOLED) 显示器因高对比度、可视角度广以及响应速度快有望取代液晶成为下一代显示器的主流选择。在传统 OLED 产品的像素电路设计中，考虑到工艺的限制，像素电路一般全部利用 N 型薄膜晶体管 (TFT) 设计。为了使得显示器发光保持均匀性，因此需要对像素电路中的驱动电压加以补偿。

发明内容

根据本公开一些实施例，提供了移位寄存器及其驱动方法、栅极驱动电路和显示装置。

根据一个方面，本公开的实施例提供了一种移位寄存器。该移位寄存器包括：扫描电路，被配置为生成用于在扫描时段使所述移位寄存器输出的栅极驱动信号中具有行移位部分的第一信号；感测电路，被配置为生成用于在消隐时段使所述栅极驱动信号中具有帧移位部分的第二信号；以及随机移位电路，与所述扫描电路和所述感测电路分别电连接，并被配置为基于所述第一信号和所述第二信号来生成具有所述行移位部分并且随机地具有所述帧移位部分的栅极驱动信号。

例如，所述第一信号包括所述扫描电路的上拉节点处的信号、所述扫描电路的下拉节点处的信号或所述扫描电路的输出端处的信号中的至少一个；并且所述第二信号包括所述感测电路的上拉节点处的信号、所述感测电路的下拉节点处的信号或所述感测电路的输出端处的信号中的至少一个。

在一些实施例中，所述随机移位电路包括：

级联输出控制子电路，与输出使能端、第一控制输出端、第二控制输出端、所述感测电路的输出端和所述扫描电路的输出端连接，并被配置为在所述输出使能端的控制下，向第一控制输出端提供来自所述感测电路的输出端的信号并且向所述第二控制输出端提供来自所述扫描电路的输出端的信号；

帧移位子电路，与所述输出使能端、所述感测电路的上拉节点和下拉节点、帧移位时钟信号端、随机时钟信号端、第一参考信号端和所述扫描电路的上拉节点连接，并被配置为在所述输出使能端、所述感测电路的上拉节点、所述感测电路的下拉节点、所述随机时钟信号端、所述第一参考信号端的控制下，将来自所述帧移位时钟信号端的帧移位时钟信号传递至所述扫描电路的上拉节点；以及

输出子电路，与所述输出时钟信号端、所述扫描电路的上拉节点和下拉节点、第二参考信号端和所述移位寄存器的输出端连接，并被配置为在所述扫描电路的上拉节点和所述扫描电路的下拉节点的控制下，将来自所述输出时钟信号端的输出时钟信号和来自所述第二参考信号端的第二参考信号之一选择性地传递至所述移位寄存器的输出端，作为所述移位寄存器输出的栅极驱动信号。

在一些实施例中，所述随机移位电路包括：

级联输出控制子电路，与信号切换端、第一控制输出端、第二控制输出端、所述感测电路的输出端和所述扫描电路的输出端连接，并被配置为在所述信号切换端的控制下，向所述第一控制输出端提供来自所述感测电路的输出端的信号并且向所述第二控制输出端提供来自所述扫描电路的输出端的信号；

帧移位子电路，与输出使能端、所述感测电路的上拉节点和下拉节点、帧移位时钟信号端、随机时钟信号端、第一参考信号端和所述扫描电路的上拉节点连接，并被配置为在所述输出使能端、所述感测电路的上拉节点、所述感测电路的下拉节点、所述随机时钟信号端和所述第一参考信号端的控制下，将来自所述帧移位时钟信号端的帧移位时钟信号传递至所述扫描电路的上拉节点；以及

输出子电路，与所述输出时钟信号端、所述扫描电路的上拉节点和下拉节点、第二参考信号端和所述移位寄存器的输出端连接，并被配置为在所述扫描电路的上拉节点和所述扫描电路的下拉节点的控制下，将来自所述输出时钟信号端的输出时钟信号和来自所述第二参考信号端的第二参考信号之一选择性地传递至所述移位寄存器的输出端，作为所述移位寄存器输出的栅极驱动信号。

在一些实施例中，所述级联输出控制子电路包括第一晶体管和第六晶体管，

所述第一晶体管的控制端与信号切换端连接，第一端与所述感测电路的输出端连接，以及第二端与所述第一控制输出端连接；以及

所述第六晶体管的控制端与所述信号切换端连接，第一端与所述扫描电路的输出端连接，以及第二端与所述第二控制输出端连接。

在一些实施例中，所述帧移位子电路包括第二晶体管、第三晶体管、第四晶体管和第五晶体管，

所述第二晶体管的控制端与所述感测电路的上拉节点连接，第一端与所述随机时钟信号端连接，以及第二端与所述第四晶体管的控制端连接；

所述第三晶体管的控制端与所述感测电路的下拉节点连接，第一端与所述第一参考信号端连接，以及第二端与所述第四晶体管的控制端连接；

所述第四晶体管的第一端与所述帧移位时钟信号端连接，以及第二端与所述第五晶体管的第一端连接；以及

所述第五晶体管的控制端与所述输出使能端连接，以及第二端与所述扫描电路的上拉节点连接。

在一些实施例中，所述随机移位电路包括：

级联输出控制子电路，与输出使能端、第一控制输出端、第二控制输出端、所述感测电路的输出端和所述扫描电路的输出端连接，并被配置为在所述输出使能端的控制下，向第一控制输出端提供来自所述感测电路的输出端的信号并且向所述第二控制输出端提供来自所述扫描电路的输出端的信号；

帧移位子电路，与输出使能端、所述感测电路的输出端、帧移位时钟信号端和所述扫描电路的上拉节点连接，并被配置为在所述输出使能端和所述感测电路的输出端的控制下，将来自所述帧移位时钟信号端的帧移位时钟信号传递至所述扫描电路的上拉节点；以及

输出子电路，与所述输出时钟信号端、所述扫描电路的上拉节点和下拉节点、第二参考信号端和所述移位寄存器的输出端连接，并被配置为在所述扫描电路的所述上拉节点和所述下拉节点的控制下，将来自所述输出时钟信号端的输出时钟信号和来自所述第二参考信号端的第二参考信号之一选择性地传递至所述移位寄存器的输出端，作为所述移位寄存器输出的栅极驱动信号。

在一些实施例中，所述扫描电路和所述感测电路还被配置为在信号切换端的控制

下选择性接收输入信号，所述感测电路的输出端作为第一控制输出端，以及所述扫描电路的输出端作为第二控制输出端。

在一些实施例中，所述随机移位电路包括：

帧移位子电路，与输出使能端、所述感测电路的输出端、帧移位时钟信号端、和所述扫描电路的上拉节点连接，并被配置为在所述输出使能端和所述感测电路的输出端的控制下，将来自所述帧移位时钟信号端的帧移位时钟信号传递至所述扫描电路的上拉节点；以及

输出子电路，与所述输出时钟信号端、所述扫描电路的上拉节点和下拉节点、第二参考信号端和所述移位寄存器的输出端连接，并被配置为在所述上拉节点和所述下拉节点的控制下，将来自所述输出时钟信号端的输出时钟信号和来自所述第二参考信号端的第二参考信号之一选择性地传递至所述移位寄存器的输出端，作为所述移位寄存器的输出信号。

在一些实施例中，所述帧移位子电路包括第四晶体管和第五晶体管，

所述第四晶体管的控制端与所述感测电路的输出端连接，第一端与所述帧移位时钟信号端连接，以及第二端与所述第五晶体管的第一端连接；以及

所述第五晶体管的控制端与所述输出使能端连接，以及第二端与所述扫描电路的上拉节点连接。

在一些实施例中，所述级联输出控制子电路包括反相器、第一晶体管和第六晶体管，

所述反相器的第一端与所述输出使能端连接，以及第二端与所述第一晶体管的控制端和所述第六晶体管的控制端连接；

所述第一晶体管的第一端与所述感测电路的输出端连接，以及第二端与所述第一控制输出端连接；以及

所述第六晶体管的第一端与所述扫描电路的输出端连接，以及第二端与所述第二控制输出端连接。

在一些实施例中，所述输出子电路包括第七晶体管和第八晶体管，

所述第七晶体管的控制端与所述扫描电路的上拉节点连接，第一端与输出时钟信号端连接，以及第二端与所述移位寄存器的输出端连接；以及

所述第八晶体管的控制端与所述扫描电路的下拉节点连接，第一端与第二参考信号端连接，以及第二端与所述移位寄存器的输出端连接。

根据另一方面，提供了一种栅极驱动电路，包括多个级联的上述移位寄存器。

根据另一方面，提供了一种显示装置，包括上述栅极驱动电路。

根据另一方面，提供了一种用于驱动上述移位寄存器的方法，包括：

由扫描电路在来自输出时钟信号端的输出时钟信号的控制下生成用于在扫描时段使栅极驱动信号中具有行移位部分的第一信号；

由感测电路在来自随机时钟信号端的随机时钟信号的控制下生成用于在消隐时段使所述栅极驱动信号中具有帧移位部分的第二信号；以及

由随机移位电路在来自帧移位时钟信号端的帧移位时钟信号、来自输出时钟信号端的输出时钟信号和来自输出使能端的输出使能信号的控制下，基于所述第一信号和所述第二信号来生成具有随机帧移位的栅极驱动信号。

在一些实施例中，所述移位寄存器还包括与所述随机移位电路或与所述扫描电路和所述感测电路相连的信号切换端，当所述信号切换端处的信号与所述输出使能端处的信号互为反相时，所述随机移位电路根据所述第一信号和所述第二信号来生成随机具有帧移位部分的栅极驱动信号。

在一些实施例中，所述移位寄存器还包括与所述随机移位电路或与所述扫描电路和所述感测电路相连的信号切换端，当所述信号切换端处的信号为恒定高电平信号时，所述随机移位电路根据所述第一信号和所述第二信号来生成顺序地具有帧移位部分的栅极驱动信号。

附图说明

通过下面结合附图说明本公开的优选实施例，将使本公开的上述及其它目的、特征和优点更加清楚，其中：

图1是示出了根据本公开实施例的示例像素电路的电路原理图。

图2是示出了根据本公开实施例的示例像素电路的栅极驱动信号的工作时序图。

图3是示出了根据本公开实施例的示例移位寄存器的构造示意图。

图4是示出了根据本公开实施例的示例移位寄存器的电路原理图。

图5是示出了根据本公开实施例的示例栅极驱动电路的连接关系图。

图6是示出了根据本公开实施例的示例移位寄存器的示例工作时序图。

图7是示出了根据本公开另一实施例的示例移位寄存器的构造示意图。

图8是示出了根据本公开另一实施例的示例移位寄存器的电路原理图。

图 9 是示出了根据本公开又一实施例的示例移位寄存器的电路原理图。

图 10 是示出了根据本公开再一实施例的示例移位寄存器的电路原理图。

具体实施方式

下面参照附图对本公开的部分实施例进行详细说明，在描述过程中省略了对于本公开来说是不必要的细节和功能，以防止对本公开的理解造成混淆。在本说明书中，下述用于描述本公开原理的各种实施例只是说明，不应该以任何方式解释为限制公开的范围。参照附图的下述描述用于帮助全面理解由权利要求及其等同物限定的本公开的示例性实施例。下述描述包括多种具体细节来帮助理解，但这些细节应认为仅仅是示例性的。因此，本领域普通技术人员应认识到，在不脱离本公开的范围和精神的情况下，可以对本文中描述的实施例进行多种改变和修改。此外，为了清楚和简洁起见，省略了公知功能和结构的描述。此外，贯穿附图，相同的附图标记用于相同或相似的功能、器件和/或操作。此外，在附图中，各部分并不一定按比例来绘制。换言之，附图中的各部分的相对大小、长度等并不一定与实际比例相对应。

在本公开中，术语“包括”和“含有”及其派生词意为包括而非限制；术语“或”是包含性的，意为和/或。此外，在本公开的以下描述中，所使用的方位术语，例如“上”、“下”、“左”、“右”等均用于指示相对位置关系，以辅助本领域技术人员理解本公开实施例，且因此本领域技术人员应当理解：在一个方向上的“上”/“下”，在相反方向上可变为“下”/“上”，且在另一方向上，可能变为其他位置关系，例如“左”/“右”等。

此外，在本公开的上下文中，如无相反声明，则术语“控制端”通常用来指代晶体管的栅极或基极等；晶体管的“第一端”和“第二端”可以分别指晶体管的源极和漏极或反之，或者可以指晶体管的集电极和发射极或反之；而电容的“第一端”和“第二端”可以分别指代其两个电极。

如前所述，为了实现对像素电路中的驱动电压的补偿，通常可以采用如图 1 所示意的 3T2C 像素电路设计，即三个晶体管 T1、T2 和 T3 以及两个电容 C_{st} 和 C_{vc} ，其中晶体管 T1 在第一栅极驱动信号（或扫描信号）G1 的驱动下，将来自数据线 V_{data} 的数据信号传导至晶体管 T3 的栅极，并进而使得驱动电压 VDD 能够根据数据信号来选择性传输至发光器件（例如，OLED 发光器件）EL 使其发光。此外，晶体管 T2 在第二栅极驱动信号（或感测信号）G2 的驱动下选择性导通或关闭，使得施加在发光器件上的电压能

够被感测并提供至模数转换器 ADC 以便进行处理和计算,进而对相应的数据信号/第一栅极驱动信号的调整,使得发光更为均匀。

与此相对应地,图 2 示出了为了实现上述目的所采用的第一栅极驱动信号 G1 和第二栅极驱动信号 G2 的示例时序图。需要注意的是,尽管图 2 中只示出了用于三行的第一和第二栅极驱动信号 G1 和 G2 在三帧期间的工作时序,但本领域技术人员可以据此确定用于任意行的第一和第二栅极驱动信号 G1 和 G2 在任意帧期间的工作时序。如图 2 所示,每一帧的周期包括消隐时段和扫描时段,栅极驱动信号在扫描时段具有行移位部分,在消隐时段具有帧移位部分。行移位部分指的是寄存器产生的栅极驱动信号中逐行移位的部分,例如图 2 所示,在“第一帧”、“第二帧”、“第三帧”中的每一帧,栅极驱动信号在相邻行上在同一帧内顺序移位,从而实现同一帧内对像素的逐行扫描。帧移位部分指的是寄存器产生的栅极驱动信号中逐帧移位的部分,例如图 2 中由虚线框所示,栅极驱动信号在相邻行上在相邻帧之间呈现出顺序移位,从而实现每一帧对一行像素进行感测。

在通常的外部补偿方式中,如图 2 所示,在每一帧的消隐(Blank)时段中,栅极驱动电路产生顺序帧移位时序的栅极驱动信号。不过这种方法容易导致 OLED 显示装置产生补偿横纹、影响显示画面质量。因此,为了实现能够消除补偿横纹的“随机帧移位”,需要提供一种能够输出“随机帧移位”的栅极驱动信号的方案。

以下,将结合图 3~图 10 来详细描述本公开实施例的能够提供随机帧移位的栅极驱动信号的移位寄存器及其驱动方法、栅极驱动电路和显示装置。在下文中,将以用于控制晶体管 T2 的第二栅极驱动信号 G2 为例来详细描述本公开的各实施例。然而,需要注意的是:可以将本公开以下实施例的原理同样应用于需要移位寄存器的其它场合。例如,可以将以下实施例进行简单的改变,就可以适用于图 1 所示的控制晶体管 T1 的第一栅极驱动信号 G1。此外,在本文中,如无特别声明,所使用的薄膜晶体管 TFT 均为 N 型晶体管。然而本公开不限于此,事实上只需要对本公开实施例的各个输入电平、连接关系等进行简单变化,即可使其适用于 P 型晶体管。

图 3 是示出了根据本公开实施例的示例移位寄存器 300 的构造示意图。如图 3 所示,移位寄存器 300 可以包括感测电路 310、扫描电路 320 和随机移位电路 330。在一些实施例中,扫描电路 320 可被配置为生成用于在扫描时段使栅极驱动信号中具有行移位部分的第一信号。在一些实施例中,感测电路 310 可被配置为生成用于在消隐时段使该栅极驱动信号中具有帧移位部分的第二信号。此外,在一些实施例中,随机移位电路 330 可

与扫描电路 320 和感测电路 310 分别电连接，并被配置为基于上述第一信号和第二信号来生成具有行移位部分并且随机具有帧移位部分的栅极驱动信号。需要注意的是：本文中所使用的“第一信号”和“第二信号”可以分别指代一个或多个信号，而限于单个信号。

在图 3 中，感测电路 310 连接随机时钟信号端 CLKf、电源信号端（例如第三电压信号端）VGH 和第一参考信号端（例如第一电压信号端）LVGL；扫描电路 320 连接输出时钟信号端 CLK、电源信号端 VGH 和第一参考信号端 LVGL；随机移位电路 330 连接使能端 OE、帧移位时钟信号端 CLKs、随机时钟信号端 CLKf、电源信号端 VGH、第一参考信号端 LVGL、第二参考信号端（例如第二电压信号端）VGL 以及移位寄存器 300 的输出端 OUT。

理论上，感测电路 310 和/或扫描电路 320 可以采用任何传统或将来开发的移位寄存器设计。例如，这二者中的任一者或全部二者可以为面板内栅极 GIP (Gate In Panel) 移位寄存器单元，其可以根据时钟信号来提供标准的信号移位功能。此外，其也可以采用如下文中结合图 9 或图 10 所描述的具体示例构造，本公开不限于此。

此外，尽管图 3 中示出了各个电路与各条信号线之间的示例连接关系，但是本公开不限于此。事实上完全可以采用其它的连接关系，例如图 4、图 7、图 8、图 9 和图 10 或其他的连接关系。此外，以下图 4、图 6、和图 8 的示例中示出两个输出时钟信号端 CLK1 和 CLK2 分别接收第一输出时钟信号和第二输出时钟信号，第一输出时钟信号是第二输出时钟信号的反相信号。对于每个移位寄存器而言，二者可以择一使用。例如，在包括多级级联的移位寄存器单元的栅极驱动电路中，奇数级移位寄存器单元的输出时钟信号端可以连接为接收第一输出时钟信号，偶数级移位寄存器的输出时钟信号端可以连接为接收第二输出时钟信号。类似地，以下图 4、图 6、和图 8 中示出两个随机时钟信号端 CLKf1 和 CLKf2 分别接收第一随机时钟信号和第二随机时钟信号，第一随机时钟信号是第二随机时钟信号的反相信号。对于每个移位寄存器而言，二者可以择一使用。例如，同样在包括多级级联的移位寄存器单元的栅极驱动电路中，奇数级移位寄存器单元的随机时钟信号端可以连接为接收第一随机时钟信号，偶数级移位寄存器的随机时钟信号端可以连接为接收第二随机时钟信号。

图 4 是示出了根据本公开实施例的示例移位寄存器 400 的电路原理图。图 4 所示的移位寄存器 400 可以是图 3 所示的移位寄存器 300 的一个具体示例。如前文所述，感测电路 410 和/或扫描电路 420 可以为传统的或将来开发的移位寄存器设计，因此图 4 并未

示出这二者的具体电路，然而这并不影响本领域技术人员根据其余部分来合理选用这二者恰当的电路设计来实现期望的功能。

如图4所示，感测电路410可以与随机时钟信号端CLKf相连。感测电路410可以响应于在扫描时段随机时钟信号端CLKf的信号波形发生随机变化，使感测电路410的上拉节点Q1处的信号在扫描时段和消隐时段均保持有效。随机移位电路430可以与感测电路410的上拉节点Q1、扫描电路420的上拉节点Q2和帧移位时钟信号端CLKs相连。随机移位电路430可以在消隐时段在感测电路410的上拉节点Q1处的信号的控制下使扫描电路420在其上拉节点Q2处存储帧移位时钟信号端CLKs的电压，并基于所存储的电压产生具有所述帧移位部分的栅极驱动信号。

如图4所示，随机移位电路430可包括级联输出控制子电路431、帧移位子电路433和输出子电路435。在一些实施例中，级联输出控制子电路431可与输出使能端OE、感测电路410的输出端P1、扫描电路420的输出端P2、第一控制输出端CR1<n>和第二控制输出端CR2<n>（在本实施例中假定图4所示的移位寄存器为第n级移位寄存器，<n>表示其所在的级数）。第一控制输出端CR1<n>和第二控制输出端CR2<n>可以与相邻移位寄存器的输入端或复位端连接以形成级联结构。

级联输出控制子电路431可以在输出使能端OE的控制下，向第一控制输出端CR1<n>（从而向相邻移位寄存器）提供来自感测电路410的输出端P1的信号，向第二控制输出端CR2<n>提供来自扫描电路420的输出端P2的信号，以作为相邻移位寄存器的输入信号或复位信号。在一些实施例中，帧移位子电路433可与输出使能端OE、感测电路410的上拉节点Q1和下拉节点Qb1、帧移位时钟信号端CLKs、随机时钟信号端（在图4中虽然示出了分别接收第一随机时钟信号和第二随机时钟信号的两个时钟信号端CLKf1和CLKf2，但这仅仅是示意，可以根据需要选择二者之一来使用，在本实施例中假设使用第一随机时钟信号端CLKf1来接收第一随机时钟信号）、第一电压信号端（第一参考信号端）LVGL和扫描电路420的上拉节点Q2连接，并被配置为在输出使能端OE、上拉节点Q1、下拉节点Qb1、第一随机时钟信号端CLKf1、第一电压信号端LVGL的控制下，将来自帧移位时钟信号端CLKs的帧移位时钟信号传递至上拉节点Q2。在一些实施例中，输出子电路435可与时钟信号端（在图4中虽然示出了分别连接第一输出时钟信号和第二输出时钟信号的两个时钟信号端CLK1和CLK2，但这仅仅是示意，可以根据需要选择二者之一来使用，在本实施例中假设使用第一输出时钟信号端CLK1来接收第一输出时钟信号）、扫描电路420的上拉节点Q2和下拉节点Qb2、第二电压信

号端 VGL 和移位寄存器 400 的输出端连接,并被配置为在上拉节点 Q2 和下拉节点 Qb2 的控制下,将来自第一输出时钟信号端 CLK1 的第一输出时钟信号和来自第二电压信号端(第二参考信号端) VGL 的第二电压信号之一选择性地传递至移位寄存器 400 的输出端 OUT,作为移位寄存器 400 的输出信号(即栅极驱动信号)。

在一些实施例中,级联输出控制子电路 431 可包括反相器 INV、第一晶体管 T1 和第六晶体管 T6。该反相器 INV 的第一端可与输出使能端 OE 连接,以及第二端可与第一晶体管 T1 的控制端和第六晶体的控制端连接。此外,第一晶体管 T1 的第一端可与感测电路 410 的输出端 P1 连接,以及第二端可与第一控制输出端 CR1<n>相连,从而与下一级移位寄存器的感测电路的输入端和/或上一级移位寄存器的感测电路的复位端连接。此外,第六晶体管 T6 的第一端可与扫描电路 420 的输出端 P2 连接,以及第二端可与第二控制输出端 CR2<n>相连,从而与下一级移位寄存器的扫描电路的输入端和/或上一级移位寄存器的扫描电路的复位端连接。此外,在一些实施例中,该反相器 INV 可以是由晶体管形成的反相器,可以根据需要实现为期望的结构,这里不再详细描述。

此外,在一些实施例中,帧移位子电路 433 可包括第二晶体管 T2、第三晶体管 T3、第四晶体管 T4 和第五晶体管 T5。第二晶体管 T2 的控制端可与感测电路 410 的上拉节点 Q1 连接,第一端可与第一随机时钟信号端 CLKf1 连接,以及第二端可与第四晶体管 T4 的控制端连接。第三晶体管 T3 的控制端可与感测电路 410 的下拉节点 Qb1 连接,第一端与第一电压信号端 LVGL 连接,以及第二端可与第四晶体管 T4 的控制端连接。第四晶体管 T4 的第一端可与帧移位时钟信号端 CLKs 连接,以及第二端可与第五晶体管 T5 的第一端连接。此外,第五晶体管 T5 的控制端可与输出使能端 OE 连接,以及第二端可与扫描电路 420 的上拉节点 Q2 连接。

此外,在一些实施例中,输出子电路 435 可包括第七晶体管 T7 和第八晶体管 T8。第七晶体管 T7 的控制端可与扫描电路 420 的上拉节点 Q2 连接,第一端可与第一输出时钟信号端 CLK1 连接,以及第二端可与移位寄存器 400 的输出端 OUT 连接。此外,第八晶体管 T8 的控制端可与扫描电路 420 的下拉节点 Qb2 连接,第一端可与第二电压信号端 VGL 连接,以及第二端可与移位寄存器 400 的输出端 OUT 连接。

在图 4 所示实施例中,CR1<n>表示该第 n 行移位寄存器 400 的感测电路 410 的级联输出(第一控制输出端),其通向第 n+1 行移位寄存器的感测电路的输入端和/或第 n-1 行移位寄存器的感测电路的复位端。类似地,CR2<n>表示该第 n 行移位寄存器 400 的扫描电路 420 的级联输出(第二控制输出端),其通向第 n+1 行移位寄存器的扫描电

路的输入端和/或第 n-1 行移位寄存器的扫描电路的复位端。

此外，如结合图 3 所描述的，感测电路 410 所生成的第二信号可以包括例如其输出端 P1 输出的输出信号、其上拉节点 Q1 和下拉节点 Qb1 的电平信号等等。类似地，扫描电路 420 所生成的第一信号可以包括例如其输出端 P2 输出的输出信号、其上拉节点 Q2 和下拉节点 Qb2 的电平信号等等。

此外，在一些实施例中，第一电压信号端 LVGL 和第二电压信号端 VGL 可以提供低电压信号，这二者可以具有不同电压，例如一个是 -5V，另一个是 0V；第三电压信号端 VGH 可以提供高电压信号，例如其可以提供 +5V 电压信号，然而本公开不限于此，这完全取决于具体的电路设计。例如，在另一些实施例中，第一电压信号端 LVGL 和第二电压信号端 VGL 可以提供具有相同电压的低电压信号。

图 5 是示出了根据本公开实施例的示例栅极驱动电路 500 的连接关系图。如图 5 所示，栅极驱动电路 500 可以由多个级联的移位寄存器（例如，移位寄存器 300 或 400）级联而成，其中，前一级的感测电路或扫描电路的输出可以是当前级的感测电路或扫描电路的输入（或置位），而下一级的感测电路或扫描电路的输出可以是当前级的感测电路或扫描电路的复位。例如第 n-1 级移位寄存器的第一控制输出端 CR1<n-1>连接至第 n 级移位寄存器的感测电路的输入端，第二控制输出端 CR2<n-1>连接至第 n 级移位寄存器的扫描电路的输入端；第 n+1 级移位寄存器的第一控制输出端 CR1<n+1>连接至第 n 级移位寄存器的感测电路的复位端，第 n+1 级移位寄存器的第二控制输出端 CR1<n+2>连接至第 n 级移位寄存器的扫描电路的复位端，从而使感测电路和扫描电路分别形成各自的级联结构。

此外，相邻级的时钟信号端可以不同顺序接收互为反相的时钟信号。例如，如果第 n-1 级的移位寄存器的第一输出时钟信号端 CLK1 和第二时钟信号端 CLK2 分别连接到时钟信号线 CLK1 和 CLK2，则第 n 级的移位寄存器的第一输出时钟信号端 CLK1 和第二时钟信号端 CLK2 可分别连接到时钟信号线 CLK2 和 CLK1，以此类推。类似地，如果第 n-1 级的移位寄存器的第一随机时钟信号端 CLKf1 和第二随机时钟信号端 CLKf2 分别连接到随机时钟信号线 CLKf1 和 CLKf2，则第 n 级的移位寄存器的第一随机时钟信号端 CLKf1 和第二随机时钟信号端 CLKf2 可分别连接到随机时钟信号线 CLKf2 和 CLKf1，以此类推。

以下，将结合图 4 和图 5 来详细说明图 6 所示的移位寄存器 400 的工作时序。图 6 是示出了根据本公开实施例的示例移位寄存器 400 的示例工作时序图。

假定移位寄存器 400 的第一输出时钟信号端 CLK1 和第二输出时钟信号端 CLK2 分别连接到第一输出时钟信号线 CLK1 和第二输出时钟信号线 CLK2，且移位寄存器 400 的第一随机时钟信号端 CLKf1 和第二随机时钟信号端 CLKf2 分别连接到第一随机时钟信号线 CLKf1 和第二随机时钟信号线 CLKf2。因此，在本实施例中，在不失一般性的情况下，将相应时钟信号端与相应时钟信号线加以等同。

如图 6 所示，第一输出时钟信号线 CLK1 和第二时钟信号线 CLK2 在扫描时段提供互为反相的时钟信号。此外，第一随机时钟信号线 CLKf1 和第二随机时钟信号线 CLKf2 在扫描时段中提供随机时钟信号。该随机时钟信号可以为周期脉冲信号，该周期脉冲信号的波形在一随机时刻发生变化，例如在该随机时刻之后持续为低电平。例如，如图 6 所示，第一随机时钟信号线 CLKf1 和第二时钟信号线 CLK2 提供的随机时钟信号在若干个脉冲周期结束之后，在本来应该出现下一个脉冲的时段，并未出现下一个脉冲，而是取代以持续的低电平。在一些实施例中，可以使随机时钟信号端在随机信号控制下随机地保持持续电位。例如可以通过一随机脉冲信号将周期脉冲信号的电平强制地持续性拉低来实现上述随机时钟信号。在一些实施例中，该随机脉冲信号可以由现场可编程门阵列 (FPGA) 产生。

根据图 4 所示的移位寄存器 400 的电路设计，如果在该随机时刻或时段某一级移位寄存器产生输出信号，则可以在消隐时段控制该级移位寄存器输出感测所需的栅极驱动信号，下文中将详细说明。换言之，第一和第二随机时钟信号线 CLKf1 和 CLKf2 上的时钟信号相当于用于选择相应行移位寄存器的随机时钟信号。

以图 6 为例，在第一帧扫描期间，第一随机时钟信号线 CLKf1 上的第一随机时钟信号中以虚线标出的高电平脉冲表示在该时刻出现一个虚拟的“随机脉冲”，即，在该时刻本来应该出现下一个脉冲，但是并未出现，而是取代以持续的低电平。为了更清楚地说明这一点，图 6 示出了该虚拟的随机脉冲，该虚拟脉冲并非实际信号，而是表示在虚线所示的时刻本应出现的高电平并未出现，而是取代以低电平。在图 6 中，在扫描时段中虚拟的“随机脉冲”期间，第 M 行移位寄存器产生输出信号 OUT<M>，从而使第 M 行移位寄存器被选择，被选择的第 M 行移位寄存器将在消隐时段产生高电平的输出信号以用于驱动相应行像素单元从而进行感测，而未被选择的其他行移位寄存器产生低电平的输出信号。

接下来，同时参考图 4 和图 6 来详细说明实现随机帧移位的原理。假定图 4 所示的移位寄存器 400 就是该第 M 行的移位寄存器。由于由虚线标出的 CLKf1 高电平脉冲是

并未实际出现的随机脉冲，导致图 4 所示的移位寄存器 400 的感测电路 410 在与该随机脉冲相对应的时段中输出低电平，从而使得从第 M+1 行开始的后续各行移位寄存器的感测电路的输入/输出都始终保持低电平，进而使得第 M 行的移位寄存器 400 的感测电路 410 不会被来自第 M+1 行的感测电路的输出信号所复位，使得其第一点 Q1 始终保持为高电平，如图 6 “M 行 Q1” 所示。具体地，移位寄存器 400 的感测电路 410 在一帧的时间中可以在与其相对应的时钟脉冲出现时才输出高电平。换言之，在级联的前 M-1 个感测电路都按顺序输出了自己的高电平之后，本来当前级（即，第 M 级）的感测电路 410 所连接的随机时钟信号端 CLKf 应当为高电平以使感测电路 410 输出高电平（例如，参见图 9 所示的 T10 晶体管的设置，其负责向输出端 P1 输出随机时钟信号端 CLKf 处的信号），但此时如前所述高电平未出现，导致第 M 个感测电路 410 不再输出高电平，从而后续所有级移位寄存器单元的感测电路 410 都没有高电平输入，自然也都没有高电平输出。

此外，与感测电路 410 不同的是，扫描电路 420 所连接的是第一输出时钟信号线 CLK1，因此在该随机脉冲发生的时段，其实际上保持正常的时钟信号输出，从而如图 6 中 “M 行 Q2” 所示，在其相应的时段中保持高电位，而后续被来自第 M+1 行的扫描电路的输出信号所复位，变为低电位。

进一步地，在扫描期间，输出使能端 OE 始终保持低电平，因此在其经过反向器 INV 变为高电平之后，第一晶体管 T1 和第六晶体管 T6 导通，进而使得感测电路 410 和扫描电路 420 的级联输出 CR1<M>和 CR2<M>保持正常输出。此外，由于输出使能端 OE 始终保持低电平，因此第五晶体管 T5 在其控制下始终保持关闭状态，因此帧移位将不会在扫描期间出现在移位寄存器 400 的输出端 OUT 上。从而，如图 6 所示，在扫描时段，移位寄存器单元的输出端 OUT<M>为正常的栅极扫描信号，即在相应的时段中为高电平，其余时间保持低电平。

接下来，在消隐期间，输出使能端 OE 保持高电平，因此在其经过反向器 IN 变为低电平之后，第一晶体管 T1 和第六晶体管 T6 关闭，进而感测电路 410 和扫描电路 420 的第一控制输出端 CR1<M>和第二控制输出端 CR2<M>不会输出高电平，从而不会引起后续移位寄存器输出高电平。此外，由于输出使能端 OE 始终保持高电平，因此第五晶体管 T5 在其控制下导通，进而从第四晶体管 T4 到扫描电路 420 的上拉节点 Q2 的路径导通。

如前所述，感测电路 410 的上拉节点 Q1 在扫描时段的后期（即，随机脉冲出现之

后)开始始终保持高电平,因此第二晶体管 T2 导通,从而使得第一随机时钟信号线 CLKf1 的信号传输到第四晶体管 T4 的栅极。如图 6 所示,第一随机时钟信号线 CLKf1 在消隐时段开始时是高电平信号,从而使得第四晶体管 T4 相应导通,并使得来自帧移位时钟信号端 CLKs 的高电平信号通过第四晶体管 T4 和前述导通的第五晶体管 T5 传输到扫描电路 420 的上拉节点 Q2 处。

在图 4 所示的扫描电路 420 中,类似于图 9 所示的扫描电路 920, Q2 点的高电平将导通例如第十八晶体管 T18,并使得第二电容 C2 开始充电。在来自帧移位时钟信号端 CLKs 的高电平信号结束之后,由于此时上拉节点 Q2 依然保持高电平,且来自第一输出时钟信号端 CLK1 的第一输出时钟信号从低电平变为高电平,进而通过第二电容 C2 的自举作用将上拉节点 Q2 的电位提升到更高,如图 6 中“M 行 Q2”所示。此外,由于没有来自下一级移位寄存器的扫描电路的复位信号,因此该高电位将保持到出现总复位信号 Total_Rs1 为止。从而,第七晶体管 T7 在该上拉节点 Q2 的高电位的作用下导通,使得输出端 OUT<M>输出来自第一输出时钟信号端 CLK1 的第一输出时钟信号作为输出信号,从而得到如图 6 中“OUT<M>”所示的输出信号。该输出信号可以例如作为如图 1 所示的像素电路的第二栅极驱动信号 G2。

在第一帧中,在与第 M 级不同的第 N 级的移位寄存器中,由于其感测电路的上拉节点 Q1 并未像第 M 级移位寄存器 400 中的感测电路 410 的上拉节点 Q1 一样在扫描期间保持高电位,因此其在消隐期间将始终保持低电位,如图 6 中“N 行 Q1”所示,进而使得其得到相应的上拉节点 Q2 低电位和输出端低电位,分别如图 6 中“N 行 Q2”和“OUT<N>”所示。

类似地,在第二帧扫描期间,在第二随机时钟信号线 CLKf2 上的以虚线标出的高电平脉冲表示虚拟随机脉冲到来(更清楚地,可参见“随机脉冲”行的脉冲),在该虚拟脉冲期间第 N 行移位寄存器在输出端 OUT<N>产生高电平的输出信号。这里假定第 M 行移位寄存器连接随机时钟信号端 CLKf1 和输出时钟信号端 CLK1,第 N 行移位寄存器连接随机时钟信号端 CLKf2 和输出时钟信号端 CLK2,如图 5 中所示。

与前面针对第 M 行移位寄存器的描述类似地,第 N 行移位寄存器的输出端 OUT<N>输出来自第二时钟信号端 CLK2 的第二时钟信号,从而得到如图 6 中“OUT<N>”所示的在第二帧期间的输出信号。该输出信号可以例如作为如图 1 所示的像素电路的第二栅极驱动信号 G2。

在第二帧中,在与第 N 级不同的第 M 级的移位寄存器中,由于其感测电路的上拉

节点 Q1 并未像第 N 行的移位寄存器中的感测电路的上拉节点 Q1 一样在扫描期间保持高电位，因此其在消隐期间将始终保持低电位，如图 6 中“M 行 Q1”所示，进而使其得到相应的上拉节点 Q2 低电位和输出端低电位，分别如图 6 中“M 行 Q2”和“OUT<M>”所示。

可见，如图 6 所示，在连续的两帧中，分别在第 M 级和第 N 级的移位寄存器中输出帧移位，从而实现了随机帧移位功能。

更一般地，结合图 6 所描述的驱动方法可以包括：由扫描电路 420 在来自输出时钟信号端（例如第一输出时钟信号端 CLK1 的第一输出时钟信号或来自第二输出时钟信号端 CLK2 的第二输出时钟信号）的控制下生成用于在扫描时段使栅极驱动信号中具有行移位部分的第一信号；由感测电路 410 在来自第一随机时钟信号端 CLKf1 的第一随机时钟信号（例如来自第一随机时钟信号端 CLKf1 的第一随机时钟信号或来自第二随机时钟信号端 CLKf2 的第二随机时钟信号）的控制下生成用于在消隐时段使栅极驱动信号中具有帧移位部分的第二信号；以及由随机移位电路 430 在来自帧移位时钟信号端 CLKs 的帧移位时钟信号、来自输出时钟信号端的输出时钟信号（例如来自第一输出时钟信号端 CLK1 的第一输出时钟信号）、来自随机时钟信号端的随机时钟信号（例如来自第一随机时钟信号端 CLKf1 的第一随机时钟信号）、来自输出使能端 OE 的输出使能信号的控制下基于前述第一信号和前述第二信号来生成具有行移位部分并且随机具有帧移位部分的栅极驱动信号。

图 7 是示出了根据本公开另一实施例的示例移位寄存器 700 的构造示意图。如图 7 所示，移位寄存器 700 可以包括感测电路 710、扫描电路 720 和随机移位电路 730。与图 3 相类似地，在一些实施例中，扫描电路 720 可被配置为生成用于在扫描时段使栅极驱动信号中具有行移位部分的第一信号。此外，在一些实施例中，感测电路 710 可被配置为生成用于在消隐时段使该栅极驱动信号中具有帧移位部分的第二信号。在一些实施例中，随机移位电路 730 可与扫描电路 720 和感测电路 710 分别电连接，并被配置为能够基于上述第一信号和第二信号来生成具有行移位部分并且随机具有帧移位部分的栅极驱动信号。

类似地，感测电路 710 和/或扫描电路 720 可以采用任何传统的或将来开发的移位寄存器设计。例如，这二者中的任一者或全部二者可以为 GIP 移位寄存器单元，其可以根据随机时钟信号来提供标准的信号移位功能。此外，其也可以采用如下文中结合图 9 或图 10 所描述的具体示例构造，本公开不限于此。

此外，尽管图 7 中示出了各个电路与各条信号线之间的示例连接关系，但是本公开不限于此。事实上完全可以采用其它的连接关系，例如图 3、图 4、图 8、图 9 和图 10 等的连接关系。此外，第一输出时钟信号端 CLK1 的第一输出时钟信号和第二输出时钟信号端 CLK2 的第二输出时钟信号互为反相，第一随机时钟信号端 CLKf1 的第一随机时钟信号和第二随机时钟信号端 CLKf2 的第二随机时钟信号互为反相，可以选择二者之一来使用。例如，可以使栅极驱动电路中的奇数级移位寄存器连接第一输出时钟信号端 CLK1 和第一随机时钟信号端 CLKf1，通过反相等来形成第二输出时钟信号端 CLK2 和第二随机时钟信号端 CLKf2，并将偶数级移位寄存器单元连接到第二输出时钟信号端 CLK2 和第二随机时钟信号端 CLKf2，其它情况也类似成立。

图 8 是示出了根据本公开另一实施例的示例移位寄存器 800 的电路原理图。图 8 所示的移位寄存器 800 可以是图 7 所示的移位寄存器 700 的一个具体示例。由于上文指出的感测电路 810 和/或扫描电路 820 可以为传统的或将来开发的移位寄存器设计，因此图 8 并未示出这二者的具体电路，然而这并不影响本领域技术人员根据其余部分来合理选用这二者恰当的电路设计来实现期望的功能。

如图 8 所示，随机移位电路 830 可包括：级联输出控制子电路 831、帧移位子电路 833 和输出子电路 835。在一些实施例中，级联输出控制子电路 831 可与信号切换端 SW、感测电路 810 的输出端 P1、扫描电路 820 的输出端 P2 以及第一控制输出端 CR1<n>和第二控制输出端 CR2<n>以便与相邻移位寄存器的输入端或复位端连接，并被配置为在信号切换端 SW 的控制下，向第一控制输出端 CR1<n>和第二控制输出端 CR2<n>（从而向相邻移位寄存器）分别提供来自感测电路 810 的输出端和扫描电路 820 的输出端的输出信号，作为相邻移位寄存器的输入信号或复位信号。在一些实施例中，帧移位子电路 833 可与输出使能端 OE、感测电路 810 的上拉节点 Q1 和下拉节点 Qb1、帧移位时钟信号端 CLKs、第一随机时钟信号端 ACLKf1、第一电压信号端 LVGL 和扫描电路 820 的上拉节点 Q2 连接，并被配置为在输出使能端 OE、上拉节点 Q1、下拉节点 Qb1、第一随机时钟信号端 CLKf1、第一电压信号端 LVGL 的控制下，将来自帧移位时钟信号端 CLKs 的帧移位时钟信号传递至上拉节点 Q2。在一些实施例中，输出子电路 835 可与第一输出时钟信号端 CLK1、扫描电路 820 的上拉节点 Q2 和下拉节点 Qb2、第二电压信号端 VGL 和移位寄存器 800 的输出端连接，并被配置为在上拉节点 Q2、下拉节点 Qb2 的控制下，将来自第一输出时钟信号端 CLK1 的第一输出时钟信号和来自第二电压信号端 VGL 的第二电压信号之一选择性地传递至移位寄存器 800 的输出端 OUT，作为移位

寄存器 800 的输出信号。

在一些实施例中,级联输出控制子电路 831 可包括第一晶体管 T1 和第六晶体管 T6。该第一晶体管 T1 的控制端与信号切换端 SW 连接, 第一端可与感测电路 810 的输出端 P1 连接, 以及第二端可与第一控制输出端 CR1<n>连接, 从而与下一级移位寄存器的感测电路的输入端和/或上一级移位寄存器的感测电路的复位端连接。此外, 第六晶体管 T6 的控制端可与信号切换端 SW 连接, 第一端可与扫描电路 820 的输出端 P2 连接, 以及第二端可与第二控制输出端 CR2<n>连接, 从而与下一级移位寄存器的扫描电路的输入端和/或上一级移位寄存器的扫描电路的复位端连接。

此外, 在一些实施例中, 帧移位子电路 833 和输出子电路 835 可以与图 4 所示的帧移位子电路 433 和输出子电路 435 具有相同或类似的结构, 这里就不再赘述。

与图 4 所示移位寄存器 400 不同的是, 图 8 所示的移位寄存器 800 中的级联输出控制子电路 831 是通过单独的信号切换端 SW 的控制信号来控制的。换言之, 在一些实施例中, 当信号切换端 SW 提供的信号与输出使能端 OE 提供的信号互为反相时, 则随机移位电路 830 可被配置为能够根据感测电路 810 输出的第二信号和扫描电路 820 输出的第一信号来生成具有行移位部分并且随机具有帧移位部分的栅极驱动信号。更具体地, 当图 8 中的信号切换端 SW 输出与输出使能端 OE 反相的信号时, 其实质上就相当于图 4 所示的输出使能端 OE 加上反相器, 从而使得图 8 所示的移位寄存器 800 能够实现与图 4 所示移位寄存器 400 相同的功能。

在另一些实施例中, 当信号切换端 SW 输出恒定高电平信号时, 则随机移位电路 830 可被配置为能够根据感测电路 810 输出的第二信号和扫描电路 820 输出的第一信号来生成具有行扫描部分并且顺序具有帧移位部分的栅极驱动信号。更具体地, 当图 8 中的信号切换端 SW 始终输出高电平信号时, 感测电路 810 和扫描电路 820 的级联输出端(即第一控制输出端 CR1<n>和第二控制输出端 CR2<n>)将始终正常输出信号。此时配合第一随机时钟信号端 CLKf1 和/或第二随机时钟信号端 CLKf2 的随机时钟信号(例如, 顺序出现的随机脉冲, 此时也可以将其称为顺序脉冲), 可以使得移位寄存器 800 可以像普通移位寄存器一样输出顺序地具有帧移位部分的栅极驱动信号。从而, 通过调整信号切换端 SW 的输出信号, 可以使得同一个移位寄存器可以既支持随机帧移位也支持顺序帧移位。

图 9 是示出了根据本公开又一实施例的示例移位寄存器 900 的电路原理图。如图 9 所示, 移位寄存器 900 可以包括感测电路 910、扫描电路 920 和随机移位电路 930。如图

9 所示, 随机移位电路 930 包括第一晶体管 T1 至第八晶体管 T8。

在一些实施例中, 感测电路 910 可以包括第九晶体管 T9 至第十六晶体管 T16 以及第一电容 C1。在一些实施例中, 第九晶体管 T9 的控制端与来自上一级的移位寄存器的感测电路的级联输出 (即第一控制输出端 CR1<n-1>) 连接以接收输入信号, 其第一端与第三电压信号端 VGH 连接, 以及第二端与上拉节点 Q1 连接。感测电路 910 的输入子电路包括第九晶体管 T9, 并且可被配置为在 CR1<n-1>处的输入信号的控制下将第三电压信号 (例如, 高电平 VGH) 传输至上拉节点 Q1。

在一些实施例中, 第十晶体管 T10 的控制端与上拉节点 Q1 连接, 其第一端与第一随机时钟信号端 CLKf1 连接, 以及第二端与感测电路 910 的输出端 P1 连接。此外, 在一些实施例中, 第一电容 C1 的第一端与上拉节点 Q1 连接, 其第二端与感测电路 910 的输出端 P1 连接。第十晶体管 T10 和第一电容 C1 可以构成感测电路 910 的输出子电路, 其可被配置为在上拉节点 Q1 的控制下, 将来自第一随机时钟信号端 CLKf1 的信号传输至感测电路 910 的输出端。

在一些实施例中, 第十一晶体管 T11 的控制端与来自下一级的移位寄存器的感测电路的级联输出 (即, 第一控制信号端 CR1<n+1>) 连接以接收输入信号, 其第一端与第一电压信号端 LVGL 连接, 以及第二端与上拉节点 Q1 连接。感测电路 910 的复位子电路包括第十一晶体管 T11, 并且可被配置为在 CR1<n+1>处的输入信号控制下将第一电压信号 (例如, 低电平 LVGL) 传输至上拉节点 Q1, 以使得感测电路 910 复位。

在一些实施例中, 第十二晶体管 T12 的控制端与总复位线 Total_Rs1 连接, 其第一端与第一电压信号端 LVGL 连接, 以及第二端与上拉节点 Q1 连接。感测电路 910 的总复位子电路包括第十二晶体管 T12, 并且可被配置为在输入信号 Total_Rs1 的控制下将第一电压信号 (例如, 低电平 LVGL) 传输至上拉节点 Q1, 以使得感测电路 910 复位。

在一些实施例中, 第十三晶体管 T13 的控制端与感测电路 910 的下拉节点 Qb1 连接, 其第一端与第一电压信号端 LVGL 连接, 以及第二端与感测电路 910 的输出端 P1 连接。感测电路 910 的输出下拉子电路包括第十三晶体管 T13, 并且可被配置为在下拉节点 Qb1 的控制下将第一电压信号 (例如, 低电平 LVGL) 传输至感测电路 910 的输出端 P1, 以使得其输出低电平信号。

在一些实施例中, 第十四晶体管 T14 的控制端与感测电路 910 的下拉节点 Qb1 连接, 其第一端与第一电压信号端 LVGL 连接, 以及第二端与上拉节点 Q1 连接。感测电路 910 的上拉节点下拉子电路包括第十四晶体管 T14, 并且可被配置为在下拉节点 Qb1 的控制

下将第一电压信号（例如，低电平 LVGL）传输至上拉节点 Q1，以使得在下拉节点 Qb1 变为高电平的情况下，上拉节点 Q1 保持低电平。

在一些实施例中，第十五晶体管 T15 的控制端与上拉节点 Q1 连接，其第一端与第一电压信号端 LVGL 连接，以及第二端与下拉节点 Qb1 连接。第十六晶体管 T16 的控制端和第一端与第三电压信号端 VGH 连接，以及第二端与下拉节点 Qb1 连接。感测电路 910 的下拉节点控制子电路包括第十五晶体管 T15 和第十六晶体管 T16，并且可被配置为在上拉节点 Q1 的控制下将第三电压信号（例如，高电平 VGH）或第一电压信号（例如，低电平 LVGL）之一选择性传输至下拉节点 Qb1，以使得在上拉节点 Q1 为高电平的情况下，下拉节点 Qb1 保持低电平，而在上拉节点 Q1 为低电平的情况下，下拉节点 Qb1 保持高电平。

从而，感测电路 910 的上述构造可以使得其实现移位功能。

在一些实施例中，扫描电路 920 可以包括第十七晶体管 T17 至第二十八晶体管 T28 以及第二电容 C2。在一些实施例中，第十七晶体管 T17 的控制端与来自上一级的移位寄存器的扫描电路的级联输出（即，第二控制输出端 CR2<n-1>）连接，其第一端与第三电压信号端 VGH 连接，以及第二端与上拉节点 Q2 连接。扫描电路 920 的输入子电路包括第十七晶体管 T17，并且可被配置为在 CR2<n-1>处的输入信号的控制下将第三电压信号（例如，高电平 VGH）传输至上拉节点 Q2。

在一些实施例中，第十八晶体管 T18 的控制端与上拉节点 Q2 连接，其第一端与第一输出时钟信号端 CLK1 连接，以及第二端与扫描电路 920 的输出端 P2 连接。此外，在一些实施例中，第二电容 C2 的第一端与上拉节点 Q2 连接，其第二端与扫描电路 920 的输出端 P2 连接。扫描电路 920 的输出子电路包括第十八晶体管 T18 和第二电容 C2，并且可被配置为在上拉节点 Q2 的控制下，将来自第一输出时钟信号端 CLK1 的信号传输至扫描电路 920 的输出端 P2。

在一些实施例中，第十九晶体管 T19 的控制端与来自下一级的移位寄存器的扫描电路的级联输出（即，第二控制输出端 CR2<n+1>）连接，其第一端与第一电压信号端 LVGL 连接，以及第二端与上拉节点 Q2 连接。第二十晶体管 T20 的控制端也与来自下一级的移位寄存器的扫描电路的级联输出（即，第二控制输出端 CR2<n+1>）连接，其第一端与第二电压信号端 VGL 连接，以及第二端与移位寄存器 900 的输出端 OUT 连接。扫描电路 920 的复位子电路包括第十九晶体管 T19 和第二十晶体管 T20，并且可被配置为在输入信号 CR2<n+1>的控制下将第一电压信号（例如，低电平 LVGL）和第二电压信号

(例如, 低电平 VGL) 分别传输至上拉节点 Q2 和移位寄存器 900 的输出端 OUT, 以使得扫描电路 920 复位并使得移位寄存器 900 的整体输出为低电平。

在一些实施例中, 第二十一晶体管 T21 的控制端与总复位线 Total_Rs2 连接 (在一些实施例中, Total_Rs2 和 Total_Rs1 可以是同一根线或提供相同工作时序的信号线), 其第一端与第一电压信号端 LVGL 连接, 以及第二端与上拉节点 Q2 连接。第二十二晶体管 T22 的控制端也与总复位线 Total_Rs2 连接, 其第一端与第二电压信号端 VGL 连接, 以及第二端与移位寄存器 900 的输出端 OUT 连接。扫描电路 920 的总复位子电路包括第二十一晶体管 T21 和第二十二晶体管 T22, 并且可被配置为在输入信号 Total_Rs2 的控制下将第一电压信号 (例如, 低电平 LVGL) 和第二电压信号 (例如, 低电平 VGL) 分别传输至上拉节点 Q2 和移位寄存器 900 的输出端 OUT, 以使得扫描电路 920 复位并使得移位寄存器 900 的整体输出为低电平。

在一些实施例中, 第二十三晶体管 T23 的控制端与扫描电路 920 的下拉节点 Qb2 连接, 其第一端与第一电压信号端 LVGL 连接, 以及第二端与扫描电路 920 的输出端 P2 连接。扫描电路 920 的输出下拉子电路包括第二十三晶体管 T23, 并且可被配置为在下拉节点 Qb2 的控制下将第一电压信号 (例如, 低电平 LVGL) 传输至扫描电路 920 的输出端 P2, 以使得其输出低电平信号。

在一些实施例中, 第二十四晶体管 T24 的控制端与扫描电路 920 的下拉节点 Qb2 连接, 其第一端与第一电压信号端 LVGL 连接, 以及第二端与上拉节点 Q2 连接。扫描电路 920 的上拉节点下拉子电路包括第二十四晶体管 T24, 并且可被配置为在下拉节点 Qb2 的控制下将第一电压信号 (例如, 低电平 LVGL) 传输至上拉节点 Q2, 以使得在下拉节点 Qb2 变为高电平的情况下, 上拉节点 Q2 保持低电平。

在一些实施例中, 第二十五晶体管 T25 的控制端和第一端与第一输出时钟信号端 CLK1 连接, 以及第二端与第二十六晶体管 T26 的控制端连接。第二十六晶体管 T26 的第一端与第一输出时钟信号端 CLK1 连接, 以及第二端与下拉节点 Qb2 连接。第二十七晶体管 T27 的控制端与扫描电路 920 的输出端 P2 连接, 其第一端与第二电压信号端 VGL 连接, 以及第二端与第二十六晶体管 T26 的控制端连接。第二十八晶体管 T28 的控制端与扫描电路 920 的输出端 P2 连接, 第一端与第一电压信号端 LVGL 连接, 以及第二端与下拉节点 Qb2 连接。扫描电路 920 的下拉节点控制子电路包括第二十五晶体管 T25、第二十六晶体管 T26、第二十七晶体管 T27 和第二十八晶体管 T28, 并且可被配置为在上拉节点 Q2 的控制下将第一输出时钟信号端 CLK1 的高电平时钟信号或第一电压信号

(例如, 低电平 LVGL) 之一选择性传输至下拉节点 Qb2, 以使得在上拉节点 Q2 为高电平的情况下, 下拉节点 Qb2 保持低电平, 而在上拉节点 Q2 为低电平的情况下, 下拉节点 Qb2 保持高电平。

从而, 扫描电路 920 的上述构造可以使得其实现移位功能。

以上参考图 4 至图 7 描述的任意实施例的感测电路和扫描电路可以分别具有与上述感测电路 910 和扫描电路 920 相同的结构。

在图 9 所示的实施例中, 晶体管 N2 和 N3 可以形成反相器, 凑个能够实现与图 4 所示的反相器相同的功能, 图 9 的随机移位电路 930 与图 4 的随机移位电路 430 类似, 区别至少在于省略了图 4 所示的第二晶体管 T2 和第三晶体管 T3。即, 在图 9 所示实施例中, 当输出使能端 OE 为低电平时, 晶体管 N3 关闭, 使得第三电压信号端 VGH 的高电平信号经由导通的晶体管 N2 被传输至第一晶体管 T1 的控制端, 从而使得感测电路 910 在图 6 所示的扫描时段期间正常输出级联输出 (即, 在第一控制输出端 CR1<n> 正常输出)。当输出使能端 OE 为高电平时, 第三晶体管 T3 导通, 使得来自第一电压信号端 LVGL 的低电平信号经由导通的第三晶体管 T3 到达第一晶体管 T1 的控制端, 从而使得感测电路 910 在图 6 所示的消隐时段期间不输出级联输出 (即, 第一控制输出端 CR1<n> 始终为低电平)。对于第六晶体管 T6, 同样如此。因此, 在图 9 所示实施例中, 级联输出控制子电路可以包括第一晶体管 T1、第六晶体管 T6 以及反由晶体管 N2 和 N3 形成的反相器, 其实现了与结合图 4 所示的级联输出控制子电路 431 相类似的功能。此外, 图 9 所示的随机移位电路 930 的输出子电路与图 4 所示的随机移位电路 430 的输出子电路 435 的构成相同, 这里不再赘述。

与图 4 所示实施例不同之处至少在于, 图 9 所示的随机移位电路 930 的帧移位子电路包括第四晶体管 T4 和第五晶体管 T5。与图 4 中第四晶体管 T4 的控制端由第二晶体管 T2 和第三晶体管 T3 联合控制不同的是, 图 9 中第四晶体管 T4 的控制端由感测电路 910 的输出端 P1 来控制。然而结合图 6 所示的时序图可以看出来, 二者各自与第五晶体管 T5 的结合之后能够实现相同或类似的功能, 这里不再赘述。

从而, 图 9 所示的移位寄存器 900 与图 4 所示的移位寄存器 400 都可以提供“随机帧移位”功能。

图 10 是示出了根据本公开再一实施例的示例移位寄存器 1000 的电路原理图。如图 10 所示, 移位寄存器 1000 可以包括感测电路 1010、扫描电路 1020 和随机移位电路 1030。随机移位电路 1030 包括例如第四晶体管 T4、第五晶体管 T5、第七晶体管 T7 和第八晶

晶体管 T8。此外，除非另行明确说明，否则在图 10 所示的移位寄存器 1000 中，具有与图 9 相同附图标记的晶体管和电容通常可具有与图 9 所示的晶体管和电容相同或相似的功能和/或连接关系，这里不再赘述。

与图 9 所示移位寄存器 900 相比，图 10 所示的移位寄存器 1000 将用于控制感测电路 1010 和扫描电路 1020 的级联输出（即第一控制输出端 CR1<n>和第二控制输出端 CR2<n>）的两个晶体管，即第一晶体管 T1 和第六晶体管 T6 分别移动到感测电路 1010 和扫描电路 1020 中用来接收输入信号。换言之，将对级联输出（即第一控制输出端 CR1<n>和第二控制输出端 CR2<n>）的控制从移位寄存器的控制输出端转移到了输入端，即转移到上一级移位寄存器的输出控制输入端处。从而，在例如图 6 所示的工作时序的情况下，再考虑到图 7 和图 8 中采用信号切换端 SW 的原理，可以看出图 10 所示的移位寄存器 1000 能够实现与图 9 所示移位寄存器 900 相同或类似的功能。

此外，图 10 中的感测电路 1010 和扫描电路 1020 中的下拉控制子电路分别被实现为反相器。在图 6 所示的时序图的情况下，它们实际上可以实现与图 9 的感测电路 910 和扫描电路 920 中的下拉节点控制子电路相同或类似的功能，这里不再赘述其具体结构。

此外，在一些实施例中，输出使能端 OE 的周期可以为帧频，即其一个周期的时间长度可以与一帧的时间长度相同。此外，帧移位时钟信号端 CLKs 也可以采用该周期，其输出信号可同时作为上拉节点 Q2 的充电信号，也可作为上拉节点 Q2 的放电信号。

此外，本公开的一些实施例提供了一种栅极驱动电路（例如，栅极驱动电路 500 等），包括多个级联的上述移位寄存器（例如，移位寄存器 300、400、700、800、900 和 1000 等）。

此外，本公开的一些实施例提供了一种显示装置。该显示装置可包括前述栅极驱动电路（例如，栅极驱动电路 500 等）。

通过采用根据本公开实施例的移位寄存器及其驱动方法、栅极驱动电路和显示装置，可在采用外部补偿方案时产生所需的复合脉冲，实现对像素电路的正确驱动，从而使得 OLED 显示装置发光更为均匀、用户体验更好。

至此已经结合优选实施例对本公开进行了描述。应该理解，本领域技术人员在不脱离本公开的精神和范围的情况下，可以进行各种其它的改变、替换和添加。因此，本公开的范围不局限于上述特定实施例，而应由所附权利要求所限定。

此外，在本文中被描述为通过纯硬件、纯软件和/或固件来实现的功能，也可以通过专用硬件、通用硬件与软件的结合等方式来实现。例如，被描述为通过专用硬件（例

如，现场可编程门阵列（FPGA）、专用集成电路（ASIC）等）来实现的功能，可以由通用硬件（例如，中央处理单元（CPU）、数字信号处理器（DSP））与软件的结合的方式来实现，反之亦然。

权 利 要 求

1、一种移位寄存器，包括：

扫描电路，被配置为生成用于在扫描时段使所述移位寄存器输出栅极驱动信号中的具有行移位部分的第一信号；

感测电路，被配置为生成用于在消隐时段使所述栅极驱动信号中的具有帧移位部分的第二信号；以及

随机移位电路，与所述扫描电路和所述感测电路分别电连接，并被配置为基于所述第一信号和所述第二信号来生成具有所述行移位部分并且随机地具有所述帧移位部分的栅极驱动信号。

2、根据权利要求1所述的移位寄存器，其中，

所述第一信号包括所述扫描电路的上拉节点处的信号、所述扫描电路的下拉节点处的信号或所述扫描电路的输出端处的信号中的至少一个；并且

所述第二信号包括所述感测电路的上拉节点处的信号、所述感测电路的下拉节点处的信号或所述感测电路的输出端处的信号中的至少一个。

3、根据权利要求2所述的移位寄存器，其中，

所述感测电路与随机时钟信号端相连，并且被配置为响应于在扫描时段所述随机时钟信号端的信号波形发生随机变化，使所述感测电路的上拉节点处的信号在所述扫描时段和所述消隐时段均保持有效；并且

所述随机移位电路与所述感测电路的上拉节点、所述扫描电路的上拉节点和帧移位时钟信号端相连，并且被配置为在消隐时段在所述感测电路的上拉节点处的信号的控制下使所述扫描电路的上拉节点处存储帧移位时钟信号端的电压，并基于所存储的电压产生具有所述帧移位部分的栅极驱动信号。

4、根据权利要求2所述的移位寄存器，其中，所述随机移位电路包括：

级联输出控制子电路，与输出使能端、第一控制输出端、第二控制输出端、所述感测电路的输出端和所述扫描电路的输出端连接，并被配置为在所述输出使能端的控制下，向第一控制输出端提供来自所述感测电路的输出端的信号并且向所述第二控制输出端提供来自所述扫描电路的输出端的信号；

帧移位子电路，与所述输出使能端、所述感测电路的上拉节点和下拉节点、帧移位时钟信号端、随机时钟信号端、第一参考信号端和所述扫描电路的上拉节点连接，并被配置为在所述输出使能端、所述感测电路的上拉节点、所述感测电路的下拉节点、

所述随机时钟信号端、所述第一参考信号端的控制下，将来自所述帧移位时钟信号端的帧移位时钟信号传递至所述扫描电路的上拉节点；以及

输出子电路，与所述输出时钟信号端、所述扫描电路的上拉节点和下拉节点、第二参考信号端和所述移位寄存器的输出端连接，并被配置为在所述扫描电路的上拉节点和所述扫描电路的下拉节点的控制下，将来自所述输出时钟信号端的输出时钟信号和来自所述第二参考信号端的第二参考信号之一选择性地传递至所述移位寄存器的输出端，作为所述移位寄存器输出的栅极驱动信号。

5、根据权利要求3或4所述的移位寄存器，其中，所述随机时钟信号端被配置为在随机信号控制下随机地保持持续电位。

6、根据权利要求2所述的移位寄存器，其中，所述随机移位电路包括：

级联输出控制子电路，与信号切换端、第一控制输出端、第二控制输出端、所述感测电路的输出端和所述扫描电路的输出端连接，并被配置为在所述信号切换端的控制下，向所述第一控制输出端提供来自所述感测电路的输出端的信号并且向所述第二控制输出端提供来自所述扫描电路的输出端的信号；

帧移位子电路，与输出使能端、所述感测电路的上拉节点和下拉节点、帧移位时钟信号端、随机时钟信号端、第一参考信号端和所述扫描电路的上拉节点连接，并被配置为在所述输出使能端、所述感测电路的上拉节点、所述感测电路的下拉节点、所述随机时钟信号端和所述第一参考信号端的控制下，将来自所述帧移位时钟信号端的帧移位时钟信号传递至所述扫描电路的上拉节点；以及

输出子电路，与所述输出时钟信号端、所述扫描电路的上拉节点和下拉节点、第二参考信号端和所述移位寄存器的输出端连接，并被配置为在所述扫描电路的上拉节点和所述扫描电路的下拉节点的控制下，将来自所述输出时钟信号端的输出时钟信号和来自所述第二参考信号端的第二参考信号之一选择性地传递至所述移位寄存器的输出端，作为所述移位寄存器输出的栅极驱动信号。

7、根据权利要求6所述的移位寄存器，其中，所述级联输出控制子电路包括第一晶体管 and 第六晶体管，

所述第一晶体管的控制端与信号切换端连接，第一端与所述感测电路的输出端连接，以及第二端与所述第一控制输出端连接；以及

所述第六晶体管的控制端与所述信号切换端连接，第一端与所述扫描电路的输出端连接，以及第二端与所述第二控制输出端连接。

8、根据权利要求4或6所述的移位寄存器，其中，所述帧移位子电路包括第二晶体管、第三晶体管、第四晶体管和第五晶体管，

所述第二晶体管的控制端与所述感测电路的上拉节点连接，第一端与所述随机时钟信号端连接，以及第二端与所述第四晶体管的控制端连接；

所述第三晶体管的控制端与所述感测电路的下拉节点连接，第一端与所述第一参考信号端连接，以及第二端与所述第四晶体管的控制端连接；

所述第四晶体管的第一端与所述帧移位时钟信号端连接，以及第二端与所述第五晶体管的第一端连接；以及

所述第五晶体管的控制端与所述输出使能端连接，以及第二端与所述扫描电路的上拉节点连接。

9、根据权利要求2所述的移位寄存器，其中，所述随机移位电路包括：

级联输出控制子电路，与输出使能端、第一控制输出端、第二控制输出端、所述感测电路的输出端和所述扫描电路的输出端连接，并被配置为在所述输出使能端的控制下，向第一控制输出端提供来自所述感测电路的输出端的信号并且向所述第二控制输出端提供来自所述扫描电路的输出端的信号；

帧移位子电路，与输出使能端、所述感测电路的输出端、帧移位时钟信号端和所述扫描电路的上拉节点连接，并被配置为在所述输出使能端和所述感测电路的输出端的控制下，将来自所述帧移位时钟信号端的帧移位时钟信号传递至所述扫描电路的上拉节点；以及

输出子电路，与所述输出时钟信号端、所述扫描电路的上拉节点和下拉节点、第二参考信号端和所述移位寄存器的输出端连接，并被配置为在所述扫描电路的所述上拉节点和所述下拉节点的控制下，将来自所述输出时钟信号端的输出时钟信号和来自所述第二参考信号端的第二参考信号之一选择性地传递至所述移位寄存器的输出端，作为所述移位寄存器输出的栅极驱动信号。

10、根据权利要求2所述的移位寄存器，其中，所述扫描电路和所述感测电路还被配置为在信号切换端的控制下选择性接收输入信号，所述感测电路的输出端作为第一控制输出端，以及所述扫描电路的输出端作为第二控制输出端。

11、根据权利要求10所述的移位寄存器，其中，所述随机移位电路包括：

帧移位子电路，与输出使能端、所述感测电路的输出端、帧移位时钟信号端、和所述扫描电路的上拉节点连接，并被配置为在所述输出使能端和所述感测电路的输出

端的控制下，将来自所述帧移位时钟信号端的帧移位时钟信号传递至所述扫描电路的上拉节点；以及

输出子电路，与所述输出时钟信号端、所述扫描电路的上拉节点和下拉节点、第二参考信号端和所述移位寄存器的输出端连接，并被配置为在所述上拉节点和所述下拉节点的控制下，将来自所述输出时钟信号端的输出时钟信号和来自所述第二参考信号端的第二参考信号之一选择性地传递至所述移位寄存器的输出端，作为所述移位寄存器的输出信号。

12、根据权利要求 9 或 11 所述的移位寄存器，其中，所述帧移位子电路包括第四晶体管和第五晶体管，

所述第四晶体管的控制端与所述感测电路的输出端连接，第一端与所述帧移位时钟信号端连接，以及第二端与所述第五晶体管的第一端连接；以及

所述第五晶体管的控制端与所述输出使能端连接，以及第二端与所述扫描电路的上拉节点连接。

13、根据权利要求 4 或 9 所述的移位寄存器，其中，所述级联输出控制子电路包括反相器、第一晶体管和第六晶体管，

所述反相器的第一端与所述输出使能端连接，以及第二端与所述第一晶体管的控制端和所述第六晶体管的控制端连接；

所述第一晶体管的第一端与所述感测电路的输出端连接，以及第二端与所述第一控制输出端连接；以及

所述第六晶体管的第一端与所述扫描电路的输出端连接，以及第二端与所述第二控制输出端连接。

14、根据权利要求 4、6、9 或 11 所述的移位寄存器，其中，所述输出子电路包括第七晶体管和第八晶体管，

所述第七晶体管的控制端与所述扫描电路的上拉节点连接，第一端与输出时钟信号端连接，以及第二端与所述移位寄存器的输出端连接；以及

所述第八晶体管的控制端与所述扫描电路的下拉节点连接，第一端与第二参考信号端连接，以及第二端与所述移位寄存器的输出端连接。

15、一种栅极驱动电路，包括多个级联的根据权利要求 1~14 中任一项所述的移位寄存器。

16、一种显示装置，包括根据权利要求 15 所述的栅极驱动电路。

17、一种用于驱动根据权利要求1~14中任一项所述的移位寄存器的方法，包括：

由扫描电路在来自输出时钟信号端的输出时钟信号的控制下生成用于在扫描时段使栅极驱动信号中具有行移位部分的第一信号；

由感测电路在来自随机时钟信号端的随机时钟信号的控制下生成用于在消隐时段使所述栅极驱动信号中具有帧移位部分的第二信号；以及

由随机移位电路在来自帧移位时钟信号端的帧移位时钟信号、来自输出时钟信号端的输出时钟信号和来自输出使能端的输出使能信号的控制下，基于所述第一信号和所述第二信号来生成具有随机帧移位的栅极驱动信号。

18、根据权利要求17所述的方法，其中，所述移位寄存器还包括与所述随机移位电路或与所述扫描电路和所述感测电路相连的信号切换端，当所述信号切换端处的信号与所述输出使能端处的信号互为反相时，所述随机移位电路根据所述第一信号和所述第二信号来生成随机具有帧移位部分的栅极驱动信号。

19、根据权利要求17所述的移位寄存器，其中，所述移位寄存器还包括与所述随机移位电路或与所述扫描电路和所述感测电路相连的信号切换端，当所述信号切换端处的信号为恒定高电平信号时，所述随机移位电路根据所述第一信号和所述第二信号来生成顺序地具有帧移位部分的栅极驱动信号。

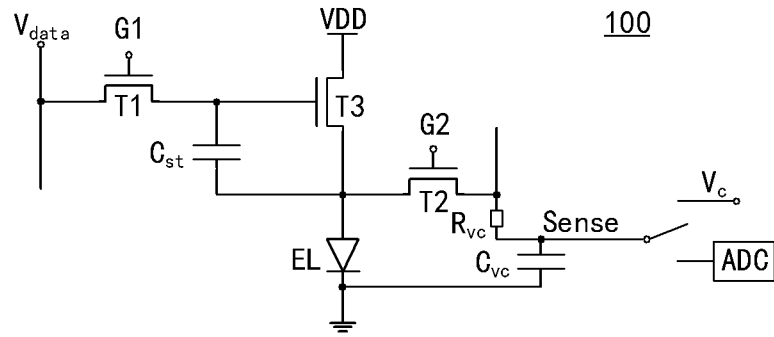


图 1

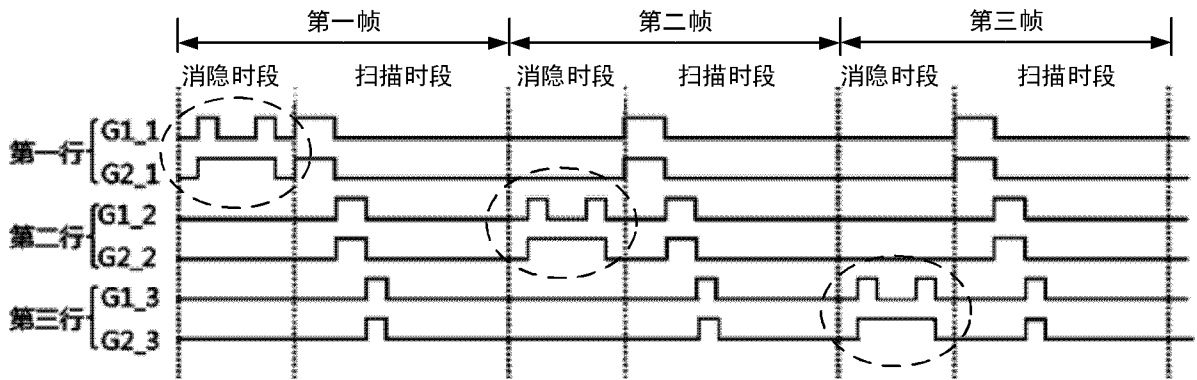


图 2

OE CLKs CLKf LVGL VGL VGH

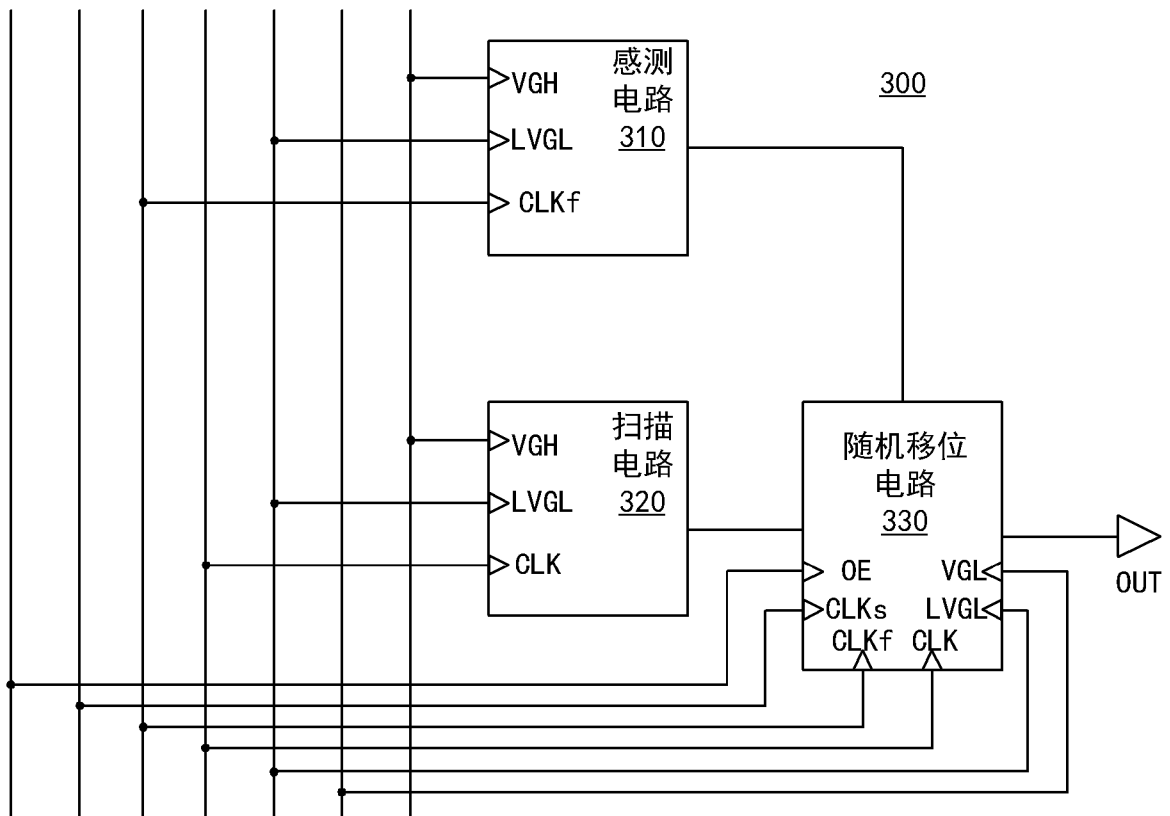


图 3

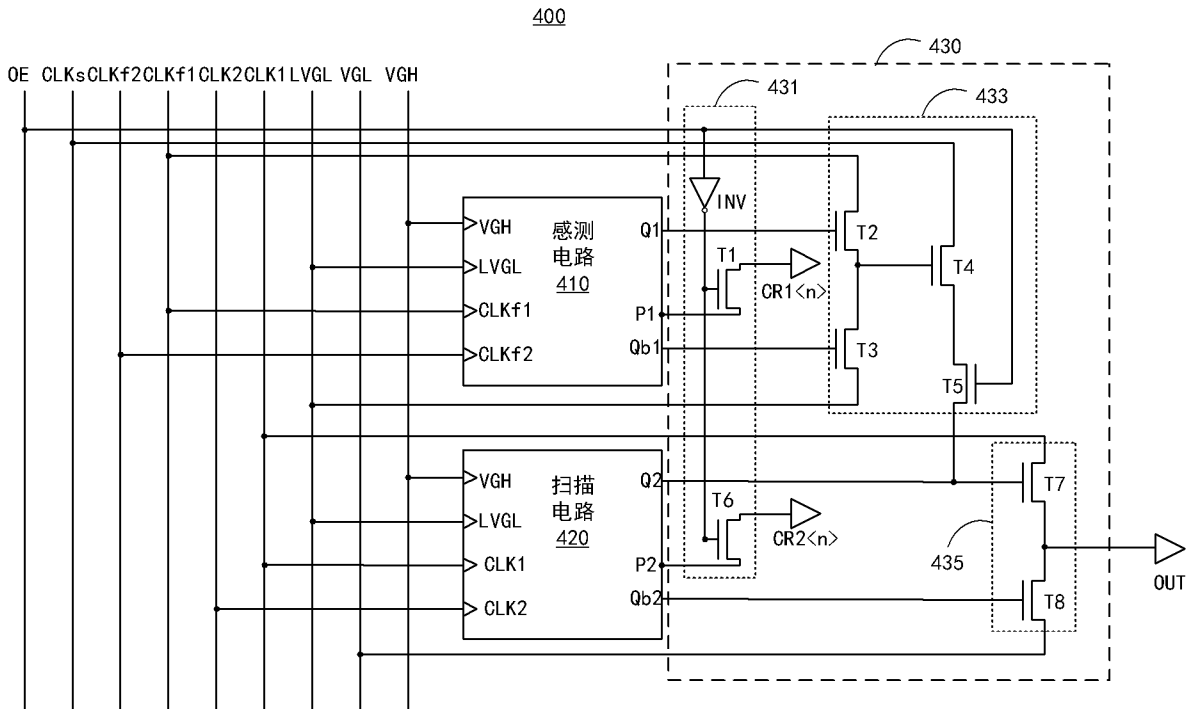


图 4

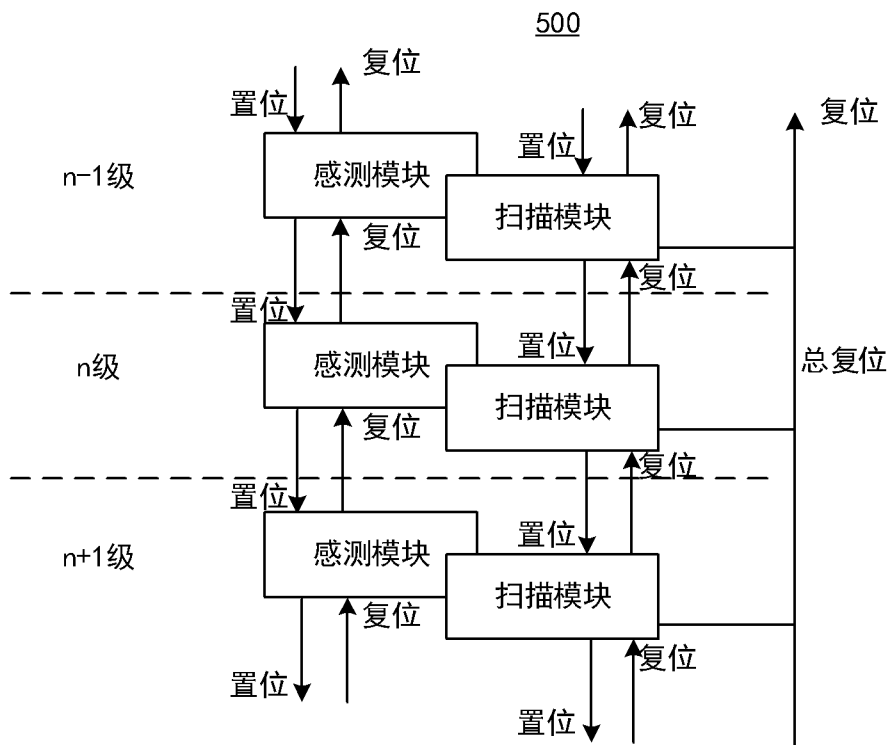


图 5

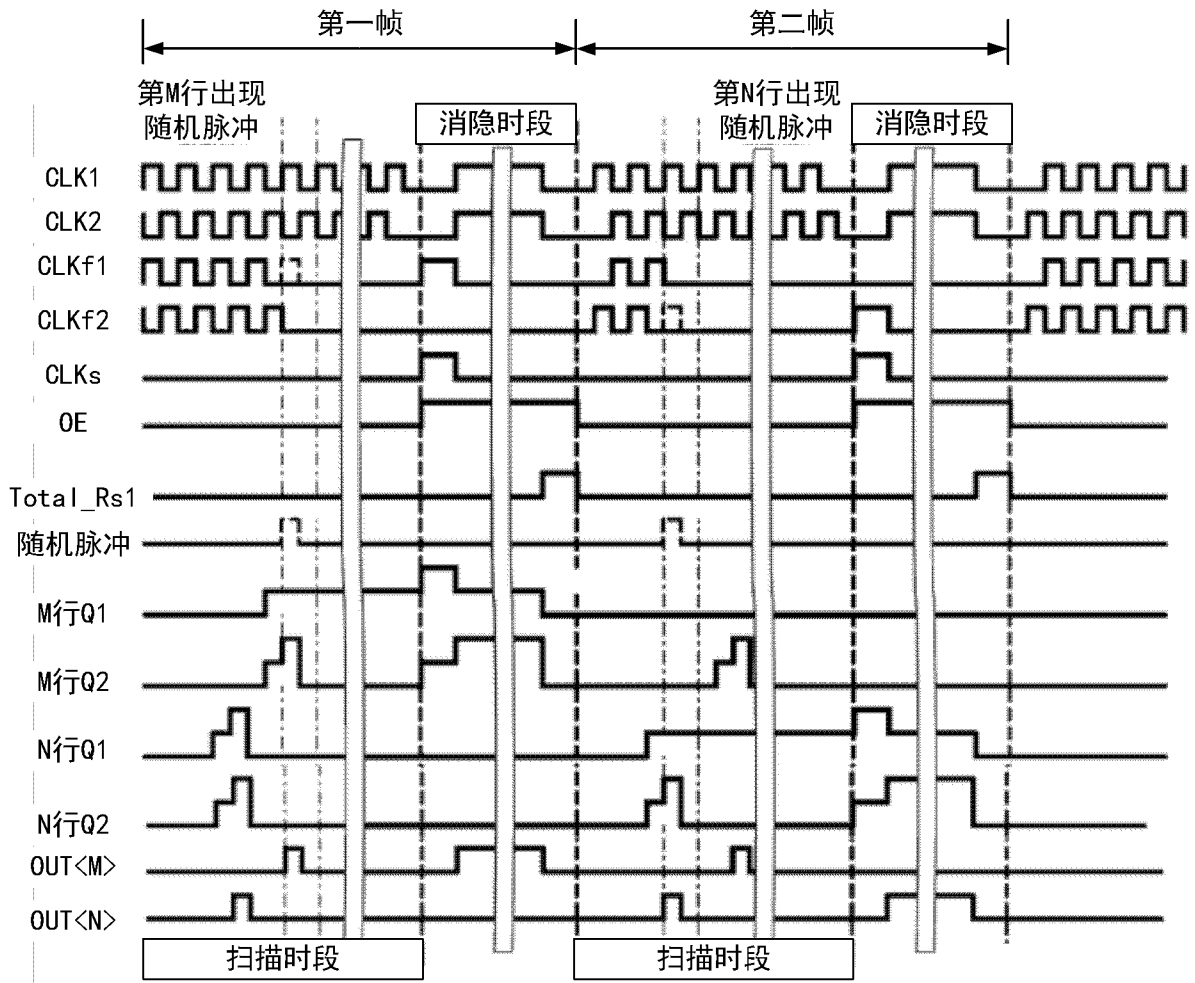


图 6

SW OE CLKs CLKf CLK LVGL VGL VGH

700

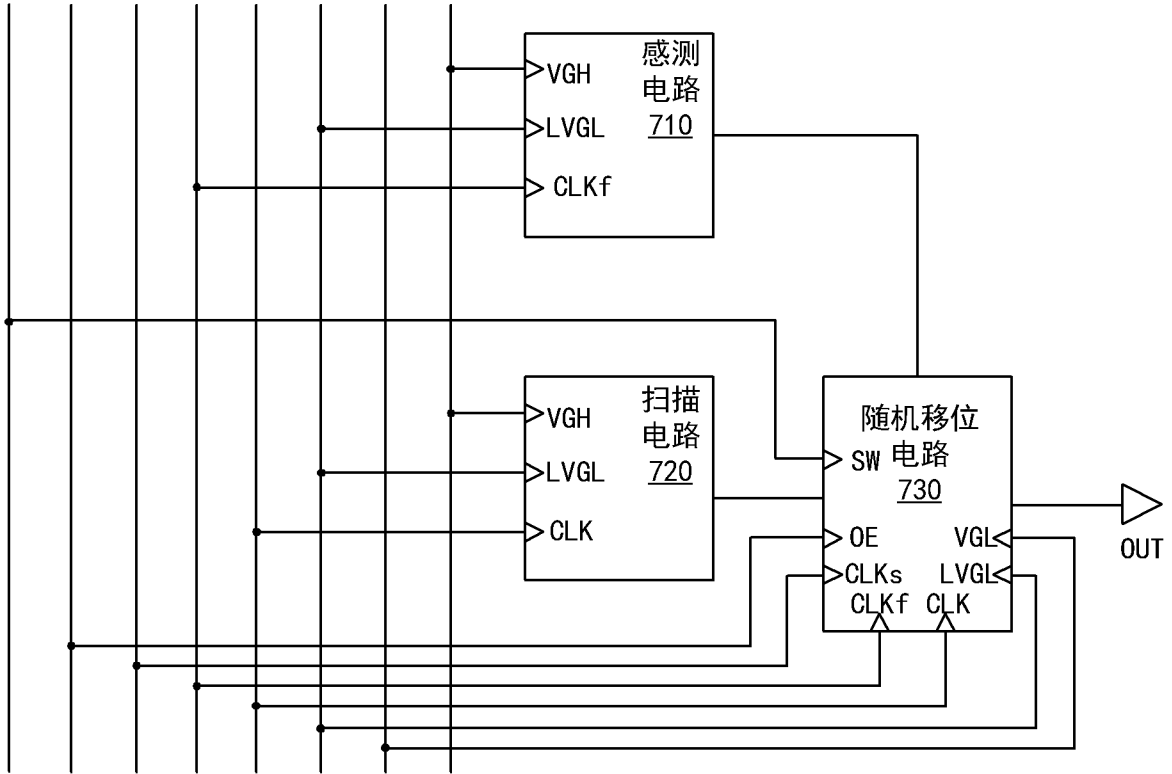


图 7

800

SW OE CLKsCLKf2CLKf1CLK2CLK1LVGL VGL VGH

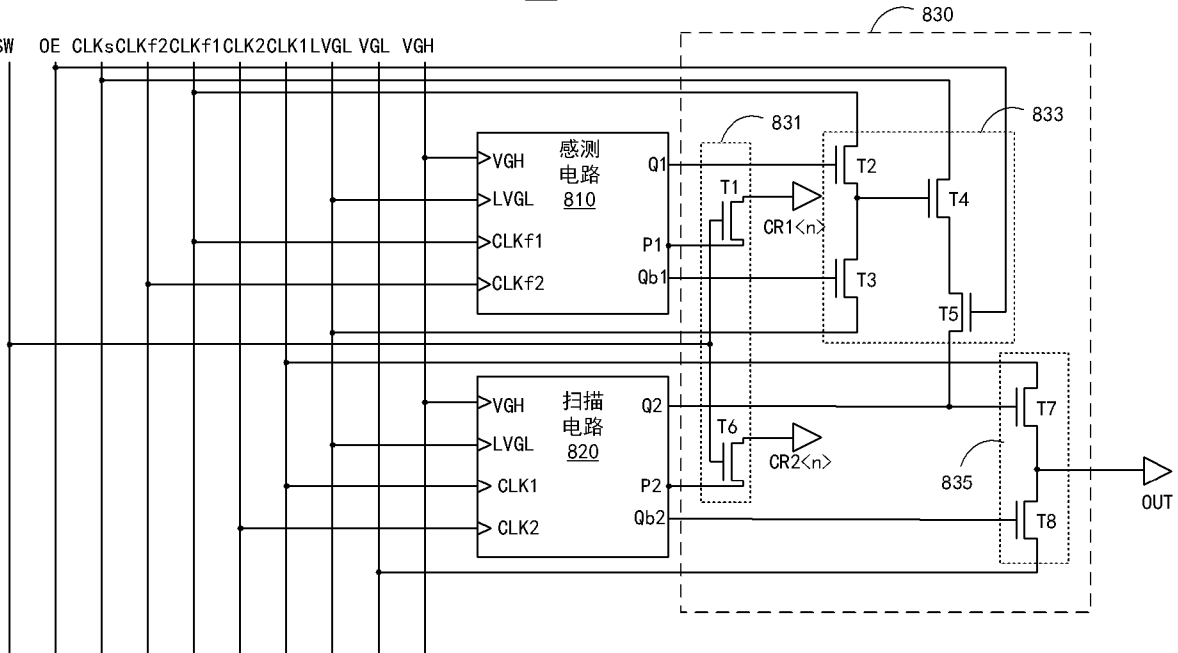


图 8

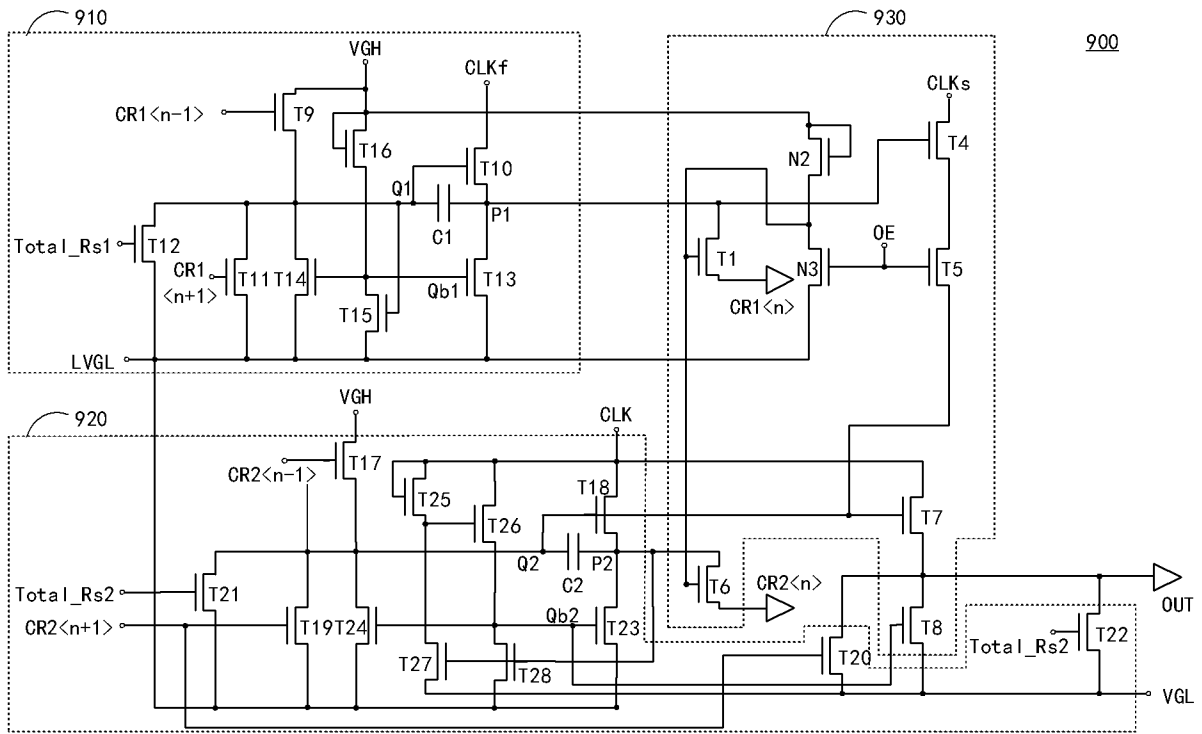


图 9

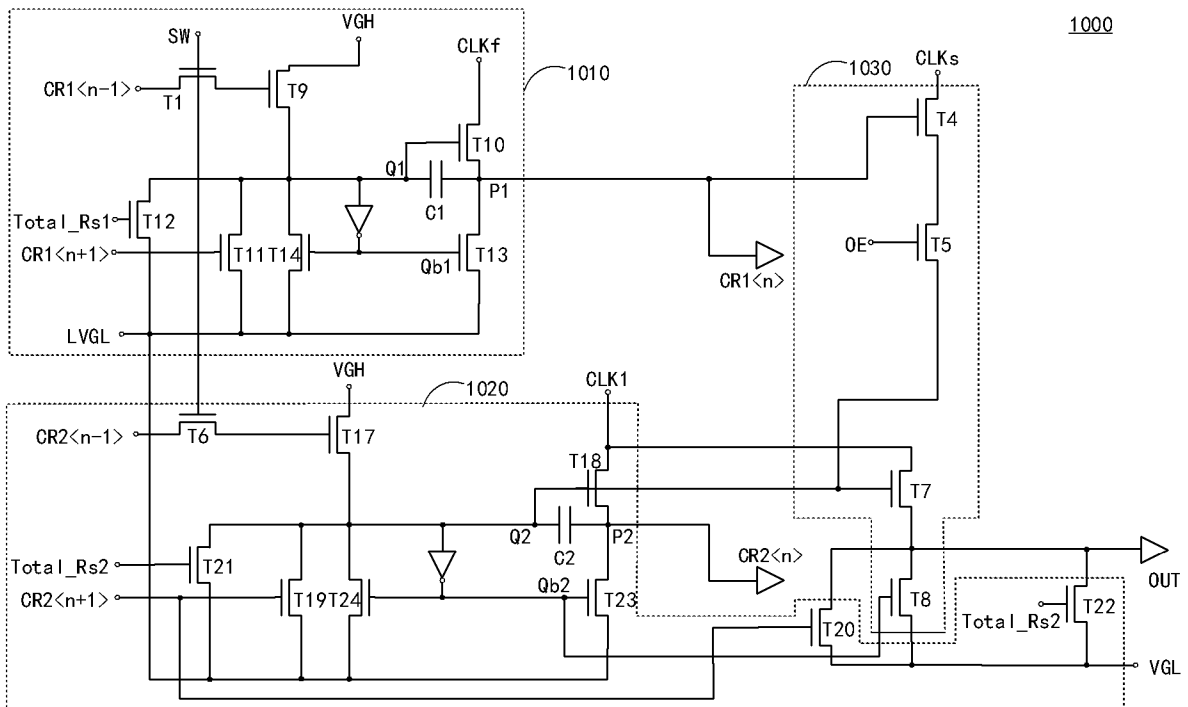


图 10

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/113404

A. CLASSIFICATION OF SUBJECT MATTER		
G11C 19/28(2006.01)i; G09G 3/3266(2016.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G11C; G09G		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) CNPAT, WPI, EPODOC, IEEE, CNKI: 移位寄存器, 随机, 消隐, 扫描, 感测, 帧, shift register, blank+, random+, scan+, sens+, frame		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 109920465 A (HEFEI XINSHENG OPTOELECTRONICS TECHNOLOGY CO., LTD. et al.) 21 June 2019 (2019-06-21) description, paragraphs [0036]-[0100], and figures 3-10	1-19
A	CN 108648716 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 12 October 2018 (2018-10-12) description, paragraphs [0058]-[0073], and figure 1	1-19
A	CN 108682397 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 19 October 2018 (2018-10-19) entire document	1-19
A	KR 20170078978 A (LG DISPLAY CO., LTD.) 10 July 2017 (2017-07-10) entire document	1-19
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 06 January 2020		Date of mailing of the international search report 01 February 2020
Name and mailing address of the ISA/CN China National Intellectual Property Administration No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088 China Facsimile No. (86-10)62019451		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2019/113404

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
CN 109920465 A	21 June 2019	None	
CN 108648716 A	12 October 2018	None	
CN 108682397 A	19 October 2018	None	
KR 20170078978 A	10 July 2017	None	

国际检索报告

国际申请号

PCT/CN2019/113404

<p>A. 主题的分类</p> <p>G11C 19/28 (2006.01) i; G09G 3/3266 (2016.01) i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																	
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>G11C; G09G</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CNPAT, WPI, EPODOC, IEEE, CNKI:移位寄存器, 随机, 消隐, 扫描, 感测, 帧, shift register, blank+, random+, scan+, sens+, frame</p>																	
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>PX</td> <td>CN 109920465 A (合肥鑫晟光电科技有限公司 等) 2019年 6月 21日 (2019 - 06 - 21) 说明书第[0036]-[0100]段, 图3-10</td> <td>1-19</td> </tr> <tr> <td>A</td> <td>CN 108648716 A (京东方科技集团股份有限公司 等) 2018年 10月 12日 (2018 - 10 - 12) 说明书第[0058]-[0073]段, 图1</td> <td>1-19</td> </tr> <tr> <td>A</td> <td>CN 108682397 A (京东方科技集团股份有限公司 等) 2018年 10月 19日 (2018 - 10 - 19) 全文</td> <td>1-19</td> </tr> <tr> <td>A</td> <td>KR 20170078978 A (LG DISPLAY CO., LTD.) 2017年 7月 10日 (2017 - 07 - 10) 全文</td> <td>1-19</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	PX	CN 109920465 A (合肥鑫晟光电科技有限公司 等) 2019年 6月 21日 (2019 - 06 - 21) 说明书第[0036]-[0100]段, 图3-10	1-19	A	CN 108648716 A (京东方科技集团股份有限公司 等) 2018年 10月 12日 (2018 - 10 - 12) 说明书第[0058]-[0073]段, 图1	1-19	A	CN 108682397 A (京东方科技集团股份有限公司 等) 2018年 10月 19日 (2018 - 10 - 19) 全文	1-19	A	KR 20170078978 A (LG DISPLAY CO., LTD.) 2017年 7月 10日 (2017 - 07 - 10) 全文	1-19
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求															
PX	CN 109920465 A (合肥鑫晟光电科技有限公司 等) 2019年 6月 21日 (2019 - 06 - 21) 说明书第[0036]-[0100]段, 图3-10	1-19															
A	CN 108648716 A (京东方科技集团股份有限公司 等) 2018年 10月 12日 (2018 - 10 - 12) 说明书第[0058]-[0073]段, 图1	1-19															
A	CN 108682397 A (京东方科技集团股份有限公司 等) 2018年 10月 19日 (2018 - 10 - 19) 全文	1-19															
A	KR 20170078978 A (LG DISPLAY CO., LTD.) 2017年 7月 10日 (2017 - 07 - 10) 全文	1-19															
<p><input type="checkbox"/> 其余文件在C栏的续页中列出。</p> <p><input checked="" type="checkbox"/> 见同族专利附件。</p>																	
<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&” 同族专利的文件</p>																	
<p>国际检索实际完成的日期</p> <p>2020年 1月 6日</p>		<p>国际检索报告邮寄日期</p> <p>2020年 2月 1日</p>															
<p>ISA/CN的名称和邮寄地址</p> <p>中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10)62019451</p>		<p>受权官员</p> <p>杨莹莹</p> <p>电话号码 86-(10)-53961527</p>															

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2019/113404

检索报告引用的专利文件	公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN 109920465 A	2019年 6月 21日	无	
CN 108648716 A	2018年 10月 12日	无	
CN 108682397 A	2018年 10月 19日	无	
KR 20170078978 A	2017年 7月 10日	无	