



Erfindungspatent für die Schweiz und Liechtenstein
Schweizerisch-liechtensteinischer Patentschutzvertrag vom 22. Dezember 1978

⑫ **PATENTSCHRIFT** A5

⑳ Gesuchsnummer: 1783/92

⑦③ Inhaber:
Landis & Gyr Business Support AG, Zug

㉒ Anmeldungsdatum: 03.06.1992

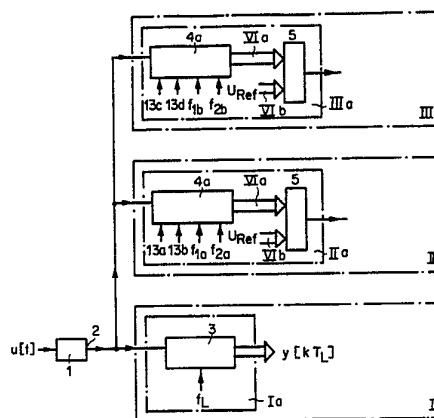
㉔ Patent erteilt: 31.03.1994

④⑤ Patentschrift
veröffentlicht: 31.03.1994

⑦② Erfinder:
Adame, Javier, Walchwil
Gruber, Peter, Zwillikon
Cermeno, Raul, Cham

⑤④ **Eingangsseitige Anordnung eines Gerätes zur Demodulation und/oder Messung von Nutzinformationen enthaltenden, modulierten beziehungsweise unmodulierten Sinussignalen.**

⑤⑦ Die Anordnung enthält einen Sigma-Delta-Modulator (1) zur Umwandlung von Sinussignalen ($u[t]$) in eine Bit-Sequenz, deren Taktfrequenz (f_s) grösser ist als die kleinste Taktfrequenz, die erforderlich ist, um die in den Sinussignalen ($u[t]$) enthaltenen Nutzinformationen aus der Bit-Sequenz wiederzugewinnen. Ein 1Bit-Ausgang (2) des Sigma-Delta-Modulators (1) ist mit je einem Eingang eines pro auszuwertendem moduliertem Sinussignal vorhandenen Quadratur-Demodulators (4a) eines Rundsteuerungs- bzw. PLC-Empfänger (II, III) und mit einem Eingang eines Tiefpassfilters (3) eines Elektrizitätszählers (I) verbunden. Ein Mehrbit-Ausgang der Quadratur-Demodulatoren (4a) ist jeweils mit einem ersten Mehrbit-Eingang eines zugehörigen Komparators (5) verbunden, an dessen zweiten Mehrbit-Eingang ein Referenzwert (U_{REF}) ansteht. Die Anordnung ist preisgünstig, besitzt eine genügend hohe Auflösung und Grenzfrequenz, enthält nur Bauteile, die in einer gleichen Technologie herstellbar sind, und eliminiert nicht die Grundwelle und die Oberwellen der Energie-Versorgungsspannung, so dass die Anordnung in einem Multifunktionsgerät einsetzbar ist.



Beschreibung

Die Erfindung bezieht sich auf eine eingangsseitige Anordnung eines Gerätes zur Demodulation und/oder Messung von, an einem Eingang der Anordnung anstehenden und Nutzinformationen enthaltenden, modulierten beziehungsweise unmodulierten Sinussignalen gemäss dem Oberbegriff des Anspruchs 1.

Das Gerät ist z.B. ein Elektrizitätszähler oder ein zu Trägerfrequenz-Übertragungen über ein elektrisches Energie-Versorgungsnetz gehörender Empfänger, wie z.B. ein Rundsteuerungs-Empfänger oder ein PLC-Empfänger («Power line carrier receiver»). Die PLC-Empfänger sind z.B. Empfänger einer Trägerfrequenz-Telephonie über Hochspannungs-Leitungen (TFH-Telephonie) und/oder Niederspannungs-Leitungen des Energie-Versorgungsnetzes. Besonders vorteilhaft ist die Verwendung der eingangs genannten Anordnung in Multifunktionsgeräten, in denen jeweils zusätzlich zu einem Elektrizitätszähler noch mindestens einer der erwähnten Empfänger vorhanden ist. Der Elektrizitätszähler ist dabei z.B. ein universeller Elektrizitätszähler, der neben Energie noch andere Parameter einer Energieversorgung misst, wie z.B. Spannung, Strom, Frequenz, Phase, Leistung, Leistungsfaktor, Verzerrung, usw. Die gemessene Energie ist dann z.B. eine Wirk- und/oder eine Blind- und/oder eine Scheinenergie. Am Eingang der Anordnung stehen eine Grundwelle (50 Hz- oder 60 Hz-Spannung) und Oberwellen einer Energie-Versorgungsspannung, PLC- und/oder Rundsteuerungs-Empfangssignale an. Die Grundwelle und die Oberwellen der Energie-Versorgungsspannung sind unmodulierte Sinussignale, deren Parameterwerte Nutzinformationen enthalten, die im Elektrizitätszähler gemessen werden. Dabei sind die relativ zur Amplitude der Grundwelle schwachen Rundsteuerungs- und PLC-Empfangssignale im Elektrizitätszähler vernachlässigbar kleine Störsignale. Die PLC- und/oder Rundsteuerungs-Empfangssignale sind modulierte Sinussignale, die zur Rückgewinnung der in ihnen enthaltenen und übertragenen Nutzinformationen im zugehörigen PLC- bzw. Rundsteuerungs-Empfänger demoduliert werden. Für diese Empfänger sind die Grundwelle und die Oberwellen der Energie-Versorgungsspannung sowie fremde PLC- und/oder fremde Rundsteuerungs-Signale alles Störsignale. Sämtliche erwähnten Sinussignale besitzen unterschiedliche Frequenzen.

Aus der DE 3 418 011 C2 ist zur Ermittlung und Demodulation von Rundsteuerungssignalen eine am Eingang eines Rundsteuerungs-Empfängers vorhandene Filter- und Detektions-Schaltung bekannt, die aus einer Kettenschaltung eines analogen Vorfilters, einer Abtast- und Halteschaltung, eines Analog/Digital-Wandlers, einer Kettenschaltung mehrerer Digitalfilter und eines Detektors besteht. Die Digitalfilter sind FIR- («Finite Impulse Response Filter») und/oder IIR-Digitalfilter («Infinite Impulse Response Filter»). Diese Filter- und Detektions-Schaltung benötigt neben Digitalschaltungen hochwertige, anspruchsvolle und präzisierbare Analogschaltungen, die nicht in einer gleichen Technologie her-

stellbar sind wie die Digitalschaltungen. Es sind somit für die bekannte Filter- und Detektions-Schaltung mehrere zusammengeschaltete und in unterschiedlichen Technologien hergestellte integrierte Schaltungen erforderlich. Ausserdem wird die Grundwelle (50 Hz- bzw. 60 Hz-Spannung) und möglicherweise mindestens ein Teil der Oberwellen der am Eingang des Rundsteuerungs-Empfängers anstehenden Energie-Versorgungsspannung durch das analoge Vorfilter eliminiert, so dass anschliessend die Werte der Grundwelle und der betreffenden Oberwellen zur Ausführung von Zählerfunktionen nicht mehr zur Verfügung stehen.

Der Erfindung liegt die Aufgabe zugrunde, eine preisgünstige Anordnung der eingangs genannten Art mit genügend hoher Auflösung und genügend hoher Grenzfrequenz zu verwirklichen, die nur Bestandteile enthält, die in einer gleichen Technologie herstellbar sind, und in der die Grundwelle und die Oberwellen der Energie-Versorgungsspannung nicht eliminiert werden, so dass einerseits die Anordnung in einem einzigen Halbleiterkristall («chip») integrierbar ist und die Herstellung von Ein-«Chip»-Empfängern ermöglicht, sowie andererseits die Anordnung ohne grosse zusätzliche Kosten in einem Multifunktionsgerät einsetzbar ist.

Die genannte Aufgabe wird erfindungsgemäss durch die im Kennzeichen des Anspruchs 1 angegebenen Merkmale gelöst.

Vorteilhafte Ausgestaltungen der Erfindungen ergeben sich aus den abhängigen Ansprüchen.

Ausführungsbeispiele der Erfindung sind in der Zeichnung dargestellt und werden im folgenden näher beschrieben.

Es zeigen:

Fig. 1 ein Blockschaltbild einer ersten Variante einer erfindungsgemässen eingangsseitigen Anordnung eines Multifunktionsgerätes,

Fig. 2 ein Blockschaltbild einer zweiten Variante einer erfindungsgemässen eingangsseitigen Anordnung eines Multifunktionsgerätes,

Fig. 3 ein Blockschaltbild eines bekannten Sigma-Delta-Modulators erster Ordnung,

Fig. 4 ein Blockschaltbild eines 1Bit-Quadratur-Demodulators,

Fig. 5 ein Blockschaltbild eines Mehrbit-Quadratur-Demodulators,

Fig. 6 ein Blockschaltbild eines der in einem 1Bit-Quadratur-Demodulator enthaltenen Tiefpassfilter,

Fig. 7 eine Durchlasskennlinie des in der Fig. 6 dargestellten Tiefpassfilters und

Fig. 8 ein Blockschaltbild eines weiteren Tiefpassfilters.

Gleiche Bezugszahlen bezeichnen in allen Figuren der Zeichnung gleiche Teile.

Nachfolgend gilt die Annahme, dass in einem in der Fig. 1 dargestellten Multifunktionsgerät neben einem Elektrizitätszähler I noch ein Rundsteuerungs-Empfänger II und ein PLC-Empfänger III vorhanden sind und dass in einem in der Fig. 2 dargestellten Multifunktionsgerät neben dem Elektrizitätszähler I noch zwei Rundsteuerungs-Empfänger II

und IV vorhanden sind. Ausserdem ist die Summe aller, am Eingang der Anordnung anstehenden und Nutzinformationen enthaltenden, modulierten und unmodulierten Sinussignalen unterschiedlicher Frequenzen durch eine zeitvariable elektrische Spannung $u[t]$ dargestellt. Die in der Fig. 1 und der Fig. 2 dargestellte eingangsseitige Anordnung des Multifunktionsgerätes, an deren Eingang die Spannung $u[t]$ und damit auch die Sinussignale anstehen, enthält eingangsseitig einen Sigma-Delta-Modulator 1 zur Umwandlung der Sinussignale in eine an einem 1Bit-Ausgang 2 des Sigma-Delta-Modulators 1 anstehende Bit-Sequenz. Nachfolgend stellt eine Zahl $k = 1, 2, 3, \dots$ eine laufende Nummer von laufend durchnummerierten, in der Bit-Sequenz enthaltenen zeitreihlichen Bits dar. Die Bit-Sequenz enthält in Gestalt binärcodierter Daten die in den Sinussignalen enthaltenen Nutzinformationen. Die Bit-Sequenz weist eine Taktfrequenz $f_s = 1/T_s$ («sampling frequency») auf, die bedeutend grösser ist als die sogenannte Nyquist-Frequenz. Die letztere ist bekanntlich die kleinste durch das Abtast-Theorem («sampling theorem») gegebene Taktfrequenz $f_{\min} = 2f_g$, die erforderlich ist, um die in den Sinussignalen enthaltenen Nutzinformationen aus der Bit-Sequenz wiederzugewinnen. Die Grenzfrequenz f_g ist dabei die höchste noch Nutzinformationen enthaltende Frequenz der zu übertragenden Nachricht.

In der in der Fig. 1 dargestellten ersten Variante der erfindungsgemässen Anordnung ist der 1Bit-Ausgang 2 des Sigma-Delta-Modulators 1 unmittelbar mit je einem Eingang eines pro auszuwertendem moduliertem Sinussignal vorhandenen 1Bit-Quadratur-Demodulators 4a verbunden. Der letztere verarbeitet zu einem gegebenen Zeitpunkt äusserst schnell immer nur ein einziges Bit an seinem Eingang. In der in der Fig. 1 dargestellten Anordnung werden zwei modulierte Sinussignale ausgewertet, nämlich eines pro Rundsteuerungs-Empfänger II und eines pro PLC-Empfänger III, so dass auch zwei 1Bit-Quadratur-Demodulatoren 4a vorhanden sind, nämlich je einer in Eingangsteilen IIa bzw. IIIa der beiden Empfänger II und III. Ausserdem ist fakultativ für auszuwertende unmodulierte Sinussignale ein Tiefpassfilter 3 vorhanden, z.B. in einem Eingangsteil Ia des Elektrizitätszählers I. Dabei ist ein Eingang des Tiefpassfilters 3 mit dem 1Bit-Ausgang 2 des Sigma-Delta-Modulators 1 verbunden. Der 1Bit-Quadratur-Demodulator 4a des Rundsteuerungs-Empfängers II wird über je einen getrennten Eingang mit einem ersten Referenzsignal 13a, einem zweiten Referenzsignal 13b und in einer bevorzugten Ausführung mit einer ersten Taktfrequenz f_{1a} und einer zweiten Taktfrequenz f_{2a} gespeist. Der 1Bit-Quadratur-Demodulator 4a des PLC-Empfängers III wird über je einen getrennten Eingang mit einem dritten Referenzsignal 13c, einem vierten Referenzsignal 13d und in der bevorzugten Ausführung mit einer dritten Taktfrequenz f_{1b} und einer vierten Taktfrequenz f_{2b} gespeist. Die Bandbreite des Tiefpassfilters 3 ist mindestens so gross, vorzugsweise jedoch viel grösser als die höchste Frequenz der im Gerät auszuwertenden unmodulierten Sinussignale. Das Tiefpassfilter 3 eliminiert durch Filterung unter anderem auch den grössten Teil ei-

nes im Sigma-Delta-Modulator 1 erzeugten Quantisierungsrauschens. Das Tiefpassfilter 3 wird über einen Takteingang mit einer langsamen Taktfrequenz $f_L = 1/T_L$ gespeist. Die Kettenschaltung 1; 3 des Sigma-Delta-Modulators 1 und des Tiefpassfilters 3 bilden zusammen einen Mehrbit-Analog/Digital-Wandler, der ein digitales Mehrbit-, vorzugsweise ein 12Bit- oder 16Bit-Ausgangssignal $y[kT_L]$ aufweist. Der Analog/Digital-Wandler 1; 3 ist, was in Elektrizitätszählern unbedingt erforderlich ist, betrugssicher, da er eingangsseitig integrierend ist und dort mit einer hohen Abtastfrequenz f_s betrieben wird. Er besitzt ausserdem eine hohe Genauigkeit ohne Bereichsumschaltung und ist preisgünstiger als ein üblicher, im Handel erhältlicher Analog/Digital-Wandler gleicher Auflösung, z.B. 12 oder 16 Bits, und gleicher Grenzfrequenz f_g . Das 12Bit- oder 16Bit-Ausgangssignal $y[kT_L]$ wird im Elektrizitätszähler I ausgewertet zwecks Ermittlung von dort interessierenden Parameterwerten, wie z.B. Spannungs-, Frequenz-, Phasen-, Leistungs-, Leistungsfaktor-, Verzerrungs-Werte, usw. In der in der Fig. 2 dargestellten zweiten Variante der erfindungsgemässen Anordnung ist der 1Bit-Ausgang 2 des Sigma-Delta-Modulators 1 über das Tiefpassfilter 3 mit einem Mehrbit-Eingang mindestens eines pro auszuwertendem moduliertem Sinussignal vorhandenen Mehrbit-Quadratur-Demodulators 4b verbunden, indem ein Mehrbit-Ausgang des Tiefpassfilters 3 über eine Busverbindung IV mit dem Mehrbit-Eingang des betreffenden Mehrbit-Quadratur-Demodulators 4b verbunden ist. Der Mehrbit-Quadratur-Demodulator 4b des ersten Rundsteuerungs-Empfängers II wird in einer bevorzugten Ausführung über je einen getrennten Eingang mit einer fünften Taktfrequenz f_{1c} und einer sechsten Taktfrequenz f_{2c} gespeist. Der Mehrbit-Quadratur-Demodulator 4b des zweiten Rundsteuerungs-Empfängers IV wird in der bevorzugten Ausführung über je einen getrennten Eingang mit einer siebten Taktfrequenz f_{1a} und einer achten Taktfrequenz f_{2a} gespeist. Die Bandbreite des Tiefpassfilters 3 ist in der zweiten Variante mindestens so gross wie die höchste Frequenz von zugehörigen auszuwertenden modulierten und unmodulierten Sinussignalen. In der zweiten Variante werden die im Analog/Digital-Wandler 1; 3 aus der Spannung $u[t]$ erzeugten 12Bit- bzw. 16Bit-Digitalwerte dem Mehrbit-Quadratur-Demodulator 4b zugeführt, um dort demoduliert zu werden. Bedingung dabei ist das Vorhandensein einer genügend grossen pegelmässigen Auflösung des Ausgangssignals $y[kT_L]$ des Analog/Digital-Wandlers 1; 3, da die Pegel der Grundwelle und der meisten Oberwellen der Energie-Versorgungsspannung bedeutend grösser sind als die viel niedrigeren Pegel der empfangenen Rundsteuerungs- und/oder PLC-Signale und somit eine grosse Dynamik am Ausgang des Analog/Digital-Wandlers 1; 3 vorhanden ist. Nachteil der zweiten Variante ist, dass im Mehrbit-Quadratur-Demodulator 4b mehrere Bits gleichzeitig parallel verarbeitet werden müssen, was einen entsprechend grossen und/oder komplizierten Bauelemente-Aufwand erfordert. Vorteil der zweiten Variante ist, dass die gleichzeitige Verarbeitung mehrerer Bits langsamer erfolgen kann.

In beiden Varianten ist jeweils jedem Quadratur-Demodulator 4a oder 4b ein Komparator 5 zugeordnet. Der Komparator 5 ist z.B. ein Digitalkomparator, dessen beide Eingänge jeweils Mehrbit-Eingänge sind. Ein Mehrbit-Ausgang des Quadratur-Demodulators 4a bzw. 4b ist in diesem Fall über eine Busverbindung VIa mit einem ersten Mehrbit-Eingang und ein Mehrbit-Digitalwert eines Referenzwertes U_{Ref} über eine weitere Busverbindung VIb mit dem zweiten Mehrbit-Eingang des Digitalkomparators verbunden. Das Ausgangssignal des Komparators 5 ist in jedem Fall das detektierte Rundsteuerungs- bzw. PLC-Signal und dient in der Rundsteuerung nach seiner Dekodierung in bekannter und nicht dargestellter Weise z.B. einer Ein/Aus-Schaltung einer Strassenbeleuchtung oder einer Hochtartar/Niedertarif-Umschaltung des Elektrizitätszählers I.

Der Aufbau des Sigma-Delta-Modulators 1 ist an sich bekannt, z.B. aus dem Buch «Oversampling Delta-Sigma Data Converters», J.C. Candy und G.C. Temes, IEEE Press, New York, 1992, Seiten 1 bis 25. Zum besseren Verständnis der Erfindung wird nachfolgend ein in der Fig. 3 dargestellter bekannter Sigma-Delta-Modulator erster Ordnung näher beschrieben. Dieser enthält ein Subtraktionsglied 6, einen Verstärker 7, einen Integrator 8 und einen 1Bit-Analog/Digital-Wandler 9, die in der angegebenen Reihenfolge in einer Kettenschaltung hintereinander geschaltet sind. Ein Ausgang des 1Bit-Analog/Digital-Wandlers 9 bildet einerseits den 1Bit-Ausgang 2 des Sigma-Delta-Modulators 1 und ist andererseits über einen 1Bit-Digital/Analog-Wandler 10 mit einem Minus-Eingang des Subtraktionsgliedes 6 verbunden, dessen Plus-Eingang einen Eingang des Sigma-Delta-Modulators 1 bildet, an dem die Spannung $u[t]$ und damit auch die Sinussignale anstehen. Der 1Bit-Analog/Digital-Wandler 9 ist somit in einem Regelkreis 6; 7; 8; 9; 10 integriert, wobei der 1Bit-Digital/Analog-Wandler 10 ein Rückkopplungsglied einer den Regelkreis 6; 7; 8; 9; 10 bildenden Rückkopplungsschleife ist. Der 1Bit-Analog/Digital-Wandler 9 enthält an seinem Eingang vorzugsweise einen Komparator 9a, dessen Ausgang mit einem Eingang einer Abtastschaltung 9b verbunden ist, auf deren Takteingang periodische Impulse geführt sind, die in Funktion der Zeit t rechteckförmig sind und deren Frequenz gleich der Taktfrequenz $f_s = 1/T_s$ der Bit-Sequenz ist. Es gilt z.B. $f_s = 1,64$ MHz, was einer Grenzfrequenz $f_g = f_s/2 = 820$ kHz entspricht. Ein nichtinvertierender erster Eingang des Komparators 9a bildet z.B. den Eingang des 1Bit-Analog/Digital-Wandlers 9, der mit dem Ausgang des Integrators 8 verbunden ist, während an einem invertierenden zweiten Eingang des Komparators 9a eine konstante Referenzspannung U_0 liegt, die z.B. null Volt beträgt. Die Abtastschaltung 9b ist z.B. ein D-Flip Flop und ihr Eingang der D-Eingang des letzteren. Der Q-Ausgang des D-Flip Flops bildet dann z.B. den Ausgang des 1Bit-Analog/Digital-Wandlers 9. Der 1Bit-Digital/Analog-Wandler 10 enthält vorzugsweise einen einpoligen Umschalter 10a zur Umschaltung innerhalb des 1Bit-Digital/Analog-Wandlers 10 eines Ausgangs desselben von einer konstanten positiven Spannung

+ U_R auf einer konstanten negativen Spannung $-U_R$, oder umgekehrt. Die beiden Spannungen + U_R und $-U_R$ besitzen dabei einen gleichgrossen Absolutwert U_R . Der Steuereingang des einpoligen Umschalters 10a bildet einen mit dem Ausgang des 1Bit-Analog/Digital-Wandlers 9 verbundenen Eingang des 1Bit-Digital/Analog-Wandlers 10. Die Taktfrequenz der Bit-Sequenz am Ausgang des 1Bit-Analog/Digital-Wandlers 9 ist f_s . Mit der gleichen Frequenz wird der einpolige Umschalter 10a umgeschaltet, so dass ein auf den Minus-Eingang des Subtraktionsgliedes 6 geführtes Ausgangssignal $\hat{u}_h[t]$ des 1Bit-Digital/Analog-Wandlers 10 aus, in Funktion der Zeit t , positiven und negativen rechteckförmigen Impulsen unterschiedlicher Dauer und der Amplitude U_R besteht, wobei die Dauer der Impulse ein Vielfaches der Periode T_s beträgt. Das Ausgangssignal $\hat{u}_h[t]$ ist ein auf die beiden Werte + U_R und $-U_R$ reduzierter Schätzwert der Eingangsspannung $u[t]$ des Sigma-Delta-Modulators 1. Eine im Subtraktionsglied 6 gebildete Differenz zwischen der Eingangsspannung $u[t]$ und dem Schätzwert $\hat{u}_h[t]$ besteht aus Differenzsignalen, die in erster Näherung als konstant angenommen werden können, da die Frequenz f_s bedeutend grösser ist als die Frequenzen der in der Spannung $u[t]$ enthaltenen Sinussignale. Die Differenzsignale werden im Verstärker 7 verstärkt und die so verstärkten Differenzsignale anschliessend im Integrator 8 integriert, so dass am Ausgang des letzteren ein, in Funktion der Zeit t , annähernd sägezahnförmiges Signal $z[t]$ entsteht, dessen steigende und fallende Flanken jeweils eine Steilheit besitzen, die proportional den Werten der Amplituden der Differenzsignale ist. Das sägezahnförmige Signal $z[t]$ wird im Komparator 9a in ein aus, in Funktion der Zeit t , rechteckförmigen Impulsen bestehendes quantisiertes Signal $\{x[t]\}_{QS}$ umgewandelt. Der Index QS bedeutet dabei quantisiert. In der Abtastschaltung 9b werden die rechteckförmigen Impulse schliesslich mit der Frequenz f_s abgetastet und in so viele zeitseriell aufeinanderfolgende Bits umgewandelt, wie Werte der Periode $T_s = 1/f_s$ im Wert der zugehörigen Impulsdauer enthalten ist. Innerhalb der Abtastschaltung 9b des 1Bit-Analog/Digital-Wandlers 9 wird somit das quantisierte Ausgangssignal $\{X[t]\}_{QS}$ des Komparators 9a in ein abgetastetes quantisiertes Signal $\{x[kT_s]\}_{QS}$ umgewandelt. Der 1Bit-Analog/Digital-Wandler 9 ist dabei zwar ein sehr schneller Wandler, er besitzt jedoch nur eine sehr grobe Auflösung, da eine Quantisierung auf 1 Bit die grösste überhaupt mögliche Quantisierung ist. Am Ausgang des Sigma-Delta-Modulators 1 ist somit die Nutzinformation nur in einer einzigen hochfrequenten 1Bit-Sequenz vorhanden, deren Frequenzspektrum dasjenige der originalen Eingangs-Nutzinformationen und eines im Sigma-Delta-Modulator 1 erzeugten Quantisierungsrauschens enthält, welches, da vor allem im oberen Teil des Frequenzspektrums liegend, mit nachgeschalteten einfachen Tiefpass-Digitalfiltern eliminiert werden kann (siehe 14 und 15 in Fig. 4 sowie 14a und 15a in Fig. 5).

Innerhalb eines in der Fig. 4 dargestellten 1Bit-Quadratur-Demodulators 4a ist dessen Eingang auf je einen ersten Eingang eines ersten und zweiten

Multiplizierglied 11 bzw. 12 geführt. Das jeweils aus periodischen rechteckförmigen Impulsen bestehende Referenzsignal 13a oder 13c bzw. 13b oder 13d, dessen Frequenz jeweils gleich einer Referenzfrequenz f_R ist, ist unmittelbar auf einen zweiten Eingang des ersten Multipliziergliedes 11 bzw. des zweiten Multipliziergliedes 12 geführt, wobei die beiden Referenzsignale 13a bzw. 13c und 13b bzw. 13d jeweils um 90° gegeneinander phasenverschoben sind. Ein Ausgang eines jeden Multipliziergliedes 11 und 12 ist über ein zugehöriges Tiefpassfilter 14 bzw. 15 mit einem Mehrbit-Eingang eines zugehörigen Quadriergliedes 16 bzw. 17 verbunden, dessen Mehrbit-Ausgang mit einem ersten beziehungsweise zweiten Mehrbit-Eingang eines Addiergliedes 18 verbunden ist. Der Mehrbit-Ausgang des letzteren bildet einen Mehrbit-Ausgang des 1Bit-Quadratur-Demodulators 4a. In der dargestellten bevorzugten Ausführung sind zwei, in Funktion der Zeit t , aus periodischen rechteckförmigen Impulsen bestehende Signale mit je einer Taktfrequenz f_{1a} oder f_{1b} bzw. f_{2a} oder f_{2b} auf je einen von zwei getrennten Takteingängen der Tiefpassfilter 14 und 15 geführt. Die Quadrierglieder 16 und 17 sind z.B. Multiplizierglieder, deren beide Mehrbit-Eingänge jeweils miteinander und mit dem Mehrbit-Ausgang des zugehörigen Tiefpassfilters 14 bzw. 15 verbunden sind. Die Multiplizierglieder 11 und 12 sind vorzugsweise jeweils ein zwei Eingänge aufweisendes Exklusiv-Oder-Gatter. Die Bauelementegruppe 16; 17; 18 bildet die Summe der Quadrate der Ausgangssignale der Tiefpassfilter 14 und 15 und damit auch die Summe orthogonaler Anteile der Ausgangssignale der beiden Multiplizierglieder 11 und 12. Diese Summe erscheint als Gleichspannungsnutzsignal am Ausgang des Addiergliedes 18 und damit auch am Ausgang des 1Bit-Quadratur-Demodulators 4a.

Ein in der Fig. 5 dargestellter Mehrbit-Quadratur-Demodulator 4b ist ähnlich aufgebaut wie der in der Fig. 4 dargestellte 1Bit-Quadratur-Demodulator 4a mit folgenden Unterschieden:

– Die Multiplizierglieder 11 und 12 sind je ein digitales Mehrbit-Multiplizierglied, welches jeweils zwei über je eine Busverbindung angesteuerte Mehrbit-Eingänge und einen Mehrbit-Ausgang besitzt, wobei der letztere jeweils über eine Busverbindung mit einem Mehrbit-Eingang eines das Tiefpassfilter 14 bzw. 15 ersetzenden zugehörigen Tiefpassfilters 14a bzw. 15a verbunden ist, dessen beide Takteingänge jeweils mit der Taktfrequenz f_{1c} oder f_{1d} bzw. f_{2c} oder f_{2d} gespeist ist.

– In einer ersten in der Fig. 5 dargestellten Untervariante der zweiten Variante sind die Referenzsignale 13a und 13c bzw. 13b und 13d sinus- bzw. kosinusförmige Signale, also um 90° phasenverschobene Signale, von denen jeweils digitale diskrete Abtastwerte in einem ersten ROM-Speicher (»read only memory«) 13e bzw. in einem zweiten ROM-Speicher 13f gespeichert sind. Dabei ist ein Mehrbit-Ausgang des ersten ROM-Speichers 13e über eine Busverbindung mit dem zweiten Mehrbit-Eingang des ersten Multipliziergliedes 11 und ein Mehrbit-Ausgang des zweiten ROM-Speichers 13f über eine weitere Busverbindung mit dem zweiten

Mehrbit-Eingang des zweiten Multipliziergliedes 12 verbunden. In einer zweiten in der Zeichnung nicht dargestellten Untervariante der zweiten Variante bestehen die Referenzsignale 13a und 13c bzw. 13b und 13d wieder wie in der ersten Variante aus den dort beschriebenen periodischen rechteckförmigen Impulsen der Referenzfrequenz f_R und steuern die beiden Multiplizierglieder 11 und 12 genauso an, wie in der Fig. 4 dargestellt ist. Der zweite Eingang der Multiplizierglieder 11 und 12 ist in diesem Fall jeweils ein 1Bit-Eingang.

– Am Mehrbit-Eingang des Mehrbit-Quadratur-Demodulators 4b steht statt des 1Bit-Ausgangssignals des Sigma-Delta-Modulators 1 das Mehrbit-Ausgangssignal $y[kT_1]$ des Tiefpassfilters 3 an.

Die beiden Quadratur-Demodulatoren 4a und 4b funktionieren prinzipiell ähnlich, mit dem Unterschied, dass im Mehrbit-Quadratur-Demodulator 4b Mehrbit-Eingangssignale verarbeitet werden. In der ersten Untervariante wird in den beiden Multipliziergliedern 11 und 12 das Mehrbit-Signal $y[kT_1]$ mit den im ROM-Speicher 13a bzw. 13b abgespeicherten digitalen Abtastwerten multipliziert. Die in diesem Fall im Mehrbit-Quadratur-Demodulator 4b enthaltene Bauelementegruppe 11; 12; 14a; 15a ist im Handel erhältlich und wird dort als Multiplikator-Akkumulator MAC (»multiplier accumulator«) bezeichnet. Der Mehrbit-Quadratur-Demodulator 4b wird in vorteilhafter Weise vorzugsweise mittels eines DSP-Mikrocomputers (»digital signal processor«) realisiert, der dann vorzugsweise ein im Handel erhältlicher sogenannter MAC-Rechner (»multiplier accumulator«) ist.

Eines der auszuwertenden modulierten Sinussignale ist vorzugsweise ein Rundsteuerungssignal. Dann ist der zugehörige Quadratur-Demodulator 4a bzw. 4b eingangsseitig in einem im Gerät vorhandenen Rundsteuerungsempfänger II oder IV enthalten und die Referenzfrequenz f_R , d.h. die Frequenz der auf die zweiten Eingänge der Multiplizierglieder 11 und 12 geführten Taktsignale, des zugehörigen Quadratur-Demodulators 4a bzw. 4b gleich einer vorgegebenen und dem Rundsteuerungsempfänger II bzw. IV zugeordneten Rundsteuerungsfrequenz. Die Rundsteuerfrequenzen liegen im Frequenzbereich von 110 Hz bis 1600 Hz. Die Phase des betreffenden Sinussignals spielt in der Rundsteuerung keine Rolle.

Eines der auszuwertenden modulierten Sinussignale ist vorzugsweise ein moduliertes Trägerfrequenzsignal eines über ein Energieversorgungsnetz übertragenen Nachrichtensignals. Dann ist der zugehörige Quadratur-Demodulator 4a bzw. 4b eingangsseitig in einem im Gerät vorhandenen Nachrichtensignalempfänger III enthalten und die Referenzfrequenz f_R , d.h. die Frequenz der auf die zweiten Eingänge der Multiplizierglieder 11 und 12 geführten Taktsignale, des zugehörigen Quadratur-Demodulators 4a bzw. 4b gleich einer vorgegebenen und dem Nachrichtensignalempfänger III zugeordneten Trägerfrequenz. Diese Trägerfrequenzen liegen im Frequenzbereich von 30 kHz bis 100 kHz.

Eine Gleichspannungs-Komponente des Ausgangssignals des Quadratur-Demodulators 4a bzw.

4b enthält jeweils die Nutzinformation des zugehörigen übertragenen Rundsteuerungs- bzw. PLC-Signals.

Die Tiefpassfilter 14 und 15 bzw. 14a und 15a sind vorzugsweise bekannte nichtrekursive Digitalfilter, auch FIR-Filter («Finite Impulse Response Filter») genannt, und/oder bekannte rekursive Digitalfilter, auch IIR-Filter («Infinite Impulse Response Filter») genannt. Sie bestehen jeweils in vorteilhafter Weise aus einer Kettenschaltung mehrerer hintereinander geschalteter Sinc-Filter M-ter Ordnung, wobei die einzelnen Sinc-Filter M-ter Ordnung der Kettenschaltung durch je einen Zwischenspeicher («latch») voneinander getrennt sind und wobei die Ordnungszahl M für die einzelnen Sinc-Filter der Kettenschaltung gleiche oder unterschiedliche ganzzahlige Werte besitzt. Die Zwischenspeicher werden vorzugsweise mit unterschiedlichen Taktfrequenzen betrieben, wobei die Taktfrequenz eines Zwischenspeichers jeweils kleiner ist als die Taktfrequenz des in der Kettenschaltung vorangehenden Zwischenspeichers. Die Zwischenspeicher bestehen z.B. aus D-Flip Flops und enthalten dann so viele D-Flip Flops wie das Ausgangssignal des in der Kettenschaltung vorangehenden Sinc-Filters M-ter Ordnung Anzahl Bits aufweist. Die Takteingänge aller D-Flip Flops eines Zwischenspeichers werden mit, in Funktion der Zeit, periodischen rechteckförmigen Impulsen gespeist, deren Frequenz die Taktfrequenz des Zwischenspeichers ist. Die Frequenz-Kennlinie eines Sinc-Filters M-ter Ordnung der Länge n ist bekanntlich:

$$|H_n(f)|^M = \left\{ \frac{1}{n} \right\} \cdot e^{-j\pi f(n-1)/f_s} \left[\frac{\sin(\pi f n / f_s)}{\sin(\pi f / f_s)} \right]^M.$$

Die Tiefpassfilter 14, 15, 14a und 15a besitzen jeweils vorzugsweise den in der Fig. 6 dargestellten Aufbau und bestehen dann jeweils in der angegebenen Reihenfolge aus einer Kettenschaltung eines ersten Sinc-Filters 19, eines ersten Zwischenspeichers 20, eines zweiten Sinc-Filters 21, eines zweiten Zwischenspeichers 22 und eines dritten Sinc-Filters 23. Eines der Sinc-Filter 19, 21 oder 23 ist z.B. ein Sinc-Filter erster Ordnung, ein anderes ein Sinc-Filter zweiter Ordnung und ein weiteres ein Sinc-Filter dritter Ordnung. Vorzugsweise ist das erste Sinc-Filter 19 ein Sinc-Filter erster Ordnung, das zweite Sinc-Filter 21 ein Sinc-Filter zweiter Ordnung und das dritte Sinc-Filter 23 ein Sinc-Filter dritter Ordnung. Die Ausgangssignale der drei Sinc-Filter 19, 21 und 23 besitzen z.B. P bzw. Q bzw. R Bits. Die Zwischenspeicher 20 und 22 enthalten dann jeweils P bzw. Q Bits. Das Sinc-Filter 19 besitzt in der zweiten erfindungsgemässen Variante einen Buseingang (siehe Fig. 6). In der ersten erfindungsgemässen Variante ist dieser Buseingang jedoch ein 1Bit-Eingang (nicht dargestellt). Der Ausgang des Sinc-Filters 19 ist über eine erste P-Bit-Busverbindung 24 mit einem Eingang des Zwischenspeichers 20 verbunden, dessen Ausgang über eine zweite P-Bit-Busverbindung 25 auf einen Eingang des Sinc-Filters 21 geführt ist. Der Ausgang des letzteren ist über eine erste Q-Bit-Busverbindung 26 mit einem Eingang des Zwischenspeichers 22 verbunden, dessen Ausgang über eine

zweite Q-Bit-Busverbindung 27 auf einen Eingang des Sinc-Filters 23 geführt ist. Der Ausgang des letzteren ist auf eine R-Bit-Busverbindung 28 geführt, die den Ausgang des Tiefpassfilters 14, 15, 14a bzw. 15a bildet. Die Zwischenspeicher 20 und 22 sind jeweils mit periodischen rechteckförmigen Impulsen der Taktfrequenz f_{1a} , f_{1b} , f_{1c} oder f_{1d} bzw. f_{2a} , f_{2b} , f_{2c} oder f_{2d} gespeist. In der ersten Variante der erfindungsgemässen Anordnung besitzt das Eingangssignal des in der Kettenschaltung ersten Sinc-Filters 19 die gleiche Taktfrequenz $f_s = 1/T_s$ wie das Ausgangssignal des Sigma-Delta-Modulators 1, nämlich z.B. 1,64 MHz. Im Zwischenspeicher 20 wird ein die Taktfrequenz f_s aufweisendes P-Bit-Ausgangssignal des Sinc-Filters 19 mit der Taktfrequenz $f_{1a} = 1/T_{1a}$ bzw. $f_{1b} = 1/T_{1b}$ bzw. $f_{1c} = 1/T_{1c}$ bzw. $f_{1d} = 1/T_{1d}$ abgetastet und das so erhaltene P-Bit-Abtastsignal gespeichert. Letzteres ist das P-Bit-Eingangssignal des Sinc-Filters 21 und besitzt die Taktfrequenz f_{1a} bzw. f_{1b} bzw. f_{1c} bzw. f_{1d} , so dass das Sinc-Filter 21 mit dieser Taktfrequenz betrieben wird. Es gilt $K_1 = T_{1a}/T_s$ bzw. $K_1 = T_{1b}/T_s$ bzw. $K_1 = T_{1c}/T_s$ bzw. $K_1 = T_{1d}/T_s$, wobei K_1 immer grösser als Eins ist. Die Taktfrequenz f_s des Eingangssignals des Sinc-Filters 19 ist somit immer grösser als die Taktfrequenz f_{1a} bzw. f_{1b} bzw. f_{1c} bzw. f_{1d} , z.B. 12,8 kHz, des Eingangssignals des Sinc-Filters 21. Letzteres wertet somit nur jeden K_1 -ten Takt des Ausgangssignals des Sinc-Filters 19 aus, ein Arbeitsvorgang, der in der Fachsprache als «1 aus K_1 »-Dezimation («decimation») bezeichnet wird, wobei K_1 ein Überabtastfaktor («oversampling factor») darstellt. Das Eingangssignal des Sinc-Filters 21 besitzt somit die Taktfrequenz f_{1a} bzw. f_{1b} bzw. f_{1c} bzw. f_{1d} . Im Zwischenspeicher 22 wird ein diese Taktfrequenz aufweisendes Q-Bit-Ausgangssignal des Sinc-Filters 21 mit einer Taktfrequenz $f_{2a} = 1/T_{2a}$ bzw. $f_{2b} = 1/T_{2b}$ bzw. $f_{2c} = 1/T_{2c}$ bzw. $f_{2d} = 1/T_{2d}$ abgetastet und das so erhaltene Q-Bit-Abtastsignal gespeichert. Letzteres ist das Q-Bit-Eingangssignal des Sinc-Filters 23 und besitzt die Taktfrequenz f_{2a} bzw. f_{2b} bzw. f_{2c} bzw. f_{2d} , so dass das Sinc-Filter 23 mit dieser Taktfrequenz betrieben wird. Es gilt $K_2 = T_{2a}/T_{1a}$ bzw. $K_2 = T_{2b}/T_{1b}$ bzw. $K_2 = T_{2c}/T_{1c}$ bzw. $K_2 = T_{2d}/T_{1d}$ wobei K_2 immer grösser als Eins ist. Die Taktfrequenz f_{1a} bzw. f_{1b} bzw. f_{1c} bzw. f_{1d} des Eingangssignals des Sinc-Filters 21 ist somit immer grösser als die Taktfrequenz f_{2a} bzw. f_{2b} bzw. f_{2c} bzw. f_{2d} , z.B. 100 Hz, des Eingangssignals des Sinc-Filters 23. Letzteres wertet somit nur jeden K_2 -ten Takt des Ausgangssignals des Sinc-Filters 21 aus. K_2 ist ein weiterer Überabtastfaktor. Das am Ausgang des Sinc-Filters 23 anstehende R-Bit-Ausgangssignal besitzt z.B. eine Bandbreite von 12,5 Hz. Der Wert der Taktfrequenz f_2 des Sinc-Filters 23 ist so niedrig gewählt, dass letzteres mittels eines preisgünstigen Mikrocomputers realisierbar ist, was unter anderem den Vorteil hat, dass die Bandbreite von 12,5 Hz variabel und damit in Grenzen einstellbar ist. Die Bandbreite eines Rundsteuerungssignals ist bekanntlich höchstens 10 Hz.

Die Durchlass-Kennlinie des in der Fig. 6 dargestellten Filters 14, 15, 14a bzw. 15a ist aus der Fig. 7 ersichtlich, wo die minimal erforderliche

Dämpfung zur Elimination der Störsignale durch eine parallel zur Abszisse verlaufenden Gerade H dargestellt ist und durch die Filterdämpfung bereits bei 18, 75 Hz überschritten wird, so dass alle höhere Frequenzen genügend stark durch das Filter gedämpft werden.

Vorteile der ersten erfindungsgemässen Variante sind somit die Vermeidung von Mehrbit-Verarbeitungen durch Verwendung von hochfrequenten 1Bit-Sequenzen, die Elimination aller Störsignale mittels einfacher Tiefpassfilter 14 und 15, da die Nutzinformation jeweils in einer Gleichspannungs-Komponente des demodulierten Signals enthalten ist, und die Möglichkeit günstige Filterkennlinien zu verwirklichen durch eine geeignete Wahl der Taktfrequenzen f_s , f_{1a} bzw. f_{1b} und f_{2a} bzw. f_{2b} , der Länge sowie des Typs des verwendeten Filters.

Das Tiefpassfilter 3 ist vorzugsweise ein Sinc-Filter dritter Ordnung und besitzt in einer vorteilhaften Ausführung z.B. den in der Fig. 8 dargestellten Aufbau. Es besteht dann in der angegebenen Reihenfolge aus einer Kettenschaltung eines Integrationsteils 29 des Sinc-Filters dritter Ordnung, eines Zwischenspeichers 30 und eines Differentiationsteils 31 des Sinc-Filters dritter Ordnung. Die Ausgangssignale der beiden Filterteile 29 und 31 besitzen z.B. S bzw. T Bits, mit S grösser oder gleich T. Der Zwischenspeicher 30 enthält dann S Bits. Der Ausgang des Integrationsteils 29 ist über eine erste S-Bit-Busverbindung 32 mit einem Eingang des Zwischenspeichers 30 verbunden, dessen Ausgang über eine zweite S-Bit-Busverbindung 33 auf einen Eingang des Differentiationsteils 31 geführt ist. Der Ausgang des letzteren ist auf eine T-Bit-Busverbindung 34 geführt, die den Ausgang des Tiefpassfilters 3 bildet. Der Zwischenspeicher 30 ist mit periodischen rechteckförmigen Impulsen der Taktfrequenz f_L gespeist. Das Eingangssignal des Integrationsteils 29 besitzt die gleiche Taktfrequenz $f_s = 1/T_s$ wie das Ausgangssignal des Sigma-Delta-Modulators 1, nämlich z.B. 1,64 MHz. Im Zwischenspeicher 30 wird ein die Taktfrequenz f_s aufweisendes S-Bit-Ausgangssignal des Integrationsteils 29 mit der Taktfrequenz $f_L = 1/T_L$ abgetastet und das so erhaltene S-Bit-Abtastsignal gespeichert. Letzteres ist das S-Bit-Eingangssignal des Differentiationsteils 31 und besitzt die Taktfrequenz f_L , so dass der Differentiationsteil 31 mit der Taktfrequenz f_L betrieben wird. Es gilt $K_L = T_L/T_s$, wobei K_L immer grösser als Eins ist. Die Taktfrequenz f_s des Eingangssignals des Integrationsteils 29 ist somit immer grösser als die Taktfrequenz f_L , z.B. 12,8 kHz, des Eingangssignals des Differentiationsteils 31. Letzteres wertet somit nur jeden K_L -ten Takt des Ausgangssignals des Integrationsteils 29 aus. K_L ist wieder ein Überabtastfaktor. Am Ausgang des Differentiationsteils 31 ist ein T-Bit-Ausgangssignal vorhanden. Die Grenzfrequenz f_g des Analog/Wandlers 1; 3 ist z.B. $f_L/2 = 6,4$ kHz.

Patentansprüche

1. Eingangsseitige Anordnung eines Gerätes zur Demodulation und/oder Messung von, an einem Eingang der Anordnung anstehenden und Nutzinforma-

tionen enthaltenden, modulierten beziehungsweise unmodulierten Sinussignalen ($u(t)$) unterschiedlicher Frequenzen, dadurch gekennzeichnet, dass die Eingangsanordnung eingangsseitig einen Sigma-Delta-Modulator (1) enthält zur Umwandlung der Sinussignale ($u(t)$) in eine an einem 1Bit-Ausgang (2) des Sigma-Delta-Modulators (1) anstehende Bit-Sequenz, die die in den Sinussignalen ($u(t)$) enthaltenen Nutzinformationen in Gestalt binärcodierter Daten enthält, wobei die Bit-Sequenz eine Taktfrequenz (f_s) aufweist, die grösser ist als die kleinste Taktfrequenz (Nyquist-Frequenz f_{min}), die erforderlich ist, um die in den Sinussignalen ($u(t)$) enthaltenen Nutzinformationen aus der Bit-Sequenz wiederzugewinnen, und dass der 1Bit-Ausgang (2) des Sigma-Delta-Modulators (1) mit je einem Eingang eines pro auszuwertendem moduliertem Sinussignal vorhandenen Quadratur-Demodulators (4a, 4b) verbunden ist.

2. Anordnung nach Anspruch 1, dadurch gekennzeichnet, dass ein Tiefpassfilter (3) vorhanden ist, dessen Bandbreite mindestens so gross ist wie die höchste Frequenz der im Gerät auszuwertenden unmodulierten Sinussignale, und dass der 1Bit-Ausgang (2) des Sigma-Delta-Modulators (1) mit einem Eingang des Tiefpassfilters (3) verbunden ist.

3. Anordnung nach Anspruch 2, dadurch gekennzeichnet, dass das Tiefpassfilter (3) ein Sinc-Filter ist.

4. Anordnung nach Anspruch 2, dadurch gekennzeichnet, dass das Tiefpassfilter (3) aus einer Kettenschaltung eines Integrationsteils (29) eines Sinc-Filters und eines Differentiationsteils (31) eines Sinc-Filters besteht, wobei das Eingangssignal des Integrationsteils (29) eine Taktfrequenz (f_s) besitzt, die grösser ist als die Taktfrequenz (f_L) des Eingangssignals des Differentiationsteils (31).

5. Anordnung nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, dass der 1Bit-Ausgang (2) des Sigma-Delta-Modulators (1) unmittelbar mit je einem Eingang des pro auszuwertendem moduliertem Sinussignal vorhandenen Quadratur-Demodulators verbunden ist und dass der letztere ein 1Bit-Quadratur-Demodulator (4a) ist.

6. Anordnung nach Anspruch 5, dadurch gekennzeichnet, dass innerhalb des 1Bit-Quadratur-Demodulators (4a) dessen Eingang auf je einen ersten Eingang eines ersten und eines zweiten Multipliziergliedes (11, 12) geführt ist, dass ein erstes und zweites Referenzsignal (13a und 13b bzw. 13c und 13d) auf einen zweiten Eingang des ersten Multipliziergliedes (11) beziehungsweise des zweiten Multipliziergliedes (12) geführt ist, wobei die beiden Referenzsignale (13a und 13b bzw. 13c und 13d) um 90° gegeneinander phasenverschoben sind, und dass ein Ausgang eines jeden Multipliziergliedes (11, 12) über ein zugehöriges Tiefpassfilter (14 bzw. 15) mit einem Mehrbit-Eingang eines zugehörigen Quadriergliedes (16 bzw. 17) verbunden ist, dessen Mehrbit-Ausgang mit einem ersten beziehungsweise zweiten Mehrbit-Eingang eines Addiergliedes (18) verbunden ist, wobei der Mehrbit-Ausgang des Addiergliedes (18) einen Mehrbit-Ausgang des 1Bit-Quadratur-Demodulators (4a) bildet.

7. Anordnung nach einem der Ansprüche 2 bis 4,

dadurch gekennzeichnet, dass die Bandbreite des Tiefpassfilters (3) mindestens so gross ist wie die höchste Frequenz von zugehörigen auszuwertenden modulierten und unmodulierten Sinussignalen, dass der 1Bit-Ausgang (2) des Sigma-Delta-Modulators (1) über das Tiefpassfilter (3) mit einem Mehrbit-Eingang mindestens eines der pro auszuwertendem moduliertem Sinussignal vorhandenen Quadratur-Demodulatoren verbunden ist und dass der betreffende Quadratur-Demodulator ein Mehrbit-Quadratur-Demodulator (4b) ist.

8. Anordnung nach Anspruch 7, dadurch gekennzeichnet, dass innerhalb des Mehrbit-Quadratur-Demodulators (4b) dessen Mehrbit-Eingang auf je einen ersten Mehrbit-Eingang eines ersten und eines zweiten Multipliziergliedes (11, 12) geführt ist, die beide Mehrbit-Multiplizierglieder sind, dass ein Mehrbit-Ausgang eines ersten ROM-Speichers (13e) mit einem zweiten Mehrbit-Eingang des ersten Multipliziergliedes (11) und ein Mehrbit-Ausgang eines zweiten ROM-Speichers (13f) mit einem zweiten Mehrbit-Eingang des zweiten Multipliziergliedes (12) verbunden ist, dass im ersten Rom-Speicher (13e) Abtastwerte eines eine Referenzfrequenz (f_R) aufweisenden Referenzsignals abgespeichert sind, dass im zweiten Rom-Speicher (13f) Abtastwerte eines die Referenzfrequenz (f_R) aufweisenden 90° phasenverschobenen Referenzsignals abgespeichert sind, und dass ein Mehrbit-Ausgang eines jeden Multipliziergliedes (11, 12) über ein zugehöriges Tiefpassfilter (14a bzw. 15a) mit einem Mehrbit-Eingang eines zugehörigen Mehrbit-Quadraturgliedes (16 bzw. 17) verbunden ist, dessen Mehrbit-Ausgang mit einem ersten beziehungsweise zweiten Mehrbit-Eingang eines Mehrbit-Addiergliedes (18) verbunden ist, wobei der Mehrbit-Ausgang des Mehrbit-Addiergliedes (18) einen Mehrbit-Ausgang des Mehrbit-Quadratur-Demodulators (4b) bildet.

9. Anordnung nach Anspruch 7, dadurch gekennzeichnet, dass innerhalb des Mehrbit-Quadratur-Demodulators (4b) dessen Mehrbit-Eingang auf je einen ersten Mehrbit-Eingang eines ersten und eines zweiten Multipliziergliedes (11, 12) geführt ist, die beide Mehrbit-Multiplizierglieder sind, dass ein erstes und zweites Referenzsignal (13a und 13b) auf einen zweiten Eingang des ersten Multipliziergliedes (11) beziehungsweise des zweiten Multipliziergliedes (12) geführt ist, wobei die beiden Referenzsignale (13a und 13b) um 90° gegeneinander phasenverschoben sind, und dass ein Ausgang eines jeden Multipliziergliedes (11, 12) über ein zugehöriges Tiefpassfilter (14a bzw. 15a) mit einem Mehrbit-Eingang eines zugehörigen Quadraturgliedes (16 bzw. 17) verbunden ist, dessen Mehrbit-Ausgang mit einem ersten beziehungsweise zweiten Mehrbit-Eingang eines Addiergliedes (18) verbunden ist, wobei der Mehrbit-Ausgang des Addiergliedes (18) einen Mehrbit-Ausgang des Mehrbit-Quadratur-Demodulators (4b) bildet.

10. Anordnung nach einem der Ansprüche 6, 8 oder 9, dadurch gekennzeichnet, dass die Tiefpassfilter (14, 15 bzw. 14a, 15a) des Quadratur-Demodulators (4a, 4b) jeweils aus einer Kettenschaltung mehrerer hintereinander geschalteter Sinc-Filter

M-ter Ordnung (19, 21, 23) bestehen, wobei die Ordnungszahl M für die einzelnen Sinc-Filter der Kettenschaltung gleiche oder unterschiedliche ganzzahlige Werte besitzt.

11. Anordnung nach Anspruch 10, dadurch gekennzeichnet, dass die Tiefpassfilter (14, 15 bzw. 14a, 15a) des Quadratur-Demodulators (4a, 4b) jeweils aus einem Sinc-Filter erster Ordnung, einem Sinc-Filter zweiter Ordnung und einem Sinc-Filter dritter Ordnung bestehen, die in einer Kettenschaltung hintereinander geschaltet sind, wobei ein Eingangssignal des in der Kettenschaltung ersten Sinc-Filters (19) eine grössere Taktfrequenz (f_s , f_L) besitzt als ein Eingangssignal des in der Kettenschaltung zweiten Sinc-Filters (21) und wobei das Eingangssignal des letzteren eine grössere Taktfrequenz (f_{1a} , f_{1b} , f_{1c} , f_{1d}) aufweist als das Eingangssignal des in der Kettenschaltung dritten Sinc-Filters (23).

12. Anordnung nach Anspruch 11, dadurch gekennzeichnet, dass das Eingangssignal des in der Kettenschaltung dritten Sinc-Filters (23) eine Taktfrequenz (f_{2a} , f_{2b} , f_{2c} , f_{2d}) besitzt, die so niedrig ist (z.B. 100 Hz), dass das dritte Sinc-Filter (23) mittels eines Mikrocomputers realisierbar ist.

13. Anordnung nach Anspruch 6 oder einem der Ansprüche 8 bis 12, dadurch gekennzeichnet, dass ein auszuwertendes moduliertes Sinussignal ein Rundsteuerungssignal ist, dass ein zugehöriger Quadratur-Demodulator (4a, 4b) eingangsseitig in einem im Gerät enthaltenen Rundsteuerungsempfänger (II, IV) enthalten ist und dass die Frequenz (f_R) der auf die zweiten Eingänge der beiden Multiplizierglieder (11, 12) geführten Taktsignale des zugehörigen Quadratur-Demodulators (4a, 4b) gleich einer vorgegebenen und dem Rundsteuerungsempfänger (II, IV) zugeordneten Rundsteuerungsfrequenz ist.

14. Anordnung nach Anspruch 6 oder einem der Ansprüche 8 bis 12, dadurch gekennzeichnet, dass ein auszuwertendes moduliertes Sinussignal ein moduliertes Trägerfrequenzsignal eines über ein Energieversorgungsnetz übertragenen Nachrichtensignals ist, dass ein zugehöriger Quadratur-Demodulator (4a) eingangsseitig in einem im Gerät enthaltenen Nachrichtensignalempfänger (III) enthalten ist und dass die Frequenz (f_R) der auf die zweiten Eingänge der beiden Multiplizierglieder (11, 12) geführten Taktsignale des zugehörigen Quadratur-Demodulators (4a) gleich einer vorgegebenen und dem Nachrichtensignalempfänger (III) zugeordneten Trägerfrequenz ist.

Fig. 1

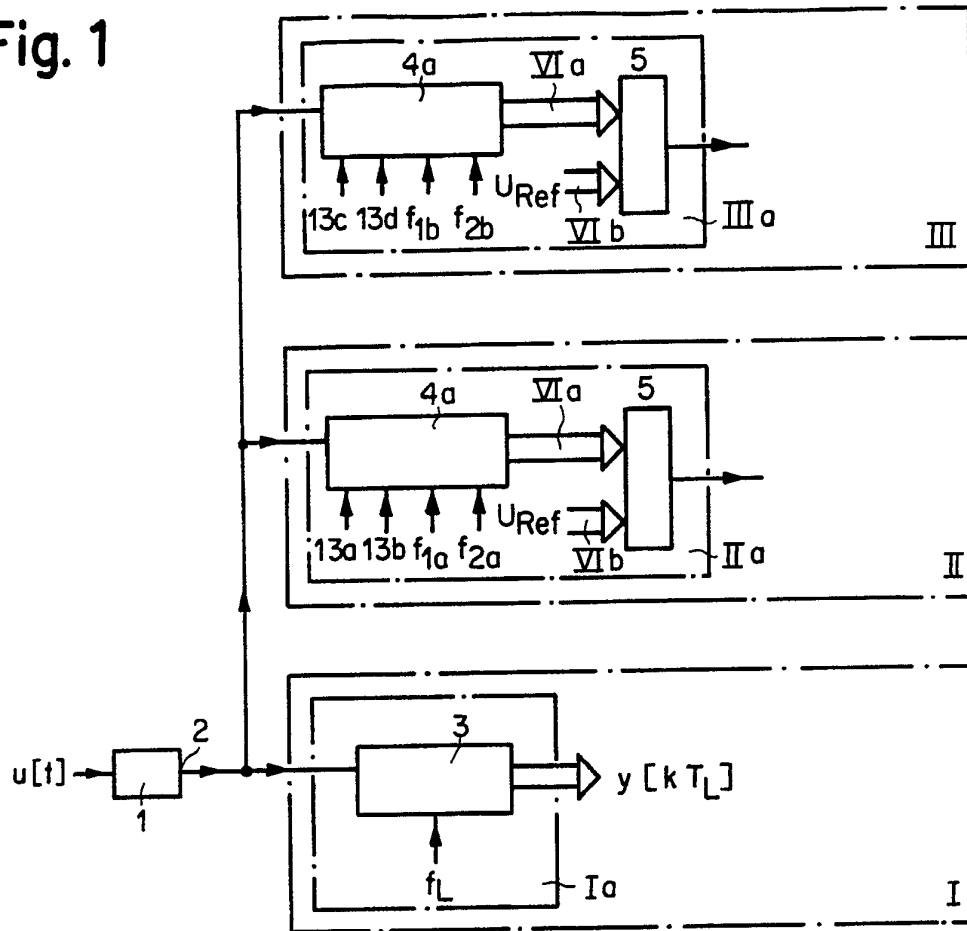


Fig. 2

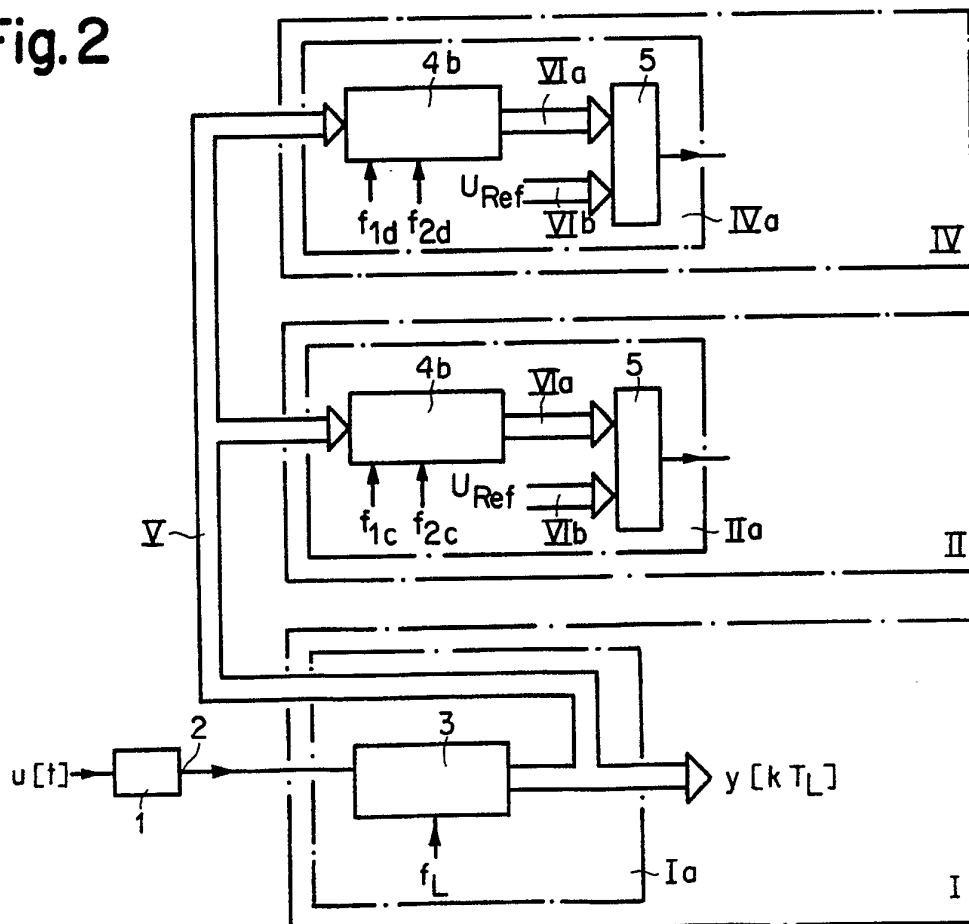


Fig. 3

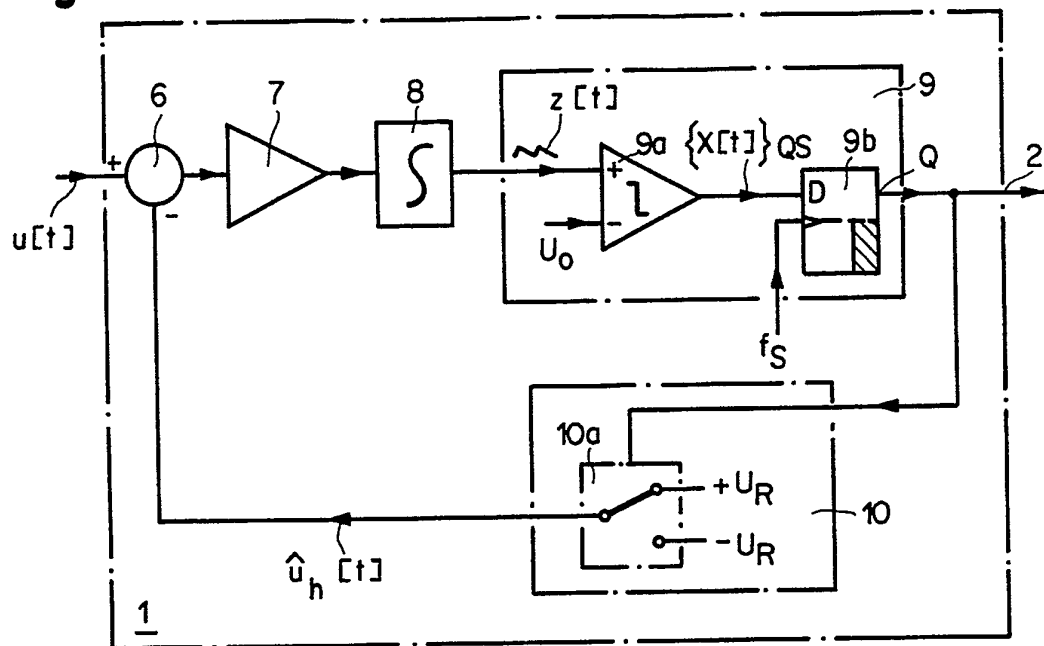


Fig. 4

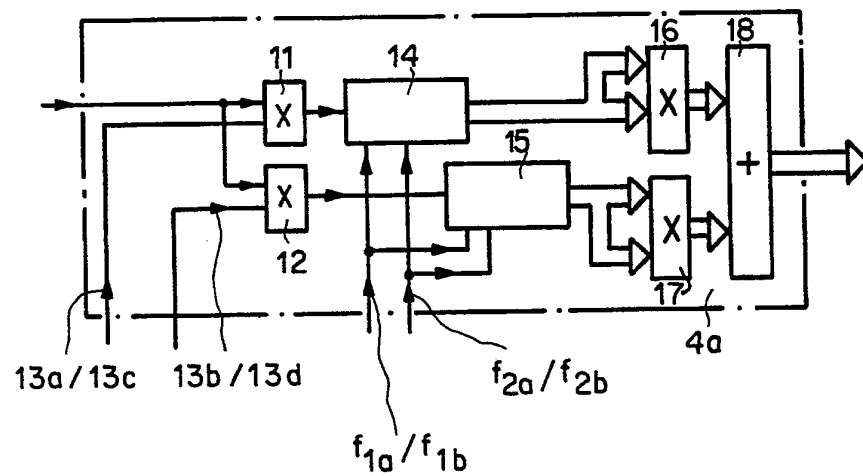


Fig. 5

