

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4619318号
(P4619318)

(45) 発行日 平成23年1月26日 (2011. 1. 26)

(24) 登録日 平成22年11月5日 (2010. 11. 5)

(51) Int. Cl.

F I

H O 1 L 31/10 (2006. 01)

H O 1 L 31/10

A

H O 1 L 27/14 (2006. 01)

H O 1 L 27/14

K

請求項の数 7 (全 33 頁)

(21) 出願番号 特願2006-137823 (P2006-137823)
 (22) 出願日 平成18年5月17日 (2006. 5. 17)
 (65) 公開番号 特開2007-5774 (P2007-5774A)
 (43) 公開日 平成19年1月11日 (2007. 1. 11)
 審査請求日 平成21年4月20日 (2009. 4. 20)
 (31) 優先権主張番号 特願2005-148864 (P2005-148864)
 (32) 優先日 平成17年5月23日 (2005. 5. 23)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷 3 9 8 番地
 (72) 発明者 荒尾 達也
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 広瀬 篤志
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 西 和夫
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 菅原 裕輔
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 光電変換装置

(57) 【特許請求の範囲】

【請求項 1】

光電変換層を備え、第 1 の光センサーとして機能するフォトダイオードと、
 薄膜トランジスタを備え、第 2 の光センサーとして機能する増幅回路と、
 前記フォトダイオード、及び前記増幅回路と電気的に接続されたバイアス切り替え回路
 と、

を有し、

前記バイアス切り替え回路を用いて前記フォトダイオード及び前記増幅回路に接続され
 ているバイアスを切り替えることにより、前記フォトダイオードまたは前記増幅回路の薄
 膜トランジスタで光を検知することを特徴とする光電変換装置。

【請求項 2】

請求項 1 において、前記薄膜トランジスタで検知する光の強度は前記フォトダイオード
 で検知する光の強度よりも高いことを特徴とする光電変換装置。

【請求項 3】

請求項 1 または請求項 2 において、前記薄膜トランジスタが有する半導体膜と、前記光
 電変換層が有する半導体膜とは結晶性が異なることを特徴とする光電変換装置。

【請求項 4】

請求項 1 または請求項 2 において、

前記光電変換層は、p 型半導体層、i 型半導体層及び n 型半導体層を有することを特徴
 とする光電変換装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一において、

前記フォトダイオード及び前記増幅回路は、透光性基板上に形成されていることを特徴とする光電変換装置。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一において、

前記フォトダイオードで検知する光と、前記薄膜トランジスタで検知する光の入射する方向が同一方向であることを特徴とする光電変換装置。

【請求項 7】

請求項 1 乃至請求項 5 のいずれか一において、

前記フォトダイオードで検知する光と、前記薄膜トランジスタで検知する光の入射する方向が、基板を中心に逆方向であることを特徴とする光電変換装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、光電変換装置に関し、特に薄膜半導体素子で構成された光電変換装置及びその作製方法に関する。また、光電変換装置を用いた電子機器に関する。

【背景技術】

【0002】

一般的に電磁波の検知用途に用いられる光電変換装置は数多く知られており、例えば紫外線から赤外線にかけて感度を有するものは総括して光センサと呼ばれている。その中でも波長 400 nm ~ 700 nm の可視光線領域に感度を持つものは特に可視光センサと呼ばれ、人間の生活環境に応じて照度調整やオン/オフ制御などが必要な機器類に数多く用いられている。

【0003】

特に表示装置では表示装置の周囲の明るさを検出し、その表示輝度を調整することが行なわれている。なぜなら周囲の明るさを検出し、適度な表示輝度を得ることによって、無駄な電力を減らすことが可能であるからである。例えば、携帯電話やパーソナルコンピュータにそのような輝度調整用の光センサが用いられている。

【0004】

また周囲の明るさだけではなく、表示装置、特に液晶表示装置のバックライトの輝度を光センサにより検出し、表示画面の輝度を調節することも行われている。

【0005】

このような光センサにおいては、センシング部分にフォトダイオードを用い、フォトダイオードの出力電流を増幅回路にて増幅することが行われている。このような増幅回路としては、例えばカレントミラー回路が用いられる（例えば特許文献 1 参照）。

【特許文献 1】特許第 3444093 号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

従来の光センサでは、微弱光の検出は行うことが可能であったが、微弱光から強光までを検出しようとすると、出力電流の範囲が広くなり、1 階調に用いる電圧が小さくなってしまうという問題があった。

【課題を解決するための手段】

【0007】

本発明の光電変換装置は、光電変換層を有するフォトダイオードと、TFT のカレントミラー回路、バイアス切り替え手段を有する。本発明の光電変換装置では、TFT のカレントミラー回路は光が当たるようになっており、順方向のバイアス時に第 2 の光センサとして機能する。なおバイアス切り替え手段は回路によって構成すればよい。

【0008】

10

20

30

40

50

本発明により、微弱光はフォトダイオードにより検知し、ある一定以上の照度を持つ光はTFTにより検知することが可能となる。これにより出力電流を一度下げることができ、出力電流の絶対値の範囲を狭くし、1階調における電圧の値を大きくすることができる。

【0009】

本発明は、光電変換層を有するフォトダイオードと、薄膜トランジスタを含む増幅回路と、バイアス切り替え手段とを有し、前記バイアス切り替え手段は、入射する光の強度が所定の強度において前記フォトダイオード及び増幅回路に接続されているバイアスを切り替えることにより、前記所定の強度以下の光は前記フォトダイオードで検知し、前記所定の強度以上の光は前記増幅回路の薄膜トランジスタで検知することを特徴とする光電変換装置に関するものである。

10

【0010】

本発明は、光電変換層を有するフォトダイオードと、薄膜トランジスタを含む増幅回路と、バイアス切り替え手段と、を有する光電変換装置において、入射する光の強度が所定の強度において前記フォトダイオード及び増幅回路に接続されているバイアスを、前記バイアス切り替え手段により切り替えることにより、前記所定の強度以下の光は前記フォトダイオードで検知し、前記所定の強度以上の光は前記増幅回路の薄膜トランジスタで検知することを特徴とする光電変換装置の駆動方法に関するものである。

【0011】

本発明において、前記光電変換層は、p型半導体層、i型半導体層及びn型半導体層を有するものである。

20

【0012】

本発明において、前記薄膜トランジスタは、ソース領域又はドレイン領域、チャネル形成領域、ゲート絶縁膜及びゲート電極を有するものである。

【0013】

本発明において、前記フォトダイオード及び前記増幅回路は、透光性基板上に形成されている。

【0014】

本発明において、前記フォトダイオードで検知する入射光と、前記薄膜トランジスタで検知する入射光の方向は同一方向である。

30

【0015】

本発明において、前記薄膜トランジスタは、トップゲート型薄膜トランジスタである。

【0016】

本発明において、前記フォトダイオードで検知する入射光と、前記薄膜トランジスタで検知する入射光の方向は、基板を中心に逆方向である。

【0017】

本発明において、記薄膜トランジスタは、ボトムゲート型薄膜トランジスタである。

【発明の効果】

【0018】

本発明により、微弱光をフォトダイオードで検出し、強光をTFTを用いて検出することにより、広い範囲の光強度にわたって検出することが可能となる。

40

【発明を実施するための最良の形態】

【0019】

以下に、本発明の実施の形態を図面に基づいて説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。なお、実施の形態を説明するための全図において、同一部分又は同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略する。

【0020】

50

本実施の形態を、図 1 (A) ~ 図 1 (B)、図 2、図 3、図 4 (A) ~ 図 4 (B)、図 2 1 を用いて説明する。

【 0 0 2 1 】

図 1 (A) ~ 図 1 (B) に示すように、本願の光電変換装置は、フォト I C 1 0 1、電源切り替え手段 1 0 2、電源 1 0 3、出力端子 V_0 及び接続抵抗 R_L を有し、フォト I C (光集積回路) 1 0 1 は光電変換素子 1 1 5 (第 1 の光センサー) と T F T (第 2 の光センサー) で構成される薄膜集積回路を有する。薄膜集積回路は、 n チャネル型薄膜トランジスタ (Thin Film Transistor (T F T)) 1 1 2 及び 1 1 3 によるカレントミラー回路 1 1 4 で構成されている。また光電変換素子 1 1 5 とカレントミラー回路 1 1 4 は端子電極 1 2 1 及び 1 2 2 と接続されており、光電流はこれら端子電極 1 2 1 及び 1 2 2 を介して取り出される (図 1 (B))。

10

【 0 0 2 2 】

カレントミラー回路 1 1 4 は、入射する光の強度が小さいときは光電変換素子 1 1 5 の出力値を増幅する働きをする。また入射する光の強度が大きいときには、 n チャネル型 T F T 1 1 2 及び 1 1 3 が光電流発生源となり、発生した光電流は端子電極 1 2 1 及び 1 2 2 を介して取り出される。

【 0 0 2 3 】

図 1 (B) では 2 個の T F T を図示しているが、実際に例えば出力値を 1 0 0 倍とするために n チャネル型 T F T 1 1 2 を 1 個及び n チャネル型 T F T 1 1 3 を 1 0 0 個にすればよい。 (図 2 参照) 。なお図 2 において図 1 (A) ~ 図 1 (B) と同じものは同じ符号で示している。図 2 において、 n チャネル型 T F T 1 1 3 は 1 0 0 個の n チャネル型 T F T 1 1 3 a、1 1 3 b、1 1 3 c、1 1 3 d ... から構成されている。これにより光電変換素子 1 1 5 で発生した光電流が 1 0 0 倍に増幅されて出力される。

20

【 0 0 2 4 】

また、図 1 (B) はカレントミラー回路 1 1 4 を n チャネル型 T F T を用いた等価回路図であるが、 n チャネル型 T F T に代えて p チャネル型 T F T のみを用いてもよい。

【 0 0 2 5 】

なお増幅回路を p チャネル型 T F T で形成する場合は図 3 に示す等価回路となる。図 3 において、端子電極 2 2 1 及び 2 2 2 はそれぞれ図 1 (B) の端子電極 1 2 1 と 1 2 2 に対応しており、それぞれ図 3 に示すように光電変換素子 2 0 5、 p チャネル型 T F T 2 0 1 及び 2 0 2 を接続すればよい。

30

【 0 0 2 6 】

図 1 (B) のフォト I C 1 0 1 の断面図を図 4 (A) ~ 図 4 (B) に示す。

【 0 0 2 7 】

図 4 (A) において、3 1 0 は基板、3 1 2 は下地絶縁膜、3 1 3 はゲート絶縁膜である。受光する光は基板 3 1 0、下地絶縁膜 3 1 2、およびゲート絶縁膜 3 1 3 を通過するため、これらの材料は全て透光性の高い材料を用いることが望ましい。

【 0 0 2 8 】

光電変換素子は、配線 3 1 9 と、保護電極 3 1 8 と、光電変換層 1 1 1 である p 型半導体層 1 1 1 p、 n 型半導体層 1 1 1 n、 p 型半導体層 1 1 1 p と n 型半導体層 1 1 1 n の間に挟まれた真性 (i 型) 半導体層 1 1 1 i、及び端子電極 1 2 1 を有する。

40

【 0 0 2 9 】

p 型半導体層 1 1 1 p は、周期表第 1 3 属の不純物元素、例えばホウ素 (B) を含んだセミアモルファスシリコン膜をプラズマ C V D 法にて成膜して形成すればよい。

【 0 0 3 0 】

なおセミアモルファス半導体膜とは、非晶質半導体と結晶構造を有する半導体 (単結晶、多結晶を含む) の中間的な構造の半導体を含む膜である。このセミアモルファス半導体膜は、自由エネルギー的に安定な第 3 の状態を有する半導体膜であって、短距離秩序を持ち格子歪みを有する結晶質なものであり、その粒径を 0 . 5 ~ 2 0 n m として非単結晶半導体膜中に分散させて存在せしめることが可能である。セミアモルファス半導体膜は、そ

50

のラマンスペクトルが 520 cm^{-1} よりも低波数側にシフトしており、また X 線回折では Si 結晶格子に由来するとされる (111)、(220) の回折ピークが観測される。また、未結合手 (ダングリングボンド) を終端化するために水素またはハロゲンを少なくとも 1 原子% またはそれ以上含ませている。本明細書では便宜上、このような半導体膜をセミアモルファス半導体 (SAS) 膜と呼ぶ。さらに、ヘリウム、アルゴン、クリプトン、ネオンなどの希ガス元素を含ませて格子歪みをさらに助長させることで安定性が増し良好なセミアモルファス半導体膜が得られる。なお微結晶半導体膜 (マイクロクリスタル半導体膜) もセミアモルファス半導体膜に含まれる。

【0031】

また SAS 膜はシリコンを含む気体をグロー放電分解することにより得ることができる。代表的なシリコンを含む気体としては、 SiH_4 であり、その他にも Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 などを用いることができる。また水素や、水素にヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素を加えたガスで、このシリコンを含む気体を希釈して用いることで、SAS 膜の形成を容易なものとすることができる。希釈率は 2 倍 ~ 1000 倍の範囲でシリコンを含む気体を希釈することが好ましい。またさらに、シリコンを含む気体中に、 CH_4 、 C_2H_6 などの炭化水素気体、 GeH_4 、 GeF_4 などのゲルマニウム化気体、 F_2 などを混入させて、エネルギーバンド幅を $1.5 \sim 2.4\text{ eV}$ 、若しくは $0.9 \sim 1.1\text{ eV}$ に調節しても良い。

【0032】

p 型半導体層 111p を形成したら、さらに導電型を付与する不純物を含まない半導体層 (真性半導体層又は i 型半導体層と呼ぶ) 111i 及び n 型半導体層 111n を順に形成する。これにより p 型半導体層 111p、i 型半導体層 111i 及び n 型半導体膜 111n を有する光電変換層 111 が形成される。

【0033】

なお本明細書においては、i 型半導体層とは、半導体層に含まれる p 型もしくは n 型を付与する不純物が $1 \times 10^{20}\text{ cm}^{-3}$ 以下の濃度であり、酸素及び窒素が $5 \times 10^{19}\text{ cm}^{-3}$ 以下の濃度であり、暗伝導度に対して光伝導度が 1000 倍以上である半導体層を指す。また i 型半導体層には、ホウ素 (B) が $10 \sim 1000\text{ ppm}$ 添加されていてもよい。

【0034】

i 型半導体層 111i としては、例えばプラズマ CVD 法でセミアモルファスシリコン膜を形成すればよい。また n 型半導体層 111n としては、周期表第 15 属の不純物元素、例えばリン (P) を含むセミアモルファスシリコン膜を形成してもよいし、セミアモルファスシリコン膜を形成後、周期表第 15 属の不純物元素を導入してもよい。

【0035】

また p 型半導体層 111p、真性半導体層 111i、n 型半導体層 111n として、セミアモルファス半導体膜だけではなく、アモルファス半導体膜を用いてもよい。

【0036】

また、配線 319、接続電極 320、端子電極 351、TFT113 のソース電極又はドレイン電極 341、及び TFT112 のソース電極又はドレイン電極 342 は、高融点金属膜と低抵抗金属膜 (アルミニウム合金または純アルミニウムなど) との積層構造となっている。ここでは、配線 319 は、チタン膜 (Ti 膜) とアルミニウム膜 (Al 膜) と Ti 膜とを順に積み重ねた三層構造とする。

【0037】

さらに配線 319、接続電極 320、端子電極 351、TFT113 のソース電極又はドレイン電極 341、及び TFT112 のソース電極又はドレイン電極 342 を覆うように、それぞれ保護電極 318、345、348、346 及び 347 が形成されている。

【0038】

光電変換層 111 をエッチングする際に、配線 319 は、覆っている保護電極 318 に

10

20

30

40

50

よって保護される。保護電極 318 の材料は、光電変換層 111 をエッチングするガス（またはエッチャント）に対して光電変換層よりもエッチング速度の小さい導電材料であることが好ましい。加えて、保護電極 318 の材料は、光電変換層 111 と反応して合金とならない導電材料であることが好ましい。なおその他の保護電極 345、348、346 及び 347 も保護電極 318 と同様の材料及び作製工程により形成される。

【0039】

また、配線 319、接続電極 320、端子電極 351 上に保護電極 318、345、348、346 及び 347 を設けない構造にしてもよい。このような構造の可視光検知部を図 4 (B) に示す。図 4 (B) において、配線 404、接続電極 405、端子電極 401、TF T 112 のソース電極又はドレイン電極 402、及び TF T 113 のソース電極又はドレイン電極 403 は単層の導電膜により形成されており、このような導電膜として、チタン膜 (Ti 膜) が好ましい。またチタン膜に変えて、タングステン (W)、タンタル (Ta)、モリブデン (Mo)、ネオジウム (Nd)、コバルト (Co)、ジルコニウム (Zr)、亜鉛 (Zn)、ルテニウム (Ru)、ロジウム (Rh)、パラジウム (Pd)、オスミウム (Os)、イリジウム (Ir)、白金 (Pt) から選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料からなる単層膜、或いは、これらの窒化物、例えば、窒化チタン、窒化タングステン、窒化タンタル、窒化モリブデンからなる単層膜を用いることができる。配線 404、接続電極 405、端子電極 401、TF T 112 のソース電極又はドレイン電極 402、及び TF T 113 のソース電極又はドレイン電極 403 を単層膜とすることにより、作製工程において成膜回数を減少させることが可能となる。

【0040】

また図 4 (A) 及び図 4 (B) においては、n チャネル型 TF T 112 及び 113 は 1 つのチャネル形成領域を含む構造（本明細書では「シングルゲート構造」という）のトップゲート型 TF T の例を示しているが、チャネル形成領域が複数ある構造にしてオン電流値のバラツキを低減させてもよい。また、オフ電流値を低減するため、n チャネル型 TF T 112 及び 113 に低濃度ドレイン (Lightly Doped Drain (LDD)) 領域を設けてもよい。LDD 領域とは、チャネル形成領域と、高濃度に不純物元素を添加して形成するソース領域またはドレイン領域との間に低濃度に不純物元素を添加した領域のことであり、LDD 領域を設けると、ドレイン領域近傍の電界を緩和してホットキャリア注入による劣化を防ぐという効果がある。また、ホットキャリアによるオン電流値の劣化を防ぐため、n チャネル型 TF T 112 及び 113 を、ゲート絶縁膜を介して LDD 領域をゲート電極と重ねて配置させた構造（本明細書では「GOLD (Gate - drain Overlapped LDD) 構造」と呼ぶ）としてもよい。

【0041】

GOLD 構造を用いた場合、LDD 領域をゲート電極と重ねて形成しなかった場合よりも、さらにドレイン領域近傍の電界を緩和してホットキャリア注入による劣化を防ぐ効果がある。このような GOLD 構造とすることで、ドレイン領域近傍の電界強度が緩和されてホットキャリア注入を防ぎ、劣化現象の防止に有効である。

【0042】

またカレントミラー回路 114 を構成する TF T 112 及び 113 は、トップゲート型 TF T だけでなく、ボトムゲート型 TF T、例えば逆スタガ型 TF T でもよい。この場合、受光する光を妨げないように、ゲート電極が光透過性を持つことが望ましい。

【0043】

また、配線 314 は配線 319 に接続する配線であって増幅回路の TF T 113 のチャネル形成領域上方にも延在してゲート電極にもなっている。

【0044】

また、配線 315 は n 型半導体層 111 n に接続する配線であって TF T 112 のドレイン配線（ドレイン電極とも呼ぶ）またはソース配線（ソース電極とも呼ぶ）と接続している。また、316 及び 317 は絶縁膜、320 は接続電極である。受光する光は絶縁膜

316及び317を通過するため、これらの材料は全て透光性の高い材料を用いることが望ましい。なお、絶縁膜317は、CVD法により形成される酸化珪素膜(SiO_x)膜を用いることが好ましい。絶縁膜317をCVD法で形成する酸化珪素膜とすると固着強度が向上する。

【0045】

また、端子電極350は、配線314及び315と同一工程で形成され、端子電極351は配線319及び接続電極320と同一工程で形成されている。

【0046】

また、端子電極121はn型半導体層111nに接続されており、半田364で基板360の電極361に実装されている。また、端子電極122は端子電極121と同一工程で形成され、半田363で基板360の電極362に実装されている(図4(A)参照)。

10

【0047】

図4(A)及び図4(B)において、光は図中の矢印に示すとおり、基板310側から光電変換層111及びTF T112及び113の島状半導体領域に入射する。これにより光電流が発生し、光を検知することが可能となる。

【0048】

ただし図示はしていないが、光は矢印の方向からではなく、反対側すなわち基板360側からも入射する。入射した光は封止層324を通り、遮光する電極や配線を避けて光電変換層111及びTF T112及び113の島状半導体領域に入り込むので、これにより光電流を発生させることも可能である。

20

【0049】

切り替え手段102を用いて、光の強度が所定の強度を境に、回路全体へのバイアスを逆転させる。単に逆転する場合は、電源は1種類で良いが、図1(A)のように異なった2種類の電源103を用いて違うバイアスが印加されるようにしてもよい。また、接続抵抗Rに印加される出力電圧も逆転するため、この出力電圧も逆転させる切り替え手段(図示しない)を用いても良い。

【0050】

図21に照度Lと出力電流(光電流)Iの絶対値との関係を示す。なお出力電流Iの絶対値をプロットしたのは、フォトダイオードからの出力電流とTF Tからの出力電流の電流方向が逆のためである。照度が L_1 以下の場合、光電変換層111に入射した光を検知するようにバイアスを調整し、照度が L_1 以上の場合、バイアスを逆転させて、TF T112及び113に光が入射した光を検知するようにすればよい。このように動作させることで、出力電流範囲が少なくても、広い照度範囲を検出することができる。

30

【実施例1】

【0051】

本実施例を、図19、図20(A)~図20(B)、図22を用いて説明する。

【0052】

図19及び図20(A)~図20(B)に本発明により作製された光電変換装置の、出力電流の照度依存性を示す。

40

【0053】

図19中、ELCとは、島状半導体領域をエキシマレーザ(Excimer Laser)で結晶化させたTF Tを用いてカレントミラー回路を有する光電変換装置における出力電流の照度依存性を示している。またCWとは、連続発振レーザ(Continuous Wave Laser)により島状半導体領域を結晶化したTF Tによりカレントミラー回路を形成した光電変換装置における出力電流の照度依存性を示している。また図20(A)及び図20(B)は、それぞれELCとCW単独でプロットしたものである。また正方向と逆方向というのは、バイアスの方向を示している。

【0054】

エキシマレーザで結晶化した島状半導体領域を有するTF Tと、連続発振レーザで結晶

50

化した島状半導体領域を有するTFTとの間での、出力電流の照度依存性の違いは、島状半導体領域の結晶性の違いに由来する。また、この照度依存性はTFTのチャネル形成領域、閾値によっても変化させることができる。

【0055】

ELCの場合、所定の強度を 100 lx 程度とすることで、出力電流範囲が $20\text{ nA} \sim 5\text{ }\mu\text{A}$ 、検出照度範囲が $0.5\text{ lx} \sim 10\text{ 万 lx}$ となる。図1(A)の回路で用いた場合、接続抵抗 R_L を $400\text{ k}\Omega$ とすることで、出力電圧が 0.08 V から 2 V となり、8bit(256階調)でデジタル変換することができる。

【0056】

また図24に、本発明の図1(A)～図1(B)に示すフォトIC101、多結晶珪素膜を用いたTFT(以下「poly-Si TFT」という)、単結晶珪素(以下「cry-Si」という)及び標準視感度を比較したプロットを示す。

10

【0057】

図24において、本発明のフォトICの相対感度は実線、標準視感度は点線、poly-Si TFTの相対感度は二点波線、cry-Siの相対感度は一点波線で示している。図24を見ると、本発明のフォトICの相対感度は標準視感度に非常に近く、すなわち本発明のフォトICでは人間の眼に近い視感度を得ることが可能となる。

【実施例2】

【0058】

本実施例を図4(A)～図4(B)、図5(A)～図5(D)、図6(A)～図6(C)及び図7(A)～図7(C)を用いて説明する。なお「発明を実施するための最良の形態」で説明したものと同一ものは同じ符号で示している。

20

【0059】

まず、基板(第1の基板310)上に素子を形成する。ここでは基板310として、ガラス基板の一つであるAN100を用いる。

【0060】

次いで、プラズマCVD法で下地絶縁膜312となる窒素を含む酸化珪素膜(膜厚 100 nm)を形成し、さらに大気にふれることなく、半導体膜例えば水素を含む非晶質珪素膜(膜厚 54 nm)を積層形成する。また、下地絶縁膜312は酸化珪素膜、窒化珪素膜、窒素を含む酸化珪素膜を用いた積層してもよい。例えば、下地絶縁膜312として、酸素を含む窒化珪素膜を 50 nm 、さらに窒素を含む酸化珪素膜を 100 nm 積層した膜を形成してもよい。なお、窒素を含む酸化珪素膜や窒化珪素膜は、ガラス基板からのアルカリ金属などの不純物拡散を防止するブロッキング層として機能する。

30

【0061】

次いで、上記非晶質珪素膜を公知の技術(固相成長法、レーザ結晶化方法、触媒金属を用いた結晶化方法など)により結晶化させて、結晶構造を有する半導体膜(結晶性半導体膜)、例えば多結晶珪素膜を形成する。ここでは、触媒元素を用いた結晶化方法を用いて多結晶珪素膜を得る。重量換算で 10 ppm のニッケルを含む酢酸ニッケル溶液をスピナーで添加する。なお、溶液を添加する方法に代えてスパッタ法でニッケル元素を全面に散布する方法を用いてもよい。次いで、加熱処理を行い結晶化させて結晶構造を有する半導体膜(ここでは多結晶珪素膜)を形成する。ここでは熱処理(500°C 、1時間)の後、結晶化のための熱処理(550°C 、4時間)を行って多結晶珪素膜を得る。

40

【0062】

次いで、多結晶珪素膜表面の酸化膜を希フッ酸等で除去する。その後、結晶化率を高め、結晶粒内に残される欠陥を補修するためのレーザ光(XeCl:波長 308 nm)の照射を大気中、または酸素雰囲気中で行う。

【0063】

レーザ光には波長 400 nm 以下のエキシマレーザ光や、YAGレーザの第2高調波又は第3高調波を用いる。ここでは、繰り返し周波数 $10 \sim 1000\text{ Hz}$ 程度のパルスレーザ光を用い、当該レーザ光を光学系にて $100 \sim 500\text{ mJ/cm}^2$ に集光し、 $90 \sim 9$

50

5 %のオーバーラップ率をもって照射し、シリコン膜表面を走査させればよい。本実施例では、繰り返し周波数30 Hz、エネルギー密度470 mJ/cm²でレーザー光の照射を大気中で行なう。

【0064】

なお、大気中、または酸素雰囲気中で行うため、レーザー光の照射により表面に酸化膜が形成される。なお、本実施例ではパルスレーザーを用いた例を示したが、連続発振のレーザーを用いてもよく、半導体膜の結晶化に際し、大粒径に結晶を得るためには、連続発振が可能な固体レーザーを用い、基本波の第2高調波～第4高調波を適用するのが好ましい。代表的には、Nd:YVO₄レーザー(基本波1064 nm)の第2高調波(532 nm)や第3高調波(355 nm)を適用すればよい。

10

【0065】

連続発振のレーザーを用いる場合には、出力10 Wの連続発振のYVO₄レーザーから射出されたレーザー光を非線形光学素子により高調波に変換する。また、共振器の中にYVO₄結晶と非線形光学素子を入れて、高調波を射出する方法もある。そして、好ましくは光学系により照射面にて矩形状または楕円形状のレーザー光に成形して、被処理体に照射する。このときのエネルギー密度は0.01～100 MW/cm²程度(好ましくは0.1～10 MW/cm²)が必要である。そして、10～2000 cm/s程度の速度でレーザー光に対して相対的に半導体膜を移動させて照射すればよい。

【0066】

次いで、上記レーザー光の照射により形成された酸化膜に加え、オゾン水で表面を120秒処理して合計1～5 nmの酸化膜からなるバリア層を形成する。このバリア層は、結晶化させるために添加した触媒元素、例えばニッケル(Ni)を膜中から除去するために形成する。ここではオゾン水を用いてバリア層を形成したが、酸素雰囲気下の紫外線の照射で結晶構造を有する半導体膜の表面を酸化する方法や酸素プラズマ処理により結晶構造を有する半導体膜の表面を酸化する方法やプラズマCVD法やスパッタ法や蒸着法などで1～10 nm程度の酸化膜を堆積してバリア層を形成してもよい。また、バリア層を形成する前にレーザー光の照射により形成された酸化膜を除去してもよい。

20

【0067】

次いで、バリア層上にスパッタ法にてゲッターリングサイトとなるアルゴン元素を含む非晶質珪素膜を10 nm～400 nm、ここでは膜厚100 nmで成膜する。ここでは、アルゴン元素を含む非晶質珪素膜は、シリコンターゲットを用いてアルゴンを含む雰囲気下で形成する。プラズマCVD法を用いてアルゴン元素を含む非晶質珪素膜を形成する場合、成膜条件は、モノシランとアルゴンの流量比(SiH₄:Ar)を1:99とし、成膜圧力を6.665 Paとし、RFパワー密度を0.087 W/cm²とし、成膜温度を350とする。

30

【0068】

その後、650に加熱された炉に入れて3分の熱処理を行い触媒元素を除去(ゲッターリング)する。これにより結晶構造を有する半導体膜中の触媒元素濃度が低減される。炉に代えてランプアニール装置を用いてもよい。

【0069】

次いで、バリア層をエッチングストップパとして、ゲッターリングサイトであるアルゴン元素を含む非晶質珪素膜を選択的に除去した後、バリア層を希フッ酸で選択的に除去する。なお、ゲッターリングの際、ニッケルは酸素濃度の高い領域に移動しやすい傾向があるため、酸化膜からなるバリア層をゲッターリング後に除去することが望ましい。

40

【0070】

なお、触媒元素を用いて半導体膜の結晶化を行わない場合には、上述したバリア層の形成、ゲッターリングサイトの形成、ゲッターリングのための熱処理、ゲッターリングサイトの除去、バリア層の除去などの工程は不要である。

【0071】

次いで、得られた結晶構造を有する半導体膜(例えば結晶性珪素膜)の表面にオゾン水

50

で薄い酸化膜を形成した後、第1のフォトリソマスクを用いてレジストからなるマスクを形成し、所望の形状にエッチング処理して島状に分離された半導体膜（本明細書では「島状半導体領域」という）331及び332を形成する（図5（A）参照）。島状半導体領域を形成した後、レジストからなるマスクを除去する。

【0072】

次いで、必要があればTFETのしきい値を制御するために微量な不純物元素（ホウ素またはリン）のドーピングを行う。ここでは、ジボラン（ B_2H_6 ）を質量分離しないでプラズマ励起したイオンドーピング法を用いる。

【0073】

次いで、フッ酸を含むエッチャントで酸化膜を除去すると同時に島状半導体膜331及び332の表面を洗浄した後、ゲート絶縁膜313となる珪素を主成分とする絶縁膜を形成する。ここでは、プラズマCVD法により115nmの厚さで窒素を含む酸化珪素膜（組成比Si=32%、O=59%、N=7%、H=2%）で形成する。

【0074】

次いで、ゲート絶縁膜313上に金属膜を形成した後、第2のフォトリソマスクを用いて、ゲート電極334及び335、配線314及び315、端子電極350を形成する（図5（B）参照）。この金属膜として、例えば窒化タンタル（Ta₂N₅）及びタングステン（W）をそれぞれ30nm、370nm積層した膜を用いる。

【0075】

また、ゲート電極334及び335、配線314及び315、端子電極350として、上記以外にもチタン（Ti）、タングステン（W）、タンタル（Ta）、モリブデン（Mo）、ネオジウム（Nd）、コバルト（Co）、ジルコニウム（Zr）、亜鉛（Zn）、ルテニウム（Ru）、ロジウム（Rh）、パラジウム（Pd）、オスミウム（Os）、イリジウム（Ir）、白金（Pt）、アルミニウム（Al）、金（Au）、銀（Ag）、銅（Cu）から選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料からなる単層膜、或いは、これらの窒化物、例えば、窒化チタン、窒化タングステン、窒化タンタル、窒化モリブデンからなる単層膜を用いることができる。

【0076】

次いで、島状半導体領域331及び332への一導電型を付与する不純物の導入を行って、TFET113のソース領域またはドレイン領域337、及びTFET112のソース領域またはドレイン領域338の形成を行う。本実施例ではnチャネル型TFETを形成するので、n型の不純物、例えばリン（P）、砒素（As）を島状半導体領域331及び332に導入する。

【0077】

次いで、CVD法により酸化珪素膜を含む第1の層間絶縁膜（図示しない）を50nm形成した後、それぞれの島状半導体領域に添加された不純物元素を活性化処理する工程を行う。この活性化工程は、ランプ光源を用いたラピッドサーマルアニール法（RTA法）、或いはYAGレーザまたはエキシマレーザを裏面から照射する方法、或いは炉を用いた熱処理、或いはこれらの方法のうち、いずれかと組み合わせた方法によって行う。

【0078】

次いで、水素及び酸素を含む窒化珪素膜を含む第2の層間絶縁膜316を、例えば10nmの膜厚で形成する。

【0079】

次いで、第2の層間絶縁膜316上に絶縁物材料から成る第3の層間絶縁膜317を形成する（図5（D）参照）。第3の層間絶縁膜317はCVD法で得られる絶縁膜を用いることができる。本実施例においては密着性を向上させるため、第3の層間絶縁膜317として、900nmの膜厚で形成した窒素を含む酸化珪素膜を形成する。

【0080】

次に、熱処理（300～550℃で1～12時間の熱処理、例えば窒素雰囲気中410℃で1時間）を行い、島状半導体膜を水素化する。この工程は第2の層間絶縁膜316に

10

20

30

40

50

含まれる水素により島状半導体膜のダングリングボンドを終端させるために行うものである。ゲート絶縁膜 313 の存在に関係なく島状半導体膜を水素化することができる。

【0081】

また第3の層間絶縁膜 317 として、シロキサンを用いた絶縁膜、及びそれらの積層構造を用いることも可能である。シロキサンは、シリコン (Si) と酸素 (O) との結合で骨格構造で構成される。置換基として、少なくとも水素を含む化合物 (例えばアルキル基、芳香族炭化水素) が用いられる。置換基として、フッ素を用いてもよい。または置換基として、少なくとも水素を含む化合物と、フッ素とを用いてもよい。

【0082】

第3の層間絶縁膜 317 としてシロキサンを用いた絶縁膜、及びそれらの積層構造を用いた場合は、第2の層間絶縁膜 316 を形成後、島状半導体膜を水素化するための熱処理を行い、次に第3の層間絶縁膜 317 を形成することもできる。

【0083】

次いで、第3のフォトリソマスクを用いてレジストからなるマスクを形成し、第1の層間絶縁膜、第2の層間絶縁膜 316 及び第3の層間絶縁膜 317 またはゲート絶縁膜 313 を選択的にエッチングしてコンタクトホールを形成する。そして、レジストからなるマスクを除去する。

【0084】

なお、第3の層間絶縁膜 317 は必要に応じて形成すればよく、第3の層間絶縁膜 317 を形成しない場合は、第2の層間絶縁膜 316 を形成後に第1の層間絶縁膜、第2の層間絶縁膜 316 及びゲート絶縁膜 313 を選択的にエッチングしてコンタクトホールを形成する。

【0085】

次いで、スパッタ法で金属積層膜を成膜した後、第4のフォトリソマスクを用いてレジストからなるマスクを形成し、選択的に金属膜をエッチングして、配線 319、接続電極 320、端子電極 351、TFT 112 のソース電極またはドレイン電極 341、TFT 113 のソース電極またはドレイン電極 342 を形成する。そして、レジストからなるマスクを除去する。なお、本実施例の金属膜は、膜厚 100 nm の Ti 膜と、膜厚 350 nm の Si を微量に含む Al 膜と、膜厚 100 nm の Ti 膜との3層を積層したものとする。

【0086】

また図4(B)で示すように、配線 404、接続電極 405、端子電極 401、及び TFT 112 のソース電極又はドレイン電極 402、及び TFT 113 のソース電極又はドレイン電極 403 を単層の導電膜により形成する場合は、耐熱性及び導電率等の点からチタン膜 (Ti 膜) が好ましい。またチタン膜に変えて、タングステン (W)、タンタル (Ta)、モリブデン (Mo)、ネオジウム (Nd)、コバルト (Co)、ジルコニウム (Zr)、亜鉛 (Zn)、ルテニウム (Ru)、ロジウム (Rh)、パラジウム (Pd)、オスミウム (Os)、イリジウム (Ir)、白金 (Pt) から選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料からなる単層膜、或いは、これらの窒化物、例えば、窒化チタン、窒化タングステン、窒化タンタル、窒化モリブデンからなる単層膜を用いることができる。配線 404、接続電極 405、端子電極 401、及び TFT 112 のソース電極又はドレイン電極 402、及び TFT 113 のソース電極又はドレイン電極 403 を単層膜にすることにより、作製工程において成膜回数を減少させることが可能となる。

【0087】

以上の工程で、多結晶珪素膜を用いたトップゲート型 TFT 112 及び 113 を作製することができる。

【0088】

次いで、後に形成される光電変換層 (代表的にはアモルファスシリコン) と反応して合金になりにくい導電性の金属膜 (チタン (Ti) またはモリブデン (Mo) など) を成膜した後、第5のフォトリソマスクを用いてレジストからなるマスクを形成し、選択的に導電性

10

20

30

40

50

の金属膜をエッチングして配線 319 を覆う保護電極 318 を形成する (図 6 (A))。ここではスパッタ法で得られる膜厚 200 nm の Ti 膜を用いる。なお、同様に接続電極 320、端子電極 351、TFT のソース電極またはドレイン電極も導電性の金属膜で覆われる。従って、導電性の金属膜は、これらの電極における 2 層目の Al 膜が露呈されている側面も覆い、導電性の金属膜は光電変換層へのアルミニウム原子の拡散も防止できる。

【0089】

ただし、配線 319、接続電極 320、端子電極 351、TFT 112 のソース電極またはドレイン電極 341、及び TFT 113 のソース電極またはドレイン電極 342 を、単層の導電膜で形成する場合、すなわち図 4 (B) で示すように、これらの電極又は配線に代えて、配線 404、接続電極 405、端子電極 401、及び TFT 112 のソース電極又はドレイン電極 402、及び TFT 113 のソース電極又はドレイン電極 403 を形成する場合は、保護電極 318 は形成しなくてもよい。

【0090】

次に第 3 の層間絶縁膜 317 上に、p 型半導体層 111p、i 型半導体層 111i 及び n 型半導体層 111n を含む光電変換層 111 を形成する。

【0091】

p 型半導体層 111p は、周期表第 13 属の不純物元素、例えばホウ素 (B) を含んだセミアモルファスシリコン膜をプラズマ CVD 法にて成膜して形成すればよい。

【0092】

また配線 319 及び保護電極 318 は光電変換層 111 の最下層、本実施例では p 型半導体層 111p と接している。

【0093】

p 型半導体層 111p を形成したら、さらに i 型半導体層 111i 及び n 型半導体層 111n を順に形成する。これにより p 型半導体層 111p、i 型半導体層 111i 及び n 型半導体膜 111n を有する光電変換層 111 が形成される。

【0094】

i 型半導体層 111i としては、例えばプラズマ CVD 法でセミアモルファスシリコン膜を形成すればよい。また n 型半導体層 111n としては、周期表第 15 属の不純物元素、例えばリン (P) を含むセミアモルファスシリコン膜を形成してもよいし、セミアモルファスシリコン膜を形成後、周期表第 15 属の不純物元素を導入してもよい。

【0095】

また p 型半導体層 111p、真性半導体層 111i、n 型半導体層 111n として、セミアモルファス半導体膜だけではなく、アモルファス半導体膜を用いてもよい。

【0096】

次いで、全面に絶縁物材料 (例えば珪素を含む無機絶縁膜) からなる封止層 324 を厚さ 1 μm ~ 30 μm で形成して図 6 (B) の状態を得る。ここでは絶縁物材料膜として CVD 法により、膜厚 1 μm の窒素を含む酸化珪素膜を形成する。CVD 法による絶縁膜を用いることによって密着性の向上を図っている。

【0097】

次いで、封止層 324 をエッチングして開口部を設けた後、スパッタ法により端子電極 121 及び 122 を形成する。端子電極 121 及び 122 は、チタン膜 (Ti 膜) (100 nm) と、ニッケル膜 (Ni 膜) (300 nm) と、金膜 (Au 膜) (50 nm) との積層膜とする。こうして得られる端子電極 121 及び端子電極 122 の固着強度は 5 N を超え、端子電極として十分な固着強度を有している。

【0098】

以上の工程で、半田接続が可能な端子電極 121 及び端子電極 122 が形成され、図 6 (C) に示す構造が得られる。

【0099】

次いで、個々に切断して複数の光検知部チップを切り出す。1 枚の大面積基板 (例えば

10

20

30

40

50

600 cm × 720 cm)からは大量の光検知部チップ(2 mm × 1.5 mm)を製造することが可能である。

【0100】

切り出した1つの光検知部チップ(2 mm × 1.5 mm)の断面図を図7(A)に示し、その下面図を図7(B)、上面図を図7(C)に示す。図7(A)~図7(C)において、図4(A)~図4(C)、図5(A)~図5(C)、図6(A)~図6(C)と同一である箇所には同じ符号を用いている。なお、図7(A)において、基板310と、素子形成領域410と、端子電極121及び端子電極122とを含む総膜厚は、 0.8 ± 0.05 mmである。

【0101】

また、光検知部チップの総膜厚を薄くするために、基板310をCMP処理等によって削って薄くした後、ダイサーで個々に切断して複数の光検知部チップを切り出してもよい。

【0102】

また、図7(B)において、端子電極121及び122の一つの電極サイズは、 $0.6 \text{ mm} \times 1.1 \text{ mm}$ であり、電極間隔は 0.4 mm である。また、図7(C)において受光部411の面積は、 1.57 mm^2 である。また、増幅回路部412には、約100個のTFTが設けられている。

【0103】

最後に、得られた光検知部チップを基板360の実装面に実装する。なお、端子電極121と電極361、並びに端子電極122と電極362との接続には、それぞれ半田364及び363を用い、予め基板360の電極361及び362上にスクリーン印刷法などによって形成しておき、半田と端子電極を当接した状態にしてから半田リフロー処理を行って実装する。半田リフロー処理は、例えば不活性ガス雰囲気中、 $255 \sim 265$ 程度の温度で約10秒行う。また、半田の他に金属(金、銀等)で形成されるバンプ、又は導電性樹脂で形成されるバンプ等を用いることができる。また、環境問題を考慮して鉛フリーはんだを用いて実装してもよい。

【0104】

なお本実施例は、実施の形態及び実施例1のいかなる記載と組み合わせることも可能である。

【実施例3】

【0105】

本実施例では、増幅回路をpチャネル型TFTで形成する例を、図3及び図8(A)~図8(B)を用いて説明する。なお、実施の形態及び実施例2と同じものは同じ符号で示しており、それぞれ実施の形態及び実施例2に記載された作製工程に基づいて作成すればよい。

【0106】

増幅回路、例えばカレントミラー回路203をpチャネル型TFT201及び202で形成する場合には、実施の形態及び実施例2の島状半導体領域への一導電型を付与する不純物を、p型の不純物、例えばホウ素(B)に代えればよい。

【0107】

カレントミラー回路203をpチャネル型TFT201及び202で作成した本実施例の光検知部の等価回路図を図3、断面図を図8(A)~図8(B)に示す。なお、図8(B)は図8(A)のpチャネル型TFT201及び202、並びに光電変換層204の近傍を拡大したものである。

【0108】

図3及び図8(A)~図8(B)において、端子電極221及び222はそれぞれ光電変換層204、pチャネル型TFT201及び202に接続されている。pチャネル型TFT201は、光電変換層204のアノード側の電極と電気的に接続される。光電変換層204は、pチャネル型TFT201と接続する第2の電極(アノード側の電極)上にn

10

20

30

40

50

型半導体層 204n、i 型半導体層 204i、p 型半導体層 204p を順次積層した後、第 1 の電極（カソード側の電極）を形成すればよい。

【0109】

また、積層順序を逆にした光電変換層としてもよく、第 1 の電極（カソード側の電極）上に p 型半導体層、i 型半導体層、n 型半導体層を順次積層した後、p チャネル型 TFT 201 と接続する第 2 の電極（アノード側の電極）を形成し、第 1 の電極と接続するカソード側の端子電極を形成してもよい。

【0110】

図 3（B）に示すように、p チャネル型 TFT 201 の島状半導体領域 231、及び p チャネル型 TFT 202 の島状半導体領域 232 には、p 型の不純物、例えばホウ素（B）が導入されており、p チャネル型 TFT 201 にはソース領域又はドレイン領域 241、p チャネル型 TFT 202 にはソース領域又はドレイン領域 242 が形成される。

10

【0111】

なお、図 8（A）～図 8（B）では、配線 319 及びその保護電極 318、接続電極 20 及びその保護電極 264、端子電極 351 及びその保護電極 263、TFT 201 のソース電極またはドレイン電極 251 及びその保護電極 261、並びに TFT 202 のソース電極またはドレイン電極 252 及びその保護電極 262 に代えて、図 4（B）の配線 404、接続電極 405、端子電極 401、及び TFT 112 のソース電極又はドレイン電極 402、及び TFT 113 のソース電極又はドレイン電極 403 と同様に、単層の導電膜を用いてそれぞれの配線や電極を形成してもよい。

20

【0112】

なお本実施例は、実施の形態、実施例 1～実施例 2 のいかなる記載と組み合わせることも可能である。

【実施例 4】

【0113】

本実施例では増幅回路をボトムゲート型 TFT を用いて形成した光検知部及びその作製方法の例を、図 9（A）～図 9（E）、図 10（A）～図 10（C）、図 11 を用いて説明する。なお、実施の形態、実施例 2～実施例 3 と同じものは同じ符号で示している。

【0114】

まず基板 310 上に、下地絶縁膜 312 及び金属膜 511 を形成する（図 9（A）参照）。この金属膜 511 として、本実施例では例えば窒化タンタル（Ta₂N₅）及びタングステン（W）をそれぞれ 30nm、370nm 積層した膜を用いる。

30

【0115】

また、金属膜 511 として、上記以外にもチタン（Ti）、タングステン（W）、タンタル（Ta）、モリブデン（Mo）、ネオジウム（Nd）、コバルト（Co）、ジルコニウム（Zr）、亜鉛（Zn）、ルテニウム（Ru）、ロジウム（Rh）、パラジウム（Pd）、オスミウム（Os）、イリジウム（Ir）、白金（Pt）、アルミニウム（Al）、金（Au）、銀（Ag）、銅（Cu）から選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料からなる単層膜、或いは、これらの窒化物、例えば、窒化チタン、窒化タングステン、窒化タンタル、窒化モリブデンからなる単層膜を用いることができる。

40

【0116】

なお、下地絶縁膜 312 を基板 310 上に形成せず、金属膜 511 を直接基板 310 に形成してもよい。

【0117】

次に金属膜 511 を用いて、ゲート電極 512 及び 513、配線 314 及び 315、端子電極 350 を形成する（図 9（B）参照）。

【0118】

次いで、ゲート電極 512 及び 513、配線 314 及び 315、端子電極 350 を覆うゲート絶縁膜 514 を形成する。本実施例では、珪素を主成分とする絶縁膜、例えばブラ

50

ズマCVD法により115nmの厚さで窒素を含む酸化珪素膜（組成比Si = 32%、O = 59%、N = 7%、H = 2%）を用いてゲート絶縁膜514を形成する。

【0119】

次にゲート絶縁膜514上に島状半導体領域515及び516を形成する。島状半導体領域515及び516は、実施例2で述べた島状半導体領域331及び332と同様の材料及び作製工程により形成すればよい（図9（C）参照）。

【0120】

島状半導体領域515及び516を形成したら、後にTFT502のソース領域又はドレイン領域521及びTFT501のソース領域又はドレイン領域522となる領域以外を覆ってマスク518を形成し、一導電型を付与する不純物の導入を行う（図9（D）参照）。一導電型の不純物としては、nチャネル型TFTを形成する場合には、n型不純物としてリン（P）、砒素（As）を用い、pチャネル型TFTを形成する場合には、p型不純物としてホウ素（B）を用いればよい。本実施例ではn型不純物であるリン（P）を島状半導体領域515及び516に導入し、TFT502のソース領域又はドレイン領域521及びソース領域又はドレイン領域521の間にチャネル形成領域、並びにTFT501のソース領域又はドレイン領域522、及びソース領域又はドレイン領域522の間にチャネル形成領域を形成する。

【0121】

次いでマスク518を除去し、図示しない第1の層間絶縁膜、第2の層間絶縁膜316及び第3の層間絶縁膜317を形成する（図9（E）参照）。第1の層間絶縁膜、第2の層間絶縁膜316及び第3の層間絶縁膜317の材料及び作製工程は実施例2の記載に基づけばよい。

【0122】

次に第1の層間絶縁膜、第2の層間絶縁膜316及び第3の層間絶縁膜317にコンタクトホールを形成し、金属膜を成膜、さらに選択的に金属膜をエッチングして、配線319、接続電極320、端子電極351、TFT502のソース電極またはドレイン電極531、TFT501のソース電極またはドレイン電極532を形成する。そして、レジストからなるマスクを除去する。なお、本実施例の金属膜は、膜厚100nmのTi膜と、膜厚350nmのSiを微量に含むAl膜と、膜厚100nmのTi膜との3層を積層したものである。

【0123】

また配線319及びその保護電極318、接続電極320及びその保護電極533、端子電極351及びその保護電極538、TFT502のソース電極またはドレイン電極531及びその保護電極536、並びにTFT501のソース電極またはドレイン電極532及びその保護電極537に代えて、図4（B）の配線404、接続電極405、端子電極401、及びTFT112のソース電極又はドレイン電極402、及びTFT113のソース電極又はドレイン電極403と同様に、単層の導電膜を用いてそれぞれの配線や電極を形成してもよい。

【0124】

以上の工程で、ボトムゲート型TFT501及び502を作製することができる。

【0125】

次に第3の層間絶縁膜317上に、p型半導体層111p、i型半導体層111i及びn型半導体層111nを含む光電変換層111を形成する（図10（B））。光電変換層111の材料及び作製工程等は、実施の形態及び実施例2を参照すればよい。

【0126】

次いで封止層324、端子電極121及び122を形成する（図10（C））。端子電極121はn型半導体層111nに接続されており、端子電極122は端子電極121と同一工程で形成される。

【0127】

さらに電極361及び362を有する基板360を、半田364及び363で実装する

10

20

30

40

50

。なお基板 3 6 0 上の電極 3 6 1 は、半田 3 6 4 で端子電極 1 2 1 に実装されている。また基板 3 6 0 の電極 3 6 2 は、半田 3 6 3 端子電極 1 2 2 に実装されている。

【 0 1 2 8 】

図 1 1 に示す光検知部において、光電変換層 1 1 1 に入射する光は、主に基板 3 1 0 側から入り、逆スタガ型 T F T 5 0 1 及び 5 0 2 に入射する光は、主に基板 3 6 0 側から入る。またゲート電極を透明導電膜とすることで基板側からの入射する光を検知することもできる。

【 0 1 2 9 】

なお本実施例は、実施の形態、実施例 1 ~ 実施例 3 のいかなる記載と組み合わせることも可能である。

【 実施例 5 】

【 0 1 3 0 】

本実施例では、本発明の光電変換装置に筐体を形成して光の入射する方向を制御した例を、図 1 2 (A) ~ 図 1 2 (B) 及び図 1 3 (A) ~ 図 1 3 (B) を用いて説明する。

【 0 1 3 1 】

図 1 2 (A) は図 4 (A) の光電変換装置に筐体 6 0 1 を形成して、光電変換層 1 1 1 に入射する光を、基板 3 1 0 側からではなく、基板 3 6 0 側から入るようにしたものである。筐体 6 0 1 には、基板 3 1 0 側の T F T 1 1 2 及び 1 1 3 が形成される領域、及び基板 3 6 0 側の光電変換層 1 1 1 が形成される領域に開口部が設けられている。

【 0 1 3 2 】

図 1 2 (A) においては、端子電極 1 2 1、電極 3 6 1 及び半田 3 6 4 が存在しているが、基板 3 6 0 側から入射した光は、封止層 3 2 4 を通して光電変換層 1 1 1 に斜めに入射するので光電流を発生させ、光を検知することが可能である。

【 0 1 3 3 】

また筐体 6 0 1、及び以下に述べる筐体 6 0 2 ~ 6 0 4 は、光を遮断する機能を有する材料なら何を用いてもよく、例えば金属材料や黒色顔料を有する樹脂材料等を用いて形成すればよい。

【 0 1 3 4 】

図 1 2 (B) は、図 1 1 の光検知部に筐体 6 0 2 を形成して、光電変換層 1 1 1 に入射する光を、基板 3 1 0 側からではなく、基板 3 6 0 側から入るようにしたものである。筐体 6 0 2 には、基板 3 6 0 側の T F T 5 0 1 及び 5 0 2 が形成される領域及び光電変換層 1 1 1 が形成される領域に開口部が設けられている。

【 0 1 3 5 】

図 1 2 (B) においても、図 1 2 (A) 同様、基板 3 6 0 側から入射した光は、封止層 3 2 4 を通して光電変換層 1 1 1 に斜めに入射するので光電流を発生させ、光を検知することが可能である。

【 0 1 3 6 】

図 1 3 (A) では、図 4 (A) の光検知部に筐体 6 0 3 を形成して、光電変換層 1 1 1、並びに T F T 1 1 2 及び 1 1 3 に入射する光を、基板 3 1 0 側からではなく、基板 3 6 0 側から入るようにしたものである。筐体 6 0 3 には、基板 3 6 0 側の T F T 5 0 1 及び 5 0 2 が形成される領域及び光電変換層 1 1 1 が形成される領域に開口部が設けられている。

【 0 1 3 7 】

図 1 3 (A) においては、T F T 1 1 2 及び 1 1 3 それぞれにおいて、入射する光と島状半導体領域との間にゲート電極が存在しているが、基板 3 6 0 側から入射した光のうちゲート電極を避けた光が T F T 1 1 2 及び 1 1 3 の島状半導体領域に入射する。また基板 3 6 0 側から入射した光は、封止層 3 2 4 を通して光電変換層 1 1 1 に斜めに入射するので光電流を発生させ、光を検知することが可能である。

【 0 1 3 8 】

図 1 3 (B) は、図 1 1 の光検知部に筐体 6 0 4 を形成し、光電変換層 1 1 1 に入射す

10

20

30

40

50

る光を基板 310 側からではなく、基板 360 側から入るようにし、さらに T F T 501 及び 502 に入射する光を、基板 360 側からではなく、基板 310 側から入るようにしたものである。筐体 604 には、基板 310 側の T F T 501 及び 502 が形成される領域が形成される領域、並びに基板 360 側の光電変換層 111 が形成される領域に開口部が設けられている。

【0139】

図 13 (B) においては、T F T 501 及び 502 それぞれにおいて、入射する光と島状半導体領域との間にはゲート電極が存在しているが、基板 310 側から入射した光のうちゲート電極を避けた光が T F T 501 及び 502 の島状半導体領域に入射するので光電流を発生させ、光を検知することが可能である。また基板 360 側から入射した光は、封止層 324 を通して光電変換層 111 に斜めに入射するので光電流を発生させ、光を検知することが可能である。

10

【0140】

なお本実施例は、実施の形態、実施例 1 ~ 実施例 4 のいかなる記載と組み合わせることも可能である。

【実施例 6】

【0141】

本実施例では、バイアス切り替え手段として、電源 (バイアス) 切り替えを行う回路について、図 22、図 23 及び図 25 ~ 図 27 を用いて説明する。

【0142】

20

図 22 及び図 23 において、901 はフォトセンサ出力 V_{ps} 、902 は基準電圧 V_r を決定するための基準電圧生成回路、903 はコンパレータ、904 は出力バッファであり 1 段目 904a、2 段目 904b、3 段目 904c を有している。図 22 においては、出力バッファは 3 段しか記載していないが、4 段以上にすることも可能であり、また 1 段だけに設計することも可能である。また 905 はカレントミラー回路の T F T の内部抵抗である。

【0143】

図 23 は図 22 の具体的な回路構成を示しており、コンパレータ 903 は p チャネル型 T F T 911 及び 913、n チャネル型 T F T 912 及び 914、抵抗 921 を有している。また基準電圧生成回路 902 は抵抗 923 及び 924 を有している。また図 23 では出力バッファ 904 の一段目 904a を示しており、出力バッファ 904 の一段目 904a は、p チャネル型 T F T 915 及び n チャネル型 T F T 916 で形成される。図 23 においては n チャネル型 T F T はゲート電極が 1 つであるシングルゲートの T F T を示しているが、オフ電流を小さくするために、ゲート電極が複数ある T F T すなわちマルチゲートの T F T、例えばゲート電極を 2 つ有するダブルゲートの T F T、で形成してもよい。なお他の段も 904a と同様の回路にて形成すればよい。

30

【0144】

また図 23 において出力バッファ 904 の一段目 904a を、図 26 (A) に示す回路 942 及び図 26 (B) に示す回路 944 に代えてもよい。図 26 (A) に示す回路 942 は n チャネル T F T 916 及び p チャネル型 T F T 941 で形成されており、図 26 (B) に示す回路 944 は n チャネル T F T 916 及び 943 で形成されている。

40

【0145】

なお、フォトセンサ出力 V_{ps} はカレントミラー回路の出力電圧 V_o を用いてもよいし、カレントミラー回路の出力電圧 V_o を増幅回路で増幅させた電圧を用いてもよい。

【0146】

図 22 に示す回路は、カレントミラー回路の出力電圧 V_o がある一定値に達した際に、カレントミラー回路の電源電圧を反転させる回路である。図 22 の回路は、基準電圧 V_r を境界として、出力電圧が V_r を超えた場合に電源を反転するようにする。図 23 においては、基準電圧生成回路 902 により基準電圧 V_r を決定している。また基準電圧 V_r は、フォトセンサが 1001x の光を受けた時に生じる電流量をカレントミラー回路により

50

増幅した電流により、負荷に印加される電圧を用いてもよい。

【0147】

また図23では基準電圧生成回路により基準電圧 V_r を決定しているが、基準電圧 V_r は、外部回路931から直接入力してもよいし(図25(A)参照)、いくつかの入力電圧をセクタ(アナログスイッチ等)を用いて選択する回路932により入力してもよい(図25(B)参照)。

【0148】

また図23に示す回路において、基準電圧 V_r は、コンパレータを構成しているTF Tの閾値電圧以上(閾値電圧が V_{th} とすると、 $V_{th} < V_r$)とする必要がある。これを満足するよう、基準電圧またはフォトセンサ出力電圧 V_{ps} を調整する必要がある。

10

【0149】

フォトセンサの出力 V_{ps} は、コンパレータ903のpチャネル型TF T911のゲート電極に入力され、基準電圧生成回路902からの電圧値と比較され、基準電圧生成回路からの電圧値より小さい場合は、電源103のうち電源103aに接続され、図27(A)に示す方向に電流が流れる。また基準電圧生成回路からの電圧値より大きい場合は、電源103のうち電源103bに接続され、図27(B)に示す方向に電流が流れる。

【実施例7】

【0150】

本実施例では、実施例6とは違う構成の電源(バイアス)切り替えを行う回路を含む光電変換装置について、図28、図29、図30、図31(A)~図31(E)を用いて説明する。

20

【0151】

図28は、本実施例の光電変換装置の論理回路図である。図28の光電変換装置は、フォトIC1501、コンパレータ1502及び1503、アナログスイッチ1504、1505、1507、1508、インバータ1511、1512、1513、接続抵抗 R_L を有している。

【0152】

図29では、照度(L)と、フォトIC1501の出力電流 I_{ps} 及び出力電圧 V_{ps} との関係を示す。なお図21においては、縦軸は出力電流の絶対値を取っているが、図29では縦軸は出力電流の絶対値ではなく電流値である。

30

【0153】

実施例6の図22及び図23では、コンパレータ903が1つだけ配置されているが、本実施例では2つのコンパレータ1502及び1503を配置する。

【0154】

V_1 と V_2 は基準電圧である。 V_1 と V_2 の値は必要に応じてそれぞれ設定すればよい。

【0155】

まず基準電圧は V_2 に設定されるものとする。照度が L_1 に至るまで、すなわち照度 L_a の間は、出力電流 I_{ps} は増大していく。そのときのフォトIC1501の出力電圧 V_{ps} を V_a とすると、 V_2 は V_a よりも大きい。コンパレータ1502の非反転入力端子(プラス側の入力端子)には V_a が入力されるが、反転入力端子(マイナス側の入力端子)に入力される V_2 の方が大きいので、コンパレータ1502の出力電圧は低電位となる。アナログスイッチ1504は導通状態となっているとするとアナログスイッチ1504の出力電圧は低電位である。一方、コンパレータ1503では、非反転入力端子に基準電圧 V_1 が入力され、反転入力端子に V_a が入力されるので、コンパレータ1503の出力電圧は高電位となる。このときアナログスイッチ1505は導通しない状態とする。

40

【0156】

アナログスイッチ1504の出力電圧(この場合低電位)は、インバータ1511で反転してインバータ1511の出力電圧は高電位となり、インバータ1512でさらに反転してインバータ1512の出力電圧は低電位となる。インバータ1512の出力電圧をS

50

S_1 とすると、 S_1 及び、インバータ 1513 によって形成される S_1 の反転電圧 S_{1b} は、アナログスイッチ 1504 及び 1505 に入力される。さらに S_1 及び S_{1b} は、アナログスイッチ 1507 及び 1508 にも入力され、アナログスイッチ 1507 は導通し、アナログスイッチ 1508 は導通しないので、基準電圧 V_2 が出力され、コンパレータ 1502 及び 1503 に入力され続ける。

【0157】

さて次に、照度 L が増大して、出力電流 I_{PS} 及び出力電圧 V_{PS} が増え、フォト IC 1501 の出力電圧 V_{PS} が、基準電圧 V_2 を超えたときの切り替え動作について説明する。そのときの出力電圧 V_{PS} を V_b とすると、 V_b は V_2 より大きい。コンパレータ 1502 の非反転入力端子には、 V_b が入力され、反転入力端子には V_2 が入力されるので、コンパレータ 1502 の出力電圧は高電位となる。アナログスイッチ 1504 は導通した状態のままなので、アナログスイッチ 1504 の出力電圧は高電位となる。またコンパレータ 1503 の非反転入力端子には、基準電圧 V_2 が入力され、反転入力端子には、出力電圧 V_b が入力される。これによりコンパレータ 1503 の出力電圧は低電位となる。しかしアナログスイッチ 1505 はまだ導通しない状態である。

【0158】

アナログスイッチ 1504 の出力電圧はインバータ 1511 に入力され反転され、インバータ 1511 の出力電圧は低電位となる。さらにインバータ 1512 に入力され、インバータ 1512 の出力電圧 S_1 は高電位となる。インバータ 1512 の出力電圧 S_1 及びその反転電圧 S_{1b} は、アナログスイッチ 1507 及び 1508 に入力される。

【0159】

これによりアナログスイッチ 1507 は導通しない状態となり、今度はアナログスイッチ 1508 が導通する状態となる。この結果、基準電圧 V_1 が出力され、基準電圧が V_2 から V_1 に切り替わることとなる。これと共にアナログスイッチ 1504 は非導通状態となり、アナログスイッチ 1505 は導通状態となる。

【0160】

次いで基準電圧が V_1 に切り替わった後の、照度 L が L_b の間の動作を説明する。このときの出力電圧 V_{PS} を V_c とすると、 V_1 は V_c よりも大きい。コンパレータ 1503 の非反転入力端子には V_1 が入力され、反転入力端子には V_c が入力されるので、コンパレータ 1503 の出力電圧は高電位となる。アナログスイッチ 1505 は導通状態となり、高電位が出力される、一方、コンパレータ 1502 の非反転入力端子には V_c が入力され、反転入力端子には V_1 が入力されるため、コンパレータ 1502 の出力電圧は低電位となる。またアナログスイッチ 1504 は導通しない状態である。

【0161】

アナログスイッチ 1505 の出力電圧は、インバータ 1511 に入力され反転し、さらにインバータ 1512 によって反転され、インバータ 1512 の出力電圧 S_1 は高電位となる。 S_1 はアナログスイッチ 1504、1505、1507、1508 に入力される。この結果アナログスイッチ 1507 は導通しない状態となり、アナログスイッチ 1508 は導通する状態となるので、アナログスイッチ 1508 の出力電圧は V_1 となり、基準電圧 V_1 が維持される。

【0162】

次いで、照度 L が減少し、基準電圧が V_1 から V_2 に切り替わる動作を以下に説明する。このときの出力電圧 V_{PS} を V_d とすると、 V_d は V_1 よりも大きい。コンパレータ 1503 の非反転入力端子には V_1 が入力され、反転入力端子には V_d が入力される。そのためコンパレータ 1503 の出力電圧は低電位となる。アナログスイッチ 1505 は導通した状態のままなので、アナログスイッチ 1505 の出力電圧は低電位となる。一方、コンパレータ 1502 の非反転入力端子には V_d が入力され、反転入力端子には V_1 が入力される。そのためコンパレータ 1502 の出力電圧は高電位となるが、アナログスイッチ 1504 は導通しない状態のままである。

【0163】

アナログスイッチ 1503 の出力電圧は、インバータ 1511 で反転され、さらにインバータ 1512 で反転される。インバータ 1512 の出力電圧 S_1 は低電位となる。 S_1 及びその反転電圧 S_{1b} はアナログスイッチ 1504、1505、1507、1508 に入力される。

【0164】

これによりアナログスイッチ 1507 が導通状態となり、アナログスイッチ 1508 は導通しない状態となるので、基準電圧 V_2 が出力される。また基準電圧 V_1 は出力されなくなる。さらにこれに伴い、アナログスイッチ 1504 は導通状態となり、アナログスイッチ 1505 は非導通状態となる。

【0165】

なお、以上の説明は図 28 に示すように、インバータ 1511 が 1 段の場合の説明である。必要に応じてインバータ 1511 は多段にしてもよい。

【0166】

図 29 に、インバータ 1511 を 2 段にしたときの回路図を示す。図 28 では、負荷抵抗 R_L の入力電圧 V_A は、インバータ 1511 の入力電圧であるが、図 30 では、二段目のインバータ 1511b の出力電圧となる。

【0167】

図 31 (A) ~ 図 31 (E) は、インバータ 1511 及び 1512 の周辺回路部 1521 を示しており、それぞれインバータ 1511 を 1 段形成した場合から 5 段形成した場合を示している。

【0168】

図 31 (A) は図 28 と同じであり、図 31 (B) は図 30 と同じである。また図 31 (C) はインバータ 1511 を 3 段形成した場合であり、インバータ 1511a ~ 1511c を有している。図 31 (D) はインバータ 1511 を 4 段形成した場合であり、インバータ 1511a ~ 1511d を有している。図 31 (E) はインバータ 1511 を 5 段形成した場合であり、インバータ 1511a、1511b、1511c、1511d、1511e を有している。

【0169】

インバータ 1511 を奇数段形成した場合は、負荷抵抗 R_L の入力電圧 V_A は、インバータ 1511 の最終段のインバータの入力電圧となり、フォト IC の入力電圧 V_B は、インバータ 1511 の最終段のインバータの出力電圧となる。またインバータ 1511 を偶数段形成した場合は、負荷抵抗 R_L の入力電圧 V_A は、インバータ 1511 の最終段のインバータの出力電圧となり、フォト IC の入力電圧 V_B は、インバータ 1511 の最終段のインバータの入力電圧となる。

【0170】

上述したように、インバータ 1511 は 1 段であっても多段であっても構わなく、奇数段の場合の回路構成は図 28 を援用すればよく、偶数段の場合の回路構成は図 30 を援用すればよい。

【0171】

また、インバータ 1511 が偶数段の場合は、図 29 や図 31 (B)、図 31 (D) に示すように、電圧 V_B をインバータ 1512 に入力し、インバータ 1512 は V_B の反転電圧を出力していたが、この構成に限定されるものではない。インバータ 1511 が偶数段の場合は、図 32 に示すように、インバータ 1512 を設置せず、電圧 V_A を電圧 S_1 としてもよい。なお図 32 では、インバータ 1511 を 2 段形成した場合を示しているが、段数は 2 段に限らない偶数段であることは言うまでもない。

【0172】

本実施例は、必要であれば実施の形態及び他の実施例のいかなる記載と組み合わせることも可能である。

【実施例 8】

【0173】

10

20

30

40

50

本実施例では、本発明により得られた光検知部を様々な電子機器に組み込んだ例について説明する。本発明が適用される電子機器として、コンピュータ、ディスプレイ、携帯電話、テレビなどが挙げられる。それらの電子機器の具体例を図１４、図１５（Ａ）～図１５（Ｂ）、図１６（Ａ）～図１６（Ｂ）及び図１７に示す。

【０１７４】

図１４は携帯電話であり、本体（Ａ）７０１、本体（Ｂ）７０２、筐体７０３、操作キー７０４、音声出力部７０５、音声入力部７０６、回路基板７０７、表示パネル（Ａ）７０８、表示パネル（Ｂ）７０９、蝶番７１０、透光性材料部７１１、光検知部７１２を有している。本発明は光検知部７１２に適用することができる。

【０１７５】

光検知部７１２は透光性材料部７１１を透過した光を検知し、検知した外部光の照度に合わせて表示パネル（Ａ）７０８及び表示パネル（Ｂ）７０９の輝度コントロールを行ったり、光検知部７１２で得られる照度に合わせて操作キー７０４の照明制御を行う。これにより携帯電話の消費電流を抑えることができる。

【０１７６】

図１５（Ａ）及び図１５（Ｂ）に携帯電話の別の例を示す。図１５（Ａ）及び図１５（Ｂ）において、７２１は本体、７２２は筐体、７２３は表示パネル、７２４は操作キー、７２５は音声出力部、７２６は音声入力部、７２７及び７２８は光検知部である。

【０１７７】

図１５（Ａ）に示す携帯電話では、本体７２１に設けられた光検知部７２７により外部の光を検知することにより表示パネル７２３及び操作キー７２４の輝度を制御することが可能である。

【０１７８】

また図１５（Ｂ）に示す携帯電話では、図１５（Ａ）の構成に加えて、本体７２１の内部に光検知部７２８を設けている。光検知部７２８により、表示パネル７２３に設けられているバックライトの輝度を検出することも可能となる。

【０１７９】

図１６（Ａ）はコンピュータであり、本体７３１、筐体７３２、表示部７３３、キーボード７３４、外部接続ポート７３５、ポインティングマウス７３６等を含む。

【０１８０】

また図１６（Ｂ）は表示装置でありテレビ受像器などがこれに当たる。本表示装置は、筐体７４１、支持台７４２、表示部７４３などによって構成されている。

【０１８１】

図１６（Ａ）のコンピュータに設けられる表示部７３３、及び図１６（Ｂ）に示す表示装置の表示部７４３として、液晶パネルを用いた場合の詳しい構成を図１７に示す。

【０１８２】

図１７に示す液晶パネル７６２は、筐体７６１に内蔵されており、基板７５１ａ及び７５１ｂ、基板７５１ａ及び７５１ｂに挟まれた液晶層７５２、偏光フィルタ７５２ａ及び７５２ｂ、及びバックライト７５３等を有している。また筐体７６１には光検知部７５４が形成されている。

【０１８３】

本発明を用いて作製された光検知部７５４はバックライト７５３からの光量を検知し、その情報がフィードバックされて液晶パネル７６２の輝度が調節される。

【０１８４】

図１８（Ａ）及び図１８（Ｂ）は、本発明の光検知部をカメラ、例えばデジタルカメラに組み込んだ例を示す図である。図１８（Ａ）は、デジタルカメラの前面方向から見た斜視図、図１８（Ｂ）は、後面方向から見た斜視図である。図１８（Ａ）において、デジタルカメラには、リリースボタン８０１、メインスイッチ８０２、ファインダ窓８０３、フラッシュ８０４、レンズ８０５、鏡胴８０６、筐体８０７が備えられている。

【０１８５】

また、図 18 (B) において、ファインダ接眼窓 8 1 1、モニタ 8 1 2、操作ボタン 8 1 3 が備えられている。

【 0 1 8 6 】

リリースボタン 8 0 1 は、半分の位置まで押下されると、焦点調整機構および露出調整機構が作動し、最下部まで押下されるとシャッターが開く。

【 0 1 8 7 】

メインスイッチ 8 0 2 は、押下又は回転によりデジタルカメラの電源の O N / O F F を切り替える。

【 0 1 8 8 】

ファインダ窓 8 0 3 は、デジタルカメラの前面のレンズ 8 0 5 の上部に配置されており、図 18 (B) に示すファインダ接眼窓 8 1 1 から撮影する範囲やピントの位置を確認するための装置である。

10

【 0 1 8 9 】

フラッシュ 8 0 4 は、デジタルカメラの前面上部に配置され、被写体輝度が低いときに、リリースボタンが押下されてシャッターが開くと同時に補助光を照射する。

【 0 1 9 0 】

レンズ 8 0 5 は、デジタルカメラの正面に配置されている。レンズは、フォーカシングレンズ、ズームレンズ等により構成され、図示しないシャッター及び絞りと共に撮影光学系を構成する。また、レンズの後方には、C C D (C h a r g e C o u p l e d D e v i c e) 等の撮像素子が設けられている。

20

【 0 1 9 1 】

鏡胴 8 0 6 は、フォーカシングレンズ、ズームレンズ等のピントを合わせるためにレンズの位置を移動するものであり、撮影時には、鏡胴を繰り出すことにより、レンズ 8 0 5 を手前に移動させる。また、携帯時は、レンズ 8 0 5 を沈銅させてコンパクトにする。なお、本実施例においては、鏡胴を繰り出すことにより被写体をズーム撮影することができる構造としているが、この構造に限定されるものではなく、筐体 8 0 7 内での撮影光学系の構成により鏡胴を繰り出さずともズーム撮影が可能なデジタルカメラでもよい。

【 0 1 9 2 】

ファインダ接眼窓 8 1 1 は、デジタルカメラの後面上部に設けられており、撮影する範囲やピントの位置を確認する際に接眼するために設けられた窓である。

30

【 0 1 9 3 】

操作ボタン 8 1 3 は、デジタルカメラの後面に設けられた各種機能ボタンであり、セットアップボタン、メニューボタン、ディスプレイボタン、機能ボタン、選択ボタン等により構成されている。

【 0 1 9 4 】

本発明の光検知部を図 18 (A) 及び図 18 (B) に示すカメラに組み込むと、光検知部が光の有無及び強さを感じることができ、これによりカメラの露出調整等を行うことができる。

【 0 1 9 5 】

また本発明の光検知部はその他の電子機器、例えばプロジェクションテレビ、ナビゲーションシステム等に応用することが可能である。すなわち光を検出する必要のあるものであればいかなるものにも用いることが可能である。

40

【 0 1 9 6 】

なお本実施例は、実施の形態、実施例 1 ~ 実施例 7 のいかなる記載と組み合わせることも可能である。

【産業上の利用可能性】

【 0 1 9 7 】

本発明により、微弱光から強光まで広い範囲の光強度にわたって検出することが可能な光電変換装置を作製することができる。また本発明の光電変換装置を組み込むことにより、信頼性の高い電気機器を得ることが可能である。

50

【図面の簡単な説明】

【 0 1 9 8 】

【図 1】本発明の光電変換装置を示す図。

【図 2】本発明のカレントミラー回路の一例を示す図。

【図 3】本発明のカレントミラー回路の一例を示す図。

【図 4】本発明の光電変換装置の断面図。

【図 5】本発明の光電変換装置の作製工程を示す図。

【図 6】本発明の光電変換装置の作製工程を示す図。

【図 7】本発明の光電変換装置の作製工程を示す図。

【図 8】本発明の光電変換装置の断面図。

10

【図 9】本発明の光電変換装置の作製工程を示す図。

【図 10】本発明の光電変換装置の作製工程を示す図。

【図 11】本発明の光電変換装置の断面図。

【図 12】本発明の光電変換装置の断面図。

【図 13】本発明の光電変換装置の断面図。

【図 14】本発明の光電変換装置を実装した装置を示す図。

【図 15】本発明の光電変換装置を実装した装置を示す図。

【図 16】本発明の光電変換装置を実装した装置を示す図。

【図 17】本発明の光電変換装置を実装した装置を示す図。

【図 18】本発明の光電変換装置を実装した装置を示す図。

20

【図 19】本発明の光電変換装置における出力電流の照度依存性を示す図。

【図 20】本発明の光電変換装置における出力電流の照度依存性を示す図。

【図 21】本発明の光電変換装置における出力電流の照度依存性を示す図。

【図 22】本発明の電源（バイアス）切り替えを行う回路の回路構成を示す図。

【図 23】本発明の電源（バイアス）切り替えを行う回路の回路構成を示す図。

【図 24】本発明の光電変換装置の相対感度、多結晶珪素膜を用いた T F T の相対感度、単結晶珪素の相対感度及び標準比視感度との比較を示す図。

【図 25】本発明の電源（バイアス）切り替えを行う回路の回路構成を示す図。

【図 26】本発明の電源（バイアス）切り替えを行う回路の回路構成を示す図。

【図 27】本発明の電源（バイアス）切り替えを行う回路の回路構成を示す図。

30

【図 28】本発明の電源（バイアス）切り替えを行う回路の回路構成を示す図。

【図 29】本発明の光電変換装置における出力電流及び出力電圧の照度依存性を示す図。

【図 30】本発明の電源（バイアス）切り替えを行う回路の回路構成を示す図。

【図 31】本発明の電源（バイアス）切り替えを行う回路の回路構成を示す図。

【図 32】本発明の電源（バイアス）切り替えを行う回路の回路構成を示す図。

【符号の説明】

【 0 1 9 9 】

1 0 1 フォト I C

1 0 2 電源切り替え手段

1 0 3 電源

40

1 0 3 a 電源

1 0 3 b 電源

1 1 1 光電変換層

1 1 1 p p 型半導体層

1 1 1 i i 型半導体層

1 1 1 n n 型半導体層

1 1 2 n チャネル型 T F T

1 1 3 n チャネル型 T F T

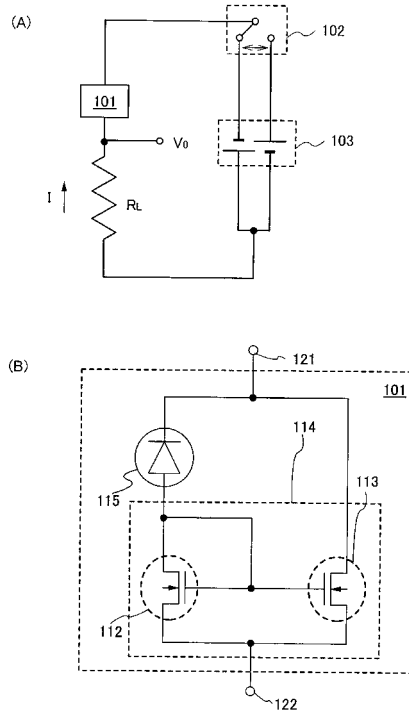
1 1 3 a n チャネル型 T F T

1 1 3 b n チャネル型 T F T

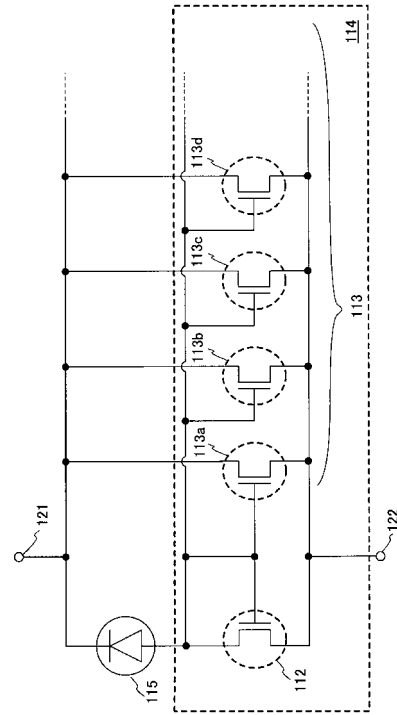
50

1 1 3 c	nチャネル型 T F T	
1 1 3 d	nチャネル型 T F T	
1 1 4	カレントミラー回路	
1 1 5	光電変換素子	
1 2 1	端子電極	
1 2 2	端子電極	
3 1 0	基板	
3 1 2	下地絶縁膜	
3 1 3	ゲート絶縁膜	
3 1 4	配線	10
3 1 5	配線	
3 1 6	絶縁膜	
3 1 7	絶縁膜	
3 1 8	保護電極	
3 1 9	配線	
3 2 0	接続電極	
3 2 4	封止層	
3 3 1	島状半導体領域	
3 3 2	島状半導体領域	
3 3 4	ゲート電極	20
3 3 5	ゲート電極	
3 3 7	ソース領域またはドレイン領域	
3 3 8	ソース領域またはドレイン領域	
3 4 1	ソース電極又はドレイン電極	
3 4 2	ソース電極又はドレイン電極	
3 4 5	保護電極	
3 4 6	保護電極	
3 4 7	保護電極	
3 4 8	保護電極	
3 5 0	端子電極	30
3 5 1	端子電極	
3 6 0	基板	
3 6 1	電極	
3 6 2	電極	
3 6 3	半田	
3 6 4	半田	
4 0 1	端子電極	
4 0 2	ソース電極又はドレイン電極	
4 0 3	ソース電極又はドレイン電極	
4 0 4	配線	40
4 0 5	接続電極	
4 1 1	受光部	
4 1 2	増幅回路部	
1 5 0 1	フォト I C	

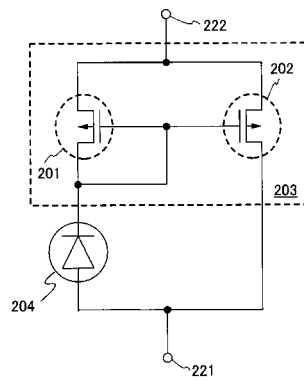
【図 1】



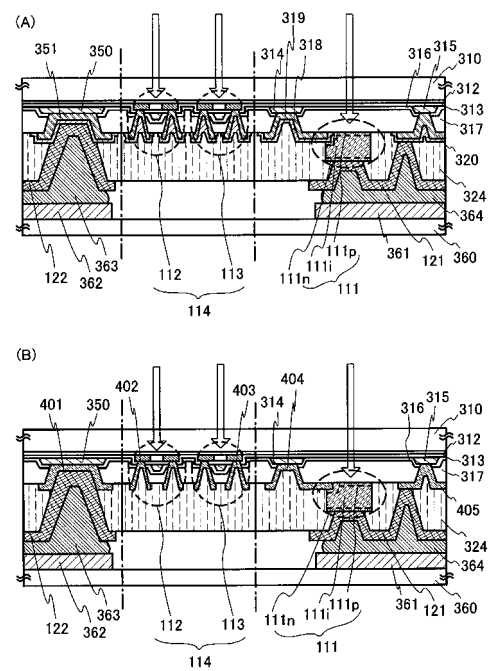
【図 2】



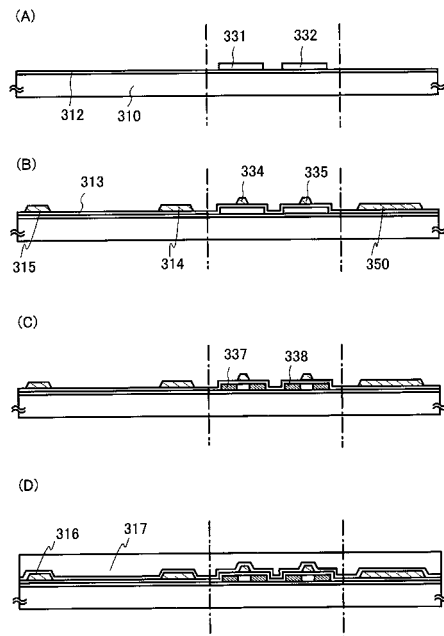
【図 3】



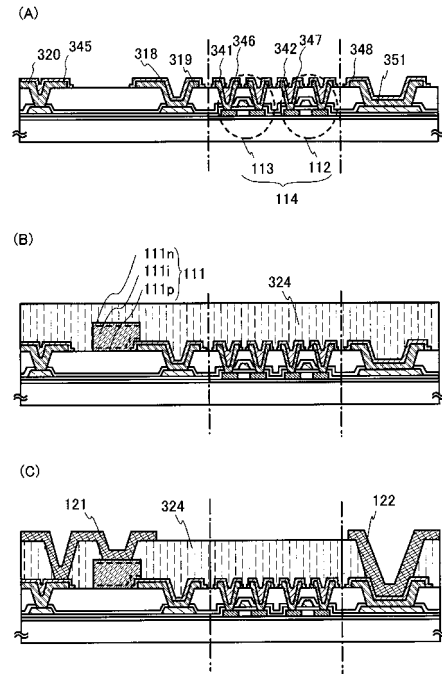
【図 4】



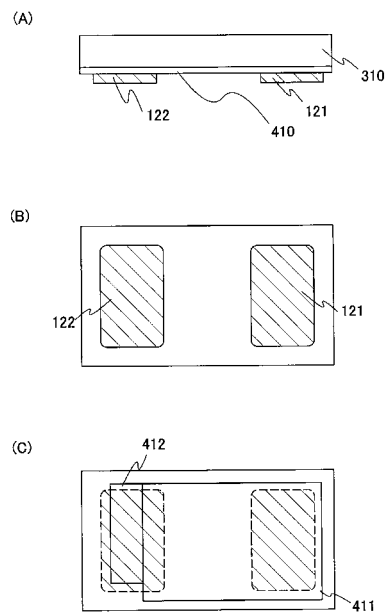
【 図 5 】



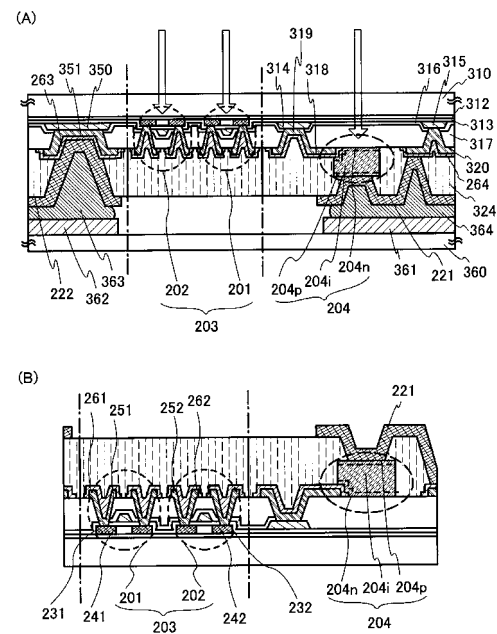
【 図 6 】



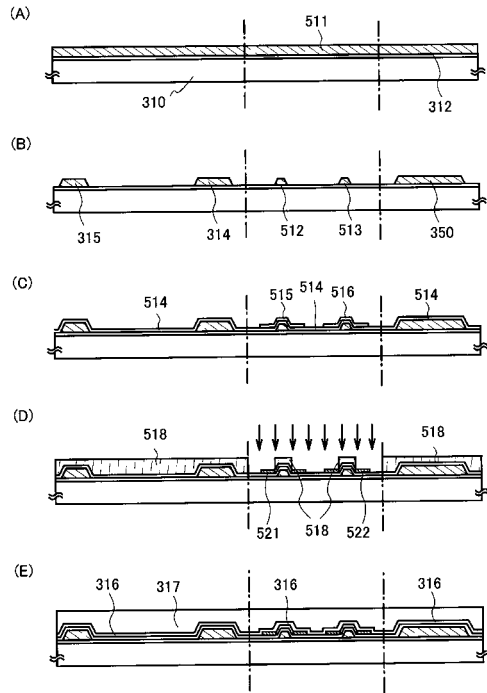
【圖 7】



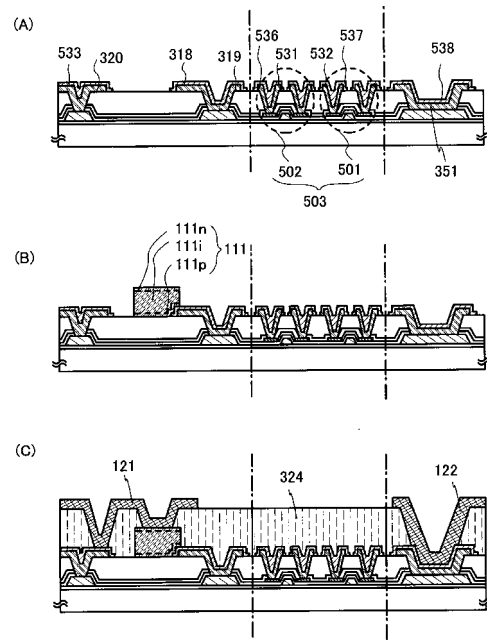
【 図 8 】



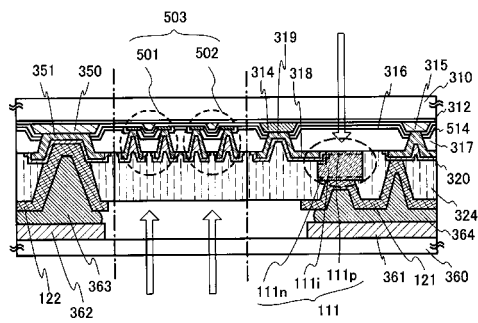
【図 9】



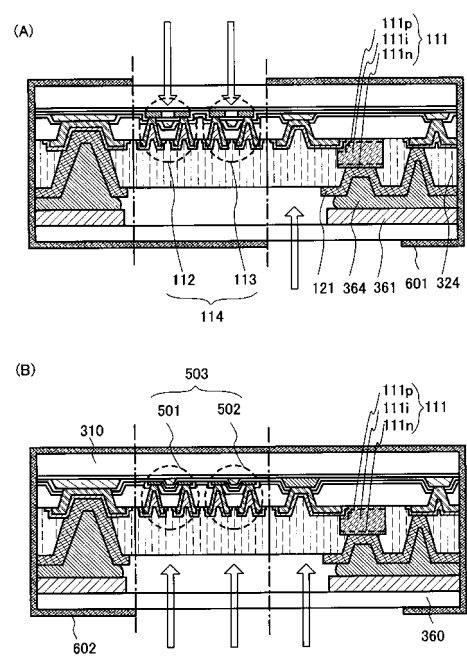
【図 10】



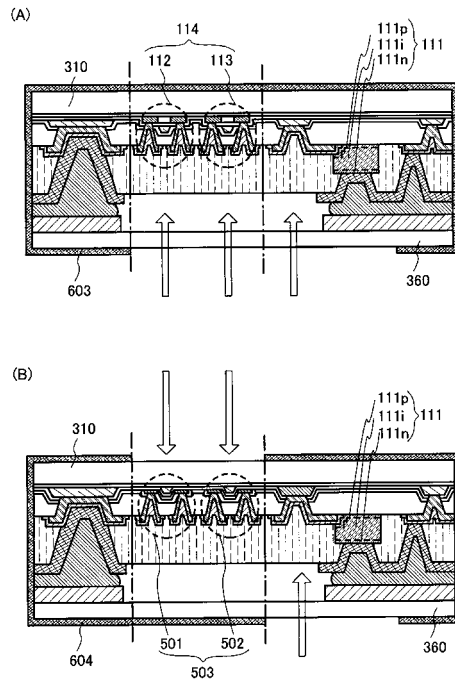
【図 11】



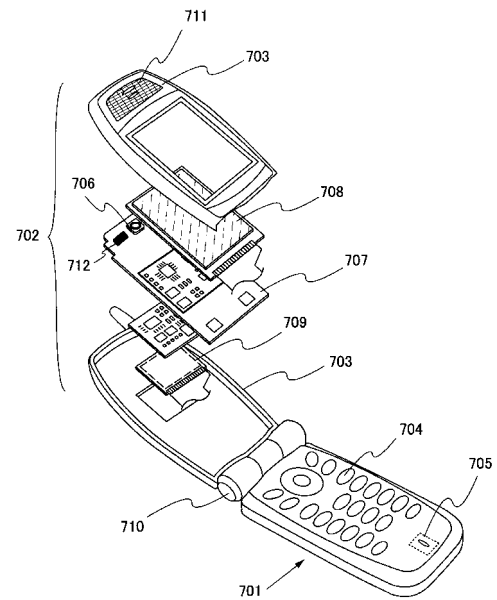
【図 12】



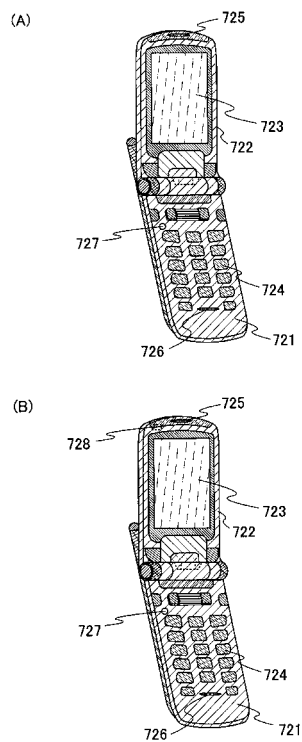
【図 13】



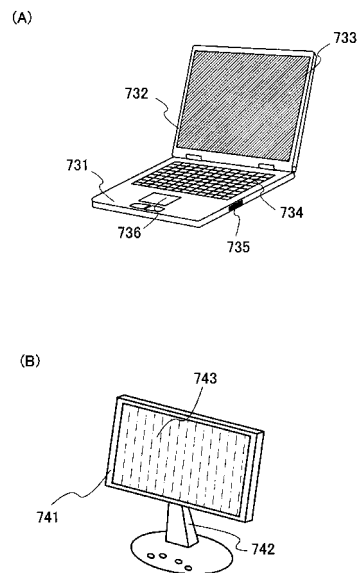
【図 14】



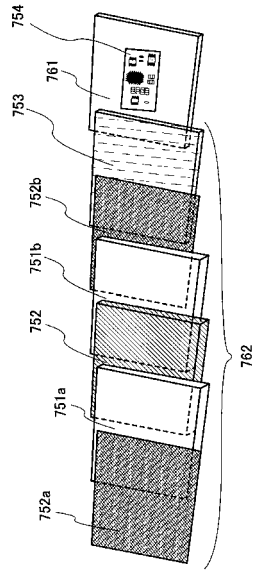
【図 15】



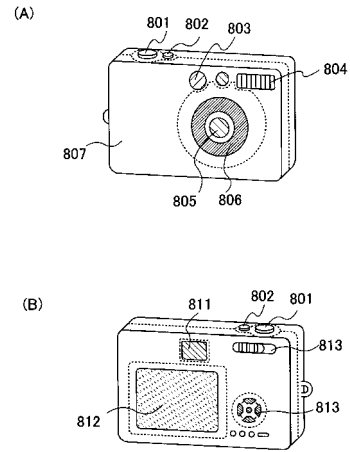
【図 16】



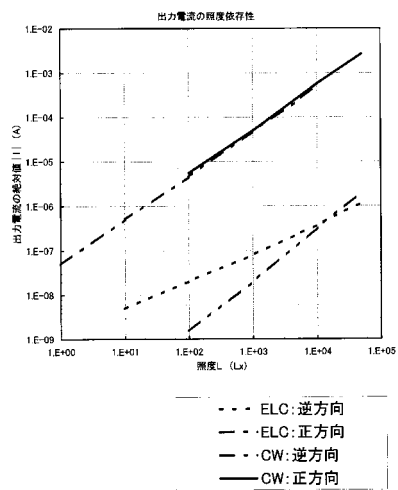
【図 17】



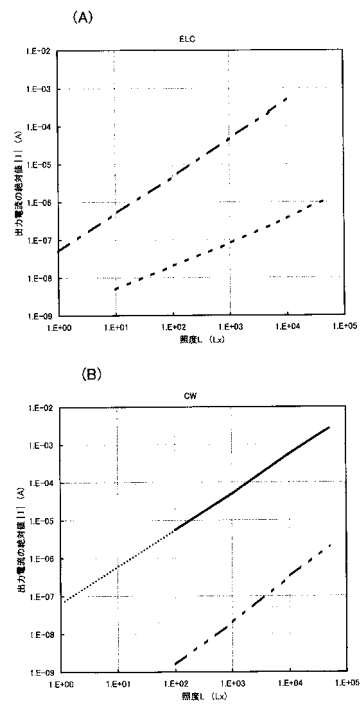
【図 18】



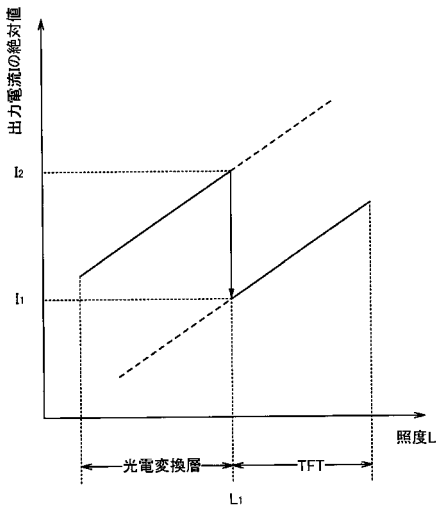
【図 19】



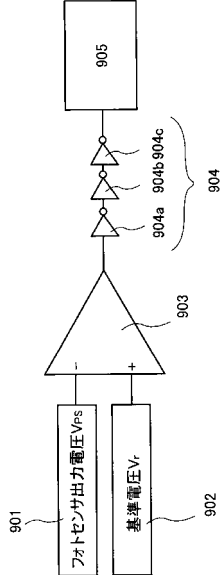
【図 20】



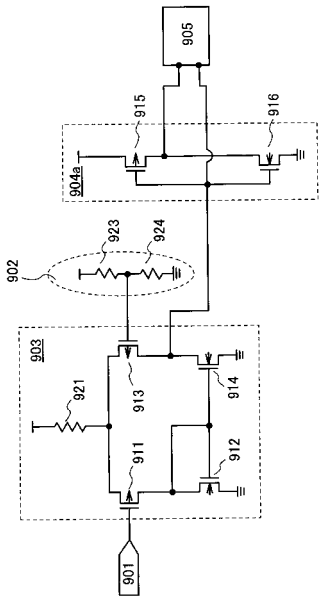
【図 2 1】



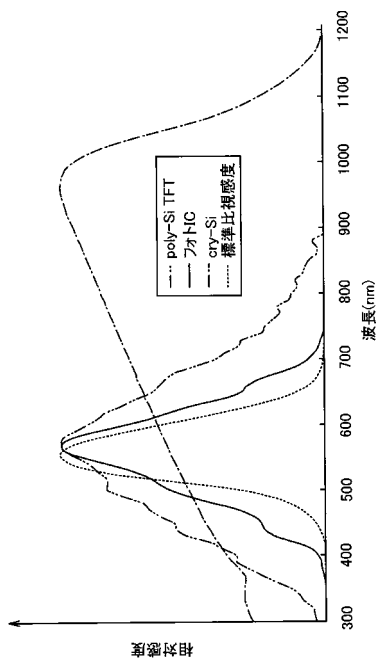
【図 2 2】



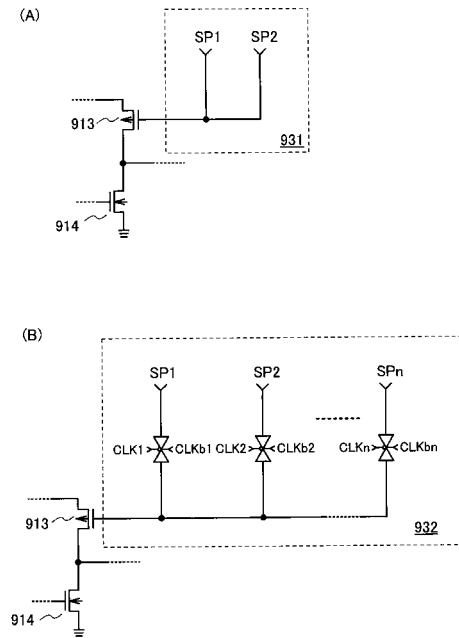
【図 2 3】



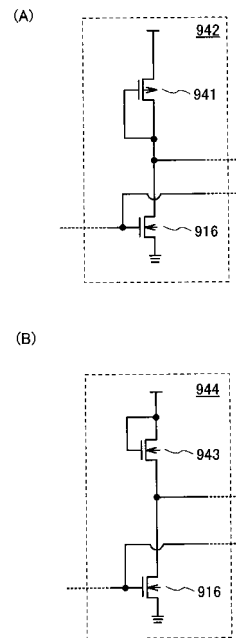
【図 2 4】



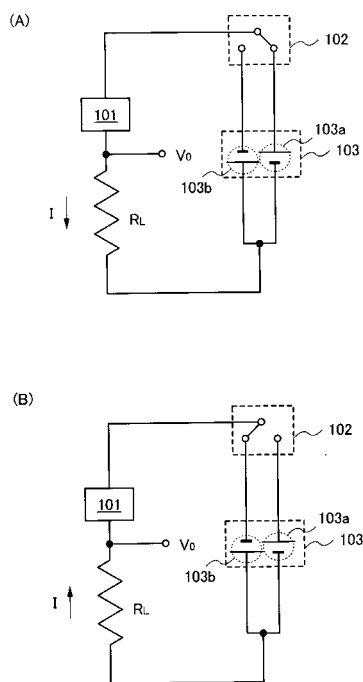
【図 25】



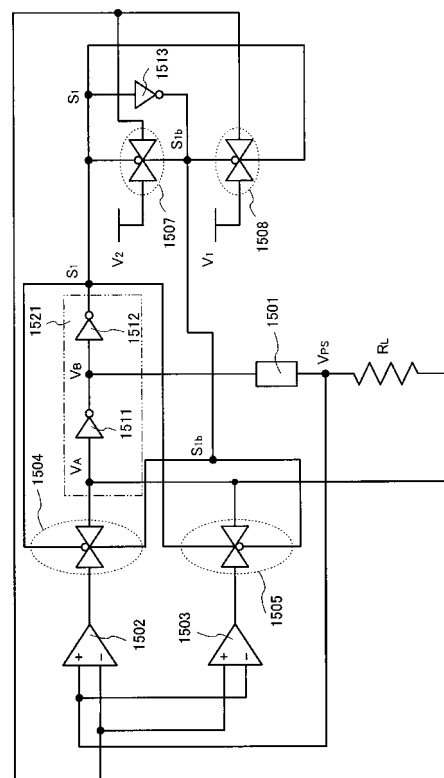
【図 26】



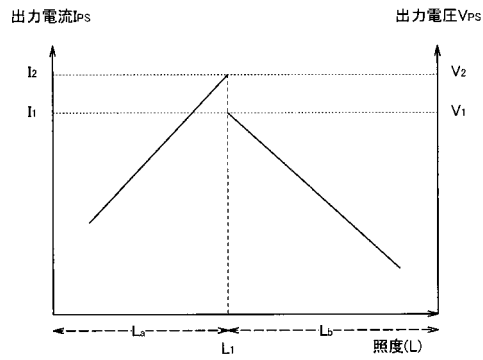
【図 27】



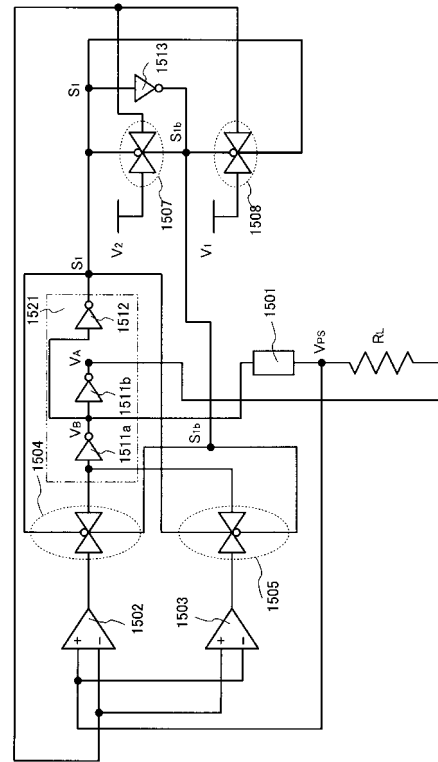
【図 28】



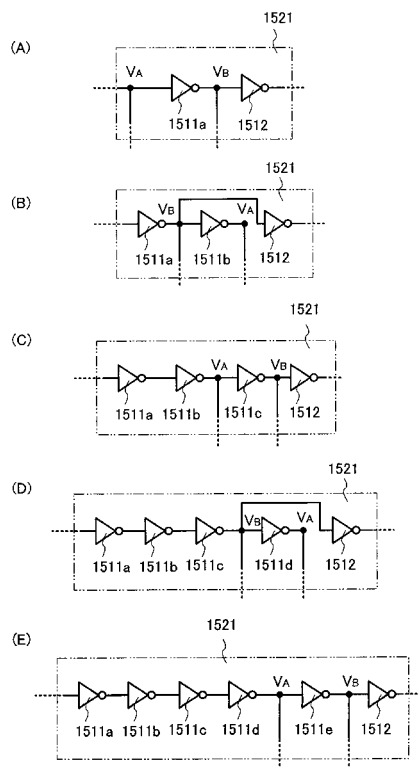
【図 29】



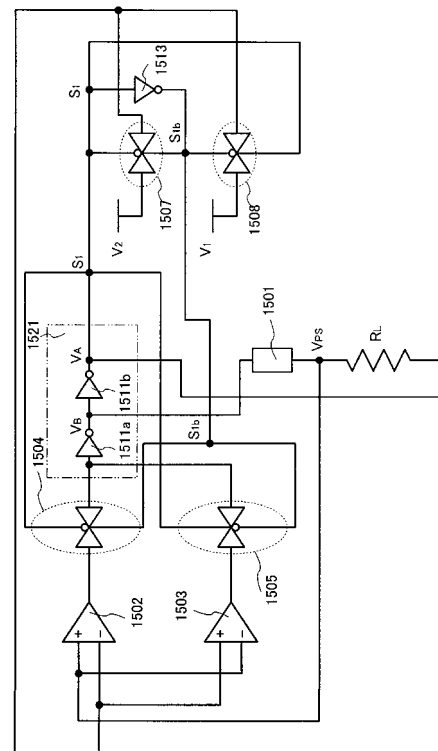
【図 30】



【図 31】



【図 32】



フロントページの続き

審査官 濱田 聖司

(56)参考文献 国際公開第2004/068582(WO, A1)

特開平7-115223(JP, A)

特開平6-342899(JP, A)

特開平10-256841(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 31/10 - 31/119

H01L 27/14 - 27/148

G01J 1/00 - 1/60