(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2006 年9 月28 日 (28.09.2006)

PCT

(10) 国際公開番号
WO 2006/100950 A1

(51) 国際特許分類:
G09G 3/36 (2006.01) *G02F 1/133* (2006.01)
G02F 1/13 (2006.01) *G09G 3/20* (2006.01)

(21) 国際出願番号: PCT/JP2006/304896

(22) 国際出願日: 2006 年3 月13 日 (13.03.2006)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2005-082276 2005 年3 月22 日 (22.03.2005) JP

(71) 出願人 (米国を除く全ての指定国について): シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町２２番２２号 Osaka (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 水巻 秀隆 (MIZUMAKI, Hidetaka) [JP/—]. 平山 泰弘 (HIRAYAMA, Yasuhiro) [JP/—].

(74) 代理人: 島田 明宏 (SHIMADA, Akihiro); 〒6340078 奈良県橿原市八木町１丁目１０番３号 萬盛庵ビル 島田特許事務所 Nara (JP).

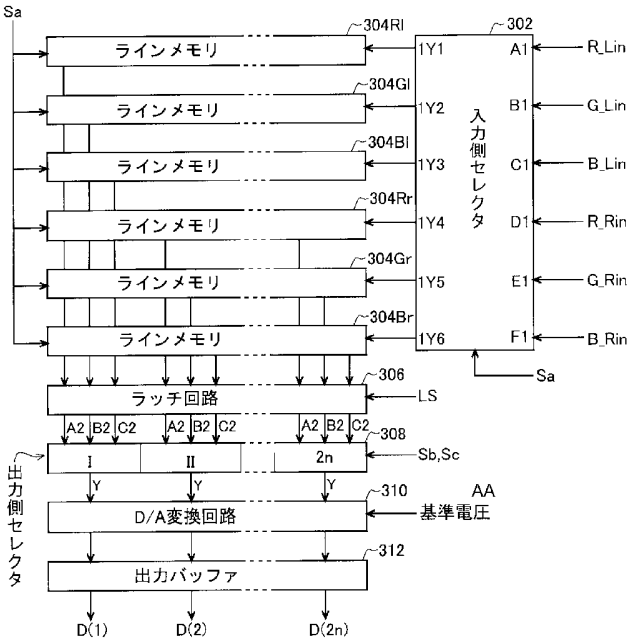
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO,

[続葉有]

WO 2006/100950 A1

(54) Title: DISPLAY APPARATUS, CIRCUIT FOR DRIVING THE SAME, AND METHOD FOR DRIVING THE SAME

(54) 発明の名称: 表示装置ならびにその駆動回路および駆動方法



304-RI LINE MEMORY
304-GI LINE MEMORY
304-BI LINE MEMORY
304-Rr LINE MEMORY
304-Gr LINE MEMORY
304-Br LINE MEMORY

302- INPUT SIDE SELECTOR
306- LATCH CIRCUIT
308- OUTPUT SIDE SELECTOR
310- D/A CONVERTING CIRCUIT
AA- REFERENCE VOLTAGE
312- OUTPUT BUFFER

(57) Abstract: To suppress the reduction in aperture ratio and prevent reflections of dissymmetry images or the like without requiring any high accuracy of finishing in a display apparatus that displays different images to a plurality of view points. In a liquid crystal display panel of wide pixel arrangement capable of performing a dual view display, three subpixel forming parts (R-subpixel, G-subpixel, B-subpixel) for forming each pixel of a color image to be displayed are arranged to be adjacent to each other in the column direction, while they are connected to the same data signal line. A data driver uses an output side selector (308) to switch data signals, which are to be applied to the data signal lines in this liquid crystal panel, among the signals corresponding to data to be dealt with by the three subpixel forming parts, every one-third of each horizontal scan interval. The preset invention is applicable to a liquid crystal display apparatus and the like capable of performing a dual view display or a three-dimensional display.

(57) 要約: 本発明は、複数の視点に対して異なる画像を表示する表示装置において、開口率低下を抑えつつ高い加工精度を要することなく左右画像等の写り込みを防止することを目的とする。 デュアルビュー表示が可能な横長画素配置構成の液晶表示パネルにおいて、表示すべきカラー画像の１画素を形成するための３つの副画素形成部（Ｒ副画素、Ｇ副画素、Ｂ副画素）が列方向に隣接して配置され、かつ、当該３つの副画素形成部が同一のデータ信号線に接続されている。データドライバは、この液晶パネルにおける各データ信号線に印加すべきデータ信号を、当該３つの副画素形成部が取り込むべきデータに相当する信号の間で、

[続葉有]

RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

２文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

各水平走査期間における１／３期間毎に出力側セレクタ（３０８）により切り替える。　本発明は、デュアルビュー表示や立体的表示が可能な液晶表示装置等に適する。

明 細 書

表示装置ならびにその駆動回路および駆動方法

技術分野

[0001] 本発明は、少なくとも2つの視点に対して異なる画像を表示するための表示装置およびその駆動回路に関するものであり、例えば、1人の使用者に対し両眼視差を生じさせて立体的な表示を行う液晶表示装置や、2人の使用者に異なる画像を表示する液晶表示装置に関する。

背景技術

[0002] 近年、使用者に両眼視差を生じさせて立体的な表示を行う液晶表示装置が提供されている。この液晶表示装置では、液晶パネルに視差バリアを設けることによって、左右の目に相当する2つの視点に対して異なる画像を表示する構成となっている。これと同様の原理により、2人の使用者に対して異なる画像を表示する液晶表示装置(以下「デュアルビュー液晶表示装置」または「DV液晶表示装置」という)を実現することができる(例えば下記の特許文献1参照)。このDV液晶表示装置では、右側から見える表示画像と左側から見える表示画像とを異ならせることができる。したがって、このDV液晶表示装置を例えば車に搭載して運転者と助手席の搭乗者とに異なる画像を表示したり、銀行等の窓口に設置して客と係員とに異なる画像を表示したりすることが可能となる。

[0003] 以下、このようなDV液晶表示装置の原理につき図面を参照して説明する。図16(A)は、DV液晶表示装置において表示すべき画像の画素を形成する画素形成部の配置(以下「画素配置」という)を模式的に示す平面図であり、図16(B)および図16(C)は、その画素配置に基づくデュアルビュー表示のための構成を模式的に示す平面図および断面図である(図16(C)は、図16(B)のY－Y線における断面図である)。

[0004] 一般に、カラー画像を表示する液晶表示装置では、表示すべき画像を構成する各画素は、R(赤)の副画素とG(緑)の副画素とB(青)の副画素からなり、これに対応して、各画素に対し、R(赤)の画素形成部(「R副画素」ともいう)と、G(緑)の画素形成

部(「G副画素」ともいう)と、B(青)の画素形成部(「B副画素」ともいう)とが設けられている。図16(A)に示すように、DV液晶表示装置では、マトリクス状に配置された多数の画素形成部からなる画素アレイは、R副画素が並ぶ列、G副画素が並ぶ列、およびB副画素が並ぶ列を有しており、1列おきに配置されたR副画素とG副画素とB副画素とからなる3つの副画素によって、表示すべき画像(DV液晶表示装置では表示すべき画像は2つあり、そのうちの一方の画像)における1つの画素が形成される。

[0005] このDV液晶表示装置では、視差バリア84bが図16(B)および図16(C)に示すように配置されることにより、各副画素90から出射される光が選択的に遮断され、各副画素90から出射される光のうち当該DV液晶表示装置から出ていく光は、視差バリア層に形成されたスリット84sを通過する光だけである。すなわち、図16(C)においてθ bおよびθ gで示されるような範囲にのみ光が出射される。その結果、図16(C)において、当該DV液晶表示装置の表示面前方における左側DLに位置する使用者には、図に示した4個の副画素のうち左から3つ目のB副画素が見えるが、左から2番目のG副画素は見えない。これに対し、当該DV液晶表示装置の表示面前方における右側DRに位置する使用者には、図に示した4個の副画素のうち左から2つ目のG副画素が見えるが、左から3番目のB副画素は見えない。したがって、DV液晶表示装置においてマトリクス状に配置された副画素のうち、1列おきに選ばれた副画素からなる第1の副画素群は、上記左側DLに位置する使用者(視点)に対して表示する画像を形成し、当該第1の副画素群以外の副画素からなる第2の画素群(これも1列おきに選ばれた副画素からなる)は、上記右側DRに位置する使用者(視点)に対して表示する画像を形成する。すなわち、DV液晶表示装置では、左側DLから見たときの表示画像と右側DRから見たときに表示画像とが異なる。

特許文献1:日本の特開2004－206089号公報

特許文献2:日本の特開2004－287406号公報

発明の開示

発明が解決しようとする課題

[0006] しかし、上記のようにDV液晶表示装置を左側から見たときと右側から見たとで異なる画像を良好に表示できるか否か、すなわち、左右両側の一方からのみ見えるべき

画像が他方から見たときにも見えるという現象（以下「左右画像の映り込み」という）を十分に防止できるか否かは、視差バリア84bと副画素90との位置関係に敏感に依存し、左右画像の写り込みを防止するには、視差バリア84bと副画素90との間隔（ギャップ）d2を狭くしなければならない。したがって、視差バリア84bと副画素90との間隔d2を小さな値に精度よく設定することが必要であり、DV液晶パネルの作製には高い加工精度が要求される。この点については、上記のような視差バリアによって両眼視差を生じさせることで立体的な表示を行う3D液晶表示装置についても同様である。

[0007] これに対し、図4（A）に示すように、水平方向（行方向）が長手方向となるように副画素70を配置し、カラー画像を構成する各画素を垂直方向（列方向）に隣接するR副画素、G副画素、B副画素という3つの副画素70で形成するという構成（以下「横長画素配置構成」という）も提案されている（例えば特許文献1の図7（b）参照）。このような構成によれば、上記従来のように垂直方向が長手方向となるように副画素を配置する構成（以下「縦長画素配置構成」という）に比べ、視差バリア54bと副画素70との間隔d1を比較的大きくすることができるので、高い加工精度を必要することなく左右画像の映り込みを防止することができる。

[0008] しかし、横長画素配置構成では、縦長画素配置構成に比べ、同一の解像度を得るのに必要な走査信号線の数が増大する。その結果、液晶パネルにおける開口率が低下し、走査信号線駆動回路の回路規模の増大を招くことにもなる。

[0009] そこで本発明は、複数の視点に対して異なる画像を表示するDV液晶表示装置や3D液晶表示装置等の表示装置であって、開口率の低下を抑えかつ高い加工精度を要することなく左右画像等の写り込みを防止できる表示装置を提供することを目的とする。

課題を解決するための手段

[0010] 本発明の第1の局面は、

列方向に延びる複数のデータ信号線と、

前記複数のデータ信号線と交差し行方向に延びる複数の走査信号線と、

前記複数のデータ信号線と当該複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置された複数の副画素形成部と、

前記複数の走査信号線が順次選択されるように前記複数の走査信号線を駆動する走査信号線駆動回路と、

表示すべき画像を表す複数のデータ信号を前記複数のデータ信号線に印加するデータ信号線駆動回路とを備え、

各副画素形成部は、対応する交差点を通る走査信号線が選択されているときに対応するデータ信号線上の信号を取り込み、

前記表示すべき画像の各画素は、列方向に隣接しかつ同一のデータ信号線に接続される所定数の副画素形成部によって形成され、

前記データ信号線駆動回路は、

前記所定数の副画素形成部が取り込むべきデータ信号に相当する信号からなる同一画素信号群を、前記所定数の副画素形成部に対応する交差点を通る走査信号からなる同一画素走査信号線群のいずれかが選択されている間、保持し出力する保持回路と、

前記同一画素走査信号線群の順次的な選択に連動して、前記保持回路から出力される前記同一画素信号群の信号を順次に選択する選択回路と、

前記選択回路によって選択された信号に基づき、前記所定数の副画素形成部に対応する交差点を通るデータ信号線である前記同一のデータ信号線に印加すべきデータ信号を生成し出力する信号生成出力回路とを含むことを特徴とする。

[0011] 本発明の第2の局面は、本発明の第1の局面において、

視点の配置可能な第1の所定領域に対して表示される第1の画像と視点の配置可能な第2の所定領域に対して表示される第2の画像とが異なるように、前記複数の副画素形成部によって形成される画像につき視差を生じさせる視差生成部を更に備えることを特徴とする。

[0012] 本発明の第3の局面は、本発明の第2の局面において、

前記複数の副画素形成部は、前記第1の画像を形成するための第1の副画素形成群と前記第2の画像を形成するための第2の副画素形成群とからなり、

前記視差生成部は、前記第1の副画素形成群によって形成される画像の表示が前記第1の所定領域に対して許容されると共に前記第2の所定領域に対して抑制され

、かつ前記第2の副画素形成群によって形成される画像の表示が前記第1の所定領域に対して抑制されると共に前記第2の所定領域に対して許容されるように、前記複数の副画素形成部から出射されるべき光を選択的に遮断するためのスリットを有するバリア層を含み、

前記複数の副画素形成部のそれぞれは、前記スリットの延びる方向に長手方向が略垂直となるように配置されていることを特徴とする。

[0013] 本発明の第4の局面は、本発明の第3の局面において、

前記複数の副画素形成部からなるマトリクスにおいて、前記第1の副画素形成部群に属する副画素形成部のみからなる第1の列と、前記第2の副画素形成部群に属する副画素形成部のみからなる第2の列とが、行方向に交互に配置されており、

前記スリットは、前記第1の列と前記第2の列とが隣接する部分に沿って列方向に延びていることを特徴とする。

[0014] 本発明の第5の局面は、本発明の第1から第4の局面のいずれかにおいて、

前記表示すべき画像の各画素を形成すべき前記所定数の副画素形成部は、カラー画像表示のための3原色に対応する第1、第2および第3の色の副画素形成部からなることを特徴とする。

[0015] 本発明の第6の局面は、本発明の第5の局面において、

行方向に互いに隣接する副画素形成部は同じ色の副画素形成部であることを特徴とする。

[0016] 本発明の第7の局面は、列方向に延びる複数のデータ信号線と、当該複数のデータ信号線と交差し行方向に延びる複数の走査信号線と、当該複数の走査信号線が順次選択されるように当該複数の走査信号線を駆動する走査信号線駆動回路と、当該複数のデータ信号線と当該複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置された複数の副画素形成部とを備え、各副画素形成部は対応する交差点を通る走査信号線が選択されているときに対応するデータ信号線上の信号を取り込み、表示すべき画像の各画素は列方向に隣接しかつ同一のデータ信号線に接続される所定数の副画素形成部によって形成される表示装置において、前記表示すべき画像を表す複数のデータ信号を前記複数のデータ信号線に印加するデー

タ信号線駆動回路であって、

前記所定数の副画素形成部が取り込むべきデータ信号に相当する信号からなる同一画素信号群を、前記所定数の副画素形成部に対応する交差点を通る走査信号からなる同一画素走査信号線群のいずれかが選択されている間、保持し出力する保持回路と、

前記同一画素走査信号線群の順次的な選択に連動して、前記保持回路から出力される前記同一画素信号群の信号を順次に選択する選択回路と、

前記選択回路によって選択された信号に基づき、前記所定数の副画素形成部に対応する交差点を通るデータ信号線である前記同一のデータ信号線に印加すべきデータ信号を生成し出力する信号生成出力回路とを備えることを特徴とする。

[0017] 本発明の第8の局面は、列方向に延びる複数のデータ信号線と、当該複数のデータ信号線と交差し行方向に延びる複数の走査信号線と、当該複数の走査信号線が順次選択されるように当該複数の走査信号線を駆動する走査信号線駆動回路と、当該複数のデータ信号線と当該複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置された複数の副画素形成部とを備え、各副画素形成部は対応する交差点を通る走査信号線が選択されているときに対応するデータ信号線上の信号を取り込み、表示すべき画像の各画素は列方向に隣接しかつ同一のデータ信号線に接続される所定数の副画素形成部によって形成される表示装置において、前記表示すべき画像を表す複数のデータ信号を前記複数のデータ信号線に印加するための駆動方法であって、

前記所定数の副画素形成部が取り込むべきデータ信号に相当する信号からなる同一画素信号群を、前記所定数の副画素形成部に対応する交差点を通る走査信号からなる同一画素走査信号線群のいずれかが選択されている間、保持し出力する保持ステップと、

前記同一画素走査信号線群の順次的な選択に連動して、前記保持ステップで出力される前記同一画素信号群の信号を順次に選択する選択ステップと、

前記選択ステップにて選択された信号を、前記所定数の副画素形成部に対応する交差点を通るデータ信号線である前記同一のデータ信号線に印加すべきデータ信

号を生成し出力する信号生成出力ステップとを備えることを特徴とする。

発明の効果

[0018] 本発明の第1の局面によれば、表示すべき画像の各画素を形成するための所定数の副画素形成部は列方向に隣接しかつ同一のデータ信号線に接続され、当該所定数の副画素形成部がそれぞれ取り込むべきデータ信号は、同一画素走査信号線群の順次的な選択に連動して、時分割的に当該同一のデータ信号線に印加される。したがって、表示すべき画像の各画素を形成するための所定数の副画素形成部が行方向に隣接する従来の画素配置構成に比べると、同一の解像度を得るには、走査信号線の数が増えるが、データ信号線の数が減るので、開口率の低下を抑制することができる。

[0019] 本発明の第2の局面によれば、視差生成部によってデュアルビュー表示または立体的な表示を行う表示装置において、従来の画素配置構成に比べ、同一の解像度を確保しつつ開口率の低下を抑制することができる。

[0020] 本発明の第3の局面によれば、デュアルビュー表示または立体的な表示を行うための各副画素形成部は、バリア層におけるスリットの延びる方向に長手方向が略垂直となるように配置されているので、高い加工精度を必要することなく左右画像等の映り込みを防止することができる。しかも、表示すべき画像の各画素を形成するための所定数の副画素形成部が列方向に隣接しかつ同一のデータ信号線に接続されているので、同一の解像度を確保しつつ開口率の低下を抑制することができる。

[0021] 本発明の第4の局面によれば、第1の副画素形成部群に属する副画素形成部のみからなる第1の列と、第2の副画素形成部群に属する副画素形成部のみからなる第2の列とが、行方向に交互に配置され、バリア層におけるスリットは前記第1の列と前記第2の列とが隣接する部分に沿って列方向に延びることで、高い加工精度を必要することなく左右画像等の映り込みを防止できるデュアルビュー表示装置を実現することができる。

[0022] 本発明の第5の局面によれば、表示すべき画像の各画素を形成すべき所定数の副画素形成部は、カラー画像表示のための3原色に対応する第1、第2および第3の色の副画素形成部からなる構成とすることで、開口率の低下を抑えかつ高い加工精度

を必要することなく左右画像等の映り込みを防止できるデュアルビューのカラー表示装置を実現することができる。

[0023] 本発明の第6の局面によれば、行方向に互いに隣接する副画素形成部は同じ色の副画素形成部であるので、カラーフィルタの製造が容易となる。これにより、開口率の低下を抑えかつ高い加工精度を必要することなく左右画像等の映り込みを防止できるデュアルビューのカラー表示装置を低コストで実現することができる。

図面の簡単な説明

[0024] [図1]本発明の第1の実施形態に係る液晶表示装置の全体構成を示すブロック図である。

[図2]上記第1の実施形態における1つの副画素形成部の等価回路を示す回路図である。

[図3]上記第1の実施形態における液晶パネルの構造を説明するための断面図である。

[図4]上記第1の実施形態においてデュアルビュー表示を実現するための構成を模式的に示す平面図(A)および断面図(B)である。

[図5]上記第1の実施形態におけるデータドライバに供給すべき画像信号の表す入力データのフォーマットを示す図(A、B)である。

[図6]上記第1の実施形態におけるデータドライバの構成例を示すブロック図である。

[図7]上記構成例によるデータドライバにおける入力側セレクタの動作を示す真理値表を示す図(A)および出力側セレクタの動作を示す真理値表を示す図(B)である。

[図8]上記構成例によるデータドライバにおける入力側セレクタの動作を説明するためのタイミングチャート(A～C)である。

[図9]上記構成例によるデータドライバにおける時分割出力のための出力側セレクタの動作を説明するためのタイミングチャート(A～F)である。

[図10]上記構成例によるデータドライバの2系統同時入力モードでの(主として入力側の)動作を説明するためのタイミングチャート(A～G)である。

[図11]上記構成例によるデータドライバの2系統同時入力モードでの(主として出力側の)動作を説明するためのタイミングチャート(A～I)である。

[図12]上記構成例によるデータドライバの表示マッピング入力モードでの(主として入力側の)動作を説明するためのタイミングチャート(A～F)である。

[図13]上記第1の実施形態におけるデータドライバの第1の変形例を示すブロック図である。

[図14]上記第1の実施形態におけるデータドライバの第2の変形例を示すブロック図である。

[図15]上記第2の変形例の(主として出力側の)動作を説明するためのタイミングチャート(A～I)である。

[図16]従来のデュアルビュー液晶表示装置の画素配置を示す図(A～C)である。

符号の説明

[0025]

10	…薄膜トランジスタ(TFT)
54	…視差バリア層
54b	…視差バリア
54s	…スリット
56	…CF基板
58	…カラーフィルタ
59	…対向電極(共通電極)
60	…液晶層
62	…画素電極
66	…TFT基板
70	…副画素
200	…表示制御回路
300	…データドライバ(データ信号線駆動回路)
302	…入力側セレクタ
304Rl～304Br	…ラインメモリ
306	…ラッチ回路
308	…出力側セレクタ
310	…D／A変換回路

400 …ゲートドライバ(走査信号線駆動回路)

600 …液晶パネル

A1, B1, C1 …第1の入力端子群

D1, E1, F1 …第2の入力端子群

1Y1, 1Y2, 1Y3 …第1の出力端子群

1Y4, 1Y5, 1Y6 …第2の出力端子群

Clc …液晶容量(画素容量)

CS …共通電極線駆動回路

Ec …対向電極(共通電極)

Ep …画素電極

Ps(i, j)…副画素形成部(i=1～3m、j=1～2n)

Pix …画素形成部

G(i) …走査信号(i=1～3m)

D(j) …データ信号(j=1～2n)

DV1 …左画像のデジタル画像信号

DV2 …右画像のデジタル画像信号

Sa …入力側選択制御信号

Sb, Sc …出力側選択制御信号

発明を実施するための最良の形態

[0026] ＜1. 第1の実施形態＞

＜1. 1 全体の構成および動作＞

図1は、本発明における第1の実施形態に係る液晶表示装置の構成を示すブロック図である。この液晶表示装置は、視点の配置可能な2つの領域に対して互いに異なる画像を表示することができる表示装置、すなわち、表示画面に向かって左または右へ傾いた所定の角度から見たときにそれぞれ異なる画像を表示することができるDV(デュアルビュー)液晶表示装置であって、表示制御回路200と、データ信号線駆動回路としてのデータドライバ300と、走査信号線駆動回路としてのゲートドライバ400と、アクティブマトリクス型の液晶パネル600とを備えている。以下では、表示画面に

向かって左から見たときに表示される画像を「左画像」といい、右から見たときに表示される画像を「右画像」という。

[0027] この液晶表示装置における表示部としての液晶パネル600は、外部の所定の映像ソース(CPUなど)から、左画像を表示するための画像データDv1と、右画像を表示するための画像データDv2と、動作のタイミングを制御するための制御信号TSとを受け取る。なお、この左画像および右画像を液晶パネル600に表示するための元の画像は、液晶パネル600の表示列における奇数列または偶数列のみに表示されることにより正しく表示されるよう、水平方向(表示行方向)に(半分に)圧縮変形されているものとする。例えば、表示画面が640列480行で構成される場合、左画像および右画像を表示するための元画像は320列480行で構成される。

[0028] この液晶パネル600は、上記画像データDv1, Dv2の表す画像における水平走査線数mの3倍の本数(3m本)の走査信号線Lgと、それら3m本の走査信号線Lgのそれぞれと交差する2n本のデータ信号線Lsと、それら3m本の走査信号線Lgと2n本のデータ信号線Lsとの交差点にそれぞれ対応して設けられた3m×2n個の副画素形成部Ps(1, 1)～Ps(3m, 2n)とを含む。また、この液晶パネル600は、各副画素形成部Ps(1, 1)～Ps(3m, 2n)に含まれる画素電極に共通的に設けられかつ液晶層を挟んで各画素電極と対向するように配置された共通電極を備えている。

[0029] 液晶パネル600における3m×2n個の副画素形成部Ps(1, 1)～Ps(3m, 2n)は、図1に示すように、データ信号線Lsの延びる方向すなわち列方向に隣接するR副画素とG副画素とB副画素の3つの副画素形成部を単位としてマトリクス状に配置されており、当該3つの副画素形成部により、この液晶パネル600によって表示すべきカラー画像の各画素、すなわち上記画像データDv1の表す左画像および上記画像データDv2の表す右画像の各画素を形成する(以下、表示すべき画像の1画素に対応する3つの副画素形成部を「画素形成部」といい、符号“Pix”で示すものとする)。したがって、1つの表示行につき3本の走査信号線が対応する。なお、図1において、各副画素形成部Ps(i, j)に付されている“R”“G”“B”の各符号は、当該副画素形成部Ps(i, j)により表示される色が「赤」「緑」「青」のいずれであるかを示すものである。

[0030] 表示制御回路200は、外部から送られる上記画像データDv1，Dv2とタイミング制御信号TSとを受け取り、上記画像データDv1，Dv2にそれぞれ相当する画像信号を画素単位でデジタル画像信号DV1，DV2として出力すると共に、液晶パネル600に画像を表示するタイミングを制御するためのデータ用スタートパルス信号DSP、データ用クロック信号DCK、ラッチストローブ信号LS、ゲート用スタートパルス信号GSP、およびゲート用クロック信号GCKとを含む各種信号を出力する。

[0031] このようにして、表示制御回路200によって生成される信号のうち、デジタル画像信号DV1，DV2、データ用スタートパルス信号DSP、データ用クロック信号DCK、およびラッチストローブ信号LSはデータドライバ300に与えられ、ゲート用スタートパルス信号GSP、ゲート用クロック信号GCKはゲートドライバ400に与えられる。また、表示制御回路200は、上記クロック信号等に基づき、液晶パネル600の交流化駆動のための極性切換制御信号を生成し、これをデータドライバ300および図示されない共通電極駆動回路に供給する。なお、この極性切換信号とそれに基づく交流化駆動は、本発明に直接的には関係しないので、以下ではそれらの説明を省略する。

[0032] データドライバ300は、デジタル画像信号DV1，DV2、データ用クロック信号DCK、データ用スタートパルス信号DSP、およびラッチストローブ信号LS等に基づき、液晶パネル600を駆動するためのアナログ電圧をデータ信号D(1)，D(2)，…，D(2n)として生成し、これらを液晶パネル600における2n本のデータ信号線Lsにそれぞれ印加する。

[0033] ゲートドライバ400は、ゲート用クロック信号GCKおよびゲート用スタートパルス信号GSPに基づき、液晶パネル600における走査信号線を1／3水平走査期間ずつ順に選択するために各走査信号線に印加すべき走査信号G(1)，G(2)，G(3)，…，G(3m)を生成し、全走査信号線のそれぞれを順に選択するためのアクティブな走査信号の各走査信号線への印加を1垂直走査期間を周期として繰り返す。

[0034] 上記のようにして液晶パネル600では、デジタル画像信号DV1，DV2に基づくデータ信号D(1)～D(2n)がデータ信号線Lsに印加され、走査信号G(1)～G(3m)が走査信号線Lgに印加される。また、共通電極には、共通電極駆動回路(不図示)によって共通電圧信号が印加される。これにより、液晶パネル600は、その液晶層に

デジタル画像信号DV1，DV2に応じた電圧を印加されることで光の透過率を変化させ、外部の映像ソースから受け取った画像データDv1，Dv2の表す左画像および右画像を表示する。これらの画像は表示画面を見る角度に応じて一方がはっきりと明るく見え、他方が暗く見えまたは全く見えなくなる。次に、このように異なる視点（2人の使用者）に対して異なる画像を表示する液晶パネル600の詳細について説明する。

[0035] ＜1．2 液晶パネル＞

液晶パネル600は、データドライバ300に接続される2n本のデータ信号線Lsと、ゲートドライバ400に接続される3m本の走査信号線Lgとを備え、当該2n本のデータ信号線Lsと当該3m本の走査信号線Lgとは、各データ信号線Lsと各走査信号線Lgとが交差するように格子状に配設されている。そして、当該2n本のデータ信号線Lsと当該3m本の走査信号線Lgとの交差点に対応して3m×2n個の副画素形成部Ps（1，1）～Ps（3m，2n）がそれぞれ設けられている。

[0036] 既述のように、液晶パネル600によって表示すべきカラー画像の各画素、すなわち上記画像データDv1，Dv2の表す左画像および右画像の各画素は、列方向（データ信号線の延びる方向）に隣接するR副画素とG副画素とB副画素の3つの副画素形成部からなる画素形成部Pixによって形成され、液晶パネル600における3m×2n個の副画素形成部Ps（1，1）～Ps（3m，2n）は、これら3つの副画素形成部を単位としてマトリクス状に配置されている（図1参照）。図2は、このような液晶パネル600における1つの副画素形成部Ps（i，j）の等価回路を示す回路図である（i＝1，2，…，3m；j＝1，2，…，2n）。

[0037] 各副画素形成部Ps（i，j）は、図2に示すように、対応する交差点を通過するデータ信号線Lsにソース端子が接続されるとともに、対応する交差点を通過する走査信号線Lgにゲート端子が接続された薄膜トランジスタ（Thin Film Transistor）（以下「TFT」と略記する）10と、そのTFT10のドレイン端子に接続された画素電極Epと、上記3m×2n個の副画素形成部Ps（1，1）～Ps（3m，2n）に共通的に設けられた共通電極（「対向電極」ともいう）Ecと、上記3m×2n個の副画素形成部Ps（1，1）～Ps（3m，2n）に共通的に設けられ画素電極Epと共通電極Ecとの間に挟持された液晶層とからなる。なお、上記信号線、TFT、およびそれに接続された画素電極Epを含む基

板をTFT基板といい、上記共通電極Ecおよび図示されないカラーフィルタや各種光学補償フィルム(偏光板等)を含む基板をCF基板という。そして、画素電極Epと共通電極Ecとそれらの間に挟持された液晶層とにより形成される液晶容量Clcが、副画素データに相当する電圧を保持するための画素容量を構成する。なお、通常、画素容量に確実に電圧を保持すべく、液晶容量Clcに並列に補助容量が設けられるが、補助容量は本発明には直接に関係しないのでその説明および図示を省略する。

[0038] 上記構成からわかるように、いずれかの走査信号線Lgに印加される走査信号G(i)がアクティブになると、その走査信号線Lgが選択されて、その走査信号線Lgに接続される(各副画素形成部Ps(i, j)の)TFT10が導通状態となり、そのTFT10に接続される画素電極Epには、データ信号D(j)がデータ信号線Lsを介して印加される(j=1～2n)。これにより、その印加されたデータ信号D(j)の電圧(共通電極Ecの電位を基準とする電圧)が、その画素電極Epを含む副画素形成部Ps(i, j)に副画素データとして書き込まれる。

[0039] 図3は、上記のような液晶パネル600の構造を模式的に示す断面図である。液晶パネル600は、1対の透明の絶縁性基板であるTFT基板66およびCF基板56と、それらTFT基板66とCF基板56との間に挟持された液晶層60とを備え、TFT基板66の後方(図3における下方)に配置されるバックライトからの光の透過率を上記画像データDv1, Dv2に応じて変化させることにより、視点(アイポイント)が配置されるべき前方(図3における上方)に対して、上記画像データDv1, Dv2の表す画像を表示する。

[0040] 液晶パネル600におけるTFT基板66およびCF基板56の外面(液晶層60の配置される側の反対側の主面)には偏光板68, 55がそれぞれ貼付されている。TFT基板66の内面(液晶層60の配置される側の主面)には、上記のデータ信号線Lsおよび走査信号線Lgと各副画素形成部Ps(1, 1)～Ps(3m, 2n)のTFT10および画素電極Epとを含むTFT回路部64が形成され、CF基板56の内面には、R副画素、G副画素およびB副画素の図1に示す配置に対応するように構成されたカラーフィルタ58が形成され、そのカラーフィルタ58を覆うように透明の共通電極59が形成されている。これに加えて本実施形態では、CF基板56の外側に透明の視差バリア基板52

が配置され、この視差バリア基板52の内面には、視差バリア54bを含む視差バリア層54が遮光性の金属または樹脂等によって形成されている。この視差バリア層54は、スリット54sを有しており、バックライトからTFT基板66、液晶層60およびCF基板56等を通過して前方に向かう光を選択的に遮断することで、TFT回路部64、液晶層60およびカラーフィルタ58等によって実現される上記副画素形成部Ps(1, 1)～Ps(3m, 2n)により形成される画像に対して視差を生じさせる。すなわち、この視差バリア層54は、少なくとも2つの視点に対して異なる画像が表示されるように、上記副画素形成部Ps(1, 1)～Ps(3m, 2n)により形成される画像に視差を生じさせる視差生成部として機能する。

[0041] 図4は、上記のような液晶パネル600の構成を模式的に示しており、図4(A)は、デュアルビュー表示(以下「DV表示」と略記する)のための構成を示す平面図であり、図4(B)は、DV表示のための構成を示す断面図であって、図4(A)のX－X線における断面図に相当する。以下、図4(A)および図4(B)を参照して、本実施形態においてDV表示を実現するための構成および作用を説明する。なお以下では、TFT回路部64、液晶層60およびカラーフィルタ58等によって実現される上記副画素形成部Ps(1, 1)～Ps(3m, 2n)のそれぞれを区別せずに言及する場合には、参照符号“70”で示すものとし、副画素形成部を単に「副画素」ともいう。また、各副画素70に付された符号“Xy”(X＝R, G, B; y＝l, r)は、その副画素70がR副画素、G副画素、B副画素のいずれであるか、および、画像データDv1の表す左画像と画像データDv1の表す右画像のいずれの画像を形成するための副画素であるかを示している。すなわち、例えば“Rl”の付された副画素70は、左画像を形成するためのR副画素であり、“Gr”の付された副画素70は、右画像を形成するためのG副画素である。なお以下では、符号“Xy”の付された副画素70を「Xy副画素」と呼ぶものとする。

[0042] 図4(A)および図4(B)に示すように、各副画素70は、その長手方向が行方向(走査信号線Lgの延びる方向)となるように配置されており、上記副画素形成部Ps(1, 1)～Ps(3m, 2n)において、各列を構成する副画素70は左画像または右画像のいずれか一方を形成するための副画素のみからなる。そして、左画像を形成するための副画素のみからなる列と、右画像を形成するための副画素のみからなる列とが、交

互に配置されている。視差バリア層54は、スリット54sが各副画素70の長手方向に垂直な方向すなわち列方向（データ信号線Lsの延びる方向）に延び、かつ、副画素70の2列毎に1つのスリット54sが形成されると共に、右画像を形成するための副画素Xrの右側部分および左画像を形成するための副画素Xlの左側部分が、スリット54sによって部分的に露出するように構成されている（X＝R, G, B）。

[0043] 視差バリア層54を上記のような構成とし、スリット54sの幅w1および視差バリア54bと副画素70との間隔d1を適切に設定することにより、図4（B）に示すように、表示画面に向かって左側の所定領域DLからは、Xl副画素（X＝R、G、B）から形成される左画像のみが見え、表示画面に向かって右側の所定領域DRからは、Xr副画素（X＝R、G、B）から形成される右画像のみが見えるようになる。すなわち、視点の配置可能な第1の所定領域DLに対しては画像データDv1の表す左画像のみが表示され、視点の配置可能な第2の所定領域DRに対しては画像データDv2の表す右画像のみが表示される。なお、視差バリア54bと副画素70との間隔d1は、図3に示すカラーフィルタ58と視差バリア54bとの距離に相当する。

[0044] 上記のような構成において、視点の配置される領域によっては、表示画面に向かって左側の領域において左画像のみならず右画像も見えたり、表示画面に向かって右側の領域において左画像のみならず右画像も見えたりすることがある。すなわち、左右画像の映り込みが生じることがある。しかし本実施形態では、各副画素70はその長手方向が行方向となるように配置されており（横長画素配置構成）、視差バリア層54におけるスリット54sは各副画素の長手方向に垂直な方向に延びているので、視差バリア54bと副画素70との間隔d1を大きくしても、各副画素90の長手方向に平行にスリット84sが延びる図16の従来構成に比べ、左右画像の映り込みが生じにくい。したがって、上記構成によれば、高い加工精度を必要することなく左右画像の映り込みを防止することができる。例えば、図16に示したような縦長画素配置構成の場合、視差バリア84bと副画素90との距離d2は50μ程度であるのに対してCF基板56としてガラスの厚みは700μ程度であることから、従来のDV液晶パネルの作製の際には、ガラス基板に対する研磨等の特殊な加工が必要となる。これに対して本実施形態における上記構成によれば、従来ほど高い加工高精度を必要としないことに加えて、そ

のような特殊な作業が不要また軽減されるので、製造コストを抑制することができる。

[0045] ＜1．3 データドライバの構成例＞

本実施形態におけるような横長画素配置構成の場合、表示すべきカラー画像の1画素を形成するための3つの副画素形成部（R副画素、G副画素およびB副画素）は列方向に配置されるので（図1）、同一解像度の表示を得るには、従来の縦長画素配置構成（図16）に比べて3倍の数の走査信号線Lgが必要となる。しかし本実施形態では、図1に示すように、上記3つの副画素形成部は同一のデータ信号線Lsに接続されるので、データ信号線Lsの数を従来の縦長画素配置構成の場合の1／3とすることができる。本実施形態におけるデータドライバ300は、このような液晶パネル600の構成に応じてDV表示（デュアルビュー表示）を可能にするようにデータ信号D（1）～D（2n）を生成する必要がある。以下、このようなデータドライバ300の構成例について説明する。

[0046] 図5（A）および図5（B）は、データドライバ300に供給すべきデジタル画像信号の表す入力データのフォーマットを示している。図1に示した本実施形態の構成では、図5（A）に示すように、左画像データDaLと右画像データDaRとが画像データDv1，Dv2として同時に表示制御回路200に供給され、画像データDv1の表す左画像の信号であるデジタル画像信号DV1と画像データDv2の表す右画像の信号であるデジタル画像信号DV2とが同時にデータドライバ300に入力される（以下、この入力形式を「DV2系統同時入力形式」という）。これに対し、図5（B）に示すように、左画像データDaLと右画像データDaRとを行方向（水平方向）に並べた形式の画像データ（以下「結合画像データ」という）を想定し、この結合画像データの表す画像の信号がデータドライバ300に入力されるという形式も考えられる（以下、この入力形式を「DV表示マッピング入力形式」という）。この結合画像データは、m行2×3n列のマトリクス形式に配列された2×3×m×n個の副画素データからなる画像データであって、各行の前半は左画像を表す副画素データからなり後半は右画像を表す副画素データからなる。DV表示マッピング入力形では、このような2×3×m×n個の副画素データが順次、1系統のデジタル画像信号DVとしてデータドライバ300に入力される。なお、左画像データDaLと右画像データDaRとを同一内容のデータとした場合には、入

力形式がDV2系統同時入力形式かDV表示マッピング入力形式かに拘わらず、DV表示ではない通常の表示が行われる(表示画面前方のいずれの視点に対しても同一の画像が表示される)。

[0047] 図6は、上記のDV2系統同時入力形式とDV表示マッピング入力形式の双方に対応できるデータドライバ300の構成例を示すブロック図である。

[0048] 図6に示すようにデータドライバ300は、第1の接続切換回路としての入力側セレクタ302と、直並列変換器として機能する6個のラインメモリ、すなわち左画像赤色用ラインメモリ304Rl、左画像緑色用ラインメモリ304Gl、左画像青色用ラインメモリ304Bl、右画像赤色用ラインメモリ304Rr、右画像緑色用ラインメモリ304Grおよび右画像青色用ラインメモリ304Brと、1表示行分の副画素データを示す信号を保持するための保持手段としてのラッチ回路306と、第2の接続切換回路としての出力側セレクタ308と、D/A変換回路310と、出力バッファ312とを備えている。そして、左画像を表すデジタル画像信号DV1は、左画像用の赤色入力信号R__Lin、緑色入力信号G__Linおよび青色用入力信号B__Linとして、右画像を表すデジタル画像信号DV1は、右画像の赤色入力信号R__Rin、緑色入力信号G__Rinおよび青色用入力信号B__Rinとして、それぞれ、表示制御回路200から入力側セレクタ302に入力される。また、入力形式を選択するための制御信号として入力側選択制御信号Saが表示制御回路200から入力側セレクタ302に与えられ、出力信号を時分割的に切り替えるための制御信号として出力側選択制御信号Sb, Scが表示制御回路200から出力側セレクタ308に与えられる。さらに、ラッチ回路306には、ラッチストローブ信号LSが表示制御回路200から与えられ、D/A変換回路310には、図示しない基準電圧発生回路から複数の基準電圧が与えられる。なお、入力側選択制御信号Saは、上記ラインメモリ304Rl, 304Gl, 304Bl, 304Rr, 304Gr, 304Brにも与えられ、それらラインメモリのイネーブル信号を兼ねている。

[0049] 上記構成例では入力側セレクタ302は、左画像を表すデジタル画像信号DV1を構成する入力信号R__Lin, G__Lin, B__Linをそれぞれ入力するための第1の入力端子群A1, B1, C1と、右画像を表すデジタル画像信号DV2を構成する入力信号R__Rin, G__Rin, B__Rinをそれぞれ入力するための第2の入力端子群D1, E1, F

1と、左画像用のラインメモリ304Rl, 304Gl, 304Blに画像信号をそれぞれ出力するための第1の出力端子群1Y1, 1Y2, 1Y3と、右画像用のラインメモリ304Rr, 304Gr, 304Brに画像信号をそれぞれ出力するための第2の出力端子群1Y4, 1Y5, 1Y6とを有している。

[0050] 図7(A)は、この入力側セレクタ302の動作を示す真理値表を示している。この図7(A)に示すように、入力側選択制御信号Saが"0"のときに、入力側セレクタ302は、第1および第2の入力端子群A1～F1にそれぞれ与えられる画像信号をそのまま第1および第2の出力端子群1Y1～1Y6からそれぞれ出力する。一方、入力側選択制御信号Saが"1"のときには、入力側セレクタ302は、第1の入力端子群A1～C1にそれぞれ与えられる画像信号を第2の出力端子群1Y4～1Y6からそれぞれ出力し、第2の入力端子群D1～F1は使用されない。なお、図7(A)において、"X"は出力される信号が不定または無効であることを示している。

[0051] 上記より、入力側セレクタ302は、左画像および右画像を表す信号をDV2系統同時入力形式で受け取る場合(以下、このときの動作モードを「2系統同時入力モード」という)には、図8(B)に示すような入力側選択制御信号Saを与えられ、左画像および右画像を表す信号をDV表示マッピング形式で受け取る場合(以下、このときの動作モードを「表示マッピング入力モード」という)には、図8(C)に示すような入力側選択制御信号Saを与えられる。本実施形態では、図1からわかるように入力側セレクタ302は、2系統同時入力モードで動作するので、図8(B)に示すような入力側選択制御信号Saを表示制御回路200から与えられる。

[0052] 出力側セレクタ308は、2n個のブロックからなり(2nはデータ信号線Lsの数)、各ブロックは3つの副画素データに相当するデジタル信号A2, B2, C2を受け取り、図7(B)に示す真理値表に従って、それらの信号A2, B2, C2のいずれかを選択してデジタル信号Yとして出力する。したがって、出力側セレクタ308は、図9(B)に示すような出力側選択制御信号Sb, Scを与えられると、ラッチ回路306から入力されるデジタル画像信号を、図9(C)に示すように出力側選択制御信号Sb, Scの切り替えに応じて時分割的に出力する。この時分割出力のための出力側選択制御信号Sb, Scの切り替え順序は、図1および図4に示す横長画素配置構成に対応している。また、この

出力側選択制御信号Sb, Scの切り替えは、各水平走査期間の1／3の期間毎に行われ、その切り替えのタイミングは、図9(D)～図9(F)に示すようにゲートドライバ400による走査信号線Lgの選択に同期している。

[0053] ＜1．4 データドライバの動作例1＞

以下、上記構成例によるデータドライバ300の2系統同時入力モードでの動作を、図10～図11に示すタイミングチャートを参照して説明する。2系統同時入力モードの場合、入力側セレクタ302には、図10(A)に示す入力側選択制御信号Saが与えられると共に、左画像および右画像を表す2系統のデジタル画像信号DV1, DV2が、図10(C)に示すデジタル画像信号R__Lin, G__Lin, B__Lin, R__Rin, G__Rin, B__Rinとして、副画素単位でシリアルに入力される。入力側セレクタ302は、これらの制御信号および画像信号の入力に対して、図10(D)に示すように、上記デジタル画像信号R__Lin, G__Lin, B__Lin, R__Rin, G__Rin, B__Rinを出力端子1Y1～1Y6からそれぞれ出力して、ラインメモリ304Rl, 304Gl, 304Bl, 304Rr, 304Gr, 304Brにそれぞれ供給する。なお、図10(C)および図10(D)は、表示すべき画像(左画像および右画像)の2行目に相当するデジタル画像信号が入力側セレクタ302に入力された時点の入力側および出力側の信号を示しており、この時点では、ラインメモリ304Rl, 304Gl, 304Bl, 304Rr, 304Gr, 304Brは、表示すべき画像の1行目に相当するデジタル画像信号を保持している。

[0054] ラインメモリ304Rl, 304Gl, 304Bl, 304Rr, 304Gr, 304Brは、このようにしてそれぞれ副画素単位でシリアルに入力したデジタル画像信号R__Lin, G__Lin, B__Lin, R__Rin, G__Rin, B__Rinを、表示すべき画像の1行分ずつパラレルに出力する。すなわち、3個のラインメモリ304Rl, 304Gl, 304Blは、左画像を表すデジタル画像信号を画素単位でシリアルに入力し当該左画像の1行分ずつパラレルに出力する第1の直並列変換器として機能し、他の3個のラインメモリ304Rr, 304Gr, 304Brは、右画像を表すデジタル画像信号を画素単位でシリアルに入力し当該右画像の1行分ずつパラレルに出力する第2の直並列変換器として機能する。

[0055] 上記ラインメモリ304Rl, 304Gl, 304Bl, 304Rr, 304Gr, 304Brとラッチ回路306とは、図6に示すように、左画像の画素を形成する3つの副画素形成部(R副画素、

G副画素およびB副画素）が取り込むべきデータに相当する信号xRy__L, xGy__L, xBy__Lと、右画像の画素を形成する3つの副画素形成部（R副画素、G副画素およびB副画素）が取り込むべきデータに相当する信号xRy__R, xGy__R, xBy__Rとがラッチ回路306の入力側において交互に並ぶように、信号配線で接続されている（x＝1～m, y＝1～n）。これにより、ラッチ回路306は、上記ラインメモリ304Rl, 304Gl, 304Bl, 304Rr, 304Gr, 304Brからパラレルに出力される1行分のデジタル画像信号を受け取り、図10（E）に示すラッチストローブ信号LSに基づきラッチして、図10（F）および図10（G）に示すように当該1行分のデジタル画像信号を出力する（図10（F）および図10（G）は、出力側セレクタ308のブロックI, IIに対してそれぞれ出力されるデジタル画像信号を示している）。ここでラッチ回路306は、1水平走査期間の間、すなわち表示すべき画像の1画素を形成するための3つの副画素形成部（R副画素、G副画素、B副画素）に接続される3本の走査信号線である同一画素走査信号線群のいずれかが選択されている間、上記1行分のデジタル画像信号を保持し出力する。

[0056] 出力側セレクタ308には、上記のようにラッチ回路306から1行分のデジタル画像信号が入力されると共に（図11（D）および図11（E））、図11（C）に示す出力側選択制御信号Sb, Scが与えられる。ここで出力側選択制御信号Sb, Scの値（信号Sbの値と信号Scの値との組み合わせ）は、各水平走査期間において1／3水平走査期間毎に切り替わる。これにより出力側セレクタ308は、表示すべき画像（左画像および右画像）の1行における各画素を形成する3つの副画素形成部（R副画素、G副画素およびB副画素）が取り込むべきデータに相当する信号（以下「同一画素信号群」という）xRy__Z, xGy__Z, xBy__Zを1／3水平走査期間ずつ順次に出力する（x＝1～m;y＝1～n;Z＝L, R）。すなわち、その同一画素信号群を、図11（F）および図11（G）に示すように1水平走査期間（1H期間）において時分割で信号Yとして出力する（図11（F）および図11（G）は、出力側セレクタ308のブロックI, IIからそれぞれ出力されるデジタル画像信号を示している）。なお、この時分割出力における順序は、図1および図4に示す横長画素配置構成に対応している。また、出力側選択制御信号Sb, Scは、ゲートドライバ400による走査信号線Lgの選択に同期して切り替わる

ので、出力側セレクタ308は、液晶パネル600における走査信号線Lgの順次的な選択に連動して、出力信号を同一画素信号群の間で切り替えることになる。

[0057] D／A変換回路310は、図示しない基準電圧発生回路から供給される複数の基準電圧に基づき、出力側セレクタ308（の各ブロック）から出力される上記デジタル画像信号Yをアナログ電圧信号に変換する。これにより得られたアナログ電圧信号は、インピーダンス変換手段としての電圧ホロワ等によって構成される出力バッファ312を介して、1行分のデータ信号D（1）～D（2n）としてデータドライバ300から図11（H）および図11（I）に示すように出力される。ここで、D／A変換回路310と出力バッファ312は、出力側セレクタ308からのデジタル画像信号Yに基づきデータ信号D（j）を生成し出力する信号生成出力回路を構成する。

[0058] 以上のようにして、液晶パネル600において、左画像の各画素を形成すべき副画素形成部に接続されたデータ信号線Lsには、同一画素信号群xRy__L, xGy__L, xBy__Lにつき時分割でデータ信号が印加され、右画像の各画素を形成すべき副画素形成部に接続されたデータ信号線Lsには、同一画素信号群xRy__R, xGy__R, xBy__Rにつき時分割でデータ信号が印加される（x＝1～m、y＝1～n）。そして、ゲートドライバ400から各走査信号線Lgに走査信号G（I）（i＝1～3m）が印加されることにより、3m本の走査信号線が順次選択される。選択された走査信号線Lgに接続される副画画素形成部Ps（i, j）では、TFT10が導通状態となり、当該副画素形成部Ps（i, j）に対応する交差点を通過するデータ信号線Lsのデータ信号D（j）が副画素データとして取り込まれ、その副画素データに相当する電圧が画素容量Clcに保持される。このようにして各副画素形成部Ps（i, j）に取り込まれた副画素データに基づき液晶層の光の透過率が制御され、視差生成部としての視差バリア層54による働きと相まって、デュアルビュー表示が実現される。

[0059] ＜1．5 データドライバの動作例2＞

次に、上記構成例によるデータドライバ300が表示マッピング入力モードでの動作を、図12に示すタイミングチャートを参照して説明する。この場合、既述のように入力側セレクタ302には、図12（A）に示す入力側選択制御信号Saが与えられると共に、図5（B）に示すように左画像データDaLと右画像データDaRとを行方向に並べた形

式の結合画像データに対応する1系統のデジタル画像信号DVが、図12(B)に示すデジタル画像信号R__Lin, G__Lin, B__Linとして入力端子群A1, B1, C1から副画素単位でシリアルに入力される。このとき、各水平走査期間の前半では、左画像を表すデジタル画像信号xRy__L, xGy__L, xBy__L(x＝1～m、y＝1～n)がデジタル画像信号R__Lin, G__Lin, B__Linとして入力され、各水平走査期間の後半では、右画像を表すデジタル画像信号xRy__R, xGy__R, xBy__R(x＝1～m、y＝1～n)がデジタル画像信号R__Lin, G__Lin, B__Linとして入力される。

[0060] 入力側セレクタ302は、これらの制御信号および画像信号の入力に対して、図12(C)に示すように、各水平走査期間の前半では、左画像を表すデジタル画像信号xRy__L, xGy__L, xBy__Lを第1の出力端子群1Y1～1Y3からそれぞれ出力して、ラインメモリ304Rl, 304Gl, 304Blにそれぞれ供給し、各水平走査期間の後半では、右画像を表すデジタル画像信号xRy__R, xGy__R, xBy__Rを第2の出力端子群1Y4～1Y6からそれぞれ出力して、ラインメモリ304Rr, 304Gr, 304Brにそれぞれ供給する。これに対応して、ラインメモリ304Rl, 304Gl, 304Blは、各水平走査期間の前半に入力側セレクタ302から供給されるデジタル画像信号を取り込んで保持し、ラインメモリ304Rr, 304Gr, 304Brは、各水平走査期間の後半に入力側セレクタ302から供給されるデジタル画像信号を取り込んで保持する。なお、図12(B)および図12(C)は、表示すべき画像の2行目に相当するデジタル画像信号が入力側セレクタ302に入力された時点の入力側および出力側の信号を示しており、この時点では、ラインメモリ304Rl, 304Gl, 304Bl, 304Rr, 304Gr, 304Brは、表示すべき画像の1行目に相当するデジタル画像信号を保持している。また、図12において“X”は無効または不定の信号値を示している。

[0061] このようにして左画像を表すデジタル画像信号xRy__L, xGy__L, xBy__Lをそれぞれ副画素単位でシリアルに入力したラインメモリ304Rl, 304Gl, 304Bl、および、右画像を表すデジタル画像信号xRy__R, xGy__R, xBy__Rをそれぞれ副画素単位でシリアルに入力したラインメモリ304Rr, 304Gr, 304Brは、それらの画像信号を、表示すべき画像の1行分ずつパラレルに出力する。すなわち、既述の2系統同時入力モードの場合と同様、3個のラインメモリ304Rl, 304Gl, 304Blは、左画像を表

すデジタル画像信号を画素単位でシリアルに入力し当該左画像の1行分ずつパラレルに出力する第1の直並列変換器として機能し、他の3個のラインメモリ304Rr, 304Gr, 304Brは、右画像を表すデジタル画像信号を画素単位でシリアルに入力し当該右画像の1行分ずつパラレルに出力する第2の直並列変換器として機能する。したがって、この表示マッピング入力モードにおいても、ラッチ回路306は、上記ラインメモリ304Rl, 304Gl, 304Bl, 304Rr, 304Gr, 304Brからパラレルに出力される1行分のデジタル画像信号を受け取り、図12(D)に示すラッチストローブ信号LSに基づきラッチして、図12(E)および図12(F)に示すように当該1行分のデジタル画像信号を出力する。

[0062] 出力側セレクタ308、D/A変換回路310および出力バッファ312も、既述の2系統同時入力モードの場合と同様に動作し(図11参照)、同様のデータ信号D(1)～D(2n)がデータドライバ300から出力される。これにより、液晶パネル600において、左画像の各画素を形成すべき副画素形成部に接続されたデータ信号線Lsには、同一画素信号群xRy__L, xGy__L, xBy__Lにつき時分割でデータ信号が印加され、右画像の各画素を形成すべき副画素形成部に接続されたデータ信号線Lsには、同一画素信号群xRy__R, xGy__R, xBy__Rにつき時分割でデータ信号が印加される(x=1～m、y=1～n)。

[0063] <1.6 効果>

以上のように本実施形態によれば、従来の縦長画素配置構成に比べて高い加工精度を必要することなく左右画像の映り込みを防止することができる横長画素配置構成が採用されていることから(図1、図4)、表示行数の3倍の数の走査信号線が必要となり、同一解像度の表示を得るには、従来の縦長画素配置構成(図16)に比べて3倍の数の走査信号線Lgが液晶パネル600に設けられることになる。しかし本実施形態では、上記3つの副画素形成部は同一のデータ信号線Lsに接続されている(図1)。そして、データドライバ300から出力されるべき各データ信号D(j) (j=1～2n)が、図11(C)に示す出力側選択制御信号Sb, Scに基づき出力側セレクタ308によって1水平走査期間内で切り換えられる。これにより、左画像の各画素を形成すべき副画素形成部に接続されたデータ信号線Lsには、同一画素信号群xRy__L, xGy__L,

xBy__Lにつき時分割でデータ信号が印加され、右画像の各画素を形成すべき副画素形成部に接続されたデータ信号線Lsには、同一画素信号群xRy__R, xGy__R, xBy__Rにつき時分割でデータ信号が印加される(x＝1～m、y＝1～n)(図11)。したがって、同一解像度の表示を得るのに、従来の縦長画素配置構成(図16)に比べ、走査信号線Lgの数が3倍必要となるものの、データ信号線の数は1／3で済む。その結果、液晶パネル600において、走査信号線Lgの増大による開口率の低下を抑制することができる。

[0064] また上記のように、入力側セレクタ302を備える図6に示した構成のデータドライバ300によれば、入力データの形式がDV2系統同時入力形式(図5(A))とDV表示マッピング入力形式(図5(B))のいずれの場合であっても、開口率の低下を抑制すべくデータ信号線数を減らした横長画素配置構成のDV表示用の液晶パネル600(のデータ信号線Ls)を駆動することができる。

[0065] ＜2. 変形例＞

図6に示した構成のデータドライバ300では、同一画素信号群についての時分割出力のための出力側セレクタ308は、D／A変換回路310の前段に配置されているが、これに代えて、出力側セレクタ308bをアナログスイッチ等で構成し、図13に示すようにD／A変換回路310の後段に配置するようにしてもよい。ただし、出力側セレクタ308をD／A変換回路310の前段に配置する構成は、D／A変換回路310の規模を低減できるという利点を有している。

[0066] また、図6に示した構成のデータドライバ300では、出力側セレクタ308における各ブロックは、同一画素信号群A2, B2, C2のうちから選択された信号Yを出力する端子を1つだけ有しているが、これに代えて、図14に示すように、出力側セレクタ308における各ブロックが3つの出力端子から3つの信号Y1, Y2, Y3を出力する構成であってもよい。この場合、図15(F)および図15(G)に示すように、出力側セレクタ308における各ブロックの3つの出力端子からの3つの信号Y1, Y2, Y3は同一の信号であり、これに応じて、出力バッファ312は、図15(H)および図15(I)に示すような3つの信号Rj, Bj, Gjをデータ信号D(j)として出力する(j＝1～2n)。そして、データドライバ300における3個の出力端子が液晶パネル600における1本のデータ信号線

Lsに対応し、データ信号D(j)としての3つ信号Rj, Gj, Bjは実質的に同一の信号である。したがって、それらの信号Rj, Gj, Bjの出力される3つの出力端子は、液晶パネル600における1本のデータ信号線(j番目のデータ信号線)Lsに接続される。その結果、液晶パネル600におけるデータ信号線Lsとデータドライバ300との接続に冗長性を持たせることで信頼度を向上させることが可能となる。

[0067] 上記実施形態では、視差生成部としての視差バリア層54が液晶パネル600の前面側に配置された構成、すなわち前方視差バリア方式が採用されているが(図3)、これに代えて、後方視差バリア方式(例えば特許文献1の図4参照)を採用してもよい。

[0068] 上記実施形態に係る液晶表示装置は、例えば各種駆動回路等の全部または一部を画素回路とともにガラス基板に一体的に形成したいわゆるドライバ(フル)モノリシック型または部分的ドライバモノリシック型の液晶表示装置であってもよい。また、上記実施形態では、画素電極と対向電極とが異なる基板上に形成された液晶パネルを例に説明したが、これらの電極構造に限定はなく、例えば、IPS(In Plane Switching)方式のような、同一基板上に画素電極と対向電極とが形成されているものであってもよい。さらに、本発明は、液晶表示装置に限定されるものではなく、液晶表示装置以外のアクティブマトリクス型のDV表示装置にも適用可能である。

[0069] なお、上記実施形態として、2人の使用者に異なる画像を表示するDV表示装置が例に挙げられているが、これと同様の原理に基づき1人の使用者に対し両眼視差を生じさせて立体的な表示を行う表示装置にも本発明は適用可能である。また、DV表示装置以外の表示装置であっても、横長画素配置構成であって列方向に隣接するR副画素、G副画素、B副画素でカラー画像の1画素が形成される場合であれば、本発明の適用が可能である。

産業上の利用可能性

[0070] 本発明は、少なくとも2つの視点に対して異なる画像を表示するための表示装置およびその駆動回路に適用されるものであり、1人の使用者に対し両眼視差を生じさせて立体的な表示を行う液晶表示装置や、2人の使用者に異なる画像を表示する液晶表示装置に適している。

請求の範囲

[1] 列方向に延びる複数のデータ信号線と、

前記複数のデータ信号線と交差し行方向に延びる複数の走査信号線と、

前記複数のデータ信号線と当該複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置された複数の副画素形成部と、

前記複数の走査信号線が順次選択されるように前記複数の走査信号線を駆動する走査信号線駆動回路と、

表示すべき画像を表す複数のデータ信号を前記複数のデータ信号線に印加するデータ信号線駆動回路とを備え、

各副画素形成部は、対応する交差点を通る走査信号線が選択されているときに対応するデータ信号線上の信号を取り込み、

前記表示すべき画像の各画素は、列方向に隣接しかつ同一のデータ信号線に接続される所定数の副画素形成部によって形成され、

前記データ信号線駆動回路は、

前記所定数の副画素形成部が取り込むべきデータ信号に相当する信号からなる同一画素信号群を、前記所定数の副画素形成部に対応する交差点を通る走査信号からなる同一画素走査信号線群のいずれかが選択されている間、保持し出力する保持回路と、

前記同一画素走査信号線群の順次的な選択に連動して、前記保持回路から出力される前記同一画素信号群の信号を順次に選択する選択回路と、

前記選択回路によって選択された信号に基づき、前記所定数の副画素形成部に対応する交差点を通るデータ信号線である前記同一のデータ信号線に印加すべきデータ信号を生成し出力する信号生成出力回路とを含むことを特徴とする、表示装置。

[2] 視点の配置可能な第1の所定領域に対して表示される第1の画像と視点の配置可能な第2の所定領域に対して表示される第2の画像とが異なるように、前記複数の副画素形成部によって形成される画像につき視差を生じさせる視差生成部を更に備えることを特徴とする、請求項1に記載の表示装置。

[3] 前記複数の副画素形成部は、前記第1の画像を形成するための第1の副画素形成群と前記第2の画像を形成するための第2の副画素形成群とからなり、

前記視差生成部は、前記第1の副画素形成群によって形成される画像の表示が前記第1の所定領域に対して許容されると共に前記第2の所定領域に対して抑制され、かつ前記第2の副画素形成群によって形成される画像の表示が前記第1の所定領域に対して抑制されると共に前記第2の所定領域に対して許容されるように、前記複数の副画素形成部から出射されるべき光を選択的に遮断するためのスリットを有するバリア層を含み、

前記複数の副画素形成部のそれぞれは、前記スリットの延びる方向に長手方向が略垂直となるように配置されていることを特徴とする、請求項2に記載の表示装置。

[4] 前記複数の副画素形成部からなるマトリクスにおいて、前記第1の副画素形成部群に属する副画素形成部のみからなる第1の列と、前記第2の副画素形成部群に属する副画素形成部のみからなる第2の列とが、行方向に交互に配置されており、

前記スリットは、前記第1の列と前記第2の列とが隣接する部分に沿って列方向に延びていることを特徴とする、請求項3に記載の表示装置。

[5] 前記表示すべき画像の各画素を形成すべき前記所定数の副画素形成部は、カラー画像表示のための3原色に対応する第1、第2および第3の色の副画素形成部からなることを特徴とする、請求項1から4までのいずれか1項に記載の表示装置。

[6] 行方向に互いに隣接する副画素形成部は同じ色の副画素形成部であることを特徴とする、請求項5に記載の表示装置。

[7] 列方向に延びる複数のデータ信号線と、当該複数のデータ信号線と交差し行方向に延びる複数の走査信号線と、当該複数の走査信号線が順次選択されるように当該複数の走査信号線を駆動する走査信号線駆動回路と、当該複数のデータ信号線と当該複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置された複数の副画素形成部とを備え、各副画素形成部は対応する交差点を通る走査信号線が選択されているときに対応するデータ信号線上の信号を取り込み、表示すべき画像の各画素は、列方向に隣接しかつ同一のデータ信号線に接続される所定数の副画素形成部によって形成される表示装置において、前記表示すべき画像を表す複

数のデータ信号を前記複数のデータ信号線に印加するデータ信号線駆動回路であって、

前記所定数の副画素形成部が取り込むべきデータ信号に相当する信号からなる同一画素信号群を、前記所定数の副画素形成部に対応する交差点を通る走査信号からなる同一画素走査信号線群のいずれかが選択されている間、保持し出力する保持回路と、

前記同一画素走査信号線群の順次的な選択に連動して、前記保持回路から出力される前記同一画素信号群の信号を順次に選択する選択回路と、

前記選択回路によって選択された信号に基づき、前記所定数の副画素形成部に対応する交差点を通るデータ信号線である前記同一のデータ信号線に印加すべきデータ信号を生成し出力する信号生成出力回路と

を備えることを特徴とする、データ信号線駆動回路。

[8] 列方向に延びる複数のデータ信号線と、当該複数のデータ信号線と交差し行方向に延びる複数の走査信号線と、当該複数の走査信号線が順次選択されるように当該複数の走査信号線を駆動する走査信号線駆動回路と、当該複数のデータ信号線と当該複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置された複数の副画素形成部とを備え、各副画素形成部は対応する交差点を通る走査信号線が選択されているときに対応するデータ信号線上の信号を取り込み、表示すべき画像の各画素は、列方向に隣接しかつ同一のデータ信号線に接続される所定数の副画素形成部によって形成される表示装置において、前記表示すべき画像を表す複数のデータ信号を前記複数のデータ信号線に印加するための駆動方法であって、

前記所定数の副画素形成部が取り込むべきデータ信号に相当する信号からなる同一画素信号群を、前記所定数の副画素形成部に対応する交差点を通る走査信号からなる同一画素走査信号線群のいずれかが選択されている間、保持し出力する保持ステップと、

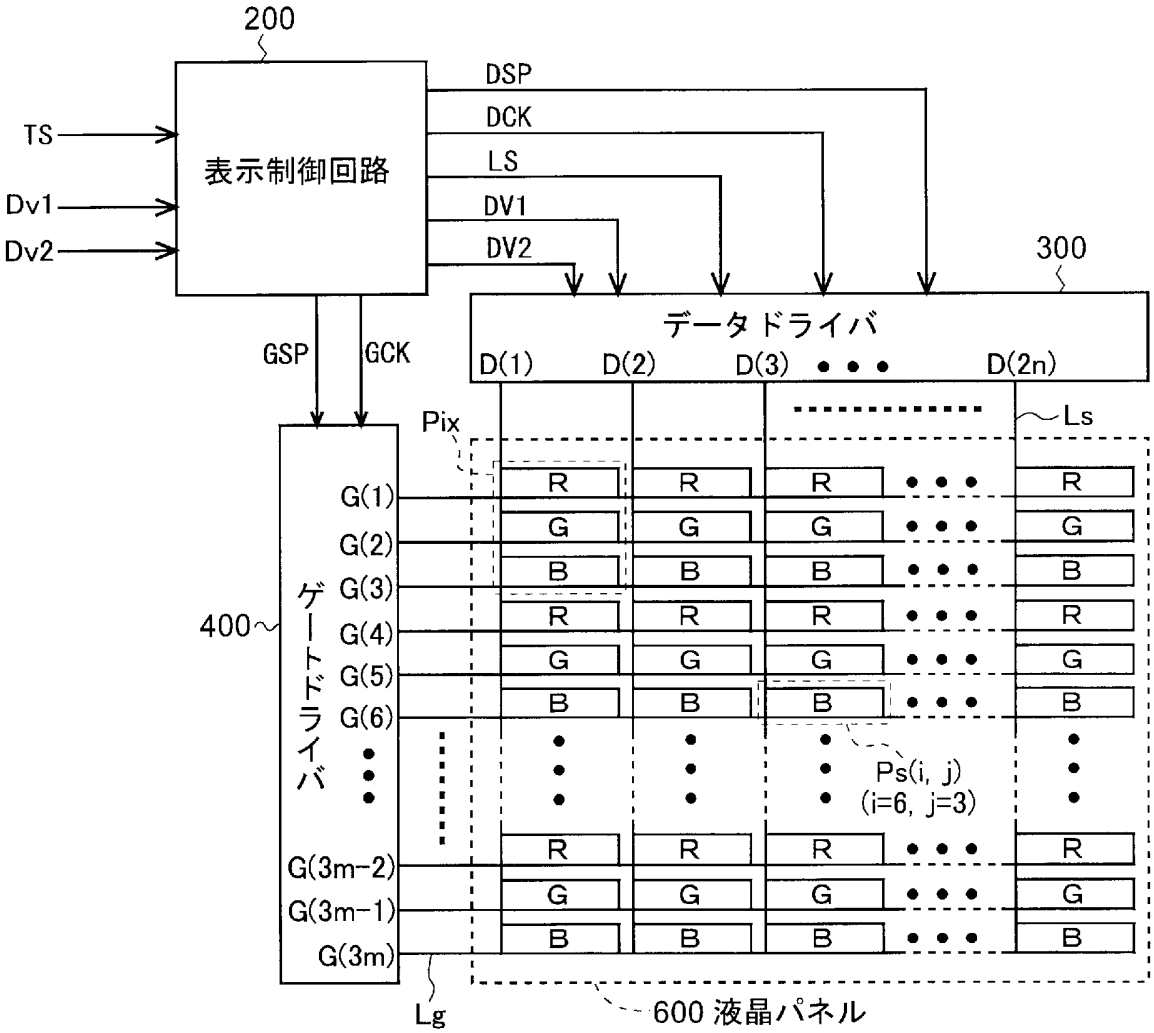
前記同一画素走査信号線群の順次的な選択に連動して、前記保持ステップで出力される前記同一画素信号群の信号を順次に選択する選択ステップと、

前記選択ステップにて選択された信号を、前記所定数の副画素形成部に対応する

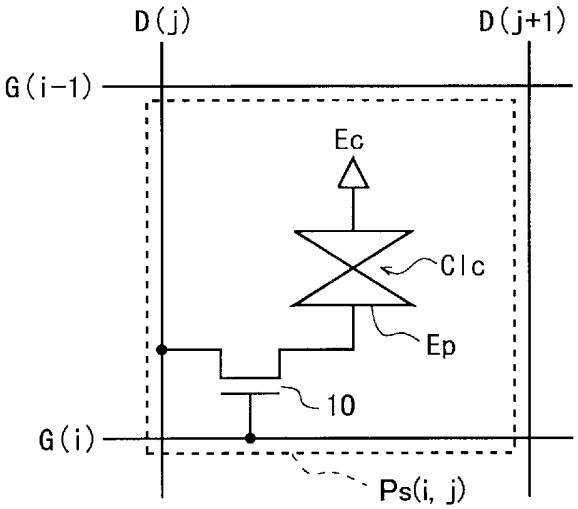
交差点を通るデータ信号線である前記同一のデータ信号線に印加すべきデータ信号を生成し出力する信号生成出力ステップと

を備えることを特徴とする駆動方法。

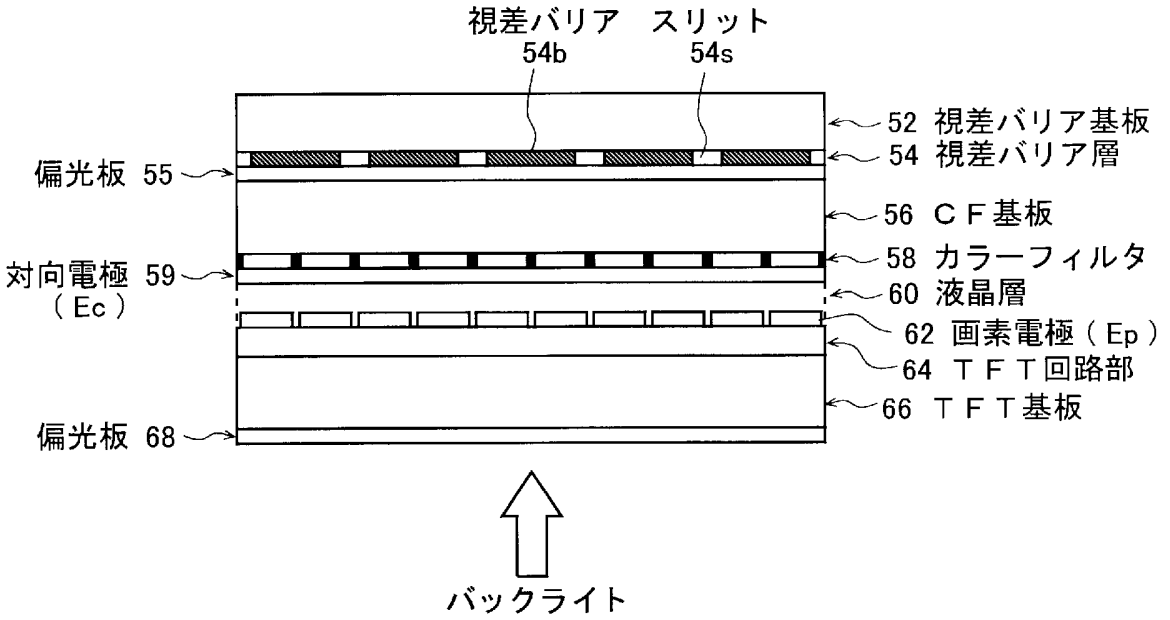
[図1]


200
表示制御回路
TS
Dv1
Dv2
DSP
DCK
LS
DV1
DV2
300
データドライバ
D(1)
D(2)
D(3)
D(2n)
GSP
GCK
Pix
Ls
400
ゲートドライバ
G(1)
G(2)
G(3)
G(4)
G(5)
G(6)
G(3m-2)
G(3m-1)
G(3m)
R
G
B
Ps(i, j)
(i=6, j=3)
Lg
600 液晶パネル

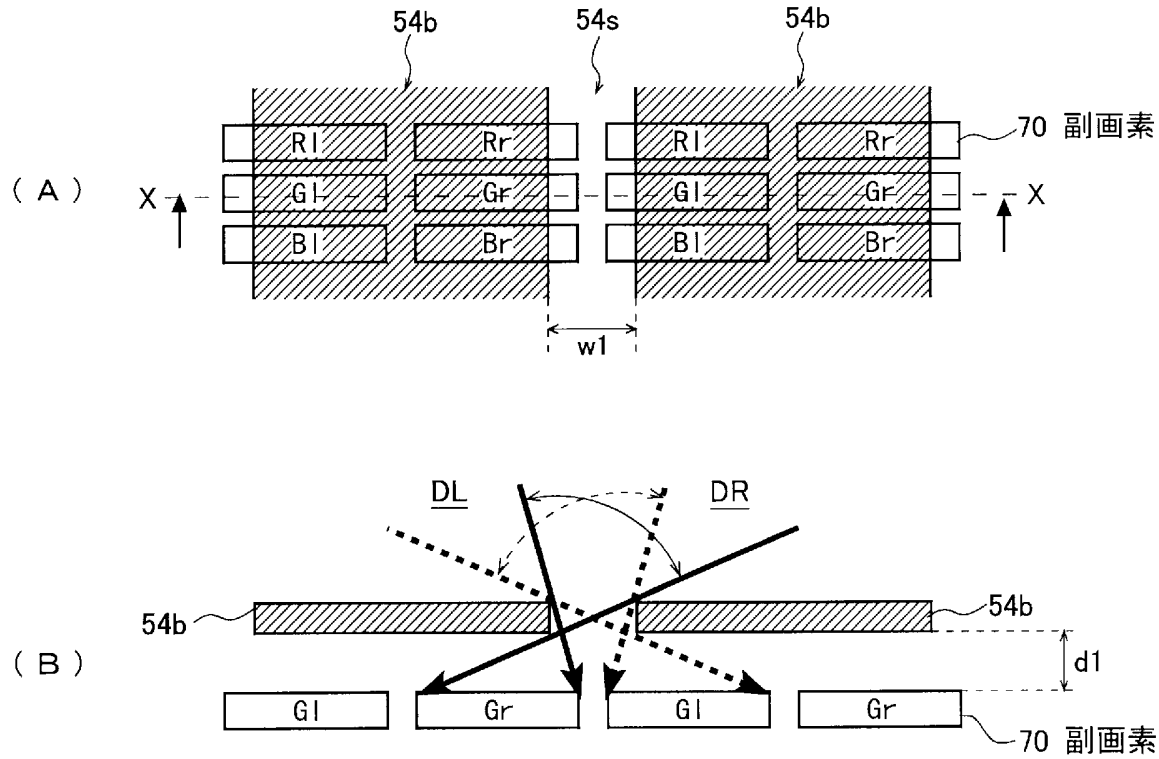
[図2]


D(j)
D(j+1)
G(i-1)
Ec
Clc
Ep
10
G(i)
Ps(i, j)

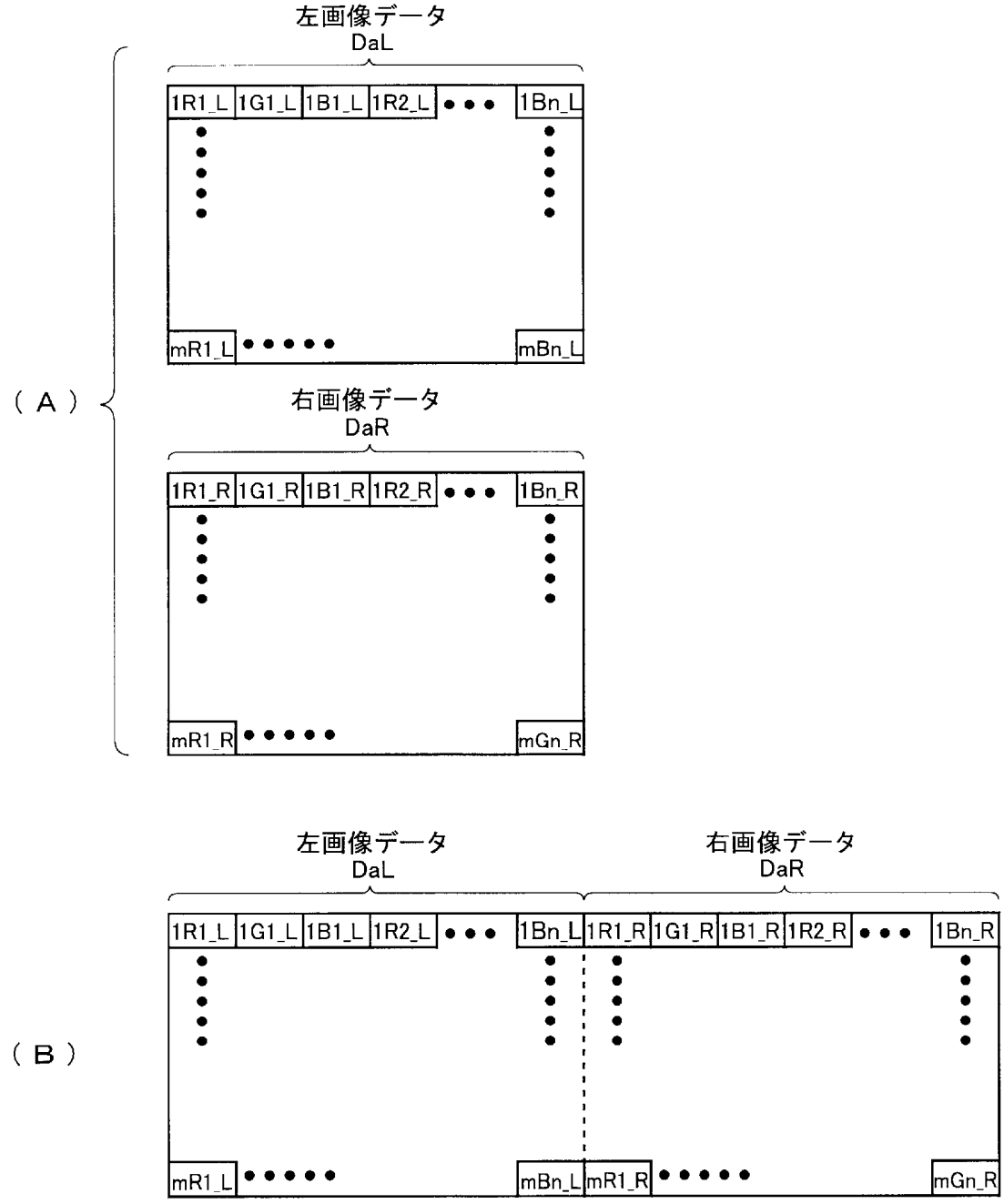
[図3]


視差バリア スリット
54b
54s
52 視差バリア基板
54 視差バリア層
偏光板 55
56 ＣＦ基板
58 カラーフィルタ
対向電極 59
（Ec）
60 液晶層
62 画素電極（Ep）
64 ＴＦＴ回路部
66 ＴＦＴ基板
偏光板 68
バックライト

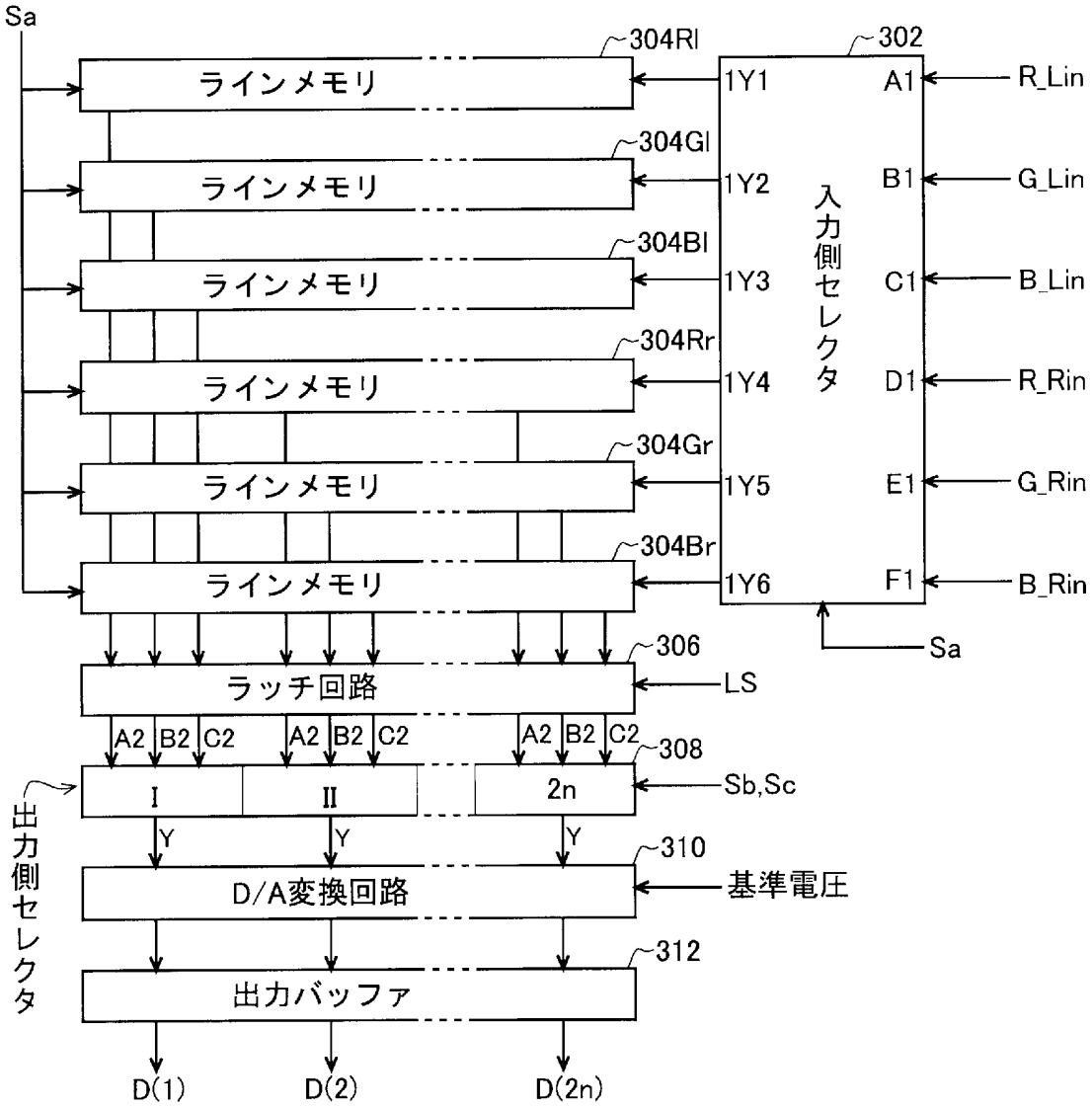
[図4]


54b
54s
54b
70 副画素
（Ａ）
X
X
Rl
Rr
Gl
Gr
Bl
Br
w1
DL
DR
54b
54b
d1
（Ｂ）
Gl
Gr
Gl
Gr
70 副画素

[図5]


（A）
左画像データ
DaL
1R1_L
1G1_L
1B1_L
1R2_L
1Bn_L
mR1_L
mBn_L
右画像データ
DaR
1R1_R
1G1_R
1B1_R
1R2_R
1Bn_R
mR1_R
mGn_R
（B）
左画像データ
DaL
右画像データ
DaR
1R1_L
1G1_L
1B1_L
1R2_L
1Bn_L
1R1_R
1G1_R
1B1_R
1R2_R
1Bn_R
mR1_L
mBn_L
mR1_R
mGn_R

[図6]



[図7]

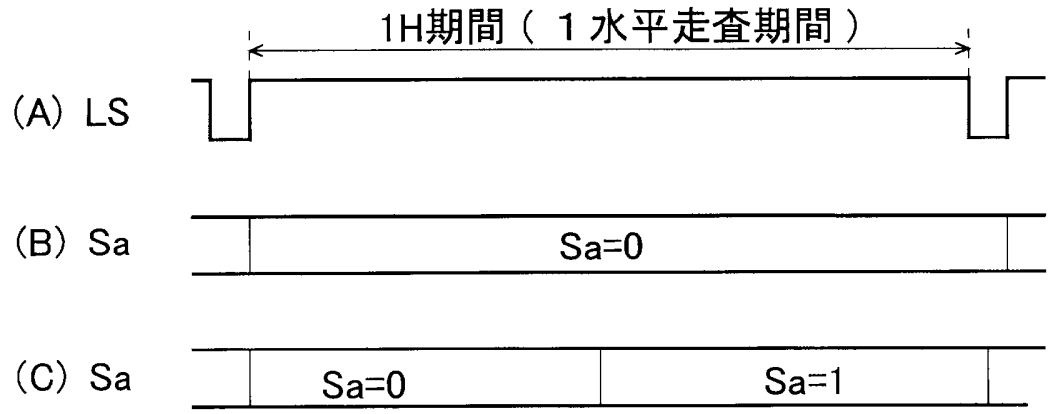
（A）

Sa	1Y1	1Y2	1Y3	1Y4	1Y5	1Y6
0	A1	B1	C1	D1	E1	F1
1	X	X	X	A1	B1	C1

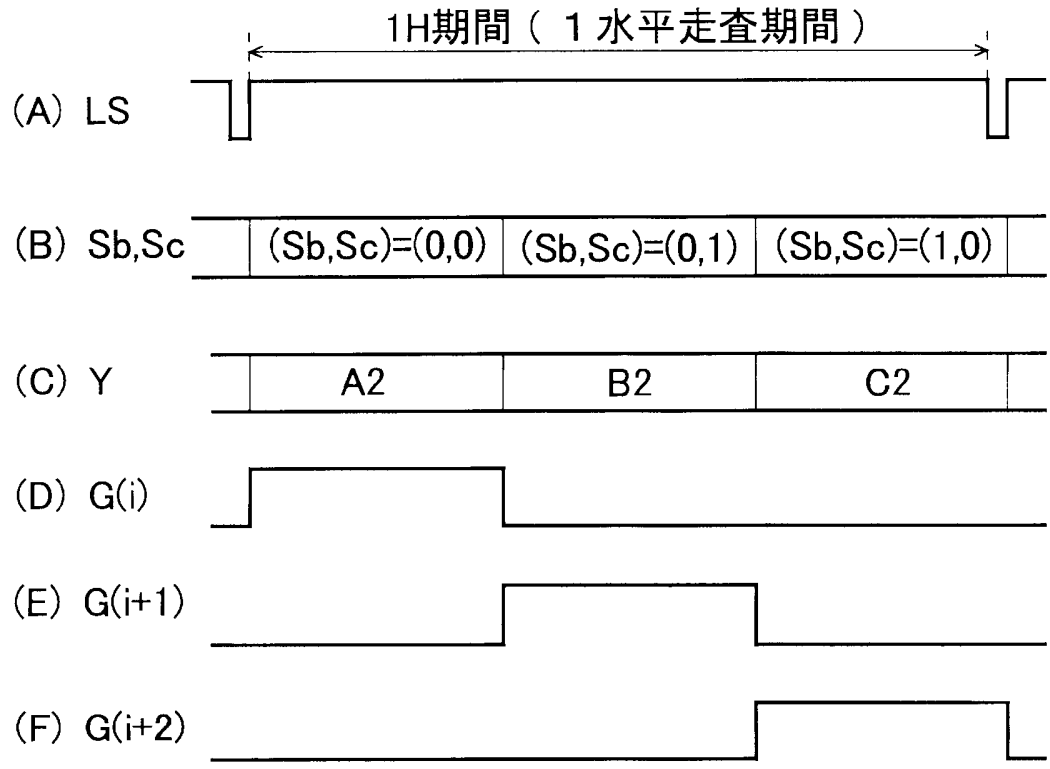
（B）

Sb	Sc	Y
0	0	A2
0	1	B2
1	0	C2

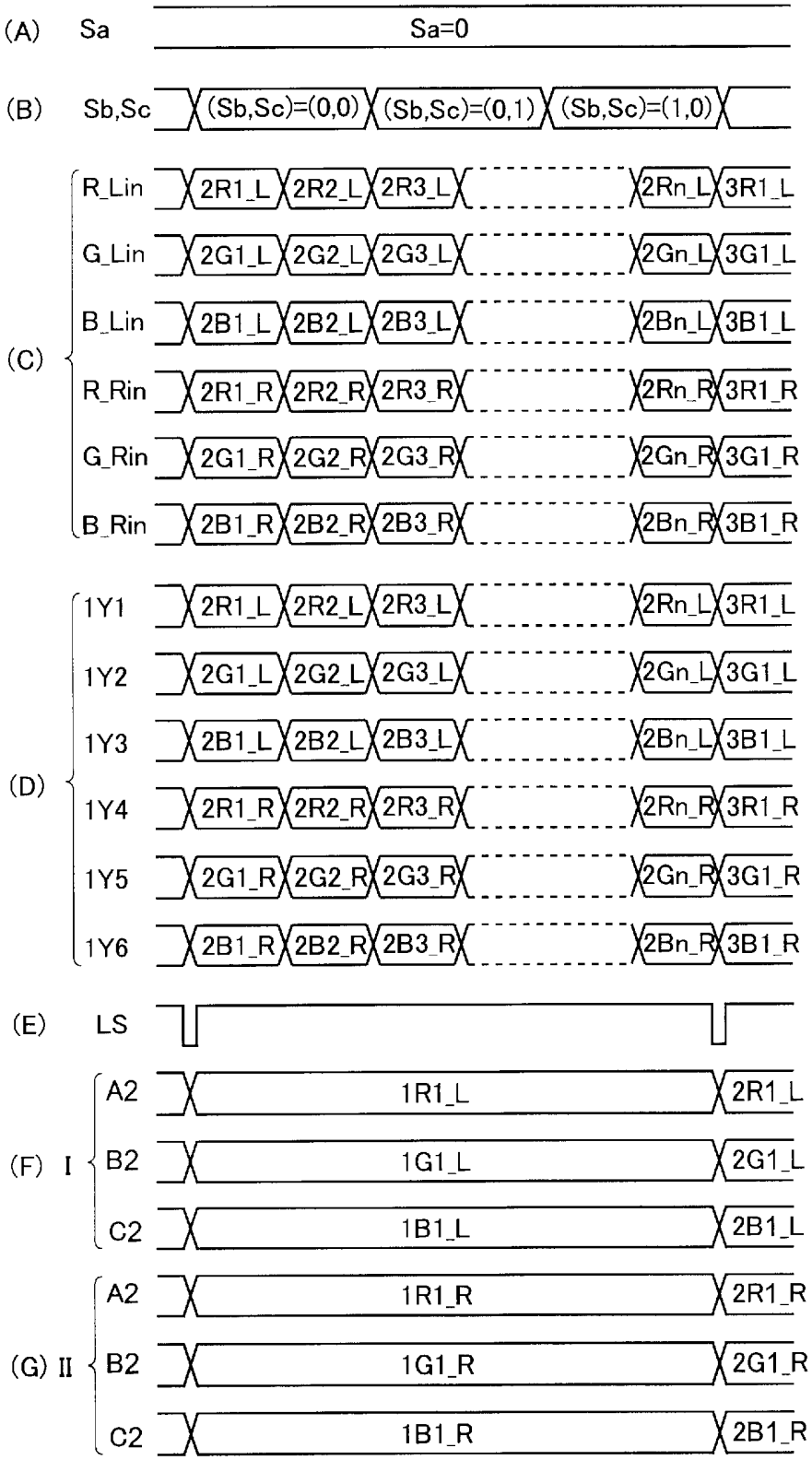
[図8]


1H期間（１水平走査期間）
(A) LS
(B) Sa
Sa=0
(C) Sa
Sa=0
Sa=1

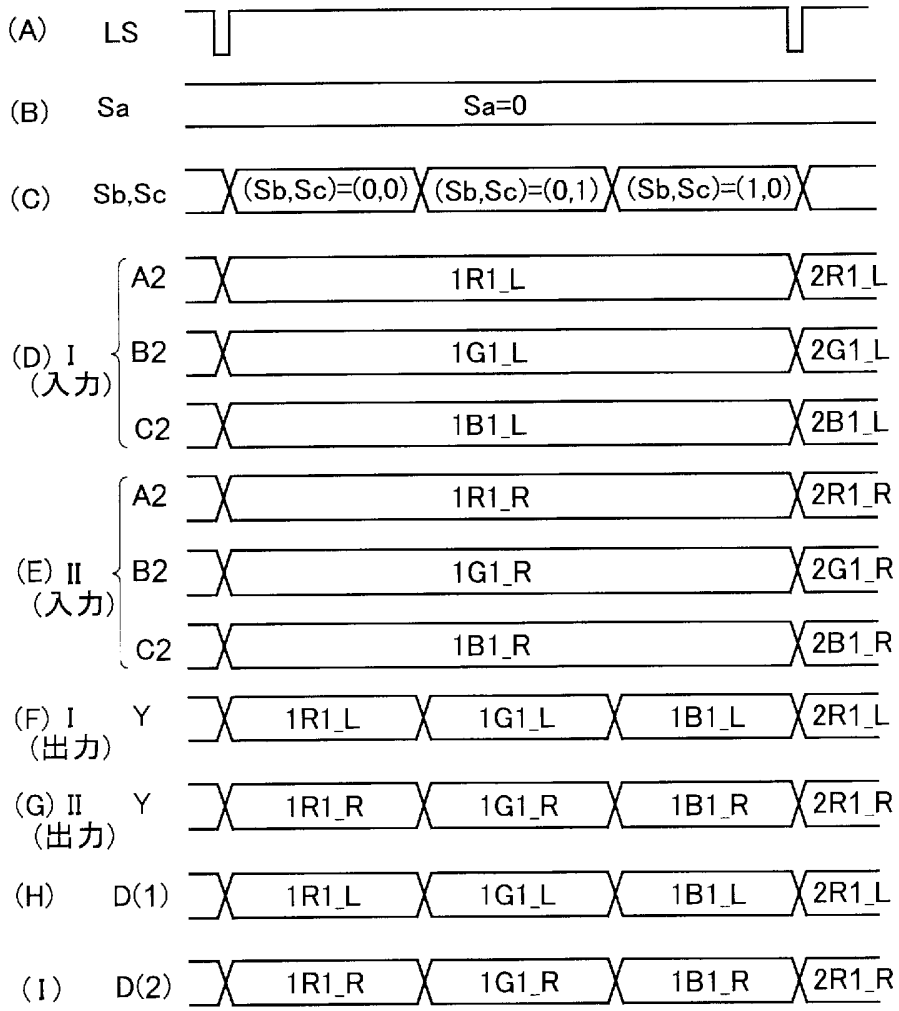
[図9]


1H期間（１水平走査期間）
(A) LS
(B) Sb,Sc
(Sb,Sc)=(0,0)
(Sb,Sc)=(0,1)
(Sb,Sc)=(1,0)
(C) Y
A2
B2
C2
(D) G(i)
(E) G(i+1)
(F) G(i+2)

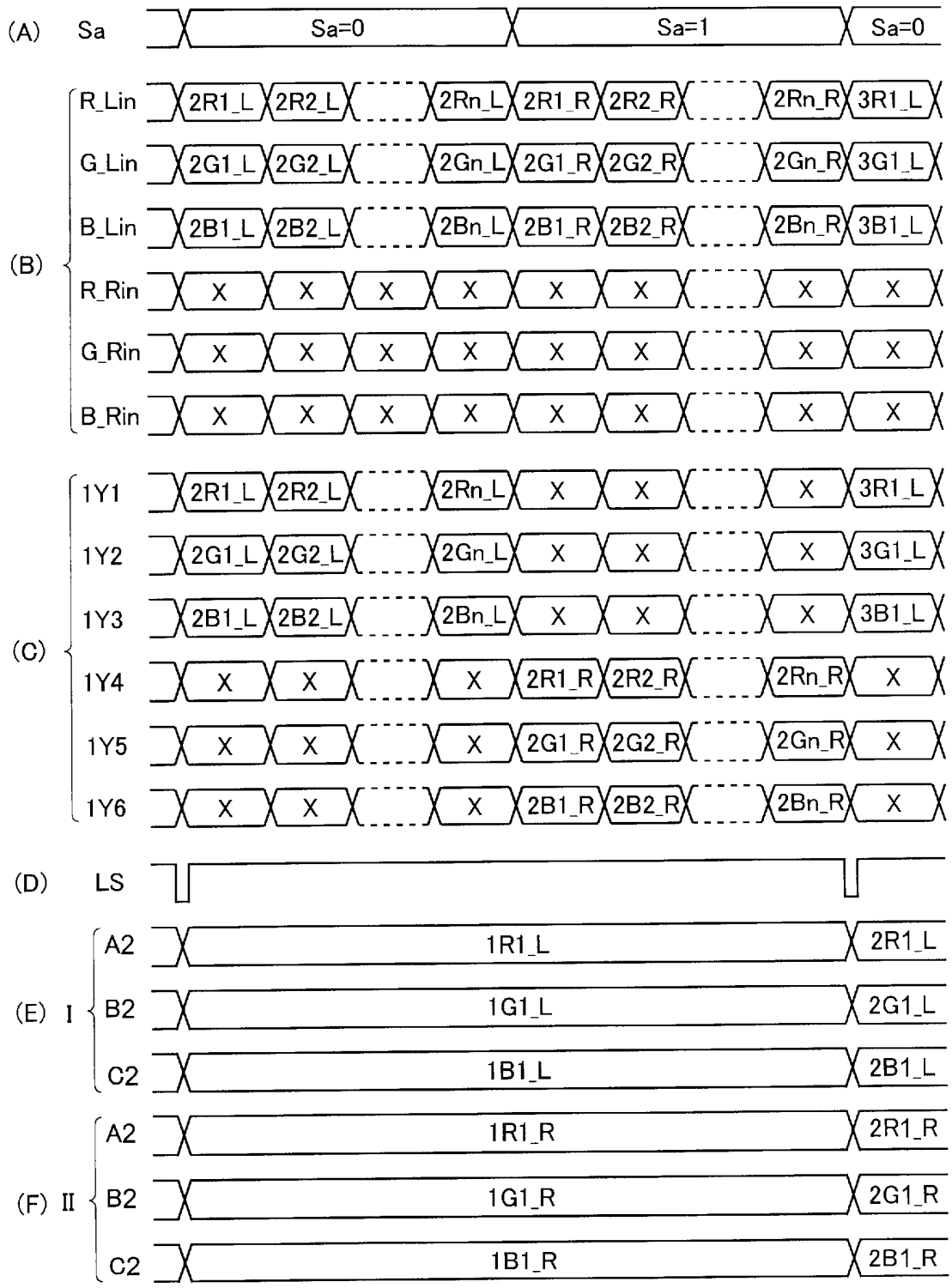
[図10]


(A) Sa
Sa=0
(B) Sb,Sc
(Sb,Sc)=(0,0)
(Sb,Sc)=(0,1)
(Sb,Sc)=(1,0)
(C)
R_Lin
G_Lin
B_Lin
R_Rin
G_Rin
B_Rin
2R1_L 2R2_L 2R3_L 2Rn_L 3R1_L
2G1_L 2G2_L 2G3_L 2Gn_L 3G1_L
2B1_L 2B2_L 2B3_L 2Bn_L 3B1_L
2R1_R 2R2_R 2R3_R 2Rn_R 3R1_R
2G1_R 2G2_R 2G3_R 2Gn_R 3G1_R
2B1_R 2B2_R 2B3_R 2Bn_R 3B1_R
(D)
1Y1
1Y2
1Y3
1Y4
1Y5
1Y6
(E) LS
(F) I
A2
B2
C2
1R1_L 2R1_L
1G1_L 2G1_L
1B1_L 2B1_L
(G) II
A2
B2
C2
1R1_R 2R1_R
1G1_R 2G1_R
1B1_R 2B1_R

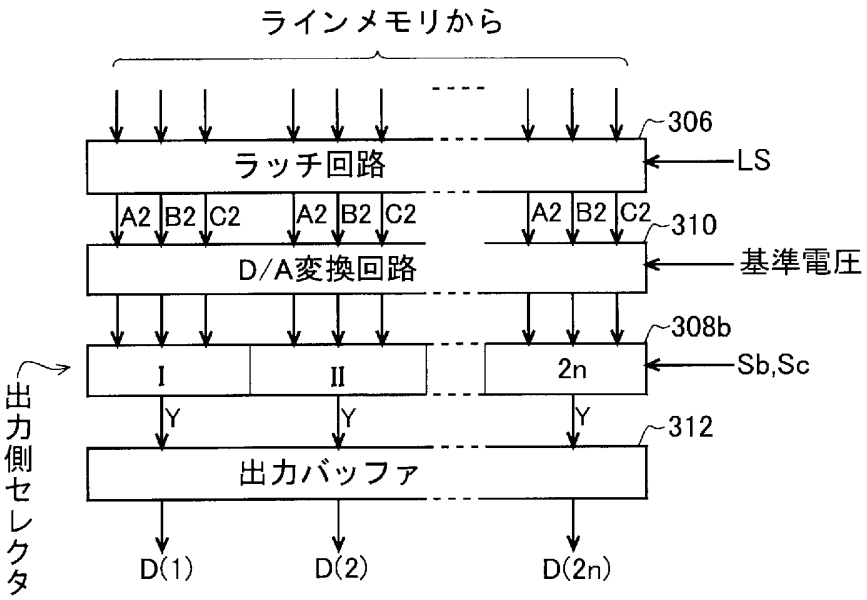
[図11]


(A) LS
(B) Sa
Sa=0
(C) Sb,Sc
(Sb,Sc)=(0,0)
(Sb,Sc)=(0,1)
(Sb,Sc)=(1,0)
(D) I (入力)
A2
B2
C2
1R1_L
1G1_L
1B1_L
2R1_L
2G1_L
2B1_L
(E) II (入力)
A2
B2
C2
1R1_R
1G1_R
1B1_R
2R1_R
2G1_R
2B1_R
(F) I Y (出力)
(G) II Y (出力)
(H) D(1)
(I) D(2)

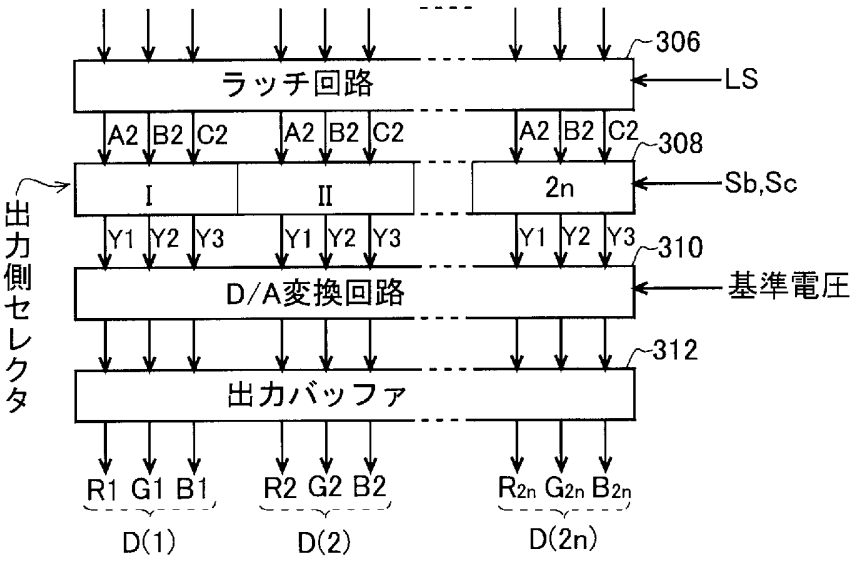
[図12]


(A) Sa
Sa=0
Sa=1
Sa=0
(B)
R_Lin
G_Lin
B_Lin
R_Rin
G_Rin
B_Rin
2R1_L 2R2_L 2Rn_L 2R1_R 2R2_R 2Rn_R 3R1_L
2G1_L 2G2_L 2Gn_L 2G1_R 2G2_R 2Gn_R 3G1_L
2B1_L 2B2_L 2Bn_L 2B1_R 2B2_R 2Bn_R 3B1_L
X X X X X X X X
(C)
1Y1 2R1_L 2R2_L 2Rn_L X X X 3R1_L
1Y2 2G1_L 2G2_L 2Gn_L X X X 3G1_L
1Y3 2B1_L 2B2_L 2Bn_L X X X 3B1_L
1Y4 X X X 2R1_R 2R2_R 2Rn_R X
1Y5 X X X 2G1_R 2G2_R 2Gn_R X
1Y6 X X X 2B1_R 2B2_R 2Bn_R X
(D) LS
(E) I
A2 1R1_L 2R1_L
B2 1G1_L 2G1_L
C2 1B1_L 2B1_L
(F) II
A2 1R1_R 2R1_R
B2 1G1_R 2G1_R
C2 1B1_R 2B1_R

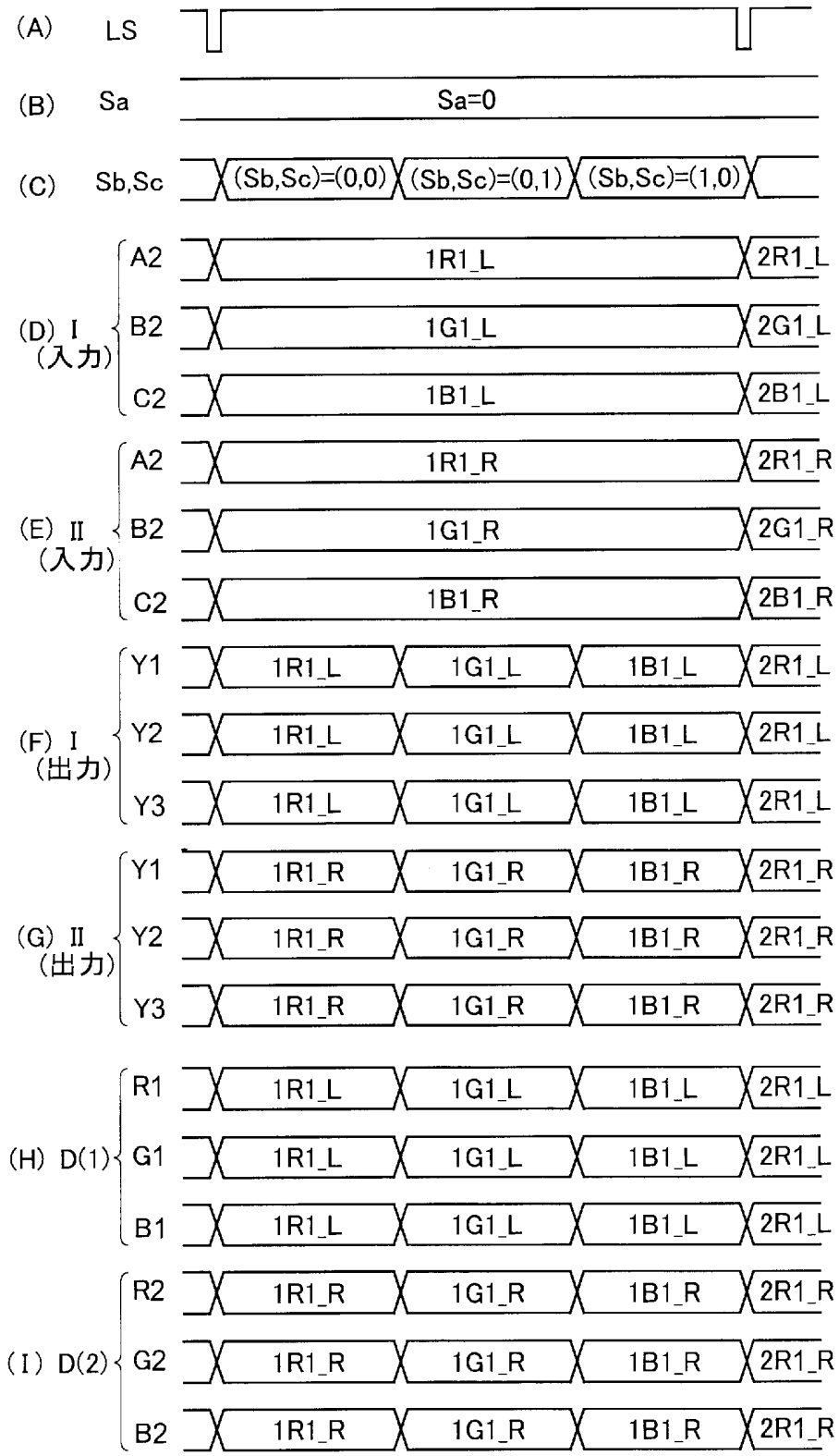
[図13]


ラインメモリから
306
ラッチ回路
LS
A2 B2 C2 A2 B2 C2 A2 B2 C2
310
D/A変換回路
基準電圧
308b
I
II
2n
Sb,Sc
出力側セレクタ
Y Y Y
312
出力バッファ
D(1) D(2) D(2n)

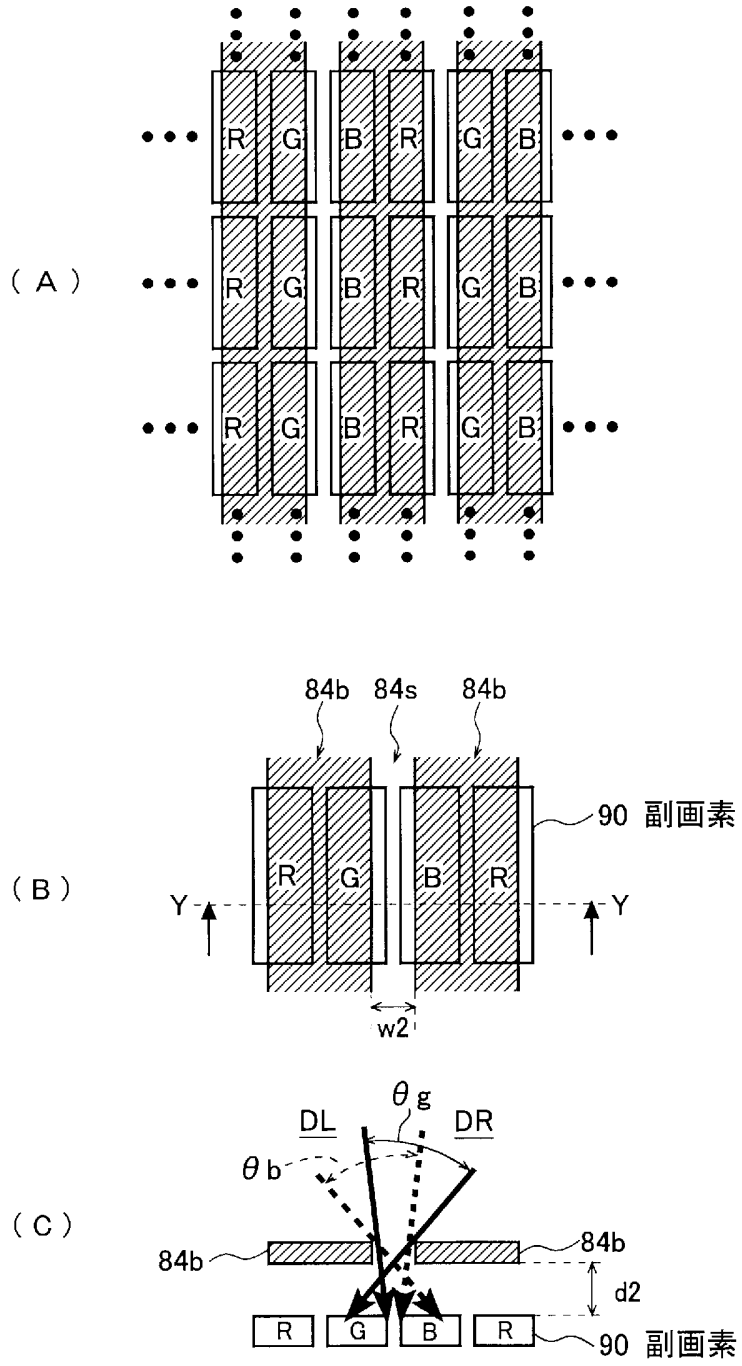
[図14]


306
ラッチ回路
LS
A2 B2 C2 A2 B2 C2 A2 B2 C2
308
I
II
2n
Sb,Sc
出力側セレクタ
Y1 Y2 Y3 Y1 Y2 Y3 Y1 Y2 Y3
310
D/A変換回路
基準電圧
312
出力バッファ
R1 G1 B1 R2 G2 B2 R2n G2n B2n
D(1) D(2) D(2n)

[図15]


(A) LS
(B) Sa
Sa=0
(C) Sb,Sc
(Sb,Sc)=(0,0)
(Sb,Sc)=(0,1)
(Sb,Sc)=(1,0)
(D) I (入力)
A2
B2
C2
1R1_L
2R1_L
1G1_L
2G1_L
1B1_L
2B1_L
(E) II (入力)
A2
B2
C2
1R1_R
2R1_R
1G1_R
2G1_R
1B1_R
2B1_R
(F) I (出力)
Y1
Y2
Y3
1R1_L
1G1_L
1B1_L
2R1_L
(G) II (出力)
Y1
Y2
Y3
1R1_R
1G1_R
1B1_R
2R1_R
(H) D(1)
R1
G1
B1
1R1_L
1G1_L
1B1_L
2R1_L
(I) D(2)
R2
G2
B2
1R1_R
1G1_R
1B1_R
2R1_R

[図16]


(A)
R G B R G B
(B)
84b 84s 84b
90 副画素
R G B R
Y Y
w2
(C)
θg
DL DR
θb
84b 84b
d2
R G B R
90 副画素

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2006/304896

A. CLASSIFICATION OF SUBJECT MATTER
G09G3/36(2006.01), ***G02F1/13***(2006.01), ***G02F1/133***(2006.01), ***G09G3/20***(2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G02F1/13, G02F1/133, G09G3/20, G09G3/36, H04N13/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2006
Kokai Jitsuyo Shinan Koho 1971-2006 Toroku Jitsuyo Shinan Koho 1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2003-22057 A (Alps Electric Co., Ltd.), 24 January, 2003 (24.01.03), Full text; all drawings & US 2003/0006978 A1	1,5-8 2-4
X Y	JP 7-152338 A (Hitachi, Ltd.), 16 June, 1995 (16.06.95), Full text; all drawings (Family: none)	1,5-8 2-4
Y	JP 7-248467 A (Sharp Corp.), 26 September, 1995 (26.09.95), Par. Nos. [0048] to [0054] (Family: none)	2-4

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
26 April, 2006 (26.04.06)	02 May, 2006 (02.05.06)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (April 2005)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2006/304896

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 7-318858 A (Sharp Corp.), 08 December, 1995 (08.12.95), Full text; all drawings & US 5519533 A1	2-4
Y	JP 9-205661 A (Sharp Corp.), 05 August, 1997 (05.08.97), Full text; all drawings & US 5991073 A1	2-4
Y	JP 2005-10304 A (Sea Phone Co., Ltd.), 13 January, 2005 (13.01.05), Full text; all drawings & US 2004/0257495 A1 & EP 1489860 A2	2-4
P,A	JP 2006-30512 A (NEC Corp.), 02 February, 2006 (02.02.06), Full text; all drawings & US 2006/0012593 A1	1-8

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００６／３０４８９６

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　*G09G3/36*（2006.01），*G02F1/13*（2006.01），*G02F1/133*（2006.01），*G09G3/20*（2006.01）

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　G02F 1/13, G02F 1/133, G09G 3/20, G09G 3/36, H04N 13/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００６年
日本国実用新案登録公報	１９９６－２００６年
日本国登録実用新案公報	１９９４－２００６年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
X Y	ＪＰ　２００３－２２０５７　Ａ（アルプス電気株式会社）２００３．０１．２４，全文全図　＆　ＵＳ　２００３／０００６９７８Ａ１	1,5-8 2-4
X Y	ＪＰ　７－１５２３３８　Ａ（株式会社日立製作所）１９９５．０６．１６，全文全図（ファミリーなし）	1,5-8 2-4
Y	ＪＰ　７－２４８４６７　Ａ（シャープ株式会社）１９９５．０９．２６，段落【００４８】－【００５４】（ファミリーなし）	2-4

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 ２６．０４．２００６	国際調査報告の発送日 ０２．０５．２００６
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　２Ｇ　９５０９ 濱本　禎広 電話番号　０３－３５８１－１１０１　内線　３２２６

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Ｙ	ＪＰ　７－３１８８５８　Ａ（シャープ株式会社）１９９５．１２．０８，全文全図　＆　ＵＳ　５５１９５３３　Ａ１	2-4
Ｙ	ＪＰ　９－２０５６６１　Ａ（シャープ株式会社）１９９７．０８．０５，全文全図　＆　ＵＳ　５９９１０７３　Ａ１	2-4
Ｙ	ＪＰ　２００５－１０３０４　Ａ（有限会社シーフォン）２００５．０１．１３，全文全図　＆　ＵＳ　２００４／０２５７４９５　Ａ１　＆　ＥＰ　１４８９８６０　Ａ２	2-4
Ｐ，Ａ	ＪＰ　２００６－３０５１２　Ａ（日本電気株式会社）２００６．０２．０２，全文全図　＆　ＵＳ　２００６／００１２５９３　Ａ１	1-8