

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年5月14日(14.05.2020)



(10) 国際公開番号

WO 2020/095840 A1

(51) 国際特許分類:
H01L 33/08 (2010.01) H01L 33/32 (2010.01)
H01L 33/22 (2010.01)

(21) 国際出願番号: PCT/JP2019/043056

(22) 国際出願日: 2019年11月1日(01.11.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2018-211590 2018年11月9日(09.11.2018) JP

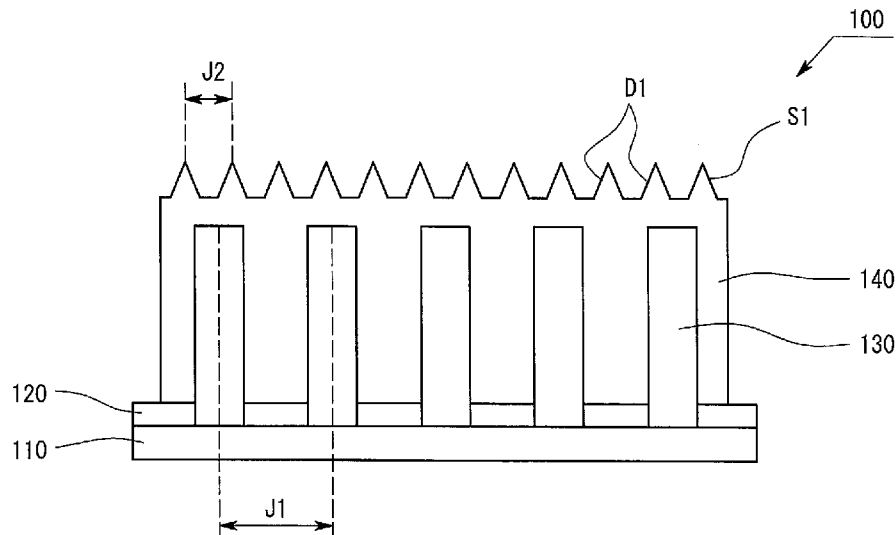
(71) 出願人: 学校法人名城大学 (MEIJO UNIVERSITY) [JP/JP]; 〒4688502 愛知県名古屋市中天白区塩釜口1-501 Aichi (JP). 豊田合成株式会社 (TOYODA GOSEI CO., LTD.) [JP/JP]; 〒4528564 愛知県清須市春日長畑1番地 Aichi (JP). 株式会社小糸製作所 (KOITO MANUFACTURING CO.,

LTD.) [JP/JP]; 〒1088711 東京都港区高輪4丁目8番3号 Tokyo (JP).

(72) 発明者: 上山 智 (KAMIYAMA Satoshi); 〒4688502 愛知県名古屋市中天白区塩釜口1-501 学校法人名城大学内 Aichi (JP). 寺澤 美月 (TERAZAWA Mizuki); 〒4688502 愛知県名古屋市中天白区塩釜口1-501 学校法人名城大学内 Aichi (JP). 竹内 哲也 (TAKEUCHI Tetsuya); 〒4688502 愛知県名古屋市中天白区塩釜口1-501 学校法人名城大学内 Aichi (JP). 岩谷 素顕 (IWAYA Motoaki); 〒4688502 愛知県名古屋市中天白区塩釜口1-501 学校法人名城大学内 Aichi (JP). 赤▲崎▼ 勇 (AKASAKI Isamu); 〒4688502 愛知県名古屋市中天白区塩釜口1-501 学校法人名城大学内 Aichi (JP). 大矢 昌輝 (OYA Masaki); 〒4528564 愛知県清須市春日長畑1番地 豊田合成株式会社内 Aichi (JP). 飯田 一喜 (IIDA Kazuyoshi); 〒4528564 愛知県

(54) Title: SEMICONDUCTOR LIGHT EMITTING ELEMENT

(54) 発明の名称: 半導体発光素子



(57) Abstract: [Problem] The technical problem is to provide a semiconductor light emitting element that improves the light extraction efficiency of the semiconductor light emitting element that has an active layer with a 3 dimensional fine structure. [Solution] This semiconductor light emitting element 100 has: a substrate 110; a plurality of columnar semiconductors 130 on the substrate 110; a burying layer 140 that buries the gap between the plurality of columnar semiconductors 130; and a light extraction surface S1. The light extraction surface S1 has a plurality of convex parts D1. The plurality of columnar semiconductors 130 have a hexagonal columnar shape and are also placed at a first pitch interval J1. The plurality of convex parts D1 are placed at a second pitch interval J2. The first pitch interval J1 and the second pitch interval J2 are different.

清須市春日長畑 1 番地 豊田合成株式会社内
Aichi (JP). 曾根 直樹(SONE Naoki); 〒4248764
静岡県静岡市清水区北脇 5 0 0 番地 株式会
社小糸製作所静岡工場内 Shizuoka (JP).

(74) 代理人: 藤谷 修, 外 (FUJITANI Osamu et al.);
〒4600002 愛知県名古屋市中区丸の内 2 丁目 1
8 番 2 5 号 丸の内 K S ビル 1 6 階 Aichi (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS,
MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,
ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ,
TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,
DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: 【課題】 技術的課題は、3 次元的な微細構造の活性層を有する半導体発光素子の光取り出し効率を向上させることを図った半導体発光素子を提供することである。【解決手段】 半導体発光素子 1 0 0 は、基板 1 1 0 と、基板 1 1 0 の上の複数の柱状半導体 1 3 0 と、複数の柱状半導体 1 3 0 の間の隙間を埋める埋込層 1 4 0 と、光取り出し面 S 1 と、を有する。光取り出し面 S 1 は、複数の凸形状部 D 1 を有する。複数の柱状半導体 1 3 0 は、六角柱形状をしているとともに、第 1 のピッチ間隔 J 1 で配置されている。複数の凸形状部 D 1 は、第 2 のピッチ間隔 J 2 で配置されている。第 1 のピッチ間隔 J 1 と第 2 のピッチ間隔 J 2 とは異なっている。

明 細 書

発明の名称：半導体発光素子

技術分野

[0001] 本明細書の技術分野は、半導体発光素子に関する。

背景技術

[0002] 半導体発光素子は、活性層において正孔と電子とが再結合することにより発光する。従来、活性層として平坦なシート状の井戸層が用いられてきた。近年、柱状などの３次元構造を有する活性層について研究されてきている。

[0003] 例えば、特許文献１には、平坦な半導体層の上に六角柱形状のナノワイヤ半導体を形成し、ナノワイヤ半導体の側面にITO等の透明導電膜を形成する技術が開示されている（特許文献１の請求項１、２および図３Ａ、図３Ｂ参照）。

先行技術文献

特許文献

[0004] 特許文献１：特表２０１６－５１８７０３号公報

発明の概要

発明が解決しようとする課題

[0005] このようなナノワイヤ構造の半導体は、それ自身が微小な微細構造であると考えられる。そのため、特許文献１では、現に、微細構造であるナノワイヤ構造体から光を外部に取り出そうとしている。

[0006] しかし、本発明者らの鋭意研究により、ナノワイヤ構造体から光を直接取り出そうとする場合に、ITO等の材料と大気との間で全反射を生じうることが明らかになってきた。これらの２種類の材料の屈折率の差によるものである。この問題点は、微細構造を考慮した計算を行った結果、初めて明らかになったことである。

[0007] 本明細書の技術が解決しようとする課題は、３次元的な微細構造の活性層

を有する半導体発光素子の光取り出し効率を向上させることを図った半導体発光素子を提供することである。

課題を解決するための手段

[0008] 第1の態様における半導体発光素子は、下地層と、下地層の上の複数の柱状半導体と、複数の柱状半導体の間の隙間を埋める埋込層と、光取り出し面と、を有する。光取り出し面は、複数の凸形状部を有する。複数の柱状半導体は、六角柱形状をしているとともに、第1のピッチ間隔で配置されている。複数の凸形状部は、第2のピッチ間隔で配置されている。第1のピッチ間隔と第2のピッチ間隔とは異なっている。

[0009] この半導体発光素子は、従来のナノワイヤ構造体を備える発光素子に比べて高い光取り出し効率を有する。

発明の効果

[0010] 本明細書では、3次元的な微細構造の活性層を有する半導体発光素子の光取り出し効率を向上させることを図った半導体発光素子が提供されている。

図面の簡単な説明

[0011] [図1]第1の実施形態の半導体発光素子の概略構成を示す斜視図である。

[図2]第1の実施形態の半導体発光素子の断面を示す断面図である。

[図3]第1の実施形態の半導体発光素子の柱状半導体の概略構成図である。

[図4]図3のIV-IV断面を示す第1の断面図である。

[図5]図3のV-V断面を示す第2の断面図である。

[図6]第1の実施形態の半導体発光素子の製造方法を説明するための図（その1）である。

[図7]第1の実施形態の半導体発光素子の製造方法を説明するための図（その2）である。

[図8]第1の実施形態の半導体発光素子の製造方法を説明するための図（その3）である。

[図9]第1の実施形態の半導体発光素子の製造方法を説明するための図（その4）である。

[図10]第1の実施形態の半導体発光素子の製造方法を説明するための図（その5）である。

[図11]第1の実施形態の変形例における半導体発光素子の断面を示す断面図（その1）である。

[図12]第1の実施形態の変形例における半導体発光素子の断面を示す断面図（その2）である。

[図13]第1の実施形態の変形例における半導体発光素子の断面を示す断面図（その3）である。

[図14]第2の実施形態の半導体発光素子の柱状半導体の周辺を示す断面図である。

[図15]第2の実施形態の半導体発光素子の製造方法を説明するための図（その1）である。

[図16]第2の実施形態の半導体発光素子の製造方法を説明するための図（その2）である。

[図17]第2の実施形態の半導体発光素子の製造方法を説明するための図（その3）である。

[図18]第2の実施形態の半導体発光素子の製造方法を説明するための図（その4）である。

[図19]第2の実施形態の半導体発光素子の製造方法を説明するための図（その5）である。

[図20]第3の実施形態の半導体発光素子の概略構成を示す図である。

発明を実施するための形態

[0012] 以下、具体的な実施形態について、半導体発光素子を例に挙げて図を参照しつつ説明する。しかし、本発明はこれらの実施形態に限定されるものではない。また、後述する半導体発光素子の各層の積層構造および電極構造は、例示である。実施形態とは異なる積層構造であってもよい場合がある。そして、それぞれの図における各層の厚みの比は、概念的に示したものであり、実際の厚みの比を示しているわけではない。

[0013] (第1の実施形態)

1. 半導体発光素子

図1は、第1の実施形態の半導体発光素子100の概略構成を示す斜視図である。半導体発光素子100は、3次元形状の活性層を有する。図1に示すように、半導体発光素子100は、基板110と、マスク120と、柱状半導体130と、埋込層140と、カソード電極N1と、アノード電極P1と、を有する。

[0014] 基板110は、マスク120と、柱状半導体130と、埋込層140と、を支持するためのものである。基板110は、成長基板111と、バッファ層112と、中間層113と、n型半導体層114と、を有する(図3参照)。成長基板111は、バッファ層112と、中間層113と、n型半導体層114と、それより上層の半導体層等を支持するためのものである。成長基板111は、例えば、サファイア基板、Ga₂N基板、AlN基板、その他の成長基板である。バッファ層112は、例えば、ノンドープのGa₂N層である。中間層113は、例えば、n型Ga₂N層である。n型半導体層114は、柱状半導体130を成長させるための下地層である。n型半導体層114は、柱状半導体130を成長させるための第1面114aを有する。n型半導体層114は、例えば、n型AlGa₂N層である。これらは例示であり、上記以外の構造であってもよい。

[0015] マスク120は、表面から半導体が成長しない材料である。後述するように、マスク120には、貫通孔があいている。マスク120は、透明絶縁膜であるとよい。この場合には、マスク120は、光をほとんど吸収しない。電流は、マスク120を介さず、柱状半導体130に好適に流れる。マスク120の材質として例えば、SiO₂、SiNx、Al₂O₃が挙げられる。

[0016] 図1に示すように、柱状半導体130は、柱状のIII族窒化物半導体である。柱状半導体130は、基板110の上に形成されている。より具体的には、柱状半導体130は、マスク120の開口部120aに露出する基板110の表面から選択成長させた半導体である(図3参照)。柱状半導体13

0は、六角柱形状をしている。柱状半導体130における中心軸方向に垂直な断面は、正六角形または扁平形状の六角形である。

[0017] 埋込層140は、柱状半導体130と柱状半導体130との間の隙間を埋め込むための層である。埋込層140は、柱状半導体130を覆っている。埋込層140の材料は、例えば、 $p\text{-Ga}\text{N}$ である。

[0018] カソード電極N1は、基板110の上に形成されている。

[0019] アノード電極P1は、埋込層140の上に形成されている。アノード電極P1は、埋込層140以外のその他の半導体に形成されていてもよい。

[0020] 2. 柱状半導体と光取り出し面との間の関係

2-1. 柱状半導体の配列

図2は、半導体発光素子100の縦断面を示す概念図である。柱状半導体130は、正方格子状に配置されている。図2に示すように、複数の柱状半導体130は、第1のピッチ間隔J1（正方格子配列の一边方向の柱状半導体の中心軸間隔の間隔）で周期的に配置されている。

[0021] 柱状半導体130の高さは、例えば、 $0.5\mu\text{m}$ 以上 $5\mu\text{m}$ 以下である。柱状半導体130の径は、例えば、 50nm 以上 500nm 以下である。ここで、径とは、中心軸方向に垂直な断面における六角形の向かい合う頂点間の距離である。長辺がある場合には、長辺方向の距離である。柱状半導体130の第1のピッチ間隔J1は、例えば、 $0.5\mu\text{m}$ 以上 $5\mu\text{m}$ 以下である。これらの数値は例示であり、上記以外の数値であってもよい。

[0022] 2-2. 光取り出し面

図2に示すように、埋込層140は、光取り出し面S1を有する。光取り出し面S1は、複数の凸形状部D1を有する。複数の凸形状部D1は、円錐形状である。複数の凸形状部D1は、正方格子状に配置されている。複数の凸形状部D1は、第2のピッチ間隔J2（正方格子配列の一边方向の凸形状部の中心間隔の間隔）で周期的に配置されている。

[0023] 凸形状部D1の底部の直径は、例えば、 100nm 以上 500nm 以下である。凸形状部D1の高さは、例えば、 100nm 以上 500nm 以下であ

る。第2のピッチ間隔J2は、例えば、100nm以上500nm以下である。これらの数値は例示であり、上記以外の数値であってもよい。

[0024] 2-3. 柱状半導体と凸形状部との関係

図2に示すように、隣り合う柱状半導体130と柱状半導体130との間の第1のピッチ間隔J1は、隣り合う凸形状部D1と凸形状部D1との間の第2のピッチ間隔J2と異なっている。

[0025] 複数の凸形状部D1の頂点をn型半導体層114（下地層）の第1面114aに射影した第1の点群と、複数の柱状半導体130の頂点をn型半導体層114（下地層）の第1面114aに射影した第2の点群と、を仮想的に設定した場合に、第1の点群における各点から半径0.01μm以内の範囲内に第2の点群が入る確率は、3%以下である。より好ましくは、第2の点群は、第1の点群と重ならないとよい。ここで、柱状半導体130の頂点とは、柱状半導体130の表面であって六角柱の中心軸が通る点である。

[0026] 3. 柱状半導体

図3は、第1の実施形態の半導体発光素子100の柱状半導体130の概略構成図である。柱状半導体130は、柱状n型半導体131と、活性層132と、筒状p型半導体133と、を有する。柱状n型半導体131の側面は、m面である。または、m面に近い面である。m面は非極性面である。そのため、活性層132において、ピエゾ分極による発光効率の低下がほとんどない。

[0027] 3-1. 柱状半導体の構造

柱状n型半導体131は、マスク120の開口部120aに露出しているn型半導体層114を起点に柱状に選択成長させた半導体層である。前述のように、n型半導体層114は、柱状半導体130を成長させるための下地層である。柱状n型半導体131は、六角柱形状をしている。この六角柱の軸方向に垂直な断面は、正六角形または扁平形状の六角形である。柱状n型半導体131は、実際には、横方向にも成長する。そのため、柱状n型半導体131の太さは、マスク120の開口部120aの開口幅よりもやや大き

い。柱状n型半導体131は、例えば、n型GaN層である。

[0028] 活性層132は、六角柱形状の柱状n型半導体131の外周に沿って形成されている。そのため、活性層132は、六角筒形状を備える。活性層132は、例えば、1個以上5個以下の井戸層と、井戸層を挟む障壁層と、を有する。活性層132の井戸層は、基板110の板面にほぼ垂直である。ただし、活性層132の頂部は、柱状n型半導体131の頂部を覆っていてもよい。活性層132の頂部は、基板110の板面にほぼ平行であってもよい。例えば、井戸層はInGaN層であり、障壁層はAlGaN層である。

[0029] 筒状p型半導体133は、六角筒形状を備える活性層132の外周に沿って形成されている。そのため、筒状p型半導体133は、六角筒形状を備える。筒状p型半導体133は、活性層132と直接に接触するが、柱状n型半導体131と直接には接触しなくともよい。また、筒状p型半導体133は、埋込層140と接触している。筒状p型半導体133は、例えば、p型GaN層である。

[0030] 3-2. 第1の断面形状

図4は、図3のIV-IV断面を示す第1の断面図である。図4は、柱状半導体130における基板110の板面に平行な断面を示している。図4に示すように、柱状半導体130における軸方向に垂直な断面の形状は、正六角形である。そして、六角柱形状の柱状半導体130の内側から、柱状n型半導体131と、活性層132と、筒状p型半導体133と、が配置されている。

[0031] 3-3. 第2の断面形状

図5は、図3のV-V断面を示す、図4の断面形状とは別の形状例を示す第2の断面図である。図5は、柱状半導体130における基板110の板面に平行な断面を示している。基板110の板面に平行な断面においては、柱状n型半導体131の断面は、扁平形状の六角形である。

[0032] 活性層132は、互いに対向する一对の長辺部132a、132bと、互いに対向する二対の短辺部(132c、132d)、と(132e、132

f) と、を有する。長辺部 132 a、132 b と、短辺部 132 c、132 d、132 e、132 f とは、柱状 n 型半導体 131 の m 面から成長した層である。長辺部 132 a、132 b は、もちろん、短辺部 132 c、132 d、132 e、132 f よりも長い辺を構成する部分である。長辺部 132 a は、長辺部 132 b と対向している。

[0033] 活性層 132 の長辺部 132 a、132 b の長辺方向 K1 の長さ W1 は、活性層 132 の短辺部 132 c、132 d、132 e、132 f の短辺方向 K2 の長さ W2 より長い。ここで、長辺部 132 a の長辺方向 K1 の長さ W1 とは、長辺部 132 a の膜厚の中心部における長辺方向 K1 の長さである。短辺部についても、同様である。長辺部 132 a の長さは、長辺部 132 b の長さと等しい。短辺部 132 c の長さは、他の短辺部 132 d、132 e、132 f の長さと等しい。もちろん、結晶性の問題で、わずかに差異が生ずる場合がある。

[0034] 4. 半導体発光素子の製造方法

4-1. 基板準備工程

図 6 に示すように、基板 110 を準備する。基板 110 は、成長基板 111 の上に、バッファ層 112、中間層 113、n 型半導体層 114 の順で積層したものである。

[0035] 4-2. マスク形成工程

図 7 に示すように、基板 110 の n 型半導体層 114 の上にマスク 120 を形成する。なお、図 7 には、後述する開口部形成工程で形成される開口部 120 a が描かれている。

[0036] 4-3. 開口部形成工程

図 8 に示すように、マスク 120 に n 型半導体層 114 を露出させる複数の開口部 120 a を形成する。そのために、エッチング等の技術を用いればよい。図 8 は、マスク 120 の開口部 120 a の配列を示す図である。図 8 は、基板 110 の板面に垂直な方向から基板 110 を見た図である。図 8 には、参考のために、柱状半導体 130 の形状が破線で描かれている。図 8 に

示すように、マスク 120 の開口部 120a が円形で正方格子状に配列されている。

[0037] なお、マスク 120 の開口部 120a の形状を変えることで、柱状半導体 130 の形状を制御することができる。開口部 120a の形状が円形の場合には、正六角形に近い断面形状を有する柱状半導体 130 を形成することができる。開口部 120a の形状がオーバル形状の場合には、扁平形状に近い断面形状を有する柱状半導体 130 を形成することができる。

[0038] 4-4. 柱状半導体形成工程

図 9 に示すように、マスク 120 の開口部 120a の下に露出している n 型半導体層 114 を起点にして、六角柱形状の柱状 n 型半導体 131 を選択的に成長させる。そのために、公知の選択成長の技術を用いればよい。このように半導体層を選択成長させる場合に、m 面がファセットとして表出しやすい。

[0039] 前述したように、マスク 120 の開口部 120a が円形状であるため、断面が正六角形に近い六角柱形状の柱状 n 型半導体 131 が成長する。

[0040] 次に、柱状 n 型半導体 131 の周囲に活性層 132 を形成する。活性層 132 は、横断面が正六角形に近い形状の柱状 n 型半導体 131 の側面に形成される。また、活性層 132 が柱状 n 型半導体 131 の頂部にも形成される。しかし、活性層 132 は n 型半導体 131 の頂部には形成されていなくとも良い。

[0041] 次に、活性層 132 の上に活性層 132 の外周を覆う筒状 p 型半導体 133 を形成する。筒状 p 型半導体 133 は六角筒形状を備える。筒状 p 型半導体 133 は、活性層 132 の側面に形成される。筒状 p 型半導体 133 は活性層 132 の頂部にも形成されている。しかし、活性層 132 の頂部には p 型半導体 133 は必ずしも形成される必要はない。このようにして、柱状半導体 130 が形成される。

[0042] 4-5. 埋込層形成工程

図 10 に示すように、柱状半導体 130 と柱状半導体 130 との隙間を埋

込層 140 で埋める。

[0043] 4-6. 凸形状部形成工程

次に、例えば、ICPによるドライエッチングを用いて埋込層 140 の表面を粗面化する。これにより、複数の凸形状部 D1 が埋込層 140 の表面に形成される。

[0044] 4-7. 電極形成工程

次に、基板 110 の n 型半導体層 114 の上にカソード電極 N1 を形成する。また、埋込層 140 の上にアノード電極 P1 を形成する。

[0045] 4-8. その他の工程

熱処理工程、半導体層の表面にパッシベーション膜等を成膜する工程、またはその他の工程を実施してもよい。

[0046] 5. 第 1 の実施形態の効果

第 1 の実施形態の半導体発光素子 100 は、従来のナノワイヤから素子外部に直接光を取り出す発光素子に比べて、高い光取り出し効率を有する。

[0047] 従来においては、ナノワイヤ（本実施形態の柱状半導体 130 に相当）は、微細構造体である。そのため、ナノワイヤの形状そのものが光取り出し効率を向上させると考えられていた。しかし、ナノワイヤから光を取り出す際に、微細構造体であるにもかかわらず、ナノワイヤと空気との屈折率の差に起因して全反射が起こりやすいことが、本発明者らによって明らかとなった。そのため、本発明者らは、従来において光取り出し効率が高いと考えられていたナノワイヤを、図 2 に示すようにあえて埋め込み、別途光取り出し面を設定した。そのため、本実施形態の半導体発光素子 100 は、十分に高い光取り出し効率を有する。

[0048] 6. 変形例

6-1. 表面層

本実施形態では、埋込層 140 が光取り出し面 S1 を有する。光取り出し面 S1 が埋込層 140 以外の層に形成されていてもよい。

[0049] 図 11 に示すように、埋込層 140 の上に表面層 150 を形成してもよい

。表面層 150 は、複数の凸形状部 D1 を形成された光取り出し面 S1 を有する。表面層 150 の材質は、例えば、埋込層 140 とドーパ量の異なる p-GaN 層である。また、表面層 150 の材質は、ITO、IZO 等の透明導電性酸化物であってもよい。

[0050] 図 12 に示すように、埋込層 140 の表面に凹凸形状を形成し、その凹凸形状の上に表面層 150 を形成することにより、凸形状部 D1 を形成してもよい。ここで、埋込層 140 は、例えば、p-GaN 等の III 族窒化物半導体である。表面層 150 は、例えば、ITO 等の透明導電性酸化物である。

[0051] 6-2. 柱状半導体の配列および凸形状部の配列

複数の柱状半導体 130 の配列がハニカム状であり、複数の凸形状部 D1 の配列がハニカム状であってもよい。柱状半導体 130 のピッチ間隔 J1 と凸形状部 D1 のピッチ間隔 J2 とが異なっていればよい。

[0052] 複数の柱状半導体 130 の配列がハニカム状であり、複数の凸形状部 D1 の配列が正方格子状であってもよい。また、複数の柱状半導体 130 の配列が正方格子状であり、複数の凸形状部 D1 の配列がハニカム状であってもよい。このように、柱状半導体 130 の配列と凸形状部 D1 の配列とが異なっていれば、ピッチ間隔 J1 とピッチ間隔 J2 とは同じであっても、異なってもよい。

[0053] なお、柱状半導体 130 の配列を変えるには、マスク 120 の開口部 120a の配置を変えればよい。複数の凸形状部 D1 の配列を変えるには、埋込層 140 をエッチングする際のマスクパターンを変えればよい。

[0054] 6-3. 柱状半導体の組成

本実施形態では、柱状 n 型半導体 131 は n 型 GaN 層であり、井戸層は InGa_xN_{1-x} 層であり、障壁層は AlGa_xN_{1-x} 層であり、筒状 p 型半導体 133 は p 型 GaN 層である。これらは例示であり、その他の III 族窒化物半導体であってもよい。また、その他の半導体であってもよい。

[0055] 6-4. 埋込層の組成

本実施形態では、埋込層 140 の材料は、p-GaN 層である。しかし、

埋込層 140 として p-GaN 層の代わりに p-AlGaN 層を用いることができる。AlGaN 層の屈折率は、p 型 GaN 層の屈折率よりも小さい。そのため、埋込層を覆う媒体との屈折率差が小さくなり埋込層の表面から外部に出力される光量が増加し、光取り出し効率が向上する。または、埋込層 140 は、その他の p-AlInGaN 層であってもよい。

[0056] 6-5. 柱状半導体の電流阻止層

柱状半導体 130 の側面からの電流注入を促進させることが好ましい。例えば、図 13 に示すように、柱状半導体 130 の頂部に透明絶縁膜 165 を設ける。これにより、柱状半導体 130 の頂部に流れる電流が阻止され、柱状半導体 130 の側面から良好に電流注入を行うことができる。

[0057] 6-6. 凹凸加工基板

基板 110 の成長基板 111 は、凹凸加工を施されていてもよい。つまり、成長基板 111 は、半導体層側の面に凹凸を周期的に配置された凹凸形状部を有する。凹凸形状として、例えば、円錐形状、半球形状が挙げられる。これらの凸形状が、例えば、正方格子状またはハニカム状に配置されているとよい。これにより、光取り出し効率がさらに向上する。

[0058] 凹凸形状が半球形状であると仮定した場合には、半球形状の底部の直径は $1\ \mu\text{m}$ 以上 $5\ \mu\text{m}$ 以下であり、半球形状の高さは $0.5\ \mu\text{m}$ 以上 $5\ \mu\text{m}$ 以下であり、半球形状のピッチは $1\ \mu\text{m}$ 以上 $15\ \mu\text{m}$ 以下であるとよい。上記の数値範囲は例示であり、上記以外の数値範囲であってもよい。

[0059] 6-7. 凹形状部

本実施形態の凸形状部 D1 の代わりに、凹形状部を光取り出し面に形成してもよい。

[0060] 6-8. 反射層

半導体発光素子 100 は、基板 110 におけるマスク層 120 の反対側の裏面に、反射層を有していてもよい。

[0061] 6-9. 組み合わせ

上記の変形例を自由に組み合わせてもよい。

[0062] (第2の実施形態)

第2の実施形態について説明する。

[0063] 1. 半導体発光素子

図14は、第2の実施形態の半導体発光素子200の柱状半導体130の周辺を示す断面図である。図14に示すように、半導体発光素子200は、柱状半導体130の側面にトンネル接合を有する。

[0064] 半導体発光素子200は、柱状半導体130の側面に、p+層271と、n+層272と、を有する。p+層271は、柱状半導体130とn+層272との間の位置にある。p+層271は、高いp型不純物濃度を有する層である。p+層271のMg濃度は、例えば、 $2 \times 10^{20} \text{ cm}^{-3}$ である。n+層272は、高いn型不純物濃度を有する層である。n+層272のSi濃度は、例えば、 $2 \times 10^{20} \text{ cm}^{-3}$ である。

[0065] 埋込層140は、柱状半導体130と、p+層271と、n+層272と、を覆っている。埋込層140は、n-GaN層である。n-GaNはp-GaNよりも電気伝導率が高いので、埋込層にはn-GaNの他、n型窒化物半導体を用いることが望ましい。

[0066] 2. 第2の実施形態の効果

これにより、柱状半導体130の側面から効率的に電流を注入することができる。このとき、埋込層140をn型半導体層で構成することができる。そのため、光吸収損失の低減、並びに、素子抵抗の低減に効果的である。

[0067] 3. 半導体発光素子の製造方法

3-1. 基板準備工程

図15に示すように、第1の実施形態と同様に基板110を準備する。

[0068] 3-2. マスク形成工程

第1の実施形態と同様に基板110の上にマスク層120を形成する。

[0069] 3-3. 開口部形成工程

図16に示すように、第1の実施形態と同様にマスク層120に開口部120aを形成する。

[0070] 3-4. 柱状半導体形成工程

第1の実施形態と同様に開口部120aに露出しているn型半導体層114から柱状n型半導体131と活性層132と筒状p型半導体133とを成長させる。

[0071] 3-5. トンネル接合形成工程

次に、柱状半導体130の筒状p型半導体133の側面にp+層271を形成する。その後、p+層271の側面にn+層272を形成する。この時の様子を図17に示す。この後、p+層271およびn+層272の上部をエッチングにより除去する。これにより、図18に示すように、柱状半導体130の側面にp+層271およびn+層272が形成される。

[0072] 3-6. 埋込層形成工程

次に、図19に示すように、p+層271およびn+層272を備える柱状半導体130と柱状半導体130との間の隙間を埋込層140により埋める。

[0073] 3-7. 凹凸形状形成工程

次に、埋込層140の表面に粗面化処理を施し、複数の凸形状部D1を形成する。

[0074] 3-8. 電極形成工程

そして、埋込層140の上にアノード電極P1を形成する。また、n型半導体層114の上にカソード電極N1を形成する。

[0075] 4. 変形例

第1の実施形態の変形例を用いることができる。

[0076] (第3の実施形態)

第3の実施形態について説明する。

[0077] 1. 半導体発光素子

図20は、第3の実施形態の半導体発光素子300の概略構成を示す図である。半導体発光素子300は、基板110と、マスク層120と、柱状半導体130と、透明導電膜340と、埋込層350と、を有する。

[0078] 透明導電膜 340 は、複数の柱状半導体 130 を覆っている。透明導電膜 340 の材質は、例えば、ITO 等の透明導電性酸化物である。透明導電膜 340 は、アノード電極 P1 に電氣的に接続されている。

[0079] 埋込層 350 は、透明導電膜 340 に接触するとともに、透明導電膜 340 を有する柱状半導体 130 と柱状半導体 130 との間の隙間を埋め込む層である。埋込層 350 の材質は樹脂である。透明導電膜 340 が柱状半導体 130 とアノード電極 P1 とを導通する役割を担っているため、埋込層 350 の樹脂は絶縁性であってよい。また、埋込層 350 の表面には複数の凸形状部 D1 が形成されている。つまり、埋込層 350 は、光取り出し面 S1 を有する。

[0080] 2. 変形例

2-1. 埋込層の材質

埋込層 350 は、樹脂以外の電気抵抗率の高い材料であってもよい。ただし、埋込層 350 の材料は、透明性の材料である。

[0081] 2-2. 組み合わせ

第 1 の実施形態および第 2 の実施形態とこれらの変形例と自由に組み合わせる良い場合がある。

[0082] (シミュレーション)

複数の柱状半導体および複数の凸形状部の配列を変えて、光取り出し効率を計算した。なお、柱状半導体の大きさと光取り出し面の凸形状部の大きさとは、桁が違っている。そのため、従来の計算手法では、柱状半導体と凸形状部とを考慮して計算することは容易ではなかった。

[0083] 1. 計算した構造

1-1. 第 1 の構造 (第 2 の実施形態の変形例)

第 1 の構造は、表 1 に示す構造である。つまり、第 1 の構造は、凹凸基板を用いるとともに、柱状半導体を埋め込む埋込層が複数の凸形状部を有する。第 1 の構造の発光素子の発光波長は、405 nm である。また、円錐形状の凸形状部がハニカム状に配置されている。凸形状部の底部の直径は 200

n mであり、凸形状部の高さは170 nmであり、凸形状部同士のピッチ間隔は200 nmである。

[0084] 埋込層の材質はn-GaNであり、埋込層の高さは2 μ mである。柱状半導体はハニカム状に配列されており、柱状半導体の高さは1.5 μ mであり、柱状半導体のピッチ間隔は1.2 μ mである。筒状p型半導体の材質はp-GaNであり、筒状p型半導体の膜厚は100 nmである。活性層の材質はInGaNであり、活性層の膜厚は37 nmである。柱状n型半導体の材質はn-GaNであり、柱状n型半導体の径は200 nmである。ここで、柱状n型半導体の径とは、正六角形の向かい合う頂点間の長さである。

[0085] 基板は、半導体から遠い側から、反射層、サファイア基板、n-GaN層、n-Al_{0.03}Ga_{0.97}N層の順で積層されている。サファイア基板の膜厚は120 μ mである。n-GaN層の膜厚は2.6 μ mである。n-Al_{0.03}Ga_{0.97}N層の膜厚は1.2 μ mである。サファイア基板の凹凸形状は半球形状であり、ハニカム状に配置されている。凹凸の直径は2.8 μ mであり、凹凸の高さは1.5 μ mであり、凹凸のピッチ間隔は6 μ mである。

[0086] [表1]

第1の構造

発光波長	405 nm
凸形状部	
凸形状部の形状	円錐
凸形状部の配列	ハニカム状（三角格子）
凸形状部の底部の直径	200 nm
凸形状部の高さ	170 nm
ピッチ間隔	200 nm
埋込層	
埋込層の材質	n-GaN
埋込層の高さ	2 μ m
柱状半導体	

柱状半導体の形状	六角柱（断面は正六角形）
柱状半導体の配列	ハニカム状（三角格子）
柱状半導体の高さ	1. 5 μm
ピッチ間隔	1. 2 μm
筒状 p 型半導体の材質	p-GaN
筒状 p 型半導体の膜厚	100 nm
活性層の材質	InGaN
活性層の膜厚	37 nm
柱状 n 型半導体の材質	n-GaN
柱状 n 型半導体の径	200 nm

基板

n-Al _{0.03} Ga _{0.97} N 層	1. 2 μm （膜厚）
n-GaN 層	2. 6 μm （膜厚）
サファイア基板	120 μm （膜厚）
反射層の材質	Al

サファイア基板の凹凸

凹凸の形状	半球形状
凹凸の配列	ハニカム状（三角格子）
凹凸の直径	2. 8 μm
凹凸の高さ	1. 5 μm
凹凸のピッチ間隔	6 μm

[0087] なお、解析結果への影響が小さいと思われる構造については、計算上省略した。省略した構造は、例えば、サファイア基板と n-GaN 層との間のバッファ層、トンネル接合するための p+層、n+層である。これらの膜厚は非常に薄いためである。

[0088] 1-2. 第2の構造（第2の実施形態）

第2の構造は、表1のうち凹凸のあるサファイア基板を平坦なサファイア基板に変更した構造である。

[0089] 1－3. 第3の構造（従来構造）

第3の構造は、表1のうち凹凸のあるサファイア基板を平坦なサファイア基板に変更するとともに、埋込層を除去して柱状半導体をITOで覆った構造である。

[0090] 2. 計算結果

表2は、シミュレーションの結果を示している。表2に示すように、従来の第3の構造では、光取り出し効率は31%であった。これに対して、第1の実施形態の変形例に対応する第1の構造では、光取り出し効率は56%であった。第1の実施形態に対応する第2の構造では、光取り出し効率は53%であった。

[0091] [表2]

構造	埋込層	基板の加工	光取り出し効率
第1の構造	有り	有り	56%
第2の構造	有り	無し	53%
第3の構造	無し	無し	31%

[0092] このように、微細構造であるはずの柱状半導体から光を直接取り出す場合よりも、柱状半導体をあえて埋め込むとともに別途光取り出し面を設ける場合の方が、光取り出し効率は高い。

[0093] （付記）

第1の態様における半導体発光素子は、下地層と、下地層の上の複数の柱状半導体と、複数の柱状半導体の間の隙間を埋める埋込層と、光取り出し面と、を有する。光取り出し面は、複数の凸形状部を有する。複数の柱状半導体は、六角柱形状をしているとともに、第1のピッチ間隔で配置されている。複数の凸形状部は、第2のピッチ間隔で配置されている。第1のピッチ間隔と第2のピッチ間隔とは異なっている。

[0094] 第2の態様における半導体発光素子は、第1面を有する下地層と、下地層の上の複数の柱状半導体と、複数の柱状半導体の間の隙間を埋める埋込層と、光取り出し面と、を有する。光取り出し面は、周期的に配置された複数の

凸形状部を有する。複数の柱状半導体は、六角柱形状であるとともに周期的に配置されている。複数の凸形状部の頂点を下地層の第1面に射影した第1の点群と、複数の柱状半導体の頂点を下地層の第1面に射影した第2の点群と、を仮想的に設定した場合に、第1の点群における各点から半径0.01 μm 以内の範囲内に第2の点群が入る確率は、3%以下である。

[0095] 第3の態様における半導体発光素子においては、第2の点群は、第1の点群と重ならない。

[0096] 第4の態様における半導体発光素子においては、埋込層が、光取り出し面を有する。

[0097] 第5の態様における半導体発光素子は、埋込層の上に表面層を有する。表面層が、光取り出し面を有する。

[0098] 第6の態様における半導体発光素子においては、埋込層が、 $n\text{-Ga}\text{N}$ 層である。

[0099] 第7の態様における半導体発光素子においては、埋込層が、 $p\text{-Ga}\text{N}$ 層である。

[0100] 第8の態様における半導体発光素子は、複数の柱状半導体を覆う透明導電膜を有する。

[0101] 第9の態様における半導体発光素子においては、埋込層は、樹脂であるとともに、透明導電膜に接触している。

[0102] 第10の態様における半導体発光素子においては、複数の柱状半導体は、I II 族窒化物半導体である。複数の柱状半導体は、ハニカム状に配置されている。

[0103] 第11の態様における半導体発光素子においては、複数の凸形状部は、ハニカム状に配置されている。

[0104] 第12の態様における半導体発光素子は、下地層を支持する基板を有する。基板は、凹凸形状部を有する。

符号の説明

[0105] 100…半導体発光素子

1 1 0 …基板
1 1 1 …成長基板
1 1 2 …バッファ層
1 1 3 …中間層
1 1 4 …n型半導体層
1 1 4 a …第1面
1 2 0 …マスク
1 2 0 a …開口部
1 3 0 …柱状半導体
1 3 1 …柱状n型半導体
1 3 2 …活性層
1 3 3 …筒状p型半導体
1 4 0 …埋込層
1 5 0 …表面層
N 1 …カソード電極
P 1 …アノード電極
S 1 …光取り出し面
D 1 …凸形状部

請求の範囲

[請求項1]

下地層と、
前記下地層の上の複数の柱状半導体と、
前記複数の柱状半導体の間の隙間を埋める埋込層と、
光取り出し面と、
を有し、
前記光取り出し面は、複数の凸形状部を有し、
前記複数の柱状半導体は、六角柱形状をしているとともに、第1のピッチ間隔で配置されており、
前記複数の凸形状部は、第2のピッチ間隔で配置されており、
前記第1のピッチ間隔と前記第2のピッチ間隔とは異なっていることを特徴とする半導体発光素子。

[請求項2]

第1面を有する下地層と、
前記下地層の上の複数の柱状半導体と、
前記複数の柱状半導体の間の隙間を埋める埋込層と、
光取り出し面と、
を有し、
前記光取り出し面は、周期的に配置された複数の凸形状部を有し、
前記複数の柱状半導体は、六角柱形状であるとともに周期的に配置されており、
前記複数の凸形状部の頂点を前記下地層の前記第1面に射影した第1の点群と、前記複数の柱状半導体の頂点を前記下地層の前記第1面に射影した第2の点群と、を仮想的に設定した場合に、前記第1の点群における各点から半径0.01 μm 以内の範囲内に前記第2の点群が入る確率は、3%以下であることを特徴とする半導体発光素子。

[請求項3]

請求項2に記載の半導体発光素子において、
前記第2の点群は、前記第1の点群と重ならない

ことを特徴とする半導体発光素子。

[請求項4] 請求項1から請求項3までのいずれか1項に記載の半導体発光素子において、

前記埋込層が、光取り出し面を有する
ことを特徴とする半導体発光素子。

[請求項5] 請求項1から請求項4までのいずれか1項に記載の半導体発光素子において、

前記埋込層の上に表面層を有し、
前記表面層が、光取り出し面を有する
ことを特徴とする半導体発光素子。

[請求項6] 請求項1から請求項5までのいずれか1項に記載の半導体発光素子において、

前記埋込層が、 $n\text{-Ga}\text{N}$ 層であること
を特徴とする半導体発光素子。

[請求項7] 請求項1から請求項5までのいずれか1項に記載の半導体発光素子において、

前記埋込層が、 $p\text{-Ga}\text{N}$ 層である
ことを特徴とする半導体発光素子。

[請求項8] 請求項1から請求項5までのいずれか1項に記載の半導体発光素子において、

前記複数の柱状半導体を覆う透明導電膜を有する
ことを特徴とする半導体発光素子。

[請求項9] 請求項8に記載の半導体発光素子において、

前記埋込層は、樹脂であるとともに、前記透明導電膜に接触している

ことを特徴とする半導体発光素子。

[請求項10] 請求項1から請求項9までのいずれか1項に記載の半導体発光素子において、

前記複数の柱状半導体は、III 族窒化物半導体であり、
前記複数の柱状半導体は、ハニカム状に配置されている
ことを特徴とする半導体発光素子。

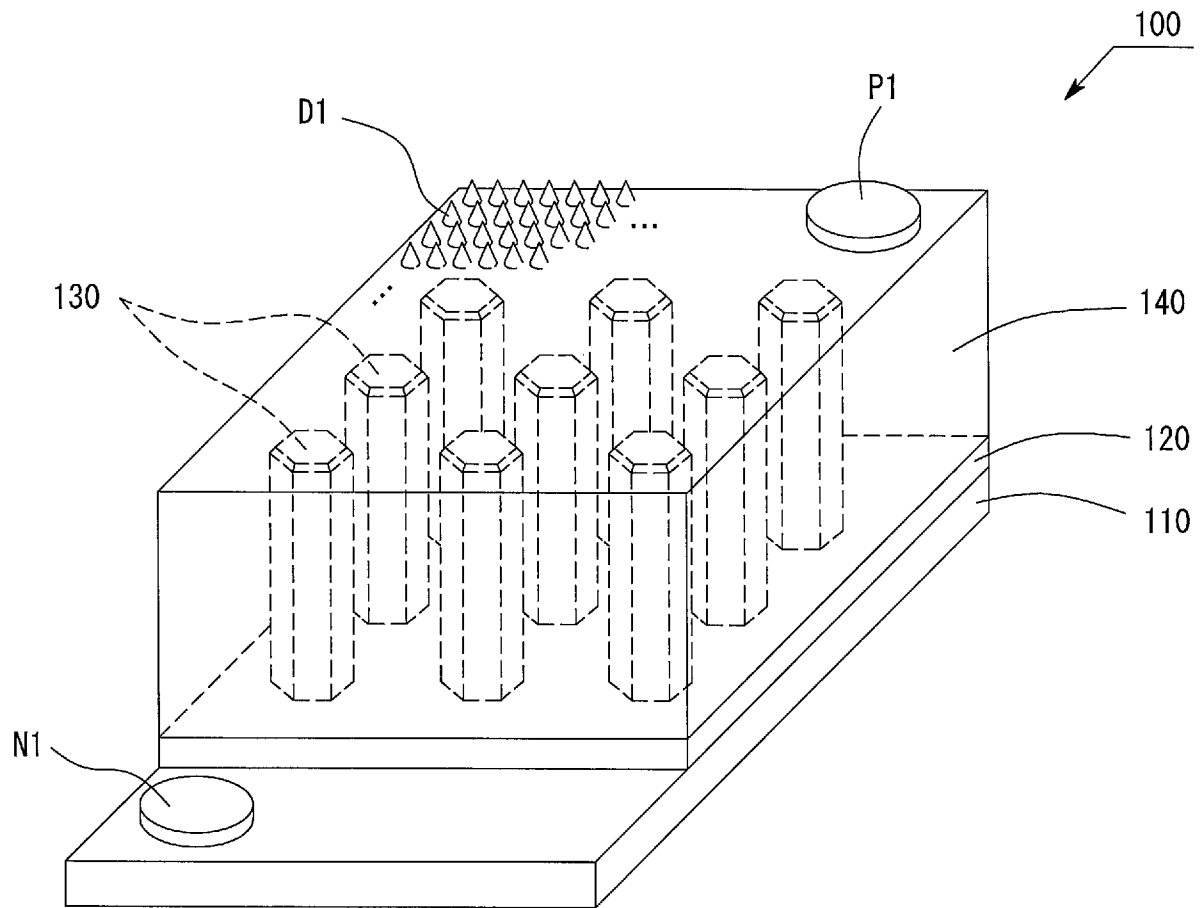
[請求項11] 請求項1から請求項10までのいずれか1項に記載の半導体発光素子において、

前記複数の凸形状部は、ハニカム状に配置されている
ことを特徴とする半導体発光素子。

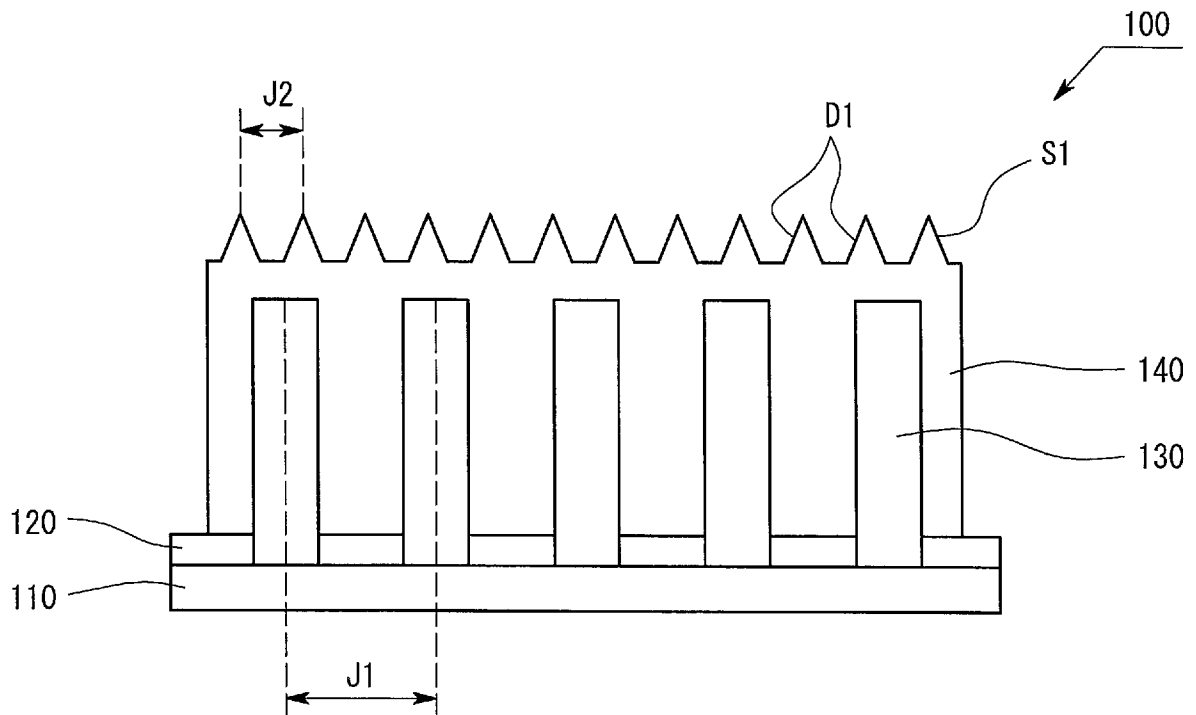
[請求項12] 請求項1から請求項11までのいずれか1項に記載の半導体発光素子において、

前記下地層を支持する基板を有し、
前記基板は、凹凸形状部を有する
ことを特徴とする半導体発光素子。

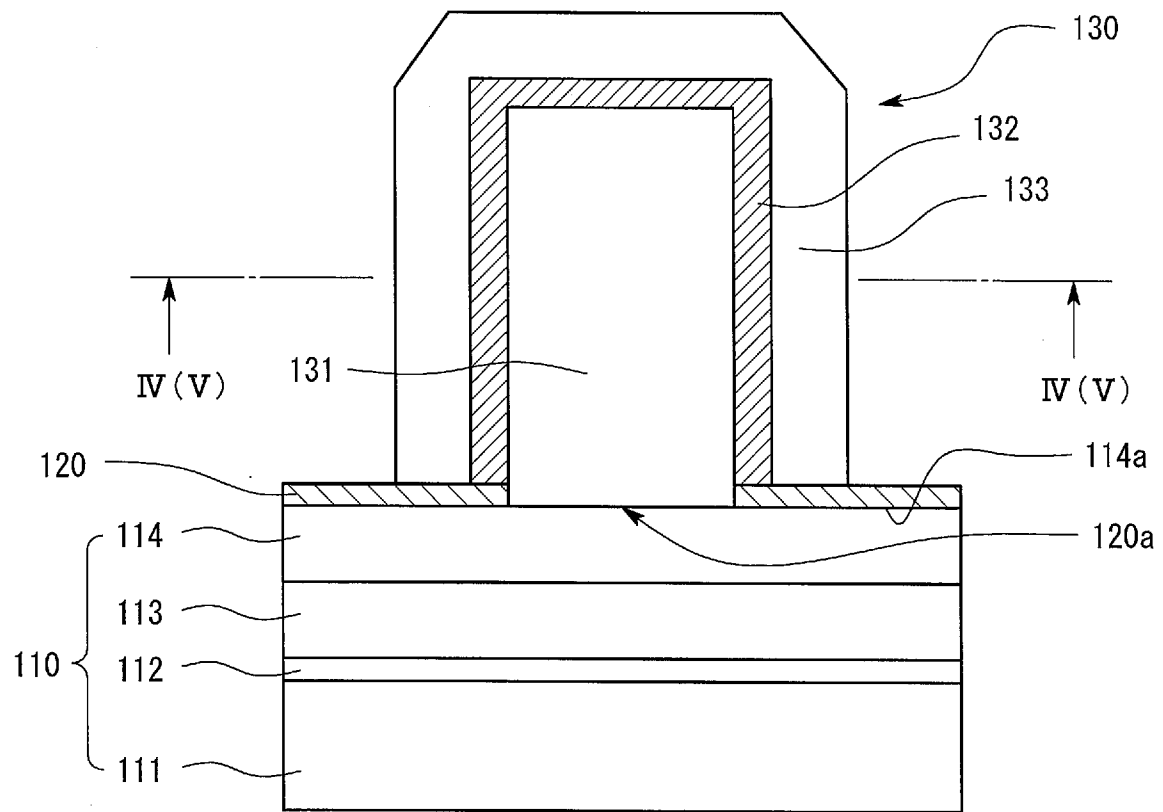
[図1]



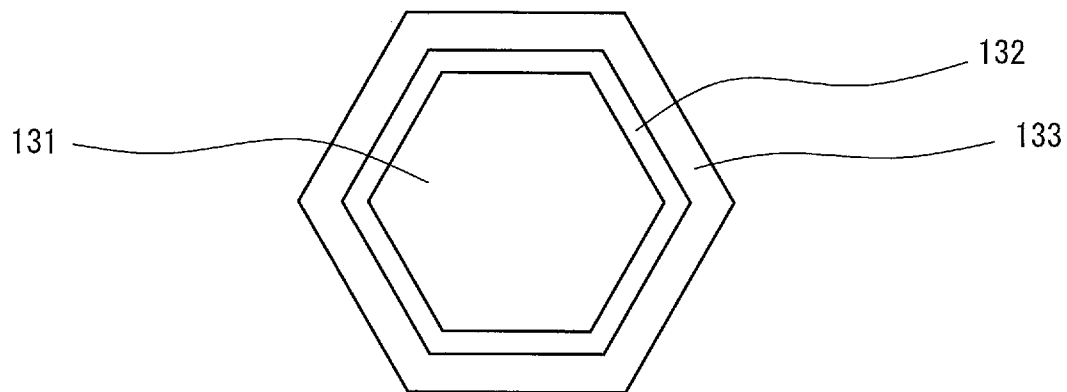
[図2]



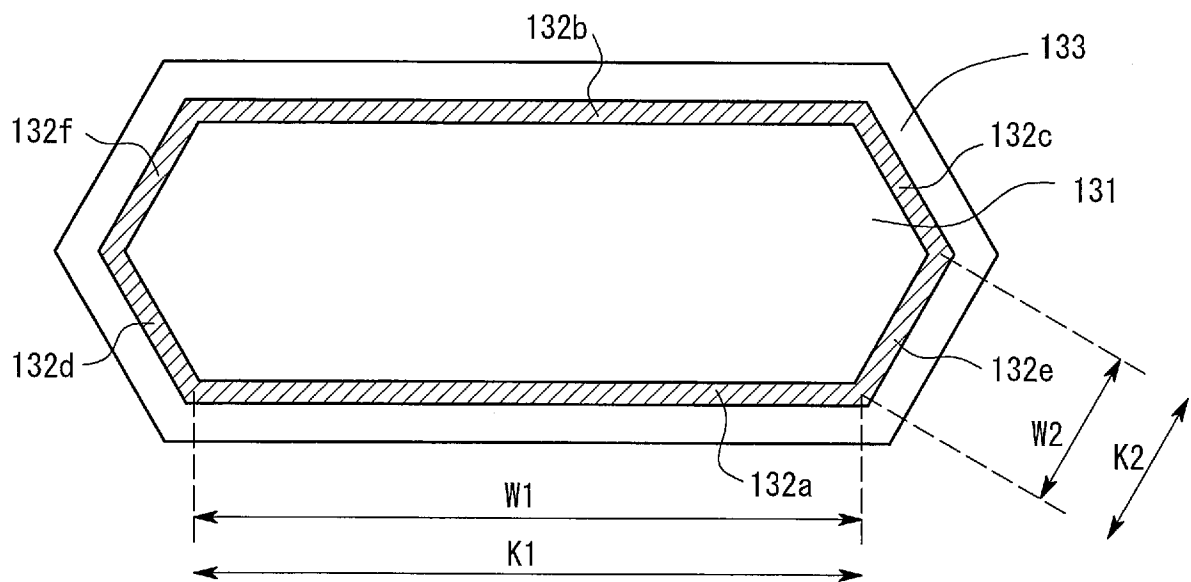
[図3]



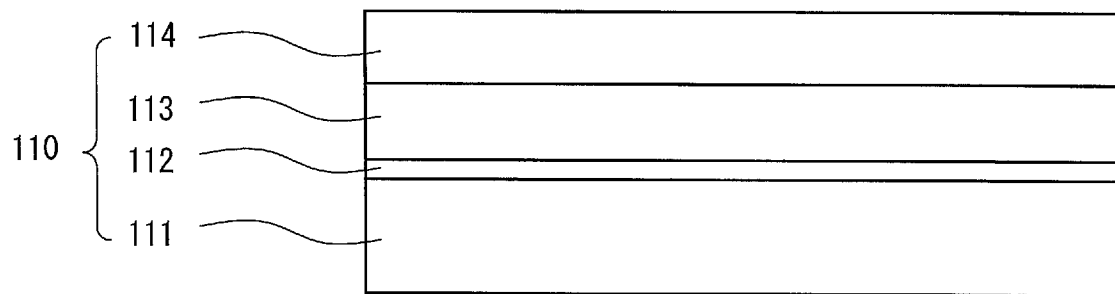
[図4]



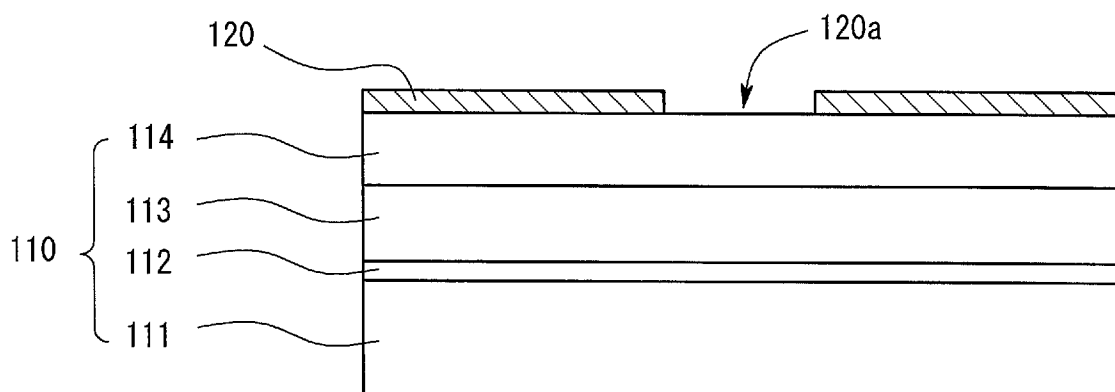
[図5]



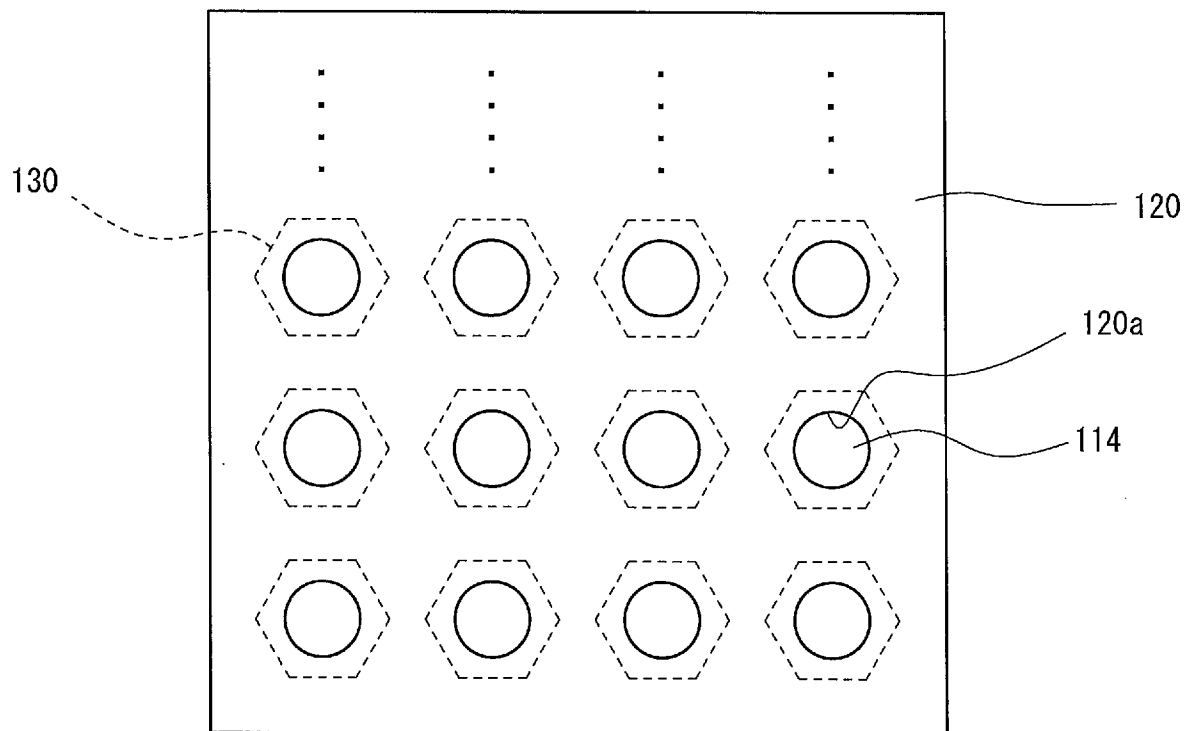
[図6]



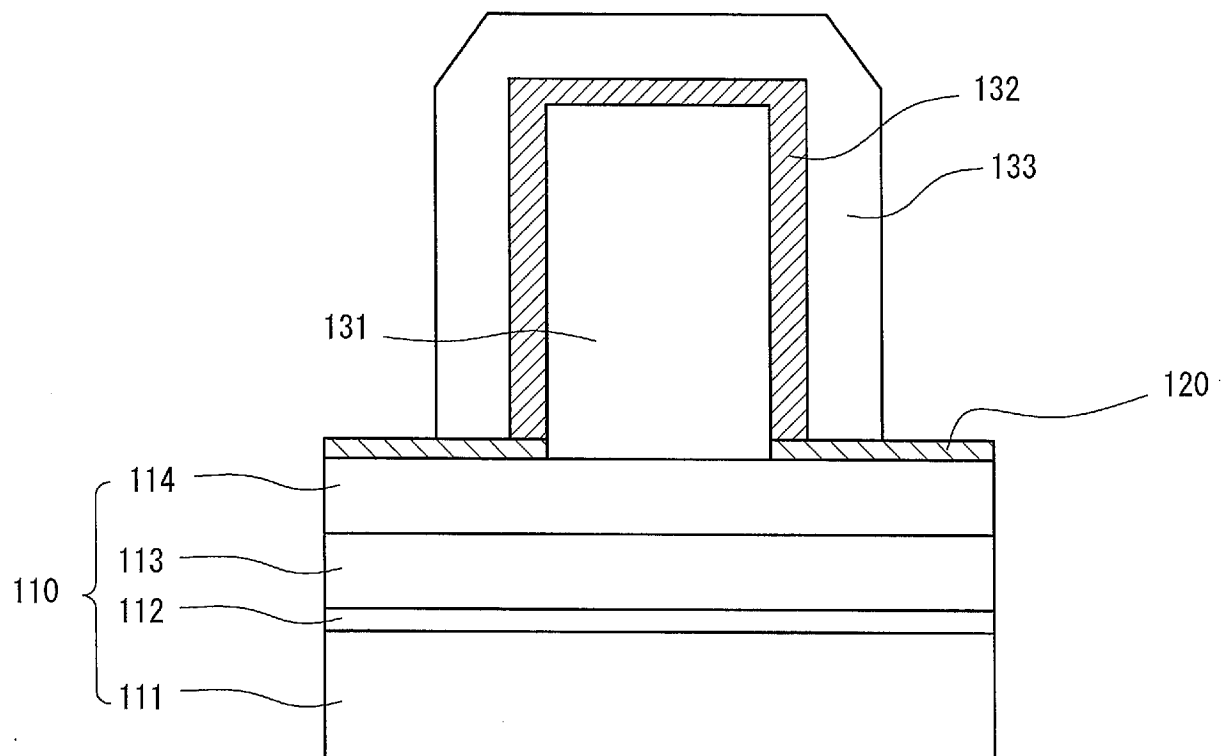
[図7]



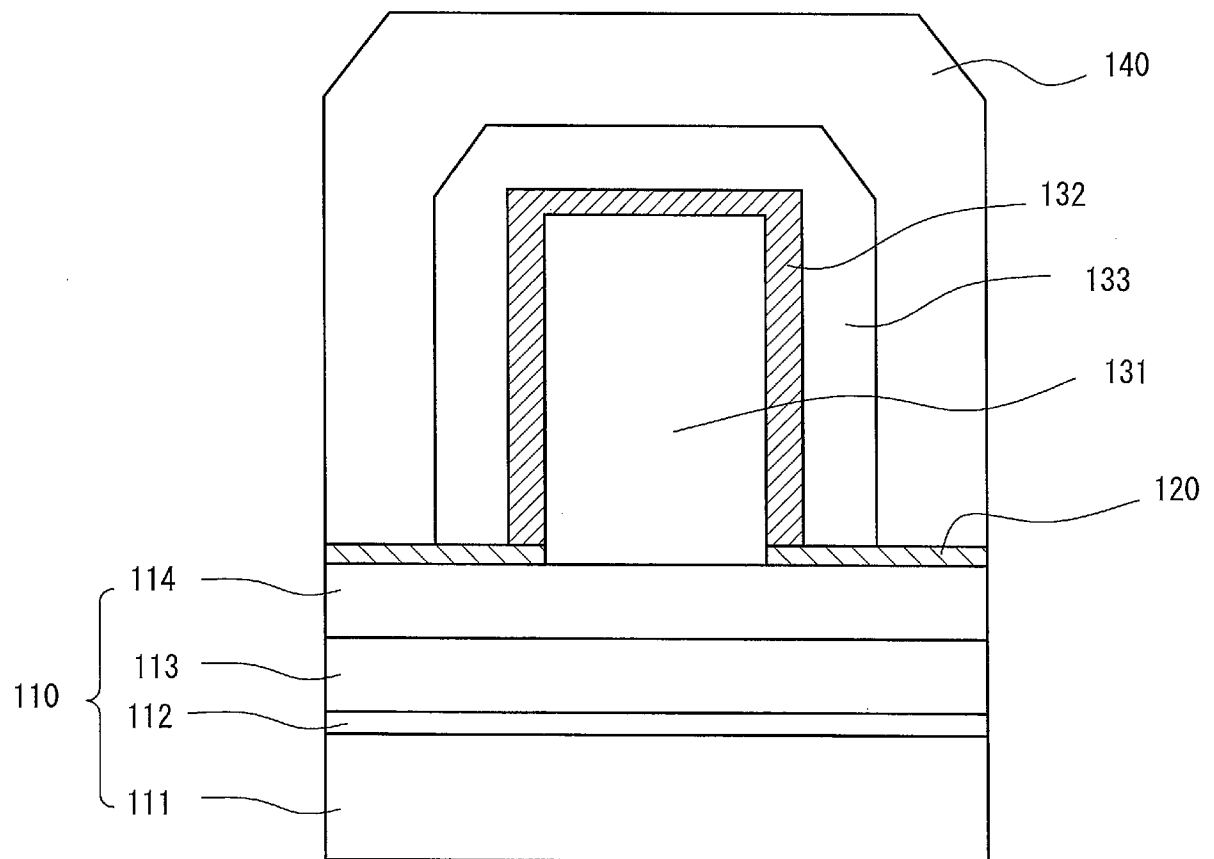
[図8]



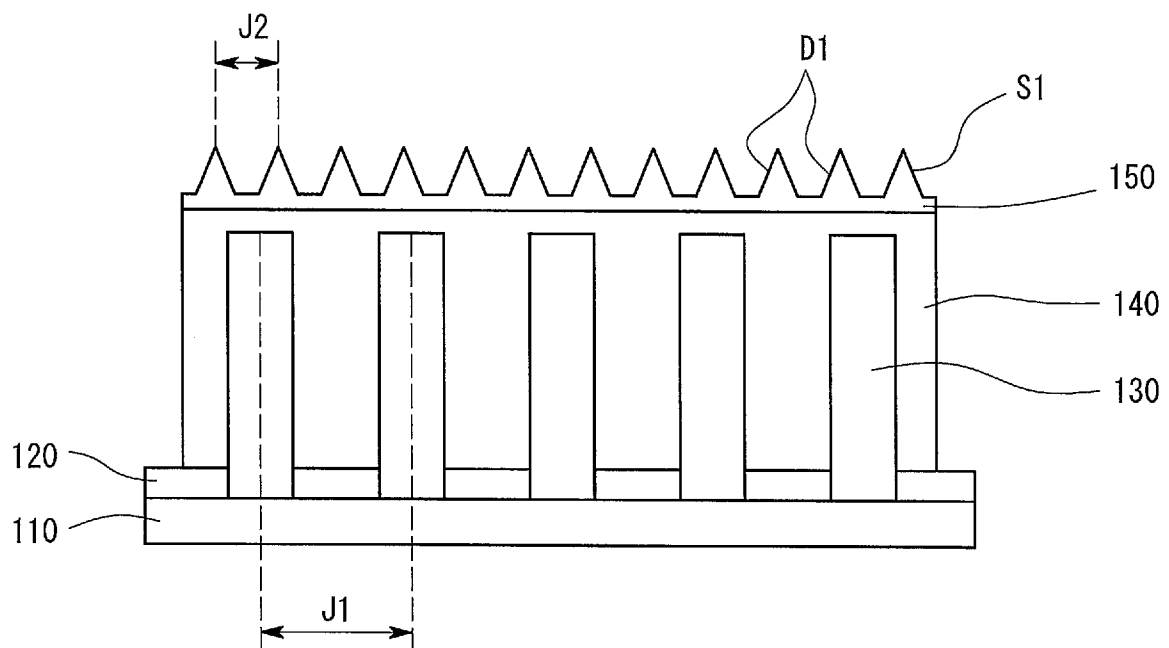
[図9]



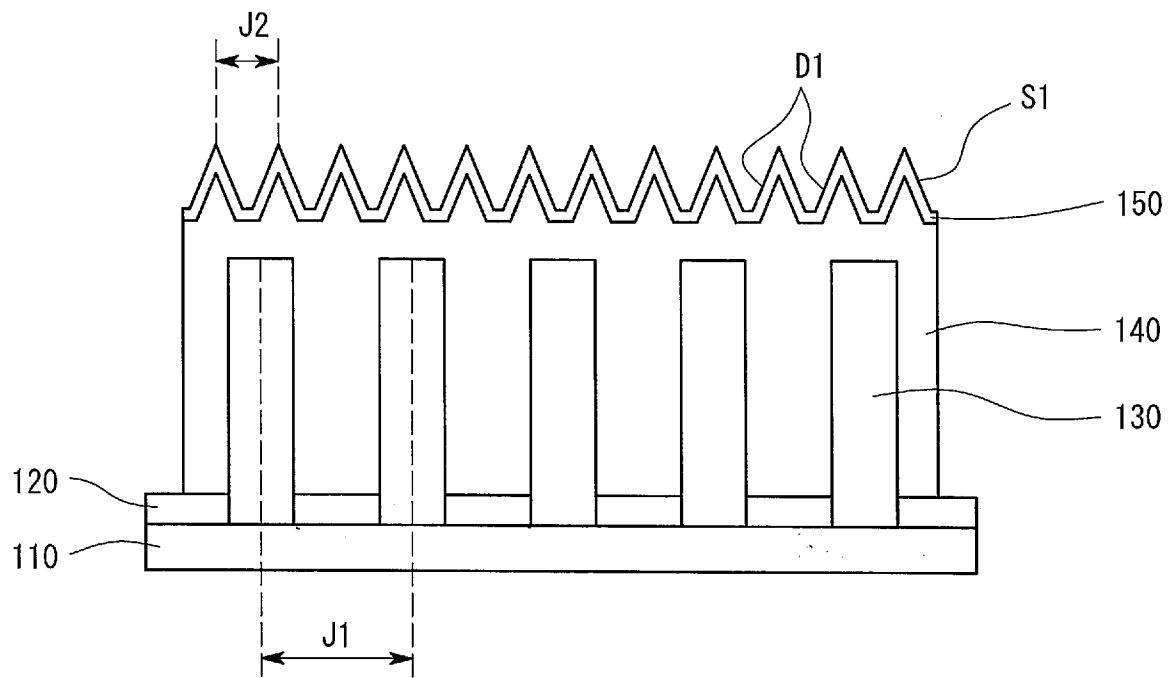
[図10]



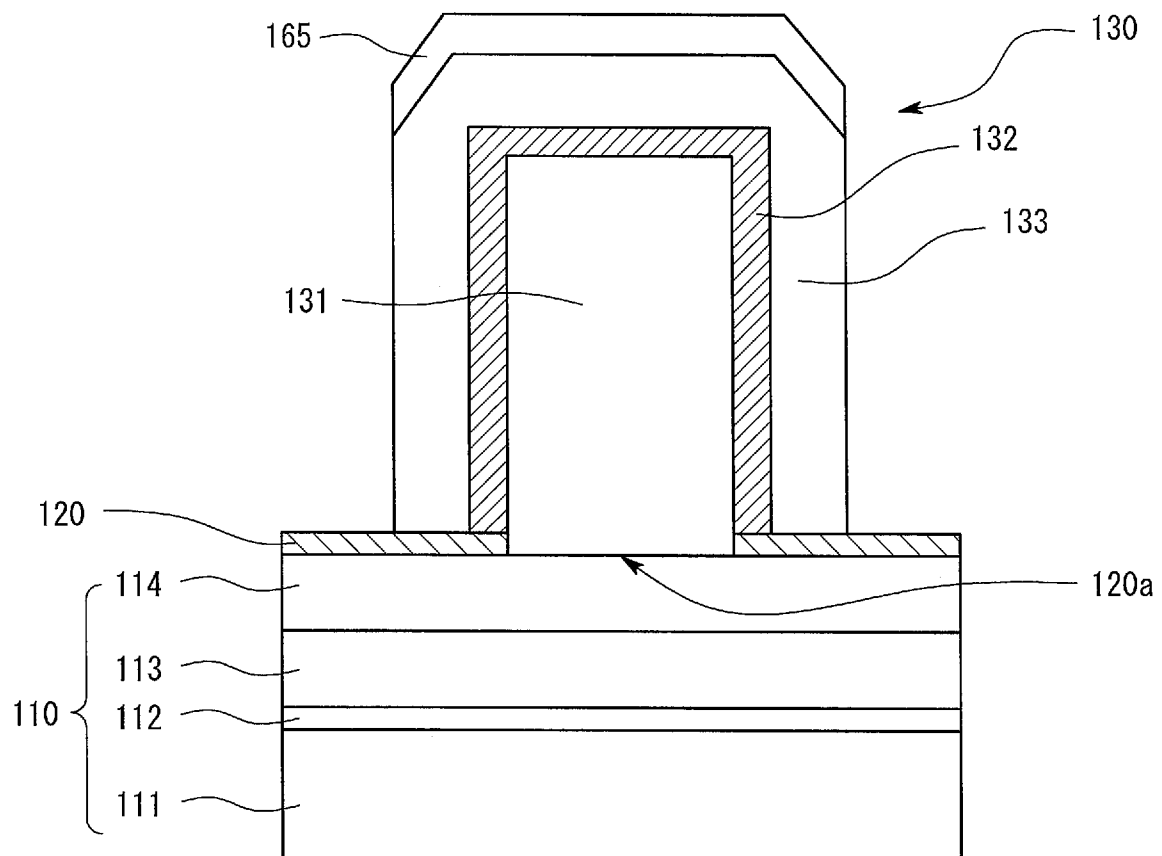
[図11]



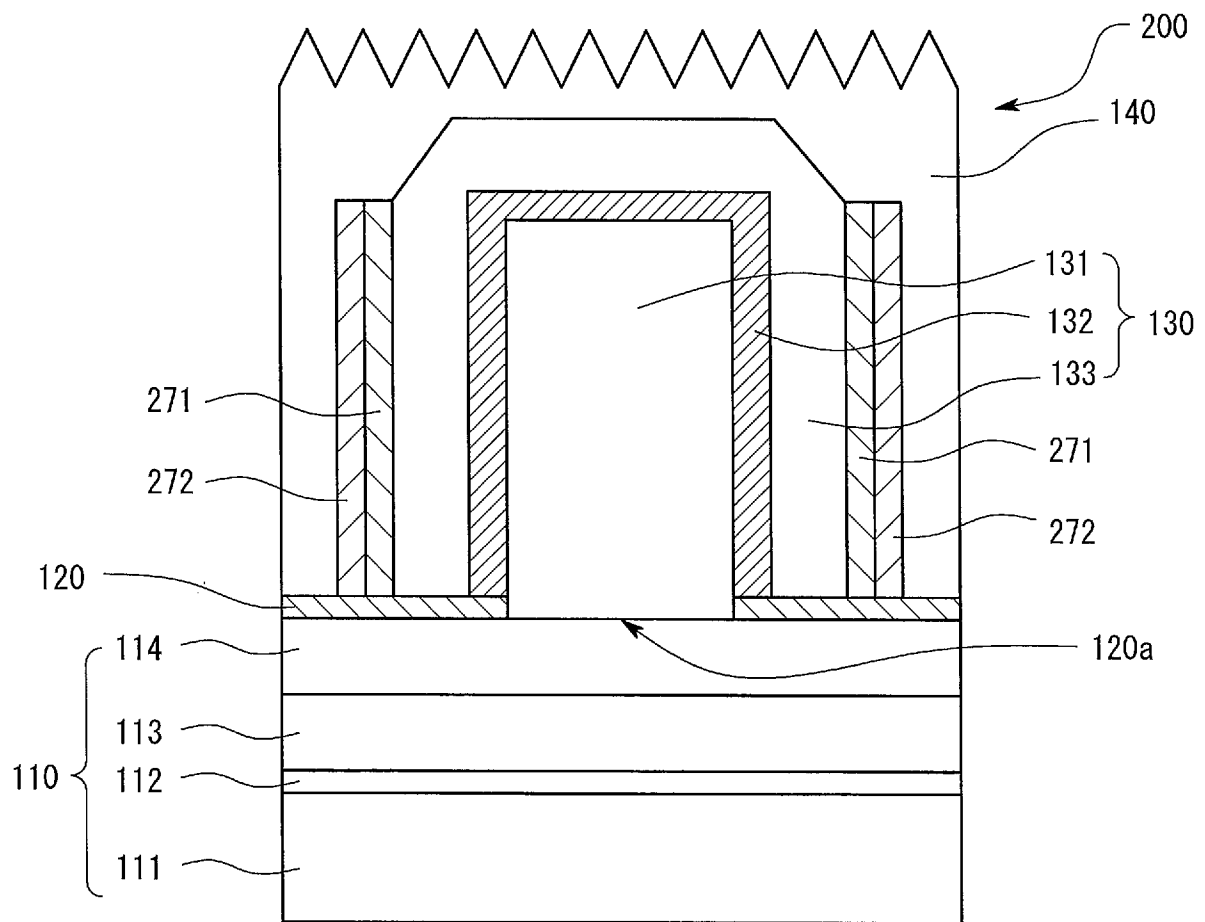
[図12]



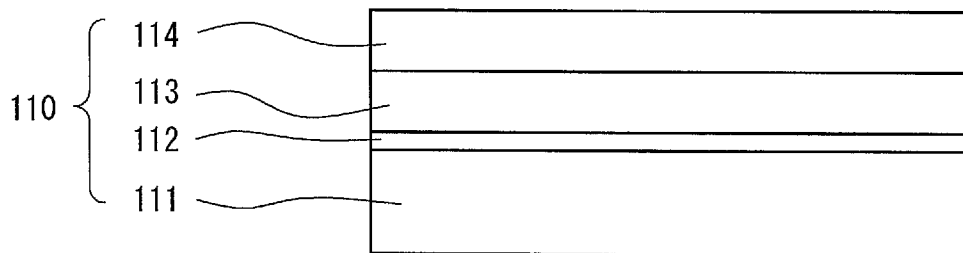
[図13]



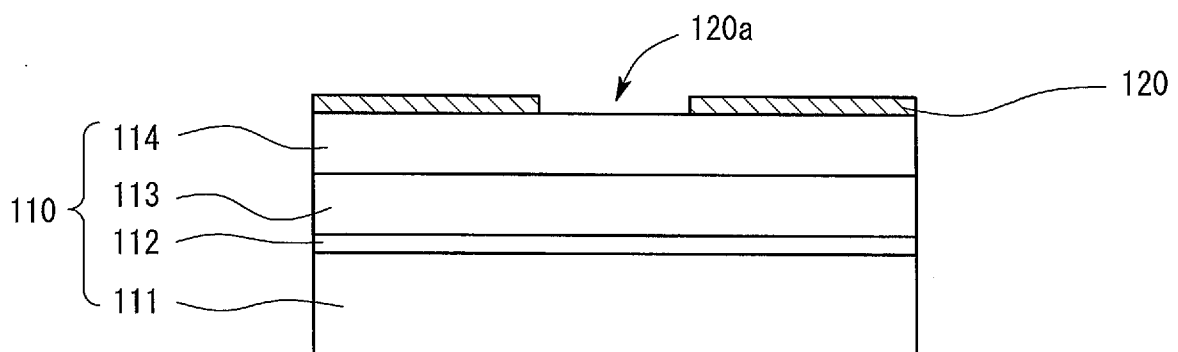
[図14]



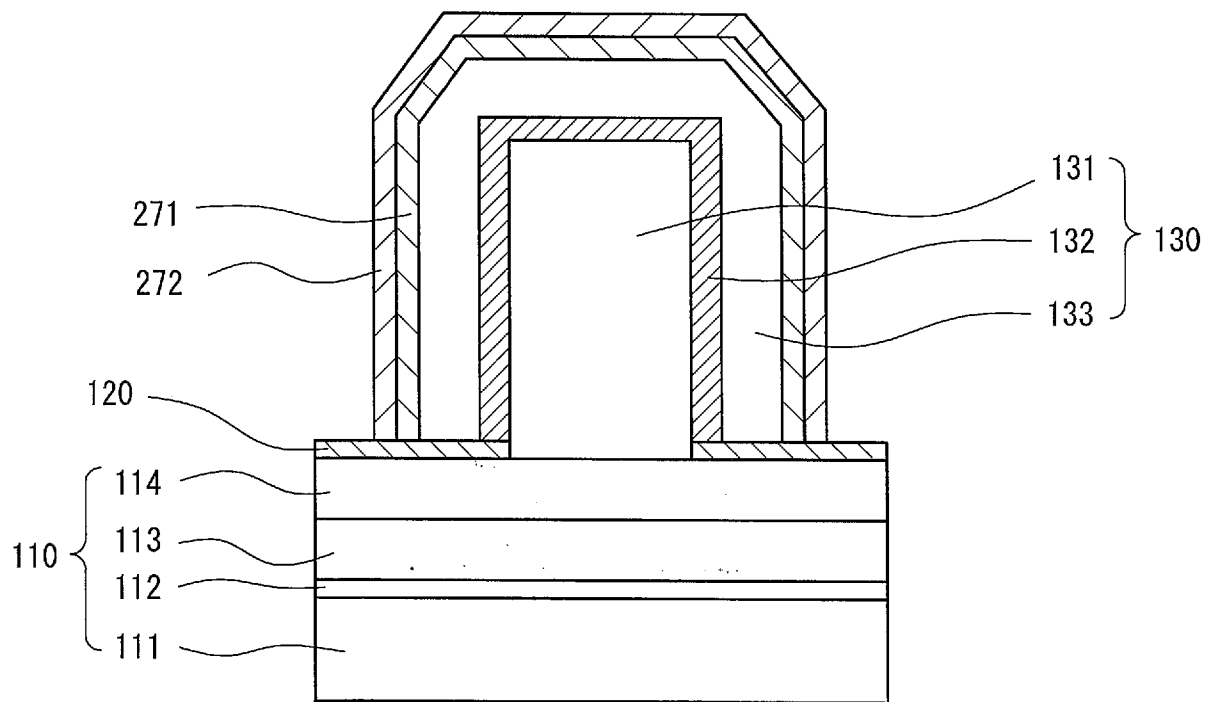
[図15]



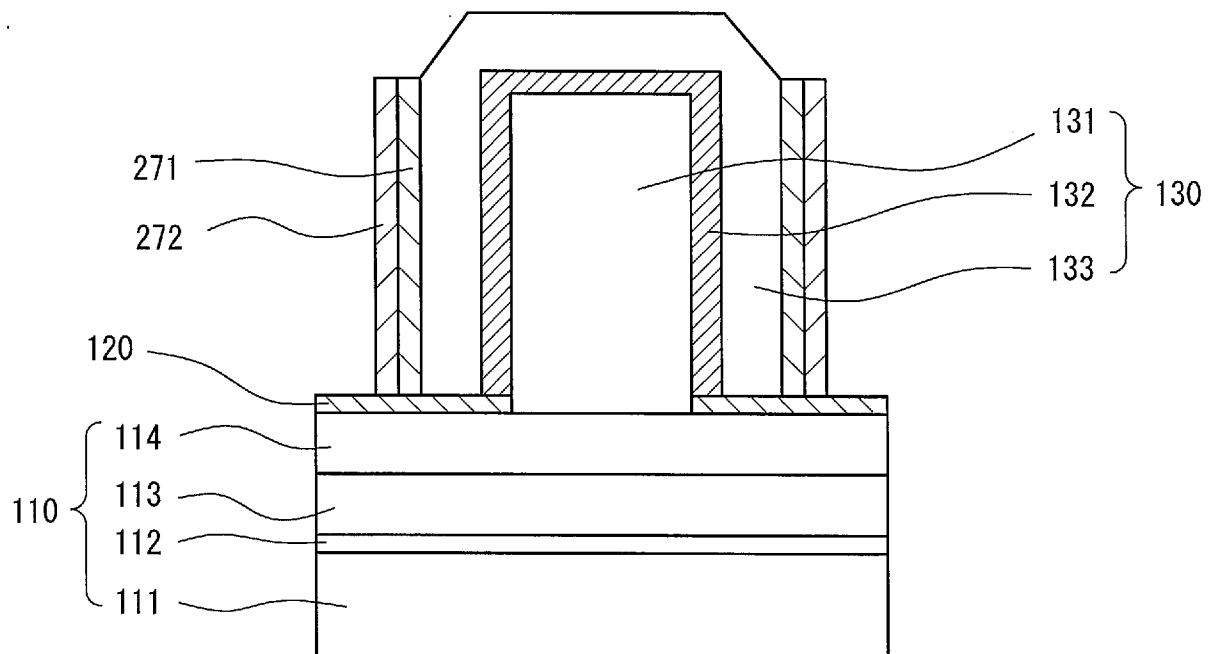
[図16]



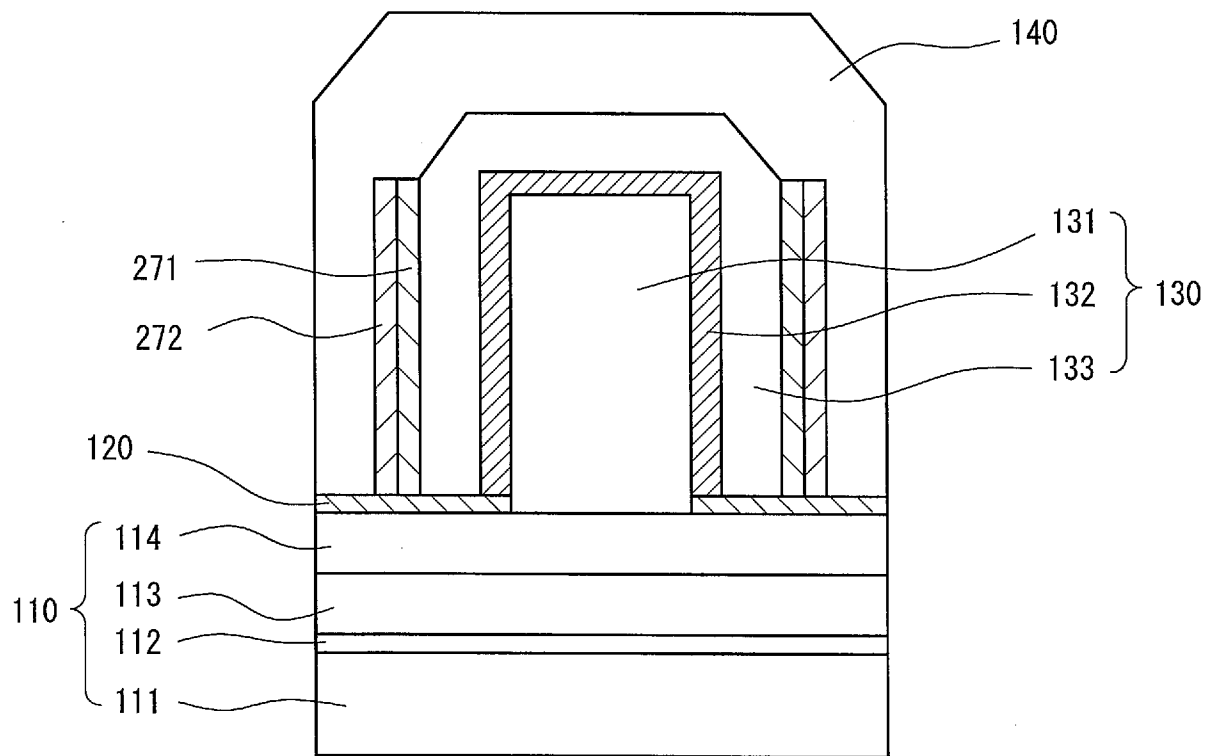
[図17]



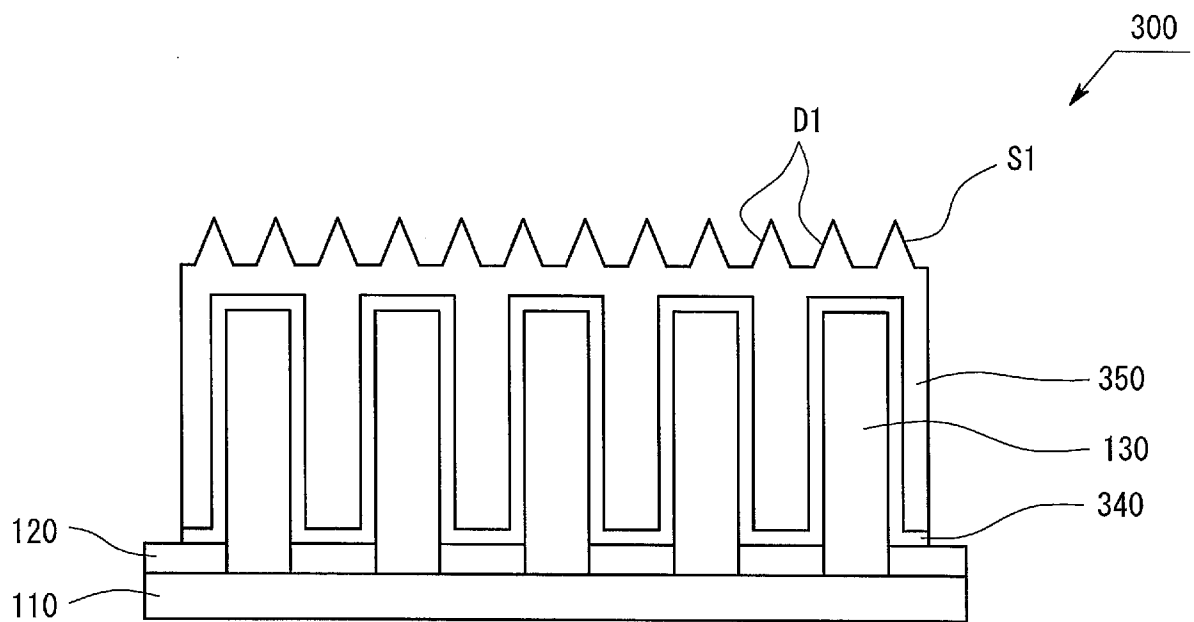
[図18]



[図19]



[図20]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/043056

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L33/08 (2010.01) i, H01L33/22 (2010.01) i, H01L33/32 (2010.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L33/08, H01L33/22, H01L33/32

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-9977 A (PANASONIC ELECTRIC WORKS CO., LTD.) 15 January 2009, paragraphs [0028]-[0036], fig. 1 (Family: none)	1-12
Y	JP 2011-142293 A (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 21 July 2011, paragraphs [0069]-[0077], fig. 12-16 & US 2010/0176375 A1, paragraphs [0099]-[0107], fig. 12-16 & EP 2343731 A2 & CN 102122693 A & KR 10-2011-0081741 A	1-12

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
20 December 2019 (20.12.2019)

Date of mailing of the international search report
07 January 2020 (07.01.2020)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/043056

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2015-500565 A (OSRAM OPTO SEMICONDUCTORS GMBH) 05 January 2015, paragraph [0060], fig. 1 & US 2014/0339577 A1, paragraph [0064], fig. 1 & WO 2013/083438 A1 & DE 102011056140 A1 & CN 103959489 A & KR 10-2014-0108548 A	1-12
A	US 2016/0126412 A1 (SAMSUNG ELECTRONICS CO., LTD.) 05 May 2016, entire text, all drawings & KR 10- 2016-0053346 A	1-12

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L33/08(2010.01)i, H01L33/22(2010.01)i, H01L33/32(2010.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L33/08, H01L33/22, H01L33/32

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2009-9977 A（パナソニック電気株式会社）2009.01.15, [0028]-[0036], 図1（ファミリーなし）	1-12
Y	JP 2011-142293 A（台湾積體電路製造股▲ふん▼有限公司） 2011.07.21, [0069]-[0077], 図12-16 & US 2010/0176375 A1, [0099]-[0107], Figure 12 to 16 & EP 2343731 A2 & CN 102122693 A & KR 10-2011-0081741 A	1-12

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

20.12.2019

国際調査報告の発送日

07.01.2020

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

吉野 三寛

2 K

9010

電話番号 03-3581-1101 内線 3255

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2015-500565 A (オスラム オプト セミコンダクターズ ゲゼルシャフト ミット ベシュレンクテル ハフツング) 2015.01.05, [0060], 図 1 & US 2014/0339577 A1, [0064], FIG. 1 & W0 2013/083438 A1 & DE 102011056140 A1 & CN 103959489 A & KR 10-2014-0108548 A	1-12
A	US 2016/0126412 A1 (SAMSUNG ELECTRONICS CO., LTD.) 2016.05.05, 全文, 全図 & KR 10-2016-0053346 A	1-12