

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2016 年 5 月 12 日 (12.05.2016)



(10) 国际公布号
WO 2016/070514 A1

- (51) 国际专利分类号:
G09G 3/36 (2006.01)
- (21) 国际申请号: PCT/CN2015/072359
- (22) 国际申请日: 2015 年 2 月 6 日 (06.02.2015)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201410614360.0 2014 年 11 月 3 日 (03.11.2014) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO.,LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (72) 发明人: 肖军城 (XIAO, Juncheng); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (74) 代理人: 深圳市德力知识产权代理事务所 (COMIPS INTELLECTUAL PROPERTY OFFICE); 中国广东省深圳市深南中路新闻大厦 1 号楼 3 楼 307 室, Guangdong 518027 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。
- 本国际公布:
— 包括国际检索报告(条约第 21 条(3))。

(54) Title: LOW-TEMPERATURE POLYCRYSTALLINE SILICON THIN-FILM TRANSISTOR GOA CIRCUIT

(54) 发明名称: 低温多晶硅薄膜晶体管 GOA 电路

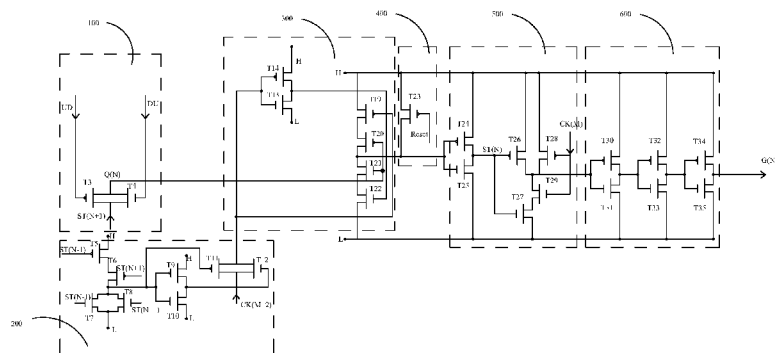


图 1 / Fig. 1

(57) Abstract: A low-temperature polycrystalline silicon thin-film transistor GOA circuit, for use in reverse scan transmission, comprising multiple cascade GOA units, where a level N GOA unit comprises: a transmission part (100), a transmission control part (200), a data storage part (300), a data removal part (400), an output control part (500), and an output buffer part (600). Employment of a transmission gate for transmission of a signal between upper/lower levels, employment of a NOR gate logic unit and a NAND gate for conversion of the signal, and employment of a timing inverter and an inverter for storage and transmission of the signal solve the problem of poor component circuit stability and large power consumption of a low-temperature polycrystalline silicon single-type thin-film transistor and the problem of thin-film transistor electric leakage of a single-type GOA circuit, thus optimizing circuit performance.

(57) 摘要:

[见续页]

WO 2016/070514 A1



一种低温多晶硅薄膜晶体管 GOA 电路，用于反向扫描传输；包括级联的多个 GOA 单元，其中第 N 级 GOA 单元包括：传输部分(100)、传输控制部分(200)、资料存储部分(300)、数据清除部分(400)、输出控制部分(500)及输出缓冲部分(600)；采用传输闸进行上下级信号的传输，采用或非门逻辑单元和与非门逻辑单元对信号进行转换，采用时序反相器和反相器对信号进行储存和传输，解决了低温多晶硅单一型薄膜晶体管器件电路稳定性不佳，功耗较大的问题以及单一型 GOA 电路的薄膜晶体管漏电问题，优化了电路性能。

低温多晶硅薄膜晶体管 GOA 电路

技术领域

5 本发明涉及显示技术领域，尤其涉及一种低温多晶硅薄膜晶体管 GOA 电路。

背景技术

GOA(Gate Drive On Array)，是利用薄膜晶体管(thin film transistor, TFT)液晶显示器阵列(Array)制程将栅极驱动器制作在薄膜晶体管阵列基板上，以实现逐行扫描的驱动方式。

通常，GOA 电路主要由上拉部分(Pull-up part)、上拉控制部分(Pull-up control part)、下传部分(Transfer part)、下拉部分(Pull-down part)、下拉维持电路部分(Pull-down Holding part)、以及负责电位抬升的上升部分(Boost part)组成，上升部分一般由一自举电容构成。

15 上拉部分主要负责将输入的时钟信号(Clock) 输出至薄膜晶体管的栅极，作为液晶显示器的驱动信号。上拉控制部分主要负责控制上拉部分的打开，一般是由上级 GOA 电路传递来的信号作用。下拉部分主要负责在输出扫描信号后，快速地将扫描信号(亦即薄膜晶体管的栅极的电位)拉低为低电平。下拉维持电路部分则主要负责将扫描信号和上拉部分的信号保持在关闭状态(即设定的负电位)。上升部分则主要负责对上拉部分的电位进行二次抬升，确保上拉部分的正常输出。

随着低温多晶硅(Low Temperature Poly-silicon, LTPS)半导体薄膜晶体管(Thin-film transistor, TFT)的发展，LTPS-TFT 液晶显示器也越来越受关注，LTPS-TFT 液晶显示器具有高分辨率、反应速度快、高亮度、高开口率等优点，由于低温多晶硅较非晶硅(a-Si)的排列有次序，低温多晶硅半导体本身具有超高的电子迁移率，比非晶硅半导体相对高 100 倍以上，可以采用 GOA 技术将栅极驱动器制作在薄膜晶体管阵列基板上，达到系统整合的目标、节省空间及驱动 IC 的成本。然而，对于低温多晶硅薄膜晶体管来说，单一型(单一 N 型或单一 P 型)的 GOA 电路存在结构复杂，电

25

30 路特性差，特别是功耗大的问题，尤其是用到中小尺寸，功耗成为其性能考证的重要指标，因此，如何有效的减小功耗，同时增强电路结构和性能的整体稳定性成为了目前低温多晶硅半导体薄膜晶体管 GOA 电路所面临一个重要问题。

发明内容

本发明的目的在于提供一种低温多晶硅半导体薄膜晶体管 GOA 电路,能够解决 LTPS 单一型 TFT 的器件电路稳定性不佳,功耗较大的问题;解决目前单一型 GOA 电路的 TFT 漏电的问题,优化电路的性能;并可实现超窄边框或无边框的设计。

为实现上述目的,本发明提供了一种低温多晶硅半导体薄膜晶体管 GOA 电路,用于反向扫描传输,包括级联的多个 GOA 单元,设 N 为正整数,第 N 级 GOA 单元采用多个 N 型晶体管与多个 P 型晶体管,所述第 N 级 GOA 单元包括:传输部分、传输控制部分、资料存储部分、数据清除部分、输出控制部分及输出缓冲部分;

所述传输部分电性连接于第一低频信号、第二低频信号、所述第 N 级 GOA 单元的后一级第 N+1 级 GOA 单元的驱动输出端与所述资料存储部分;所述传输控制部分电性连接于所述第 N 级 GOA 单元的后一级第 N+1 级 GOA 单元的驱动输出端,所述第 N 级 GOA 单元的前一级第 N-1 级 GOA 单元的驱动输出端、第 M+2 级时序信号、电源高电位、电源低电位与资料存储部分;所述资料存储部分电性连接于所述传输部分、传输控制部分、数据清除部分、电源高电位与电源低电位;所述数据清除部分电性连接于所述资料存储部分、输出控制部分、电源高电位与复位信号端;所述输出控制部分电性连接于所述数据清除部分、输出缓冲部分、驱动输出端、时序信号、电源高电位与电源低电位;所述输出缓冲部分电性连于所述输出控制部分、输出端、电源高电位与电源低电位;

所述第一低频信号相当于直流低电位,所述第二低频信号相当于直流高电位;

所述传输部分包括:

一第三 P 型晶体管,所述第三 P 型晶体管的栅极电性连接于第一低频信号,源极电性连接于所述第 N 级 GOA 单元的后一级第 N+1 级 GOA 单元的驱动输出端,漏极电性连接于第一节点;

一第四 N 型晶体管,所述第四 N 型晶体管的栅极电性连接于第二低频信号,源极电性连接于所述第 N 级 GOA 单元的后一级第 N+1 级 GOA 单元的驱动输出端,漏极电性连接于第一节点;

所述传输控制部分包括:

一第五 P 型晶体管,所述第五 P 型晶体管的栅极电性连接于所述第 N 级 GOA 单元的前一级第 N-1 级 GOA 单元的驱动输出端,源极电性连接于

电源高电位，漏极电性连接于第六 P 型晶体管的源极；

一第六 P 型晶体管，所述第六 P 型晶体管的栅极电性连接于所述第 N 级 GOA 单元的后一级第 N+1 级 GOA 单元的驱动输出端，源极电性连接于第五 P 型晶体管的漏极，漏极电性连接于第七 N 型晶体管的源极；

5 一第七 N 型晶体管，所述第七 N 型晶体管的栅极电性连接于所述第 N 级 GOA 单元的前一级第 N-1 级 GOA 单元的驱动输出端，源极电性连接于第六 P 型晶体管的漏极，漏极电性连接于电源低电位；

一第八 N 型晶体管，所述第八 N 型晶体管的栅极电性连接于所述第 N 级 GOA 单元的后一级第 N+1 级 GOA 单元的驱动输出端，源极电性连接于第六 P 型晶体管的漏极，漏极电性连接于电源低电位；

10 一第九 P 型晶体管，所述第九 P 型晶体管的栅极电性连接于第六 P 型晶体管的漏极，源极电性连接于电源高电位，漏极电性连接于第十 N 型晶体管的源极；

一第十 N 型晶体管，所述第十 N 型晶体管的栅极电性连接于第六 P 型晶体管的漏极，源极电性连接于第九 P 型晶体管的漏极，漏极电性连接于电源低电位；

一第十一 P 型晶体管，所述第十一 P 型晶体管的栅极电性连接于第六 P 型晶体管的漏极，源极电性连接于第十二 N 型晶体管的源极，漏极电性连接于第 M+2 级时序信号；

20 一第十二 N 型晶体管，所述第十二 N 型晶体管的栅极电性连接于第九 P 型晶体管的漏极，源极电性连接于第十一 P 型晶体管的源极，漏极电性连接于第 M+2 级时序信号；

所述资料存储部分包括：

25 一第十三 N 型晶体管，所述第十三 N 型晶体管的栅极电性连接于第十一 P 型晶体管的源极，源极电性连接于第十四 P 型晶体管的漏极，漏极电性连接于电源低电位；

一第十四 P 型晶体管，所述第十四 P 型晶体管的栅极电性连接于第十一 P 型晶体管的源极，源极电性连接于电源高电位，漏极电性连接于第十三 N 型晶体管的源极；

30 一第十九 P 型晶体管，所述第十九 P 型晶体管的栅极电性连接于第十三 N 型晶体管的栅极，源极电性连接于电源高电位，漏极电性连接于第二十 P 型晶体管的源极；

一第二十 P 型晶体管，所述第二十 P 型晶体管的栅极电性连接于第一节点，源极电性连接于第十九 P 型晶体管的漏极，漏极电性连接于第二十

一 N 型晶体管的源极;

一第二十一 N 型晶体管, 所述第二十一 N 型晶体管的栅极电性连接于第一节点, 源极电性连接于第二十 P 型晶体管的漏极, 漏极电性连接于第二十二 N 型晶体管的源极;

5 一第二十二 N 型晶体管, 所述第二十二 N 型晶体管的栅极电性连接于第十三 N 型晶体管的源极, 源极电性连接于第二十一 N 型晶体管的漏极, 漏极电性连接于电源低电位;

所述数据清除部分包括:

10 一第二十三 P 型晶体管, 所述第二十三 P 型晶体管的栅极电性连接于复位信号端, 源极电性连接于电源高电位, 漏极电性连接于第二十 P 型晶体管的漏极;

所述输出控制部分包括

15 一第二十四 P 型晶体管, 所述第二十四 P 型晶体管的栅极电性连接于第二十 P 型晶体管的漏极, 源极电性连接于电源高电位, 漏极电性连接于驱动输出端;

一第二十五 N 型晶体管, 所述第二十五 N 型晶体管的栅极电性连接于第二十 P 型晶体管的漏极, 源极电性连接于驱动输出端, 漏极电性连接于电源低电位;

20 一第二十六 P 型晶体管, 所述第二十六 P 型晶体管的栅极电性连接于驱动输出端, 源极电性连接于电源高电位, 漏极电性连接于第二十九 N 型晶体管的源极;

一第二十七 N 型晶体管, 所述第二十七 N 型晶体管的栅极电性连接于驱动输出端, 源极电性连接于第二十九 N 型晶体管的漏极, 漏极电性连接于电源低电位;

25 一第二十八 P 型晶体管, 所述第二十八 P 型晶体管的栅极电性连接于时序信号, 源极电性连接于电源高电位, 漏极电性连接于第二十九 N 型晶体管的源极;

30 一第二十九 N 型晶体管, 所述第二十九 N 型晶体管的栅极电性连接于时序信号, 源极电性连接于第二十六 P 型晶体管的漏极, 漏极电性连接于第二十七 N 型晶体管的源极;

所述输出缓冲部分包括:

一第三十 P 型晶体管, 所述第三十 P 型晶体管的栅极电性连接于第二十九 N 型晶体管的源极, 源极电性连接于电源高电位, 漏极电性连接于第三十一 N 型晶体管的源极;

一第三十一 N 型晶体管, 所述第三十一 N 型晶体管的栅极电性连接于第二十九 N 型晶体管的源极, 源极电性连接于第三十 P 型晶体管的漏极, 漏极电性连接于电源低电位;

5 一第三十二 P 型晶体管, 所述第三十二 P 型晶体管的栅极电性连接于第三十 P 型晶体管的漏极, 源极电性连接于电源高电位, 漏极电性连接于第三十三 N 型晶体管的源极;

一第三十三 N 型晶体管, 所述第三十三 N 型晶体管的栅极电性连接于第三十 P 型晶体管的漏极, 源极电性连接于第三十二 P 型晶体管的漏极, 漏极电性连接于电源低电位;

10 一第三十四 P 型晶体管, 所述第三十四 P 型晶体管的栅极电性连接于第三十二 P 型晶体管的漏极, 源极电性连接于电源高电位, 漏极电性连接于输出端;

一第三十五 N 型晶体管, 所述第三十五 N 型晶体管的栅极电性连接于第三十二 P 型晶体管的漏极, 源极电性连接于输出端, 漏极电性连接于电
15 源低电位。

所述 GOA 电路还包括第二输出控制部分、第二输出缓冲部分;

所述第二输出控制部分电性连接于输出控制部分、驱动输出端、第 M+1 级时序信号、电源高电位与电源低电位; 所述第二输出缓冲部分电性连接于所述第二输出控制部分、第 N-1 级 GOA 单元的输出端、电源高电位与电
20 源低电位;

所述第二输出控制部分包括:

一第三十六 P 型晶体管, 所述第三十六 P 型晶体管的栅极电性连接于驱动输出端, 源极电性连接于电源高电位, 漏极电性连接于第三十九 N 型晶体管的源极;

25 一第三十七 N 型晶体管, 所述第三十七 N 型晶体管的栅极电性连接于驱动输出端, 源极电性连接于第三十九 N 型晶体管的漏极, 漏极电性连接于电源低电位;

一第三十八 P 型晶体管, 所述第三十八 P 型晶体管的栅极电性连接于第 M+1 级时序信号, 源极电性连接于电源高电位, 漏极电性连接于第三十九 N 型晶体管的源极;
30

一第三十九 N 型晶体管, 所述第三十九 N 型晶体管的栅极电性连接于第 M+1 级时序信号, 源极电性连接于第三十六 P 型晶体管的漏极, 漏极电性连接于第三十七 N 型晶体管的源极;

所述第二输出缓冲部分包括:

一第四十 P 型晶体管, 所述第四十 P 型晶体管的栅极电性连接于第三十九 N 型晶体管的源极, 源极电性连接于电源高电位, 漏极电性连接于第四十一 N 型晶体管的源极;

5 一第四十一 N 型晶体管, 所述第四十一 N 型晶体管的栅极电性连接于第三十九 N 型晶体管的源极, 源极电性连接于第四十 P 型晶体管的漏极, 漏极电性连接于电源低电位;

一第四十二 P 型晶体管, 所述第四十二 P 型晶体管的栅极电性连接于第四十 P 型晶体管的漏极, 源极电性连接于电源高电位, 漏极电性连接于第四十三 N 型晶体管的源极;

10 一第四十三 N 型晶体管, 所述第四十三 N 型晶体管的栅极电性连接于第四十 P 型晶体管的漏极, 源极电性连接于第四十二 P 型晶体管的漏极, 漏极电性连接于电源低电位;

一第四十四 P 型晶体管, 所述第四十四 P 型晶体管的栅极电性连接于第四十二 P 型晶体管的漏极, 源极电性连接于电源高电位, 漏极电性连接于第 N-1 级 GOA 单元的输出端;

一第四十五 N 型晶体管, 所述第四十五 N 型晶体管的栅极电性连接于第四十二 P 型晶体管的漏极, 源极电性连接于第 N-1 级 GOA 单元的输出端, 漏极电性连接于电源低电位。

20 所述 GOA 电路的第一级连接关系中, 所述第五 P 型晶体管的栅极、第七 N 型晶体管的栅极均电性连接于电路的启动信号端。

所述 GOA 电路的最后一级连接关系中, 所述第三 P 型晶体管的源极、第四 N 型晶体管的源极、第六 P 型晶体管的栅极、第八 N 型晶体管的栅极均电性连接于电路的启动信号端。

25 所述传输部分中第三 P 型晶体管和第四 N 型晶体管构成一传输闸, 用于将第 N+1 级 GOA 单元的驱动输出信号反向传输至资料存储部分。

30 所述传输控制部分中第五 P 型晶体管、第六 P 型晶体管、第七 N 型晶体管、第八 N 型晶体管构成或非门逻辑单元; 第九 P 型晶体管、第十 N 型晶体管构成反相器; 第十一 P 型晶体管和第十二 N 型晶体管构成传输闸; 所述传输控制部分用于控制第 M+2 级时序信号, 并将其传输到资料存储部分。

所述资料存储部分中第十九 P 型晶体管、第二十 P 型晶体管、第二十一 N 型晶体管、第二十二 N 型晶体管构成时序反向器; 第十三 N 型晶体管、第十四 P 型晶体管构成反相器; 所述资料存储部分用于对由第 N+1 级 GOA 单元的驱动输出端和第 M+2 级时序信号传入的信号进行存储和传输。

所述数据清除部分用于对电路的驱动输出端电位的适时清除。

所述输出控制部分中第二十六 P 型晶体管、第二十七 N 型晶体管、第二十八 P 型晶体管、第二十九 N 型晶体管构成与非门逻辑单元；第二十四 P 型晶体管、第二十五 N 型晶体管构成反向器；所述输出控制部分用于对
5 输出端输出的扫描信号进行控制，输出符合时序的扫描信号。

所述输出缓冲部分中第三十 P 型晶体管和第三十一 N 型晶体管、第三十二 P 型晶体管和第三十三 N 型晶体管、第三十四 P 型晶体管和第三十五 N 型晶体管分别构成三个反向器，用于对经过时序调整的扫描信号进行调整，同时增强带负载能力。

10 所述第二输出控制部分中第三十六 P 型晶体管、第三十七 N 型晶体管、第三十八 P 型晶体管、第三十九 N 型晶体管构成与非门逻辑单元，用于对第 N-1 级 GOA 单元的输出端输出的扫描信号进行控制，输出符合时序的扫描信号；所述第二输出缓冲部分中第四十 P 型晶体管和第四十一 N 型晶体管、第四十二 P 型晶体管和第四十三 N 型晶体管、第四十四 P 型晶体管和
15 第四十五 N 型晶体管分别构成三个反向器，用于对经过时序调整的扫描信号进行调整，同时增强带负载能力；所述第二输出控制部分和第二输出缓冲部分依据驱动输出端的输出信号与第 M+1 级时序信号，由第 N-1 级 GOA 单元的输出端输出前一级扫描信号，实现单级 GOA 单元控制两级电路反向扫描输出。

20 所述时序信号包括四组时序信号：第一时序信号、第二时序信号、第三时序信号、第四时序信号，当所述时序信号为第四时序信号时，所述第 M+2 级时序信号为第二时序信号，当所述时序信号为第三时序信号时，所述第 M+2 级时序信号为第一时序信号，当所述时序信号为第四时序信号，所述第 M+1 级时序信号为第一时序信号。

25 本发明的有益效果：本发明提供一种低温多晶硅半导体薄膜晶体管 GOA 电路，用于反向扫描传输，第 N 级 GOA 单元采用多个 N 型晶体管与多个 P 型晶体管，包括传输部分、传输控制部分、资料存储部分、数据清除部分、输出控制部分、及输出缓冲部分。所述传输部分具有传输闸；所述传输控制部分具有或非门逻辑单元、反相器、与传输闸；所述资料存储
30 部分有时序反相器、反相器；所述输出控制部分具有与非门逻辑单元、反相器；所述输出缓冲部分具有反相器；采用传输闸进行上下级传输信号，采用或非门逻辑单元和与非门逻辑单元对信号进行转换，用时序反相器和反相器对信号进行储存和传输，解决了 LTPS 单一型 TFT 的器件电路稳定性不佳，功耗较大的问题以及单一型 GOA 电路的 TFT 漏电的问题，优化

了电路的性能；通过设置第二输出控制部分与第二输出缓冲部分，实现共用驱动输出端，使得单级 GOA 单元控制两级电路反向扫描输出，可减少 TFT 数目，实现超窄边框或无边框的设计。

5 附图说明

下面结合附图，通过对本发明的具体实施方式详细描述，将使本发明的技术方案及其它有益效果显而易见。

附图中，

图 1 为本发明低温多晶硅半导体薄膜晶体管 GOA 电路的第一实施例的
10 电路图；

图 2 为本发明低温多晶硅半导体薄膜晶体管 GOA 电路的第一实施例的第一级连接关系的电路图；

图 3 为本发明低温多晶硅半导体薄膜晶体管 GOA 电路的第一实施例的最后一级连接关系的电路图；

15 图 4 为本发明低温多晶硅半导体薄膜晶体管 GOA 电路的第二实施例的电路图；

图 5 为本发明低温多晶硅半导体薄膜晶体管 GOA 电路的关键节点的波形图。

20 具体实施方式

为更进一步阐述本发明所采取的技术手段及其效果，以下结合本发明的优选实施例及其附图进行详细描述。

请参阅图 1，为本发明的第一实施例的电路图。如图 1 所示，本发明提供了一种低温多晶硅薄膜晶体管 GOA 电路，用于反向扫描传输，包括级联
25 的多个 GOA 单元，设 N 为正整数，第 N 级 GOA 单元采用多个 N 型晶体管与多个 P 型晶体管，所述第 N 级 GOA 单元包括：传输部分 100、传输控制部分 200、资料存储部分 300、数据清除部分 400、输出控制部分 500 及输出缓冲部分 600；

所述传输部分 100 电性连接于第一低频信号 UD 、第二低频信号 DU 、
30 所述第 N 级 GOA 单元的后一级第 $N+1$ 级 GOA 单元的驱动输出端 $ST(N+1)$ 与所述资料存储部分 300；所述传输控制部分 200 电性连接于所述第 N 级 GOA 单元的后一级第 $N+1$ 级 GOA 单元的驱动输出端 $ST(N+1)$ 、所述第 N 级 GOA 单元的前一级第 $N-1$ 级 GOA 单元的驱动输出端 $ST(N-1)$ 、第 $M+2$ 级时序信号 $CK(M+2)$ 、电源高电位 H 、电源低电位 L 与资料存储部分 300；

所述资料存储部分 300 电性连接于所述传输部分 100、传输控制部分 200、数据清除部分 400、电源高电位 H 与电源低电位 L；所述数据清除部分 400 电性连接于所述资料存储部分 300、输出控制部分 500、电源高电位 H 与复位信号端 Reset；所述输出控制部分 500 电性连接于所述数据清除部分 400、
5 输出缓冲部分 600、驱动输出端 ST(N)、时序信号 CK(M)、电源高电位 H 与电源低电位 L；所述输出缓冲部分 600 电性连接于所述输出控制部分 500、输出端 G(N) 电源高电位 H 与电源低电位 L；

所述第一低频信号 UD 相当于直流低电位，所述第二低频信号 DU 相当于直流高电位；

10 所述传输部分 100 包括一第三 P 型晶体管 T3，所述第三 P 型晶体管 T3 的栅极电性连接于第一低频信号 UD，源极电性连接于所述第 N 级 GOA 单元的后一级第 N+1 级 GOA 单元的驱动输出端 ST(N+1)，漏极电性连接于第一节点 Q(N)；一第四 N 型晶体管 T4，所述第四 N 型晶体管 T4 的栅极电性连接于第二低频信号 DU，源极电性连接于所述第 N 级 GOA 单元的后一级
15 第 N+1 级 GOA 单元的驱动输出端 ST(N+1)，漏极电性连接于第一节点 Q(N)；

所述第三 P 型晶体管 T3 和第四 N 型晶体管 T4 构成一传输闸，用于将第 N+1 级 GOA 单元的驱动输出信号 ST(N+1) 反向传输至资料存储部分 300。

所述传输控制部分 200 包括一第五 P 型晶体管 T5，所述第五 P 型晶体管 T5 的栅极电性连接于所述第 N 级 GOA 单元的前一级第 N-1 级 GOA 单元的驱动输出端 ST(N-1)，源极电性连接于电源高电位 H，漏极电性连接于
20 第六 P 型晶体管 T6 的源极；一第六 P 型晶体管 T6，所述第六 P 型晶体管 T6 的栅极电性连接于所述第 N 级 GOA 单元的后一级第 N+1 级 GOA 单元的驱动输出端 ST(N+1)，源极电性连接于第五 P 型晶体管 T5 的漏极，漏极电性连接于第七 N 型晶体管 T7 的源极；一第七 N 型晶体管 T7，所述第七
25 N 型晶体管 T7 的栅极电性连接于所述第 N 级 GOA 单元的前一级第 N-1 级 GOA 单元的驱动输出端 ST(N-1)，源极电性连接于第六 P 型晶体管 T6 的漏极，漏极电性连接于电源低电位 L；一第八 N 型晶体管 T8，所述第八 N 型晶体管 T8 的栅极电性连接于所述第 N 级 GOA 单元的后一级第 N+1 级 GOA
30 单元的驱动输出端 ST(N+1)，源极电性连接于第六 P 型晶体管 T6 的漏极，漏极电性连接于电源低电位 L；一第九 P 型晶体管 T9，所述第九 P 型晶体管 T9 的栅极电性连接于第六 P 型晶体管 T6 的漏极，源极电性连接于电源高电位 H，漏极电性连接于第十 N 型晶体管 T10 的源极；一第十 N 型晶体管 T10，所述第十 N 型晶体管 T10 的栅极电性连接于第六 P 型晶体管 T6

的漏极, 源极电性连接于第九 P 型晶体管 T9 的漏极, 漏极电性连接于电源低电位 L; 一第十一 P 型晶体管 T11, 所述第十一 P 型晶体管 T11 的栅极电性连接于第六 P 型晶体管 T6 的漏极, 源极电性连接于第十二 N 型晶体管 T12 的源极, 漏极电性连接于第 M+2 级时序信号 CK(M+2); 一第十二 N 型晶体管 T12, 所述第十二 N 型晶体管 T12 的栅极电性连接于第九 P 型晶体管 T9 的漏极, 源极电性连接于第十一 N 型晶体管 T11 的源极, 漏极电性连接于第 M+2 级时序信号 CK(M+2);

其中, 所述第五 P 型晶体管 T5、第六 P 型晶体管 T6、第七 N 型晶体管 T7、第八 N 型晶体管 T8 构成一或非门逻辑单元; 第九 P 型晶体管 T9、第十 N 型晶体管 T10 构成一反相器; 第十一 P 型晶体管 T11 和第十二 N 型晶体管 T12 构成一传输闸; 所述传输控制部分 200 用于控制第 M+2 级时序信号 CK(M+2), 并将其传输到资料存储部分 300。

所述资料存储部分 300 包括一第十三 N 型晶体管 T13, 所述第十三 N 型晶体管 T13 的栅极电性连接于第十一 P 型晶体管 T11 的源极, 源极电性连接于第十四 P 型晶体管 T14 的漏极, 漏极电性连接于电源低电位 L; 一第十四 P 型晶体管 T14, 所述第十四 P 型晶体管 T14 的栅极电性连接于第十一 P 型晶体管 T11 的源极, 源极电性连接于电源高电位 H, 漏极电性连接于第十三 N 型晶体管 T13 的源极; 一第十九 P 型晶体管 T19, 所述第十九 P 型晶体管 T19 的栅极电性连接于第十三 N 型晶体管 T13 的栅极, 源极电性连接于电源高电位 H, 漏极电性连接于第二十 P 型晶体管 T20 的源极; 一第二十 P 型晶体管 T20, 所述第二十 P 型晶体管 T20 的栅极电性连接于第一节点 Q(N), 源极电性连接于第十九 P 型晶体管 T19 的漏极, 漏极电性连接于第二十一 N 型晶体管 T21 的源极; 一第二十一 N 型晶体管 T21, 所述第二十一 N 型晶体管 T21 的栅极电性连接于第一节点 Q(N), 源极电性连接于第二十 P 型晶体管 T20 的漏极, 漏极电性连接于第二十二 N 型晶体管 T22 的源极; 一第二十二 N 型晶体管 T22, 所述第二十二 N 型晶体管 T22 的栅极电性连接于第十三 N 型晶体管 T13 的源极, 源极电性连接于第二十一 N 型晶体管 T21 的漏极, 漏极电性连接于电源低电位 L;

其中, 所述第十九 P 型晶体管 T19、第二十 P 型晶体管 T20、第二十一 N 型晶体管 T21、第二十二 N 型晶体管 T22 构成一时序反向器; 第十三 N 型晶体管 T13、第十四 P 型晶体管 T14 构成一反向器; 所述资料存储部分 300 用于对由第 N+1 级 GOA 单元的驱动输出端 ST(N+1) 和第 M+2 级时序信号 CK(M+2) 传入的信号进行存储和传输。

所述数据清除部分 400 包括一第二十三 P 型晶体管 T23, 所述第二十

三 P 型晶体管 T23 的栅极电性连接于复位信号端 Reset, 源极电性连接于电源高电位 H, 漏极电性连接于第二十 P 型晶体管 T20 的漏极; 所述数据清除部分 400 用于对电路的驱动输出端 ST(N) 电位的适时清除, 主要是在每一帧开始的时候, 复位信号端 Reset 接收一脉冲复位信号, 对驱动输出端 ST(N) 进行放电, 从而将驱动输出端 ST(N) 的电位进行清除。

所述输出控制部分 500 包括一第二十四 P 型晶体管 T24, 所述第二十四 P 型晶体管 T24 的栅极电性连接于第二十 P 型晶体管 T20 的漏极, 源极电性连接于电源高电位 H, 漏极电性连接于驱动输出端 ST(N); 一第二十五 N 型晶体管 T25, 所述第二十五 N 型晶体管 T25 的栅极电性连接于第二十 P 型晶体管 T20 的漏极, 源极电性连接于驱动输出端 ST(N), 漏极电性连接于电源低电位 L; 一第二十六 P 型晶体管 T26, 所述第二十六 P 型晶体管 T26 的栅极电性连接于驱动输出端 ST(N), 源极电性连接于电源高电位 H, 漏极电性连接于第二十九 N 型晶体管 T29 的源极; 一第二十七 N 型晶体管 T27, 所述第二十七 N 型晶体管 T27 的栅极电性连接于驱动输出端 ST(N), 源极电性连接于第二十九 N 型晶体管 T29 的漏极, 漏极电性连接于电源低电位 L; 一第二十八 P 型晶体管 T28, 所述第二十八 P 型晶体管 T28 的栅极电性连接于时序信号 CK(M), 源极电性连接于电源高电位 H, 漏极电性连接于第二十九 N 型晶体管 T29 的源极; 一第二十九 N 型晶体管 T29, 所述第二十九 N 型晶体管 T29 的栅极电性连接于时序信号 CK(M), 源极电性连接于第二十六 P 型晶体管 T26 的漏极, 漏极电性连接于第二十七 N 型晶体管 T27 的源极;

其中, 所述第二十六 P 型晶体管 T26、第二十七 N 型晶体管 T27、第二十八 P 型晶体管 T28、第二十九 N 型晶体管 T29 构成一与非门逻辑单元; 第二十四 P 型晶体管 T24、第二十五 N 型晶体管 T25 构成一反向器; 所述输出控制部分 500 用于对输出端 G(N) 输出的扫描信号进行控制, 输出符合时序的扫描信号。

所述输出缓冲部分 600 包括一第三十 P 型晶体管 T30, 所述第三十 P 型晶体管 T30 的栅极电性连接于第二十九 N 型晶体管 T29 的源极, 源极电性连接于电源高电位 H, 漏极电性连接于第三十一 N 型晶体管 T31 的源极; 一第三十一 N 型晶体管 T31, 所述第三十一 N 型晶体管 T31 的栅极电性连接于第二十九 N 型晶体管 T29 的源极, 源极电性连接于第三十 P 型晶体管 T30 的漏极, 漏极电性连接于电源低电位 L; 一第三十二 P 型晶体管 T32, 所述第三十二 P 型晶体管 T32 的栅极电性连接于第三十 P 型晶体管 T30 的漏极, 源极电性连接于电源高电位 H, 漏极电性连接于第三十三 N 型晶体

管 T33 的源极; 一第三十三 N 型晶体管 T33, 所述第三十三 N 型晶体管 T33 的栅极电性连接于第三十 P 型晶体管 T30 的漏极, 源极电性连接于第三十二 P 型晶体管 T32 的漏极, 漏极电性连接于电源低电位 L; 一第三十四 P 型晶体管 T34, 所述第三十四 P 型晶体管 T34 的栅极电性连接于第三十二 P 型晶体管 T32 的漏极, 源极电性连接于电源高电位 H, 漏极电性连接于输出端 G(N); 一第三十五 N 型晶体管 T35, 所述第三十五 N 型晶体管 T35 的栅极电性连接于第三十二 P 型晶体管 T32 的漏极, 源极电性连接于输出端 G(N), 漏极电性连接于电源低电位 L。

其中, 所述第三十 P 型晶体管 T30 和第三十一 N 型晶体管 T31、第三十二 P 型晶体管 T32 第三十三 N 型晶体管 T33、第三十四 P 型晶体管 T34 和第三十五 N 型晶体管 T35 分别构成了三个反向器; 用于对经过时序调整的扫描信号进行调整, 同时增强带负载能力。

如图 2-3 所示, 本发明的低温多晶硅薄膜晶体管 GOA 电路的第一级连接关系中, 所述第五 P 型晶体管 T5 的栅极、第七 N 型晶体管 T7 的栅极均电性连接于电路的启动信号端 STV; 最后一级连接关系中, 所述第三 P 型晶体管 T3 的源极、第四 N 型晶体管 T4 的源极、第六 P 型晶体管 T6 的栅极、第八 N 型晶体管 T8 的栅极均电性连接于电路的启动信号端 STV。

请参阅图 5, 为本发明低温多晶硅半导体薄膜晶体管 GOA 电路的关键节点的波形图, 从图 5 中可见, 各关键节点的波形满足设计要求, 其中第二低频信号 DU 和第一低频信号 UD 在反向扫描的时候相当于是直流的高低电位; 所述时序信号 CK(M) 包括四组时序信号, 分别为第一时序信号 CK(1)、第二时序信号 CK(2)、第三时序信号 CK(3)、第四时序信号 CK(4), 当所述时序信号 CK(M) 为第四时序信号 CK(4) 时, 所述第 M+2 级时序信号 CK(M+2) 为第二时序信号 CK(2), 当所述时序信号 CK(M) 为第三时序信号 CK(3) 时, 所述第 M+2 级时序信号 CK(M+2) 为第一时序信号 CK(1), 当所述时序信号 CK(M) 为第四时序信号 CK(4) 时, 所述第 M+1 级时序信号 CK(M+1) 为第一时序信号 CK(1)。所述时序信号 CK(M) 的脉冲信号按照 CK(4)-CK(1) 的顺序依次到来, 第二时序信号 CK(2) 对应第一级输出端 G(1) 的输出信号, 第一时序信号 CK(1) 对应第二级输出端 G(2) 的输出信号, 第四时序信号 CK(4) 对应第三级输出端 G(3) 的输出信号, 第三时序信号 CK(3) 对应第四级输出端 G(4) 的输出信号, 依次类推。

请参阅图 4, 为本发明低温多晶硅半导体薄膜晶体管 GOA 电路的第二实施例的电路图, 如图 4 所示, 所述第二实施例与第一实施例的区别在于, 还包括第二输出控制部分 501、第二输出缓冲部分 601。所述第二输出控制

部分 501 电性连接于输出控制部分 500、驱动输出端 ST(N)、第 M+1 级时序信号 CK(M+1)、电源高电位 H、与电源低电位 L；所述第二输出缓冲部分 601 电性连接于所述第二输出控制部分 501、第 N-1 级 GOA 单元的输出端 G(N-1)、电源高电位 H、与电源低电位 L。

5 所述第二输出控制部分 501 包括一第三十六 P 型晶体管 T36，所述第三十六 P 型晶体管 T36 的栅极电性连接于驱动输出端 ST(N)，源极电性连接于电源高电位 H，漏极电性连接于第三十九 N 型晶体管 T39 的源极；一第三十七 N 型晶体管 T37，所述第三十七 N 型晶体管 T37 的栅极电性连接于驱动输出端 ST(N)，源极电性连接于第三十九 N 型晶体管 T39 的漏极，
10 漏极电性连接于电源低电位 L；一第三十八 P 型晶体管 T38，所述第三十八 P 型晶体管 T38 的栅极电性连接于第 M+1 级时序信号 CK(M+1)，源极电性连接于电源高电位 H，漏极电性连接于第三十九 N 型晶体管 T39 的源极；一第三十九 N 型晶体管 T39，所述第三十九 N 型晶体管 T39 的栅极电性连接于第 M+1 级时序信号 CK(M+1)，源极电性连接于第三十六 P 型晶体管
15 T36 的漏极，漏极电性连接于第三十七 N 型晶体管 T37 的源极；

 所述第二输出缓冲部分 601 包括一第四十 P 型晶体管 T40，所述第四十 P 型晶体管 T40 的栅极电性连接于第三十九 N 型晶体管 T39 的源极，源极电性连接于电源高电位 H，漏极电性连接于第四十一 N 型晶体管 T41 的源极；一第四十一 N 型晶体管 T41，所述第四十一 N 型晶体管 T41 的栅极
20 电性连接于第三十九 N 型晶体管 T39 的源极，源极电性连接于第四十 P 型晶体管 T40 的漏极，漏极电性连接于电源低电位 L；一第四十二 P 型晶体管 T42，所述第四十二 P 型晶体管 T42 的栅极电性连接于第四十 P 型晶体管 T40 的漏极，源极电性连接于电源高电位 H，漏极电性连接于第四十三 N 型晶体管 T43 的源极；一第四十三 N 型晶体管 T43，所述第四十三 N 型
25 晶体管 T43 的栅极电性连接于第四十 P 型晶体管 T40 的漏极，源极电性连接于第四十二 P 型晶体管 T42 的漏极，漏极电性连接于电源低电位 L；一第四十四 P 型晶体管 T44，所述第四十四 P 型晶体管 T44 的栅极电性连接于第四十二 P 型晶体管 T42 的漏极，源极电性连接于电源高电位 H，漏极电性连接于第 N-1 级 GOA 单元的输出端 G(N-1)；一第四十五 N 型晶体管
30 T45，所述第四十五 N 型晶体管 T45 的栅极电性连接于第四十二 P 型晶体管 T42 的漏极，源极电性连接于第 N-1 级 GOA 单元的输出端 G(N-1)，漏极电性连接于电源低电位 L。

 所述第二输出控制部分 501 中第三十六 P 型晶体管 T36、第三十七 N 型晶体管 T37、第三十八 P 型晶体管 T38、第三十九 N 型晶体管 T39 构成

与非门逻辑单元，用于对第 N-1 级 GOA 单元的输出端 G(N-1)输出的扫描信号进行控制，输出符合时序的扫描信号；所述第二输出缓冲部分 601 中第四十 P 型晶体管 T40 和第四十一 N 型晶体管 T41、第四十二 P 型晶体管 T42 和第四十三 N 型晶体管 T43、第四十四 P 型晶体管 T44 和第四十五 N 型晶体管 T45 分别构成三个反向器，用于对经过时序调整的扫描信号进行调整，同时增强带负载能力；所述第二输出控制部分 501 和第二输出缓冲部分 601 依据驱动输出端 ST(N)的输出信号与第 M+1 级时序信号 CK(M+1)，由第 N-1 级 GOA 单元的输出端 G(N-1)输出前一级扫描信号，实现单级 GOA 单元控制两级电路反向扫描输出。

通过增加第二输出控制部分 501、第二输出缓冲部分 601 可以达到单级 GOA 单元控制两级电路反向扫描输出的效果，并且所述第二输出控制部分 501 与输出控制部分 500 共用一个驱动输出端 ST(N)，通过驱动输出端 ST(N)共用可减少 TFT 数目，实现超窄边框或无边框的设计。

综上所述，本发明的一种低温多晶硅半导体薄膜晶体管 GOA 电路，用于反向扫描传输，第 N 级 GOA 单元采用多个 N 型晶体管与多个 P 型晶体管，包括传输部分、传输控制部分、资料存储部分、数据清除部分、输出控制部分、及输出缓冲部分。所述传输部分具有传输闸；所述传输控制部分具有或非门逻辑单元、反相器、与传输闸；所述资料存储部分具有时序反相器、反相器；所述输出控制部分具有与非门逻辑单元、反相器；所述输出缓冲部分具有反相器；采用传输闸进行上下级传输信号，采用或非门逻辑单元和与非门逻辑单元对信号进行转换，用时序反相器和反相器对信号进行储存和传输，解决了 LTPS 单一型 TFT 的器件电路稳定性不佳，功耗较大的问题以及单一型 GOA 电路的 TFT 漏电的问题，优化了电路的性能；通过设置第二输出控制部分与第二输出缓冲部分，实现共用驱动输出端，使得单级 GOA 单元控制两级电路反向扫描输出，可减少 TFT 数目，实现超窄边框或无边框的设计。

以上所述，对于本领域的普通技术人员来说，可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形，而所有这些改变和变形都应属于本发明权利要求的保护范围。

权 利 要 求

1、一种低温多晶硅薄膜晶体管 GOA 电路，用于反向扫描传输，包括级联的多个 GOA 单元，设 N 为正整数，第 N 级 GOA 单元采用多个 N 型晶体管与多个 P 型晶体管，所述第 N 级 GOA 单元包括：传输部分、传输控制部分、资料存储部分、数据清除部分、输出控制部分及输出缓冲部分；

所述传输部分电性连接于第一低频信号、第二低频信号、所述第 N 级 GOA 单元的后一级第 $N+1$ 级 GOA 单元的驱动输出端与所述资料存储部分；所述传输控制部分电性连接于所述第 N 级 GOA 单元的后一级第 $N+1$ 级 GOA 单元的驱动输出端、所述第 N 级 GOA 单元的前一级第 $N-1$ 级 GOA 单元的驱动输出端、第 $M+2$ 级时序信号、电源高电位、电源低电位与资料存储部分；所述资料存储部分电性连接于所述传输部分、传输控制部分、数据清除部分、电源高电位与电源低电位；所述数据清除部分电性连接于所述资料存储部分、输出控制部分、电源高电位与复位信号端；所述输出控制部分电性连接于所述数据清除部分、输出缓冲部分、驱动输出端、时序信号、电源高电位与电源低电位；所述输出缓冲部分电性连于所述输出控制部分、输出端、电源高电位与电源低电位；

所述第一低频信号相当于直流低电位，所述第二低频信号相当于直流高电位；

所述传输部分包括一第三 P 型晶体管，所述第三 P 型晶体管的栅极电性连接于第一低频信号，源极电性连接于所述第 N 级 GOA 单元的后一级第 $N+1$ 级 GOA 单元的驱动输出端，漏极电性连接于第一节点；一第四 N 型晶体管，所述第四 N 型晶体管的栅极电性连接于第二低频信号，源极电性连接于所述第 N 级 GOA 单元的后一级第 $N+1$ 级 GOA 单元的驱动输出端，漏极电性连接于第一节点；

所述传输控制部分包括：

一第五 P 型晶体管，所述第五 P 型晶体管的栅极电性连接于所述第 N 级 GOA 单元的前一级第 $N-1$ 级 GOA 单元的驱动输出端，源极电性连接于电源高电位，漏极电性连接于第六 P 型晶体管的源极；

一第六 P 型晶体管，所述第六 P 型晶体管的栅极电性连接于所述第 N 级 GOA 单元的后一级第 $N+1$ 级 GOA 单元的驱动输出端，源极电性连接于第五 P 型晶体管的漏极，漏极电性连接于第七 N 型晶体管的源极；

一第七 N 型晶体管，所述第七 N 型晶体管的栅极电性连接于所述第 N

级 GOA 单元的前一级第 N-1 级 GOA 单元的驱动输出端，源极电性连接于第六 P 型晶体管的漏极，漏极电性连接于电源低电位；

一第八 N 型晶体管，所述第八 N 型晶体管的栅极电性连接于所述第 N 级 GOA 单元的后一级第 N+1 级 GOA 单元的驱动输出端，源极电性连接于
5 第六 P 型晶体管的漏极，漏极电性连接于电源低电位；

一第九 P 型晶体管，所述第九 P 型晶体管的栅极电性连接于第六 P 型晶体管的漏极，源极电性连接于电源高电位，漏极电性连接于第十 N 型晶体管的源极；

一第十 N 型晶体管，所述第十 N 型晶体管的栅极电性连接于第六 P 型
10 晶体管的漏极，源极电性连接于第九 P 型晶体管的漏极，漏极电性连接于电源低电位；

一第十一 P 型晶体管，所述第十一 P 型晶体管的栅极电性连接于第六 P 型晶体管的漏极，源极电性连接于第十二 N 型晶体管的源极，漏极电性连接于第 M+2 级时序信号；

一第十二 N 型晶体管，所述第十二 N 型晶体管的栅极电性连接于第九
15 P 型晶体管的漏极，源极电性连接于第十一 P 型晶体管的源极，漏极电性连接于第 M+2 级时序信号；

所述资料存储部分包括：

一第十三 N 型晶体管，所述第十三 N 型晶体管的栅极电性连接于第十一
20 P 型晶体管的源极，源极电性连接于第十四 P 型晶体管的漏极，漏极电性连接于电源低电位；

一第十四 P 型晶体管，所述第十四 P 型晶体管的栅极电性连接于第十一 P 型晶体管的源极，源极电性连接于电源高电位，漏极电性连接于第十三 N 型晶体管的源极；

一第十九 P 型晶体管，所述第十九 P 型晶体管的栅极电性连接于第十三
25 N 型晶体管的栅极，源极电性连接于电源高电位，漏极电性连接于第二十 P 型晶体管的源极；

一第二十 P 型晶体管，所述第二十 P 型晶体管的栅极电性连接于第一
30 节点，源极电性连接于第十九 P 型晶体管的漏极，漏极电性连接于第二十一 N 型晶体管的源极；

一第二十一 N 型晶体管，所述第二十一 N 型晶体管的栅极电性连接于第一节点，源极电性连接于第二十 P 型晶体管的漏极，漏极电性连接于第二十二 N 型晶体管的源极；

一第二十二 N 型晶体管，所述第二十二 N 型晶体管的栅极电性连接于

第十三 N 型晶体管的源极，源极电性连接于第二十一 N 型晶体管的漏极，漏极电性连接于电源低电位；

所述数据清除部分包括：

一第二十三 P 型晶体管，所述第二十三 P 型晶体管的栅极电性连接于复位信号端，源极电性连接于电源高电位，漏极电性连接于第二十 P 型晶体管的漏极；

所述输出控制部分包括：

一第二十四 P 型晶体管，所述第二十四 P 型晶体管的栅极电性连接于第二十 P 型晶体管的漏极，源极电性连接于电源高电位，漏极电性连接于驱动输出端；

一第二十五 N 型晶体管，所述第二十五 N 型晶体管的栅极电性连接于第二十 P 型晶体管的漏极，源极电性连接于驱动输出端，漏极电性连接于电源低电位；

一第二十六 P 型晶体管，所述第二十六 P 型晶体管的栅极电性连接于驱动输出端，源极电性连接于电源高电位，漏极电性连接于第二十九 N 型晶体管的源极；

一第二十七 N 型晶体管，所述第二十七 N 型晶体管的栅极电性连接于驱动输出端，源极电性连接于第二十九 N 型晶体管的漏极，漏极电性连接于电源低电位；

一第二十八 P 型晶体管，所述第二十八 P 型晶体管的栅极电性连接于时序信号，源极电性连接于电源高电位，漏极电性连接于第二十九 N 型晶体管的源极；

一第二十九 N 型晶体管，所述第二十九 N 型晶体管的栅极电性连接于时序信号，源极电性连接于第二十六 P 型晶体管的漏极，漏极电性连接于第二十七 N 型晶体管的源极；

所述输出缓冲部分包括：

一第三十 P 型晶体管，所述第三十 P 型晶体管的栅极电性连接于第二十九 N 型晶体管的源极，源极电性连接于电源高电位，漏极电性连接于第三十一 N 型晶体管的源极；

一第三十一 N 型晶体管，所述第三十一 N 型晶体管的栅极电性连接于第二十九 N 型晶体管的源极，源极电性连接于第三十 P 型晶体管的漏极，漏极电性连接于电源低电位；

一第三十二 P 型晶体管，所述第三十二 P 型晶体管的栅极电性连接于第三十 P 型晶体管的漏极，源极电性连接于电源高电位，漏极电性连接于

第三十三 N 型晶体管的源极;

一第三十三 N 型晶体管, 所述第三十三 N 型晶体管的栅极电性连接于第三十 P 型晶体管的漏极, 源极电性连接于第三十二 P 型晶体管的漏极, 漏极电性连接于电源低电位;

5 一第三十四 P 型晶体管, 所述第三十四 P 型晶体管的栅极电性连接于第三十二 P 型晶体管的漏极, 源极电性连接于电源高电位, 漏极电性连接于输出端;

一第三十五 N 型晶体管, 所述第三十五 N 型晶体管的栅极电性连接于第三十二 P 型晶体管的漏极, 源极电性连接于输出端, 漏极电性连接于电
10 源低电位。

2、如权利要求 1 所述的低温多晶硅薄膜晶体管 GOA 电路, 其中, 所述 GOA 电路还包括第二输出控制部分、第二输出缓冲部分;

所述第二输出控制部分电性连接于输出控制部分、驱动输出端、第 M+1 级时序信号、电源高电位与电源低电位; 所述第二输出缓冲部分电性连接
15 于所述第二输出控制部分、第 N-1 级 GOA 单元的输出端、电源高电位与电源低电位;

所述第二输出控制部分包括:

一第三十六 P 型晶体管, 所述第三十六 P 型晶体管的栅极电性连接于驱动输出端, 源极电性连接于电源高电位, 漏极电性连接于第三十九 N 型
20 晶体管的源极;

一第三十七 N 型晶体管, 所述第三十七 N 型晶体管的栅极电性连接于驱动输出端, 源极电性连接于第三十九 N 型晶体管的漏极, 漏极电性连接于电源低电位;

一第三十八 P 型晶体管, 所述第三十八 P 型晶体管的栅极电性连接于第 M+1 级时序信号, 源极电性连接于电源高电位, 漏极电性连接于第三十九 N 型晶体管的源极;

一第三十九 N 型晶体管, 所述第三十九 N 型晶体管的栅极电性连接于第 M+1 级时序信号, 源极电性连接于第三十六 P 型晶体管的漏极, 漏极电性连接于第三十七 N 型晶体管的源极;

30 所述第二输出缓冲部分包括:

一第四十 P 型晶体管, 所述第四十 P 型晶体管的栅极电性连接于第三十九 N 型晶体管的源极, 源极电性连接于电源高电位, 漏极电性连接于第四十一 N 型晶体管的源极;

一第四十一 N 型晶体管, 所述第四十一 N 型晶体管的栅极电性连接于

第三十九 N 型晶体管的源极, 源极电性连接于第四十 P 型晶体管的漏极, 漏极电性连接于电源低电位;

一第四十二 P 型晶体管, 所述第四十二 P 型晶体管的栅极电性连接于第四十 P 型晶体管的漏极, 源极电性连接于电源高电位, 漏极电性连接于
5 第四十三 N 型晶体管的源极;

一第四十三 N 型晶体管, 所述第四十三 N 型晶体管的栅极电性连接于第四十 P 型晶体管的漏极, 源极电性连接于第四十二 P 型晶体管的漏极, 漏极电性连接于电源低电位;

一第四十四 P 型晶体管, 所述第四十四 P 型晶体管的栅极电性连接于
10 第四十二 P 型晶体管的漏极, 源极电性连接于电源高电位, 漏极电性连接于第 N-1 级 GOA 单元的输出端;

一第四十五 N 型晶体管, 所述第四十五 N 型晶体管的栅极电性连接于第四十二 P 型晶体管的漏极, 源极电性连接于第 N-1 级 GOA 单元的输出端, 漏极电性连接于电源低电位。

15 3、如权利要求 1 所述的低温多晶硅薄膜晶体管 GOA 电路, 其中, 所述 GOA 电路的第一级连接关系中, 所述第五 P 型晶体管的栅极、第七 N 型晶体管的栅极均电性连接于电路的启动信号端。

4、如权利要求 1 所述的低温多晶硅薄膜晶体管 GOA 电路, 其中, 所述 GOA 电路的最后一级连接关系中, 所述第三 P 型晶体管的源极、第四 N
20 型晶体管的源极、第六 P 型晶体管的栅极、第八 N 型晶体管的栅极均电性连接于电路的启动信号端。

5、如权利要求 1 所述的低温多晶硅薄膜晶体管 GOA 电路, 其中, 所述传输部分中第三 P 型晶体管和第四 N 型晶体管构成一传输闸, 用于将第 N+1 级 GOA 单元的驱动输出信号反向传输至资料存储部分。

25 6、如权利要求 1 所述的低温多晶硅薄膜晶体管 GOA 电路, 其中, 所述传输控制部分中第五 P 型晶体管、第六 P 型晶体管、第七 N 型晶体管、第八 N 型晶体管构成或非门逻辑单元; 第九 P 型晶体管、第十 N 型晶体管构成反相器; 第十一 P 型晶体管和第十二 N 型晶体管构成传输闸; 所述传输控制部分用于控制第 M+2 级时序信号, 并将其传输到资料存储部分。

30 7、如权利要求 1 所述的低温多晶硅薄膜晶体管 GOA 电路, 其中, 所述资料存储部分中第十九 P 型晶体管、第二十 P 型晶体管、第二十一 N 型晶体管、第二十二 N 型晶体管构成时序反向器; 第十三 N 型晶体管、第十四 P 型晶体管构成反相器; 所述资料存储部分用于对由第 N+1 级 GOA 单元的驱动输出端和第 M+2 级时序信号传入的信号进行存储和传输。

8、如权利要求 1 所述的低温多晶硅薄膜晶体管 GOA 电路，其中，所述数据清除部分用于对电路的驱动输出端电位的适时清除。

9、如权利要求 1 所述的低温多晶硅薄膜晶体管 GOA 电路，其中，所述输出控制部分中第二十六 P 型晶体管、第二十七 N 型晶体管、第二十八 P 型晶体管、第二十九 N 型晶体管构成与非门逻辑单元；第二十四 P 型晶体管、第二十五 N 型晶体管构成反向器；所述输出控制部分用于对输出端输出的扫描信号进行控制，输出符合时序的扫描信号。

10、如权利要求 1 所述的低温多晶硅薄膜晶体管 GOA 电路，其中，所述输出缓冲部分中第三十 P 型晶体管和第三十一 N 型晶体管、第三十二 P 型晶体管和第三十三 N 型晶体管、第三十四 P 型晶体管和第三十五 N 型晶体管分别构成三个反向器，用于对经过时序调整的扫描信号进行调整，同时增强带负载能力。

11、如权利要求 2 所述的低温多晶硅薄膜晶体管 GOA 电路，其中，所述第二输出控制部分中第三十六 P 型晶体管，第三十七 N 型晶体管，第三十八 P 型晶体管、第三十九 N 型晶体管构成与非门逻辑单元，用于对第 N-1 级 GOA 单元的输出端输出的扫描信号进行控制，输出符合时序的扫描信号；所述第二输出缓冲部分中第四十 P 型晶体管和第四十一 N 型晶体管、第四十二 P 型晶体管和第四十三 N 型晶体管、第四十四 P 型晶体管和第四十五 N 型晶体管分别构成三个反向器，用于对经过时序调整的扫描信号进行调整，同时增强带负载能力；所述第二输出控制部分和第二输出缓冲部分依据驱动输出端的输出信号与第 M+1 级时序信号，由第 N-1 级 GOA 单元的输出端输出前一级扫描信号，实现单级 GOA 单元控制两级电路反向扫描输出。

12、如权利要求 2 所述的低温多晶硅薄膜晶体管 GOA 电路，其中，所述时序信号包括四组时序信号：第一时序信号、第二时序信号、第三时序信号、第四时序信号，当所述时序信号为第四时序信号时，所述第 M+2 级时序信号为第二时序信号，当所述时序信号为第三时序信号时，所述第 M+2 级时序信号为第一时序信号，当所述时序信号为第四时序信号，所述第 M+1 级时序信号为第一时序信号。

13、一种低温多晶硅薄膜晶体管 GOA 电路，用于反向扫描传输，包括级联的多个 GOA 单元，设 N 为正整数，第 N 级 GOA 单元采用多个 N 型晶体管与多个 P 型晶体管，所述第 N 级 GOA 单元包括：传输部分、传输控制部分、资料存储部分、数据清除部分、输出控制部分及输出缓冲部分；所述传输部分电性连接于第一低频信号、第二低频信号、所述第 N 级

GOA单元的后一级第N+1级GOA单元的驱动输出端与所述资料存储部分；所述传输控制部分电性连接于所述第N级GOA单元的后一级第N+1级GOA单元的驱动输出端、所述第N级GOA单元的前一级第N-1级GOA单元的驱动输出端、第M+2级时序信号、电源高电位、电源低电位与资料存储部分；所述资料存储部分电性连接于所述传输部分、传输控制部分、数据清除部分、电源高电位与电源低电位；所述数据清除部分电性连接于所述资料存储部分、输出控制部分、电源高电位与复位信号端；所述输出控制部分电性连接于所述数据清除部分、输出缓冲部分、驱动输出端、时序信号、电源高电位与电源低电位；所述输出缓冲部分电性连于所述输出控制部分、输出端、电源高电位与电源低电位；

所述第一低频信号相当于直流低电位，所述第二低频信号相当于直流高电位；

所述传输部分包括一第三P型晶体管，所述第三P型晶体管的栅极电性连接于第一低频信号，源极电性连接于所述第N级GOA单元的后一级第N+1级GOA单元的驱动输出端，漏极电性连接于第一节点；一第四N型晶体管，所述第四N型晶体管的栅极电性连接于第二低频信号，源极电性连接于所述第N级GOA单元的后一级第N+1级GOA单元的驱动输出端，漏极电性连接于第一节点；

所述传输控制部分包括：

一第五P型晶体管，所述第五P型晶体管的栅极电性连接于所述第N级GOA单元的前一级第N-1级GOA单元的驱动输出端，源极电性连接于电源高电位，漏极电性连接于第六P型晶体管的源极；

一第六P型晶体管，所述第六P型晶体管的栅极电性连接于所述第N级GOA单元的后一级第N+1级GOA单元的驱动输出端，源极电性连接于第五P型晶体管的漏极，漏极电性连接于第七N型晶体管的源极；

一第七N型晶体管，所述第七N型晶体管的栅极电性连接于所述第N级GOA单元的前一级第N-1级GOA单元的驱动输出端，源极电性连接于第六P型晶体管的漏极，漏极电性连接于电源低电位；

一第八N型晶体管，所述第八N型晶体管的栅极电性连接于所述第N级GOA单元的后一级第N+1级GOA单元的驱动输出端，源极电性连接于第六P型晶体管的漏极，漏极电性连接于电源低电位；

一第九P型晶体管，所述第九P型晶体管的栅极电性连接于第六P型晶体管的漏极，源极电性连接于电源高电位，漏极电性连接于第十N型晶体管的源极；

一第十 N 型晶体管, 所述第十 N 型晶体管的栅极电性连接于第六 P 型晶体管的漏极, 源极电性连接于第九 P 型晶体管的漏极, 漏极电性连接于电源低电位;

5 一第十一 P 型晶体管, 所述第十一 P 型晶体管的栅极电性连接于第六 P 型晶体管的漏极, 源极电性连接于第十二 N 型晶体管的源极, 漏极电性连接于第 M+2 级时序信号;

一第十二 N 型晶体管, 所述第十二 N 型晶体管的栅极电性连接于第九 P 型晶体管的漏极, 源极电性连接于第十一 P 型晶体管的源极, 漏极电性连接于第 M+2 级时序信号;

10 所述资料存储部分包括:

一第十三 N 型晶体管, 所述第十三 N 型晶体管的栅极电性连接于第十一 P 型晶体管的源极, 源极电性连接于第十四 P 型晶体管的漏极, 漏极电性连接于电源低电位;

15 一第十四 P 型晶体管, 所述第十四 P 型晶体管的栅极电性连接于第十一 P 型晶体管的源极, 源极电性连接于电源高电位, 漏极电性连接于第十三 N 型晶体管的源极;

一第十九 P 型晶体管, 所述第十九 P 型晶体管的栅极电性连接于第十三 N 型晶体管的栅极, 源极电性连接于电源高电位, 漏极电性连接于第二十 P 型晶体管的源极;

20 一第二十 P 型晶体管, 所述第二十 P 型晶体管的栅极电性连接于第一节点, 源极电性连接于第十九 P 型晶体管的漏极, 漏极电性连接于第二十一 N 型晶体管的源极;

25 一第二十一 N 型晶体管, 所述第二十一 N 型晶体管的栅极电性连接于第一节点, 源极电性连接于第二十 P 型晶体管的漏极, 漏极电性连接于第二十二 N 型晶体管的源极;

一第二十二 N 型晶体管, 所述第二十二 N 型晶体管的栅极电性连接于第十三 N 型晶体管的源极, 源极电性连接于第二十一 N 型晶体管的漏极, 漏极电性连接于电源低电位;

所述数据清除部分包括:

30 一第二十三 P 型晶体管, 所述第二十三 P 型晶体管的栅极电性连接于复位信号端, 源极电性连接于电源高电位, 漏极电性连接于第二十 P 型晶体管的漏极;

所述输出控制部分包括:

一第二十四 P 型晶体管, 所述第二十四 P 型晶体管的栅极电性连接于

第二十 P 型晶体管的漏极，源极电性连接于电源高电位，漏极电性连接于驱动输出端；

一第二十五 N 型晶体管，所述第二十五 N 型晶体管的栅极电性连接于第二十 P 型晶体管的漏极，源极电性连接于驱动输出端，漏极电性连接于
5 电源低电位；

一第二十六 P 型晶体管，所述第二十六 P 型晶体管的栅极电性连接于驱动输出端，源极电性连接于电源高电位，漏极电性连接于第二十九 N 型晶体管的源极；

一第二十七 N 型晶体管，所述第二十七 N 型晶体管的栅极电性连接于
10 驱动输出端，源极电性连接于第二十九 N 型晶体管的漏极，漏极电性连接于电源低电位；

一第二十八 P 型晶体管，所述第二十八 P 型晶体管的栅极电性连接于时序信号，源极电性连接于电源高电位，漏极电性连接于第二十九 N 型晶体管的源极；

一第二十九 N 型晶体管，所述第二十九 N 型晶体管的栅极电性连接于
15 时序信号，源极电性连接于第二十六 P 型晶体管的漏极，漏极电性连接于第二十七 N 型晶体管的源极；

所述输出缓冲部分包括：

一第三十 P 型晶体管，所述第三十 P 型晶体管的栅极电性连接于第二
20 十九 N 型晶体管的源极，源极电性连接于电源高电位，漏极电性连接于第三十一 N 型晶体管的源极；

一第三十一 N 型晶体管，所述第三十一 N 型晶体管的栅极电性连接于第二十九 N 型晶体管的源极，源极电性连接于第三十 P 型晶体管的漏极，漏极电性连接于电源低电位；

一第三十二 P 型晶体管，所述第三十二 P 型晶体管的栅极电性连接于
25 第三十 P 型晶体管的漏极，源极电性连接于电源高电位，漏极电性连接于第三十三 N 型晶体管的源极；

一第三十三 N 型晶体管，所述第三十三 N 型晶体管的栅极电性连接于第三十 P 型晶体管的漏极，源极电性连接于第三十二 P 型晶体管的漏极，
30 漏极电性连接于电源低电位；

一第三十四 P 型晶体管，所述第三十四 P 型晶体管的栅极电性连接于第三十二 P 型晶体管的漏极，源极电性连接于电源高电位，漏极电性连接于输出端；

一第三十五 N 型晶体管，所述第三十五 N 型晶体管的栅极电性连接于

第三十二 P 型晶体管的漏极，源极电性连接于输出端，漏极电性连接于电源低电位；

其中，所述传输部分中第三 P 型晶体管和第四 N 型晶体管构成一传输闸，用于将第 N+1 级 GOA 单元的驱动输出信号反向传输至资料存储部分；

5 其中，所述传输控制部分中第五 P 型晶体管、第六 P 型晶体管、第七 N 型晶体管、第八 N 型晶体管构成或非门逻辑单元；第九 P 型晶体管、第十 N 型晶体管构成反相器；第十一 P 型晶体管和第十二 N 型晶体管构成传输闸；所述传输控制部分用于控制第 M+2 级时序信号，并将其传输到资料存储部分；

10 其中，所述资料存储部分中第十九 P 型晶体管、第二十 P 型晶体管、第二十一 N 型晶体管、第二十二 N 型晶体管构成时序反向器；第十三 N 型晶体管、第十四 P 型晶体管构成反向器；所述资料存储部分用于对由第 N+1 级 GOA 单元的驱动输出端和第 M+2 级时序信号传入的信号进行存储和传输；

15 其中，所述数据清除部分用于对电路的驱动输出端电位的适时清除；

其中，所述输出控制部分中第二十六 P 型晶体管、第二十七 N 型晶体管、第二十八 P 型晶体管、第二十九 N 型晶体管构成与非门逻辑单元；第二十四 P 型晶体管、第二十五 N 型晶体管构成反向器；所述输出控制部分用于对输出端输出的扫描信号进行控制，输出符合时序的扫描信号；

20 其中，所述输出缓冲部分中第三十 P 型晶体管和第三十一 N 型晶体管、第三十二 P 型晶体管和第三十三 N 型晶体管、第三十四 P 型晶体管和第三十五 N 型晶体管分别构成三个反向器，用于对经过时序调整的扫描信号进行调整，同时增强带负载能力。

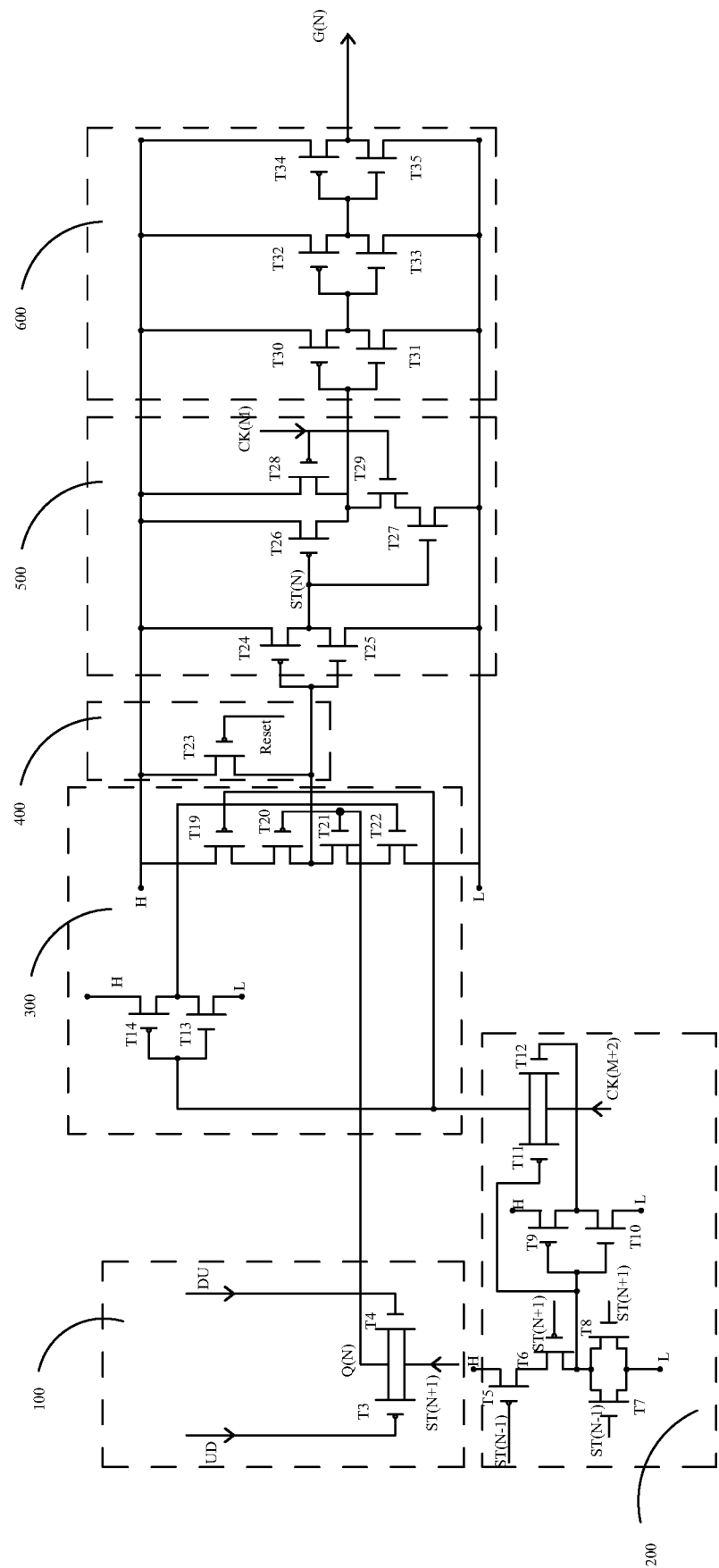


图1

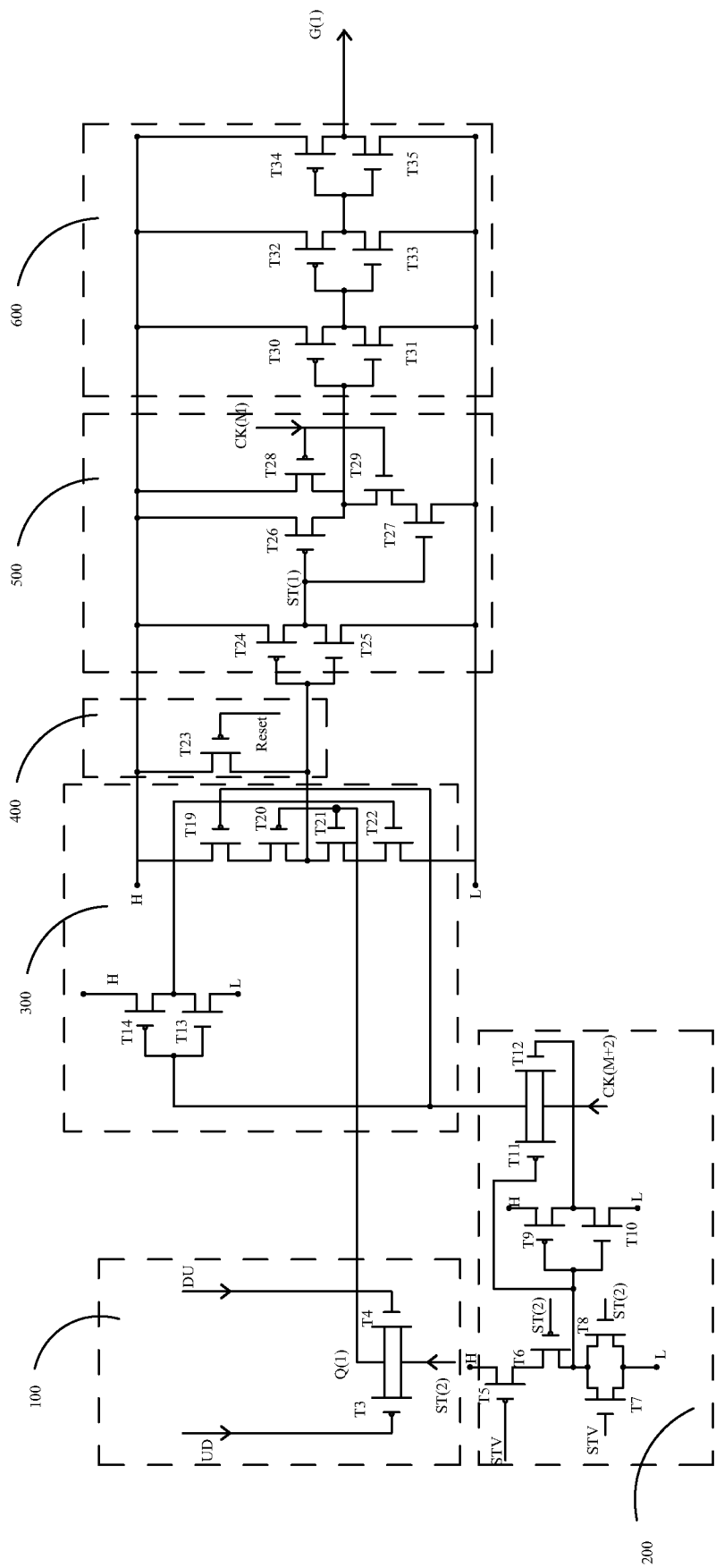


图2

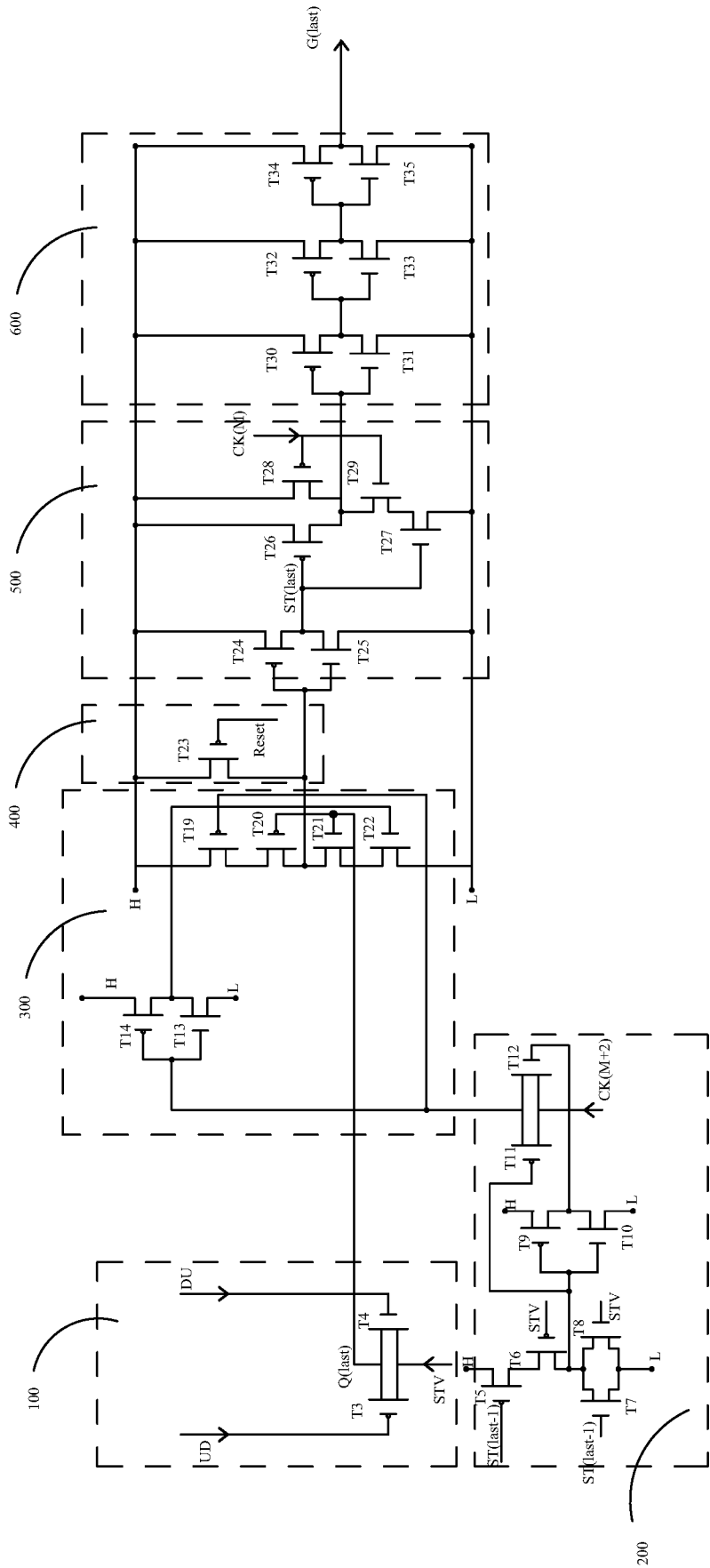


图3

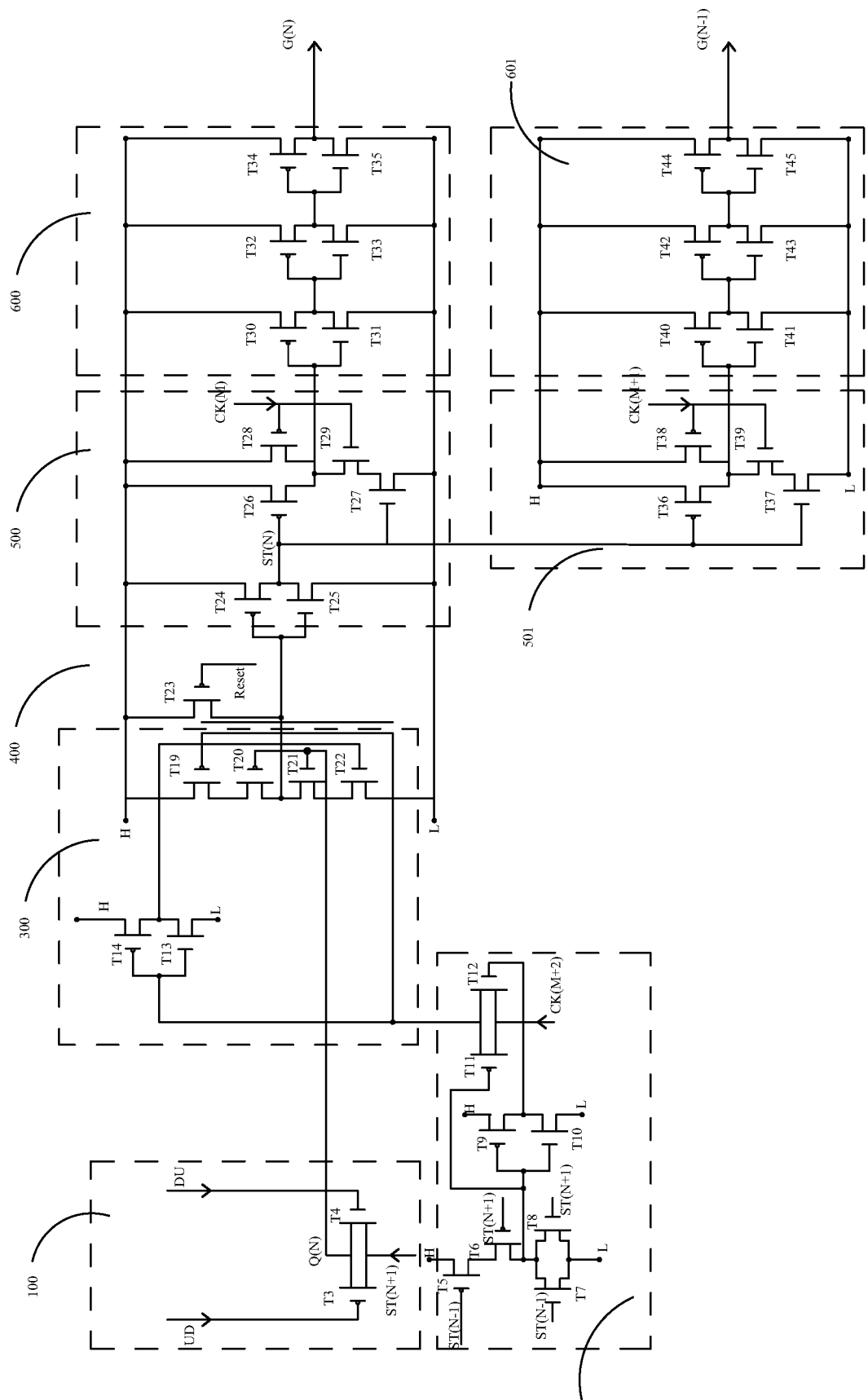


图4

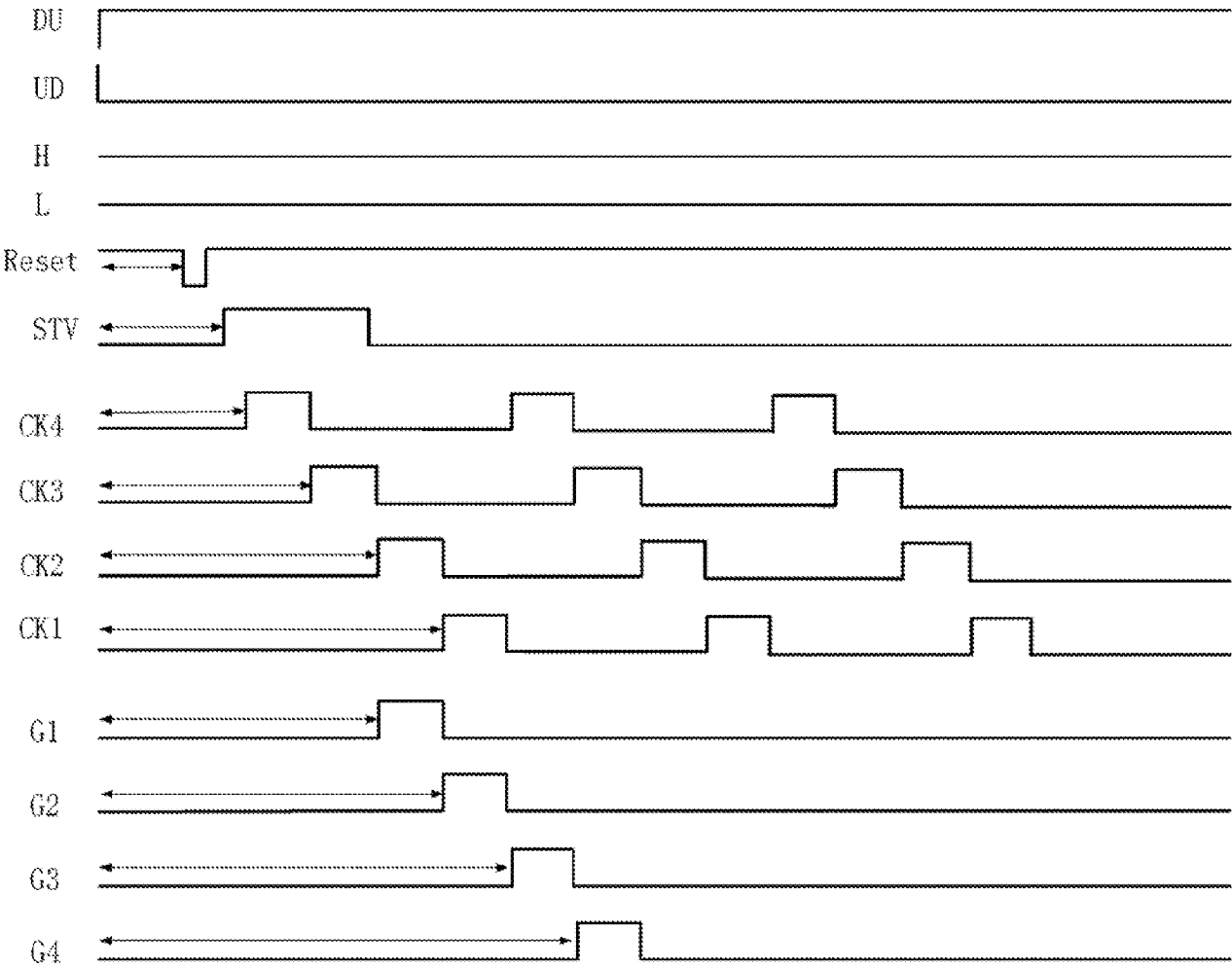


图5

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2015/072359

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G 3/-; G02F 1/-; G11C 19/

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CPRSABS, CNTXT, CNKI, WPI, EPODOC: low temperature poly silicon, thin film transistor, grid driving circuit, data elimination, output, buffer, LTFS, FTF, GOA, PULL-UP, PULL-DOWN, TRANSFER+, CONTROL+, DATA SAV+, OUTPUT BUFFER, INVERSE SCAN+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 103915052 A (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.), 09 July 2014 (09.07.2014), description, paragraphs 48-52 and 56-73, and figures 1, 2, 4 and 5	1-13
A	CN 103928007 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 16 July 2014 (16.07.2014), the whole document	1-13
A	CN 102226940 A (AU OPTRONICS CORP.), 26 October 2011 (26.10.2011), the whole document	1-13
A	CN 102629463 A (BOE TECHNOLOGY GROUP CO., LTD.), 08 August 2012 (08.08.2012), the whole document	1-13
A	TW 201209490 A (AU OPTRONICS CORP.), 01 March 2012 (01.03.2012), the whole document	1-13
A	US 2011150169 A1 (AU OPTRONICS CORP.), 23 June 2011 (23.06.2011), the whole document	1-13

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 10 July 2015 (10.07.2015)	Date of mailing of the international search report 21 July 2015 (21.07.2015)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer LI, Xiugai Telephone No.: (86-10) 82245660

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2015/072359

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103915052 A	09 July 2014	None	
CN 103928007 A	16 July 2014	None	
CN 102226940 A	26 October 2011	EP 2400481 A1	28 December 2011
		TW I412231 B	11 October 2013
		US 2011316833 A1	29 December 2011
		TW 201201514 A	01 January 2012
		CN 102226940 B	22 May 2013
		US 8325127 B2	04 December 2012
CN 102629463 A	08 August 2012	WO 2013143316 A1	03 October 2013
		US 2014104153 A1	17 April 2014
		CN 102629463 B	09 October 2013
		US 9019192 B2	28 April 2015
TW 201209490 A	01 March 2012	US 8704978 B2	22 April 2014
		US 2012050633 A1	01 March 2012
US 2011150169 A1	23 June 2011	TW 201123728 A	01 July 2011
		TW I384756 B	01 February 2013
		US 8098791 B2	17 January 2012

国际检索报告

国际申请号

PCT/CN2015/072359

A. 主题的分类

G09G 3/36(2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G3/-;G02F1/-;G11C19/

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS, CPRABS, CNTXT, CNKI, WPI, EPODOC: 低温多晶硅, 薄膜晶体管, 栅极驱动电路, 上拉, 下拉, 传输, 资料存储, 数据清除, 输出, 控制, 缓冲, 反向扫描, LTPS, FTF, GOA, PULL-UP, PULL-DOWN, TRANSFER+, CONTROL+, DATA SAV+, OUTPUT BUFFER, INVERSE SCAN+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 103915052 A (北京京东方光电科技有限公司) 2014年 7月 9日 (2014 - 07 - 09) 说明书第48-52、56-73段、附图1, 2, 4, 5	1-13
A	CN 103928007 A (深圳市华星光电技术有限公司) 2014年 7月 16日 (2014 - 07 - 16) 全文	1-13
A	CN 102226940 A (友达光电股份有限公司) 2011年 10月 26日 (2011 - 10 - 26) 全文	1-13
A	CN 102629463 A (京东方科技集团股份有限公司) 2012年 8月 8日 (2012 - 08 - 08) 全文	1-13
A	TW 201209490 A (AU OPTRONICS CORP.) 2012年 3月 1日 (2012 - 03 - 01) 全文	1-13
A	US 2011150169 A1 (AU OPTRONICS CORP.) 2011年 6月 23日 (2011 - 06 - 23) 全文	1-13

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2015年 7月 10日

国际检索报告邮寄日期

2015年 7月 21日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
北京市海淀区蓟门桥西土城路6号
100088 中国

传真号 (86-10)62019451

授权官员

李秀改

电话号码 (86-10)82245660

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/072359

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	103915052	A	2014年 7月 9日	无			
CN	103928007	A	2014年 7月 16日	无			
CN	102226940	A	2011年 10月 26日	EP	2400481	A1	2011年 12月 28日
				TW	I412231	B	2013年 10月 11日
				US	2011316833	A1	2011年 12月 29日
				TW	201201514	A	2012年 1月 1日
				CN	102226940	B	2013年 5月 22日
				US	8325127	B2	2012年 12月 4日
CN	102629463	A	2012年 8月 8日	WO	2013143316	A1	2013年 10月 3日
				US	2014104153	A1	2014年 4月 17日
				CN	102629463	B	2013年 10月 9日
				US	9019192	B2	2015年 4月 28日
TW	201209490	A	2012年 3月 1日	US	8704978	B2	2014年 4月 22日
				US	2012050633	A1	2012年 3月 1日
US	2011150169	A1	2011年 6月 23日	TW	201123728	A	2011年 7月 1日
				TW	I384756	B	2013年 2月 1日
				US	8098791	B2	2012年 1月 17日

表 PCT/ISA/210 (同族专利附件) (2009年7月)