



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201937486 A

(43)公開日：中華民國 108 (2019) 年 09 月 16 日

(21)申請案號：108119281

(22)申請日：中華民國 106 (2017) 年 08 月 30 日

(51)Int. Cl.：

*G11C5/06 (2006.01)**G11C11/24 (2006.01)**G11C11/22 (2006.01)*

(30)優先權：2016/08/31

美國

15/252,886

(71)申請人：美商美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)

美國

(72)發明人：萊恩 凱文 J RYAN, KEVIN J. (US)；普拉爾 克拉克 D PRALL, KIRK D.

(US)；拉瑪斯瓦米 杜拉 維斯哈克 尼爾摩 RAMASWAMY, DURAI VISHAK

NIRMAL (US)；奎因 羅伯特 QUINN, ROBERT (US)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：1 項 圖式數：15 共 69 頁

(54)名稱

混合式記憶體裝置

(57)摘要

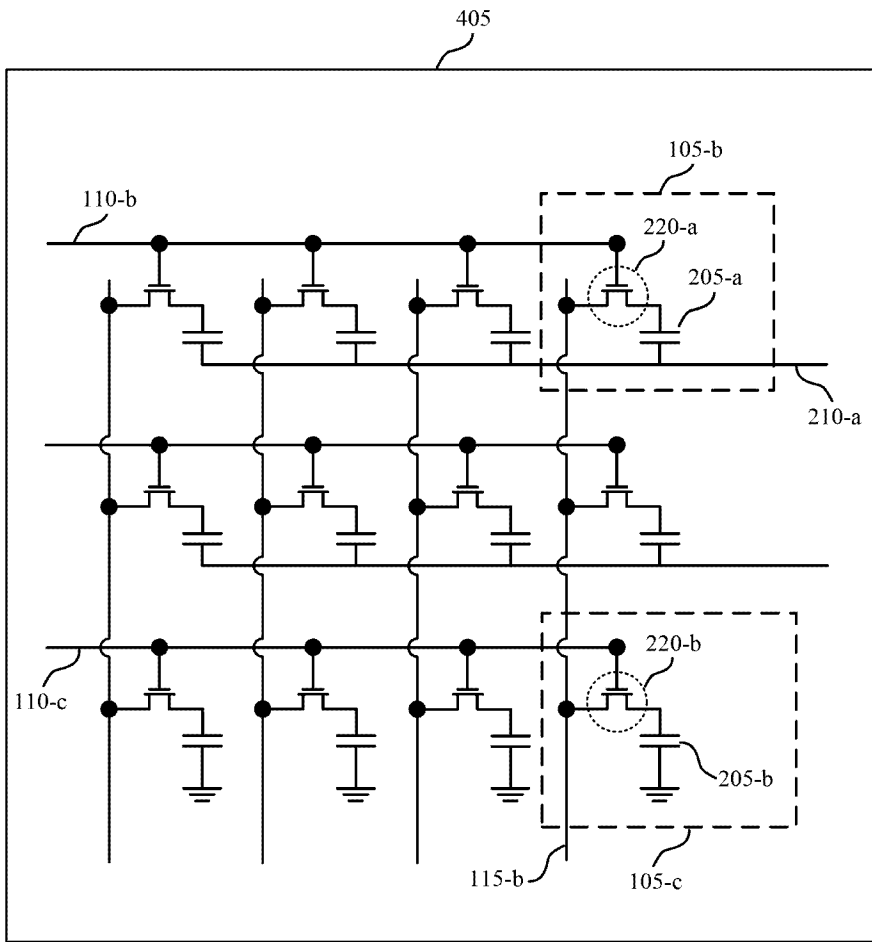
本發明描述用於一混合式記憶體裝置之方法、系統及裝置。該混合式記憶體裝置可包含一單一基板或晶粒上之揮發性及非揮發性記憶體胞。該等非揮發性記憶體胞可具有鐵電電容器，且該等揮發性記憶體胞之各自邏輯儲存組件可具有順電 (paraelectric) 或線性介電電容器。在一些實例中，該等揮發性記憶體胞可用作該等非揮發性記憶體胞之一快取區。或者，該等非揮發性記憶體胞可用作該等揮發性記憶體胞之一備份。藉由將兩種類型之胞放置於一單一晶粒上，而非放置於分離晶粒上，各種效能度量可改良，包含與電力消耗及操作速度有關之彼等度量。

Methods, systems, and devices for a hybrid memory device are described. The hybrid memory device may include volatile and non-volatile memory cells on a single substrate, or die. The non-volatile memory cells may have ferroelectric capacitors and the volatile memory cells may have paraelectric or linear dielectric capacitors for their respective logic storage components. In some examples, the volatile memory cells may be used as a cache for the non-volatile memory cells. Or the non-volatile memory cells may be used as a back-up for the volatile memory cells. By placing both types of cells on a single die, rather than separate dies, various performance metrics may be improved, including those related to power consumption and operation speed.

指定代表圖：

符號簡單說明：

- 100-a . . . 記憶體陣列
- 105-b . . . 記憶體胞
- 105-c . . . 記憶體胞
- 110-b . . . 字線
- 110-c . . . 字線
- 115-b . . . 位元線
- 205-a . . . 電容器
- 205-b . . . 電容器
- 210-a . . . 板線
- 220-a . . . 選擇組件
- 220-b . . . 選擇組件
- 405 . . . 基板



【圖4】

100-a

## 【發明說明書】

### 【中文發明名稱】

混合式記憶體裝置

### 【英文發明名稱】

HYBRID MEMORY DEVICE

### 【技術領域】

### 【先前技術】

下文大體上係關於記憶體裝置，且更具體言之，係關於一混合式記憶體裝置。

記憶體裝置廣泛用於將資訊儲存於諸如電腦、無線通信裝置、相機、數位顯示器及其類似者之各種電子裝置中。藉由程式化一記憶體裝置之不同狀態來儲存資訊。舉例而言，二進位裝置具有兩種狀態，其等通常由一邏輯「1」或一邏輯「0」標示。在其他系統中，可儲存兩種以上狀態。為存取所儲存之資訊，電子裝置可讀取或感測記憶體裝置中之儲存狀態。為儲存資訊，電子裝置可將狀態寫入於記憶體裝置中或程式化記憶體裝置中之狀態。

存在各種類型之記憶體裝置，包含隨機存取記憶體(RAM)、唯讀記憶體(ROM)、動態RAM (DRAM)、同步動態RAM (SDRAM)、鐵電RAM (FeRAM)、磁性RAM (MRAM)、電阻式RAM (RRAM)、快閃記憶體及其他記憶體。記憶體裝置可係揮發性或非揮發性。非揮發性記憶體(例如，快閃記憶體)可甚至在缺乏一外部電源之情況下儲存資料達延長時間週期。揮發性記憶體裝置(例如，DRAM)可隨時間丟失其等儲存資料，除非其等由一外部電源週期性刷新。一二進位記憶體裝置可(例如)包含一充

電或放電電容器。然而，一充電電容器可透過洩漏電流隨時間變成放電，從而導致儲存資訊之丟失。然而，揮發性記憶體之某些特徵可提供效能優勢，諸如更快之讀取或寫入速度，而非揮發性記憶體之特徵(諸如在無週期性刷新之情況下儲存資料之能力)可係有利的。

採用揮發性記憶體還是非揮發性記憶體之一判定通常係特定於使用記憶體裝置之電子裝置之應用。由於各類型之相對益處及缺點，選擇一種記憶體類型而非另一記憶體類型可導致至少一個度量或特性中之減小效能。此可最終限制電子裝置之效能。

#### 【發明內容】

#### 【圖式簡單說明】

本文中之揭示內容係指且包含下列圖：

圖1繪示根據本發明之各項實施例之支援一混合式記憶體裝置之一實例性記憶體陣列；

圖2繪示根據本發明之各項實施例之由一混合式記憶體裝置支援之一記憶體胞之一實例性電路；

圖3繪示根據本發明之各項實施例之由一混合式記憶體裝置支援之一鐵電記憶體胞之實例性磁滯曲線圖；

圖4繪示根據本發明之各項實施例之支援一混合式記憶體裝置之一實例性記憶體陣列；

圖5繪示根據本發明之各項實施例之支援一混合式記憶體裝置之一實例性記憶體陣列；

圖6繪示根據本發明之各項實施例之包含一混合式記憶體裝置之支援一混合式記憶體裝置之一系統；

圖7A至圖7C繪示根據本發明之各項實施例之用於形成一混合式記憶體裝置之一實例性程序流；

圖8繪示根據本發明之各項實施例之用於形成一混合式記憶體裝置之一實例性程序流；

圖9繪示根據本發明之各項實施例之一實例性混合式記憶體裝置之一方塊圖；

圖10繪示根據本發明之各項實施例之包含一混合式記憶體裝置之支援一混合式記憶體裝置之一系統；

圖11至圖13係繪示根據本發明之各項實施例之用於操作一混合式記憶體裝置之一方法或若干方法之流程圖；及

圖14至圖15係繪示根據本發明之各項實施例之用於形成一混合式記憶體裝置之一方法或若干方法之流程圖。

### 【實施方式】

#### 交叉參考

本專利申請案主張由Ryan在2016年8月31日申請、讓與其受讓人之題為「Hybrid Memory Device」之美國專利申請案第15/252,886號之優先權。

揭示將揮發性及非揮發性記憶體胞組合於一單一基板或晶粒上之一混合式記憶體裝置。該混合式裝置可具有兩種記憶體技術之有益屬性：與非揮發性記憶體胞之長期儲存裝置耦合之揮發性記憶體胞之典型快速讀取及寫入操作。藉由在一單一晶粒而非分離晶粒上或甚至在同一記憶體陣列內形成兩種類型，可改良各種效能度量，包含兩種記憶體類型之間之資料轉移之減小延時、減小電力要求及減小記憶體裝置之面積，對於包含電力

敏感裝置及空間敏感裝置之諸多電子裝置(諸如行動裝置)，其中全部皆係相關的。

混合式記憶體裝置可包含揮發性記憶體胞(例如，具有順電電容器之DRAM)及非揮發性記憶體胞(例如，具有鐵電電容器之FeRAM)。與FeRAM相比，DRAM可具有經改良效能，包含延時(存取速度)、耐久性(最大存取數目)、有效功率或原始位元錯誤率。然而，DRAM係揮發性的且需要刷新處理及一恆定電力供應器，而FeRAM可能不具有刷新要求。因此，藉由組合DRAM與FeRAM，一記憶體裝置可組合兩者之正向屬性。

將兩種記憶體類型組合於一單一晶粒上提供進一步益處。一晶粒可經界定為構成記憶體陣列之電子電路形成於其上之半導體材料之個別零件。一單一半導體晶圓可導致多個晶粒，其中晶圓在處理後經切割成個別晶粒。因此，一個處理流可導致具有形成於晶粒上之多種記憶體類型之一單一晶粒，其可比生產各具有一不同記憶體類型之兩個分離晶粒便宜。此外，與使用分離DRAM及FeRAM晶粒相比，此可導致一減小面積。此外，與分離記憶體晶粒相比，一混合式記憶體裝置可具有減小延時，此係因為資訊在一單一晶粒上之記憶體胞之間之移動可快於資訊透過各種介面、組件及控制器至一第二晶粒之移動。

在本文描述之一些實例中，一單一記憶體陣列可能主要含有鐵電電容器與一些順電電容器或線性電容器。如本文描述，描述或論述順電材料或順電電容器之實例可另外或替代地採用線性材料，或亦可係線性電容器。舉例而言，順電電容器可用作至FeRAM陣列之一DRAM快取區。FeRAM胞可具有一耐久極限，使得其等可能由於藉由讀取或寫入鐵電材

料引發之降級而不再儲存可區分邏輯值。DRAM快取區可幫助防止FeRAM胞到達其等耐久極限，此係因為一DRAM胞之順電電容器可具有比FeRAM胞大諸多數量級之一耐久極限。對一FeRAM胞之讀取嘗試可經快取於一DRAM胞中，且對同一FeRAM胞之任何未來讀取嘗試可經引導至DRAM胞，從而消除對存取FeRAM胞之需求。另外或替代地，可偵測對一FeRAM胞之重複存取嘗試，且資料可經轉移至一DRAM胞，且未來存取嘗試可經引導至DRAM胞。DRAM快取區可採取以下形式：記憶體裝置之一單一系列、每記憶體庫一系列或各種列/行組合。

在本文描述之一些實例中，分離記憶體陣列、DRAM及FeRAM可經形成於一單一晶粒上，且DRAM陣列可用作非揮發性FeRAM陣列之一快取區。因此，DRAM陣列可用作一可迅速存取記憶體，且FeRAM陣列可用作長期儲存裝置。可在兩個陣列之間交換更大量資料，諸如數頁資料。在一些情況中，可內部(即，在晶粒上)管理此轉移，且因此與資料在分離晶粒上之分離記憶體陣列之間之移動相比，此轉移可具有減小延時。

在本文描述之一些實例中，一FeRAM陣列可在一電力中斷事件中藉由將資料自DRAM轉移至FeRAM而用作DRAM陣列之一備份。分離DRAM及FeRAM陣列可形成於同一晶粒上。部分或全部DRAM資料可經轉移至FeRAM陣列。因為兩個陣列皆在同一晶粒上，故此轉移可比將資料轉移至一分離晶粒之情況更快，且消耗更少電力。此可減小或消除對在轉移期間提供電力之額外組件之需要。

下文在一記憶體陣列之背景內容中進一步描述上文引入之本揭示內容之特徵。接著，針對在一單一晶粒上包含揮發性及非揮發性記憶體胞之各項實施例，描述具體實例。由與一混合式記憶體裝置有關之設備圖、系

統圖及流程圖進一步繪示且參考該等設備圖、系統圖及流程圖描述本揭示內容之此等及其他特徵。

**圖1**繪示根據本發明之各項實施例之支援一混合式記憶體裝置之一實例性記憶體陣列100。記憶體陣列100亦可稱為一電子記憶體設備。記憶體陣列100包含可經程式化以儲存不同狀態之記憶體胞105。各記憶體胞105可經程式化以儲存由一邏輯0及一邏輯1標示之兩種狀態。在一些情況中，記憶體胞105經組態以儲存兩種以上邏輯狀態。一記憶體胞105可包含儲存表示可程式化狀態之一電荷之一電容器；舉例而言，一充電及未充電電容器分別可表示兩種邏輯狀態。記憶體胞105可係具有一介電材料之一電容器。當將介電材料暴露至一外部電場(例如，由一電容器之一充電板構建之一電場)時，其等展現一非零電極化。介電材料可包含具有線性性質(例如，一介電材料之一電流與電壓關係可係線性的)之材料且在實例中可稱為鐵電材料。介電材料及順電材料可與鐵電材料不同。在其他情況中，記憶體胞105可係一鐵電記憶體胞，該鐵電記憶體胞可包含具有一鐵電材料之一電容器。鐵電材料具有一自發電極化，即，在缺乏一電場之情況下，其等具有一非零極化。一鐵電電容器之電荷之不同位準可表示不同邏輯狀態。下文論述順電及鐵電記憶體胞105之額外細節。

可藉由啟動或選擇適當存取線110或位元線115來執行諸如讀取及寫入記憶體胞105之操作。存取線亦可稱為字線110，且位元線115亦可稱為數位線115。在不會失去理解或操作之情況下，參考字線及位元線，或其它類似物係可互換的。啟動或選擇一字線110或一數位線115可包含將一電壓施加至各自線。字線110及數位線115由導電材料製成。舉例而言，字線110及數位線115可由金屬(諸如銅、鋁、金、鎢等等)、金屬合金、一

導電金屬化合物、導電摻雜半導體或其它導電材料製成。根據圖1之實例，記憶體胞105之各列經連接至一單一字線110，且記憶體胞105之各行經連接至一單一數位線115。藉由啟動一個字線110及一個數位線115（例如，將一電壓施加至字線110或數位線115），可在其等之相交點處存取一單一記憶體胞105。存取記憶體胞105可包含讀取或寫入記憶體胞105。一字線110與數位線115之相交點可稱為一記憶體胞之一位址。

在一些架構中，一胞之邏輯儲存裝置(例如，一電容器)可藉由一選擇組件與數位線電隔離。字線110可經連接至選擇組件且可控制選擇組件。舉例而言，選擇組件可係一電晶體，且字線110可經連接至電晶體之閘極。啟動字線110在一記憶體胞105之電容器及其對應數位線115之間導致一電連接或閉合電路。接著，數位線可經存取以讀取或寫入記憶體胞105。在其他實例中，字線110可係一埋入式字線，在下文更詳細論述該字線。在其他架構中，記憶體胞105可經定位於一字線110與一位元線115之一交叉之間，其可稱為一交叉點架構。在交叉處存在一柱結構，且其可使字線110與位元線115分離。在此類情況中，選擇組件可與記憶體胞105整合，即，字線110可能不直接控制選擇組件之操作。下文更詳細論述此。

可透過一系列解碼器120及一行解碼器130控制存取記憶體胞105。在一些實例中，一系列解碼器120自記憶體控制器140接收一系列位址，並基於經接收列位址啟動適當字線110。類似地，一行解碼器130自記憶體控制器140接收一行位址，並啟動適當數位線115。舉例而言，記憶體陣列100可包含標記為WL\_1至WL\_M之多個字線110及標記為DL\_1至DL\_N之多個數位線115，其中M及N取決於陣列大小。因此，藉由啟動一字線110及一

數位線115（例如，WL\_2及DL\_3），可存取其等相交點處之記憶體胞105。在一些情況中，陣列100可包含FeRAM及DRAM胞兩者，且可在該等胞之間轉移資料。

一旦存取後，即可由感測組件125讀取或感測一記憶體胞105以判定記憶體胞105之儲存狀態。舉例而言，在存取記憶體胞105後，記憶體胞105之電容器可放電至其對應數位線115上。在一鐵電電容器之情況中，放電可係基於將一電壓偏壓或施加至鐵電電容器，而在一DRAM胞之情況中，一旦存取胞後且在未將一電壓施加至電容器之情況下，電容器即可放電至其數位線115上。放電可致使數位線115之電壓之一變化，其中感測組件125可將該電壓變化與一參考電壓(圖中未展示)作比較以便判定記憶體胞105之儲存狀態。舉例而言，若數位線115具有比參考電壓更高之一電壓，則感測組件125可判定記憶體胞105中之儲存狀態係一邏輯1，且反之亦然。感測組件125可包含各種電晶體或放大器以便偵測並放大信號中之一差異，此可稱為鎖存。接著，可透過行解碼器130輸出經偵測記憶體胞105之邏輯狀態作為輸出135。

一記憶體胞105可藉由啟動相關字線110及數位線115來設定或寫入，即，一邏輯值可經儲存於記憶體胞105中。行解碼器130可接受待寫入至記憶體胞105之資料，例如輸入135。在下文更詳細論述寫入一DRAM記憶體胞105或一FeRAM胞105。

在一些記憶體架構中，存取記憶體胞105可使儲存邏輯狀態降級或破壞該儲存邏輯狀態，且重寫或刷新操作可經執行以將原始邏輯狀態返回至記憶體胞105。在DRAM中，例如，電容器可在一感測操作期間部分或完全放電，從而破壞儲存邏輯狀態。故可在一感測操作後重寫邏輯狀態。另

外，啟動一單一字線110可導致列中之所有記憶體胞放電；因此，可能無需重寫列中之若干或所有記憶體胞105。

一些記憶體架構(包含DRAM)可隨時間丟失其等儲存狀態，除非其等由一外部電源週期性刷新。舉例而言，一充電電容器可透過洩漏電流隨時間變成放電，從而導致儲存資訊之丟失。此等所謂之揮發性記憶體裝置之刷新率可相對較高，例如，針對DRAM陣列，係每秒十幾次刷新操作，此可導致顯著電力消耗。具有愈來愈大之記憶體陣列，增加之電力消耗可抑制記憶體陣列之部署或操作(例如，電力供應器、熱產生、材料限制等等)，尤其係對於依賴於一有限電源(諸如一電池)之行動裝置。具有鐵電電容器之記憶體胞105可具有有益性質，例如，非揮發性，此可導致相對於其他記憶體架構之經改良效能。如本文解釋，藉由將DRAM與FeRAM記憶體胞組合於一單一品粒上，一記憶體裝置可具有兩種記憶體類型之積極屬性。

記憶體控制器140可透過各種組件(諸如列解碼器120、行解碼器130及感測組件125)控制記憶體胞105之操作(例如，讀取、寫入、重寫、刷新等等)。記憶體控制器140可產生列及行位址信號以便啟動所要字線110及數位線115。記憶體控制器140亦可產生並控制在記憶體陣列100之操作期間使用之各種電壓電位。可同時存取記憶體陣列100內之一個、多個或所有記憶體胞105；舉例而言，可在一重設操作期間同時存取記憶體陣列100之多個或全部胞，在該重設操作中所有記憶體胞105或一群組記憶體胞105經設定至一單一邏輯狀態。記憶體控制器140亦可(例如，自一使用者或軟體)接收外部指示以在一FeRAM胞105與一DRAM胞105之間轉移資料。

**圖2**繪示根據本發明之各項實施例之包含一記憶體胞105並支援一混合式記憶體裝置之一實例性電路200。電路200可表示一種類型記憶體胞架構。電路200包含一記憶體胞105-a、字線110-a、數位線115-a及感測組件125-a，其等可分別係如參考圖1描述之一記憶體胞105、字線110、數位線115及感測組件125之實例。記憶體胞105-a可包含一邏輯儲存組件，諸如具有一第一板、胞板230及一第二板、胞底部215之電容器205。胞板230及板底部215可透過定位於其等之間之一鐵電材料或一順電材料以電容方式耦合。胞板230及胞底部215之定向可經翻轉而無需改變記憶體胞105-a之操作。電路200亦包含選擇組件220及參考信號225。在圖2之實例中，可經由板線210存取胞板230，且可經由數位線115-a存取胞底部215。在其他情況中，板線210可能係不存在的。舉例而言，具有一順電材料之DRAM記憶體胞可僅用數位線115-a來操作。如上文所描述，可藉由對電容器205充電或使電容器205放電來儲存各種狀態。

可藉由操作電路200中表示之各種元件來讀取或感測電容器205之儲存狀態。電容器205可與數位線115-a電子通信。舉例而言，電容器205可在選擇組件220經撤銷啟動時與數位線115-a隔離，且電容器205可在選擇組件220經啟動時經連接至數位線115-a。啟動選擇組件220可稱為選擇或存取記憶體胞105-a。在一些情況中，選擇組件220係一電晶體，且藉由使用字線110-a將一電壓施加至電晶體閘極來控制其操作，其中電壓量值大於電晶體之臨限量值。在一些實例中，選擇組件220與電容器205之位置可經切換，使得選擇組件220經連接於板線210與胞板230之間，且使得電容器205在數位線115-a與選擇組件220之其他端子之間。在此等實例中，選擇組件220可透過電容器205保持與數位線115-a之電子通信。此組態可

與讀取及寫入操作之替代時序及偏壓相關聯。

若記憶體胞105-a具有電容器205之該等板之間之一鐵電材料，且如下文更詳細論述，一旦連接至數位線115-a後，電容器205即可不放電。為感測由鐵電電容器205儲存之邏輯狀態，字線110-a可經偏壓以選擇記憶體胞105-a，且可將一電壓施加至板線210。可在啟動選擇組件220後施加此偏壓，或可將該偏壓不斷地施加至胞板230。使板線210偏壓可導致跨電容器205之一電壓差，此可產生電容器205上之儲存電荷之一變化。儲存電荷之變化量值可取決於電容器205之初始狀態，例如，所儲存初始狀態係一邏輯1還是一邏輯0。此可引發數位線115-a基於儲存於電容器205上之電荷之電壓之一變化，此可用於判定儲存邏輯狀態。

在記憶體胞105-a具有電容器205之板之間之一線性或順電材料之情況中，電容器205可在選擇組件220經啟動後放電至數位線115-a上。即，一板線210可能係不存在的，且在一些實例中，可感測記憶體胞105-a而無需將一外部偏壓施加至胞板230。

數位線115-a之電壓之變化可取決於其本質電容，例如，隨著數位線115-a經通電，一些有限電荷可經儲存於數位線115-a中，且數位線之所得電壓可取決於數位線115-a之本質電容。本質電容可取決於數位線115-a之實體特性，包含數位線115-a之尺寸。數位線115-a可連接諸多記憶體胞105，故數位線115-a可具有一長度，該長度可導致一不可忽略之電容(例如，大約幾微微法拉(pF))。接著，可由感測組件125-a比較數位線115-a之所得電壓與一參考電壓(例如，參考信號225之一電壓)以便判定記憶體胞105-a之儲存邏輯狀態。

感測組件125-a可包含各種電晶體或放大器以偵測並放大信號之一差

異，此可稱為鎖存。感測組件125-a可包含一感測放大器，其接收並比較數位線115-a之電壓與參考信號225，參考信號225可係一參考電壓。接著，感測組件125-a可鎖存感測放大器之輸出或數位線115-a之電壓，或兩者。接著，參考圖1，可例如透過行解碼器130輸出記憶體胞105-a之經鎖存邏輯狀態作為輸出135。

為寫入記憶體胞105-a，可跨電容器205施加一電壓。可使用各種方法。在一些實例中，可透過字線110-a啟動選擇組件220以便將電容器205連接至數位線115-a。對於一鐵電電容器205，可藉由控制胞板230之電壓(透過板線210)及胞底部215之電壓(透過數位線115-a)以跨電容器205施加一正或負電壓來跨電容器205施加一電壓。對於一線性或順電電容器205，胞板230可幾乎接地，且電容器205可藉由使用數位線115-a將一電壓施加至胞底部215來充電。

**圖3**使用曲線圖300繪示根據本發明之各項實施例之支援一混合式記憶體裝置之記憶體胞之各種材料之實例性電氣性質。曲線圖300-a繪示一鐵電材料之一實例性磁滯曲線，且曲線圖300-b繪示一線性材料335及一順電材料340之一實例性極化。曲線圖300描繪儲存於一電容器(例如，圖2之電容器205)上之電荷 $Q$ 隨一電壓差 $V$ 之變化。

一鐵電材料之特徵為一自發電極化，即，在缺乏一電場之情況下，其維持一非零電極化。相比而言，一線性或順電材料僅在存在一外部電場之情況下才展現極化。一鐵電電容器之電極化在鐵電材料之表面處導致透過電容器端子吸引相反電荷之一靜電荷。因此，電荷經儲存於鐵電材料與電容器端子之介面處。因為在缺乏一外加電場之情況下可維持電極化達相對較長時間，甚至係無限期的，如與例如DRAM陣列中採用之順電電容器

相比，可顯著減少電荷洩漏。與如上文描述之一些DRAM架構相比，此可減小對執行刷新操作之要求。

如曲線圖300-a中所描繪，鐵電材料可維持具有一零電壓差之一正或負電荷，從而導致兩種可能帶電狀態：電荷狀態305及電荷狀態310。根據圖3之實例，電荷狀態305表示一邏輯0，且電荷狀態310表示一邏輯1。在一些實例中，可保留各自電荷狀態之邏輯值。

可藉由控制鐵電材料之電極化，且因此藉由施加電壓控制電容器端子上之電荷，將一邏輯0或1寫入至記憶體胞。舉例而言，跨電容器施加一淨正電壓315導致電荷累積直至達到電荷狀態305-a。一旦移除電壓315後，電荷狀態305-a即遵循路徑320直至其依零電壓電位達到電荷狀態305。類似地，藉由施加一淨負電壓325寫入電荷狀態310，此導致電荷狀態310-a。在移除負電壓325後，電荷狀態310-a遵循路徑330直至其依零電壓達到電荷狀態310。一旦移除外部偏壓(例如，電壓)，則電荷狀態305及310亦可稱為剩餘極化(remnant polarization)(Pr)值，即，剩餘極化(remaining polarization)(且因此即電荷)。矯頑電壓係電荷(或極化)在其處係零之電壓。

本文論述之記憶體胞105之鐵電材料可係包含鉛、鋇或氧或其等之任一組合之一化合物。舉例而言，其可包含氧化鉛或氧化鋇。此一鐵電材料可對減小一記憶體胞105之尺寸係有益的。舉例而言，一些鐵電材料可隨著其等尺寸縮減而丟失其等鐵電性質。在一些情況中，具有小於100 nm之至少一個尺寸之鐵電材料無法展現鐵電性質。然而，包含氧化鉛或氧化鋇之鐵電材料可在具有較小尺寸之組件(例如，具有小於100 nm之一厚度之一薄膜)中繼續展現其等鐵電性質。

曲線圖300-b繪示一線性材料335及一順電材料340之實例性極化曲線。如所展示，線性材料335之電荷 $Q$ 與外加電壓 $V$ 係線性關係。順電材料340展現具有電壓之一非線性電荷。然而，如與曲線圖300-a中展示之一鐵電材料相比，線性材料335及順電材料340兩者在零電壓處具有一零電荷。不同邏輯狀態可藉由將一非零電壓施加至具有線性材料335或順電材料340之一電容器來儲存。舉例而言，電荷狀態305-b及305-c可分別表示線性材料335及順電材料340之一邏輯0。同樣亦可使用負電壓。一零電荷(電荷狀態310-b)可表示線性材料335及順電材料340之一邏輯1。因為電容器在充電時具有一非零電壓，故其有利地促進電子自電容器洩漏。因此，儲存電荷可洩漏直至其達到零電荷，即，一邏輯0變為一邏輯1，且儲存邏輯狀態變為損壞或丟失。據此，線性材料335及順電材料340可稱為「揮發性記憶體」。

圖4繪示根據本發明之各項實施例之支援一混合式記憶體裝置之一實例性記憶體陣列100-a。記憶體陣列100-a可係參考圖1描述之記憶體陣列100之一實例。記憶體陣列100-a包含記憶體胞105-b及105-c、字線110-b及110-c、及位元線115-b，其等可係如參考圖1及圖2描述之一記憶體胞105、字線110及位元線115之實例。記憶體陣列100-a亦包含板線210-a，其通常經連接至具有一鐵電電容器之多個記憶體胞105。板線210-a可係參考圖2之板線210之一實例。記憶體陣列100-a包含電容器205-a及205-b，其等可係參考圖2之電容器205之一實例。記憶體陣列100-a亦包含選擇組件220-a及220-b，其等可係參考圖2之選擇組件220之一實例。包含記憶體胞105-b及105-c之記憶體陣列100-a可形成於基板405上，基板405可係一單一晶粒。舉例而言，記憶體胞105-c可用作記憶體胞105-b之一快取區以

防止記憶體胞105-b達到其等耐久極限。

記憶體胞105-b可具有一鐵電電容器，且因此，可稱為一FeRAM胞105。在一些情況中，鐵電材料可係鉛或銻或氧之一化合物、或其等之任一組合；舉例而言，其可由氧化鉛或氧化銻組成，如參考圖3所論述。記憶體胞105-c可具有一鐵電電容器，且可稱為一DRAM胞105。記憶體胞105-c可使其電容器之一個端子接地或幾乎接地。

與DRAM相比，FeRAM可具有一有限耐久性，即，FeRAM胞105-b可具有在其壽命內其可支援之一有限數目個讀取或寫入循環，而DRAM胞105-c可具有一無限或高效無限耐久性。舉例而言，讀取及寫入FeRAM胞105-b可使其鐵電電容器緩慢降級，而讀取及寫入DRAM胞105-b可能不會使其順電電容器降級。在一些情況中，一FeRAM陣列之耐久性不足以用於一些部署或使用，其中一小部分記憶體胞經受其等耐久極限。舉例而言，FeRAM胞105-b可具有對諸多典型電子應用適當之一耐久極限；然而，一惡意攻擊(例如，由於一電腦病毒或未經授權存取)可藉由不斷地讀取或寫入記憶體胞105直至其等達到其等耐久極限而嘗試破壞記憶體。因此，一DRAM快取區可與FeRAM胞105-b一起併入於記憶體陣列100-a中以便適應此等情況，且因此，使FeRAM可更廣泛地部署。

記憶體陣列100-a之一實例性主機裝置可係一行動裝置或智慧型電話。記憶體陣列100-a可代替一典型DRAM陣列用於行動裝置中。可具有可與一DRAM陣列比較之一密度、頻寬及耐久性然由於缺乏刷新操作而具有接近零之備份電源之記憶體陣列100-a，可增加電池壽命，且在一備份或未供電(例如，「斷開」)狀態後允許瞬時操作。另外，記憶體陣列100-a之DRAM快取區可增加FeRAM胞105-b之耐久性，且防止由於惡意攻擊

造成之破壞。

記憶體陣列100-a可含有依各種比例之鐵電記憶體胞105-b及順電記憶體胞105-c兩者。舉例而言，記憶體陣列100-a可含有一列或行、兩列或行、三列或行、或更多列或行順電記憶體胞105-c或兩者，且陣列之剩餘部分可係鐵電記憶體胞105-b。因此，基板405可包含包括一第一類型電容器之記憶體胞105-b及包括不同於該第一類型電容器之一第二類型電容器之一第二記憶體胞105-c。在一些實例中，兩種類型之電容器可係凹槽。如本文使用之術語「凹槽」可指代一基板之一性質、部分或態樣。故基板405可包含：一第一記憶體胞，其形成於包括一第一類型電容器之一第一凹槽中；及一第二記憶體胞，其形成於包括不同於該第一類型電容器之一第二類型之電容器之一第二凹槽中。記憶體胞105-b及105-c可與彼此及/或與控制件140電子通信，例如使得資料可在記憶體胞105之間轉移。

在一些情況中，記憶體胞105-b可係一非揮發性記憶體胞，且記憶體胞105-c可係一揮發性記憶體胞。舉例而言，記憶體胞105-b可包含一鐵電材料，且記憶體胞105-c可包含一順電材料。

儘管圖4中將DRAM胞105-c描繪為通常連接至與FeRAM胞105-b相同之數位線115-b，然此在每例項中並非皆係該情況。舉例而言，DRAM胞105-c可經連接至與任一FeRAM胞105分離之一數位線115，FeRAM胞105可適應用於FeRAM胞105及DRAM胞105之各種感測方案。

為防止一鐵電記憶體胞達到其耐久極限，儲存於一FeRAM胞105-b中之資料可經快取於DRAM胞105-c中。舉例而言，一惡意攻擊可藉由不斷執行一讀取操作直至該胞達到其耐久極限而嘗試破壞FeRAM胞105-b。快取儲存於FeRAM胞105-b中之資料可防止其破壞。舉例而言，記憶體陣

列100-a可接收記憶體胞105-b之一讀取請求，記憶體胞105-b可具有一鐵電電容器且可將儲存於記憶體胞105-b中之資料轉移至包括一順電電容器之一第二記憶體胞(例如，記憶體胞105-c)，其中資料基於接收記憶體胞105-b之讀取請求自記憶體胞105-b轉移至記憶體胞105-c。記憶體胞105-c可經由一直接連接或包含其他組件或裝置之一電路路徑與記憶體胞105-b電子通信。記憶體胞105可各與記憶體控制器140電子通信。轉移該資料可包含讀取儲存於記憶體胞105-b中之邏輯值及將邏輯值寫入至記憶體胞105-c。

接著，記憶體陣列100-a可基於將資料自記憶體胞105-b轉移至記憶體胞105-c而將記憶體胞105-b之一讀取嘗試引導至記憶體胞105-c。換言之，可自DRAM胞105-c服務FeRAM胞105-b之後續讀取操作，而無需進一步存取FeRAM胞105-b。因此，記憶體胞105-b之未來存取將不會計入其循環壽命。在一些實例中，其他快取方法可用於保證與FeRAM胞105-b之一致性，然而，此等方法可由於FeRAM胞105-b及DRAM 105-c胞兩者共同定位於同一基板405上而得以改良。

在操作記憶體陣列100-a中，可同時存取多個記憶體胞105。舉例而言，記憶體陣列100-a可包含多列記憶體胞，其中各列包含一共同存取線(例如，字線110-b或110-c)，且可在一單一存取操作期間藉由啟動該共同存取線來讀取或寫入一整列記憶體胞105。因而，可快取多個FeRAM胞105。即，可同時存取一整列記憶體胞105-b(例如，連接至字線110-b之胞)。其等邏輯值可快取於DRAM胞105-c(例如，連接至字線110-c之胞)中。舉例而言，至少一列可具有記憶體胞105，其等可包括順電電容器(例如，連接至字線110-c之記憶體胞105-c)，且列之一剩餘部分可包括具有

鐵電電容器之記憶體胞(例如，連接至字線110-b之記憶體胞105-b)。記憶體陣列100-a可同樣亦包含多個行，其中各行可具有一共同數位線(諸如數位線115-b)。在一些實例中，至少一個列及至少一個行可包含包括順電電容器之記憶體胞(例如，記憶體胞105-c)，且記憶體陣列100-a之列之一剩餘部分或行之一剩餘部分或兩者可包括具有鐵電電容器之記憶體胞。其他列及行組合係可行的。

在一些情況中，記憶體陣列100-a可含有埋入式字線。舉例而言，字線110-b及110-c可定位於記憶體胞105之電容器205下方。一埋入式字線110可經定位於兩個記憶體胞105之電容器之間，且經定位以與該等電容器電子通信。兩個記憶體胞105可透過一共同接觸件與一數位線115電子通信。因此，埋入式字線110可能不耦合至一數位線115，此可減小總電容，且因此，可減小操作一記憶體胞105之總電力。

在一些實例中，一惡意攻擊可藉由在不同胞或不同列之中交替來繞過DRAM快取區之一單一系列。即，藉由存取FeRAM胞105-b之一第二列，彼等胞可藉由重寫先前快取之FeRAM胞105-b之第一列來快取。然而，可增加DRAM快取區之大小以增加破壞FeRAM胞105-b所需之時間。舉例而言，陣列100-a可含有DRAM胞105-c之一個以上列，使得可快取FeRAM胞105-b之一個以上列。故，若讀取FeRAM胞105-b之一第二集合，則其等資料可經儲存於DRAM胞105-c之第二集合中。接著，可將對FeRAM胞105-b之任一集合之讀取嘗試引導至適當DRAM胞105-c。此可將破壞一記憶體胞105之時間減小一半。一般言之，兩個以上DRAM胞105-c可用作FeRAM胞105-b之一快取區，從而進一步減少破壞一記憶體胞105之時間。

因此，快取區之大小可基於防止尋求重複存取之目標存取型樣以及 FeRAM 胞 105-b 之耐久極限來判定。舉例而言，一第一情況可包含整個裝置之 DRAM 胞 105 之一單一系列，其可使免受在產品之壽命內不斷存取同一列之極端情況。其他情況可包含每記憶體庫一列，或各種列或行組合。一般言之，DRAM 胞 105-c 與 FeRAM 胞 105-b 之比例可相對較小，因為存取嘗試可跨一較大數目個列擴展，從而減小超過一單一 FeRAM 胞 105-b 之耐久極限之風險。

其他方法可用於觸發快取。舉例而言，代替快取各讀取操作，可在滿足或超過存取嘗試(讀取或寫入)之某一臨限值後，快取記憶體胞。即，記憶體陣列 100-a 或記憶體陣列 100-a 之一控制器可判定可包括一鐵電電容器之記憶體胞 105-b 之存取操作之數目滿足或超過一臨限值。接著，記憶體陣列 100-a 可將資料自記憶體胞 105-b 轉移至包括一順電電容器之一第二記憶體胞(例如，記憶體胞 105-c)，其中該資料基於判定已存取記憶體胞 105-b 臨限值數目次而自記憶體胞 105-b 轉移至記憶體胞 105-c。記憶體胞 105 可與彼此或與記憶體控制器 140 或兩者電子通信。接著，記憶體陣列 100-a 可基於將資料自記憶體胞 105-b 轉移至記憶體胞 105-c 而將記憶體胞 105-b 之一存取嘗試引導至記憶體胞 105-c。與快取每讀取操作相比，此可提供經改良效能，因為較不頻繁地執行了快取步驟。

一控制器之一計數器或部分可對記憶體胞 105-b 之各存取嘗試計數，且記憶體陣列 100-a 可判定存取操作之數目滿足或超過臨限值。在一些情況中，臨限值可係 0，使得如上文論述般快取各存取嘗試。其他正臨限值係可行的。在其他情況中，一計時器可判定存取操作之間之時間週期，且記憶體陣列 100-a 可判定存取操作之間之時間週期小於一臨限時間週期。

或，記憶體陣列100-a可判定存取操作之一速率滿足或超過一臨限速率。舉例而言，一計數器及計時器兩者皆可用於判定存取嘗試之一速率。臨限值可由製造商預定或由使用者程式化。可使用偵測重複存取嘗試之其他方式。此外，可使計數器累加，或計時器可基於記憶體胞105之一列內或至記憶體胞105之一庫之任一記憶體胞105之一存取嘗試來操作。

DRAM胞105-c同樣亦可用於在一寫入程序期間保護FeRAM胞105-b。舉例而言，若一邏輯值經寫入至FeRAM胞105-b，則資料可經寫入至一DRAM胞105-c以及FeRAM胞105-b。若再次寫入同一FeRAM胞105-b，則請求可經引導至DRAM胞105-c，而無需寫入至FeRAM胞105-b。此外，上述方法之任一者可經實施(例如，一計數器或計時器)以判定何時實施此一快取步驟。

記憶體陣列100-a中之記憶體胞105可具有多種形式。在一些情況中，記憶體胞105-b及105-c可係凹槽，諸如下文圖7中繪示之凹槽，因此，記憶體胞105-b及105-c可係一陣列之胞或凹槽。舉例而言，凹槽可形成於基板405中，且電容器可構建於各凹槽中。在一些情況中，一介電材料可形成於凹槽形成於其中之基板405上。如上所述，鐵電材料可具有鐵電性質，即使係小於100 nm之尺寸。因此，用於形成記憶體胞105-b及105-c之凹槽可具有小於100 nm之一開口。記憶體陣列100-a可因此具有一高密度鐵電記憶體胞，且用於DRAM陣列之既有形成程序可用於在同一基板405上形成鐵電記憶體胞105-b及DRAM胞105-c兩者。

在另一實例中，記憶體胞100-a可部分或完全具有一交叉點架構，例如，下文圖5中展示之陣列架構。舉例而言，FeRAM胞105-b可使用此一架構，且其等鐵電電容器可仍具有小於100 nm之一尺寸。DRAM胞105-c

可具有凹槽架構。

在一些情況中，兩個記憶體類型可係分離陣列。換言之，一第一記憶體陣列包括一第一記憶體胞，其中第一陣列之各記憶體胞包括一第一類型電容器，且一第二記憶體陣列包括一第二記憶體胞，其中第二陣列之各記憶體胞包括第二類型電容器。在一些情況中，第一記憶體胞可係一非揮發性記憶體胞，且第二記憶體胞可係一揮發性記憶體胞。舉例而言，記憶體胞105-b可包含一鐵電材料，且記憶體胞105-c可包含一順電材料。

在其他實例中，第一類型之記憶體胞可與一第二類型之一記憶體胞直接成對，使得一個胞用作另一胞之一備份。舉例而言，記憶體陣列100-a可包含包括一第一類型電容器之一第一記憶體胞類型(例如，記憶體胞105-b)及包括不同於第一類型電容器之一第二類型電容器之一第二記憶體胞類型(例如，記憶體胞105-c)，其中記憶體陣列100-a之至少一子集包括複數個記憶體胞對，其中各記憶體胞對包括第一記憶體胞類型之一第一記憶體胞及第二記憶體胞類型之一第二記憶體胞。FeRAM胞105-b可例如用作其成對DRAM胞105-c之一備份。在一些情況中，記憶體陣列100-a可包含多個列及行，且記憶體胞對之第二記憶體胞定位於鄰近於第一記憶體胞之一行或列中。第一類型電容器可包括一鐵電絕緣體，且第二類型電容器可包括一順電材料或一線性介電材料。

**圖5**繪示根據本發明之各項實施例之支援一混合式記憶體裝置之一實例性記憶體陣列100-b。記憶體陣列100-b可係參考圖1及圖4之記憶體陣列100之一實例。記憶體陣列100-b包含記憶體胞105-d、字線110-d、及位元線115-c，其等可係如參考圖1、圖2及圖4描述之一記憶體胞105、字線110及位元線115之實例。記憶體胞105-d包含電極505、電極505-a及記憶

體元件520，其中記憶體元件520可係一鐵電材料。記憶體陣列100-b亦包含下電極510及選擇組件515。在一些情況中，一3D記憶體陣列可藉由將多個記憶體陣列100-b堆疊於彼此上而形成。在一些情況中，兩個堆疊式陣列可具有共同存取線，使得各層級可共用字線110或位元線115。如上文所描述，可藉由程式化記憶體元件520來儲存各種邏輯狀態。記憶體陣列100-b可同樣與其他記憶體架構(例如，形成於凹槽中之電容器)組合。

記憶體陣列100-b可稱為交叉點架構，其中一柱位於字線110與一位元線115之交叉處。舉例而言，記憶體胞105-d經展示為一柱結構，其中字線110-d與位元線115-c交叉。柱結構可包含各種電極、選擇組件515及記憶體元件520，如所展示。其他組態可係可行的。

記憶體陣列100-b可藉由材料形成與移除之各種組合製成。舉例而言，可沉積對應於字線110-d、下電極510、選擇組件515、電極505-a、記憶體元件520及電極505之材料之層。接著，材料可經選擇性地移除以構建所要特徵件，諸如圖5中描繪之柱結構。舉例而言，可使用微影界定特徵件以圖案化一光阻劑，且接著，可藉由諸如蝕刻之技術移除材料。接著，位元線115-c例如藉由沉積一材料層並選擇性地蝕刻以形成圖5中描繪之線結構而形成。在一些情況中，可形成或沉積電絕緣區域或材料。電絕緣區域可包含氧化物或氮化物材料，諸如氧化矽、氮化矽或其他電絕緣材料。

在一些情況中，選擇組件515可串聯連接於一記憶體胞105-d與至少一個導電線(諸如一字線110-d或一位元線115-c)之間。舉例而言，如圖5中所描繪，選擇組件515可定位於電極505-a及下電極510之間；因此，選擇組件515串聯定位於記憶體胞105-d與字線110-d之間。其它組態係可行

的。舉例而言，選擇組件可串聯定位於記憶體胞105-d與位元線115-c之間。選擇組件可協助選擇一特定記憶體胞105-d或可幫助防止雜散電流流過鄰近一選定選擇記憶體胞105-d之未選定記憶體胞105-d。選擇組件可包含一電非線性組件(例如，一非歐姆組件)(諸如一金屬-絕緣體-金屬(MIM)介面)、一雙向臨限開關(OTS)或一金屬-半導體-金屬(MSM)開關以及其他類型兩端子選擇裝置(諸如一二極體)。在一些情況中，選擇組件係一硫屬化合物膜。

如上文論述，圖5之記憶體胞105-d可包含一鐵電記憶體元件520，其可具有非揮發性儲存能力。如上文論述，一DRAM胞可用作記憶體陣列100-b之一快取區以便保存記憶體陣列100-b之壽命。DRAM快取區及記憶體陣列100-b兩者可定位於同一基板或晶粒上。

圖6繪示根據本發明之各項實施例之包含一混合式記憶體裝置之一系統。系統600包含一基板405-a，其可係參考圖4之一基板405之一實例。系統600包含記憶體陣列100-c及100-d，其等可係參考圖1、圖4及圖5之一記憶體陣列100之一實例。記憶體陣列100-c可係一非揮發性記憶體陣列，且記憶體陣列100-d可係一揮發性記憶體陣列。系統600亦包含一計數器605、計時器610、外部組件615及一記憶體控制器140-a (其可係參考圖1之一記憶體控制器140之一實例)。

記憶體陣列100-c及100-d可定位於同一基板405-a (或晶粒)上，與定位於一分離晶粒上之各陣列相比，其可具有增加效能。在一些情況中，記憶體陣列100-c及100-d可係一單一組合式記憶體陣列。在圖6中展示基板405-a外之記憶體控制器140-a，然在一些情況中，其可定位於基板405-a上。此外，計數器605及計時器610可經定位以與基板405-a分離，或可係

記憶體控制器140-a之部分。

記憶體陣列100-c可係一FeRAM陣列，即，其可含有具有一鐵電電容器之記憶體胞。因而，記憶體陣列100-c可稱為FeRAM陣列100-c。FeRAM陣列100-c可由具有一凹槽之記憶體胞105組成。在一些情況中，FeRAM陣列100-c可包含具有一柱結構(例如，如參考圖4及圖5論述之交叉點架構)之記憶體胞105。

記憶體陣列100-d可係一DRAM陣列，即，其可含有具有一順電電容器之記憶體胞。因此，記憶體陣列100-d可稱為DRAM陣列100-d。DRAM陣列100-d可由具有如參考圖4所論述之一凹槽之記憶體胞105組成。

在一些情況中，FeRAM陣列100-c可用於儲存，且DRAM陣列100-d可用作FeRAM陣列100-c之一快取區。舉例而言，與一DRAM陣列100-d相比，FeRAM陣列100-c可具有一經改良晶粒面積效率。舉例而言，FeRAM陣列100-c可係一交叉點陣列(例如，如圖5中展示)，其中各記憶體胞佔用比一DRAM胞105小之一晶粒面積。此外，該交叉點陣列可係一三維陣列，因此，顯著增加面積有效性。在一些情況中，與DRAM陣列100-d相比，FeRAM陣列100-c可具有一較高延時或較高啟動功率，且可能有利的係，使用DRAM陣列100-d作為FeRAM陣列100-c之一快取區。舉例而言，多個記憶體胞105之頁或單元可在FeRAM陣列100-c與DRAM陣列100-d之間交換。因為兩個陣列可在同一基板405-a上，故此轉移可比其等在分離基板或晶粒上之情況快。在一些實例中，可管理DRAM陣列100-d而無需由一外部處理器或組件進行干預。舉例而言，可內部管理轉移作為一快取區，然具有管理更大本地快取線之能力。

在一些情況中，記憶體控制器140-a可管理記憶體陣列100-c及100-d。舉例而言，記憶體控制器140-a可接收在一第一胞類型之一第一記憶體胞105與一第二胞類型之一第二記憶體胞105之間轉移至少一個邏輯值之一指示，其中該第一胞類型包括一鐵電電容器，且第二胞類型包括一順電電容器。舉例而言，第一記憶體胞105可係FeRAM陣列100-c之部分，且第二記憶體胞105可係DRAM陣列100-d之部分。記憶體控制器140-a可在第一記憶體胞與第二記憶體胞之間轉移至少一個邏輯值。舉例而言，在至FeRAM陣列100-c之一寫入操作中，邏輯值可首先經寫入至DRAM陣列100-d。記憶體控制器140-a可讀取DRAM陣列100-d中之儲存邏輯值，且接著將其寫入至FeRAM陣列100-c。對於一讀取操作，記憶體控制器140-a可讀儲存於FeRAM陣列100-c中之邏輯值，並將其寫入至DRAM陣列100-d，使得其經快取於DRAM陣列100-d中，其中可根據其他操作存取其。此等操作不限於單一記憶體胞105，例如，操作可係關於多個記憶體胞105或記憶體頁。舉例而言，FeRAM陣列100-c之記憶體胞之一數量可大於DRAM陣列100-d之記憶體胞之一數量，且轉移至少一個邏輯值可包含在第一記憶體陣列與第二記憶體陣列之間轉移邏輯值之一子集。

此一系統對基線系統可係有益的，該等基線系統包含(例如)基於一DRAM主記憶體之計算平台，及一硬碟驅動(HDD)及/或NAND固態驅動(SSD)儲存裝置之任一者。在一些情況中，FeRAM陣列100-c之延時可係比NAND及HDD更佳之數量級，且可極大減小由於傳呼記憶體對儲存裝置之負效能影響。同一基板405-a上之DRAM陣列100-d與FeRAM陣列100-c之組合可進一步減小彼等轉移對系統效能之影響(例如，如相對於時間所量測)，且亦將比跨兩個系統介面且透過主機記憶體控制器及輸入/輸

出(IO)集線器在分離DRAM與NAND/HDD裝置之間進行彼等轉移之情況消耗更少電力。

在一些情況中，FeRAM陣列100-c可用作DRAM陣列100-d之一備份。舉例而言，若中斷至DRAM陣列100-d之電力，則儲存於DRAM陣列100-d中之資料可經轉移至非揮發性FeRAM陣列100-c。在此類情況中，在記憶體胞105之數量中，DRAM陣列100-d之大小可相同或小於FeRAM陣列100-c。其他相對大小可係可行的。一旦電力中斷後，DRAM陣列100-d之內容或一經設計部分即可經轉移至FeRAM陣列100-c。因為轉移包含於一單一基板405-a內，故可減小或消除轉移之電力需求(與不同基板或晶粒上之陣列相比)，此可消除用於在此類電力中斷期間將資料轉移至其他晶粒之其他組件，諸如超級電容器。在一些情況中，習知非揮發性儲存方法可用於保證DRAM陣列100-d之內容在一電力中斷時被接受為丟失或受保護以便達成永久性記憶體。

此一系統可具有進一步益處。舉例而言，具有DRAM及NAND記憶體之非揮發性雙線內記憶體模組(NVDIMM)需要一電源，該電源經設計以在一電力中斷事件中在其將DRAM內容轉移至NAND花費之時間量內提供備份電力，且必須在彼持續時間內提供足夠電力以在分離裝置之間進行彼等轉移。在上文關於同一基板405-a上之FeRAM陣列100-c及DRAM陣列100-d所論述之實例中，彼等轉移可更快且在晶片上，從而依兩種方式減小電力需求。

在記憶體陣列100-c與100-d之間轉移資料之指示可來自外部組件615，其等可表示外部硬體或軟體。換言之，轉移至少一個邏輯值之指示可包含自基板405-a外之一組件接收指示。在一些情況中，在第一記憶體

胞與第二記憶體胞之間轉移至少一個邏輯值之指示可係基於主機裝置遭斷電。舉例而言，一智慧型電話裝置可遭斷電，且揮發性DRAM陣列100-d之內容可經轉移至非揮發性FeRAM陣列100-c以保存資料。

**圖7A**、**圖7B**及**圖7C**繪示根據本發明之各項實施例之用於形成一混合式記憶體裝置之一實例性程序流，其可包含處理步驟700、701、702、703、704及705。所得記憶體裝置可係參考圖1、圖4及圖6之記憶體陣列100中之記憶體胞架構之一實例。處理步驟700至705包含形成介電材料710、電極材料715、遮罩材料720、鐵電材料725、電極材料730及順電材料735。處理步驟700至705可在一單一基板或晶粒上形成兩種類型記憶體胞105。所得記憶體胞可係形成於凹槽中之電容器。在一些實例中，電容器可與一埋入式字線110電子通信。

各種技術可用於形成圖7A至圖7C及下文圖8中展示之材料或組件。此等技術可包含例如化學汽相沉積(CVD)、有機金屬汽相沉積(MOCVD)、物理汽相沉積(PVD)、濺鍍沉積、原子層沉積(ALD)或分子束磊晶(MBE)以及其他薄膜生長技術。可使用數種技術移除材料，其等可包含例如化學蝕刻(亦稱為「濕式蝕刻」)、電漿蝕刻(亦稱為「乾式蝕刻」)或化學機械平坦化。

在處理步驟700處，凹槽可經形成於介電材料710中。在一些情況中，可形成一凹槽陣列。凹槽之開口之最大尺寸可小於100 nm。介電材料710可係一基板或可係沉積於一基板上之介電材料。可使用各種蝕刻技術形成凹槽，其可在必要時使用光遮罩及微影來界定特徵。

在處理步驟701處，電極材料715可經沉積以在陣列之兩個或兩個以上凹槽之表面上形成一第一導電材料。在一些情況中，此可對應於電容器

之一第一電極。可移除凹槽外部之電極材料715。接著，可形成遮罩材料720以覆蓋一種類型記憶體胞。

在圖7B中之處理步驟702處，包括鐵電材料725之一第一記憶體元件材料可形成於陣列之一第一凹槽中，其中第一記憶體元件材料耦合至第一凹槽中之電極材料715。因此，一記憶體元件可形成於未由遮罩材料720覆蓋之凹槽內。鐵電材料可係包括鉛或銻或氧或其等之任一組合(例如，氧化鉛或氧化銻)之一化合物。

接著，可藉由沉積電極材料730形成一第二導電材料，電極材料730耦合至第一凹槽之第一記憶體元件材料(鐵電材料725)。電極材料730可係電容器之第二電極。在處理步驟703處，遮罩材料720可經移除以暴露先前遮罩之凹槽。

在圖7C中之處理步驟704處，一第二遮罩材料720可經形成以覆蓋先前形成之具有鐵電材料725之電容器。接著，包括順電材料735之一第二記憶體元件材料可形成於陣列之一第二凹槽中，其中第二記憶體元件材料耦合至第二凹槽中之第一導電材料(電極材料715)。接著例如藉由沉積電極材料730形成耦合至第二凹槽之第二記憶體元件材料之一第三導電材料。

在處理步驟705處，可移除第二遮罩材料720。所得結構係兩種記憶體胞類型：一順電記憶體胞及一鐵電記憶體胞。儘管展示為靠近彼此，然記憶體胞類型無需靠近彼此。遮罩材料720可經適當圖案化以在處理期間遮罩掉記憶體陣列之任一部分。因此，鐵電記憶體胞可形成於記憶體陣列之一個部分中，且順電記憶體胞可形成於另一部分中。

**圖8**繪示根據本發明之各項實施例之用於形成一混合式記憶體裝置之

一實例性程序800。所得記憶體裝置可係參考圖1、圖4、圖5及圖6之記憶體陣列100中之記憶體胞架構之一實例。程序800包含形成介電材料805、電極材料810、電極材料815、順電材料820、鐵電材料825、選擇組件材料830、字線材料835、位元線材料840及介電材料845。程序800可在一單一基板或晶粒上形成兩種類型記憶體胞105。一種類型可係一凹槽，如圖7中所論述，且另一類型可係一交叉點結構，如圖5中所論述。

程序800可包含在凹槽中形成順電記憶體胞，如參考圖7所論述。舉例而言，凹槽可形成於介電材料805中。介電材料805可係一基板或可係沉積於一基板上之介電材料。可使用各種蝕刻技術形成凹槽，其可使用光遮罩及微影來界定特徵。電極材料715可經沉積以構建電容器之一第一電極。可移除凹槽外部之電極材料715。順電材料820可經沉積以在凹槽內之電極材料715上形成一膜。接著，電極材料815可經沉積以形成電容器之第二電極。

程序800可包含形成一鐵電交叉點陣列。多種方法可用於形成交叉點陣列。可藉由將材料沉積於一基板上(例如，藉由沉積材料層)而形成材料之一堆疊。例如，可沉積對應於字線材料835、電極材料810、選擇組件材料830、電極材料810、鐵電材料825及電極材料810之層。堆疊可經蝕刻以在一個方向上構建通道。可使用適當遮罩界定經蝕刻通道。通道可使用介電質845填充。接著，位元線材料840可形成於所得結構之頂部上。接著，一第二蝕刻步驟可形成柱結構。舉例而言，藉由在實質上垂直於第一集合之一方向上蝕刻通道之一第二集合。類似地，可使用適當遮罩界定經蝕刻通道之第二集合。

因此，程序800可包含：在一基板上形成一第一記憶體陣列，第一記

憶體陣列包括凹入式順電電容器；及在該基板上形成一第二記憶體陣列，第二記憶體陣列包括複數個柱，其中複數個柱之各者包括一鐵電電容器。

**圖9**展示根據本發明之各項實施例之支援一混合式記憶體裝置之一記憶體陣列100-e之一方塊圖900。記憶體陣列100-e可稱為一電子記憶體設備，且包含記憶體控制器140-b及記憶體胞105-e及105-f，其等可係參考圖1至圖6描述之記憶體控制器140及記憶體胞105之實例。記憶體控制器140-b可包含偏壓組件910及時序組件915，且可如圖1至圖6中所描述般操作記憶體陣列100-e。記憶體控制器140-b可與字線110-e、數位線115-d、感測組件125-b及板線210-b電子通信，其等可係參考圖1、圖2、圖4或圖5描述之字線110、數位線115、感測組件125及板線210之實例。記憶體陣列100-e亦可包含參考組件920及鎖存器925。記憶體陣列100-e之組件可與彼此電子通信，且可執行參考圖1至圖6描述之功能。在一些情況中，參考組件920、感測組件125-b及鎖存器925可係記憶體控制器140-b之組件。記憶體胞105-e可係一非揮發性記憶體胞，例如，一FeRAM胞，且記憶體胞105-f可係一揮發性記憶體胞，例如，一DRAM胞。記憶體胞105-e及105-f可與彼此電子通信。

記憶體控制器140-b可經組態以藉由將電壓施加至彼等各種節點來啟動字線110-e、板線210-b或數位線115-d。舉例而言，偏壓組件910可經組態以施加一電壓以操作記憶體胞105-e或105-f以如上文所描述般讀取或寫入記憶體胞105-e或105-f。在一些情況中，記憶體控制器140-b可包含一列解碼器、行解碼器、或兩者，如參考圖1所描述。此可啟用記憶體控制器140-b以存取一或多個記憶體胞105。偏壓組件910亦可將電壓電位提供至參考組件920以便針對感測組件125-b生成一參考信號。另外，偏壓組件

910可提供電壓電位以供感測組件125-b之操作。

在一些情況中，記憶體控制器140-b可使用時序組件915執行其操作。舉例而言，時序組件915可控制各種字線選擇或板偏壓之時序，包含用於切換之時序及施加以執行記憶體功能之電壓，諸如本文中論述之讀取及寫入。在一些情況中，時序組件915可控制偏壓組件910之操作。

參考組件920可包含針對感測組件125-b生成一參考信號之各種組件。參考組件920可包含經組態以產生一參考信號之電路。在一些情況中，參考組件920可係其他鐵電記憶體胞105。在一些實例中，參考組件920可經組態以輸出具有一值之介於兩個感測電壓之間之一電壓，如參考圖3所描述。或，參考組件920可經設計以輸出一虛擬接地電壓(即，大約0 V)。

感測組件125-b可比較(透過數位線115-d)來自記憶體胞105-e或105-f之一信號與來自參考組件920之一參考信號。一旦判定邏輯狀態後，感測組件即可將輸出儲存於鎖存器925中，其中可根據記憶體陣列100-e係其一部分之一電子裝置之操作來使用其。

在一些情況中，記憶體控制器140-e可接收在記憶體胞105-e、記憶體胞105-f之間轉移至少一個邏輯值之一指示。舉例而言，在至記憶體胞105-f之一寫入操作中，邏輯值可首先經寫入至記憶體胞105-e。記憶體控制器140-b可讀取記憶體胞105-e中之儲存邏輯值，且接著將其寫入至記憶體胞105-f。對於一讀取操作，記憶體控制器140-可讀取記憶體胞105-f存儲之邏輯值，並將其寫入至記憶體胞105-e，使得其經快取於記憶體胞105-e中，其中可根據其他操作存取其。此等操作不限於單一記憶體胞105，例如，操作可係關於多個記憶體胞105或記憶體頁。

**圖10**繪示根據本發明之各項實施例之支援一混合式記憶體裝置之一系統1000。系統1000包含一裝置1005，其可係或包含一印刷電路板以連接或以實體方式支援各種組件。裝置1005包含一記憶體陣列100-f，其可係參考圖1、圖4、圖5、圖6及圖9描述之記憶體陣列100之一實例。記憶體陣列100-f可含有記憶體控制器140-c及(若干)記憶體胞105-g，其等可係參考圖1、圖6及圖9描述之記憶體控制器140及參考圖1、圖2、圖4、圖5、圖6及圖9描述之記憶體胞105之實例。裝置1005亦可包含一處理器1010、BIOS組件1015、(若干)周邊組件1020及輸入/輸出控制組件1025。裝置1005之組件可透過匯流排1030與彼此電子通信。記憶體陣列100-f可包含揮發性及非揮發性記憶體胞105兩者。

處理器1010可經組態以透過記憶體控制器140-c操作記憶體陣列100-f。在一些情況中，處理器1010可執行參考圖1、圖6及圖9描述之記憶體控制器140之功能。在其他情況中，記憶體控制器140-c可經整合至處理器1010中。處理器1010可係一通用處理器、一數位信號處理器(DSP)、一專用積體電路(ASIC)、一場可程式化閘陣列(FPGA)或其他可程式化邏輯裝置、離散閘極或電晶體邏輯、離散硬體組件，或其可係此等類型之組件之一組合，且處理器1010可執行本文中描述之各種功能，包含在記憶體胞105之間轉移邏輯值。處理器1010可例如經組態以執行儲存於記憶體陣列100-f中之電腦可讀指令以致使裝置1005執行各種功能或任務。

BIOS組件1015可係一軟體組件，其包含操作為韌體之一基本輸入/輸出系統(BIOS)，其可初始化及運行系統1000之各種硬體組件。BIOS組件1015亦可管理處理器1010與各種組件(例如，周邊組件1020、輸入/輸出控制組件1025等等)之間之資料流。BIOS組件1015可包含儲存於唯讀記憶體

(ROM)、快閃記憶體或任一其他非揮發性記憶體中之一程式或軟體。

(若干)周邊組件1020可係任一輸入或輸出裝置，或此類裝置之一界面，其經整合至裝置1005中。實例可包含磁碟控制器、聲音控制器、圖形控制器、乙太網路控制器、數據機、通用串行匯流排(USB)控制器、一串行或並行埠或周邊卡槽，諸如周邊組件互連件(PCI)或加速圖形埠(AGP)槽。

輸入/輸出控制組件1025可管理處理器1010與(若干)周邊組件1020、輸入裝置1035或輸出裝置1040之間之資料通信。輸入/輸出控制組件1025亦可管理未整合至裝置1005中之周邊設備。在一些情況中，輸入/輸出控制組件1025可表示至外部周邊設備之一實體連接或埠。

輸入1035可表示裝置1005外將輸入提供至裝置1005或其組件之一裝置或信號。此可包含一使用者界面或具有其他裝置或其他裝置之間之界面。在一些情況中，輸入1035可係一周邊設備，其經由(若干)周邊組件1020與裝置1005介接，或由輸入/輸出控制組件1025管理。

輸出1040可表示裝置1005外經組態以自裝置1005或其組件之任一者接收輸出之一裝置或信號。輸出1040之實例可包含一顯示器、音訊揚聲器、一打印裝置、另一處理器或印刷電路板等等。在一些情況中，輸出1040可係一周邊設備，其經由(若干)周邊組件1020與裝置1005介接或可由輸入/輸出控制組件1025管理。

記憶體控制器140-c之組件、裝置1005及記憶體陣列100-f可由經設計以實施其等之功能之電路組成。此可包含各種電路元件，例如，導電線、電晶體、電容器、電感器、電阻器、放大器或經組態以實施本文所描述之功能其它主動或非主動元件。

**圖11**展示繪示根據本發明之各項實施例之用於操作一混合式記憶體裝置之一方法1100之一流程圖。方法1100之操作可由一記憶體陣列100實施，如參考圖1至圖6、圖9及圖10所描述。舉例而言，方法1100之操作可由一記憶體控制器140實施，如參考圖1、圖6、圖9及圖10所描述。在一些實例中，一記憶體控制器140可執行一組程式碼以控制記憶體陣列100之功能元件執行下文描述之功能。另外或替代地，記憶體控制器140可使用專用硬體執行下文描述之功能。

在方塊1105處，方法可包含接收一第一記憶體胞之一讀取請求，該第一記憶體胞包括一鐵電電容器，如參考圖1、圖4、圖6及圖9所描述。在某些實例中，方塊1105之操作可由記憶體控制器140執行或促進，如參考圖1、圖6、圖9及圖10所描述。

在方塊1110處，方法可包含將資料自第一記憶體胞轉移至一第二記憶體胞，該第二記憶體胞包括一順電電容器，其中該資料至少部分基於接收第一記憶體胞之讀取請求而自第一記憶體胞轉移至第二記憶體胞，如參考圖1、圖4、圖6及圖9所描述。在某些實例中，方塊1110之操作可由記憶體控制器140執行或促進，如參考圖1、圖6、圖9及圖10所描述。在一些情況中，可執行方塊1110之操作而無需來自主機處理器1010之干預，如參考圖所描述。

在方塊1115處，方法可包含至少部分基於將資料自第一記憶體胞轉移至第二記憶體胞而將第一記憶體胞之一讀取嘗試引導至第二記憶體胞，如參考圖1、圖4、圖6及圖9所描述。在某些實例中，方塊1115之操作可由記憶體控制器140執行或促進，如參考圖1、圖6、圖9及圖10所描述。

在一些情況中，方法可包含：接收一第三記憶體胞之一讀取請求，

第三記憶體胞包括一第二鐵電電容器；將資料自第三記憶體胞轉移至一第四記憶體胞，第四記憶體胞包括一第二順電電容器，其中該資料至少部分基於接收第三記憶體胞之讀取請求自第三記憶體胞轉移至第四記憶體胞；及至少部分基於將資料自第三記憶體胞轉移至第四記憶體胞將第三記憶體胞之一讀取嘗試引導至第四記憶體胞。在一些情況中，第一記憶體胞包括複數個鐵電記憶體胞，且第二記憶體胞包括複數個順電記憶體胞。

方法1100之記憶體胞105可包含一交叉點陣列架構之凹槽或柱。凹槽可具有大小小於100 nm之一開口。鐵電電容器可包含由鉛或銦或氧或其等之任一組合(諸如氧化鉛或氧化銦)製成之一材料。

**圖12**展示繪示根據本發明之各項實施例之用於操作一混合式記憶體裝置之一方法1200之一流程圖。方法1200之操作可由一記憶體陣列100實施，如參考圖1至圖6、圖9及圖10所描述。舉例而言，方法1200之操作可由一記憶體控制器140實施，如參考圖1、圖6、圖9及圖10所描述。在一些實例中，一記憶體控制器140可執行一組程式碼以控制記憶體陣列100之功能元件執行下文描述之功能。另外或替代地，記憶體控制器140可使用專用硬體執行下文描述之功能。

在方塊1205處，方法可包含判定一第一記憶體胞之存取操作之數目超過一臨限值，該第一記憶體胞包括一鐵電電容器，如參考圖1、圖4、圖6及圖9所描述。在一些實例中，方法可包含對存取操作之數目計數及判定存取操作之計數數目滿足或超過臨限值。在其他實例中，方法可包含判定存取操作之一速率滿足或超過一臨限速率。在某些實例中，方塊1205之操作可由記憶體控制器140執行或促進，如參考圖1、圖6、圖9及圖10所描述(計數器605或計時器610，如參考圖6所描述)。

在方塊1210處，方法可包含將資料自第一記憶體胞轉移至一第二記憶體胞，該第二記憶體胞包括一順電電容器，其中該資料至少部分基於判定第一記憶體胞之存取操作之數目超過臨限值而自第一記憶體胞轉移至第二記憶體胞，如參考圖1、圖4、圖6及圖9所描述。在某些實例中，方塊1210之操作可由記憶體控制器140執行或促進，如參考圖1、圖6、圖9及圖10所描述。在一些情況中，可執行方塊1210之操作而無需來自主機處理器1010之干預，如參考圖10所描述。

在方塊1215處，方法可包含基於將資料自第一記憶體胞轉移至第二記憶體胞將第一記憶體胞之一存取嘗試引導至第二記憶體胞，如參考圖1、圖4、圖6及圖9所描述。在某些實例中，方塊1215之操作可由記憶體控制器140執行或促進，如參考圖1、圖6、圖9及圖10所描述。

**圖13**展示繪示根據本發明之各項實施例之用於操作一混合式記憶體裝置之一方法1300之一流程圖。方法1300之操作可由一記憶體陣列100實施，如參考圖1至圖6、圖9及圖10所描述。舉例而言，方法1300之操作可由一記憶體控制器140實施，如參考圖1、圖6、圖9及圖10所描述。在一些實例中，一記憶體控制器140可執行一組程式碼以控制記憶體陣列100之功能元件執行下文描述之功能。另外或替代地，記憶體控制器140可使用專用硬體執行下文描述之功能。

在方塊1305處，方法可包含在一控制器處接收將至少一個邏輯值自一第一胞類型之一第一記憶體胞轉移至一第二胞類型之一第二記憶體胞或自第二類型之第二記憶體胞轉移至第一類型之第一記憶體胞之一指示，其中第一胞類型包括一鐵電電容器，且第二胞類型包括一順電或線性介電電容器，如參考圖1、圖4、圖6及圖9所描述。舉例而言，可判定一鐵電記

憶體胞之一邏輯值，且可向具有一順電電容器之一記憶體胞寫入彼值以便針對鐵電記憶體胞提供某一冗餘或自鐵電記憶體胞卸載。類似地，可判定具有一順電電容器之一記憶體胞之一邏輯值，且可向一鐵電記憶體胞寫入彼值以便針對具有順電電容器之記憶體胞提供某一冗餘或自該記憶體胞卸載。因此，該方法可包含在第一胞類型之第一記憶體胞與第二胞類型之第二記憶體胞之間轉移至少一個邏輯值之一指示，其中第一胞類型包括一鐵電電容器，且第二胞類型包括一順電或線性介電電容器。在一些實例中，可自基板外之一組件接收指示。在某些實例中，方塊1305之操作可由記憶體控制器140執行或促進，如參考圖1、圖6、圖9及圖10所描述。

在方塊1310處，方法可包含在第一記憶體胞與第二記憶體胞之間轉移至少一個邏輯值，其中一基板包括第一記憶體胞及第二記憶體胞，如參考圖1、圖4、圖6及圖9所描述。轉移至少一個邏輯值可包含讀取儲存於第一記憶體胞中之至少一個邏輯值及將至少一個邏輯值寫入至第二記憶體胞。或，轉移至少一個邏輯值可包含讀取儲存於第二記憶體胞中之至少一個邏輯值及將至少一個邏輯值寫入至第一記憶體胞。在某些實例中，方塊1310之操作可由記憶體控制器140執行或促進，如參考圖1、圖6、圖9及圖10所描述。

在該方法之一些實例中，基板可具有一記憶體陣列，其包含第一記憶體胞及第二記憶體胞。或，基板可具有包括第一胞類型之記憶體胞之一第一記憶體陣列及包括第二胞類型之記憶體胞之一第二記憶體陣列。在一些情況中，第一胞類型包括一非揮發性記憶體胞，且第二胞類型包括一揮發性記憶體胞。在其他情況中，第一胞類型包括一揮發性記憶體胞，且第二胞類型包括一非揮發性記憶體胞。

方法1300之記憶體胞105可包含一交叉點陣列架構之凹槽或柱。凹槽可具有大小小於100 nm之一開口。鐵電電容器可包含由鈣或鋅或氧或其等之任一組合(例如，氧化鈣或氧化鋅)製成之一材料。

在一些實例中，第一記憶體陣列之記憶體胞之一數量可大於第二記憶體陣列之記憶體胞之一數量，且轉移至少一個邏輯值包含在第一記憶體陣列與第二記憶體陣列之間轉移邏輯值之一子集。在另一實例中，第一記憶體陣列之記憶體胞之一數量可小於或等於第二記憶體陣列之記憶體胞之一數量，且轉移至少一個邏輯值可包含至少部分基於第二記憶體陣列之一電力中斷將儲存於第二記憶體陣列中之所有邏輯值皆轉移至第一記憶體陣列。

在該方法之一些實例中，在第一記憶體胞與第二記憶體胞之間轉移至少一個邏輯值係基於包括該記憶體裝置之一裝置遭斷電。

**圖14**展示繪示根據本發明之各項實施例之形成一混合式記憶體裝置之一方法1400之一流程圖。形成方法可包含參考圖7及圖8所描述之方法。舉例而言，可透過材料沉積與移除之各種組合形成材料或組件。在一些情況中，材料形成或移除可包含未明確標示之一或多個微影步驟。

在方塊1405處，方法可包含在一基板中形成一凹槽陣列，如參考圖7所描述。在一些實例中，該陣列之各凹槽之一開口之一最大尺寸小於100奈米。

在方塊1410處，方法可包含在該陣列之兩個或兩個以上凹槽之一表面上形成一第一導電材料，如參考圖7所描述。

在方塊1415處，方法可包含在該陣列之一第一凹槽中形成包括一鐵電材料之一第一記憶體元件材料，其中該第一記憶體元件材料耦合至第一

凹槽中之第一導電材料，如參考圖7所描述。在一些實例中，鐵電材料可係包括鉛或銻或氧或其等之任一組合(例如，氧化鉛或氧化銻)之一化合物。

在方塊1420處，方法可包含在該陣列之一第二凹槽中形成包括一順電材料之一第二記憶體元件材料，其中該第二記憶體元件材料耦合至第二凹槽中之第一導電材料，如參考圖7所描述。

該方法亦可包含形成耦合至第一凹槽之第一記憶體元件材料之一第二導電材料及形成耦合至第二凹槽之第二記憶體元件材料之一第三導電材料。

**圖15**展示繪示根據本發明之各項實施例之形成一混合式記憶體裝置之一方法1500之一流程圖。形成方法可包含參考圖7及圖8所描述之方法。舉例而言，可透過材料沉積與移除之各種組合形成材料或組件。在一些情況中，材料形成或移除可包含未明確標示之一或多個微影步驟。

在方塊1505處，方法可包含在一基板上形成一第一記憶體陣列，該第一記憶體陣列包括凹入式順電電容器，如參考圖8所描述。在一些實例中，凹入式順電電容器包括基板中之凹槽，其中該陣列之各凹槽之一開口之一最大尺寸小於100奈米。

在方塊1510處，方法可包含在基板上形成一第二記憶體陣列，該第二記憶體陣列包括複數個柱，其中該複數個柱之各者包括一鐵電電容器，如參考圖8所描述。

因此，可針對形成及操作一混合式記憶體裝置提供方法1100、1200、1300、1400及1500。應注意，方法1100、1200、1300、1400及1500描述可行實施方案，且操作及步驟可經重新配置或以其他方式經修

改使得其他實施方案係可行的。在一些實例中，來自方法1100、1200、1300、1400及1500中之兩者或兩者以上之特徵可經組合。

本文中之描述提供實例，且不限於申請專利範圍中闡述之範疇、適用性或實例。可在不脫離本發明之範疇之情況下論述之元件之功能及配置中做出改變。各種實例可視情況省略、替代或加入各種程序或組件。此外，關於一些實例描述之特徵可經組合於其他實例中。

本文闡述之描述結合附隨圖式描述實例性組態，且不表示可經實施或在申請專利範圍之範疇內之所有實例。如本文使用之術語「實例性」、「例示性」及「實施例」意謂「用作一實例、例項或圖解」，且非「較佳」或「較其他實例有利」。出於提供理解所描述之技術之目的，詳細描述包含具體細節。然而，此等技術可無需此等具體細節而實踐。在一些例項中，展示呈方塊圖形式之熟知結構及裝置以便避免使所描述實例之概念模糊。

在隨附圖式中，類似組件或特徵可具有同一參考標記。此外，同一類型之各種組件可藉由遵循參考標記由一虛線及區分於類似組件之中之一第二標記來區分。當第一參考標記用於說明書中時，描述可適用於具有同一參考標記之類似組件之任一者，不論第二參考標記為何。

本文描述之資訊及信號可使用多種不同科技及技術之任一者來表示。舉例而言，可貫穿上文描述引用之資料、指令、命令、資訊、信號、位元、符號及碼片可由電壓、電流、電磁波、磁場或粒子、光場或粒子或其等之任一組合來表示。一些圖式可將信號繪示為一單一信號；然而，熟習此項技術者應理解，信號可表示信號之一匯流排，其中該匯流排可具有多種位元寬度。

如本文所使用，術語「虛擬接地」係指經保持於大約零伏特(0 V)然非直接與接地連接之一電壓之一電路之一節點。據此，一虛擬接地之電壓可臨時波動且依平穩狀態返回至大約0 V。一虛擬接地可使用各種電子電路元件來實施，諸如由運算放大器及電阻器組成之一分壓器。其他實施方案亦係可行的。「虛擬接地」或「經虛擬接地」意謂連接至大約0 V。

術語「電子通信」係指支援組件之間之電子流之組件之間之一關係。此可包含組件之間之直接連接，或可包含中間組件。電子通信中之組件可主動地交換電子或信號(例如，在一通電電路中)，或可非主動地交換電子或信號(例如，在一斷開電路中)，然一旦電路通電後，即可經組態及可操作以交換電子或信號。藉由實例，經由一開關(例如，一電晶體)以實體方式連接之兩個組件電子通信，無論開關之狀態為何(即，斷開或閉合)。

本文論述之包含記憶體陣列100之裝置可形成於一半導體基板上，諸如矽、鍺、矽-鍺合金、砷化鎵、氮化鎵等等。在一些情況中，基板係一半導體晶圓。在其他情況中，基板可係一絕緣體上矽(SOI)基板，諸如玻璃上矽(SOG)或藍寶石上矽(SOP)、或另一基板上之半導體材料之磊晶層。基板或基板之子區域之導電性可透過使用包含(但不限於)磷、硼或砷之各種化學物種進行摻雜來控制。可在基板之初始形成或生長期間藉由離子植入或藉由任一其他摻雜方法執行摻雜。

本文論述之一電晶體或若干電晶體可表示一場效應電晶體(FET)，且包括包含一源極、汲極及閘極之一三端子裝置。該等個段子可透過導電材料(例如，金屬)連接至其他電子元件。源極及汲極可係導電的，且可包括一重摻雜(例如，再生)半導體區域。源極及汲極可由一輕摻雜半導體區域

或通道分離。若通道係n型(即，主要載子係電子)，則FET可稱為n型FET。若通道係p型(即，主要載子係電洞)，則FET可稱為p型FET。通道可由一絕緣閘極氧化物覆蓋。通道導電性可藉由將一電壓施加至閘極來控制。舉例而言，分別將一正電壓或負電壓施加至一n型FET或一p型FET可導致通道變成導電的。一電晶體可在大於或等於電晶體之臨限電壓之一電壓經施加至電晶體閘極時「接通」或「經啟動」。電晶體可在小於電晶體之臨限電壓之一電壓經施加至電晶體閘極時「斷開」或「經撤銷啟動」。

結合本文中之揭示內容描述之各種繪示性方塊、組件及模組可使用一通用處理器、一DSP、一ASIC、一FPGA或其他可程式化邏輯裝置、離散閘極或電晶體邏輯、離散硬體組件或其等之經設計以執行本文描述之功能之任一組合來實施或執行。一通用處理器可係一微處理器，然在替代實施例中，處理器可係任一習知處理器、控制器、微控制器或狀態機。一處理器亦可經實施為計算裝置之一組合(例如，一DSP與一微處理器、多個微處理器、一或多個微處理器連同一DSP核心、或任一其他此組態之一組合)。

本文描述之功能可經實施於由硬體、由一處理器執行之軟體、韌體或其等之任一組合中。若經實施於由一處理器執行之軟體中，則功能可經儲存於一電腦可讀媒體上之一或多個指令或程式碼上或通過一或多個指令傳輸。其他實例及實施方案在本揭示內容及隨附申請專利範圍之範疇內。舉例而言，由於軟體之性質，上文描述之功能可使用由一處理器執行之軟體、硬體、韌體、硬寫或此等事物之任何者之組合來實施。實施功能之特徵亦可以實體方式定位於各種位置處，包含經分佈使得功能之部分經實施於不同實體位置處。此外，如本文所使用，包含申請專利範圍中，如一術

語列表(例如，以片語為(諸如「…之至少一者」或「…之一或多者」)為序之一術語列表)中使用之「或」指示一包含列表，使得例如A、B或C之至少一者之一列表意謂A或B或C、或AB或AC或BC、或ABC (即，A及B及C)。

電腦可讀媒體包含非暫時性電腦儲存媒體與包含促進一電腦程式自一個地方轉移至另一地方之任一媒體之通信媒體兩者。一非暫時性儲存媒體可係可由一通用或專用電腦存取之任一可用媒體。藉由實例，且非限制，非暫時性電腦可讀媒體可包括RAM、ROM、電可擦除可程式化唯讀記憶體(EEPROM)、磁碟(CD) ROM或其他光碟儲存裝置、磁碟儲存裝置或其他磁性儲存裝置、或可用於實施或儲存呈指令或資料結構之形式之所要程式碼構件且可由一通用或專用電腦或一通用或專用處理器存取之任一其他非暫時性媒體。

此外，任一連接適當地稱為一電腦可讀媒體。舉例而言，若軟體使用一共軸纜線、光纖纜線、雙絞線、數位用戶線(DSL)或無線技術(諸如紅外、無線電及微波)自一網站、服務器或其他遠端源傳輸，則共軸纜線、光纖纜線、雙絞線、數位用戶線(DSL)或無線技術(諸如紅外線、無線電及微波)包含於媒體之定義中。如本文所使用之磁碟及光碟包含CD、雷射碟、光碟、數位多功能光碟(DVD)、軟碟及藍光光碟，其中磁碟通常以磁方式再生資料，而光碟使用雷射以光方式再生資料。上述事物之組合亦包含於電腦可讀媒體之範疇內。

本文中之描述經提供以使熟習此項技術者製造或使用本揭示內容。熟習此項技術者將容易地明白對本揭示內容之各種修改，且本文定義之一般原理可應用至其他變體，而不脫離本揭示內容之範疇。因此，本揭示內

容不限於本文描述之實例及設計，然要符合與本文揭示之原理及新穎特徵一致之最廣泛範疇。

**【符號說明】**

100	記憶體陣列
100-a	記憶體陣列
100-b	記憶體陣列
100-c	記憶體陣列
100-d	記憶體陣列
100-e	記憶體陣列
100-f	記憶體陣列
105	記憶體胞
105-a	記憶體胞
105-b	記憶體胞
105-c	記憶體胞
105-d	記憶體胞
105-e	記憶體胞
105-f	記憶體胞
105-g	記憶體胞
110	存取線/字線
110-a	字線
110-b	字線
110-c	字線
110-d	字線

110-e	字線
115	位元線
115-a	數位線
115-b	位元線/數位線
115-c	位元線
115-d	數位線
120	列解碼器
125	感測組件
125-a	感測組件
125-b	感測組件
130	行解碼器
135	輸出/輸入
140	記憶體控制器
140-a	記憶體控制器
140-b	記憶體控制器
140-c	記憶體控制器
200	電路
205	電容器
205-a	電容器
205-b	電容器
210	板線
210-a	板線
210-b	板線

215	胞底部
220	選擇組件
220-a	選擇組件
220-b	選擇組件
225	參考信號
230	胞板
300-a	曲線圖
300-b	曲線圖
305	電荷狀態
305-a	電荷狀態
305-b	電荷狀態
305-c	電荷狀態
310	電荷狀態
310-a	電荷狀態
310-b	電荷狀態
315	電壓
320	路徑
325	電壓
330	路徑
335	線性材料
340	順電材料
405	基板
405-a	基板

505	電極
505-a	電極
510	下電極
515	選擇組件
520	記憶體元件
600	系統
605	計數器
610	計時器
615	外部組件
700	處理步驟
701	處理步驟
702	處理步驟
703	處理步驟
704	處理步驟
705	處理步驟
710	介電材料
715	電極材料
720	遮罩材料
725	鐵電材料
730	電極材料
735	順電材料
800	程序
805	介電材料

810	電極材料
815	電極材料
820	順電材料
825	鐵電材料
830	選擇組件材料
835	字線材料
840	位元線材料
845	介電材料
900	方塊圖
910	偏壓組件
915	時序組件
920	參考組件
925	鎖存器
1000	系統
1005	裝置
1010	處理器
1015	<b>BIOS</b> 組件
1020	周邊組件
1025	輸入/輸出控制組件
1030	匯流排
1035	輸入裝置
1040	輸出裝置
1100	方法

1105	方塊
1110	方塊
1115	方塊
1200	方法
1205	方塊
1210	方塊
1215	方塊
1300	方法
1305	方塊
1310	方塊
1400	方法
1405	方塊
1410	方塊
1415	方塊
1420	方塊
1500	方法
1505	方塊
1510	方塊
Q	電荷
V	電壓差/電壓

## 【發明摘要】

### 【中文發明名稱】

混合式記憶體裝置

### 【英文發明名稱】

HYBRID MEMORY DEVICE

### 【中文】

本發明描述用於一混合式記憶體裝置之方法、系統及裝置。該混合式記憶體裝置可包含一單一基板或晶粒上之揮發性及非揮發性記憶體胞。該等非揮發性記憶體胞可具有鐵電電容器，且該等揮發性記憶體胞之各自邏輯儲存組件可具有順電 (paraelectric) 或線性介電電容器。在一些實例中，該等揮發性記憶體胞可用作該等非揮發性記憶體胞之一快取區。或者，該等非揮發性記憶體胞可用作該等揮發性記憶體胞之一備份。藉由將兩種類型之胞放置於一單一晶粒上，而非放置於分離晶粒上，各種效能度量可改良，包含與電力消耗及操作速度有關之彼等度量。

### 【英文】

Methods, systems, and devices for a hybrid memory device are described. The hybrid memory device may include volatile and non-volatile memory cells on a single substrate, or die. The non-volatile memory cells may have ferroelectric capacitors and the volatile memory cells may have paraelectric or linear dielectric capacitors for their respective logic storage components. In some examples, the volatile memory cells may be used as a cache for the non-volatile memory cells. Or the non-volatile memory cells may be used as a back-up for the

volatile memory cells. By placing both types of cells on a single die, rather than separate dies, various performance metrics may be improved, including those related to power consumption and operation speed.

【指定代表圖】

圖4

【代表圖之符號簡單說明】

100-a	記憶體陣列
105-b	記憶體胞
105-c	記憶體胞
110-b	字線
110-c	字線
115-b	位元線
205-a	電容器
205-b	電容器
210-a	板線
220-a	選擇組件
220-b	選擇組件
405	基板

**【發明申請專利範圍】****【第1項】**

一種記憶體設備，其包括：

一基板；

一第一記憶體胞，其形成於定位於該基板上之一第一凹槽中，且該第一記憶體胞包括一第一類型電容器；及

一第二記憶體胞，其形成於定位於該基板上之一第二凹槽中，該第二記憶體胞包括不同於該第一類型電容器之一第二類型電容器。



































# 【發明說明書】

## 【中文發明名稱】

混合式記憶體裝置

## 【英文發明名稱】

HYBRID MEMORY DEVICE

## 【技術領域】

下文大體上係關於記憶體裝置，且更具體言之，係關於一混合式記憶體裝置。

## 【先前技術】

記憶體裝置廣泛用於將資訊儲存於諸如電腦、無線通信裝置、相機、數位顯示器及其類似者之各種電子裝置中。藉由程式化一記憶體裝置之不同狀態來儲存資訊。舉例而言，二進位裝置具有兩種狀態，其等通常由一邏輯「1」或一邏輯「0」標示。在其他系統中，可儲存兩種以上狀態。為存取所儲存之資訊，電子裝置可讀取或感測記憶體裝置中之儲存狀態。為儲存資訊，電子裝置可將狀態寫入於記憶體裝置中或程式化記憶體裝置中之狀態。

存在各種類型之記憶體裝置，包含隨機存取記憶體(RAM)、唯讀記憶體(ROM)、動態RAM (DRAM)、同步動態RAM (SDRAM)、鐵電RAM (FeRAM)、磁性RAM (MRAM)、電阻式RAM (RRAM)、快閃記憶體及其他記憶體。記憶體裝置可係揮發性或非揮發性。非揮發性記憶體(例如，快閃記憶體)可甚至在缺乏一外部電源之情況下儲存資料達延長時間週期。揮發性記憶體裝置(例如，DRAM)可隨時間丟失其等儲存資料，除非其等由一外部電源週期性刷新。一二進位記憶體裝置可(例如)包含一充

電或放電電容器。然而，一充電電容器可透過洩漏電流隨時間變成放電，從而導致儲存資訊之丟失。然而，揮發性記憶體之某些特徵可提供效能優勢，諸如更快之讀取或寫入速度，而非揮發性記憶體之特徵(諸如在無週期性刷新之情況下儲存資料之能力)可係有利的。

採用揮發性記憶體還是非揮發性記憶體之一判定通常係特定於使用記憶體裝置之電子裝置之應用。由於各類型之相對益處及缺點，選擇一種記憶體類型而非另一記憶體類型可導致至少一個度量或特性中之減小效能。此可最終限制電子裝置之效能。

### 【發明內容】

根據本發明之一實施例，一種操作一記憶體裝置之方法，其包括：在一控制器處接收在一第一胞類型之一第一記憶體胞與一第二胞類型之一第二記憶體胞之間轉移至少一個邏輯值之一指示，其中該第一胞類型包括一鐵電電容器，且該第二胞類型包括一順電電容器；在該第一記憶體胞與該第二記憶體胞之間轉移該至少一個邏輯值；及其中一基板包括該第一記憶體胞及該第二記憶體胞。

根據本發明之一實施例，一種設備，其包括：一基板，其包括一第一胞類型之一第一記憶體胞及一第二胞類型之一第二記憶體胞；及一控制器，其與該基板電通信，其中該控制器係可操作以致使該設備：接收在該第一胞類型之該第一記憶體胞與該第二胞類型之該第二記憶體胞之間轉移至少一個邏輯值之一指示，其中該第一胞類型包括一鐵電電容器，且該第二胞類型包括一順電電容器；及在該第一記憶體胞與該第二記憶體胞之間轉移該至少一個邏輯值。

根據本發明之一實施例，一種記憶體設備，其包括：一基板；一第

一記憶體胞，其與該基板耦合且包括一鐵電電容器；一第二記憶體胞，其與該基板耦合且包括一順電電容器；及一控制器，其與該基板耦合且經組態以接收在該第一記憶體胞與該第二記憶體胞之間轉移至少一個邏輯值之一指示及在該第一記憶體胞與該第二記憶體胞之間轉移該至少一個邏輯值。

### 【圖式簡單說明】

本文中之揭示內容係指且包含下列圖：

圖1繪示根據本發明之各項實施例之支援一混合式記憶體裝置之一實例性記憶體陣列；

圖2繪示根據本發明之各項實施例之由一混合式記憶體裝置支援之一記憶體胞之一實例性電路；

圖3繪示根據本發明之各項實施例之由一混合式記憶體裝置支援之一鐵電記憶體胞之實例性磁滯曲線圖；

圖4繪示根據本發明之各項實施例之支援一混合式記憶體裝置之一實例性記憶體陣列；

圖5繪示根據本發明之各項實施例之支援一混合式記憶體裝置之一實例性記憶體陣列；

圖6繪示根據本發明之各項實施例之包含一混合式記憶體裝置之支援一混合式記憶體裝置之一系統；

圖7A至圖7C繪示根據本發明之各項實施例之用於形成一混合式記憶體裝置之一實例性程序流；

圖8繪示根據本發明之各項實施例之用於形成一混合式記憶體裝置之一實例性程序流；

圖9繪示根據本發明之各項實施例之一實例性混合式記憶體裝置之一方塊圖；

圖10繪示根據本發明之各項實施例之包含一混合式記憶體裝置之支援一混合式記憶體裝置之一系統；

圖11至圖13係繪示根據本發明之各項實施例之用於操作一混合式記憶體裝置之一方法或若干方法之流程圖；及

圖14至圖15係繪示根據本發明之各項實施例之用於形成一混合式記憶體裝置之一方法或若干方法之流程圖。

### 【實施方式】

#### 交叉參考

本專利申請案主張由Ryan在2016年8月31日申請、讓與其受讓人之題為「Hybrid Memory Device」之美國專利申請案第15/252,886號之優先權。

揭示將揮發性及非揮發性記憶體胞組合於一單一基板或晶粒上之一混合式記憶體裝置。該混合式裝置可具有兩種記憶體技術之有益屬性：與非揮發性記憶體胞之長期儲存裝置耦合之揮發性記憶體胞之典型快速讀取及寫入操作。藉由在一單一晶粒而非分離晶粒上或甚至在同一記憶體陣列內形成兩種類型，可改良各種效能度量，包含兩種記憶體類型之間之資料轉移之減小延時、減小電力要求及減小記憶體裝置之面積，對於包含電力敏感裝置及空間敏感裝置之諸多電子裝置(諸如行動裝置)，其中全部皆係相關的。

混合式記憶體裝置可包含揮發性記憶體胞(例如，具有順電電容器之DRAM)及非揮發性記憶體胞(例如，具有鐵電電容器之FeRAM)。與

FeRAM相比，DRAM可具有經改良效能，包含延時(存取速度)、耐久性(最大存取數目)、有效功率或原始位元錯誤率。然而，DRAM係揮發性的且需要刷新處理及一恆定電力供應器，而FeRAM可能不具有刷新要求。因此，藉由組合DRAM與FeRAM，一記憶體裝置可組合兩者之正向屬性。

將兩種記憶體類型組合於一單一晶粒上提供進一步益處。一晶粒可經界定為構成記憶體陣列之電子電路形成於其上之半導體材料之個別零件。一單一半導體晶圓可導致多個晶粒，其中晶圓在處理後經切割成個別晶粒。因此，一個處理流可導致具有形成於晶粒上之多種記憶體類型之一單一晶粒，其可比生產各具有一不同記憶體類型之兩個分離晶粒便宜。此外，與使用分離DRAM及FeRAM晶粒相比，此可導致一減小面積。此外，與分離記憶體晶粒相比，一混合式記憶體裝置可具有減小延時，此係因為資訊在一單一晶粒上之記憶體胞之間之移動可快於資訊透過各種介面、組件及控制器至一第二晶粒之移動。

在本文描述之一些實例中，一單一記憶體陣列可能主要含有鐵電電容器與一些順電電容器或線性電容器。如本文描述，描述或論述順電材料或順電電容器之實例可另外或替代地採用線性材料，或亦可係線性電容器。舉例而言，順電電容器可用作至FeRAM陣列之一DRAM快取區。FeRAM胞可具有一耐久極限，使得其等可能由於藉由讀取或寫入鐵電材料引發之降級而不再儲存可區分邏輯值。DRAM快取區可幫助防止FeRAM胞到達其等耐久極限，此係因為一DRAM胞之順電電容器可具有比FeRAM胞大諸多數量級之一耐久極限。對一FeRAM胞之讀取嘗試可經快取於一DRAM胞中，且對同一FeRAM胞之任何未來讀取嘗試可經引導

至DRAM胞，從而消除對存取FeRAM胞之需求。另外或替代地，可偵測對一FeRAM胞之重複存取嘗試，且資料可經轉移至一DRAM胞，且未來存取嘗試可經引導至DRAM胞。DRAM快取區可採取以下形式：記憶體裝置之一單一系列、每記憶體庫一系列或各種列/行組合。

在本文描述之一些實例中，分離記憶體陣列、DRAM及FeRAM可經形成於一單一晶粒上，且DRAM陣列可用作非揮發性FeRAM陣列之一快取區。因此，DRAM陣列可用作一可迅速存取記憶體，且FeRAM陣列可用作長期儲存裝置。可在兩個陣列之間交換更大量資料，諸如數頁資料。在一些情況中，可內部(即，在晶粒上)管理此轉移，且因此與資料在分離晶粒上之分離記憶體陣列之間之移動相比，此轉移可具有減小延時。

在本文描述之一些實例中，一FeRAM陣列可在一電力中斷事件中藉由將資料自DRAM轉移至FeRAM而用作DRAM陣列之一備份。分離DRAM及FeRAM陣列可形成於同一晶粒上。部分或全部DRAM資料可經轉移至FeRAM陣列。因為兩個陣列皆在同一晶粒上，故此轉移可比將資料轉移至一分離晶粒之情況更快，且消耗更少電力。此可減小或消除對在轉移期間提供電力之額外組件之需要。

下文在一記憶體陣列之背景內容中進一步描述上文引入之本揭示內容之特徵。接著，針對在一單一晶粒上包含揮發性及非揮發性記憶體胞之各項實施例，描述具體實例。由與一混合式記憶體裝置有關之設備圖、系統圖及流程圖進一步繪示且參考該等設備圖、系統圖及流程圖描述本揭示內容之此等及其他特徵。

**圖1**繪示根據本發明之各項實施例之支援一混合式記憶體裝置之一實例性記憶體陣列100。記憶體陣列100亦可稱為一電子記憶體設備。記憶

體陣列100包含可經程式化以儲存不同狀態之記憶體胞105。各記憶體胞105可經程式化以儲存由一邏輯0及一邏輯1標示之兩種狀態。在一些情況中，記憶體胞105經組態以儲存兩種以上邏輯狀態。一記憶體胞105可包含儲存表示可程式化狀態之一電荷之一電容器；舉例而言，一充電及未充電電容器分別可表示兩種邏輯狀態。記憶體胞105可係具有一介電材料之一電容器。當將介電材料暴露至一外部電場(例如，由一電容器之一充電板構建之一電場)時，其等展現一非零電極化。介電材料可包含具有線性性質(例如，一介電材料之一電流與電壓關係可係線性的)之材料且在實例中可稱為鐵電材料。介電材料及順電材料可與鐵電材料不同。在其他情況中，記憶體胞105可係一鐵電記憶體胞，該鐵電記憶體胞可包含具有一鐵電材料之一電容器。鐵電材料具有一自發電極化，即，在缺乏一電場之情況下，其等具有一非零極化。一鐵電電容器之電荷之不同位準可表示不同邏輯狀態。下文論述順電及鐵電記憶體胞105之額外細節。

可藉由啟動或選擇適當存取線110或位元線115來執行諸如讀取及寫入記憶體胞105之操作。存取線亦可稱為字線110，且位元線115亦可稱為數位線115。在不曾失去理解或操作之情況下，參考字線及位元線，或其它類似物係可互換的。啟動或選擇一字線110或一數位線115可包含將一電壓施加至各自線。字線110及數位線115由導電材料製成。舉例而言，字線110及數位線115可由金屬(諸如銅、鋁、金、鎢等等)、金屬合金、一導電金屬化合物、導電摻雜半導體或其它導電材料製成。根據圖1之實例，記憶體胞105之各列經連接至一單一字線110，且記憶體胞105之各行經連接至一單一數位線115。藉由啟動一個字線110及一個數位線115(例如，將一電壓施加至字線110或數位線115)，可在其等之相交點處存取一

單一記憶體胞105。存取記憶體胞105可包含讀取或寫入記憶體胞105。一字線110與數位線115之相交點可稱為一記憶體胞之一位址。

在一些架構中，一胞之邏輯儲存裝置(例如，一電容器)可藉由一選擇組件與數位線電隔離。字線110可經連接至選擇組件且可控制選擇組件。舉例而言，選擇組件可係一電晶體，且字線110可經連接至電晶體之閘極。啟動字線110在一記憶體胞105之電容器及其對應數位線115之間導致一電連接或閉合電路。接著，數位線可經存取以讀取或寫入記憶體胞105。在其他實例中，字線110可係一埋入式字線，在下文更詳細論述該字線。在其他架構中，記憶體胞105可經定位於一字線110與一位元線115之一交叉之間，其可稱為一交叉點架構。在交叉處存在一柱結構，且其可使字線110與位元線115分離。在此類情況中，選擇組件可與記憶體胞105整合，即，字線110可能不直接控制選擇組件之操作。下文更詳細論述此。

可透過一系列解碼器120及一行解碼器130控制存取記憶體胞105。在一些實例中，一系列解碼器120自記憶體控制器140接收一系列位址，並基於經接收列位址啟動適當字線110。類似地，一行解碼器130自記憶體控制器140接收一行位址，並啟動適當數位線115。舉例而言，記憶體陣列100可包含標記為WL\_1至WL\_M之多個字線110及標記為DL\_1至DL\_N之多個數位線115，其中M及N取決於陣列大小。因此，藉由啟動一字線110及一數位線115(例如，WL\_2及DL\_3)，可存取其等相交點處之記憶體胞105。在一些情況中，陣列100可包含FeRAM及DRAM胞兩者，且可在該等胞之間轉移資料。

一旦存取後，即可由感測組件125讀取或感測一記憶體胞105以判定

記憶體胞105之儲存狀態。舉例而言，在存取記憶體胞105後，記憶體胞105之電容器可放電至其對應數位線115上。在一鐵電電容器之情況中，放電可係基於將一電壓偏壓或施加至鐵電電容器，而在一DRAM胞之情況中，一旦存取胞後且在未將一電壓施加至電容器之情況下，電容器即可放電至其數位線115上。放電可致使數位線115之電壓之一變化，其中感測組件125可將該電壓變化與一參考電壓(圖中未展示)作比較以便判定記憶體胞105之儲存狀態。舉例而言，若數位線115具有比參考電壓更高之一電壓，則感測組件125可判定記憶體胞105中之儲存狀態係一邏輯1，且反之亦然。感測組件125可包含各種電晶體或放大器以便偵測並放大信號中之一差異，此可稱為鎖存。接著，可透過行解碼器130輸出經偵測記憶體胞105之邏輯狀態作為輸出135。

一記憶體胞105可藉由啟動相關字線110及數位線115來設定或寫入，即，一邏輯值可經儲存於記憶體胞105中。行解碼器130可接受待寫入至記憶體胞105之資料，例如輸入135。在下文更詳細論述寫入一DRAM記憶體胞105或一FeRAM胞105。

在一些記憶體架構中，存取記憶體胞105可使儲存邏輯狀態降級或破壞該儲存邏輯狀態，且重寫或刷新操作可經執行以將原始邏輯狀態返回至記憶體胞105。在DRAM中，例如，電容器可在一感測操作期間部分或完全放電，從而破壞儲存邏輯狀態。故可在一感測操作後重寫邏輯狀態。另外，啟動一單一字線110可導致列中之所有記憶體胞放電；因此，可能無需重寫列中之若干或所有記憶體胞105。

一些記憶體架構(包含DRAM)可隨時間丟失其等儲存狀態，除非其等由一外部電源週期性刷新。舉例而言，一充電電容器可透過洩漏電流隨時

間變成放電，從而導致儲存資訊之丟失。此等所謂之揮發性記憶體裝置之刷新率可相對較高，例如，針對DRAM陣列，係每秒十幾次刷新操作，此可導致顯著電力消耗。具有愈來愈大之記憶體陣列，增加之電力消耗可抑制記憶體陣列之部署或操作(例如，電力供應器、熱產生、材料限制等等)，尤其係對於依賴於一有限電源(諸如一電池)之行動裝置。具有鐵電電容器之記憶體胞105可具有有益性質，例如，非揮發性，此可導致相對於其他記憶體架構之經改良效能。如本文解釋，藉由將DRAM與FeRAM記憶體胞組合於一單一晶粒上，一記憶體裝置可具有兩種記憶體類型之積極屬性。

記憶體控制器140可透過各種組件(諸如列解碼器120、行解碼器130及感測組件125)控制記憶體胞105之操作(例如，讀取、寫入、重寫、刷新等等)。記憶體控制器140可產生列及行位址信號以便啟動所要字線110及數位線115。記憶體控制器140亦可產生並控制在記憶體陣列100之操作期間使用之各種電壓電位。可同時存取記憶體陣列100內之一個、多個或所有記憶體胞105；舉例而言，可在一重設操作期間同時存取記憶體陣列100之多個或全部胞，在該重設操作中所有記憶體胞105或一群組記憶體胞105經設定至一單一邏輯狀態。記憶體控制器140亦可(例如，自一使用者或軟體)接收外部指示以在一FeRAM胞105與一DRAM胞105之間轉移資料。

**圖2**繪示根據本發明之各項實施例之包含一記憶體胞105並支援一混合式記憶體裝置之一實例性電路200。電路200可表示一種類型記憶體胞架構。電路200包含一記憶體胞105-a、字線110-a、數位線115-a及感測組件125-a，其等可分別係如參考圖1描述之一記憶體胞105、字線110、數

位線115及感測組件125之實例。記憶體胞105-a可包含一邏輯儲存組件，諸如具有一第一板、胞板230及一第二板、胞底部215之電容器205。胞板230及板底部215可透過定位於其等之間之一鐵電材料或一順電材料以電容方式耦合。胞板230及胞底部215之定向可經翻轉而無需改變記憶體胞105-a之操作。電路200亦包含選擇組件220及參考信號225。在圖2之實例中，可經由板線210存取胞板230，且可經由數位線115-a存取胞底部215。在其他情況中，板線210可能係不存在的。舉例而言，具有一順電材料之DRAM記憶體胞可僅用數位線115-a來操作。如上文所描述，可藉由對電容器205充電或使電容器205放電來儲存各種狀態。

可藉由操作電路200中表示之各種元件來讀取或感測電容器205之儲存狀態。電容器205可與數位線115-a電子通信。舉例而言，電容器205可在選擇組件220經撤銷啟動時與數位線115-a隔離，且電容器205可在選擇組件220經啟動時經連接至數位線115-a。啟動選擇組件220可稱為選擇或存取記憶體胞105-a。在一些情況中，選擇組件220係一電晶體，且藉由使用字線110-a將一電壓施加至電晶體閘極來控制其操作，其中電壓量值大於電晶體之臨限量值。在一些實例中，選擇組件220與電容器205之位置可經切換，使得選擇組件220經連接於板線210與胞板230之間，且使得電容器205在數位線115-a與選擇組件220之其他端子之間。在此等實例中，選擇組件220可透過電容器205保持與數位線115-a之電子通信。此組態可與讀取及寫入操作之替代時序及偏壓相關聯。

若記憶體胞105-a具有電容器205之該等板之間之一鐵電材料，且如下文更詳細論述，一旦連接至數位線115-a後，電容器205即可不放電。為感測由鐵電電容器205儲存之邏輯狀態，字線110-a可經偏壓以選擇記憶體

胞105-a，且可將一電壓施加至板線210。可在啟動選擇組件220後施加此偏壓，或可將該偏壓不斷地施加至胞板230。使板線210偏壓可導致跨電容器205之一電壓差，此可產生電容器205上之儲存電荷之一變化。儲存電荷之變化量值可取決於電容器205之初始狀態，例如，所儲存初始狀態係一邏輯1還是一邏輯0。此可引發數位線115-a基於儲存於電容器205上之電荷之電壓之一變化，此可用於判定儲存邏輯狀態。

在記憶體胞105-a具有電容器205之板之間之一線性或順電材料之情況中，電容器205可在選擇組件220經啟動後放電至數位線115-a上。即，一板線210可能係不存在的，且在一些實例中，可感測記憶體胞105-a而無需將一外部偏壓施加至胞板230。

數位線115-a之電壓之變化可取決於其本質電容，例如，隨著數位線115-a經通電，一些有限電荷可經儲存於數位線115-a中，且數位線之所得電壓可取決於數位線115-a之本質電容。本質電容可取決於數位線115-a之實體特性，包含數位線115-a之尺寸。數位線115-a可連接諸多記憶體胞105，故數位線115-a可具有一長度，該長度可導致一不可忽略之電容(例如，大約幾微微法拉(pF))。接著，可由感測組件125-a比較數位線115-a之所得電壓與一參考電壓(例如，參考信號225之一電壓)以便判定記憶體胞105-a之儲存邏輯狀態。

感測組件125-a可包含各種電晶體或放大器以偵測並放大信號之一差異，此可稱為鎖存。感測組件125-a可包含一感測放大器，其接收並比較數位線115-a之電壓與參考信號225，參考信號225可係一參考電壓。接著，感測組件125-a可鎖存感測放大器之輸出或數位線115-a之電壓，或兩者。接著，參考圖1，可例如透過行解碼器130輸出記憶體胞105-a之經鎖

存邏輯狀態作為輸出135。

為寫入記憶體胞105-a，可跨電容器205施加一電壓。可使用各種方法。在一些實例中，可透過字線110-a啟動選擇組件220以便將電容器205連接至數位線115-a。對於一鐵電電容器205，可藉由控制胞板230之電壓(透過板線210)及胞底部215之電壓(透過數位線115-a)以跨電容器205施加一正或負電壓來跨電容器205施加一電壓。對於一線性或順電電容器205，胞板230可幾乎接地，且電容器205可藉由使用數位線115-a將一電壓施加至胞底部215來充電。

**圖3**使用曲線圖300繪示根據本發明之各項實施例之支援一混合式記憶體裝置之記憶體胞之各種材料之實例性電氣性質。曲線圖300-a繪示一鐵電材料之一實例性磁滯曲線，且曲線圖300-b繪示一線性材料335及一順電材料340之一實例性極化。曲線圖300描繪儲存於一電容器(例如，圖2之電容器205)上之電荷Q隨一電壓差V之變化。

一鐵電材料之特徵為一自發電極化，即，在缺乏一電場之情況下，其維持一非零電極化。相比而言，一線性或順電材料僅在存在一外部電場之情況下才展現極化。一鐵電電容器之電極化在鐵電材料之表面處導致透過電容器端子吸引相反電荷之一靜電荷。因此，電荷經儲存於鐵電材料與電容器端子之介面處。因為在缺乏一外加電場之情況下可維持電極化達相對較長時間，甚至係無限期的，如與例如DRAM陣列中採用之順電電容器相比，可顯著減少電荷洩漏。與如上文描述之一些DRAM架構相比，此可減小對執行刷新操作之要求。

如曲線圖300-a中所描繪，鐵電材料可維持具有一零電壓差之一正或負電荷，從而導致兩種可能帶電狀態：電荷狀態305及電荷狀態310。根

據圖3之實例，電荷狀態305表示一邏輯0，且電荷狀態310表示一邏輯1。在一些實例中，可保留各自電荷狀態之邏輯值。

可藉由控制鐵電材料之電極化，且因此藉由施加電壓控制電容器端子上之電荷，將一邏輯0或1寫入至記憶體胞。舉例而言，跨電容器施加一淨正電壓315導致電荷累積直至達到電荷狀態305-a。一旦移除電壓315後，電荷狀態305-a即遵循路徑320直至其依零電壓電位達到電荷狀態305。類似地，藉由施加一淨負電壓325寫入電荷狀態310，此導致電荷狀態310-a。在移除負電壓325後，電荷狀態310-a遵循路徑330直至其依零電壓達到電荷狀態310。一旦移除外部偏壓(例如，電壓)，則電荷狀態305及310亦可稱為剩餘極化(remnant polarization)(Pr)值，即，剩餘極化(remaining polarization)(且因此即電荷)。矯頑電壓係電荷(或極化)在其處係零之電壓。

本文論述之記憶體胞105之鐵電材料可係包含鉛、鋇或氧或其等之任一組合之一化合物。舉例而言，其可包含氧化鉛或氧化鋇。此一鐵電材料可對減小一記憶體胞105之尺寸係有益的。舉例而言，一些鐵電材料可隨著其等尺寸縮減而丟失其等鐵電性質。在一些情況中，具有小於100 nm之至少一個尺寸之鐵電材料無法展現鐵電性質。然而，包含氧化鉛或氧化鋇之鐵電材料可在具有較小尺寸之組件(例如，具有小於100 nm之一厚度之一薄膜)中繼續展現其等鐵電性質。

曲線圖300-b繪示一線性材料335及一順電材料340之實例性極化曲線。如所展示，線性材料335之電荷Q與外加電壓V係線性關係。順電材料340展現具有電壓之一非線性電荷。然而，如與曲線圖300-a中展示之一鐵電材料相比，線性材料335及順電材料340兩者在零電壓處具有一零電

荷。不同邏輯狀態可藉由將一非零電壓施加至具有線性材料335或順電材料340之一電容器來儲存。舉例而言，電荷狀態305-b及305-c可分別表示線性材料335及順電材料340之一邏輯0。同樣亦可使用負電壓。一零電荷(電荷狀態310-b)可表示線性材料335及順電材料340之一邏輯1。因為電容器在充電時具有一非零電壓，故其有利地促進電子自電容器洩漏。因此，儲存電荷可洩漏直至其達到零電荷，即，一邏輯0變為一邏輯1，且儲存邏輯狀態變為損壞或丟失。據此，線性材料335及順電材料340可稱為「揮發性記憶體」。

**圖4**繪示根據本發明之各項實施例之支援一混合式記憶體裝置之一實例性記憶體陣列100-a。記憶體陣列100-a可係參考圖1描述之記憶體陣列100之一實例。記憶體陣列100-a包含記憶體胞105-b及105-c、字線110-b及110-c、及位元線115-b，其等可係如參考圖1及圖2描述之一記憶體胞105、字線110及位元線115之實例。記憶體陣列100-a亦包含板線210-a，其通常經連接至具有一鐵電電容器之多個記憶體胞105。板線210-a可係參考圖2之板線210之一實例。記憶體陣列100-a包含電容器205-a及205-b，其等可係參考圖2之電容器205之一實例。記憶體陣列100-a亦包含選擇組件220-a及220-b，其等可係參考圖2之選擇組件220之一實例。包含記憶體胞105-b及105-c之記憶體陣列100-a可形成於基板405上，基板405可係一單一晶粒。舉例而言，記憶體胞105-c可用作記憶體胞105-b之一快取區以防止記憶體胞105-b達到其等耐久極限。

記憶體胞105-b可具有一鐵電電容器，且因此，可稱為一FeRAM胞105。在一些情況中，鐵電材料可係鈣或銻或氧之一化合物、或其等之任一組合；舉例而言，其可由氧化鈣或氧化銻組成，如參考圖3所論述。記

憶體胞105-c可具有一鐵電電容器，且可稱為一DRAM胞105。記憶體胞105-c可使其電容器之一個端子接地或幾乎接地。

與DRAM相比，FeRAM可具有一有限耐久性，即，FeRAM胞105-b可具有在其壽命內其可支援之一有限數目個讀取或寫入循環，而DRAM胞105-c可具有一無限或高效無限耐久性。舉例而言，讀取及寫入FeRAM胞105-b可使其鐵電電容器緩慢降級，而讀取及寫入DRAM胞105-b可能不會使其順電電容器降級。在一些情況中，一FeRAM陣列之耐久性不足以用於一些部署或使用，其中一小部分記憶體胞經受其等耐久極限。舉例而言，FeRAM胞105-b可具有對諸多典型電子應用適當之一耐久極限；然而，一惡意攻擊(例如，由於一電腦病毒或未經授權存取)可藉由不斷地讀取或寫入記憶體胞105直至其等達到其等耐久極限而嘗試破壞記憶體。因此，一DRAM快取區可與FeRAM胞105-b一起併入於記憶體陣列100-a中以便適應此等情況，且因此，使FeRAM可更廣泛地部署。

記憶體陣列100-a之一實例性主機裝置可係一行動裝置或智慧型電話。記憶體陣列100-a可代替一典型DRAM陣列用於行動裝置中。可具有可與一DRAM陣列比較之一密度、頻寬及耐久性然由於缺乏刷新操作而具有接近零之備份電源之記憶體陣列100-a，可增加電池壽命，且在一備份或未供電(例如，「斷開」)狀態後允許瞬時操作。另外，記憶體陣列100-a之DRAM快取區可增加FeRAM胞105-b之耐久性，且防止由於惡意攻擊造成之破壞。

記憶體陣列100-a可含有依各種比例之鐵電記憶體胞105-b及順電記憶體胞105-c兩者。舉例而言，記憶體陣列100-a可含有一列或行、兩列或行、三列或行、或更多列或行順電記憶體胞105-c或兩者，且陣列之剩餘

部分可係鐵電記憶體胞105-b。因此，基板405可包含包括一第一類型電容器之記憶體胞105-b及包括不同於該第一類型電容器之一第二類型電容器之一第二記憶體胞105-c。在一些實例中，兩種類型之電容器可係凹槽。如本文使用之術語一「凹槽」可指代一基板之一性質、部分或態樣。故基板405可包含：一第一記憶體胞，其形成於包括一第一類型電容器之一第一凹槽中；及一第二記憶體胞，其形成於包括不同於該第一類型電容器之一第二類型之電容器之一第二凹槽中。記憶體胞105-b及105-c可與彼此及/或與控制件140電子通信，例如使得資料可在記憶體胞105之間轉移。

在一些情況中，記憶體胞105-b可係一非揮發性記憶體胞，且記憶體胞105-c可係一揮發性記憶體胞。舉例而言，記憶體胞105-b可包含一鐵電材料，且記憶體胞105-c可包含一順電材料。

儘管圖4中將DRAM胞105-c描繪為通常連接至與FeRAM胞105-b相同之數位線115-b，然此在每例項中並非皆係該情況。舉例而言，DRAM胞105-c可經連接至與任一FeRAM胞105分離之一數位線115，FeRAM胞105可適應用於FeRAM胞105及DRAM胞105之各種感測方案。

為防止一鐵電記憶體胞達到其耐久極限，儲存於一FeRAM胞105-b中之資料可經快取於DRAM胞105-c中。舉例而言，一惡意攻擊可藉由不斷執行一讀取操作直至該胞達到其耐久極限而嘗試破壞FeRAM胞105-b。快取儲存於FeRAM胞105-b中之資料可防止其破壞。舉例而言，記憶體陣列100-a可接收記憶體胞105-b之一讀取請求，記憶體胞105-b可具有一鐵電電容器且可將儲存於記憶體胞105-b中之資料轉移至包括一順電電容器之一第二記憶體胞(例如，記憶體胞105-c)，其中資料基於接收記憶體胞105-b之讀取請求自記憶體胞105-b轉移至記憶體胞105-c。記憶體胞105-c

可經由一直接連接或包含其他組件或裝置之一電路路徑與記憶體胞105-b電子通信。記憶體胞105可各與記憶體控制器140電子通信。轉移該資料可包含讀取儲存於記憶體胞105-b中之邏輯值及將邏輯值寫入至記憶體胞105-c。

接著，記憶體陣列100-a可基於將資料自記憶體胞105-b轉移至記憶體胞105-c而將記憶體胞105-b之一讀取嘗試引導至記憶體胞105-c。換言之，可自DRAM胞105-c服務FeRAM胞105-b之後續讀取操作，而無需進一步存取FeRAM胞105-b。因此，記憶體胞105-b之未來存取將不會計入其循環壽命。在一些實例中，其他快取方法可用於保證與FeRAM胞105-b之一致性，然而，此等方法可由於FeRAM胞105-b及DRAM 105-c胞兩者共同定位於同一基板405上而得以改良。

在操作記憶體陣列100-a中，可同時存取多個記憶體胞105。舉例而言，記憶體陣列100-a可包含多列記憶體胞，其中各列包含一共同存取線(例如，字線110-b或110-c)，且可在一單一存取操作期間藉由啟動該共同存取線來讀取或寫入一整列記憶體胞105。因而，可快取多個FeRAM胞105。即，可同時存取一整列記憶體胞105-b(例如，連接至字線110-b之胞)。其等邏輯值可快取於DRAM胞105-c(例如，連接至字線110-c之胞)中。舉例而言，至少一列可具有記憶體胞105，其等可包括順電電容器(例如，連接至字線110-c之記憶體胞105-c)，且列之一剩餘部分可包括具有鐵電電容器之記憶體胞(例如，連接至字線110-b之記憶體胞105-b)。記憶體陣列100-a可同樣亦包含多個行，其中各行可具有一共同數位線(諸如數位線115-b)。在一些實例中，至少一個列及至少一個行可包含包括順電電容器之記憶體胞(例如，記憶體胞105-c)，且記憶體陣列100-a之列之一剩

餘部分或行之一剩餘部分或兩者可包括具有鐵電電容器之記憶體胞。其他列及行組合係可行的。

在一些情況中，記憶體陣列100-a可含有埋入式字線。舉例而言，字線110-b及110-c可定位於記憶體胞105之電容器205下方。一埋入式字線110可經定位於兩個記憶體胞105之電容器之間，且經定位以與該等電容器電子通信。兩個記憶體胞105可透過一共同接觸件與一數位線115電子通信。因此，埋入式字線110可能不耦合至一數位線115，此可減小總電容，且因此，可減小操作一記憶體胞105之總電力。

在一些實例中，一惡意攻擊可藉由在不同胞或不同列之中交替來繞過DRAM快取區之一單一系列。即，藉由存取FeRAM胞105-b之一第二列，彼等胞可藉由重寫先前快取之FeRAM胞105-b之第一列來快取。然而，可增加DRAM快取區之大小以增加破壞FeRAM胞105-b所需之時間。舉例而言，陣列100-a可含有DRAM胞105-c之一個以上列，使得可快取FeRAM胞105-b之一個以上列。故，若讀取FeRAM胞105-b之一第二集合，則其等資料可經儲存於DRAM胞105-c之第二集合中。接著，可將對FeRAM胞105-b之任一集合之讀取嘗試引導至適當DRAM胞105-c。此可將破壞一記憶體胞105之時間減小一半。一般言之，兩個以上DRAM胞105-c可用作FeRAM胞105-b之一快取區，從而進一步減少破壞一記憶體胞105之時間。

因此，快取區之大小可基於防止尋求重複存取之目標存取型樣以及FeRAM胞105-b之耐久極限來判定。舉例而言，一第一情況可包含整個裝置之DRAM胞105之一單一系列，其可使免受在產品之壽命內不斷存取同一列之極端情況。其他情況可包含每記憶體庫一系列，或各種列或行組合。一

般言之，DRAM胞105-c與FeRAM胞105-b之比例可相對較小，因為存取嘗試可跨一較大數目個列擴展，從而減小超過一單一FeRAM胞105-b之耐久極限之風險。

其他方法可用於觸發快取。舉例而言，代替快取各讀取操作，可在滿足或超過存取嘗試(讀取或寫入)之某一臨限值後，快取記憶體胞。即，記憶體陣列100-a或記憶體陣列100-a之一控制器可判定可包括一鐵電電容器之記憶體胞105-b之存取操作之數目滿足或超過一臨限值。接著，記憶體陣列100-a可將資料自記憶體胞105-b轉移至包括一順電電容器之一第二記憶體胞(例如，記憶體胞105-c)，其中該資料基於判定已存取記憶體胞105-b臨限值數目次而自記憶體胞105-b轉移至記憶體胞105-c。記憶體胞105可與彼此或與記憶體控制器140或兩者電子通信。接著，記憶體陣列100-a可基於將資料自記憶體胞105-b轉移至記憶體胞105-c而將記憶體胞105-b之一存取嘗試引導至記憶體胞105-c。與快取每讀取操作相比，此可提供經改良效能，因為較不頻繁地執行了快取步驟。

一控制器之一計數器或部分可對記憶體胞105-b之各存取嘗試計數，且記憶體陣列100-a可判定存取操作之數目滿足或超過臨限值。在一些情況中，臨限值可係0，使得如上文論述般快取各存取嘗試。其他正臨限值係可行的。在其他情況中，一計時器可判定存取操作之間之時間週期，且記憶體陣列100-a可判定存取操作之間之時間週期小於一臨限時間週期。或，記憶體陣列100-a可判定存取操作之一速率滿足或超過一臨限速率。舉例而言，一計數器及計時器兩者皆可用於判定存取嘗試之一速率。臨限值可由製造商預定或由使用者程式化。可使用偵測重複存取嘗試之其他方式。此外，可使計數器累加，或計時器可基於記憶體胞105之一列內或至

記憶體胞105之一庫之任一記憶體胞105之一存取嘗試來操作。

DRAM胞105-c同樣亦可用於在一寫入程序期間保護FeRAM胞105-b。舉例而言，若一邏輯值經寫入至FeRAM胞105-b，則資料可經寫入至一DRAM胞105-c以及FeRAM胞105-b。若再次寫入同一FeRAM胞105-b，則請求可經引導至DRAM胞105-c，而無需寫入至FeRAM胞105-b。此外，上述方法之任一者可經實施(例如，一計數器或計時器)以判定何時實施此一快取步驟。

記憶體陣列100-a中之記憶體胞105可具有多種形式。在一些情況中，記憶體胞105-b及105-c可係凹槽，諸如下文圖7中繪示之凹槽，因此，記憶體胞105-b及105-c可係一陣列之胞或凹槽。舉例而言，凹槽可形成於基板405中，且電容器可構建於各凹槽中。在一些情況中，一介電材料可形成於凹槽形成於其中之基板405上。如上所述，鐵電材料可具有鐵電性質，即使係小於100 nm之尺寸。因此，用於形成記憶體胞105-b及105-c之凹槽可具有小於100 nm之一開口。記憶體陣列100-a可因此具有一高密度鐵電記憶體胞，且用於DRAM陣列之既有形成程序可用於在同一基板405上形成鐵電記憶體胞105-b及DRAM胞105-c兩者。

在另一實例中，記憶體胞100-a可部分或完全具有一交叉點架構，例如，下文圖5中展示之陣列架構。舉例而言，FeRAM胞105-b可使用此一架構，且其等鐵電電容器可仍具有小於100 nm之一尺寸。DRAM胞105-c可具有凹槽架構。

在一些情況中，兩個記憶體類型可係分離陣列。換言之，一第一記憶體陣列包括一第一記憶體胞，其中第一陣列之各記憶體胞包括一第一類型電容器，且一第二記憶體陣列包括一第二記憶體胞，其中第二陣列之各

記憶體胞包括第二類型電容器。在一些情況中，第一記憶體胞可係一非揮發性記憶體胞，且第二記憶體胞可係一揮發性記憶體胞。舉例而言，記憶體胞105-b可包含一鐵電材料，且記憶體胞105-c可包含一順電材料。

在其他實例中，第一類型之記憶體胞可與一第二類型之一記憶體胞直接成對，使得一個胞用作另一胞之一備份。舉例而言，記憶體陣列100-a可包含包括一第一類型電容器之一第一記憶體胞類型(例如，記憶體胞105-b)及包括不同於第一類型電容器之一第二類型電容器之一第二記憶體胞類型(例如，記憶體胞105-c)，其中記憶體陣列100-a之至少一子集包括複數個記憶體胞對，其中各記憶體胞對包括第一記憶體胞類型之一第一記憶體胞及第二記憶體胞類型之一第二記憶體胞。FeRAM胞105-b可例如用作其成對DRAM胞105-c之一備份。在一些情況中，記憶體陣列100-a可包含多個列及行，且記憶體胞對之第二記憶體胞定位於鄰近於第一記憶體胞之一行或列中。第一類型電容器可包括一鐵電絕緣體，且第二類型電容器可包括一順電材料或一線性介電材料。

**圖5**繪示根據本發明之各項實施例之支援一混合式記憶體裝置之一實例性記憶體陣列100-b。記憶體陣列100-b可係參考圖1及圖4之記憶體陣列100之一實例。記憶體陣列100-b包含記憶體胞105-d、字線110-d、及位元線115-c，其等可係如參考圖1、圖2及圖4描述之一記憶體胞105、字線110及位元線115之實例。記憶體胞105-d包含電極505、電極505-a及記憶體元件520，其中記憶體元件520可係一鐵電材料。記憶體陣列100-b亦包含下電極510及選擇組件515。在一些情況中，一3D記憶體陣列可藉由將多個記憶體陣列100-b堆疊於彼此上而形成。在一些情況中，兩個堆疊式陣列可具有共同存取線，使得各層級可共用字線110或位元線115。如上

文所描述，可藉由程式化記憶體元件520來儲存各種邏輯狀態。記憶體陣列100-b可同樣與其他記憶體架構(例如，形成於凹槽中之電容器)組合。

記憶體陣列100-b可稱為交叉點架構，其中一柱位於字線110與一位元線115之交叉處。舉例而言，記憶體胞105-d經展示為一柱結構，其中字線110-d與位元線115-c交叉。柱結構可包含各種電極、選擇組件515及記憶體元件520，如所展示。其他組態可係可行的。

記憶體陣列100-b可藉由材料形成與移除之各種組合製成。舉例而言，可沉積對應於字線110-d、下電極510、選擇組件515、電極505-a、記憶體元件520及電極505之材料之層。接著，材料可經選擇性地移除以構建所要特徵件，諸如圖5中描繪之柱結構。舉例而言，可使用微影界定特徵件以圖案化一光阻劑，且接著，可藉由諸如蝕刻之技術移除材料。接著，位元線115-c例如藉由沉積一材料層並選擇性地蝕刻以形成圖5中描繪之線結構而形成。在一些情況中，可形成或沉積電絕緣區域或材料。電絕緣區域可包含氧化物或氮化物材料，諸如氧化矽、氮化矽或其他電絕緣材料。

在一些情況中，選擇組件515可串聯連接於一記憶體胞105-d與至少一個導電線(諸如一字線110-d或一位元線115-c)之間。舉例而言，如圖5中所描繪，選擇組件515可定位於電極505-a及下電極510之間；因此，選擇組件515串聯定位於記憶體胞105-d與字線110-d之間。其它組態係可行的。舉例而言，選擇組件可串聯定位於記憶體胞105-d與位元線115-c之間。選擇組件可協助選擇一特定記憶體胞105-d或可幫助防止雜散電流流過鄰近一選定選擇記憶體胞105-d之未選定記憶體胞105-d。選擇組件可包含一電非線性組件(例如，一非歐姆組件)(諸如一金屬-絕緣體-金屬(MIM))

界面)、一雙向臨限開關(OTS)或一金屬-半導體-金屬(MSM)開關以及其他類型兩端子選擇裝置(諸如一二極體)。在一些情況中，選擇組件係一硫屬化物膜。

如上文論述，圖5之記憶體胞105-d可包含一鐵電記憶體元件520，其可具有非揮發性儲存能力。如上文論述，一DRAM胞可用作記憶體陣列100-b之一快取區以便保存記憶體陣列100-b之壽命。DRAM快取區及記憶體陣列100-b兩者可定位於同一基板或晶粒上。

**圖6**繪示根據本發明之各項實施例之包含一混合式記憶體裝置之一系統。系統600包含一基板405-a，其可係參考圖4之一基板405之一實例。系統600包含記憶體陣列100-c及100-d，其等可係參考圖1、圖4及圖5之一記憶體陣列100之一實例。記憶體陣列100-c可係一非揮發性記憶體陣列，且記憶體陣列100-d可係一揮發性記憶體陣列。系統600亦包含一計數器605、計時器610、外部組件615及一記憶體控制器140-a (其可係參考圖1之一記憶體控制器140之一實例)。

記憶體陣列100-c及100-d可定位於同一基板405-a (或晶粒)上，與定位於一分離晶粒上之各陣列相比，其可具有增加效能。在一些情況中，記憶體陣列100-c及100-d可係一單一組合式記憶體陣列。在圖6中展示基板405-a外之記憶體控制器140-a，然在一些情況中，其可定位於基板405-a上。此外，計數器605及計時器610可經定位以與基板405-a分離，或可係記憶體控制器140-a之部分。

記憶體陣列100-c可係一FeRAM陣列，即，其可含有具有一鐵電電容器之記憶體胞。因而，記憶體陣列100-c可稱為FeRAM陣列100-c。FeRAM陣列100-c可由具有一凹槽之記憶體胞105組成。在一些情況中，

FeRAM陣列100-c可包含具有一柱結構(例如，如參考圖4及圖5論述之交叉點架構)之記憶體胞105。

記憶體陣列100-d可係一DRAM陣列，即，其可含有具有一順電電容器之記憶體胞。因此，記憶體陣列100-d可稱為DRAM陣列100-d。DRAM陣列100-d可由具有如參考圖4所論述之一凹槽之記憶體胞105組成。

在一些情況中，FeRAM陣列100-c可用於儲存，且DRAM陣列100-d可用作FeRAM陣列100-c之一快取區。舉例而言，與一DRAM陣列100-d相比，FeRAM陣列100-c可具有一經改良晶粒面積效率。舉例而言，FeRAM陣列100-c可係一交叉點陣列(例如，如圖5中展示)，其中各記憶體胞佔用比一DRAM胞105小之一晶粒面積。此外，該交叉點陣列可係一三維陣列，因此，顯著增加面積有效性。在一些情況中，與DRAM陣列100-d相比，FeRAM陣列100-c可具有一較高延時或較高啟動功率，且可能有利的係，使用DRAM陣列100-d作為FeRAM陣列100-c之一快取區。舉例而言，多個記憶體胞105之頁或單元可在FeRAM陣列100-c與DRAM陣列100-d之間交換。因為兩個陣列可在同一基板405-a上，故此轉移可比其等在分離基板或晶粒上之情況快。在一些實例中，可管理DRAM陣列100-d而無需由一外部處理器或組件進行干預。舉例而言，可內部管理轉移作為一快取區，然具有管理更大本地快取線之能力。

在一些情況中，記憶體控制器140-a可管理記憶體陣列100-c及100-d。舉例而言，記憶體控制器140-a可接收在一第一胞類型之一第一記憶體胞105與一第二胞類型之一第二記憶體胞105之間轉移至少一個邏輯值之一指示，其中該第一胞類型包括一鐵電電容器，且第二胞類型包括一順電

電容器。舉例而言，第一記憶體胞105可係FeRAM陣列100-c之部分，且第二記憶體胞105可係DRAM陣列100-d之部分。記憶體控制器140-a可在第一記憶體胞與第二記憶體胞之間轉移至少一個邏輯值。舉例而言，在至FeRAM陣列100-c之一寫入操作中，邏輯值可首先經寫入至DRAM陣列100-d。記憶體控制器140-a可讀取DRAM陣列100-d中之儲存邏輯值，且接著將其寫入至FeRAM陣列100-c。對於一讀取操作，記憶體控制器140-a可讀儲存於FeRAM陣列100-c中之邏輯值，並將其寫入至DRAM陣列100-d，使得其經快取於DRAM陣列100-d中，其中可根據其他操作存取其。此等操作不限於單一記憶體胞105，例如，操作可係關於多個記憶體胞105或記憶體頁。舉例而言，FeRAM陣列100-c之記憶體胞之一數量可大於DRAM陣列100-d之記憶體胞之一數量，且轉移至少一個邏輯值可包含在第一記憶體陣列與第二記憶體陣列之間轉移邏輯值之一子集。

此一系統對基線系統可係有益的，該等基線系統包含(例如)基於一DRAM主記憶體之計算平台，及一硬碟驅動(HDD)及/或NAND固態驅動(SSD)儲存裝置之任一者。在一些情況中，FeRAM陣列100-c之延時可係比NAND及HDD更佳之數量級，且可極大減小由於傳呼記憶體對儲存裝置之負效能影響。同一基板405-a上之DRAM陣列100-d與FeRAM陣列100-c之組合可進一步減小彼等轉移對系統效能之影響(例如，如相對於時間所量測)，且亦將比跨兩個系統介面且透過主機記憶體控制器及輸入/輸出(IO)集線器在分離DRAM與NAND/HDD裝置之間進行彼等轉移之情況消耗更少電力。

在一些情況中，FeRAM陣列100-c可用作DRAM陣列100-d之一備份。舉例而言，若中斷至DRAM陣列100-d之電力，則儲存於DRAM陣列

100-d中之資料可經轉移至非揮發性FeRAM陣列100-c。在此類情況中，在記憶體胞105之數量中，DRAM陣列100-d之大小可相同或小於FeRAM陣列100-c。其他相對大小可係可行的。一旦電力中斷後，DRAM陣列100-d之內容或一經設計部分即可經轉移至FeRAM陣列100-c。因為轉移包含於一單一基板405-a內，故可減小或消除轉移之電力需求(與不同基板或晶粒上之陣列相比)，此可消除用於在此類電力中斷期間將資料轉移至其他晶粒之其他組件，諸如超級電容器。在一些情況中，習知非揮發性儲存方法可用於保證DRAM陣列100-d之內容在一電力中斷時被接受為丟失或受保護以便達成永久性記憶體。

此一系統可具有進一步益處。舉例而言，具有DRAM及NAND記憶體之非揮發性雙線內記憶體模組(NVDIMM)需要一電源，該電源經設計以在一電力中斷事件中在其將DRAM內容轉移至NAND花費之時間量內提供備份電力，且必須在彼持續時間內提供足夠電力以在分離裝置之間進行彼等轉移。在上文關於同一基板405-a上之FeRAM陣列100-c及DRAM陣列100-d所論述之實例中，彼等轉移可更快且在晶片上，從而依兩種方式減小電力需求。

在記憶體陣列100-c與100-d之間轉移資料之指示可來自外部組件615，其等可表示外部硬體或軟體。換言之，轉移至少一個邏輯值之指示可包含自基板405-a外之一組件接收指示。在一些情況中，在第一記憶體胞與第二記憶體胞之間轉移至少一個邏輯值之指示可係基於主機裝置遭斷電。舉例而言，一智慧型電話裝置可遭斷電，且揮發性DRAM陣列100-d之內容可經轉移至非揮發性FeRAM陣列100-c以保存資料。

**圖7A、圖7B及圖7C**繪示根據本發明之各項實施例之用於形成一混合

式記憶體裝置之一實例性程序流，其可包含處理步驟700、701、702、703、704及705。所得記憶體裝置可係參考圖1、圖4及圖6之記憶體陣列100中之記憶體胞架構之一實例。處理步驟700至705包含形成介電材料710、電極材料715、遮罩材料720、鐵電材料725、電極材料730及順電材料735。處理步驟700至705可在一單一基板或晶粒上形成兩種類型記憶體胞105。所得記憶體胞可係形成於凹槽中之電容器。在一些實例中，電容器可與一埋入式字線110電子通信。

各種技術可用於形成圖7A至圖7C及下文圖8中展示之材料或組件。此等技術可包含例如化學汽相沉積(CVD)、有機金屬汽相沉積(MOCVD)、物理汽相沉積(PVD)、濺鍍沉積、原子層沉積(ALD)或分子束磊晶(MBE)以及其他薄膜生長技術。可使用數種技術移除材料，其等可包含例如化學蝕刻(亦稱為「濕式蝕刻」)、電漿蝕刻(亦稱為「乾式蝕刻」)或化學機械平坦化。

在處理步驟700處，凹槽可經形成於介電材料710中。在一些情況中，可形成一凹槽陣列。凹槽之開口之最大尺寸可小於100 nm。介電材料710可係一基板或可係沉積於一基板上之介電材料。可使用各種蝕刻技術形成凹槽，其可在必要時使用光遮罩及微影來界定特徵。

在處理步驟701處，電極材料715可經沉積以在陣列之兩個或兩個以上凹槽之表面上形成一第一導電材料。在一些情況中，此可對應於電容器之一第一電極。可移除凹槽外部之電極材料715。接著，可形成遮罩材料720以覆蓋一種類型記憶體胞。

在圖7B中之處理步驟702處，包括鐵電材料725之一第一記憶體元件材料可形成於陣列之一第一凹槽中，其中第一記憶體元件材料耦合至第一

凹槽中之電極材料715。因此，一記憶體元件可形成於未由遮罩材料720覆蓋之凹槽內。鐵電材料可係包括鉛或銦或氧或其等之任一組合(例如，氧化鉛或氧化銦)之一化合物。

接著，可藉由沉積電極材料730形成一第二導電材料，電極材料730耦合至第一凹槽之第一記憶體元件材料(鐵電材料725)。電極材料730可係電容器之第二電極。在處理步驟703處，遮罩材料720可經移除以暴露先前遮罩之凹槽。

在圖7C中之處理步驟704處，一第二遮罩材料720可經形成以覆蓋先前形成之具有鐵電材料725之電容器。接著，包括順電材料735之一第二記憶體元件材料可形成於陣列之一第二凹槽中，其中第二記憶體元件材料耦合至第二凹槽中之第一導電材料(電極材料715)。接著例如藉由沉積電極材料730形成耦合至第二凹槽之第二記憶體元件材料之一第三導電材料。

在處理步驟705處，可移除第二遮罩材料720。所得結構係兩種記憶體胞類型：一順電記憶體胞及一鐵電記憶體胞。儘管展示為靠近彼此，然記憶體胞類型無需靠近彼此。遮罩材料720可經適當圖案化以在處理期間遮罩掉記憶體陣列之任一部分。因此，鐵電記憶體胞可形成於記憶體陣列之一個部分中，且順電記憶體胞可形成於另一部分中。

**圖8**繪示根據本發明之各項實施例之用於形成一混合式記憶體裝置之一實例性程序800。所得記憶體裝置可係參考圖1、圖4、圖5及圖6之記憶體陣列100中之記憶體胞架構之一實例。程序800包含形成介電材料805、電極材料810、電極材料815、順電材料820、鐵電材料825、選擇組件材料830、字線材料835、位元線材料840及介電材料845。程序800可在一單

一基板或晶粒上形成兩種類型記憶體胞105。一種類型可係一凹槽，如圖7中所論述，且另一類型可係一交叉點結構，如圖5中所論述。

程序800可包含在凹槽中形成順電記憶體胞，如參考圖7所論述。舉例而言，凹槽可形成於介電材料805中。介電材料805可係一基板或可係沉積於一基板上之介電材料。可使用各種蝕刻技術形成凹槽，其可使用光遮罩及微影來界定特徵。電極材料715可經沉積以構建電容器之一第一電極。可移除凹槽外部之電極材料715。順電材料820可經沉積以在凹槽內之電極材料715上形成一膜。接著，電極材料815可經沉積以形成電容器之第二電極。

程序800可包含形成一鐵電交叉點陣列。多種方法可用於形成交叉點陣列。可藉由將材料沉積於一基板上(例如，藉由沉積材料層)而形成材料之一堆疊。例如，可沉積對應於字線材料835、電極材料810、選擇組件材料830、電極材料810、鐵電材料825及電極材料810之層。堆疊可經蝕刻以在一個方向上構建通道。可使用適當遮罩界定經蝕刻通道。通道可使用介電質845填充。接著，位元線材料840可形成於所得結構之頂部上。接著，一第二蝕刻步驟可形成柱結構。舉例而言，藉由在實質上垂直於第一集合之一方向上蝕刻通道之一第二集合。類似地，可使用適當遮罩界定經蝕刻通道之第二集合。

因此，程序800可包含：在一基板上形成一第一記憶體陣列，第一記憶體陣列包括凹入式順電電容器；及在該基板上形成一第二記憶體陣列，第二記憶體陣列包括複數個柱，其中複數個柱之各者包括一鐵電電容器。

**圖9**展示根據本發明之各項實施例之支援一混合式記憶體裝置之一記憶體陣列100-e之一方塊圖900。記憶體陣列100-e可稱為一電子記憶體設

備，且包含記憶體控制器140-b及記憶體胞105-e及105-f，其等可係參考圖1至圖6描述之記憶體控制器140及記憶體胞105之實例。記憶體控制器140-b可包含偏壓組件910及時序組件915，且可如圖1至圖6中所描述般操作記憶體陣列100-e。記憶體控制器140-b可與字線110-e、數位線115-d、感測組件125-b及板線210-b電子通信，其等可係參考圖1、圖2、圖4或圖5描述之字線110、數位線115、感測組件125及板線210之實例。記憶體陣列100-e亦可包含參考組件920及鎖存器925。記憶體陣列100-e之組件可與彼此電子通信，且可執行參考圖1至圖6描述之功能。在一些情況中，參考組件920、感測組件125-b及鎖存器925可係記憶體控制器140-b之組件。記憶體胞105-e可係一非揮發性記憶體胞，例如，一FeRAM胞，且記憶體胞105-f可係一揮發性記憶體胞，例如，一DRAM胞。記憶體胞105-e及105-f可與彼此電子通信。

記憶體控制器140-b可經組態以藉由將電壓施加至彼等各種節點來啟動字線110-e、板線210-b或數位線115-d。舉例而言，偏壓組件910可經組態以施加一電壓以操作記憶體胞105-e或105-f以如上文所描述般讀取或寫入記憶體胞105-e或105-f。在一些情況中，記憶體控制器140-b可包含一系列解碼器、行解碼器、或兩者，如參考圖1所描述。此可啟用記憶體控制器140-b以存取一或多個記憶體胞105。偏壓組件910亦可將電壓電位提供至參考組件920以便針對感測組件125-b生成一參考信號。另外，偏壓組件910可提供電壓電位以供感測組件125-b之操作。

在一些情況中，記憶體控制器140-b可使用時序組件915執行其操作。舉例而言，時序組件915可控制各種字線選擇或板偏壓之時序，包含用於切換之時序及施加以執行記憶體功能之電壓，諸如本文中論述之讀取

及寫入。在一些情況中，時序組件915可控制偏壓組件910之操作。

參考組件920可包含針對感測組件125-b生成一參考信號之各種組件。參考組件920可包含經組態以產生一參考信號之電路。在一些情況中，參考組件920可係其他鐵電記憶體胞105。在一些實例中，參考組件920可經組態以輸出具有一值之介於兩個感測電壓之間之一電壓，如參考圖3所描述。或，參考組件920可經設計以輸出一虛擬接地電壓(即，大約0 V)。

感測組件125-b可比較(透過數位線115-d)來自記憶體胞105-e或105-f之一信號與來自參考組件920之一參考信號。一旦判定邏輯狀態後，感測組件即可將輸出儲存於鎖存器925中，其中可根據記憶體陣列100-e係其一部分之一電子裝置之操作來使用其。

在一些情況中，記憶體控制器140-e可接收在記憶體胞105-e、記憶體胞105-f之間轉移至少一個邏輯值之一指示。舉例而言，在至記憶體胞105-f之一寫入操作中，邏輯值可首先經寫入至記憶體胞105-e。記憶體控制器140-b可讀取記憶體胞105-e中之儲存邏輯值，且接著將其寫入至記憶體胞105-f。對於一讀取操作，記憶體控制器140-可讀取記憶體胞105-f存儲之邏輯值，並將其寫入至記憶體胞105-e，使得其經快取於記憶體胞105-e中，其中可根據其他操作存取其。此等操作不限於單一記憶體胞105，例如，操作可係關於多個記憶體胞105或記憶體頁。

**圖10**繪示根據本發明之各項實施例之支援一混合式記憶體裝置之一系統1000。系統1000包含一裝置1005，其可係或包含一印刷電路板以連接或以實體方式支援各種組件。裝置1005包含一記憶體陣列100-f，其可係參考圖1、圖4、圖5、圖6及圖9描述之記憶體陣列100之一實例。記憶

體陣列100-f可含有記憶體控制器140-c及(若干)記憶體胞105-g，其等可係參考圖1、圖6及圖9描述之記憶體控制器140及參考圖1、圖2、圖4、圖5、圖6及圖9描述之記憶體胞105之實例。裝置1005亦可包含一處理器1010、BIOS組件1015、(若干)周邊組件1020及輸入/輸出控制組件1025。裝置1005之組件可透過匯流排1030與彼此電子通信。記憶體陣列100-f可包含揮發性及非揮發性記憶體胞105兩者。

處理器1010可經組態以透過記憶體控制器140-c操作記憶體陣列100-f。在一些情況中，處理器1010可執行參考圖1、圖6及圖9描述之記憶體控制器140之功能。在其他情況中，記憶體控制器140-c可經整合至處理器1010中。處理器1010可係一通用處理器、一數位信號處理器(DSP)、一專用積體電路(ASIC)、一場可程式化閘陣列(FPGA)或其他可程式化邏輯裝置、離散閘極或電晶體邏輯、離散硬體組件，或其可係此等類型之組件之一組合，且處理器1010可執行本文中描述之各種功能，包含在記憶體胞105之間轉移邏輯值。處理器1010可例如經組態以執行儲存於記憶體陣列100-f中之電腦可讀指令以致使裝置1005執行各種功能或任務。

BIOS組件1015可係一軟體組件，其包含操作為韌體之一基本輸入/輸出系統(BIOS)，其可初始化及運行系統1000之各種硬體組件。BIOS組件1015亦可管理處理器1010與各種組件(例如，周邊組件1020、輸入/輸出控制組件1025等等)之間之資料流。BIOS組件1015可包含儲存於唯讀記憶體(ROM)、快閃記憶體或任一其他非揮發性記憶體中之一程式或軟體。

(若干)周邊組件1020可係任一輸入或輸出裝置，或此類裝置之一界面，其經整合至裝置1005中。實例可包含磁碟控制器、聲音控制器、圖形控制器、乙太網路控制器、數據機、通用串行匯流排(USB)控制器、一

串行或並行埠或周邊卡槽，諸如周邊組件互連件(PCI)或加速圖形埠(AGP)槽。

輸入/輸出控制組件1025可管理處理器1010與(若干)周邊組件1020、輸入裝置1035或輸出裝置1040之間之資料通信。輸入/輸出控制組件1025亦可管理未整合至裝置1005中之周邊設備。在一些情況中，輸入/輸出控制組件1025可表示至外部周邊設備之一實體連接或埠。

輸入1035可表示裝置1005外將輸入提供至裝置1005或其組件之一裝置或信號。此可包含一使用者界面或具有其他裝置或其他裝置之間之界面。在一些情況中，輸入1035可係一周邊設備，其經由(若干)周邊組件1020與裝置1005介接，或由輸入/輸出控制組件1025管理。

輸出1040可表示裝置1005外經組態以自裝置1005或其組件之任一者接收輸出之一裝置或信號。輸出1040之實例可包含一顯示器、音訊揚聲器、一打印裝置、另一處理器或印刷電路板等等。在一些情況中，輸出1040可係一周邊設備，其經由(若干)周邊組件1020與裝置1005介接或可由輸入/輸出控制組件1025管理。

記憶體控制器140-c之組件、裝置1005及記憶體陣列100-f可由經設計以實施其等之功能之電路組成。此可包含各種電路元件，例如，導電線、電晶體、電容器、電感器、電阻器、放大器或經組態以實施本文所描述之功能其它主動或非主動元件。

**圖11**展示繪示根據本發明之各項實施例之用於操作一混合式記憶體裝置之一方法1100之一流程圖。方法1100之操作可由一記憶體陣列100實施，如參考圖1至圖6、圖9及圖10所描述。舉例而言，方法1100之操作可由一記憶體控制器140實施，如參考圖1、圖6、圖9及圖10所描述。在一

些實例中，一記憶體控制器 140 可執行一組程式碼以控制記憶體陣列 100 之功能元件執行下文描述之功能。另外或替代地，記憶體控制器 140 可使用專用硬體執行下文描述之功能。

在方塊 1105 處，方法可包含接收一第一記憶體胞之一讀取請求，該第一記憶體胞包括一鐵電電容器，如參考圖 1、圖 4、圖 6 及圖 9 所描述。在某些實例中，方塊 1105 之操作可由記憶體控制器 140 執行或促進，如參考圖 1、圖 6、圖 9 及圖 10 所描述。

在方塊 1110 處，方法可包含將資料自第一記憶體胞轉移至一第二記憶體胞，該第二記憶體胞包括一順電電容器，其中該資料至少部分基於接收第一記憶體胞之讀取請求而自第一記憶體胞轉移至第二記憶體胞，如參考圖 1、圖 4、圖 6 及圖 9 所描述。在某些實例中，方塊 1110 之操作可由記憶體控制器 140 執行或促進，如參考圖 1、圖 6、圖 9 及圖 10 所描述。在一些情況中，可執行方塊 1110 之操作而無需來自主機處理器 1010 之干預，如參考圖所描述。

在方塊 1115 處，方法可包含至少部分基於將資料自第一記憶體胞轉移至第二記憶體胞而將第一記憶體胞之一讀取嘗試引導至第二記憶體胞，如參考圖 1、圖 4、圖 6 及圖 9 所描述。在某些實例中，方塊 1115 之操作可由記憶體控制器 140 執行或促進，如參考圖 1、圖 6、圖 9 及圖 10 所描述。

在一些情況中，方法可包含：接收一第三記憶體胞之一讀取請求，第三記憶體胞包括一第二鐵電電容器；將資料自第三記憶體胞轉移至一第四記憶體胞，第四記憶體胞包括一第二順電電容器，其中該資料至少部分基於接收第三記憶體胞之讀取請求自第三記憶體胞轉移至第四記憶體胞；及至少部分基於將資料自第三記憶體胞轉移至第四記憶體胞將第三記憶體

胞之一讀取嘗試引導至第四記憶體胞。在一些情況中，第一記憶體胞包括複數個鐵電記憶體胞，且第二記憶體胞包括複數個順電記憶體胞。

方法1100之記憶體胞105可包含一交叉點陣列架構之凹槽或柱。凹槽可具有大小小於100 nm之一開口。鐵電電容器可包含由鈣或銦或氧或其等之任一組合(諸如氧化鈣或氧化銦)製成之一材料。

**圖12**展示繪示根據本發明之各項實施例之用於操作一混合式記憶體裝置之一方法1200之一流程圖。方法1200之操作可由一記憶體陣列100實施，如參考圖1至圖6、圖9及圖10所描述。舉例而言，方法1200之操作可由一記憶體控制器140實施，如參考圖1、圖6、圖9及圖10所描述。在一些實例中，一記憶體控制器140可執行一組程式碼以控制記憶體陣列100之功能元件執行下文描述之功能。另外或替代地，記憶體控制器140可使用專用硬體執行下文描述之功能。

在方塊1205處，方法可包含判定一第一記憶體胞之存取操作之數目超過一臨限值，該第一記憶體胞包括一鐵電電容器，如參考圖1、圖4、圖6及圖9所描述。在一些實例中，方法可包含對存取操作之數目計數及判定存取操作之計數數目滿足或超過臨限值。在其他實例中，方法可包含判定存取操作之一速率滿足或超過一臨限速率。在某些實例中，方塊1205之操作可由記憶體控制器140執行或促進，如參考圖1、圖6、圖9及圖10所描述(計數器605或計時器610，如參考圖6所描述)。

在方塊1210處，方法可包含將資料自第一記憶體胞轉移至一第二記憶體胞，該第二記憶體胞包括一順電電容器，其中該資料至少部分基於判定第一記憶體胞之存取操作之數目超過臨限值而自第一記憶體胞轉移至第二記憶體胞，如參考圖1、圖4、圖6及圖9所描述。在某些實例中，方塊

1210 之操作可由記憶體控制器 140 執行或促進，如參考圖 1、圖 6、圖 9 及圖 10 所描述。在一些情況中，可執行方塊 1210 之操作而無需來自主機處理器 1010 之干預，如參考圖 10 所描述。

在方塊 1215 處，方法可包含基於將資料自第一記憶體胞轉移至第二記憶體胞將第一記憶體胞之一存取嘗試引導至第二記憶體胞，如參考圖 1、圖 4、圖 6 及圖 9 所描述。在某些實例中，方塊 1215 之操作可由記憶體控制器 140 執行或促進，如參考圖 1、圖 6、圖 9 及圖 10 所描述。

**圖 13** 展示繪示根據本發明之各項實施例之用於操作一混合式記憶體裝置之一方法 1300 之一流程圖。方法 1300 之操作可由一記憶體陣列 100 實施，如參考圖 1 至圖 6、圖 9 及圖 10 所描述。舉例而言，方法 1300 之操作可由一記憶體控制器 140 實施，如參考圖 1、圖 6、圖 9 及圖 10 所描述。在一些實例中，一記憶體控制器 140 可執行一組程式碼以控制記憶體陣列 100 之功能元件執行下文描述之功能。另外或替代地，記憶體控制器 140 可使用專用硬體執行下文描述之功能。

在方塊 1305 處，方法可包含在一控制器處接收將至少一個邏輯值自一第一胞類型之一第一記憶體胞轉移至一第二胞類型之一第二記憶體胞或自第二類型之第二記憶體胞轉移至第一類型之第一記憶體胞之一指示，其中第一胞類型包括一鐵電電容器，且第二胞類型包括一順電或線性介電電容器，如參考圖 1、圖 4、圖 6 及圖 9 所描述。舉例而言，可判定一鐵電記憶體胞之一邏輯值，且可向具有一順電電容器之一記憶體胞寫入彼值以便針對鐵電記憶體胞提供某一冗餘或自鐵電記憶體胞卸載。類似地，可判定具有一順電電容器之一記憶體胞之一邏輯值，且可向一鐵電記憶體胞寫入彼值以便針對具有順電電容器之記憶體胞提供某一冗餘或自該記憶體胞卸

載。因此，該方法可包含在第一胞類型之第一記憶體胞與第二胞類型之第二記憶體胞之間轉移至少一個邏輯值之一指示，其中第一胞類型包括一鐵電電容器，且第二胞類型包括一順電或線性介電電容器。在一些實例中，可自基板外之一組件接收指示。在某些實例中，方塊1305之操作可由記憶體控制器140執行或促進，如參考圖1、圖6、圖9及圖10所描述。

在方塊1310處，方法可包含在第一記憶體胞與第二記憶體胞之間轉移至少一個邏輯值，其中一基板包括第一記憶體胞及第二記憶體胞，如參考圖1、圖4、圖6及圖9所描述。轉移至少一個邏輯值可包含讀取儲存於第一記憶體胞中之至少一個邏輯值及將至少一個邏輯值寫入至第二記憶體胞。或，轉移至少一個邏輯值可包含讀取儲存於第二記憶體胞中之至少一個邏輯值及將至少一個邏輯值寫入至第一記憶體胞。在某些實例中，方塊1310之操作可由記憶體控制器140執行或促進，如參考圖1、圖6、圖9及圖10所描述。

在該方法之一些實例中，基板可具有一記憶體陣列，其包含第一記憶體胞及第二記憶體胞。或，基板可具有包括第一胞類型之記憶體胞之一第一記憶體陣列及包括第二胞類型之記憶體胞之一第二記憶體陣列。在一些情況中，第一胞類型包括一非揮發性記憶體胞，且第二胞類型包括一揮發性記憶體胞。在其他情況中，第一胞類型包括一揮發性記憶體胞，且第二胞類型包括一非揮發性記憶體胞。

方法1300之記憶體胞105可包含一交叉點陣列架構之凹槽或柱。凹槽可具有大小小於100 nm之一開口。鐵電電容器可包含由鈣或銦或氧或其等之任一組合(例如，氧化鈣或氧化銦)製成之一材料。

在一些實例中，第一記憶體陣列之記憶體胞之一數量可大於第二記

憶體陣列之記憶體胞之一數量，且轉移至少一個邏輯值包含在第一記憶體陣列與第二記憶體陣列之間轉移邏輯值之一子集。在另一實例中，第一記憶體陣列之記憶體胞之一數量可小於或等於第二記憶體陣列之記憶體胞之一數量，且轉移至少一個邏輯值可包含至少部分基於第二記憶體陣列之一電力中斷將儲存於第二記憶體陣列中之所有邏輯值皆轉移至第一記憶體陣列。

在該方法之一些實例中，在第一記憶體胞與第二記憶體胞之間轉移至少一個邏輯值係基於包括該記憶體裝置之一裝置遭斷電。

**圖14**展示繪示根據本發明之各項實施例之形成一混合式記憶體裝置之一方法1400之一流程圖。形成方法可包含參考圖7及圖8所描述之方法。舉例而言，可透過材料沉積與移除之各種組合形成材料或組件。在一些情況中，材料形成或移除可包含未明確標示之一或多個微影步驟。

在方塊1405處，方法可包含在一基板中形成一凹槽陣列，如參考圖7所描述。在一些實例中，該陣列之各凹槽之一開口之一最大尺寸小於100奈米。

在方塊1410處，方法可包含在該陣列之兩個或兩個以上凹槽之一表面上形成一第一導電材料，如參考圖7所描述。

在方塊1415處，方法可包含在該陣列之一第一凹槽中形成包括一鐵電材料之一第一記憶體元件材料，其中該第一記憶體元件材料耦合至第一凹槽中之第一導電材料，如參考圖7所描述。在一些實例中，鐵電材料可係包括鈣或鋇或氧或其等之任一組合(例如，氧化鈣或氧化鋇)之一化合物。

在方塊1420處，方法可包含在該陣列之一第二凹槽中形成包括一順

電材料之一第二記憶體元件材料，其中該第二記憶體元件材料耦合至第二凹槽中之第一導電材料，如參考圖7所描述。

該方法亦可包含形成耦合至第一凹槽之第一記憶體元件材料之一第二導電材料及形成耦合至第二凹槽之第二記憶體元件材料之一第三導電材料。

**圖15**展示繪示根據本發明之各項實施例之形成一混合式記憶體裝置之一方法1500之一流程圖。形成方法可包含參考圖7及圖8所描述之方法。舉例而言，可透過材料沉積與移除之各種組合形成材料或組件。在一些情況中，材料形成或移除可包含未明確標示之一或多個微影步驟。

在方塊1505處，方法可包含在一基板上形成一第一記憶體陣列，該第一記憶體陣列包括凹入式順電電容器，如參考圖8所描述。在一些實例中，凹入式順電電容器包括基板中之凹槽，其中該陣列之各凹槽之一開口之一最大尺寸小於100奈米。

在方塊1510處，方法可包含在基板上形成一第二記憶體陣列，該第二記憶體陣列包括複數個柱，其中該複數個柱之各者包括一鐵電電容器，如參考圖8所描述。

因此，可針對形成及操作一混合式記憶體裝置提供方法1100、1200、1300、1400及1500。應注意，方法1100、1200、1300、1400及1500描述可行實施方案，且操作及步驟可經重新配置或以其他方式經修改使得其他實施方案係可行的。在一些實例中，來自方法1100、1200、1300、1400及1500中之兩者或兩者以上之特徵可經組合。

本文中之描述提供實例，且不限於申請專利範圍中闡述之範疇、適用性或實例。可在不脫離本發明之範疇之情況下論述之元件之功能及配置

中做出改變。各種實例可視情況省略、替代或加入各種程序或組件。此外，關於一些實例描述之特徵可經組合於其他實例中。

本文闡述之描述結合附隨圖式描述實例性組態，且不表示可經實施或在申請專利範圍之範疇內之所有實例。如本文使用之術語「實例性」、「例示性」及「實施例」意謂「用作一實例、例項或圖解」，且非「較佳」或「較其他實例有利」。出於提供理解所描述之技術之目的，詳細描述包含具體細節。然而，此等技術可無需此等具體細節而實踐。在一些例項中，展示呈方塊圖形式之熟知結構及裝置以便避免使所描述實例之概念模糊。

在隨附圖式中，類似組件或特徵可具有同一參考標記。此外，同一類型之各種組件可藉由遵循參考標記由一虛線及區分於類似組件之中之一第二標記來區分。當第一參考標記用於說明書中時，描述可適用於具有同一參考標記之類似組件之任一者，不論第二參考標記為何。

本文描述之資訊及信號可使用多種不同科技及技術之任一者來表示。舉例而言，可貫穿上文描述引用之資料、指令、命令、資訊、信號、位元、符號及碼片可由電壓、電流、電磁波、磁場或粒子、光場或粒子或其等之任一組合來表示。一些圖式可將信號繪示為一單一信號；然而，熟習此項技術者應理解，信號可表示信號之一匯流排，其中該匯流排可具有多種位元寬度。

如本文所使用，術語「虛擬接地」係指經保持於大約零伏特(0 V)然非直接與接地連接之一電壓之一電路之一節點。據此，一虛擬接地之電壓可臨時波動且依平穩狀態返回至大約0 V。一虛擬接地可使用各種電子電路元件來實施，諸如由運算放大器及電阻器組成之一分壓器。其他實施方

案亦係可行的。「虛擬接地」或「經虛擬接地」意謂連接至大約0 V。

術語「電子通信」係指支援組件之間之電子流之組件之間之一關係。此可包含組件之間之直接連接，或可包含中間組件。電子通信中之組件可主動地交換電子或信號(例如，在一通電電路中)，或可非主動地交換電子或信號(例如，在一斷開電路中)，然一旦電路通電後，即可經組態及可操作以交換電子或信號。藉由實例，經由一開關(例如，一電晶體)以實體方式連接之兩個組件電子通信，無論開關之狀態為何(即，斷開或閉合)。

本文論述之包含記憶體陣列100之裝置可形成於一半導體基板上，諸如矽、鍺、矽-鍺合金、砷化鎵、氮化鎵等等。在一些情況中，基板係一半導體晶圓。在其他情況中，基板可係一絕緣體上矽(SOI)基板，諸如玻璃上矽(SOG)或藍寶石上矽(SOP)、或另一基板上之半導體材料之磊晶層。基板或基板之子區域之導電性可透過使用包含(但不限於)磷、硼或砷之各種化學物種進行摻雜來控制。可在基板之初始形成或生長期間藉由離子植入或藉由任一其他摻雜方法執行摻雜。

本文論述之一電晶體或若干電晶體可表示一場效應電晶體(FET)，且包括包含一源極、汲極及閘極之一三端子裝置。該等個段子可透過導電材料(例如，金屬)連接至其他電子元件。源極及汲極可係導電的，且可包括一重摻雜(例如，再生)半導體區域。源極及汲極可由一輕摻雜半導體區域或通道分離。若通道係n型(即，主要載子係電子)，則FET可稱為n型FET。若通道係p型(即，主要載子係電洞)，則FET可稱為p型FET。通道可由一絕緣閘極氧化物覆蓋。通道導電性可藉由將一電壓施加至閘極來控制。舉例而言，分別將一正電壓或負電壓施加至一n型FET或一p型FET可

導致通道變成導電的。一電晶體可在大於或等於電晶體之臨限電壓之一電壓經施加至電晶體閘極時「接通」或「經啟動」。電晶體可在小於電晶體之臨限電壓之一電壓經施加至電晶體閘極時「斷開」或「經撤銷啟動」。

結合本文中之揭示內容描述之各種繪示性方塊、組件及模組可使用一通用處理器、一DSP、一ASIC、一FPGA或其他可程式化邏輯裝置、離散閘極或電晶體邏輯、離散硬體組件或其等之經設計以執行本文描述之功能之任一組合來實施或執行。一通用處理器可係一微處理器，然在替代實施例中，處理器可係任一習知處理器、控制器、微控制器或狀態機。一處理器亦可經實施為計算裝置之一組合(例如，一DSP與一微處理器、多個微處理器、一或多個微處理器連同一DSP核心、或任一其他此組態之一組合)。

本文描述之功能可經實施於由硬體、由一處理器執行之軟體、韌體或其等之任一組合中。若經實施於由一處理器執行之軟體中，則功能可經儲存於一電腦可讀媒體上之一或多個指令或程式碼上或通過一或多個指令傳輸。其他實例及實施方案在本揭示內容及隨附申請專利範圍之範疇內。舉例而言，由於軟體之性質，上文描述之功能可使用由一處理器執行之軟體、硬體、韌體、硬寫或此等事物之任何者之組合來實施。實施功能之特徵亦可以實體方式定位於各種位置處，包含經分佈使得功能之部分經實施於不同實體位置處。此外，如本文所使用，包含申請專利範圍中，如一術語列表(例如，以片語為(諸如「…之至少一者」或「…之一或多者」)為序之一術語列表)中使用之「或」指示一包含列表，使得例如A、B或C之至少一者之一列表意謂A或B或C、或AB或AC或BC、或ABC (即，A及B及C)。

電腦可讀媒體包含非暫時性電腦儲存媒體與包含促進一電腦程式自一個地方轉移至另一地方之任一媒體之通信媒體兩者。一非暫時性儲存媒體可係可由一通用或專用電腦存取之任一可用媒體。藉由實例，且非限制，非暫時性電腦可讀媒體可包括RAM、ROM、電可擦除可程式化唯讀記憶體(EEPROM)、磁碟(CD) ROM或其他光碟儲存裝置、磁碟儲存裝置或其他磁性儲存裝置、或可用於實施或儲存呈指令或資料結構之形式之所要程式碼構件且可由一通用或專用電腦或一通用或專用處理器存取之任一其他非暫時性媒體。

此外，任一連接適當地稱為一電腦可讀媒體。舉例而言，若軟體使用一共同軸纜線、光纖纜線、雙絞線、數位用戶線(DSL)或無線技術(諸如紅外線、無線電及微波)自一網站、服務器或其他遠端源傳輸，則共同軸纜線、光纖纜線、雙絞線、數位用戶線(DSL)或無線技術(諸如紅外線、無線電及微波)包含於媒體之定義中。如本文所使用之磁碟及光碟包含CD、雷射碟、光碟、數位多功能光碟(DVD)、軟碟及藍光光碟，其中磁碟通常以磁方式再生資料，而光碟使用雷射以光方式再生資料。上述事物之組合亦包含於電腦可讀媒體之範疇內。

本文中之描述經提供以使熟習此項技術者製造或使用本揭示內容。熟習此項技術者將容易地明白對本揭示內容之各種修改，且本文定義之一般原理可應用至其他變體，而不脫離本揭示內容之範疇。因此，本揭示內容不限於本文描述之實例及設計，然要符合與本文揭示之原理及新穎特徵一致之最廣泛範疇。

### 【符號說明】

100            記憶體陣列

100-a	記憶體陣列
100-b	記憶體陣列
100-c	記憶體陣列
100-d	記憶體陣列
100-e	記憶體陣列
100-f	記憶體陣列
105	記憶體胞
105-a	記憶體胞
105-b	記憶體胞
105-c	記憶體胞
105-d	記憶體胞
105-e	記憶體胞
105-f	記憶體胞
105-g	記憶體胞
110	存取線/字線
110-a	字線
110-b	字線
110-c	字線
110-d	字線
110-e	字線
115	位元線
115-a	數位線
115-b	位元線/數位線

115-c	位元線
115-d	數位線
120	列解碼器
125	感測組件
125-a	感測組件
125-b	感測組件
130	行解碼器
135	輸出/輸入
140	記憶體控制器
140-a	記憶體控制器
140-b	記憶體控制器
140-c	記憶體控制器
200	電路
205	電容器
205-a	電容器
205-b	電容器
210	板線
210-a	板線
210-b	板線
215	胞底部
220	選擇組件
220-a	選擇組件
220-b	選擇組件

225	參考信號
230	胞板
300-a	曲線圖
300-b	曲線圖
305	電荷狀態
305-a	電荷狀態
305-b	電荷狀態
305-c	電荷狀態
310	電荷狀態
310-a	電荷狀態
310-b	電荷狀態
315	電壓
320	路徑
325	電壓
330	路徑
335	線性材料
340	順電材料
405	基板
405-a	基板
505	電極
505-a	電極
510	下電極
515	選擇組件

520	記憶體元件
600	系統
605	計數器
610	計時器
615	外部組件
700	處理步驟
701	處理步驟
702	處理步驟
703	處理步驟
704	處理步驟
705	處理步驟
710	介電材料
715	電極材料
720	遮罩材料
725	鐵電材料
730	電極材料
735	順電材料
800	程序
805	介電材料
810	電極材料
815	電極材料
820	順電材料
825	鐵電材料

830	選擇組件材料
835	字線材料
840	位元線材料
845	介電材料
900	方塊圖
910	偏壓組件
915	時序組件
920	參考組件
925	鎖存器
1000	系統
1005	裝置
1010	處理器
1015	BIOS組件
1020	周邊組件
1025	輸入/輸出控制組件
1030	匯流排
1035	輸入裝置
1040	輸出裝置
1100	方法
1105	方塊
1110	方塊
1115	方塊
1200	方法

1205	方塊
1210	方塊
1215	方塊
1300	方法
1305	方塊
1310	方塊
1400	方法
1405	方塊
1410	方塊
1415	方塊
1420	方塊
1500	方法
1505	方塊
1510	方塊
Q	電荷
V	電壓差/電壓

## 【發明申請專利範圍】

### 【第1項】

一種操作一記憶體裝置之方法，其包括：

在一控制器處接收在一第一胞類型之一第一記憶體胞與一第二胞類型之一第二記憶體胞之間轉移至少一個邏輯值之一指示，其中該第一胞類型包括一鐵電電容器，且該第二胞類型包括一順電電容器；

在該第一記憶體胞與該第二記憶體胞之間轉移該至少一個邏輯值；及

其中一基板包括該第一記憶體胞及該第二記憶體胞。

### 【第2項】

如請求項1之方法，其中接收該指示以轉移該至少一個邏輯值包括：  
自該基板外之一組件接收該指示。

### 【第3項】

如請求項1之方法，其中轉移該至少一個邏輯值進一步包括：  
讀取儲存於該第一記憶體胞中之該至少一個邏輯值；及  
將該至少一個邏輯值寫入至該第二記憶體胞。

### 【第4項】

如請求項1之方法，其中轉移該至少一個邏輯值進一步包括：  
讀取儲存於該第二記憶體胞中之該至少一個邏輯值；及  
將該至少一個邏輯值寫入至該第一記憶體胞。

### 【第5項】

如請求項1之方法，其中該基板包括一記憶體陣列，該記憶體陣列包

括該第一記憶體胞及該第二記憶體胞。

**【第6項】**

如請求項1之方法，其中該基板包括包含該第一胞類型之多個記憶體胞之一第一記憶體陣列及包含該第二胞類型之多個記憶體胞之一第二記憶體陣列。

**【第7項】**

如請求項6之方法，其中該第一記憶體陣列之記憶體胞之一數量係大於該第二記憶體陣列之記憶體胞之一數量，且其中轉移該至少一個邏輯值包括：

於該第一記憶體陣列與該第二記憶體陣列之間轉移邏輯值之一子集。

**【第8項】**

如請求項6之方法，其中該第一記憶體陣列之記憶體胞之一數量係小於該第二記憶體陣列之記憶體胞之一數量，且其中轉移該至少一個邏輯值包括：

至少部分基於該第二記憶體陣列之一電力中斷將儲存於該第二記憶體陣列中之多個邏輯值轉移至該第一記憶體陣列。

**【第9項】**

如請求項1之方法，其中在該第一記憶體胞與該第二記憶體胞之間轉移該至少一個邏輯值之該指示係至少部分地基於包括該記憶體裝置之一裝置遭斷電(power down)。

**【第10項】**

如請求項1之方法，其中該第一胞類型包括一非揮發性記憶體胞，且

該第二胞類型包括一揮發性記憶體胞。

**【第11項】**

一種設備，其包括：

一基板，其包括一第一胞類型之一第一記憶體胞及一第二胞類型之一第二記憶體胞；及

一控制器，其與該基板電通信，其中該控制器係可操作以致使該設備：

接收在該第一胞類型之該第一記憶體胞與該第二胞類型之該第二記憶體胞之間轉移至少一個邏輯值之一指示，其中該第一胞類型包括一鐵電電容器，且該第二胞類型包括一順電電容器；及

在該第一記憶體胞與該第二記憶體胞之間轉移該至少一個邏輯值。

**【第12項】**

如請求項11之設備，其中該控制器係可操作以致使該設備：

自該基板外之一組件接收該指示。

**【第13項】**

如請求項11之設備，其中該控制器係可操作以致使該設備：

讀取儲存於該第一記憶體胞中之該至少一個邏輯值；及

將該至少一個邏輯值寫入至該第二記憶體胞。

**【第14項】**

如請求項11之設備，其中該控制器係可操作以致使該設備：

讀取儲存於該第二記憶體胞中之該至少一個邏輯值；及

將該至少一個邏輯值寫入至該第一記憶體胞。

**【第15項】**

如請求項11之設備，其中該基板包括包含該第一胞類型之多個記憶體胞之一第一記憶體陣列及包含該第二胞類型之多個記憶體胞之一第二記憶體陣列。

**【第16項】**

如請求項15之設備，其中該第一記憶體陣列之記憶體胞之一數量係大於該第二記憶體陣列之記憶體胞之一數量，且其中該控制器係可操作以致使該設備：

於該第一記憶體陣列與該第二記憶體陣列之間轉移邏輯值之一子集。

**【第17項】**

如請求項15之設備，其中該第一記憶體陣列之記憶體胞之一數量係小於該第二記憶體陣列之記憶體胞之一數量，且其中該控制器係可操作以致使該設備：

至少部分基於該第二記憶體陣列之一電力中斷將儲存於該第二記憶體陣列中之多個邏輯值轉移至該第一記憶體陣列。

**【第18項】**

一種記憶體設備，其包括：

一基板；

一第一記憶體胞，其與該基板耦合且包括一鐵電電容器；

一第二記憶體胞，其與該基板耦合且包括一順電電容器；及

一控制器，其與該基板耦合且經組態以接收在該第一記憶體胞與該第二記憶體胞之間轉移至少一個邏輯值之一指示及在該第一記憶

體胞與該第二記憶體胞之間轉移該至少一個邏輯值。

**【第19項】**

如請求項18之記憶體設備，其進一步包括：

一組件，其在該基板外且與該控制器耦合，該組件經組態以傳輸該指示以在該第一記憶體胞與該第二記憶體胞之間轉移該至少一個邏輯值。

**【第20項】**

如請求項18之記憶體設備，其中該基板包括該第一記憶體胞及該第二記憶體胞。