

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6299322号
(P6299322)

(45) 発行日 平成30年3月28日(2018.3.28)

(24) 登録日 平成30年3月9日(2018.3.9)

(51) Int.Cl.

F I

G O 1 D 21/00 (2006.01)

G O 1 D 21/00 M

G O 1 P 15/125 (2006.01)

G O 1 P 15/125 V

請求項の数 24 (全 21 頁)

(21) 出願番号 特願2014-62506 (P2014-62506)
 (22) 出願日 平成26年3月25日(2014.3.25)
 (65) 公開番号 特開2015-184208 (P2015-184208A)
 (43) 公開日 平成27年10月22日(2015.10.22)
 審査請求日 平成29年3月21日(2017.3.21)

(73) 特許権者 000002369
 セイコーエプソン株式会社
 東京都新宿区新宿四丁目1番6号
 (74) 代理人 100090479
 弁理士 井上 一
 (74) 代理人 100104710
 弁理士 竹腰 昇
 (74) 代理人 100124682
 弁理士 黒田 泰
 (72) 発明者 村嶋 憲行
 長野県諏訪市大和3丁目3番5号 セイコ
 ーエプソン株式会社内
 (72) 発明者 米澤 岳美
 長野県諏訪市大和3丁目3番5号 セイコ
 ーエプソン株式会社内

最終頁に続く

(54) 【発明の名称】 物理量検出センサー、電子機器、移動体および電子回路

(57) 【特許請求の範囲】

【請求項1】

物理量検出センサー素子と、
 前記物理量検出センサー素子に接続された I C と、
 を有し、
 前記 I C は、
 ロジック回路と、
 アナログ回路と、
 電源電圧に基づいてロジック電源電圧を生成し、前記ロジック回路に前記ロジック電源電圧を供給する第1レギュレータと、
 イネーブルに設定されている時に前記電源電圧に基づいて生成されるアナログ電源電圧を、前記アナログ回路に供給する第2レギュレータと、
 前記第2レギュレータがディスイネーブルに設定されている時に、前記第1レギュレータを前記アナログ回路に接続するスイッチと、を含むことを特徴とする物理量検出センサー。

【請求項2】

請求項1において、
 前記第2レギュレータを前記ディスイネーブルに設定するディスイネーブル信号により、前記スイッチがオフからオンに切替えられることを特徴とする物理量検出センサー。

【請求項3】

10

20

請求項 1 または 2 において、

前記ロジック電源電圧の電圧レベルと前記アナログ電源電圧の電圧レベルとが実質的に等しいことを特徴とする物理量検出センサー。

【請求項 4】

請求項 1 乃至 3 のいずれか一項において、

前記物理量検出センサー素子は静電容量型センサー素子であり、

前記アナログ回路は、前記静電容量型センサー素子からの電荷を電圧に変換する電荷 - 電圧変換回路を含み、

前記第 2 レギュレータがディスイネーブルに設定されている時に、前記電荷 - 電圧変換回路はディスイネーブルに設定されることを特徴とする物理量検出センサー。

10

【請求項 5】

請求項 4 において、

前記アナログ回路は、前記電荷 - 電圧変換回路からの出力信号を、設定されたゲインで増幅するプログラマブルゲインアンプをさらに有し、

前記第 2 レギュレータがディスイネーブルに設定されている時に、前記プログラマブルゲインアンプはディスイネーブルに設定されることを特徴とする物理量検出センサー。

【請求項 6】

請求項 5 において、

前記アナログ回路は、前記プログラマブルゲインアンプからの出力信号を、アナログ - デジタル変換するアナログ - デジタル変換器をさらに有し、

20

前記第 2 レギュレータがディスイネーブルに設定されている時に、前記アナログ - デジタル変換器はディスイネーブルに設定されることを特徴とする物理量検出センサー。

【請求項 7】

請求項 6 において、

外部トリガーに基づいて前記アナログ回路が前記物理量検出センサーからの信号を処理する処理期間が設定され、前記処理期間内に前記第 2 レギュレータはイネーブルに設定され、前記処理期間外では前記アナログ回路はディスイネーブルに設定され、

前記プログラマブルゲインアンプおよび前記アナログ - デジタル変換器の少なくとも一方は、前記処理期間内に設定された休止期間にディスイネーブルに設定されることを特徴とする物理量検出センサー。

30

【請求項 8】

請求項 1 乃至 7 のいずれか一項において、

前記第 1 レギュレータは、

非反転入力端子と反転入力端子との間に、仕事関数差電圧によるオフセット電圧を有する差動型の増幅回路と、

前記増幅回路の出力ノードと第 1 の電源ノードとの間に直列に設けられる第 1 の抵抗及び第 2 の抵抗と、

前記第 1 の抵抗と前記第 2 の抵抗の接続ノードに一端が接続される位相補償用キャパシターと、

を含み、

40

前記接続ノードの信号が、前記増幅回路の前記非反転入力端子に帰還され、前記出力ノードの信号が、前記増幅回路の前記反転入力端子に帰還されることを特徴とする物理量検出センサー。

【請求項 9】

請求項 8 において、

前記第 1 レギュレータは、

前記第 1 レギュレータの起動時と、前記第 2 レギュレータがイネーブルに設定される過負荷時とに電流を生成する電流源と、

前記電流源に流れる電流と等しい電流を前記第 1 レギュレータに増加させるカレントミラー回路と、

50

をさらに有することを特徴とする物理量検出センサー。

【請求項 1 0】

請求項 1 乃至 9 のいずれか一項において、

前記第 2 レギュレータは、

バンドギャップリファレンス回路と、

前記バンドギャップリファレンス回路からのバンドギャップリファレンス電圧を増幅するアンプと、

前記アンプの負帰還経路に設けられた分圧回路と、
を有し、

前記バンドギャップリファレンス電圧を基準電圧として、前記分圧回路の電圧と前記バンドギャップリファレンス電圧との電位が一致するように、前記アンプにより負帰還制御されていることを特徴とする物理量検出センサー。

10

【請求項 1 1】

請求項 1 乃至 1 0 のいずれか一項において、

前記第 1 レギュレータは、前記ロジック電源電圧よりも大きい検査電圧を生成し、前記スイッチを介して前記検査電圧を前記アナログ回路に供給することを特徴とする物理量検出センサー。

【請求項 1 2】

請求項 1 乃至 1 1 のいずれか一項記載の物理量検出センサーを有することを特徴とする電子機器。

20

【請求項 1 3】

請求項 1 乃至 1 1 のいずれか一項記載の物理量検出センサーを有することを特徴とする移動体。

【請求項 1 4】

物理量検出センサー素子に接続される電子回路であって、

ロジック回路と、

アナログ回路と、

電源電圧に基づいてロジック電源電圧を生成し、前記ロジック回路に前記ロジック電源電圧を供給する第 1 レギュレータと、

イネーブルに設定されている時に前記電源電圧に基づいて生成されるアナログ電源電圧を、前記アナログ回路に供給する第 2 レギュレータと、

30

前記第 2 レギュレータがディスイネーブルに設定されている時に、前記第 1 レギュレータを前記アナログ回路に接続するスイッチと、を含むことを特徴とする電子回路。

【請求項 1 5】

請求項 1 4 において、

前記第 2 レギュレータを前記ディスイネーブルに設定するディスイネーブル信号により、前記スイッチがオフからオンに切替えられることを特徴とする電子回路。

【請求項 1 6】

請求項 1 4 または 1 5 において、

前記ロジック電源電圧の電圧レベルと前記アナログ電源電圧の電圧レベルとが実質的に等しいことを特徴とする電子回路。

40

【請求項 1 7】

請求項 1 4 乃至 1 6 のいずれか一項において、

前記第 1 レギュレータは、前記ロジック電源電圧よりも大きい検査電圧を生成し、前記スイッチを介して前記検査電圧を前記アナログ回路に供給することを特徴とする電子回路。

【請求項 1 8】

請求項 1 4 乃至 1 7 のいずれか一項において、

前記物理量検出センサー素子は静電容量型センサー素子であり、

前記アナログ回路は、前記静電容量型センサー素子からの電荷を電圧に変換する電荷 -

50

電圧変換回路を含み、

前記第2レギュレータがディスイネーブルに設定されている時に、前記電荷 - 電圧変換回路はディスイネーブルに設定されることを特徴とする電子回路。

【請求項19】

請求項18において、

前記アナログ回路は、前記電荷 - 電圧変換回路からの出力信号を、設定されたゲインで増幅するプログラマブルゲインアンプをさらに有し、

前記第2レギュレータがディスイネーブルに設定されている時に、前記プログラマブルゲインアンプはディスイネーブルに設定されることを特徴とする電子回路。

【請求項20】

請求項19において、

前記アナログ回路は、前記プログラマブルゲインアンプからの出力信号を、アナログ - デジタル変換するアナログ - デジタル変換器をさらに有し、

前記第2レギュレータがディスイネーブルに設定されている時に、前記アナログ - デジタル変換器はディスイネーブルに設定されることを特徴とする電子回路。

【請求項21】

請求項20において、

外部トリガーに基づいて前記アナログ回路が前記物理量検出センサー素子からの信号を処理する処理期間が設定され、前記処理期間内に前記第2レギュレータはイネーブルに設定され、前記処理期間外では前記アナログ回路はディスイネーブルに設定され、

前記プログラマブルゲインアンプおよび前記アナログ - デジタル変換器の少なくとも一方は、前記処理期間内に設定された休止期間にディスイネーブルに設定されることを特徴とする電子回路。

【請求項22】

請求項14乃至21のいずれか一項において、

前記第1レギュレータは、

非反転入力端子と反転入力端子との間に、仕事関数差電圧によるオフセット電圧を有する差動型の増幅回路と、

前記増幅回路の出力ノードと第1の電源ノードとの間に直列に設けられる第1の抵抗及び第2の抵抗と、

前記第1の抵抗と前記第2の抵抗の接続ノードに一端が接続される位相補償用キャパシターと、
を含み、

前記接続ノードの信号が、前記増幅回路の前記非反転入力端子に帰還され、前記出力ノードの信号が、前記増幅回路の前記反転入力端子に帰還されることを特徴とする電子回路。

【請求項23】

請求項22において、

前記第1レギュレータは、

前記第1レギュレータの起動時と、前記第2レギュレータがイネーブルに設定される過負荷時とに電流を生成する電流源と、

前記電流源に流れる電流と等しい電流を前記第1レギュレータに増加させるカレントミラー回路と、

をさらに有することを特徴とする電子回路。

【請求項24】

請求項14乃至23のいずれか一項において、

前記第2レギュレータは、

バンドギャップリファレンス回路と、

前記バンドギャップリファレンス回路からのバンドギャップリファレンス電圧を増幅するアンプと、

前記アンプの負帰還経路に設けられた分圧回路と、
を有し、

前記バンドギャップリファレンス電圧を基準電圧として、前記分圧回路の電圧と前記バンドギャップリファレンス電圧との電位が一致するように、前記アンプにより負帰還制御されていることを特徴とする電子回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、物理量検出センサー、電子機器、移動体および電子回路等に関する。

【背景技術】

【0002】

特許文献1では、電源遮断が行われない内部電源 V_{int0} と、電源遮断が行われる内部電源 V_{int1} との間を接続する電源スイッチ SW を設けている。

【0003】

特許文献2では、第1のロジック回路に第1の電源電圧を供給する第1のレギュレータと、第2のロジック回路に第2の電源電圧を供給する第2のレギュレータとを設けている。低消費電力動作モードでは、第2のレギュレータはオフされる。

【0004】

特許文献3では、メインレギュレータとスリープ用のサブレギュレータが設けられている。スリープ状態ではメインレギュレータはオフされる。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2011-151824号公報（要約、0040）

【特許文献2】特開2011-120058号公報

【特許文献3】特開2012-108585号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

特許文献1のスイッチ SW は、内部電源 V_{int1} の電源遮断時にオフされるものである。特許文献1でスイッチ SW を設けた理由は、内部電源 V_{int0} 、 V_{int1} を精度よく同電位することにある。

【0007】

特許文献2では、スタンバイ状態においても BGR が動作するため消費電力を要する。特許文献3では、ロジック電源のみに限定されている。

【0008】

本発明の幾つかの態様は、アナログ回路及アナログ電源回路をディスイネーブルとして消費電力を低減しながら、アナログ回路をイネーブル状態に復帰させる時間を短縮できる物理量検出センサー、電子機器、移動体および電子回路を提供することを目的とする。

【課題を解決するための手段】

【0009】

(1) 本発明の一態様は、物理量検出センサー素子と、前記物理量検出センサー素子に接続された IC と、を有し、前記 IC は、ロジック回路と、アナログ回路と、電源電圧に基づいて生成されるロジック電源電圧を、前記ロジック回路に供給する第1レギュレータと、イネーブルまたはディスイネーブルに切り替えられ、イネーブル時に前記電源電圧に基づいて生成されるアナログ電源電圧を、前記アナログ回路に供給する第2レギュレータと、前記第2レギュレータが前記ディスイネーブルの時に、前記ロジック電源電圧を前記アナログ回路に供給するスイッチと、を含む物理量検出センサーに関する。

【0010】

本発明の一態様によれば、物理量を検出している時にアナログ回路を動作させ、アナロ

10

20

30

40

50

グ回路をディスイネーブルにした休止期間では消費電力を低減することができる。ディスイネーブル状態のアナログ回路をイネーブル状態に復帰させるにも電圧が必要である。その際、第2レギュレータをイネーブルとしてアナログ回路にアナログ電源電圧を供給すると、時間を要する。本発明の一態様では、アナログ回路の休止期間中には第1レギュレータからのロジック電源電圧を、スイッチを介してアナログ回路に供給することで、イネーブル状態への復帰動作を短縮できる。

【0011】

(2) 本発明の一態様では、前記スイッチのオンまたはオフの切替信号は、前記第2レギュレータを前記ディスイネーブルに設定するディスイネーブル信号に基づいて生成することができる。

10

【0012】

スイッチのオンまたはオフと、アナログ回路のディスイネーブルまたはイネーブルとは相関があるので、スイッチのオンまたはオフ切替信号は、第2レギュレータをディスイネーブルに設定するディスイネーブル信号に基づいて生成することができる。

【0013】

(3) 本発明の一態様では、前記ロジック電源電圧の電圧レベルと前記アナログ電源電圧の電圧レベルとを実質的に等しくすることができる。

【0014】

ロジック電源電圧とアナログ電源電圧との電圧レベルに差があると、復帰動作時に電圧ドロップやリングングが発生し易いことからである。ただし、アナログ回路が正常に復帰動作する限り、異なる電圧レベルとしても良い。

20

【0015】

(4) 本発明の一態様では、前記第1レギュレータは、前記ICの検査時に、前記ロジック電源電圧よりも大きい検査電圧を生成し、前記スイッチを介して前記検査電圧を前記アナログ回路に供給することができる。

【0016】

第1レギュレータは、レジスタ設定変更等により例えば可変抵抗の抵抗値を可変する等して、第1レギュレータの出力電圧レベルを高電圧レベルに変更し、過負荷を与える検査電圧を生成することができる。

【0017】

30

(5) 本発明の一態様では、前記物理量検出センサー素子は静電容量型センサー素子であり、前記アナログ回路は、前記静電容量型センサー素子からの電荷を電圧に変換する電荷-電圧変換回路を含み、前記第2レギュレータがディスイネーブルの時に、前記電荷-電圧変換回路はディスイネーブルに設定されることができる。

【0018】

第2レギュレータがディスイネーブルの時に電荷-電圧変換回路はディスイネーブルにして消費電力を低減する一方で、アナログ回路である電荷-電圧変換回路には第1レギュレータからのロジック電源電圧が、スイッチを介して供給されるので、イネーブル状態への復帰動作を短縮できる。

【0019】

40

(6) 本発明の一態様では、前記アナログ回路は、前記電荷-電圧変換回路からの出力信号を、設定されたゲインで増幅するプログラマブルゲインアンプをさらに有し、前記第2レギュレータがディスイネーブルの時に、前記プログラマブルゲインアンプはディスイネーブルに設定されることができる。

【0020】

第2レギュレータがディスイネーブルの時にプログラマブルアンプはディスイネーブルにして消費電力を低減する一方で、アナログ回路であるプログラマブルアンプには第1レギュレータからのロジック電源電圧が、スイッチを介して供給されるので、イネーブル状態への復帰動作を短縮できる。

【0021】

50

(7) 本発明の一態様では、前記アナログ回路は、前記プログラマブルゲインアンプからの出力信号を、アナログ - デジタル変換するアナログ - デジタル変換器をさらに有し、前記第2レギュレータがディスイネーブルの時に、前記アナログ - デジタル変換器はディスイネーブルに設定されることができる。

【0022】

第2レギュレータがディスイネーブルの時にアナログ - デジタル変換器はディスイネーブルにして消費電力を低減する一方で、アナログ回路であるアナログ - デジタル変換器には第1レギュレータからのロジック電源電圧が、スイッチを介して供給されるので、イネーブル状態への復帰動作を短縮できる。

【0023】

(8) 本発明の一態様では、外部トリガーに基づいて前記アナログ回路が前記物理量検出センサー素子からの信号を処理する処理期間が設定され、前記処理期間内に前記第2レギュレータはイネーブルとされ、前記処理期間外では前記アナログ回路はディスイネーブルとされ、前記プログラマブルゲインアンプまたは前記アナログ - デジタル変換器は、前記処理期間内に設定された休止期間にディスイネーブルとされることができる。

【0024】

処理期間外ではアナログ回路がディスイネーブルとされ、処理期間内でもプログラマブルゲインアンプまたはアナログ - デジタル変換器は休止期間にディスイネーブルとされるので、消費電力を低減できる一方で、アナログ回路のディスイネーブル中に第2レギュレータがディスイネーブルとなっても、アナログ回路には第1レギュレータからのロジック電源電圧が、スイッチを介して供給されるので、イネーブル状態への復帰動作を短縮できる。

【0025】

(9) 本発明の一態様では、前記第1レギュレータは、非反転入力端子と反転入力端子の間に、仕事関数差電圧によるオフセット電圧を有する差動型の増幅回路と、前記増幅回路の出力ノードと第1の電源ノードとの間に直列に設けられる第1の抵抗及び第2の抵抗と、前記第1の抵抗と前記第2の抵抗の接続ノードに一端が接続される位相補償用キャパシターと、含み、前記第1、第2の抵抗の接続ノードの信号が、前記増幅回路の前記非反転入力端子に帰還され、前記増幅回路の出力ノードの信号を、前記増幅回路の前記反転入力端子に帰還することができる。

【0026】

この第1レギュレータによれば、増幅回路の非反転入力端子と反転入力端子の間のオフセット電圧と第1、第2の抵抗の抵抗比により決まる定電圧が生成される。第1、第2の抵抗の接続ノードには位相補償用キャパシターが設けられ、この接続ノードの信号が増幅回路の非反転入力端子に帰還されると共に、増幅回路の出力ノードの信号が反転入力端子に帰還される。これにより、安定した回路動作で定電圧を生成できる第1レギュレータを構築できる。

【0027】

(10) 本発明の一態様では、前記第1レギュレータは、前記第1レギュレータの起動時と、前記第2レギュレータがイネーブルである過負荷時とに電流を生成する電流源と、前記電流源に流れる電流と等しい電流を前記第1レギュレータに増加させるカレントミラー回路と、をさらに有することができる。

【0028】

こうすると、カレントミラー回路の動作によって、特に負荷の大きい第1レギュレータの起動時及び第2レギュレータがイネーブルである過負荷時の能力を高めることができる。

【0029】

(11) 本発明の一態様では、前記第2レギュレータは、バンドギャップリファレンス回路と、前記バンドギャップリファレンス回路からのバンドギャップリファレンス電圧を増幅するアンプと、前記アンプの負帰還経路に設けられた分圧回路と、を有し、前記バン

10

20

30

40

50

ドギャップリファレンス電圧を基準電圧として、前記分圧回路の電圧と前記バンドギャップリファレンス電圧との電位が一致するように、前記アンプにより負帰還制御することができる。

【0030】

こうして、バンドギャップリファレンス電圧を増幅して、アナログ電源電圧を生成することができる。

【0031】

(12) 本発明の他の態様は、(1)～(11)に記載の物理量検出センサーを有する電子機器に関する。

【0032】

(13) 本発明のさらに他の態様は、(1)～(11)に記載の物理量検出センサーを有する移動体に関する。

【0033】

(14) 本発明のさらに他の態様は、物理量検出センサー素子に接続される電子回路であって、(1)～(11)に記載のICが備える構成を有する電子回路に関する。

【図面の簡単な説明】

【0034】

【図1】本発明の一実施形態に係る物理量検出センサーの一例である加速度センサーを示す図である。

【図2】図2(A)(B)は、加速度センサー素子の一例である差動容量型センサー素子を示す図である。

【図3】加速度センサーのブロック図である。

【図4】ICの電源系のブロック図である。

【図5】連続計測時のモード遷移を示す図である。

【図6】間欠(一回)計測時のモード遷移を示す図である。

【図7】外部トリガーをハードウェアトリガーとしてICに入力させる例を示すブロック図である。

【図8】外部トリガーをソフトウェアトリガーとしてICに入力させる例を示すブロック図である。

【図9】加速度センサーの動作タイミングチャートである。

【図10】外部トリガーの二重入力の禁止を説明するためのタイミングチャートである。

【図11】1回測定モードの計測シーケンスを示す図である。

【図12】第1レギュレータの回路図である。

【図13】図12の第1レギュレータを改良した回路図である。

【図14】第2レギュレータの回路図である。

【図15】電子機器の一具体例としてのスマートフォンの構成を概略的に示す概念図である。

【図16】電子機器の他の具体例としてのデジタルスチルカメラの構成を概略的に示す概念図である。

【図17】移動体の一具体例としての自動車の構成を概略的に示す概念図である。

【発明を実施するための形態】

【0035】

以下、添付図面を参照しつつ本発明の一実施形態を説明する。なお、以下に説明する本実施形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではなく、本実施形態で説明される構成の全てが本発明の解決手段として必須であるとは限らない。

【0036】

(1) 加速度センサー(物理量検出センサー)

図1は、本発明の一実施形態に係る物理量検出センサーの一例である加速度センサーを示す。加速度センサー1は、例えば、インターポザー基板2と、インターポザー基板2上に形成されたガラス基板3と、ガラス基板3上に例えばSi(シリコン)等の半導体

10

20

30

40

50

材料を用いたMEMS (Micro Electro Mechanical Systems) により形成された加速度センサー素子10と、MEMSキャップ4と、MEMSキャップ4上に形成された加速度検出回路(電子回路)である集積回路(IC)100とを有する。IC100はインターポザー基板2及びガラス基板3上に形成された電極部に例えばワイヤーボンディング接続されている。インターポザー基板2上に搭載物3, 10, 4, 100はモールド5により封止されている。

【0037】

(2) 加速度センサー素子

図2(A)は、図1の加速度センサー素子10として用いられる例えば差動容量型センサー素子の構造を例示する図である。差動容量型加速度センサー素子10は、固定部20と可動部30とを有する。固定部20は、基板(図省略)に固定されている部材である。可動部30は、加速度に応じて変位する構造体の一例であり、錘部31とばね部32とを有する。ばね部32の一端は基板に固定されており、他端は錘部31に接続されている。錘部31は、ばね部32により支持されている。図2(B)に示すように差動容量型加速度センサー素子10に加速度aが加えられると、質量mの錘部31には、 $F = ma$ の力が働く。この力により、ばね部32は変形し、錘部31は固定部20に対して相対的に変位する。

【0038】

錘部31は、可動電極31Aおよび可動電極31Bを有する。固定部20は、固定電極21~24を有する。可動電極31Aは固定電極21, 22の間に配置され、可動電極31Bは固定電極23, 24の間に配置される。差動容量型加速度センサー素子10は、例えば、Si(シリコン)等の半導体材料と、半導体加工技術を用いたMEMS (Micro Electro Mechanical Systems) で形成される。

【0039】

ここで、可動電極31Aと固定電極21とのペアと、可動電極31Bと固定電極23とのペアとを、第1容量形成部41と称する。同様に、可動電極31Aと固定電極22とのペアと、可動電極31Bと固定電極24とのペアとを、第2容量形成部42と称する。差動容量型加速度センサー素子10は、第1容量形成部41の一端11と、第2容量形成部42の一端12と、第1, 第2容量形成部41, 42の共通端13とを含む。図2(B)に示す加速度aが作用したとき、第1容量形成部41の容量値は減少する一方で、第2容量形成部42の容量値は増大する。このため、共通端13に電荷を供給した状態で錘部31に加速度aが作用すると、第1, 第2容量形成部41, 42の一端11, 12からそれぞれ出力される電荷(信号)は絶対値が等しく符号が逆の差動信号対となる。

【0040】

(3) 加速度センサーの回路図

図2(B)は、加速度aが作用する一軸方向の加速度を検出する例について説明した。図3に示すか速度センサー1には、検出軸をN(Nは2以上の整数)軸とし、例えばN=3とする場合の直交三軸(広義には交差N軸)であるX軸、Y軸およびZ軸をそれぞれの検出軸とする第1~第3の差動容量型加速度センサー素子10X, 10Y, 10Zが設けられている。

【0041】

第1~第3の差動容量型加速度センサー素子10X, 10Y, 10Zの各々は、図2(A)に示す第1, 第2容量形成部41, 42を有し、第1, 第2容量形成部41, 42の固定容量間には軸毎に異なるオフセットがある。オフセットがあるまま加速度を検出すると、加速度が作用しない時でも加速度が存在する値が出力されてしまう。そこで、オフセット調整(キャリブレーション)が必要となる。

【0042】

IC100は、可変容量であるオフセット調整容量120が設けられている。オフセット調整容量120は、第1容量形成部41および第2容量形成部42の各々の固定容量間でのオフセット量に基づく容量値に軸毎にリセットされる

10

20

30

40

50

【 0 0 4 3 】

IC 100 には、第 1 ～ 第 3 の差動容量型加速度センサー素子 10 X , 10 Y , 10 Z から時分割で電荷が入力される。この時分割駆動のために、スイッチング駆動されるマルチプレクサー (MUX) 110 が設けられている。

【 0 0 4 4 】

マルチプレクサー 110 の後段には、アナログ回路である容量検出回路 (広義には信号処理部) 130 として、例えば電荷 - 電圧変換 (QV) アンプ 131、プログラマブルゲインアンプ (PGA) 132 及びアナログ - デジタル変換器 (ADC) 133 等を有する。QV アンプ 131 は、時分割入力される差動容量型加速度センサー素子 10 X , 10 Y , 10 Z からの電荷を電圧に変換する。差動容量型加速度センサー素子 10 X , 10 Y , 10 Z からの出力は差動信号であるから、QV アンプ 131 は差動増幅回路として機能する。PGA 132 は、QV アンプ 131 の出力を、各軸毎に設定されたゲインで増幅する。ADC 133 は、PGA 132 の出力をアナログ - デジタル変換する。

10

【 0 0 4 5 】

ADC 133 の後段には、デジタルフィルタ 140、レジスタ 150、シリアル - パラレルインターフェイス回路 (SPI) 160 が設けられている。容量検出回路 130 により検出された容量に基づく加速度信号は、SPI 160 を介して出力される。

【 0 0 4 6 】

なお、IC 100 には温度センサー 190 を設けることができる。温度センサー 190 からの温度信号は、PGA 132 で増幅された後に、ADC 133 でデジタル信号に変換される。

20

【 0 0 4 7 】

IC 100 は、制御回路 170 を有する。制御回路 170 には、発振回路 (OSC) 181、FAMOS (フローティングゲート型アバランシェ・インジェクション MOS) 等の不揮発性メモリ 182、パワーオンリセット回路 183、レベルシフター 184、テスト回路 185、駆動回路 186 や、上述したデジタルフィルタ 140 及びレジスタ 150 等が接続される。予め測定されたオフセット容量値を設定するデータは、SPI 160 を介して外部から入力され、制御回路 170 により不揮発性メモリ 182 に格納される。加速度センサー 1 の起動時に、制御回路 170 により不揮発性メモリ 182 から読み出されたオフセット容量値設定用のデータは、レジスタ 150 に格納される。レジスタ 150 は、設定されたデータに基づいて、例えば電圧制御型のオフセット調整容量 120 に電圧を設定して、オフセット調整容量 120 を各軸のオフセット容量値に設定することができる。

30

【 0 0 4 8 】

IC 100 には、外部から電源電圧 VDD , GND が入力される。IC 100 には、電源電圧 VDD (例えば 3 V) を降圧してロジック電源電圧 VDDL (例えば 1 . 8 V) を生成する第 1 レギュレータ REG 1 と、電源電圧 VDD を降圧してアナログ電源電圧 VDDA (例えば 1 . 8 V) を生成する第 2 レギュレータ REG 2 とが設けられている。なお、第 1 レギュレータ REG 1 は、加速度センサー 1 の起動によりイネーブルとなり、加速度センサー 1 が稼働している間 (スタンバイ、休止期間等を含む) に亘ってロジック電源電圧 VDDL を生成するロジック電源回路である。一方、第 2 レギュレータ REG 2 は、イネーブルまたはディスイネーブルに切り替えられるアナログ電源回路であり、イネーブル期間のみアナログ電源電圧 VDDA を生成する。

40

【 0 0 4 9 】

IC 100 は、電源端子 (VDD , VPP , VDDIO , GND)、入出力端子 (SCL / SPC , SDA / SDI , SDO / SA0 , CS)、テスト端子 (TEST 1 - 3) の他に、割り込み端子 (INT 1 , INT 2) を有することができる。

【 0 0 5 0 】

(4) IC の電源回路系

図 4 は、図 3 に示す IC 100 の電源回路系を示すブロック図である。なお、図 4 では

50

電圧供給対象として、デジタル電源電圧で駆動される回路をロジック回路 180 と総称している。また、他の回路として、OSC 181 と不揮発性メモリ (FAMOS) 182 を図示している。

【0051】

図 4 において、イネーブル信号 REG 1 __ EN でイネーブルとなる第 1 レギュレータ REG 1 は、電源電圧 VDD を降圧したロジック電源電圧 VDDL を I/O 160、ロジック回路 180、OSC 181 及び不揮発性メモリ (FAMOS) 182 等に供給する。イネーブル信号 REG 2 __ EN でイネーブルとなる第 2 レギュレータ REG 2 は、電源電圧 VDD を降圧したアナログ電源電圧 VDDA をアナログ回路 130 に供給する。

【0052】

ここで、ロジック電源電圧 VDDL の電源線とアナログ電源電圧 VDDA の電源線との間には、スイッチ SW が設けられている。後述する図 6 に示す通り、休止期間 (休止モード) が設定される。スタンバイモードや休止モードでは、イネーブル信号 REG 2 __ EN により第 2 レギュレータ REG 2 はディスイネーブルとなり、アナログ電源電圧 VDDA の供給が遮断される。加速度を検出している時にアナログ回路 130 を動作させ、休止期間ではアナログ回路 130 をディスイネーブルにして消費電力を低減することができる。

【0053】

休止期間では、REG 2 __ EN がディスイネーブルの時にイネーブルとなる REG 2 __ XTHR により、スイッチ SW がオンされて、ロジック電源電圧 VDDL の電源線とアナログ電源電圧 VDDA の電源線とが接続される。それにより、アナログ電源電圧が生成されないスタンバイ期間や休止期間では、第 1 レギュレータ REG 1 よりスイッチ SW を介してアナログ回路 130 にロジック電源電圧 VDDL が供給される。

【0054】

ここで、ディスイネーブル状態のアナログ回路 130 をイネーブル状態に復帰させるにも電圧が必要である。その際、第 2 レギュレータ REG 2 をイネーブルとしてアナログ回路 130 にアナログ電源電圧 VDDA を供給すると、時間を要する。本実施形態では、スタンバイモードや休止モードでは、第 1 レギュレータ REG 1 からのロジック電源電圧 VDDL をスイッチ SW を介してアナログ回路 130 に供給することで、イネーブル信号に基づきアナログ回路 130 をイネーブル状態へと短期間で復帰させる動作を短縮できる。

【0055】

なお、本実施形態ではロジック電源電圧 VDDL とアナログ電源電圧 VDDA との電圧レベルを共に等しく (例えば 1.8V) としているが、アナログ回路 130 が正常に復帰動作する限り、異なる電圧レベルとしても良い。ただし、ロジック電源電圧 VDDL とアナログ電源電圧 VDDA との電圧レベルに差があると、復帰動作時に電圧ドロップやリングングが発生し易いことから、ロジック電源電圧 VDDL とアナログ電源電圧 VDDA との電圧レベルは実質的に等しいことが好ましい。

【0056】

(5) 外部トリガーによる間欠 (1 回) 計測モード

本実施形態では、内部トリガーによる連続計測モードと、外部トリガーによる間欠 (1 回) 計測モードのいずれかに設定することができる。図 5 は連続計測時のモード遷移を示す図であり、図 6 は間欠 (一回) 計測時のモード遷移を示す図である。図 5 にはスタンバイモードと計測モードが示されている。図 5 ではさらにローパワーモードが追加され、図 6 ではスタンバイモードと計測モードとの間に、休止モードとしてトリガー待ちの状態が設定される。

【0057】

スタンバイモードとは、電源投入により初期起動シーケンスが実施された後に設定される待機モードである。初期起動シーケンスが実施されるとレジスタ 150 がリセットされ、ワンタイムプログラマブル ROM に記憶された制御データ等がレジスタ 150 に転送される。スタンバイモードでは、第 1 レギュレータ REG 1 がイネーブルで第 2 レギュレータ REG 2 はディスイネーブルとなり、上述した通り図 4 のスイッチ SW がオンとなって

10

20

30

40

50

アナログ回路 130 にはロジック電源電圧 V_{DDL} が供給される。

【0058】

計測モードとして、加速度信号のデジタル変換分解能が異なる 3 つのモード（例えば 12 ビット、10 ビット及び 8 ビット）を信号により選択できるようになっている。計測モードでは、第 1 レギュレータ $REG1$ 及び第 2 レギュレータ $REG2$ が共にイネーブルとなり、上述した通り図 4 のスイッチ SW がオフとなってアナログ回路 130 にはアナログ電源電圧 V_{DDA} が供給される。

【0059】

図 5 のローパワーモードとは、加速度が検出されない時に設定されるスリープ状態を検出ことで設定され、スリープが解除された状態が検出されるウェイクアップ検出時まで継続される。ローパワーモードは、デジタル変換分解能は 8 ビット固定となり、10 ビットまたは 12 ビットを選択した場合よりも低消費電力となる。計測モードに対して出力データ周波数（例えば図 7 及び図 8 の SR レジスタで設定されるサンプリングレート）を低くすることで、より低消費電力とすることができる。

【0060】

図 6 の間欠（1 回）計測時では、測定モードにて X 軸、Y 軸及び Z 軸の加速度計測が所定回数例えば 1 回だけ行われる。間欠（1 回）計測モードが終了すると休止モードとなり、次の外部トリガーを待機することになる。それにより、測定モードは間欠的に実施される。休止モード（休止期間）では、スタンバイモードと同じく、第 1 レギュレータ $REG1$ がイネーブルで第 2 レギュレータ $REG2$ はディスイネーブルとなり、上述した通り図 4 のスイッチ SW がオンとなってアナログ回路 130 にはロジック電源電圧 V_{DDL} が供給される。

【0061】

図 7 及び図 8 は、間欠（1 回）計測モードを設定する 2 つの方式を示している。なお、図 7 及び図 8 では、図 3 に示す制御回路 170 に設けられるタイミング制御回路 170A が示されている。また、図 7 及び図 8 では、図 3 に示すレジスタ 150 を機能別レジスタ 150A ~ 150F として示している。つまり、図 3 に示すレジスタ 150 は、図 7 または図 8 に示す X 軸計測レジスタ 150A、Y 軸計測レジスタ 150B、Z 軸計測レジスタ 150C、ビジーフラグ用レジスタ 150D、 SR （サンプリングレート）設定レジスタ 150E、外部トリガーレジスタ 150F を含んでいる。さらに、図 7 及び図 8 では、図 4 に示すデジタルフィルター 140 とレジスタ 150 との間に、演算処理部 187 が追加されている。

【0062】

図 7 はハードウェアトリガーの方式を示し、図 8 はソフトウェアトリガーの方式を示している。ハードウェアトリガーを設定する端として、IC 100A の例えば割り込み端子 $INT1$ 等の外部端子が用いられる。図 7 の加速度センサー 1A が接続される CPU 200 は、例えばタイマー等から外部トリガーを割り込み端子 $INT1$ に出力する。図 8 は、CPU 200 から所定の通信プロトコルに従って送信される外部トリガーが、IC 100B のシリアル - パラレルインターフェイス 160 に入力され、外部トリガーレジスタ 150F に格納される。

【0063】

制御回路 170 は、図 7 のハードウェアトリガー方式と、図 8 のソフトウェアトリガー方式とを、信号設定により選択させても良い。図 7 のハードウェアトリガー方式は、CPU 200 の負担が少ない点で優れている。図 8 のソフトウェアトリガー方式は、兼用される割り込み端子 $INT1$ を他の用途に使用する機会を減少させない点で優れている。

【0064】

制御回路 170 は、図 5 に示す連続計測モードか、図 6 に示す間欠（1 回）計測モードであるかは、フラグなどにより認識している。図 9 は、間欠（1 回）計測モードでの制御回路 170 の制御により設定される各部のタイミングチャートである。起動と同時に第 1 レギュレータ $REG1$ がイネーブルとなってロジック電源電圧 V_{DDL} は生成されるが、

第2レギュレータREG2は動作モード（計測モード）がアクティブの時のみアナログ電源電圧VDDAを生成する。動作モード（計測モード）がアクティブでないスタンバイモード及び休止モードでは、スイッチSWがオンして、アナログ回路130にはロジック電源電圧VDDLが供給される。

【0065】

図7及び図8に示すSRレジスタは、デジタル分解能を設定するサンプリングレートを設定するものである。図7及び図8に示すビジーフラグ用レジスタ150Dは、例えば休止期間中にアクティブとなるフラグがタイミング制御回路170Aにより設定される。図10に示すように、外部トリガーがアクティブである時にクロックの立ち上がりで休止期間がスタートする。休止期間は所定クロック数（例えば156クロック）をカウントアップして終了する。ビジーフラグは、休止期間中に亘ってアクティブとなる。ビジーフラグがアクティブである期間に入力された外部トリガーは、タイミング制御回路170Aにより無視される。それにより、間欠（1回）計測モードの途中で同一モードが再スタートされることを防止できる。

【0066】

（6）アナログ回路のイネーブル/ディスイネーブル

図11は、間欠（1回）測定モードでのタイミングチャートである。上述した外部トリガーにより、間欠（1回）測定モードが開始される。1回測定モードの場合、計測動作期間はクロックの例えば156サイクルである。1回測定モードに設定されると、第2レギュレータREG2が起動される。その後、必要によりQV回路131をイネーブルとしてもよい。オフセット調整容量120がリセットされる。

【0067】

1回計測モードは、図11に示すように、温度計測、X軸加速度計測、Y軸加速度計測及びZ軸加速度計測が、シーケンシャルに実施される。4回の計測期間の各々にて、PGA132及びADC133が計測に必要な期間だけイネーブルとされる。なお、図11に示す例では、ADC133は分解能が10ビットのデジタル信号に変換している。分解能が低ければ計測期間は短縮され、分解能が高ければ計測期間は増大する。PGA132及びADC133は、温度、X軸加速度、Y軸加速度及びZ軸加速度のように異なる物理量を検出した後に、一旦ディスイネーブルとされている。それにより、消費電力を低減している。

【0068】

また、PGA132のイネーブル期間は、サンプルA期間とサンプルB期間とに二分される。同様に、ADC133の動作期間は、サンプリング期間と比較期間とに二分される。PGA132のサンプルB期間は、ADC133のサンプリング期間と時間軸上で重複して設定できる。また、ADC133の比較期間は、PGA132のサンプルA期間と時間軸上で重複して設定できる。それにより、温度計測、X軸加速度計測、Y軸加速度計測及びZ軸加速度計測の各期間を短縮でき、トータルの1回計測期間も短縮される。

【0069】

X軸加速度計測の前に、QVアンプ131がイネーブルとなって起動される。QVアンプ131は、図11に示すようにクロックの例えば95サイクルの期間に亘ってイネーブル状態が維持される。また、QVアンプ131の起動後であって、X軸加速度計測、Y軸加速度計測及びZ軸加速度計測が開始される前に、オフセット調整容量120が各軸のオフセット調整容量値にリセットされる。オフセット調整容量120のリセット期間は、PGA132のディスイネーブル期間を利用して設定される。

【0070】

（7）第1レギュレータREG1

図12に、第1レギュレータREG1の一例を示す。第1レギュレータREG1は、非反転入力端子と反転入力端子の間に、仕事関数差電圧によるオフセット電圧VOFFを有する差動型の増幅回路AMと、増幅回路AMの出力ノードNQ1と第1の電源ノードVSSとの間に直列に設けられる第1の抵抗RB1及び第2の抵抗RB2と、第1の抵抗RB

1と第2の抵抗 R_{B2} の接続ノード N_{Q2} に一端が接続される位相補償用キャパシタ C_0 を含む。第1、第2の抵抗 R_{B1} 、 R_{B2} の接続ノード N_{Q2} の信号が、増幅回路 A_M の非反転入力端子に帰還され、増幅回路 A_M の出力ノード N_{Q1} の信号が、増幅回路 A_M の反転入力端子に帰還される。

【0071】

この第1レギュレータ REG_1 によれば、増幅回路 A_M の非反転入力端子と反転入力端子の間のオフセット電圧と第1、第2の抵抗 R_{B1} 、 R_{B2} の抵抗比により決まる定電圧が生成される。第1、第2の抵抗 R_{B1} 、 R_{B2} の接続ノードには位相補償用キャパシタ C_0 が設けられ、この接続ノードの信号が増幅回路 A_M の非反転入力端子に帰還されると共に、増幅回路 A_M の出力ノードの信号が反転入力端子に帰還される。これにより、安定した回路動作で定電圧を生成できる第1レギュレータ REG_1 を構築できる。

【0072】

また、図12に示す第1の抵抗 R_{B1} は可変抵抗とすることができる。加速度センサ素子10及びIC100の検査工程などでは、1.8V系に対して例えば3V程度の高電圧（検査電圧）が印加される。レジスタ設定変更により第1の抵抗 R_{B1} の抵抗値を可変して、第1レギュレータ REG_1 の出力電圧レベルを高電圧レベルに変更することができる。

【0073】

図13に示す第1レギュレータ REG_1 では、図12の増幅回路 A_M の破線で囲まれた個所に素子または回路を増設し、起動時とアクティブ時に増幅回路 A_M に流れる動作電流 I_{OP} を増大させ、能力を増大させている。図13に示すように、増幅回路 A_M の出力部 Q_B の接地端側に設けられた出力トランジスタ T_1 と並列にトランジスタ T_2 を追加した。増幅回路 A_M の差動部 D_F に増設したトランジスタ T_3 と、トランジスタ T_3 と同一ゲート電圧が印加されるトランジスタ T_4 とで、カレントミラー回路 CM を構成している。カレントミラー回路 CM の電流源として、起動時に動作する第1電流源 IS_1 と、アクティブ時に動作する第2電流源 IS_2 とが追加されている。起動時に動作する第1電流源 IS_1 では、起動によりスタートスイッチ ST_{STR} がオンされて、カレントミラー回路 CM に電流を流す。

【0074】

スタンバイ時ではカレントミラー CM に電流が流れず、増幅回路 A_M は弱反転領域で動作して、差動部 D_F に例えば150nAが流れ、出力部 Q_B に例えば550nAが流れ、動作電流 I_{OP} として700nAが流れる。起動時にスタートスイッチ ST_{STR} がオンすると、カレントミラー回路 CM の動作によって、増設されたトランジスタ T_2 及び T_3 に破線の矢印で示すように20 μ Aが流れ、動作電流 I_{OP} を50 μ Aまで増大させることができる。なお、スタートスイッチ ST_{STR} はパワーオンリセット信号を用いて、起動後の所定時間経過後にオフされる。第2レギュレータ REG_2 がイネーブルとなったアクティブ時には、第1電流源 IS_1 に代わって第2電流源 IS_2 がオンされ、動作電流 I_{OP} を例えば30 μ Aまで増大させることができる。こうして、第1レギュレータ REG_1 の起動時及びアクティブ時（過負荷時）の能力を高めることができる。

【0075】

（8）第2レギュレータ REG_2

図14に、バンドギャップリファレンス回路を利用した第2レギュレータ REG_2 を示す。図14において、第2レギュレータ REG_2 のアンプ AMP の負端子に、バンドギャップリファレンス回路 BGR が発生するバンドギャップリファレンス電圧 V_{BGR} （例えば1.21V）が入力される。アンプ AMP の正端子には、アンプ AMP の出力電圧 V_{DDA} が分圧抵抗 R_1 、 R_2 により構成される分圧回路で分圧された電圧 V_{DV} が入力される。アンプ AMP は、バンドギャップリファレンス電圧 V_{BGR} を基準電圧として、分圧回路 R_1 、 R_2 の電圧 V_{DV} とバンドギャップリファレンス電圧 V_{BGR} との電位が一致するように、負帰還制御している。こうして、バンドギャップリファレンス電圧 V_{BGR} を増幅して、例えば1.8Vのアナログ電源電圧 V_{DDA} を生成することができる。

【 0 0 7 6 】

(9) 電子機器および移動体

図 1 5 は電子機器の一具体例としてのスマートフォン 4 0 1 を概略的に示す。スマートフォン 4 0 1 には図 3 に示す三軸加速度センサー 1 に加え、三軸ジャイロセンサーおよびそれに接続される検出回路を備えた物理量検出装置 5 0 0 が組み込まれる。物理量検出装置 5 0 0 はスマートフォン 4 0 1 の姿勢を検出することができる。いわゆるモーションセンシングが実施される。物理量検出装置 5 0 0 の検出信号は例えばマイクロコンピュータチップ (M P U) 4 0 2 に供給されることができる。 M P U 4 0 2 はモーションセンシングに応じて様々な処理を実行することができる。その他、こういったモーションセンシングは、携帯電話機、携帯型ゲーム機、ゲームコントローラー、カーナビゲーションシステム、ポインティングデバイス、ヘッドマウンティングディスプレイ、タブレットパソコン等の電子機器で利用されることができる。モーションセンシングの実現にあたって物理量検出装置 5 0 0 は組み込まれることができる。

10

【 0 0 7 7 】

図 1 6 は電子機器の他の具体例としてのデジタルスチルカメラ (以下「カメラ」という) 4 0 3 を概略的に示す。カメラ 4 0 3 には物理量検出装置 5 0 0 が組み込まれる。物理量検出装置 5 0 0 はカメラ 4 0 3 の姿勢を検出することができる。物理量検出装置 5 0 0 の検出信号は手ぶれ補正装置 4 0 4 に供給されることができる。手ぶれ補正装置 4 0 4 は物理量検出装置 5 0 0 の検出信号に応じて例えばレンズセット 4 0 5 内の特定のレンズを移動させることができる。こうして手ぶれは補正されることができる。その他、手ぶれ補正はデジタルビデオカメラで利用されることができる。手ぶれ補正の実現にあたって物理量検出装置 5 0 0 は組み込まれることができる。

20

【 0 0 7 8 】

図 1 7 は移動体の一具体例としての自動車 4 0 6 を概略的に示す。自動車 4 0 6 には物理量検出装置 5 0 0 が組み込まれる。物理量検出装置 5 0 0 は車体 4 0 7 の姿勢を検出することができる。物理量検出装置 5 0 0 の検出信号は車体姿勢制御装置 4 0 8 に供給されることができる。車体姿勢制御装置 4 0 8 は例えば車体 4 0 7 の姿勢に応じてサスペンションの硬軟を制御したり個々の車輪 4 0 9 のブレーキを制御したりすることができる。その他、こういった姿勢制御は二足歩行ロボットや航空機、ヘリコプター等の各種移動体で利用されることができる。姿勢制御の実現にあたって物理量検出装置 5 0 0 は組み込まれることができる。

30

【 0 0 7 9 】

本実施形態について詳細に説明したが、本発明の新規事項および効果から実体的に逸脱しない多くの変形が可能であることは当業者には容易に理解できるであろう。したがって、このような変形例はすべて本発明の範囲に含まれる。例えば、明細書または図面において、少なくとも一度、より広義または同義な異なる用語とともに記載された用語は、明細書または図面のいかなる箇所においても、その異なる用語に置き換えられることができる。また、アナログ回路 1 3 0、ロジック回路 1 8 0、第 1 レギュレータ R E G 1、第 2 レギュレータ R E G 2 等の構成および動作も本実施形態で説明したものに限定されず、種々の変形が可能である。また、本発明が適用される電子回路または I C (物理量検出回路) は、デジタル出力するものに限らず、 A D C 1 3 3 を有しないアナログ出力にも適用することができる。物理量検出センサーとしては、加速度センサーに限らず、例えば、角速度センサー、圧力センサーなど、物理量を検出する各種センサーに適用できる。

40

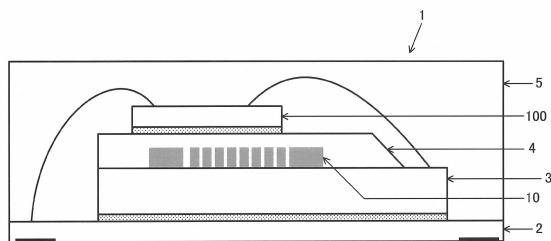
【 符号の説明 】

【 0 0 8 0 】

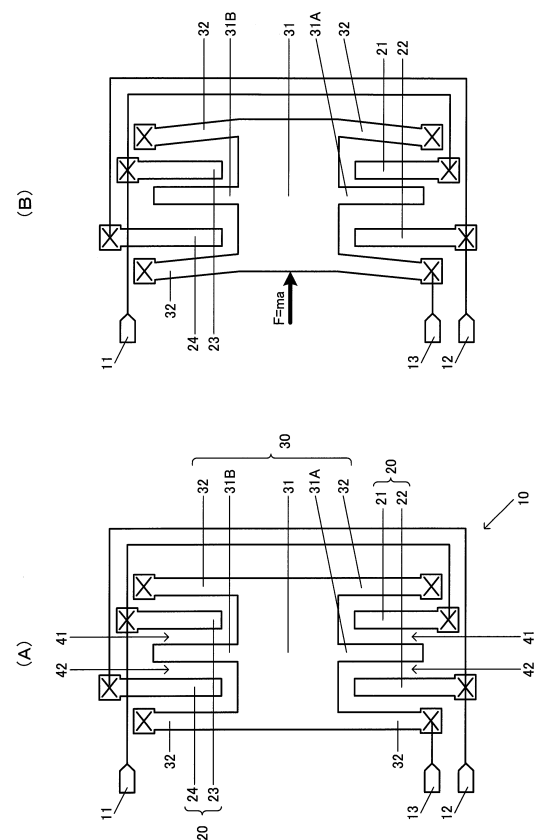
1 物理量検出センサー (加速度センサー)、1 0 物理量検出センサー素子 (加速度センサー素子)、1 0 0 I C (電子回路)、1 3 0 アナログ回路、1 3 1 Q V アンプ (電荷 - 電圧変換回路)、1 3 2 プログラマブルアンプ (P G M)、1 3 3 アナログ - デジタル変換器 (A D C)、1 8 0 ロジック回路、A M 増幅回路、A M P アンプ、B G R バンドギャップリファレンス回路、C 0 位相補償用キャパシター、C M

50

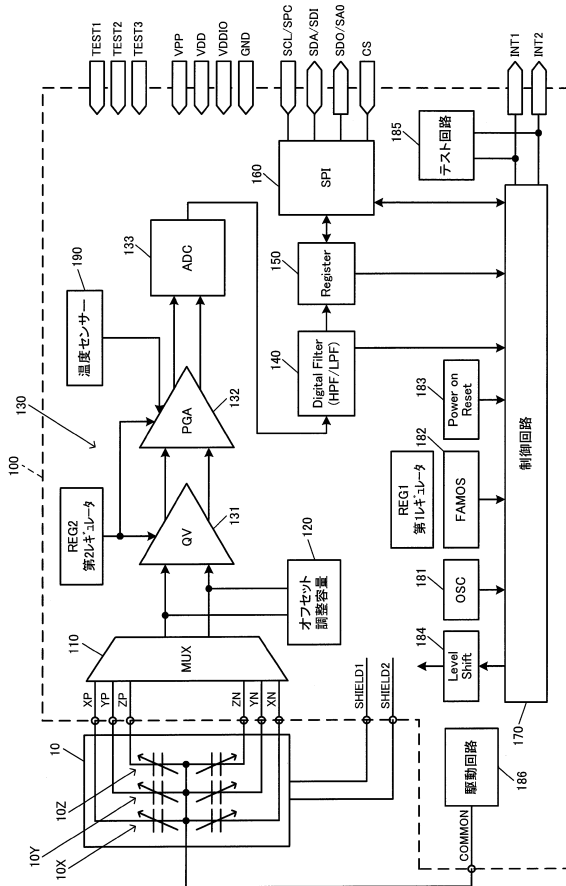
【 図 1 】



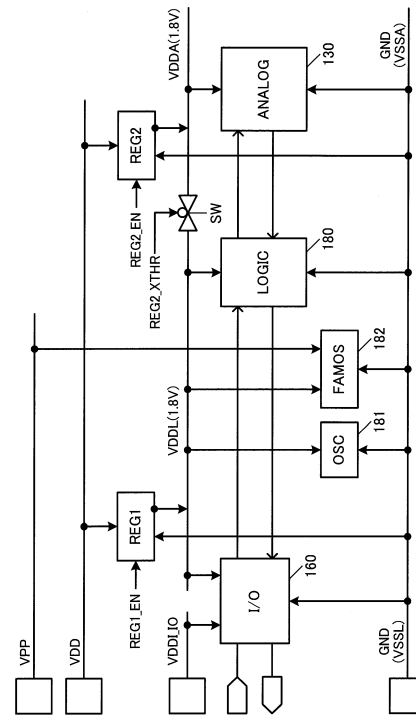
【圖 2】



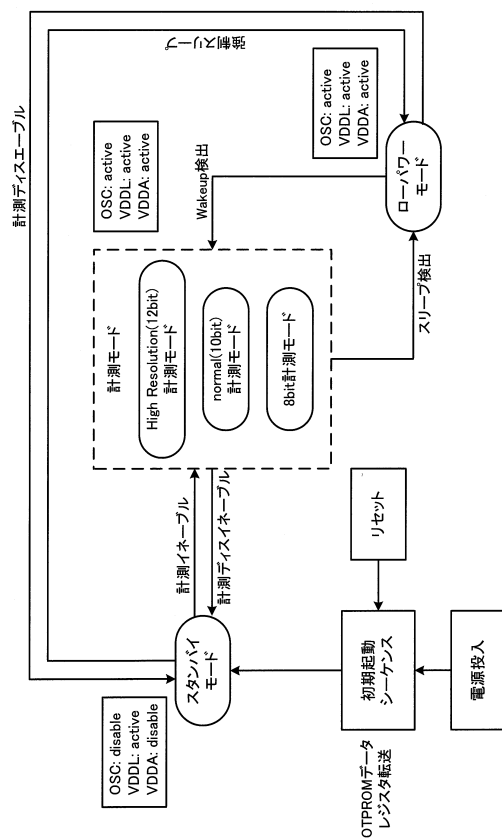
【 図 3 】



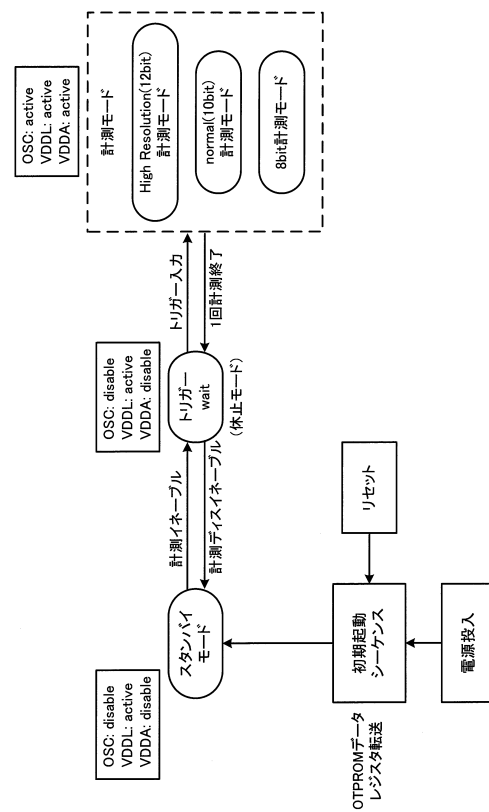
【 図 4 】



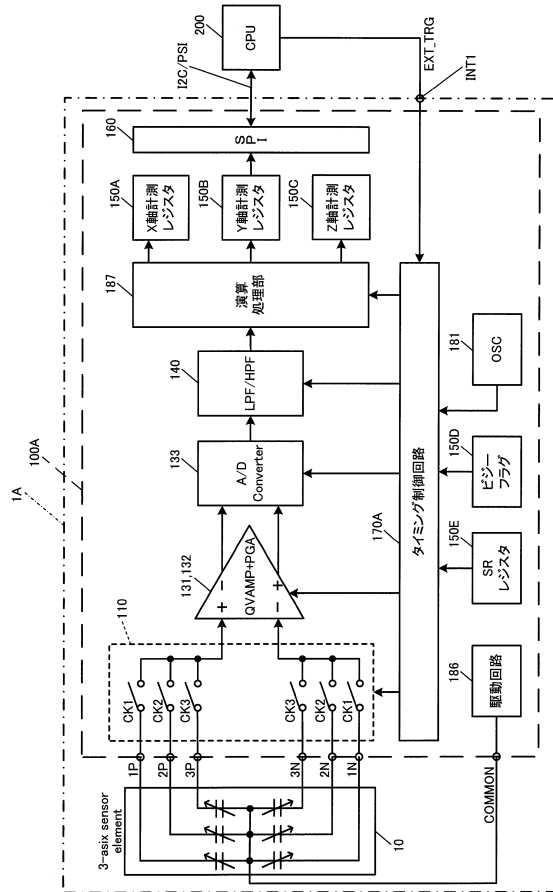
【 図 5 】



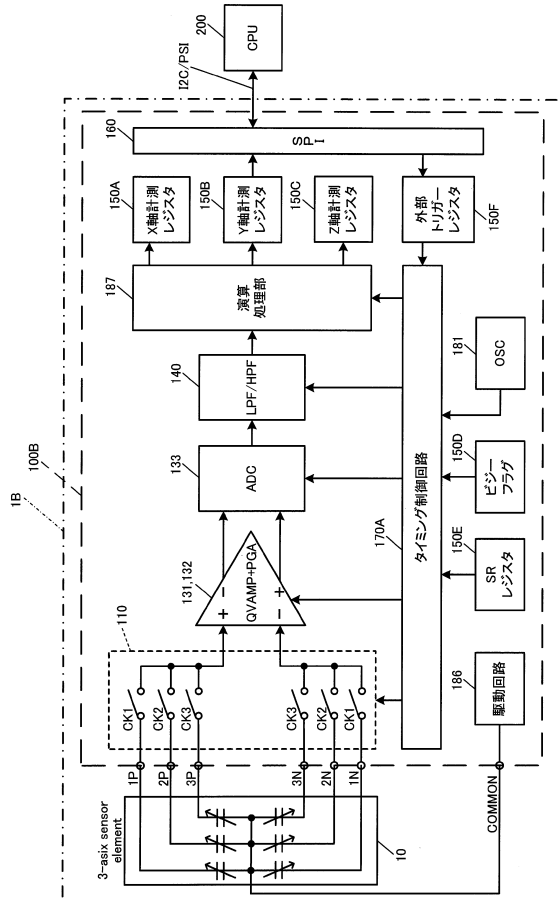
【 図 6 】



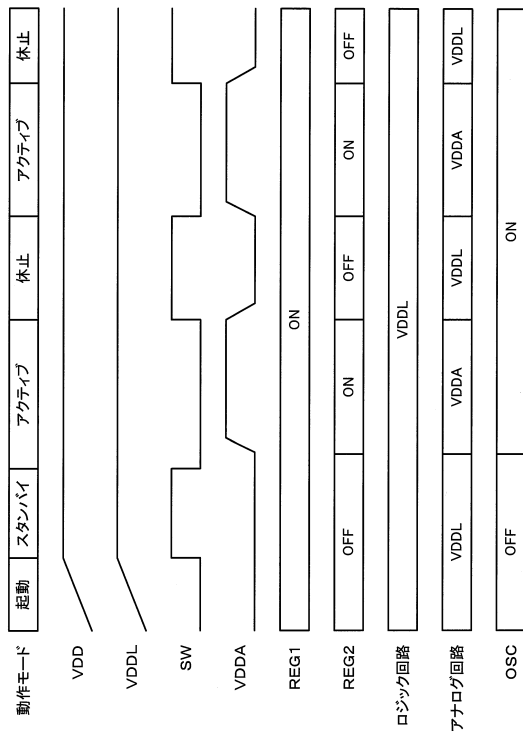
【 図 7 】



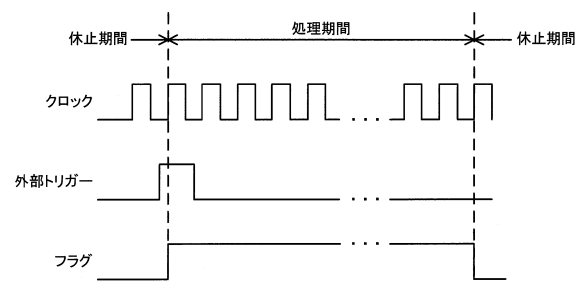
【 図 8 】



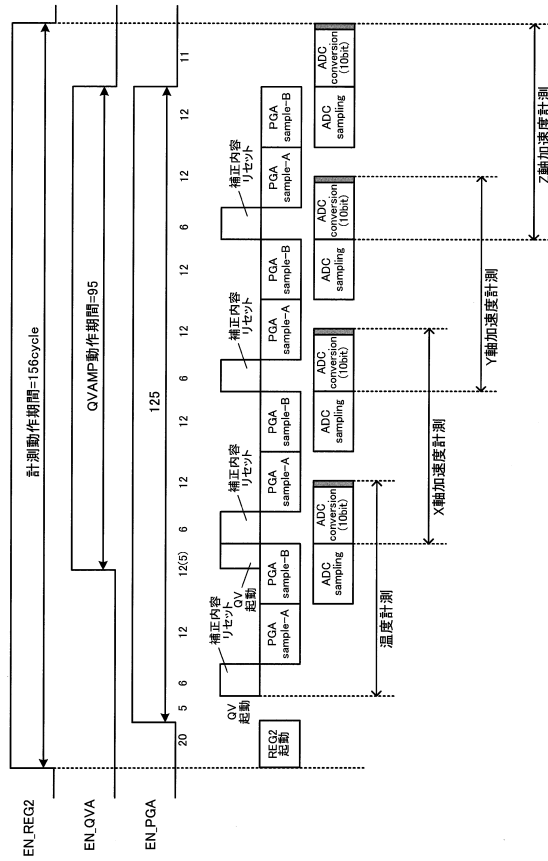
【 図 9 】



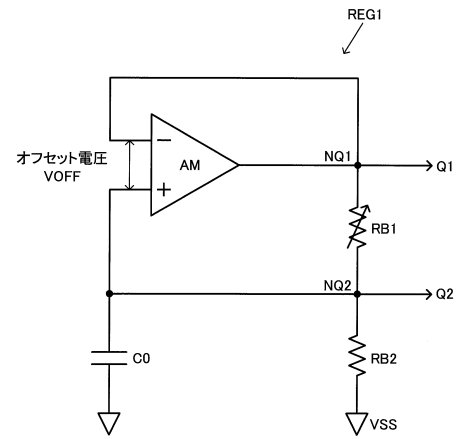
【 図 1 0 】



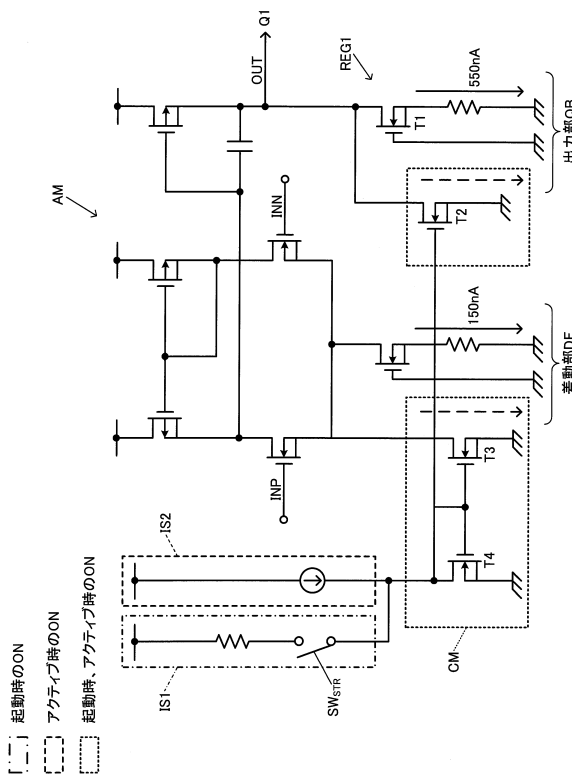
【図 1 1】



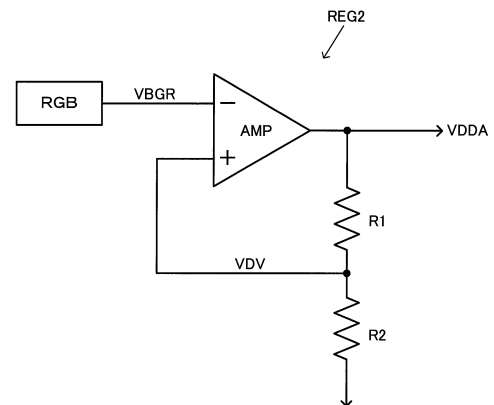
【図 1 2】



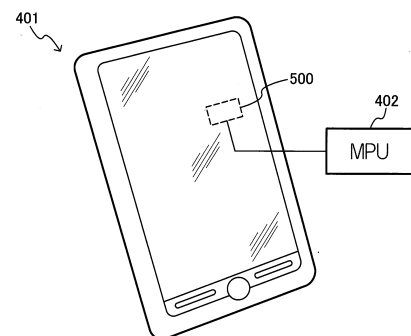
【図 1 3】



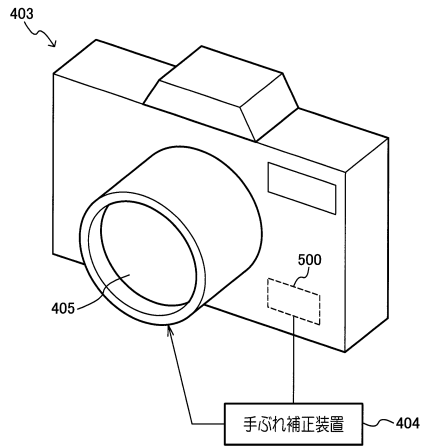
【図 1 4】



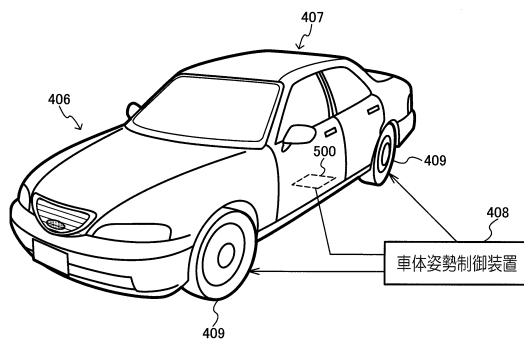
【図 1 5】



【図 16】



【図 17】



フロントページの続き

審査官 岡田 卓弥

(56)参考文献 特開 2 0 1 1 - 1 2 0 0 5 8 (J P , A)
特開 2 0 0 7 - 3 6 2 1 6 (J P , A)
特開 2 0 0 2 - 3 1 0 7 3 5 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 1 D 2 1 / 0 0 - 2 1 / 0 2
G 0 8 C 1 3 / 0 0 - 2 5 / 0 4
G 0 1 P 1 5 / 0 0 - 1 5 / 1 8