

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
12. Juni 2003 (12.06.2003)

PCT

(10) Internationale Veröffentlichungsnummer

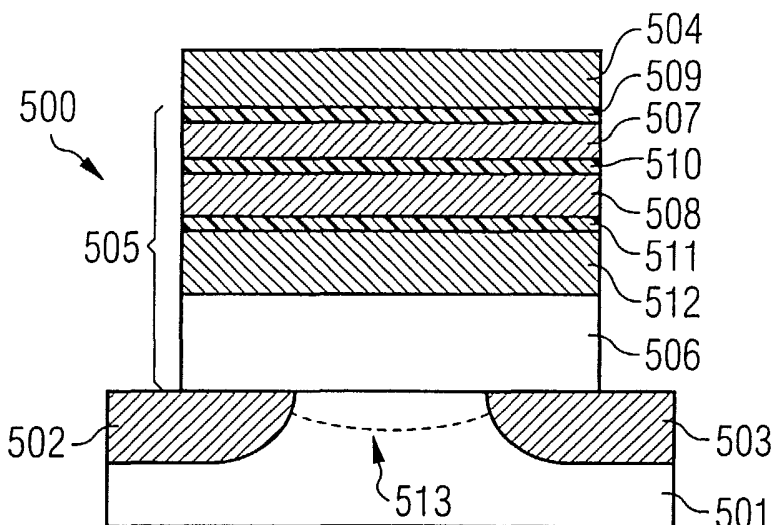
WO 03/049195 A1

- (51) Internationale Patentklassifikation⁷: H01L 29/788 (71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): INFINEON TECHNOLOGIES AG [DE/DE]; St.-Martin-Str. 53, 81669 München (DE).
- (21) Internationales Aktenzeichen: PCT/DE02/03999
- (22) Internationales Anmeldedatum: 23. Oktober 2002 (23.10.2002) (72) Erfinder; und (75) Erfinder/Anmelder (nur für US): SPECHT, Michael [DE/DE]; Schraudolphstrasse 42, 80799 München (DE). STÄDELE, Martin [DE/DE]; Ostpreussenstrasse 6, 85521 Ottobrunn (DE). RÖSNER, Wolfgang [DE/DE]; Sudetenstrasse 23, 85521 Ottobrunn (DE).
- (25) Einreichungssprache: Deutsch
- (26) Veröffentlichungssprache: Deutsch
- (30) Angaben zur Priorität: 101 58 018.5 27. November 2001 (27.11.2001) DE (74) Anwalt: DOKTER, Eric-Michael; Viering, Jentschura & Partner, Steinsdorfstr. 6, 80538 München (DE).

[Fortsetzung auf der nächsten Seite]

(54) Title: LAYER ASSEMBLY AND METHOD FOR OPERATING A LAYER ASSEMBLY AS A DATA MEMORY

(54) Bezeichnung: SCHICHT-ANORDNUNG UND VERFAHREN ZUM BETREIBEN EINER SCHICHT-ANORDNUNG ALS DATENSPEICHER



(57) Abstract: The invention relates to a layer assembly and to a method for operating a layer assembly as a data memory. The layer assembly comprises a layer structure, which is located between a first and a second electrode region and provided with an electrically non-conductive layer located on the first electrode region, with a number of potential well layers each having at least one energy level and being covered on both sides by a tunnel layer, and with a charge storage layer that is located between the electrically non-conductive tunnel layer and the potential well layers. The potential well layers are disposed so that, in the absence of an electrical voltage between the first electrode region and the second electrode region, their energy levels are offset with regard to one another whereby

rendering the potential well layers electrically non-conductive and, in the event of an applied predetermined electrical voltage between the first electrode region and the second electrode region, the energy levels of the potential well layers are offset with regard to one another whereby rendering the potential well layers electrically conductive.

(57) Zusammenfassung: Die Erfindung betrifft eine Schicht-Anordnung und ein Verfahren zum Betreiben einer Schicht-Anordnung als Datenspeicher. Die Schicht-Anordnung weist auf eine zwischen einem ersten und einem zweiten Elektroden-Bereich angeordnete Schichtstruktur mit einer auf dem ersten Elektroden-Bereich angeordneten elektrisch isolierenden Schicht, einer Mehrzahl von Potentialtopf-Schichten mit jeweils mindestens einem Energieniveau, wobei jede Potentialtopf-Schicht beidseitig von einer Tunnel-Schicht bedeckt ist und eine Ladungsspeicher-Schicht zwischen der elektrisch isolierenden Schicht und den Potentialtopf-Schichten. Die Potentialtopf-Schichten sind derart eingerichtet, dass deren Energieniveaus in Abwesenheit einer elektrischen Spannung zwischen dem ersten Elektroden-Bereich und dem zweiten Elektroden-Bereich derart gegeneinander verschoben sind, dass die Potentialtopf-Schichten elektrisch isolierend sind, und dass deren Energieniveaus bei einer angelegten vorgegebenen elektrischen Spannung zwischen dem ersten Elektroden-Bereich und dem zweiten Elektroden-Bereich derart verschoben sind, dass die Potentialtopf-Schichten elektrisch leitfähig sind.



WO 03/049195 A1



(81) **Bestimmungsstaaten** (*national*): JP, US.

(84) **Bestimmungsstaaten** (*regional*): europäisches Patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR).

Veröffentlicht:

— mit internationalem Recherchenbericht

— vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Beschreibung**Schicht-Anordnung und Verfahren zum Betreiben einer Schicht-Anordnung als Datenspeicher**

5

Die Erfindung betrifft eine Schicht-Anordnung und ein Verfahren zum Betreiben einer Schicht-Anordnung als Datenspeicher.

10 Angesichts der schnellen Fortentwicklung der Computertechnologie besteht Bedarf an Speichermedien, die immer größere Speichermengen auf immer kleineren Anordnungen mit immer kürzeren Schreib- und Löscheziten bereitstellen. Üblicherweise werden große Datenmengen in einer Anordnung von
15 Speicherzellen gespeichert. Ein Überblick über Speicherzellen gemäß dem Stand der Technik gibt beispielsweise [1].

Es werden vorwiegend zwei Konzepte verfolgt, um leistungsfähige Speicherzellen bereitzustellen. Dies sind zum
20 einen die sogenannten dynamischen RAMs und zum anderen die nicht-flüchtigen Speicherzellen.

Eine dynamische Speicherzelle, also ein DRAM (Dynamic Random Access Memory) weist einen Auswahltransistor und einen
25 Speicherkondensator auf. Mittels des Auswahltransistors wird eine Speicherzelle in einer Speicher-Anordnung ausgewählt. In jedem der Speicherkondensatoren ist entweder ein Speicherzustand mit einem logischen Wert "0" oder ein Speicherzustand mit einem logischen Wert "1" entsprechend
30 einem elektrisch geladenen oder ungeladenen Kondensator vorliegend. Da die Kondensatorladung in bekannten Speicherzellen infolge von Rekombinations- und Leckströmen in einer Zeit von ungefähr einer Sekunde abgebaut wird, muss die Ladung immer wieder nachgeliefert werden. Auch nach einem
35 Lesevorgang muss die Information wieder eingeschrieben werden. Dieses Nachliefern von Ladung erfolgt automatisch mit Hilfe einer auf den Chip integrierten Schaltung. Diese Besonderheit hat dem Speicher den Namen Dynamischer Speicher gegeben. Dynamische Speicherzellen weisen vorteilhafterweise kurze

Schreib- und Lesezeiten in der Größenordnung von zehn Nanosekunden auf. Allerdings ist nachteilhaft, dass dynamische Speicherzellen dauerhaft mit Energie versorgt werden müssen. Dies hat eine hohe Abwärme und damit eine Aufheizung der Speicher-Anordnung zur Folge. Ferner hat eine dynamische Speicherzelle einen hohen Energiebedarf, was den Betrieb von dynamischen Speicherzellen kostenintensiv gestaltet.

5

Dynamische Speicherzellen weisen den Nachteil auf, dass beim Trennen von der Spannungsversorgung die gespeicherten

10

Informationen verloren gehen.

Ein nicht-flüchtiger Speicher („non volatile memory“) zeichnet sich dadurch aus, dass die in der Speicherzelle eingespeicherte Information auch nach dem Abschalten der Versorgungsspannung für eine lange Haltezeit von

15

typischerweise mindestens zehn Jahren erhalten bleibt. Der am häufigsten eingesetzte nicht-flüchtige Halbleiterspeicher ist das Flash-EEPROM („Electrically Erasable and Programmable Read-Only Memory“). EEPROMs gestatten dem Betreiber häufig

20

wiederholbares Lesen, elektrisches Löschen und Programmieren.

Ein wichtiges Beispiel für ein EEPROM ist der sogenannte Floating-Gate Speicher. Bei dem Floating-Gate Speicher wird die elektrische Ladung in einem Floating-Gate, einer von der Umgebung elektrisch entkoppelten Poly-Silizium-Struktur, gespeichert. Das Umladen erfolgt mittels Elektronen, die eine dünne Oxidschicht zwischen dem Halbleiter und dem Floating-Gate durchtunneln. Bei einer Floating-Gate-Speicherzelle tritt an die Stelle des DRAM-Speicherkondensators ein Floating-Gate-Speichertransistor. Beim Programmieren wird an die Wortleitung einer ausgewählten Speicherzelle eine positive elektrische Spannung von typischerweise +15V angelegt. Bei diesen Potentialverhältnissen ist der Auswahltransistor leitend und die elektrische Feldstärke in der Tunneloxid-Schicht in der Nähe der Durchbruchfeldstärke (ungefähr 10^7 V/cm).

25

Infolgedessen tunneln Elektronen zwischen dem Floating-Gate und dem darunter liegenden Source-/Drain-Gebiet bzw. Kanalgebiet. Dadurch bleibt im Floating-Gate eine nicht-kompensierte elektrische Ladung zurück und verbleibt dort für

30

eine lange Haltezeit von typischerweise zehn Jahren, auch in

40

einem Zustand, bei dem keine elektrischen Spannungen mehr angelegt sind.

Eine besonders platzsparende nicht-flüchtige Speicherzelle ist
5 die Flash-EEPROM-Zelle, von der im Weiteren zwei
Ausführungsformen kurz beschrieben werden. Bei der CHE-Flash-
Zelle (CHE=channel hot electron) tunneln „heiße“ (d.h.
ausreichend energiereiche) Elektronen in der Nähe des Drain-
Bereichs durch die Gateoxid-Schicht hindurch auf das Floating-
10 Gate, wohingegen bei der FN-Flash-Zelle (FN=Fowler-Nordheim),
die Elektronen mittels eines hohen elektrischen Feldes in der
Gateoxid-Schicht tunneln (Fowler-Nordheim-Tunneln). Als
Fowler-Nordheim-Tunneln wird der Prozess bezeichnet, bei dem
Elektronen in der Gegenwart eines ausreichend hohen
15 elektrischen Feldes durch eine Tunnel-Schicht hindurchtunneln.

Die Schreib- und Löscheziten von existierenden Flash-Speichern
liegen im Bereich zwischen ungefähr einer Millisekunde und
ungefähr zehn Mikrosekunden. Damit sind die Schreib- und
20 Löscheziten von Flash-Speichern im Vergleich zu den Schreib-
und Löscheziten von DRAM-Speichern deutlich langsamer. Der
Grund hierfür hängt mit der Tunnelbarriere zwischen dem
Floating-Gate und dem leitenden Kanal zusammen, da eine
beispielsweise aus Siliziumdioxid hergestellte Tunnelbarriere
25 eine Mindestdicke von ungefähr zehn Nanometer aufweisen muss,
um eine Haltezeit der Speicherzelle von zehn Jahren zu
gewährleisten. Dies erfordert hohe Schreib- und
Löschspannungen von typischerweise 10V, teilweise bis zu 20V.
Solch hohe elektrische Spannungen zum Schreiben bzw. Löschen
30 sind deshalb nachteilhaft, da Elemente in integrierten
Schaltkreisen von zu hohen elektrischen Spannungen negativ
beeinflusst werden können und sogar zerstört werden können.

Im Weiteren werden zwei aus der Literatur bekannte Konzepte
35 beschrieben, deren Gegenstand es ist, Speicherzellen mit
kurzen Schreib- bzw. Löscheziten bereitzustellen, wobei die
Speicherzellen Haltezeiten in der Größenordnung von zehn
Jahren aufweisen.

Aus [2] ist das Konzept der sogenannten "Crested-Barrier" bekannt.

Gemäß dem "Crested-Barrier"-Konzept wird eine serielle
5 Anordnung von typischerweise drei Tunnelbarrieren mit unterschiedlichen energetischen Höhen der Potential-Barrieren verwendet. Bei den oben beschriebenen herkömmlichen Flash-Zellen ist die Gateoxid-Schicht üblicherweise eine ungefähr zehn Nanometer dicke Siliziumdioxid-Schicht mit einer
10 homogenen Struktur. Theoretische Überlegungen zeigen, dass eine gleichdicke Barriere, die keinen rechteckförmigen, sondern einen stufenförmigen elektrischen Potentialverlauf mit dem Maximum in einem mittigen Abschnitt der Barriere aufweist, ein beschleunigtes Schreiben bzw. Lesen bei gleichbleibender
15 Haltezeit ermöglicht. Der Grundgedanke des "Crested-Barrier"-Konzepts besteht darin, das Verhältnis der Tunnelstromstärke durch eine Tunnel-Schicht bei angelegter Schreib- bzw. Löschespannung zu der Tunnelstromstärke bei angelegter halber Schreib- bzw. Löschespannung für eine Tunnelbarriere mit
20 rechteckigem Potentialverlauf und für eine Tunnelbarriere mit stufenförmigem Potentialverlauf zu vergleichen. Es zeigt sich, dass dieses Tunnelstromverhältnis für eine stufenförmige Potentialbarriere erheblich größer ist als für eine rechteckförmige Barriere. Dieses Tunnelstromverhältnis ist ein
25 Maß für das Verhältnis zwischen der Haltezeit und der Löschespannung bzw. für das Verhältnis zwischen der Haltezeit und der Programmierzeit einer auf dem „Crested-Barrier“-Konzept basierenden Speicherzelle.

30 Mit anderen Worten ist für die beschriebene mehrstufige Potentialanordnung die Stromdichte von Fowler-Nordheim-Tunneln wesentlich empfindlicher von einer angelegten Spannung abhängig als für eine rechteckförmige Barriere. Allerdings ist es in der Herstellung aufwendig, eine mehrstufige
35 Potentialbarriere zu realisieren. Folglich sind Speicherzellen auf Basis des „Crested-Barrier“-Prinzips aufwendig und teuer.

Bezugnehmend auf **Fig.1** wird im Folgenden das Prinzip der sogenannten PLED-Speicherzelle („Planar Localized Electron Devices“) beschrieben, das aus [3] bekannt ist.

5 Die in **Fig.1** gezeigte PLED-Speicherzelle 100 weist ein Substrat 101, einen Source-Bereich 102 in einem ersten Oberflächenbereich des Substrats 101 und einen Drain-Bereich 103 in einem zweiten Oberflächenbereich des Substrats 101 auf. Mittels eines elektrisch isolierenden Bereichs 104, welcher in
10 dem Bereich zwischen dem Source-Bereich 102 und dem Drain-Bereich 103 die Funktion einer Gateoxid-Schicht erfüllt, ist das Substrat 101 mit den darin eingebrachten Source- und Drain-Bereichen 102, 103 von einem Ladungsspeicher-Bereich 105 getrennt. Oberhalb des Ladungsspeicher-Bereichs 105 ist eine
15 Mehrzahl von Doppelschichten angeordnet, wobei jede der Doppelschichten alternierend eine Tunnel-Schicht 106 und einen halbleitenden Bereich 107 aus intrinsischem Silizium aufweist. Die in **Fig.1** gezeigte PLED-Speicherzelle 100 weist vier
20 Doppelschichten aus jeweils einer Tunnel-Schicht 106 und einem halbleitenden Bereich 107 auf. Oberhalb der Anordnung von Doppelschichten ist eine Elektrode 108 angebracht. An den Seitenrändern der Doppelschichten sind diese von einer seitlichen Gate-Elektrode 109 mittels einer dünnen Oxidschicht getrennt, die gemäß der in **Fig.1** gezeigten PLED-Speicherzelle
25 100 als Teil des elektrisch isolierenden Bereichs 104 ausgebildet ist.

Die in **Fig.1** gezeigte PLED-Speicherzelle 100 kann als Datenspeicher verwendet werden, indem der Effekt ausgenutzt
30 wird, dass gegebenenfalls in den Ladungsspeicher-Bereich 105 eingebrachte elektrische Ladungsträger die elektrische Leitfähigkeit des Kanals zwischen dem Source-Bereich 102 und dem Drain-Bereich 103 charakteristisch beeinflussen. Sind in dem Ladungsspeicher-Bereich 105 elektrische Ladungsträger
35 eingebracht, so weist der Kanal zwischen dem Source-Bereich 102 und dem Drain-Bereich 103 eine erste elektrische Leitfähigkeit auf. Eine zwischen dem Source-Bereich 102 und dem Drain-Bereich 103 angelegte Spannung führt dann zu einem Stromfluss einer ersten Stromstärke zwischen dem Source-

Bereich 102 und dem Drain-Bereich 103. Ist dagegen der Ladungsspeicher-Bereich 105 von elektrischen Ladungsträgern frei, so weist der Kanal zwischen dem Source-Bereich 102 und dem Drain-Bereich 103 eine zweite elektrische Leitfähigkeit auf, die von der ersten elektrischen Leitfähigkeit deutlich verschieden ist, und eine zwischen dem Source-Bereich 102 und dem Drain-Bereich 103 angelegte elektrische Spannung bewirkt einen elektrischen Stromfluss einer zweiten Stromstärke, wobei die zweite Stromstärke deutlich verschieden von der ersten Stromstärke ist.

Ist an die seitliche Gate-Elektrode 109 eine elektrische Spannung nicht angelegt, so sind die Doppelschichten aus den Tunnel-Schichten 106 und den halbleitenden Bereichen 107 elektrisch isolierend, sodass gegebenenfalls in dem Ladungsspeicher-Bereich 105 eingebrachte Ladungsträger dort dauerhaft gespeichert sind. Mittels Anlegen einer geeigneten elektrischen Spannung an die seitliche Gate-Elektrode 109 wird an den linken und rechten Rändern der Tunnel-Schichten 106 jeweils ein elektrisch leitfähiger Bereich ausgebildet. In diesem Zustand sind die Doppelschichten aus den Tunnel-Schichten 106 und den halbleitenden Bereichen 107 elektrisch gut leitfähig. Wird in diesem Zustand an die Elektrode 108 eine weitere elektrische Spannung angelegt, so können Ladungsträger von der Elektrode 108 auf den Ladungsspeicher-Bereich 105 fließen oder umgekehrt. Nach Abschalten der an die seitliche Gate-Elektrode 109 angelegten elektrischen Spannung wird die Doppelschicht aus der Tunnel-Schicht 106 und den halbleitenden Bereichen 107 wieder elektrisch isolierend, sodass gegebenenfalls in dem Ladungsspeicher-Bereich 105 eingespeicherte Ladungsträger dort dauerhaft verbleiben. Das schnelle Schreiben und Löschen wird gemäß der PLED-Speicherzelle 100 also dadurch erreicht, dass die Seitenbereiche einer mehrfachen Tunnelbarriere mittels seitlichen Anlegens einer zusätzlichen elektrischen Spannung elektrisch leitfähig gemacht werden.

Bezugnehmend auf **Fig.2A, Fig.2B** wird im Weiteren das Prinzip einer Resonanz-Tunnelodiode beschrieben.

Die in **Fig.2A** gezeigte Resonanz-Tunnelodiode 200 weist ein n⁺-dotiertes Silizium-Substrat 201, eine erste Tunnelbarriere 202, eine Potentialtopf-Schicht 203, eine zweite

5 Tunnelbarriere 204, eine elektrisch isolierende Schicht 205 und eine Elektrode 206 auf, die gemäß der in **Fig.2A** gezeigten Resonanz-Tunnelodiode 200 eine Struktur aus Aluminium und Gold ist. Die erste Tunnelbarriere 202 ist aus Kalziumdifluorid (CaF₂) hergestellt, die Potentialtopf-Schicht 203 ist aus

10 Cadmiumdifluorid (CdF₂) hergestellt, die zweite Tunnelbarriere 204 ist aus Kalziumdifluorid hergestellt. In **Fig.2B** sind die Potentialverhältnisse (horizontal aufgetragen ist das elektrische Potential V) entlang der Resonanz-Tunnelodiode 200 (deren Struktur ist vertikal aufgetragen) dargestellt.

15 Insbesondere weist die Potentialtopf-Schicht 203 zwei Energieniveaus 203a, 203b auf, die derart eingerichtet sind, dass in Abwesenheit einer elektrischen Spannung zwischen dem n⁺-dotierten Silizium-Substrat 201 und der Elektrode 206 ein elektrischer Stromfluss durch die Potentialtopf-Schicht 203

20 hindurch nicht möglich ist. Ist dagegen, wie in **Fig.2B** gezeigt, eine geeignete elektrische Spannung zwischen dem n⁺-dotierten Silizium-Substrat 201 und der Elektrode 206 angelegt, so befindet sich das erste Energieniveau 203a der Potentialtopf-Schicht 203 auf einem solchen elektrischen

25 Potential, dass ein elektrischer Stromfluss von dem n⁺-dotierten Silizium-Substrat 201 durch die Potentialtopf-Schicht 203 hindurch bis hinein in die Elektrode 206 ermöglicht ist. Dies ist in **Fig.2B** mittels eines Pfeils 207 veranschaulicht.

30

In [5] ist ein nichtflüchtiger Halbleiterspeicher mit einer Potentialtopfschicht zwischen einem Substrat mit Source-, Drain- und Kanal-Bereich einerseits und einem Floating-Gate andererseits offenbart.

35

[6] offenbart einen Halbleiterspeicher mit einer Doppel-Tunnelisolatorschicht, ausgebildet in einem Tunnelbereich eines Speichertransistors.

In [7] ist ein nichtflüchtiger Halbleiterspeicher offenbart, der eine Ladungstransfer-Schicht mit einer geringen Barrierenhöhe aufweist, die zwischen einem Floating-Gate und einem Steuer-Gate angeordnet ist.

5

Der Erfindung liegt das Problem zugrunde, einen nicht-flüchtigen Datenspeicher mit gegenüber aus dem Stand der Technik bekannten nicht-flüchtigen Datenspeichern verkürzten Schreib- und Löscheziten bei mindestens gleichbleibend langen Haltezeiten bereitzustellen.

10

Das Problem wird durch eine Schicht-Anordnung und ein Verfahren zum Betreiben einer Schicht-Anordnung als Datenspeicher mit den Merkmalen gemäß den unabhängigen Patentansprüchen gelöst.

15

Erfindungsgemäß ist eine Schicht-Anordnung geschaffen.

Die Schichtanordnung der Erfindung weist eine zwischen einem ersten und einem zweiten Elektroden-Bereich angeordnete Schichtstruktur auf, die eine auf dem ersten Elektroden-Bereich angeordnete elektrisch isolierende Schicht, eine Mehrzahl von Potentialtopf-Schichten mit mindestens einem Energieniveau, wobei jede Potentialtopf-Schicht beidseitig von einer Tunnel-Schicht bedeckt ist, und eine Ladungsspeicher-Schicht zwischen der elektrisch isolierenden Schicht und den Potentialtopf-Schichten aufweist. Die Potentialtopf-Schichten sind derart eingerichtet, dass in Abwesenheit einer elektrischen Spannung zwischen dem ersten Elektroden-Bereich und dem zweiten Elektroden-Bereich die Energieniveaus unterschiedlicher Potentialtopf-Schichten derart gegeneinander verschoben sind, dass die Potentialtopf-Schichten elektrisch isolierend sind. Die Potentialtopf-Schichten sind ferner derart eingerichtet, dass deren Energieniveaus bei einer angelegten vorgegebenen elektrischen Spannung zwischen dem ersten Elektroden-Bereich und dem zweiten Elektroden-Bereich derart verschoben sind, dass die Potentialtopf-Schichten elektrisch leitfähig sind.

20

25

30

35

Ferner ist erfindungsgemäß ein Verfahren zum Betreiben einer Schicht-Anordnung als Datenspeicher bereitgestellt.

Die erfindungsgemäß betreibbare Schicht-Anordnung weist ein
5 Substrat, einen Source-Bereich in einem ersten
Oberflächenbereich des Substrats, einen Drain-Bereich in einem
zweiten Oberflächenbereich des Substrats und eine zwischen der
Oberfläche des Substrats zumindest teilweise zwischen dem
Source-Bereich und dem Drain-Bereich einerseits und einem
10 Gate-Bereich andererseits angeordnete Schichtstruktur auf. Die
Schichtstruktur weist eine elektrisch isolierende Schicht auf
dem Gate-Bereich oder auf der Oberfläche des Substrats
zumindest teilweise zwischen dem Source-Bereich und dem Drain-
Bereich, eine Mehrzahl von Potentialtopf-Schichten mit jeweils
15 mindestens einem Energieniveau, wobei jede Potentialtopf-
Schicht beidseitig von einer Tunnel-Schicht bedeckt ist, und
eine Ladungsspeicher-Schicht zwischen der elektrisch
isolierenden Schicht und den Potentialtopf-Schichten auf. Die
Potentialtopf-Schichten sind derart eingerichtet, dass deren
20 Energieniveaus in Abwesenheit einer elektrischen Spannung
zwischen dem Gate-Bereich und dem Source-Bereich und/oder dem
Drain-Bereich derart gegeneinander verschoben sind, dass die
Potentialtopf-Schichten elektrisch isolierend sind, und dass
deren Energieniveaus bei einer angelegten vorgegebenen
25 elektrischen Spannung zwischen dem Gate-Bereich und dem
Source-Bereich und/oder dem Drain-Bereich derart verschoben
sind, dass die Potentialtopf-Schichten elektrisch leitfähig
sind.

30 Verfahrensgemäß werden in die Ladungsspeicher-Schicht
Ladungsträger eingebracht, aus dieser entfernt, oder es wird
ermittelt, ob in der Ladungsspeicher-Schicht eine Menge von
Ladungsträgern eingebracht ist.

35 Ferner ist eine Speicher-Einheit mit einer Schicht-Anordnung
bereitgestellt, bei der die Speicher-Information in der
Ladungsspeicher-Schicht der Schicht-Anordnung speicherbar ist.

Darüber hinaus ist eine Speicher-Anordnung mit einer Mehrzahl
40 von Speicher-Einheiten bereitgestellt.

Es ist ein Vorteil der Erfindung, dass ein Datenspeicher geschaffen ist, bei dem lange Haltezeiten mit kurzen Schreib- bzw. Löscheziten kombiniert sind. Wie oben beschrieben, sind
5 Datenspeicher mit Floating-Gates gemäß dem Stand der Technik in ihrer Schnelligkeit bezüglich der Schreib- und Löscheziten auf eine Größenordnung von Mikrosekunden beschränkt. Diese Beschränkung liegt darin begründet, dass die Dicke der Isolationsschicht zwischen dem leitenden Kanal einer
10 entsprechenden Transistor-Anordnung und dem Floating-Gate mindestens zehn Nanometer dick sein muss, um akzeptable Haltezeiten zu erreichen. Wählt man geringere Dicken für diese Isolationsschicht, so ist die Haltezeit nicht ausreichend hoch. Andererseits ist bei Schichtdicken der elektrisch
15 isolierenden Schicht im Bereich von zehn Nanometern die Tunnelrate und daher der Tunnelstrom infolge Fowler-Nordheim-Tunneln von Ladungsträgern durch diese Schicht hindurch derartig gering, dass Schreib- und Löscheziten schneller als Mikrosekunden nicht möglich sind. Die zeigt, dass die
20 Kombination einer großen Haltezeit mit einer kurzen Schreib- und Löschezit bei aus dem Stand der Technik bekannten Konzepten gegensätzliche Anforderungen darstellen.

Erfindungsgemäß ist eine ausreichend große Haltezeit mittels
25 einer ausreichend dicken elektrisch isolierenden Schicht realisiert. Simultan sind kurze Schreib- und Löscheziten mittels Verwendens von Potentialtopf-Schichten in der Schichtstruktur ermöglicht, da das Einbringen von Ladungsträgern in das Floating-Gate mittels resonantem Tunneln
30 von Ladungsträgern durch die Schichtstruktur der Erfindung erfolgt, anstatt mittels Fowler-Nordheim-Tunneln gemäß dem Stand der Technik. Mit anderen Worten löst die Erfindung die gegensätzlichen Anforderungen einer langen Haltezeit und einer kurzen Schreib- bzw. Löschezit, indem die große Haltezeit
35 einer Mehrfach-Tunnelbarriere sowie die hohe Tunnelrate bei resonantem Tunneln ausgenützt werden.

Jede der Potentialtopf-Schichten der Erfindung weist
40 mindestens ein Energieniveau, häufig eine Mehrzahl von quantisierten Energieniveaus auf. Ist zwischen dem ersten

Elektroden-Bereich und dem zweiten Elektroden-Bereich eine elektrische Spannung nicht angelegt, so sind die Energieniveaus in den Quantentöpfen (Potentialtöpfen) gegeneinander derart versetzt, dass die Potentialtopf-Schicht
5 (annähernd) elektrisch isolierend ist. Ist jedoch eine vorgegebene elektrische Spannung zwischen dem ersten Elektroden-Bereich und dem zweiten Elektroden-Bereich angelegt, so verschieben sich infolge dieser elektrischen Spannung die Energieniveaus der Potentialtopf-Schichten
10 derart, dass die Potentialtopf-Schicht elektrisch gut leitend ist und Ladungsträger von einer der Elektroden-Bereiche durch die nunmehr niederohmige Potentialtopf-Schicht hindurch bis hinein in die Ladungsspeicher-Schicht (Floating-Gate) resonant tunneln können. Nach Abschalten der vorgegebenen elektrischen
15 Spannung, die zwischen dem ersten Elektroden-Bereich und dem zweiten Elektroden-Bereich angelegt ist, verschieben sich die Energieniveaus der Potentialtopf-Schichten wieder zurück in den Ausgangszustand, sodass die Potentialtopf-Schichten wiederum elektrisch gut isolierend sind. Die nunmehr
20 elektrisch isolierenden Potentialtopf-Schichten sind in diesem Zustand sehr hochohmig, sodass auf der Ladungsspeicher-Schicht befindliche Ladungsträger in Abwesenheit der vorgegebenen elektrischen Spannung zwischen dem ersten Elektroden-Bereich und dem zweiten Elektroden-Bereich nicht von der
25 Ladungsspeicher-Schicht heruntertunneln können. Dadurch ist eine lange Haltezeit in der Größenordnung von zehn Jahren erreichbar.

Erfindungsgemäß ist eine Möglichkeit geschaffen, im Vergleich
30 zu den aus dem Stand der Technik bekannten Floating-Gate-Speicherzellen deutlich schnellere Schreib- und Löscheziten bis in den Bereich von Nanosekunden zu realisieren. Dies ist im Hinblick auf das in der Informationstechnologie herrschende Bedürfnis nach Speicher-Elementen mit verkürzten
35 Zugriffszeiten bei mindestens gleichbleibend langen Haltezeiten vorteilhaft.

Bevorzugte Weiterbildungen der Erfindung ergeben sich aus den abhängigen Ansprüchen.

Vorzugsweise weist der erste Elektroden-Bereich oder der zweite Elektroden-Bereich der Schicht-Anordnung ein Substrat, einen Source-Bereich in einem ersten Oberflächenbereich des Substrats und einen Drain-Bereich in einem zweiten

5 Oberflächenbereich des Substrats auf, wobei die Schichtstruktur auf der Oberfläche des Substrats zumindest teilweise zwischen dem Source-Bereich und dem Drain-Bereich angeordnet ist.

10 Gemäß dieser vorteilhaften Weiterbildung der erfindungsgemäßen Schicht-Anordnung ist ein modifizierter Feldeffekt-Transistor mit den beschriebenen Merkmalen geschaffen.

Dieser als Speicher-Einheit verwendbare Feldeffekt-Transistor stellt eine dreiterminale Anordnung dar. Die drei Anschlüsse der Schicht-Anordnung sind der Source-Bereich und der Drain-Bereich, die einem der beiden Elektroden-Bereiche der Schicht-Anordnung zugeordnet sind, und der andere Elektroden-Bereich, der bezugnehmend auf die bei Transistoren übliche Nomenklatur als Gate-Bereich bezeichnet werden kann. Die erfindungsgemäße Schicht-Anordnung mit drei elektrischen Anschlüssen ist weniger aufwendig betreibbar und im Allgemeinen kostengünstiger herstellbar als vierterminale Lösungsansätze, die aus dem Stand der Technik (beispielsweise aus [3]) bekannt sind. Die dreiterminale Anordnung der Erfindung ist besser für ULSI-Anwendungen („ultra large scale integration“, höchstintegrierte Schaltungen mit 10^7 - 10^9 Transistoren pro Chip) geeignet als die vierterminalen Konzepte mit tendenziell größeren Ausdehnungen gemäß dem Stand der Technik.

30 Wenn das Substrat mit dem Source-Bereich und dem Drain-Bereich den ersten Elektroden-Bereich bildet, ist das Substrat mit der elektrisch isolierenden Schicht der Schicht-Anordnung gekoppelt. Bildet alternativ das Substrat mit dem Source-Bereich und dem Drain-Bereich den zweiten Elektroden-Bereich aus, so sind die Potentialtopf-Schichten mit dem Substrat gekoppelt. Beide Strukturen sind geeignet, als Datenspeicher verwendet zu werden. Daher kann flexibel entsprechend den Bedürfnissen und Rahmenbedingungen des Einzelfalls die eine oder die andere Ausgestaltung gewählt werden.

40

Vorzugsweise weist zumindest ein Teil der Potentialtopf-Schichten jeweils eine Dicke zwischen ungefähr 1nm und ungefähr 5nm auf. Ferner kann zumindest ein Teil der Tunnel-Schichten jeweils eine Dicke zwischen ungefähr 0,5nm und ungefähr 2nm aufweisen. Die elektrisch isolierende Schicht weist gemäß einem bevorzugten Ausführungsbeispiel eine Dicke von ungefähr 10nm auf.

10 Die elektrisch isolierende Schicht ist vorzugsweise aus Siliziumdioxid hergestellt. Die Tunnel-Schichten sind beispielsweise aus einer oder einer Kombination der chemischen Verbindungen Kalziumdifluorid, Siliziumdioxid und Siliziumnitrid hergestellt. Die Potentialtopf-Schichten können
15 aus einem oder einer Kombination der chemischen Elemente bzw. der chemischen Verbindungen Silizium, Aluminiumphosphid, Galliumphosphid und Cadmiumdifluorid hergestellt sein. Ferner sind der erste und/oder der zweite Elektroden-Bereich vorzugsweise aus einem oder einer Kombination der chemischen
20 Elemente bzw. chemischen Verbindungen Silizium und Kobaltdisilizid hergestellt.

Mittels Justage der Schichtdicken und der Schichtmaterialien insbesondere der Potentialtopf-Schichten ist die energetische Lage der diskreten Energieniveaus sowie deren Abstand
25 zueinander einstellbar. Günstig ist eine ausreichend große Versetzung der Energiezustände in einem Zustand, in dem keine elektrische Spannung zwischen den ersten Elektroden-Bereich und den zweiten Elektroden-Bereich der Schicht-Anordnung
30 angelegt ist. Dadurch ist sichergestellt, dass die Potentialtopf-Schicht ausreichend hochohmig ist, dass ein Tunneln von Ladungsträgern durch die der Potentialtopf-Schichten hindurch weitestgehend ausgeschlossen ist. Mit anderen Worten gewährleistet eine möglichst hochohmige
35 Potentialtopf-Schicht in einem Zustand, in dem eine elektrische Spannung nicht zwischen dem ersten Elektroden-Bereich und dem zweiten Elektroden-Bereich angelegt ist, eine ausreichend hohe Haltezeit der eingespeicherten Datenmenge. Ferner ist eine Übereinstimmung der Energieniveaus der
40 Potentialtopf-Schichten der Schicht-Anordnung in einem

Szenario, in dem eine vorgegebene elektrische Spannung zwischen dem ersten Elektroden-Bereich und dem zweiten Elektroden-Bereich angelegt ist, günstig. Finden auf der einen Seite der Schicht-Anordnung angeordnete Ladungsträger einen
5 Tunnelpfad auf einem konstanten elektrischen Potential entlang aller Potentialtopf-Schichten vor, so können diese Ladungsträger auf dem gleichbleibenden Potentialniveau die Potentialtopf-Schichten durchlaufen. Das Durchlaufen der
zwischen den Potentialtopf-Schichten angeordneten Tunnel-
10 Schichten erfolgt mittels resonantem Tunneln und daher wesentlich schneller als mittels Fowler-Nordheim-Tunneln wie gemäß dem Stand der Technik.

Die energetische Lage und der energetische Abstand der
15 Energieniveaus der Potentialtopf-Schichten zueinander sind mittels geeigneter Wahl der Dicke und der Materialien der Potentialtopf-Schichten einstellbar.

Ferner ist mittels geeigneter Wahl von Material und Dicke der
20 Tunnel-Schichten zwischen den Potentialtopf-Schichten die Justage des Verhältnisses zwischen Haltezeit und Schreibzeit möglich. Je dünner die Tunnel-Schichten sind und je niederohmiger das Material der Tunnel-Schichten ist (bzw. je niedriger die Energiebarriere der Tunnel-Schicht ist), um so
25 höher ist die Tunnelrate durch die Tunnel-Schichten.

Daher ist es erfindungsgemäß ermöglicht, mittels Wahl der Schichtdicken und der Materialien der Schicht-Anordnung die energetischen und elektrischen Parameter der Schicht-Anordnung
30 flexibel auf die Bedürfnisse des Einzelfalls einstellen zu können bzw. deren Funktionalität optimieren zu können.

Weiter ist vorteilhaft, dass einige der oben genannten Materialien für die Potentialtopf-Schichten, die Tunnel-
35 Schichten und die Elektroden-Bereiche Materialien sind, die mit der CMOS-Technologie kompatibel sind. So sind beispielsweise Silizium-Schichten und Siliziumdioxid-Schichten sowie Siliziumnitrid-Schichten im Rahmen der CMOS-Technologie herstellbar. Daher ist zum Herstellen der erfindungsgemäßen
40 Schicht-Anordnung eine aufwendige Neuentwicklung von Maschinen

und Verfahren entbehrlich, da auf weit verbreitete standardisierte und gut ausgereifte Maschinen und Verfahren zurückgegriffen werden kann, wie sie in vielen halbleitertechnologischen Labors und Fabriken bereitgestellt sind. Daher ist eine kostengünstige Herstellung der erfindungsgemäßen Schicht-Anordnung ermöglicht.

Vorzugsweise sind die Potentialtopf-Schichten derart eingerichtet, dass benachbarte Energieniveaus einer Potentialtopf-Schicht voneinander jeweils um eine Energiedifferenz der Größenordnung von 1eV (Elektronenvolt) getrennt sind.

Bei einem Abstand benachbarter Energieniveaus innerhalb einer Potentialtopf-Schicht von ungefähr 1eV ist sichergestellt, dass die Energiezustände gut aufgelöst sind und dass phonon-assistierter Transport von Ladungsträgern vernachlässigbar klein ist. Mit „phonon-assistiertem Transport von Ladungsträgern“ ist gemeint, dass trotz gegeneinander verschobenen Energieniveaus an benachbarten Potentialtopf-Schichten ein Tunneln von Ladungsträgern dadurch ermöglicht wird, dass eine Wechselwirkung mit Energieaustausch zwischen den Ladungsträgern und Phononen (quantisierten Gitterschwingungen) auftritt.

Mittels einer derartigen Wahl der Energieniveaus der Potentialtopf-Schichten ist sichergestellt, dass in Abwesenheit einer elektrischen Spannung zwischen den beiden Elektroden-Bereichen der Schicht-Anordnung der Erfindung die Ladungsspeicher-Schicht mittels einer ausreichend hochohmigen Schichtstruktur ausreichend sicher elektrisch isoliert ist. Dadurch sind ausreichend hohe Haltezeiten erreichbar. Gemäß der heisenbergschen Unschärferelation sind unendlich scharfe Energieniveaus nicht erreichbar, vielmehr weist jedes quantenmechanische Energieniveau eine gewisse Breite auf. Weitere physikalische Effekte können zu einer zusätzlichen Verbreiterung bzw. Aufspaltung der Energieniveaus führen. Die energetische Breite der Energiezustände liegt typischerweise in der Größenordnung von ungefähr 10-100meV. Indem die Energiedifferenz benachbarter Energieniveaus einer

Potentialtopf-Schicht ungefähr 1eV voneinander getrennt sind und die energetische Breite eines Energieniveaus in der Größenordnung von 10-100 meV liegt, ist ein unerwünschter Überlapp benachbarter Energieniveaus erfindungsgemäß
5 vermieden.

Ferner sind die Potentialtopf-Schichten vorzugsweise derart eingerichtet, dass die energetische Tiefe der Potentialtöpfe ungefähr zwischen 2eV und 3eV ist.
10

Weisen aneinander angrenzende Schichten der Schicht-Anordnung unterschiedliche Kristallgitterstrukturen auf, so sind diese benachbarten Schichten vorzugsweise aufeinander
15 gitterangepasst.

Im Weiteren werden Ausgestaltungen des erfindungsgemäßen Verfahrens zum Betreiben einer Schicht-Anordnung als Datenspeicher näher beschrieben. Ausgestaltungen der Schicht-
20 Anordnung gelten auch für das Verfahren zum Betreiben der erfindungsgemäßen Schicht-Anordnung.

Wie oben beschrieben, werden gemäß dem erfindungsgemäßen Verfahren zum Betreiben einer Schicht-Anordnung als Datenspeicher in die Ladungsspeicher-Schicht Ladungsträger
25 eingebracht, aus dieser entfernt, oder es wird ermittelt, ob in der Ladungsspeicher-Schicht eine Menge von Datenträgern eingebracht ist.

Vorzugsweise wird eine Datenmenge von 1 Bit in den von der Ladungsspeicher-Schicht der Schicht-Anordnung mit den oben
30 beschriebenen Merkmalen ausgebildeten Datenspeicher einprogrammiert, indem mittels Anlegens einer elektrischen Programmierspannung zwischen den Gate-Bereich und den Source-Bereich und/oder den Drain-Bereich Ladungsträger in die
35 Ladungsspeicher-Schicht injiziert werden.

Bei dem verfahrensgemäßen Programmieren wird eine Programmierspannung von zwischen ungefähr 3V und ungefähr 5V angelegt.
40

In der Größenordnung zwischen 3V und 5V liegende Programmierspannungen sind deutlich geringer als Programmierspannungen, die gemäß dem Stand der Technik für nichtflüchtige Anwendungen erforderlich sind. Gemäß dem Stand
5 der Technik erforderliche Programmierspannungen liegen in der Größenordnung von 10V bis 20V. Indem erfindungsgemäß die erforderlichen Programmierspannungen deutlich verringert sind, sind solche integrierte Schaltkreiselemente, die empfindlich auf elektrische Spannungen zu hoher Amplitude reagieren,
10 besser gegen Zerstörung geschützt. Ferner führen verringerte elektrische Programmierspannungen im Allgemeinen zu einer verringerten Abwärme, da sich die Abwärme als Produkt aus der Spannung, der Stromstärke und der Programmierzeit ergibt. Dies ist in Hinblick auf die angestrebten hohen Integrationsdichten
15 in der Größenordnung von 10^7 bis 10^9 Speicher-Einheiten pro Speicher-Anordnung vorteilhaft. Daher ist die erfindungsgemäße Schicht-Anordnung für Low-Power ULSI-Anwendungen („ultra large scale integration“) gut geeignet. Dies stellt eine wesentliche Verbesserung gegenüber dem Stand der Technik dar, da die
20 Abwärme auf Speicher-Anordnungen eine technologische Begrenzung der erreichbaren Integrationsdichten von Speicher-Elementen einer Speicher-Anordnung darstellt.

Ferner wird gemäß dem erfindungsgemäßen Verfahren zum
25 Betreiben der Schicht-Anordnung eine Datenmenge von 1 Bit aus den durch die Ladungsspeicher-Schicht ausgebildeten Datenspeicher von 1 Bit vorzugsweise ausgelesen, indem eine Auslesespannung zwischen dem Source-Bereich und dem Drain-Bereich angelegt wird, ein für das Vorhandensein bzw. Fehlen
30 von Ladungsträgern in der Ladungsspeicher-Schicht charakteristisches elektrisches Signal erfasst wird und unter Verwenden des elektrischen Signals ermittelt wird, ob eine vorgegebene Menge an Ladungsträgern in der Ladungsspeicher-Schicht enthalten ist oder nicht.

35 Vorzugsweise wird als charakteristisches elektrisches Signal der zwischen dem Source-Bereich und dem Drain-Bereich fließende elektrische Strom erfasst. Dies kann beispielsweise unter Verwenden eines Mittels zum Erfassen des elektrischen

Stromes realisiert werden, beispielsweise mittels Verwendens eines geeigneten Verstärkers.

5 Gemäß dem Verfahren zum Betreiben einer Schicht-Anordnung kann eine Datenmenge von 1 Bit in dem durch die Ladungsspeicher-Schicht ausgebildeten Datenspeicher gelöscht werden, indem
10 mittels Anlegens einer Löschspannung zwischen den Gate-Bereich und den Source-Bereich und/oder den Drain-Bereich in der Ladungsspeicher-Schicht gespeicherte Ladungsträger aus dieser entfernt werden.

Ausführungsbeispiele der Erfindung sind in den Figuren dargestellt und werden im Weiteren näher erläutert.

15 Es zeigen:

Figur 1 eine Querschnittsansicht einer PLED-Speicherzelle gemäß dem Stand der Technik,
Figur 2A eine Querschnittsansicht einer Schicht-Anordnung
20 gemäß dem Stand der Technik,
Figur 2B eine schematische Darstellung der Potentialverhältnisse in der in Figur 2A gezeigten Schicht-Anordnung gemäß dem Stand der Technik,
Figur 3A eine schematische Darstellung der
25 Potentialverhältnisse in einer Schicht-Anordnung gemäß einem ersten Ausführungsbeispiel der Erfindung in einem Zustand, in dem an die Schicht-Anordnung eine elektrische Spannung nicht angelegt ist,
Figur 3B eine schematische Darstellung der
30 Potentialverhältnisse in einer Schicht-Anordnung gemäß dem ersten Ausführungsbeispiel der Erfindung in einem Zustand, in dem an die Schicht-Anordnung eine erste elektrische Spannung angelegt ist,
Figur 3C eine schematische Darstellung der
35 Potentialverhältnisse in einer Schicht-Anordnung gemäß dem ersten Ausführungsbeispiel der Erfindung in

einem Zustand, in dem an die Schicht-Anordnung eine zweite elektrische Spannung angelegt ist,

Figur 4A eine Querschnittsansicht einer Schicht-Anordnung gemäß einem zweiten Ausführungsbeispiel der

5 Erfindung,

Figur 4B eine Querschnittsansicht der in Figur 4A gezeigten Schichtstruktur gemäß dem zweiten Ausführungsbeispiel der Erfindung,

Figur 5A eine Querschnittsansicht einer Schicht-Anordnung gemäß einem dritten Ausführungsbeispiel der

10

Erfindung,

Figur 5B eine Querschnittsansicht einer Schicht-Anordnung gemäß einem vierten Ausführungsbeispiel der

Figur 6A ein Diagramm, das für die in Figur 5A gezeigte Schicht-Anordnung schematisch die Abhängigkeit des Tunnelstroms I von der zwischen die Elektroden-Bereiche der Schicht-Anordnung angelegten elektrischen Spannung U zeigt,

15

Figur 6B ein Diagramm, das schematisch die Potentialverhältnisse innerhalb der in Figur 5A gezeigten Schicht-Anordnung zeigt in einem Zustand, in dem zwischen die Elektroden-Bereiche der Schicht-Anordnung eine elektrische Spannung nicht angelegt

20

ist,

25

Figur 6C ein Diagramm, das schematisch die Potentialverhältnisse in der in Fig.5A gezeigten Schicht-Anordnung zeigt in einem Zustand, in dem zwischen die Elektroden-Bereiche der Schicht-Anordnung eine elektrische Spannung angelegt ist.

30

Im Weiteren wird bezugnehmend auf **Fig.3A**, **Fig.3B**, **Fig.3C** das erfindungsgemäße Grundprinzip beschrieben, gemäß dem in eine Ladungsspeicher-Schicht Ladungsträger einbringbar sind,

Ladungsträger entfernbar sind bzw. Ladungsträger dauerhaft in der Ladungsspeicher-Schicht speicherbar sind.

In **Fig.3A** ist eine Schicht-Anordnung 300 mit einem Elektroden-
5 Bereich 301 und einer Ladungsspeicher-Schicht 302 gezeigt,
zwischen denen zwei Potentialtopf-Schichten 303, 304
angeordnet sind. Zwischen den beiden Potentialtopf-Schichten
303, 304 sowie zwischen jeder Potentialtopf-Schicht 303 bzw.
304 und einer daran angrenzenden Schicht 301 bzw. 302 ist
10 jeweils eine Tunnel-Schicht 305, 306, 307 angeordnet, gemäß
Fig.3B ist zwischen dem Elektroden-Bereich 301 und der ersten
Potentialtopf-Schicht 303 die erste Tunnel-Schicht 305
angeordnet, zwischen der ersten Potentialtopf-Schicht 303 und
der zweiten Potentialtopf-Schicht 304 ist die zweite Tunnel-
15 Schicht 306 angeordnet und zwischen der zweiten Potentialtopf-
Schicht 304 und der Ladungsspeicher-Schicht 302 ist eine
dritte Tunnel-Schicht 307 angeordnet. Wie ferner in **Fig.3A**
gezeigt, weist die erste Potentialtopf-Schicht 303 ein
Energieniveau 303a auf, und die zweite Potentialtopf-Schicht
20 304 weist ein erstes Energieniveau 304a und ein zweites,
energetisch höher gelegenes Energieniveau 304b auf.

Gemäß dem in **Fig.3A** gezeigten Szenario ist eine externe
elektrische Spannung zwischen den Elektroden-Bereich 301 und
25 die Ladungsspeicher-Schicht 302 nicht angelegt. Daher befinden
sich der Elektroden-Bereich 301 und die Ladungsspeicher-
Schicht auf demselben elektrischen Potential, das gemäß der
schematischen Darstellung in **Fig.3A** in vertikaler Richtung
aufgetragen ist. Gemäß diesem Szenario ist das Energieniveau
30 303a der ersten Potentialtopf-Schicht weder mit dem ersten
Energieniveau 304a der zweiten Potentialtopf-Schicht noch mit
dem zweiten Energieniveau 304b der zweiten Potentialtopf-
Schicht 304 auf dem gleichen elektrischen Potential
befindlich. Auch ist das Energieniveau 303a der ersten
35 Potentialtopf-Schicht 303 auf einem anderen elektrischen
Potential als der Elektroden-Bereich 301, und sowohl das erste
Energieniveau 304a als auch das zweite Energieniveau 304b der
zweiten Potentialtopf-Schicht 304 sind mit der
Ladungsspeicher-Schicht 302 auf unterschiedlichen elektrischen

Potentialen. Dies hat zur Folge, dass möglicherweise auf dem Elektroden-Bereich 301 angeordnete Ladungsträger eine hochohmige Potentialbarriere überwinden müssten, um in die Ladungsspeicher-Schicht 302 zu gelangen. Mit anderen Worten ist die zwischen dem Elektroden-Bereich 301 und der Ladungsspeicher-Schicht 302 angeordnete Schichtstruktur aus drei Tunnel-Schichten 305, 306, 307 und zwei Potentialtopf-Schichten 303, 304 infolge der gegeneinander versetzten Energieniveaus 303a, 304a, 304b der Potentialtopf-Schichten 303, 304 zu hochohmig, um einen ausreichend starken Tunnelstrom von Ladungsträgern über diese hochohmige Schichtstruktur zu ermöglichen. Infolge der beschriebenen Potentialverhältnisse ist nicht nur ein Tunneln von dem Elektroden-Bereich 301 auf die Ladungsspeicher-Schicht 302 unterbunden, umgekehrt ist auch ein Tunneln von der Ladungsspeicher-Schicht 302 auf den Elektroden-Bereich 301 unterbunden. Daher ist es gemäß dem in **Fig.3A** gezeigten Szenario ermöglicht, dass möglicherweise in der Ladungsspeicher-Schicht 302 befindliche Ladungsträger dort dauerhaft verbleiben, da ein Tunneln durch die Potentialtopf-Schichten 303, 304 infolge der gegeneinander versetzten Energieniveaus 303a, 304a, 304b nicht ermöglicht ist.

Wird die Menge der in der Ladungsspeicher-Schicht 302 befindlichen Ladungsträger als Datenspeicher mit einem logischen Wert „0“ bzw. „1“ interpretiert, so bleibt diese Information dauerhaft in der Ladungsspeicher-Schicht 302 aufrechterhalten, mit anderen Worten weist ein derartiger Datenspeicher eine hohe Haltezeit auf.

In **Fig.3B** sind die Potentialverhältnisse in der Schicht-Anordnung 300 für einen Fall gezeigt, in dem zwischen dem Elektroden-Bereich 301 und der Ladungsspeicher-Schicht 302 eine vorgegebene erste elektrische Spannung angelegt ist. Wie in **Fig.3B** gezeigt, ist die angelegte erste elektrische Spannung derart eingerichtet, dass die Potentialniveaus des Elektroden-Bereichs 301 und der Ladungsspeicher-Schicht 302 gegeneinander verschoben sind. Daher ist der vertikale Höhenunterschied zwischen der Ladungsspeicher-Schicht 302 und

dem Elektroden-Bereich 301 ein Maß für die Amplitude der angelegten ersten elektrischen Spannung. Die angelegte erste elektrische Spannung fällt sukzessive an den Potentialtopf-Schichten 303, 304 sowie an den Tunnel-Schichten 305, 306, 307 ab. Was die Tunnel-Schichten 305, 306, 307 anbetrifft, so ist dieser Effekt in **Fig.3B** mittels des mit schrägen Linien eingezeichneten Potentialverlaufs symbolisiert.

Wie ferner in **Fig.3B** gezeigt, sind die Energieniveaus 303a der ersten Potentialtopf-Schicht 303 und das erste Energieniveau 304a und das zweite Energieniveau 304b der zweiten Potentialtopf-Schicht 304 verglichen mit dem in **Fig.3A** gezeigten Szenario verschoben. Die zwischen dem Elektroden-Bereich 301 und der Ladungsspeicher-Schicht 302 angelegte erste elektrische Spannung ist derart eingerichtet, dass, wie in **Fig.3B** gezeigt, das Energieniveau 303a der ersten Potentialtopf-Schicht 303 im Wesentlichen auf demselben elektrischen Potential befindlich ist wie das zweite Energieniveau 304b der zweiten Potentialtopf-Schicht 304. Anschaulich ist daher für möglicherweise auf dem Elektroden-Bereich 301 befindliche Ladungsträger ein durchgehender, quantenmechanisch erlaubter Potentialverlauf entlang dem Bereich zwischen dem Elektroden-Bereich und der Ladungsspeicher-Schicht 302 bereitgestellt. Mit anderen Worten ist mittels der angelegten ersten elektrischen Spannung das Energieniveau 303a der ersten Potentialtopf-Schicht 303 mit dem zweiten Energieniveau 304b der zweiten Potentialtopf-Schicht 304 in Übereinstimmung gebracht, so dass möglicherweise auf dem Elektroden-Bereich 301 befindliche Ladungsträger mittels resonanten Tunnelns von dem Elektroden-Bereich 301 auf die Ladungsspeicher-Schicht 302 gelangen können. Gemäß dem in **Fig.3B** gezeigten Szenario weist die Schichtenfolge aus den drei Tunnel-Schichten 305, 306, 307 und den beiden Potentialtopf-Schichten 303, 304 einen ausreichend geringen elektrischen Widerstand auf, dass das resonante Tunneln mit ausreichend hohen Tunnelraten erfolgt, sodass das Fließen der Ladungsträger von dem Elektroden-Bereich 301 auf die Ladungsspeicher-Schicht 302 ausreichend schnell erfolgt.

Bezugnehmend auf die Verwendung der Schicht-Anordnung 300 als Datenspeicher können daher mit kurzen Schreibzeiten Ladungsträger in die Ladungsspeicher-Schicht 302 eingebracht werden. Der daraus resultierende elektrische Strom ist in
5 **Fig.3B** als Pfeil 308 eingezeichnet.

Wird die gemäß dem in **Fig.3B** gezeigten Betriebszustand zwischen dem Elektroden-Bereich 301 und der Ladungsspeicher-Schicht 302 angelegte erste elektrische Spannung abgeschaltet,
10 so geht die Schicht-Anordnung 300 wieder in den in **Fig.3A** gezeigten Zustand über. Möglicherweise in der Ladungsspeicher-Schicht 302 eingespeicherte Ladungsträger verbleiben gemäß dann dauerhaft in der Ladungsspeicher-Schicht 302, da nach Abschalten der ersten elektrischen Spannung die Anordnung der
15 Tunnel-Schichten 305, 306, 307 und der Potentialtopf-Schichten 303, 304 einen ausreichend hohen elektrischen Widerstand aufweist, dass ein elektrischer Stromfluss von der Ladungsspeicher-Schicht 302 auf den Elektroden-Bereich 301 vermieden ist.

20
In **Fig.3C** ist die Schicht-Anordnung 300 in einem Zustand gezeigt, bei dem zwischen den Elektroden-Bereich 301 und die Ladungsspeicher-Schicht 302 eine zweite vorgegebene elektrische Spannung angelegt ist. Die zweite elektrische
25 Spannung weist ein anderes Vorzeichen auf als die an die in **Fig.3B** gezeigte Schicht-Anordnung 300 angelegte erste elektrische Spannung. Dies ist anhand **Fig.3B, Fig.3C** daraus ersichtlich, dass die gegenseitige Verschiebung der elektrischen Potentiale des Elektroden-Bereichs 301 und der
30 Ladungsspeicher-Schicht 302 gemäß **Fig.3C** entgegengesetzt erfolgt wie gemäß **Fig.3B**. Mit anderen Worten wird gemäß **Fig.3B** das elektrische Potential des Elektroden-Bereichs 301 gegenüber dem elektrischen Potential der Ladungsspeicher-Schicht 302 angehoben, wohingegen gemäß **Fig.3C** das elektrische
35 Potential des Elektroden-Bereichs 301 gegenüber dem elektrischen Potential der Ladungsspeicher-Schicht 302 energetisch abgesenkt ist.

Allerdings ist, wie in **Fig.3C** gezeigt, wiederum ein Energieniveau 303a der ersten Potentialtopf-Schicht 303 im Wesentlichen auf demselben elektrischen Potential befindlich wie eines der Energieniveaus der zweiten Potentialtopf-Schicht 304. Wie in **Fig.3C** gezeigt, ist nun das erste Energieniveau 304a der zweiten Potentialtopf-Schicht 304 auf dem selben elektrischen Potential befindlich wie das Energieniveau 303a der ersten Potentialtopf-Schicht 303. Die Verschiebung der Energieniveaus der Potentialtopf-Schichten 303, 304 zueinander ist wiederum auf den sukzessiven Spannungsabfall der zwischen den Elektroden-Bereich 301 und die Ladungsspeicher-Schicht 302 angelegten zweiten elektrischen Spannung zurückzuführen. Bei der angelegten zweiten elektrischen Spannung sind die Potentialverhältnisse innerhalb der Schicht-Anordnung 300 derart, dass ein Tunnelstrom von auf der Ladungsspeicher-Schicht 302 befindlichen Ladungsträgern bis hin zu dem Elektroden-Bereich 301 ermöglicht ist. Anschaulich können auf der Ladungsspeicher-Schicht 302 befindliche Ladungsträger entlang des bis hin zu dem Elektroden-Bereich 301 sukzessive abfallenden elektrischen Potentials bewegt werden, so dass ein Tunnelstrom von der Ladungsspeicher-Schicht 302 auf den Elektroden-Bereich 301 ermöglicht ist. Die Richtung dieses Tunnelstroms ist mittels des Pfeils 309 symbolisiert.

Wiederum bezugnehmend auf die Verwendung der Schicht-Anordnung 300 als Datenspeicher ist mittels Anlegen der zweiten elektrischen Spannung in der in **Fig.3C** gezeigten Weise ein Entfernen von auf der Ladungsspeicher-Schicht 302 angeordneten Ladungsträgern ermöglicht.

30

Im Weiteren wird bezugnehmend auf **Fig.4A, Fig.4B** eine Schicht-Anordnung gemäß einem zweiten Ausführungsbeispiel der Erfindung beschrieben.

In **Fig.4A** ist die Schicht-Anordnung 400 mit einer zwischen einem ersten Elektroden-Bereich 401 und einem zweiten Elektroden-Bereich 402 angeordneten Schichtstruktur 403 gezeigt. In **Fig.4B** ist nochmals die Schichtstruktur 403,

insbesondere der detaillierte Aufbau der Schichtstruktur 403, gezeigt.

Die Schichtstruktur 403 weist eine auf dem ersten Elektroden-
5 Bereich 401 angeordnete elektrisch isolierende Schicht 404,
zwei Potentialtopf-Schichten 405, 406 mit jeweils mindestens
einem Energieniveau, wobei die Potentialtopf-Schichten 405,
406 jeweils beidseitig von jeweils einer von drei Tunnel-
10 Schichten 407, 408, 409 bedeckt sind, und eine
Ladungsspeicher-Schicht 410 zwischen der elektrisch
isolierenden Schicht 404 und den Potentialtopf-Schichten 405,
406 mit dazwischen angeordneten Tunnel-Schichten 407, 408, 409
auf. Die Potentialtopf-Schichten 405, 406 sind derart
15 eingerichtet, dass deren Energieniveaus in Abwesenheit einer
elektrischen Spannung zwischen dem ersten Elektroden-Bereich
401 und dem zweiten Elektroden-Bereich 402 derart
gegeneinander verschoben sind, dass die Potentialtopf-
Schichten 405, 406 elektrisch isolierend sind, und die
20 Potentialtopf-Schichten 405, 406 sind derart eingerichtet,
dass deren Energieniveaus bei einer angelegten vorgegebenen
elektrischen Spannung zwischen dem ersten Elektroden-Bereich
401 und dem zweiten Elektroden-Bereich 402 derart verschoben
sind, dass die Potentialtopf-Schichten 405, 406 elektrisch
leitfähig sind.

25

Gemäß der Schicht-Anordnung 400 ist der erste Elektroden-
Bereich 401 ein p⁺-dotiertes Silizium-Substrat, der zweite
Elektroden-Bereich 402 ist eine ein metallisches Material oder
ein stark dotiertes Halbleiter-Material aufweisende Elektrode,
30 die Potentialtopf-Schichten 405, 406 sind jeweils aus
Cadmiumdifluorid hergestellt, und die Tunnel-Schichten 407,
408, 409 sind jeweils aus Kalziumdifluorid hergestellt.

Die Dicke der elektrisch isolierenden Schicht 404 beträgt
35 10nm, die Dicke der ersten Potentialtopf-Schicht 405 und der
zweiten Potentialtopf-Schicht 406 beträgt jeweils 3,7nm und
die Dicke der ersten Tunnel-Schicht 407, der zweiten Tunnel-
Schicht 408 und der dritten Tunnel-Schicht 409 beträgt jeweils
1nm.

40

Im Weiteren wird bezugnehmend auf **Fig. 5A** ein drittes bevorzugtes Ausführungsbeispiel der erfindungsgemäßen Schicht-Anordnung beschrieben.

5 In **Fig. 5A** ist die Schicht-Anordnung 500 mit einem Substrat 501, mit einem Source-Bereich 502 in einem ersten Oberflächenbereich des Substrats 501, mit einem Drain-Bereich 503 in einem zweiten Oberflächenbereich des Substrats 501 und mit einer zwischen der Oberfläche des Substrats 501 zumindest
10 teilweise zwischen dem Source-Bereich 502 und dem Drain-Bereich 503 einerseits und einem Gate-Bereich 504 andererseits angeordneten Schichtstruktur 505 gezeigt.

Die Schichtstruktur 505 weist eine elektrisch isolierende
15 Schicht 506 auf der Oberfläche des Substrats 501 zumindest teilweise zwischen dem Source-Bereich 502 und dem Drain-Bereich 503, zwei Potentialtopf-Schichten 507, 508 mit jeweils mindestens einem Energieniveau, wobei jede Potentialtopf-Schicht 507, 508 beidseitig von einer der drei Tunnel-
20 Schichten 509, 510, 511 bedeckt ist, und eine Ladungsspeicher-Schicht 512 zwischen der elektrisch isolierenden Schicht 506 und der an die zweite Potentialtopf-Schicht 508 angrenzenden Tunnel-Schicht 511 auf.

25 Die Potentialtopf-Schichten 507, 508 sind derart eingerichtet, dass deren Energieniveaus in Abwesenheit einer elektrischen Spannung zwischen dem Gate-Bereich 504 und dem Source-Bereich 502 und/oder dem Drain-Bereich 503 derart gegeneinander verschoben sind, dass die Potentialtopf-Schichten 507, 508
30 elektrisch isolierend sind. Ferner sind die Potentialtopf-Schichten 507, 508 derart eingerichtet, dass bei einer angelegten vorgegebenen elektrischen Spannung zwischen dem Gate-Bereich 504 und dem Source-Bereich 502 und/oder dem Drain-Bereich 503 die Energieniveaus der Potentialtopf-
35 Schichten 507, 508 derart verschoben sind, dass die Potentialtopf-Schichten 507, 508 elektrisch leitfähig sind.

Bei der in **Fig. 5A** gezeigten Schicht-Anordnung 500 ist das Substrat 501 als Silizium-Wafer realisiert. Der Source-Bereich

502 ist ein n⁺-dotierter Bereich des Silizium-Wafers und der Drain-Bereich 503 ist ebenfalls ein n⁺-dotierter Bereich des Silizium-Wafers. Die elektrisch isolierende Schicht 506 ist aus Siliziumdioxid hergestellt. Die drei Tunnel-Schichten 509, 5
510, 511 sind jeweils Siliziumdioxid-Schichten. Die erste Potentialtopf-Schicht 507 ist aus Polysilizium hergestellt. Die zweite Potentialtopf-Schicht 508 ist aus Polysilizium hergestellt. Der Gate-Bereich 504 ist aus dotiertem polykristallinem Silizium hergestellt. Die Ladungsspeicher-
10 Schicht 512 ist aus Silizium hergestellt.

Um die in **Fig.5A** gezeigte Schicht-Anordnung 500 herzustellen, wird zunächst ein einkristalliner Silizium-Wafer 501 mit einer darauf aufgebracht SOI-Schicht („Silicon on Insulator“),
15 welche die erste elektrisch isolierende Schicht 506 aus Siliziumdioxid und die darauf angeordnete einkristalline Ladungsspeicher-Schicht 512 aus einkristallinem Silizium aufweist, ausgebildet. Darauf werden unter Verwendung des Molekularstrahlepitaxie-Verfahrens (MBE) die Schichten 511,
20 508, 510, 507 und 509 nacheinander epitaktisch aufgewachsen. Die epitaktisch aufgewachsenen Schichten weisen daher ebenfalls eine kristalline Struktur auf.

Alternativ zu dem Aufwachsen von Schichten unter Verwendung
25 des MBE-Verfahrens können die Schichten unter Verwendung des ALD-Verfahrens („Atomic Layer Deposition“) aufgewachsen werden. Das ALD-Verfahren ermöglicht es, einzelne Atomlagen eines Materials nacheinander auf einer Oberfläche abzuscheiden, und damit die Schichtdicke bis auf Dimensionen
30 der Dicke einer Atomlage genau einzustellen, d.h. bis zu einer Genauigkeit von wenigen Angström.

Die Schicht-Anordnung 500 kann als Feldeffekt-Transistor verwendet werden. Auch kann die Schicht-Anordnung 500 als
35 Speicher-Einheit verwendet werden, wobei die Speicher-Information in der Ladungsspeicher-Schicht 512 einspeicherbar ist.

Eine in den Figuren nicht gezeigte Anordnung einer Mehrzahl von in einem gemeinsamen Substrat integrierten Schicht-Anordnungen 500 ist als Speicher-Anordnung verwendbar.

5 Wie in **Fig. 5A** gezeigt, bildet das Substrat 501 mit dem Source-Bereich 502 und dem Drain-Bereich 503 den ersten Elektroden-Bereich der Schicht-Anordnung 500 aus.

10 In **Fig. 5B** ist ein viertes bevorzugtes Ausführungsbeispiel der erfindungsgemäßen Schicht-Anordnung gezeigt.

Anders als bei der in **Fig. 5A** gezeigten Schicht-Anordnung 500 bildet bei der in **Fig. 5B** gezeigten Schicht-Anordnung 520 ein Substrat mit einem Source-Bereich und einem Drain-Bereich den
15 zweiten Elektroden-Bereich der erfindungsgemäßen Schicht-Anordnung aus.

Im Weiteren wird bezugnehmend auf **Fig. 5B** die Schicht-Anordnung 520 näher beschrieben.

20

Die Schicht-Anordnung 520 weist ein Substrat 521, einen Source-Bereich 522 in einem ersten Oberflächenbereich des Substrats 521, einen Drain-Bereich 523 in einem zweiten Oberflächenbereich des Substrats 521 und eine zwischen der
25 Oberfläche des Substrats 521 zumindest teilweise zwischen dem Source-Bereich 522 und dem Drain-Bereich 523 einerseits und einem Gate-Bereich 524 andererseits angeordnete Schichtstruktur 525 auf.

30 Die Schichtstruktur 525 weist eine elektrisch isolierende Schicht 526 auf dem Gate-Bereich 524, zwei Potentialtopf-Schichten 527, 528 mit jeweils mindestens einem Energieniveau, wobei jede Potentialtopf-Schicht 527, 528 beidseitig von einer der drei Tunnel-Schichten 529, 530, 531 bedeckt ist und eine
35 Ladungsspeicher-Schicht 532 zwischen der elektrisch isolierenden Schicht 526 und der an die Potentialtopf-Schicht 527 angrenzenden Tunnel-Schicht 529 auf. Die Potentialtopf-Schichten 527, 528 sind derart eingerichtet, dass deren Energieniveaus in Abwesenheit einer elektrischen Spannung

zwischen dem Gate-Bereich 524 und dem Source-Bereich 522 und/oder dem Drain-Bereich 523 derart gegeneinander verschoben sind, dass die Potentialtopf-Schichten 527, 528 elektrisch isolierend sind. Dagegen sind die Energieniveaus der
5 Potentialtopf-Schichten 527, 528 bei einer angelegten vorgegebenen elektrischen Spannung zwischen dem Gate-Bereich 524 und dem Source-Bereich 522 und/oder dem Drain-Bereich 523 derart verschoben, dass die Potentialtopf-Schichten 527, 528 elektrisch leitfähig sind.

10

Die Materialien der in **Fig.5B** gezeigten Komponenten der Schicht-Anordnung 520 sind analog ausgestaltet wie die in **Fig.5A** gezeigten entsprechenden Komponenten der Schicht-Anordnung 500.

15

Ein wesentlicher Unterschied zwischen der in **Fig.5A** gezeigten Schicht-Anordnung 500 und der in **Fig.5B** gezeigten Schicht-Anordnung 520 besteht in der Art und Weise, auf welche die Schichtstruktur 505 bzw. 525 bezüglich der Gate-Elektrode 504
20 bzw. 524 und bezüglich des Substrats 501 bzw. 521 angeordnet ist.

Gemäß der in **Fig.5A** gezeigten Schicht-Anordnung 500 ist das Substrat 501 mit der elektrisch isolierenden Schicht 506
25 gekoppelt. Ein Injizieren von Ladungsträgern in die Ladungsspeicher-Schicht 512 erfolgt gemäß der Schicht-Anordnung 500, indem zwischen dem Source-Bereich 502 und dem Drain-Bereich 503 einerseits und dem Gate-Bereich 504 andererseits eine elektrische Spannung angelegt wird, die
30 derart eingerichtet ist, dass in deren Anwesenheit die Energieniveaus der Potentialtopf-Schichten 507 und 508 in Übereinstimmung gebracht werden. In einem solchen Szenario können Ladungsträger von dem Gate-Bereich 504 auf die
Ladungsspeicher-Schicht 512 resonant tunneln. Nach Abschalten
35 der elektrischen Spannung ist die Anordnung von Potentialtopf-Schichten 507, 508, wieder elektrisch isolierend, sodass ein Abfließen der in der Ladungsspeicher-Schicht 512 enthaltenen Ladungsträgern vermieden bzw. sehr stark vermindert ist. Die Ladungsspeicher-Schicht 512 nimmt eine ähnliche Funktion wahr

wie eine Gate-Elektrode in der transistorähnlichen Schicht-Anordnung 500, wobei das Vorhandensein bzw. das Fehlen von Ladungsträgern in der Ladungsspeicher-Schicht 512 die elektrische Leitfähigkeit eines leitenden Kanals 513 in einem Oberflächenbereich des Substrats 501 zwischen dem Source-Bereich 502 und dem Drain-Bereich 503 charakteristisch beeinflusst. Sind in der Ladungsspeicher-Schicht 512 Ladungsträger injiziert, so weist der leitende Kanal 513 eine andere elektrische Leitfähigkeit auf als in einem Zustand, in dem in der Ladungsspeicher-Schicht 512 keine Ladungsträger injiziert sind. Bei Anlegen einer weiteren elektrischen Spannung zwischen dem Source-Bereich 502 und dem Drain-Bereich 503 fließt daher im Falle von in der Ladungsspeicher-Schicht injizierten Ladungsträgern ein elektrischer Strom einer anderen Stromstärke als bei Fehlen von Ladungsträgern in der Ladungsspeicher-Schicht.

Im Unterschied zu der in **Fig.5A** gezeigten Schicht-Anordnung 500 ist bei der in **Fig.5B** gezeigten Schicht-Anordnung 520 die elektrisch isolierende Schicht 526 mit dem Gate-Bereich 524 gekoppelt. Ein Oberflächenbereich des Substrats 521 ist dagegen mit der Tunnel-Schicht 531 gekoppelt. Wird zwischen den Gate-Bereich 524 einerseits an den Source-Bereich 522 und/oder den Drain-Bereich 523 andererseits eine geeignet gewählte elektrische Spannung angelegt, so liegen mindestens ein Energieniveau der Potentialtopf-Schicht 527 und mindestens ein Energieniveau der Potentialtopf-Schicht 528 auf gleichem elektrischen Potential. In diesem Fall ist die Anordnung von Potentialtopf-Schichten 527, 528 elektrisch leitfähig, sodass Ladungsträger von dem Source-Bereich 522 und/oder von dem Drain-Bereich 523 durch die Potentialtopf-Schichten 527, 528 hindurch auf die Ladungsspeicher-Schicht 532 resonant tunneln können. Nach Abschalten der elektrischen Spannung sind die Energieniveaus der ersten Potentialtopf-Schicht 527 und der zweiten Potentialtopf-Schicht 528 wiederum gegeneinander verstimmt, sodass die Potentialtopf-Schichten 527, 528 elektrisch isolierend sind. In der Ladungsspeicher-Schicht 532 injizierte Ladungsträger sind in diesem Falle daran gehindert, nach Abschalten der elektrischen Spannung die Ladungsspeicher-

Schicht 532 zu verlassen. Insbesondere sind die Ladungsträger daran gehindert, die Ladungsspeicher-Schicht 532 durch die elektrisch isolierende Schicht 526 hindurch in Richtung des Gate-Bereichs 524 zu verlassen, da die elektrisch isolierende Schicht 526 ausreichend dick gewählt ist, um Fowler-Nordheim-Tunneln durch diese Schicht hindurch auf den Gate-Bereich 524 stark zu vermindern bzw. auszuschließen. In diesem Falle nimmt die Anordnung aus den beiden Potentialtopf-Schichten 527, 528 und aus den drei Tunnel-Schichten 529, 530, 531 die Funktion einer Gate-isolierenden Schicht in der transistorähnlichen Schicht-Anordnung 520 wahr, und die Ladungsspeicher-Schicht 532 fungiert wie eine Gate-Elektrode eines Transistors. Wiederum ist der Wert der elektrischen Leitfähigkeit des leitenden Kanals 533 in einem Oberflächenbereich zwischen dem Source-Bereich 522 und dem Drain-Bereich 523 des Substrats 521 von der Menge der in der Ladungsspeicher-Schicht 532 eingespeicherten Ladungsträger abhängig. Die Stärke des elektrischen Stromflusses zwischen dem Source-Bereich 522 und dem Drain-Bereich 523 bei einer konstanten angelegten elektrischen Spannung zwischen dem Source-Bereich 522 und dem Drain-Bereich 523 ist daher ein Maß dafür, welche Menge an Ladungsträgern in der Ladungsspeicher-Schicht 532 eingespeichert sind.

Es sei betont, dass alternativ das Einbringen von Ladungsträgern in die in **Fig.5B** gezeigte Ladungsspeicher-Schicht 532 auch mittels „channel hot electron“ (CHE) erfolgen kann. Dazu wird zwischen den Source-Bereich 522 und den Drain-Bereich 523 eine ausreichend hohe elektrische Spannung angelegt, dass zum Drain-Bereich hin beschleunigte Elektronen mit ausreichend hoher kinetischer Energie bei einer mäßigen, an den Gate-Bereich 524 angelegten Spannung in die Ladungsspeicher-Schicht gebracht werden.

Im Weiteren wird bezugnehmend auf **Fig.5A, Fig.6A, Fig.6B, Fig.6C** die Funktionsweise der Schicht-Anordnung 500 näher beschrieben.

Die in **Fig. 5A** gezeigten Potentialtopf-Schichten 507, 508 sind derart eingerichtet, dass deren Energieniveaus 600a, 600b bzw. 601a, 601b, 601c (siehe **Fig. 6B**, **Fig. 6C**) in Abwesenheit einer elektrischen Spannung zwischen dem Gate-Bereich 504 einerseits und dem Source-Bereich 502 bzw. dem Drain-Bereich 503 andererseits derart gegeneinander verschoben sind, dass die Potentialtopf-Schichten 507, 508 elektrisch isolierend sind. Ferner sind die Potentialtopf-Schichten 507, 508 derart eingerichtet, dass deren Energieniveau 600a, 600b bzw. 601a, 601b, 601c bei einer angelegten vorgegebenen elektrischen Spannung zwischen dem Gate-Bereich 504 einerseits und dem Source-Bereich 502 bzw. dem Drain-Bereich 503 andererseits derart verschoben sind, dass die Potentialtopf-Schichten 507, 508 elektrisch leitfähig sind.

15

Das Substrat 501 ist ein Silizium-Wafer, der Source-Bereich 502 und der Drain-Bereich 503 sind zwei räumlich getrennte, n⁺-dotierte Oberflächenbereiche des Silizium-Wafers. Die elektrisch isolierende Schicht 506 ist als 6nm dicke Siliziumdioxid-Schicht ausgebildet. Die Ladungsspeicher-Schicht 512, deren Funktionalität jener eines Floating-Gates in einer herkömmlichen Flash-Speicherzelle entspricht, ist aus n⁺-dotiertem Silizium hergestellt. Die daran angrenzende dritte Tunnel-Schicht 511 ist eine 1,7nm dicke Siliziumdioxid-Schicht. Die daran angrenzende zweite Potentialtopf-Schicht 508 ist eine 1,55 Nanometer dicke Silizium-Schicht. Die daran angrenzende zweite Tunnel-Schicht 510 ist eine 1,7nm dicke Siliziumdioxid-Schicht. Die daran angrenzende erste Potentialtopf-Schicht 507 ist eine 0,85nm dicke Silizium-Schicht. Die daran angrenzende erste Tunnel-Schicht 509 ist eine 1,7nm dicke Siliziumdioxid-Schicht, und die Gate-Elektrode 504 ist aus Silizium hergestellt. Die Darstellung der Schichtdicken in **Fig. 5A** ist schematisch und nicht maßstabsgetreu.

35

Wie oben ausgeführt, kann mittels Einstellens der Dicke und des Materials der Tunnel-Schichten 509, 510, 511 das Verhältnis zwischen Haltezeit und Schreibzeit eines auf der Schicht-Anordnung 500 basierenden Speicher-Elements

eingestellt werden. Ferner kann mittels Variation der Dicke und der Materialparameter der Potentialtopf-Schichten 507, 508 die Lage und der Abstand der diskreten Energieniveaus 600a, 600b bzw. 601a, 601b, 601c beeinflusst werden.

5

Im Weiteren wird beschrieben, welche Energieniveaus (Eigenzustände) sich für die genannten Materialien und Schichtdicken der Tunnel-Schichten 509, 510, 511 bzw. der Potentialtopf-Schichten 507, 508 ergeben und welche

10

elektrischen Betriebsspannungen bei einer als Speicher-Element verwendeten Schicht-Anordnung 500 geeignet sind. Entsprechende Berechnungen sind unter der Annahme einer isotropen effektiven Masse durchgeführt.

15

In **Fig.6A** ist die Abhängigkeit des elektrischen Stromflusses I zwischen dem Gate-Bereich 504 und der Ladungsspeicher-Schicht 512 in Abhängigkeit von der elektrischen Potentialdifferenz U zwischen dem Gate-Bereich 504 und der Ladungsspeicher-Schicht 512 dargestellt. Im Weiteren werden zwei Betriebszustände der Schicht-Anordnung 500 für zwei Potentialdifferenzen U gemäß der in **Fig.6A** gezeigten Strom-Spannungs-Charakteristik bezugnehmend auf **Fig.6B**, **Fig.6C** detailliert beschrieben.

20

Zunächst werden bezugnehmend auf **Fig.6B** die elektrischen Potentialverhältnisse innerhalb der Schicht-Anordnung 500 und die sich daraus ergebenden Konsequenzen für den elektrischen Stromfluss von Ladungsträgern über die Schicht-Anordnung 500 hinweg für denjenigen Fall beschrieben, bei dem der Gate-Bereich 504 und die Ladungsspeicher-Schicht 512 auf gleichem Potential befindlich ist. Bezugnehmend auf **Fig.6A** entspricht dies einer Spannung $U=0V$.

25

30

In **Fig.6B** ist ein Diagramm 610 gezeigt, entlang dessen Abszisse die räumliche Anordnung der Komponenten der Schicht-Anordnung 500 gezeigt sind. Dies ist mittels der Bezugsziffern, die für die entsprechenden Komponenten in **Fig.5A** gewählt sind, in **Fig.6B** symbolisiert. Entlang der Ordinate des Diagramms 610 ist die Ortsabhängigkeit des elektrischen Potentials E in Elektronenvolt (eV)

35

eingezeichnet, wie sie sich für die gewählten Schichtdicken und die gewählten Materialien insbesondere der Tunnel-Schichten 509, 510, 511 und der Potentialtopf-Schichten 507, 508 ergibt. Der Gate-Bereich 504 ist auf einem elektrischen Potential von annähernd 0eV befindlich. Die an den Gate-Bereich 504 angrenzende erste Tunnel-Schicht 509 ist auf einem Potential von ungefähr 3eV befindlich. Dieses Potential von ungefähr 3eV entspricht der von Ladungsträgern zu überwindenden bzw. zu durchtunnelnden Potentialbarriere. Für die erste Potentialtopf-Schicht 507 sind die beiden untersten Energieeigenzustände 600a, 600b in **Fig.6B** gezeigt. Das unterste quantenmechanisch erlaubte Energieniveau 600a der Potentialtopf-Schicht 507 befindet sich auf einer Energie von ungefähr 0,7eV. In **Fig.6B** ist das erste Energieniveau 600a der ersten Potentialtopf-Schicht 507 mittels dessen Aufenthaltswahrscheinlichkeitsdichte, also des Betragsquadrats der zugehörigen Wellenfunktion, symbolisiert. Knapp 2eV oberhalb des ersten Energieniveaus 600a ist das zweite Energieniveau 600b der ersten Potentialtopf-Schicht 507 gezeigt und wiederum mittels der sich quantenmechanisch ergebenden Ortsverteilung der Aufenthaltswahrscheinlichkeitsdichte des Eigenzustands in **Fig.6B** gekennzeichnet. Die an die erste Potentialtopf-Schicht 507 angrenzende zweite Tunnel-Schicht 510 ist, was die Potentialverhältnisse anbetrifft, analog gestaltet wie die erste Tunnel-Schicht 509. Die an die zweite Tunnel-Schicht 510 angrenzende zweite Potentialtopf-Schicht 508 weist einen Energiegrundzustand, d.h. das unterste erstes Energieniveau 601a bei einem elektrischen Potential von ungefähr 0,35eV auf, das wiederum mittels das Betragsquadrats der Wellenfunktion in **Fig.6B** schematisch gekennzeichnet ist. Das zu dem ersten Energieniveau 601a benachbarte Energieniveau 601b der zweiten Potentialtopf-Schicht 508 liegt ungefähr 1eV oberhalb des ersten Energieniveaus 601a. Die an die zweite Potentialtopf-Schicht 508 angrenzende dritte Tunnel-Schicht 511 ist analog ausgestaltet wie die erste Tunnel-Schicht 509 und die zweite Tunnel-Schicht 510. An die dritte Tunnel-Schicht 511 grenzt die Ladungsspeicher-Schicht 512 an, die auf demselben Potential befindlich ist wie der Gate-Bereich 504, da zwischen

dem Gate-Bereich 504 und der Ladungsspeicher-Schicht 512 gemäß dem in **Fig.6B** gezeigten Szenario eine elektrische Spannung nicht angelegt ist. Dies entspricht bezugnehmend auf **Fig.6A** einem Betriebszustand bei $U=0V$.

5

Wiederum bezugnehmend auf **Fig.6B** ist keines der Energieniveaus 600a, 600b der ersten Potentialtopf-Schicht 507 auf dem gleichen Potentialniveau befindlich wie eines der Energieniveaus 601a, 601b der zweiten Potentialtopf-Schicht 508. Daher ist es auf dem Gate-Bereich 504 befindlichen Ladungsträgern nicht möglich, entlang eines durchgehenden elektrischen Potentialniveaus durch die Potentialtopf-Schichten 507, 508 hindurch bis in die Ladungsspeicher-Schicht 512 hinein zu gelangen. Umgekehrt ist es potentiell auf der Ladungsspeicher-Schicht befindlichen Ladungsträgern nicht möglich, durch die Potentialtopf-Schichten 507, 508 hindurch entlang eines konstanten Potentials bis in den Gate-Bereich 504 hinein zu gelangen. Mit anderen Worten können gemäß der in **Fig.6B** gezeigten Potentialverhältnisse, wie sie sich in Abwesenheit einer externen elektrischen Spannung ergeben, keine Ladungsträger auf die Ladungsspeicher-Schicht 512 aufgebracht werden oder von dieser entfernt werden. In Hinblick auf die Verwendung der Schicht-Anordnung 500 als Speicher-Einheit, bei der die Speicher-Informationen in der Ladungsspeicher-Schicht 512 speicherbar ist, repräsentiert **Fig.6B** einen Betriebszustand, in dem mittels der in der Ladungsspeicher-Schicht 512 gespeicherten Ladungsträger eine Datenmenge gespeichert ist, und in dem diese Ladungsträger aufgrund des hohen elektrischen Widerstands der Potentialtopf-Schichten 507, 508 mit gegeneinander verstimmtten Energieniveaus 600a, 600b bzw. 601a, 601b vor einem Abfließen von der Ladungsspeicher-Schicht 512 geschützt sind.

In **Fig.6C** ist ein Diagramm 615 gezeigt, das die Potentialverhältnisse entlang der Schicht-Anordnung 500 in einem Zustand schematisch darstellt, in der die in **Fig.6A** gezeigte Spannung U_0 zwischen dem Gate-Bereich 504 und der Ladungsspeicher-Schicht 512 angelegt ist. Der Gate-Bereich 504 befindet sich unverändert auf einem Potential von ungefähr

0eV. Entlang der ersten Tunnel-Schicht 509 fällt ein geringer Anteil der zwischen dem Gate-Bereich 504 und der Ladungsspeicher-Schicht 512 angelegten elektrischen Spannung U_0 ab, was in **Fig.6C** mittels eines leicht abgeschrägten Potentialverlaufs innerhalb der ersten Tunnel-Schicht 509 dargestellt ist. Die an die erste Tunnel-Schicht 509 angrenzende erste Potentialtopf-Schicht 507 weist Energieniveaus auf, die gegenüber dem in **Fig.6B** gezeigten Szenario verschoben sind. In **Fig.6B** ist das erste Energieniveau 600a gezeigt, das nun auf einem Potential von ungefähr 0eV befindlich ist. Die an die erste Potentialtopf-Schicht 507 angrenzende zweite Tunnel-Schicht 510 weist wie die erste Tunnel-Schicht 509 einen leicht schrägen Potentialverlauf auf, der den Spannungsabfall entlang der zweiten Tunnel-Schicht 510 darstellt. Die an die zweite Tunnel-Schicht 510 angrenzende zweite Potentialtopf-Schicht 508 weist ebenfalls verschobene Energieniveaus auf. In **Fig.6C** sind die drei untersten Energieniveaus 601a, 601b, 601c gezeigt, wie sie sich bei der angelegten elektrischen Spannung U_0 ergeben. Die an die zweite Potentialtopf-Schicht 508 angrenzende dritte Tunnel-Schicht 511 weist wie die zuvor beschriebenen Tunnel-Schichten 509, 510 einen schräg abfallenden Potentialverlauf auf. Die an die dritte Tunnel-Schicht 511 angrenzende Ladungsspeicher-Schicht 512 ist auf einem negativen elektrischen Potential befindlich, welches im Wesentlichen der Spannung U_0 zwischen dem Gate-Bereich 504 und der Ladungsspeicher-Schicht 512 entspricht.

Wie in **Fig.6C** gezeigt, sind das erste Energieniveau 600a der ersten Potentialtopf-Schicht 507 und das zweite Energieniveau 601b der zweiten Potentialtopf-Schicht 508 infolge der zwischen dem Gate-Bereich 504 und der Ladungsspeicher-Schicht 512 angelegten elektrischen Spannung U_0 (vgl. **Fig.6A**) auf dem gleichen Potential befindlich. Daher sind auf dem Gate-Bereich 504 befindliche Ladungsträger in der Lage, die drei Tunnel-Schichten 509, 510, 511 resonant zu durchtunneln und die auf gleichem elektrischen Potential befindlichen Potentialtopf-Schichten 507, 508 zu durchlaufen, um so auf die Ladungsspeicher-Schicht 512 gelangen zu können. Dies ist in

Fig. 6C durch den Strompfad 616 symbolisiert. Daher entspricht der in **Fig. 6C** gezeigte Betriebszustand dem Fall, dass eine als Speicher-Element verwendete Schicht-Anordnung 500 programmiert wird, d.h. dass in die Ladungsspeicher-Schicht 512 der Schicht-Anordnung 500 Ladungsträger injiziert werden.

Nochmals bezugnehmend auf **Fig. 6A** ist festzustellen, dass typische Stromdichten eines zwischen dem Gate-Bereich 504 und der Ladungsspeicher-Schicht 512 fließenden elektrischen Stroms in der Größenordnung von 10 A/cm^2 liegen. In **Fig. 6A** ist der Stromfluss zwischen dem Gate-Bereich 504 und der Ladungsspeicher-Schicht 512 in Abhängigkeit einer dazwischen angelegten elektrischen Spannung U dargestellt. Die Spannung U_0 , bei welcher der Wert des Tunnelstroms ein Maximum erreicht, entspricht dem Fall von **Fig. 6C**, in dem ein Energieniveau 600a der ersten Potentialtopf-Schicht 507 exakt mit einem Energieniveau 601b der zweiten Potentialtopf-Schicht 508 übereinstimmt. Im Falle der Schicht-Anordnung 500 ist $U_0 = 2,4 \text{ V}$.

Die Energieniveaus 600a, 600b, 601a, 601b, 601c sind nicht unendlich schmal, sondern weisen eine gewisse Breite auf. Daher fließt ein Tunnelstrom zwischen dem Gate-Bereich 504 und der Ladungsspeicher-Schicht 512 auch dann, wenn die Energieniveaus 600a und 601b der Potentialtopf-Schichten 507 und 508 nicht ganz exakt, aber doch annähernd im Rahmen der Breiten der Energieverteilungen übereinstimmen. Daher weist die Strom-Spannungs-Charakteristik aus **Fig. 6A** eine gewisse Halbwertsbreite ΔU_0 auf.

Im Folgenden wird ein Ausführungsbeispiel des erfindungsgemäßen Verfahrens zum Betreiben der Schicht-Anordnung 500 als Datenspeicher beschrieben.

Gemäß dem Verfahren werden in die Ladungsspeicher-Schicht 512 Ladungsträger eingebracht, aus dieser entfernt, oder es wird ermittelt, ob in der Ladungsspeicher-Schicht 512 eine Menge von Ladungsträgern eingebracht ist.

- Gemäß dem Verfahren zum Betreiben der Schicht-Anordnung 500 als Datenspeicher wird eine Datenmenge von 1 Bit in den durch die Ladungsspeicher-Schicht 512 ausgebildeten Datenspeicher einprogrammiert, indem mittels Anliegens einer
- 5 Programmierspannung zwischen dem Gate-Bereich 504 und dem Source-Bereich 502 und/oder dem Drain-Bereich 503 Ladungsträger in die Ladungsspeicher-Schicht 512 injiziert werden.
- 10 In der obigen Beschreibung ist auf eine zwischen dem Gate-Bereich 504 und der Ladungsspeicher-Schicht 512 herrschenden Potentialdifferenz (elektrische Spannung) abgestellt. In der Praxis wird eine externe elektrische Spannung allerdings nicht zwischen den Gate-Bereich 504 und die Ladungsspeicher-Schicht
- 15 512 angelegt, sondern zwischen den Gate-Bereich 504 einerseits und dem Source-Bereich 502 und/oder dem Drain-Bereich 503 andererseits. Diese elektrische Spannung fällt dann sukzessive entlang der Schichtstruktur 505 ab, sodass auch zwischen dem Gate-Bereich 504 und der Ladungsspeicher-Schicht 512 ein
- 20 Potentialunterschied vorliegt. Die Größe der Programmierspannung, die zwischen dem Gate-Bereich 504 und dem Source-Bereich 502 und/oder dem Drain-Bereich 503 angelegt wird, ist also etwas höher zu wählen als die zwischen dem Gate-Bereich 504 und der Ladungsspeicher-Schicht 512
- 25 angestrebte Potentialdifferenz $U_0=2,4V$. Wie oben beschrieben, können bei der Potentialdifferenz U_0 Ladungsträger von dem Gate-Bereich 504 auf die Ladungsspeicher-Schicht 512 fließen, deren Menge die gespeicherte Information kodiert.
- 30 Gemäß dem Verfahren zum Betreiben der Schicht-Anordnung 500 als Datenspeicher wird eine Datenmenge von 1 Bit aus dem durch die Ladungsspeicher-Schicht 512 ausgebildeten Datenspeicher von 1 Bit ausgelesen, indem eine Auslesespannung zwischen den Source-Bereich 502 und den Drain-Bereich 503 angelegt wird,
- 35 indem ein für das Vorhandensein bzw. Fehlen von Ladungsträgern in der Ladungsspeicher-Schicht 512 charakteristisches elektrisches Signal erfasst wird, und indem unter Verwendung des elektrischen Signals ermittelt wird, ob eine vorgegebene Menge an Ladungsträgern in der Ladungsspeicher-Schicht 512
- 40 enthalten ist oder nicht. Gemäß dem beschriebenen

Ausführungsbeispiel wird als charakteristisches elektrisches Signal der zwischen dem Source-Bereich 502 und dem Drain-Bereich 503 fließende elektrische Strom erfasst.

5 Um die Funktionalität des Ausleseverfahrens zu beschreiben, ist in **Fig. 5A** ein Kanal-Bereich 513 in dem Substrat 501 zwischen dem Source-Bereich 502 und dem Drain-Bereich 503 schematisch eingezeichnet. Die elektrische Leitfähigkeit des Kanal-Bereichs 513 hängt gemäß dem Prinzip eines Feldeffekt-
10 Transistors von der Anzahl der Ladungsträger ab, die in der Ladungsspeicher-Schicht 512 vorliegend sind. Sind in dem vorangegangenen Programmierverfahren Ladungsträger in die Ladungsspeicher-Schicht 512 eingebracht worden, so weist der Kanal 513 einen anderen Wert der elektrischen Leitfähigkeit
15 auf als bei einem Fehlen von Ladungsträgern in der Ladungsspeicher-Schicht 512, und bei einer festen Auslesespannung zwischen dem Source-Bereich 502 und dem Drain-Bereich 503 fließt zwischen dem Source-Bereich 502 und dem Drain-Bereich 503 ein elektrischer Strom einer anderen
20 Stromstärke als bei einem Fehlen von Ladungsträgern in der Ladungsspeicher-Schicht 512. Die elektrische Stromstärke kann mittels eines in **Fig. 5A** nicht gezeigten Mittels zum Erfassen des elektrischen Stroms ermittelt werden. Einem Zustand der als Speicher-Element betriebenen Schicht-Anordnung 500 mit in
25 der Ladungsspeicher-Schicht eingebrachten Ladungsträgern wird ein logischer Wert „1“ zugeordnet.

Sind dagegen in einem vorangehenden Programmierverfahren in die Ladungsspeicher-Schicht 512 Ladungsträger nicht
30 eingebracht worden, so weist die elektrische Leitfähigkeit des Kanal-Bereichs 513 einen anderen Wert auf als im Falle von in der Ladungsspeicher-Schicht 512 eingebrachten Ladungsträgern, und bei einer festen, zwischen dem Source-Bereich 502 und dem Drain-Bereich 503 angelegten elektrischen Spannung fließt
35 zwischen dem Source-Bereich 502 und dem Drain-Bereich 503 ein elektrischer Strom einer anderen Stromstärke als bei Anwesenheit von Ladungsträgern in der Ladungsspeicher-Schicht 512, wobei der elektrische Strom mittels des Mittels zum Erfassen des elektrischen Stroms erfasst wird. Dem

elektrischen Strom zwischen dem Source-Bereich 502 und dem Drain-Bereich 503 bei einem Fehlen von Ladungsträgern in der Ladungsspeicher-Schicht 512 wird ein logischer Wert „0“ zugeordnet.

5

Auf die beschriebene Weise kann also eine Datenmenge von 1 Bit, die in der Ladungsspeicher-Schicht 512 gespeichert ist, verfahrensgemäß ausgelesen werden.

10 Gemäß dem beschriebenen Ausführungsbeispiel des erfindungsgemäßen Verfahrens zum Betreiben der Schicht-Anordnung 500 als Speicher-Element wird eine Datenmenge von 1 Bit in dem durch die Ladungsspeicher-Schicht 512
15 ausgebildeten Datenspeicher von 1 Bit gelöscht, indem mittels Anlegens einer Löschspannung zwischen dem Gate-Bereich 504 und dem Source-Bereich 502 und/oder dem Drain-Bereich 503 in der Ladungsspeicher-Schicht 512 gespeicherte Ladungsträger aus dieser entfernt werden.

20 Zu diesem Zweck wird zwischen dem Gate-Bereich 504 einerseits und den Source-Bereich 502 und/oder dem Drain-Bereich 503 andererseits eine elektrische Löschspannung angelegt, infolge derer sich die in **Fig.6B** gezeigten Potentialverhältnisse
25 derart verschieben, dass auf der Ladungsspeicher-Schicht 512 befindliche Ladungsträger auf den Gate-Bereich 504 abfließen können.

In diesem Dokument sind folgende Veröffentlichungen zitiert:

- [1] Widmann, D, Mader, H, Friedrich, H (1996) „Technologie hochintegrierter Schaltungen“, Kapitel 8.4, Springer Verlag, Berlin, IBSN 3-540-59357-8
5
- [2] Likharev, KK (1998) „Layered tunnel barriers for nonvolatile memory devices“ Applied Physics Letters 73:2137-2139
10
- [3] Nakazato, K, Piotrowicz, PJA, Hasko, DG, Ahmed, H, Itoh, K (1997) “PLED - Planar Localised Electron Devices” IEDM 1997:179-182
- [4] Watanabe, M, Fumayama, T, Teraji, T, Sakamaki, N (2000) “Resonant Tunneling Characteristics of CdF₂/CaF₂ Heterostructures grown on Silicon” Silicon Nanoelectronics Workshop 2000, 57-58
15
- [5] JP 07106448 A
20
- [6] JP 2001244352 A
- [7] US 6,229,175 B1
25

Bezugszeichenliste

- 100 PLED-Speicherzelle
- 101 Substrat
- 5 102 Source-Bereich
- 103 Drain-Bereich
- 104 elektrisch isolierender Bereich
- 105 Ladungsspeicher-Bereich
- 106 Tunnel-Schichten
- 10 107 halbleitende Bereiche
- 108 Elektrode
- 109 seitliche Gate-Elektrode
- 200 Resonanz-Tunnelodiode
- 201 n⁺-dotiertes Silizium-Substrat
- 15 202 erste Tunnelbarriere
- 203 Potentialtopf-Schicht
- 203a erstes Energieniveau
- 203b zweites Energieniveau
- 204 zweite Tunnelbarriere
- 20 205 elektrisch isolierende Schicht
- 206 Elektrode
- 207 Pfeil
- 300 Schicht-Anordnung
- 301 Elektroden-Bereich
- 25 302 Ladungsspeicher-Schicht
- 303 erste Potentialtopf-Schicht
- 303a Energieniveau
- 304 zweite Potentialtopf-Schicht
- 304a erstes Energieniveau
- 30 304b zweites Energieniveau
- 305 erste Tunnel-Schicht
- 306 zweite Tunnel-Schicht
- 307 dritte Tunnel-Schicht
- 308 elektrischer Stromfluss
- 35 309 elektrischer Stromfluss
- 400 Schicht-Anordnung
- 401 erster Elektroden-Bereich
- 402 zweiter Elektroden-Bereich

- 403 Schichtstruktur
- 404 elektrisch isolierende Schicht
- 405 erste Potentialtopf-Schicht
- 406 zweite Potentialtopf-Schicht
- 5 407 erste Tunnel-Schicht
- 408 zweite Tunnel-Schicht
- 409 dritte Tunnel-Schicht
- 410 Ladungsspeicher-Schicht
- 500 Schicht-Anordnung
- 10 501 Substrat
- 502 Source-Bereich
- 503 Drain-Bereich
- 504 Gate-Bereich
- 505 Schichtstruktur
- 15 506 elektrisch isolierende Schicht
- 507 erste Potentialtopf-Schicht
- 508 zweite Potentialtopf-Schicht
- 509 erste Tunnel-Schicht
- 510 zweite Tunnel-Schicht
- 20 511 dritte Tunnel-Schicht
- 512 Ladungsspeicher-Schicht
- 513 leitender Kanal
- 520 Schicht-Anordnung
- 521 Substrat
- 25 522 Source-Bereich
- 523 Drain-Bereich
- 524 Gate-Bereich
- 525 Schichtstruktur
- 526 elektrisch isolierende Schicht
- 30 527 erste Potentialtopf-Schicht
- 528 zweite Potentialtopf-Schicht
- 529 erste Tunnel-Schicht
- 530 zweite Tunnel-Schicht
- 531 dritte Tunnel-Schicht
- 35 532 Ladungsspeicher-Schicht
- 600a erstes Energieniveau

- 600b zweites Energieniveau
- 601a erstes Energieniveau
- 601b zweites Energieniveau
- 601c drittes Energieniveau
- 5 610 Diagramm
- 615 Diagramm
- 616 Strompfad

Patentansprüche

1. Schicht-Anordnung

- mit einer zwischen einem ersten und einem zweiten
5 Elektroden-Bereich angeordneten Schichtstruktur mit
 - o einer auf dem ersten Elektroden-Bereich
angeordneten elektrisch isolierenden Schicht;
 - o einer Mehrzahl von Potentialtopf-Schichten mit
jeweils mindestens einem diskreten Energieniveau,
10 wobei jede Potentialtopf-Schicht beidseitig von
einer Tunnel-Schicht bedeckt ist;
 - o einer Ladungsspeicher-Schicht zwischen der
elektrisch isolierenden Schicht und den
Potentialtopf-Schichten;
- 15 • bei der die Potentialtopf-Schichten derart eingerichtet
sind, dass deren diskrete Energieniveaus
 - o in Abwesenheit einer elektrischen Spannung zwischen
dem ersten Elektroden-Bereich und dem zweiten
Elektroden-Bereich derart gegeneinander versetzt
20 sind, dass die Potentialtopf-Schichten elektrisch
isolierend sind;
 - o bei einer angelegten vorgegebenen elektrischen
Spannung zwischen dem ersten Elektroden-Bereich und
dem zweiten Elektroden-Bereich derart verschoben
25 sind, dass ein resonantes Tunneln von elektrischen
Ladungsträgern zwischen dem zweiten Elektroden-
Bereich und der Ladungsspeicher-Schicht ermöglicht
ist.

30 2. Schicht-Anordnung nach Anspruch 1,

bei welcher der erste oder der zweite Elektroden-Bereich

- ein Substrat;
- einen Source-Bereich in einem ersten Oberflächenbereich
des Substrats; und
- 35 • einen Drain-Bereich in einem zweiten Oberflächenbereich

des Substrats

aufweist, wobei die Schichtstruktur auf der Oberfläche des Substrats zumindest teilweise zwischen dem Source-Bereich und dem Drain-Bereich angeordnet ist.

5

3. Schicht-Anordnung nach Anspruch 2, bei der das Substrat mit dem Source-Bereich und dem Drain-Bereich den ersten Elektroden-Bereich bildet.

10

4. Schicht-Anordnung nach Anspruch 2, bei der das Substrat mit dem Source-Bereich und dem Drain-Bereich den zweiten Elektroden-Bereich bildet.

15

5. Schicht-Anordnung nach einem der Ansprüche 1 bis 4, bei der zumindest ein Teil der Potentialtopf-Schichten jeweils eine Dicke zwischen ungefähr 1nm und ungefähr 5nm aufweist.

20

6. Schicht-Anordnung nach einem der Ansprüche 1 bis 5, bei der zumindest ein Teil der Tunnel-Schichten jeweils eine Dicke zwischen ungefähr 0,5nm und ungefähr 2nm aufweist.

25

7. Schicht-Anordnung nach einem der Ansprüche 1 bis 6, bei der die elektrisch isolierende Schicht eine Dicke von ungefähr 10nm aufweist.

30

8. Schicht-Anordnung nach einem der Ansprüche 1 bis 7, bei der die elektrisch isolierende Schicht aus Siliziumdioxid hergestellt ist.

35

9. Schicht-Anordnung nach einem der Ansprüche 1 bis 8, bei der die Tunnel-Schichten aus einer oder einer Kombination der chemischen Verbindungen

- Kalziumdifluorid;
- Siliziumdioxid; und
- Siliziumnitrid

hergestellt sind.

10. Schicht-Anordnung nach einem der Ansprüche 1 bis 9,
bei der die Potentialtopf-Schichten aus einem oder einer
Kombination der chemischen Elemente bzw. chemischen
5 Verbindungen
- Silizium;
 - Galliumphosphid
 - Aluminiumphosphid; und
 - Cadmiumdifluorid
- 10 hergestellt sind.
11. Schicht-Anordnung nach einem der Ansprüche 1 bis 10,
bei welcher der erste und/oder der zweite Elektroden-Bereich
aus einem oder einer Kombination der chemischen Elemente bzw.
15 chemischen Verbindungen
- Silizium; und
 - Kobaltdisilizid
- hergestellt sind.
- 20 12. Schicht-Anordnung nach einem der Ansprüche 1 bis 11,
bei der die Potentialtopf-Schichten derart eingerichtet sind,
dass benachbarte Energieniveaus einer Potentialtopf-Schicht
voneinander jeweils um eine Energiedifferenz von ungefähr 1eV
getrennt sind.
- 25
13. Schicht-Anordnung nach einem der Ansprüche 1 bis 12,
bei der die Potentialtopf-Schichten derart eingerichtet sind,
dass die energetische Tiefe der Potentialtöpfe ungefähr
zwischen 2eV und 3eV ist.
- 30
14. Schicht-Anordnung nach einem der Ansprüche 1 bis 13,
bei der aneinander angrenzende Schichten unterschiedliche
Kristallgitterstrukturen aufweisen und diese benachbarten
Schichten aufeinander gitterangepasst sind.
- 35
15. Feldeffekt-Transistor mit
einer Schicht-Anordnung nach einem der Ansprüche 2 bis 14.

16. Speicher-Einheit mit einer Schicht-Anordnung nach einem der Ansprüche 1 bis 14, bei der die Speicher-Information in der Ladungsspeicher-Schicht speicherbar ist.

5

17. Speicher-Anordnung mit einer Mehrzahl von Speicher-Einheiten nach Anspruch 16.

18. Verfahren zum Betreiben einer Schicht-Anordnung als
10 Datenspeicher

- mit einer Schicht-Anordnung
 - o mit einem Substrat;
 - o mit einem Source-Bereich in einem ersten Oberflächenbereich des Substrats;
 - 15 o mit einem Drain-Bereich in einem zweiten Oberflächenbereich des Substrats;
 - o mit einer zwischen der Oberfläche des Substrats zumindest teilweise zwischen dem Source-Bereich und dem Drain-Bereich einerseits und einem Gate-Bereich andererseits angeordneten Schichtstruktur mit
 - 20 ▪ einer elektrisch isolierenden Schicht auf dem Gate-Bereich oder auf der Oberfläche des Substrats zumindest teilweise zwischen dem Source-Bereich und dem Drain-Bereich;
 - 25 ▪ einer Mehrzahl von Potentialtopf-Schichten mit jeweils mindestens einem diskreten Energieniveau, wobei jede Potentialtopf-Schicht beidseitig von einer Tunnel-Schicht bedeckt ist;
 - 30 ▪ einer Ladungsspeicher-Schicht zwischen der elektrisch isolierenden Schicht und den Potentialtopf-Schichten;
 - o bei der die Potentialtopf-Schichten derart eingerichtet sind, dass deren diskrete
35 Energieniveaus
 - in Abwesenheit einer elektrischen Spannung

zwischen dem Gate-Bereich und dem Source-Bereich und/oder dem Drain-Bereich derart gegeneinander versetzt sind, dass die Potentialtopf-Schichten elektrisch isolierend sind;

5

- bei einer angelegten vorgegebenen elektrischen Spannung zwischen dem Gate-Bereich und dem Source-Bereich und/oder dem Drain-Bereich derart verschoben sind, dass ein resonantes Tunneln von elektrischen Ladungsträgern zwischen dem zweiten Elektroden-Bereich und der Ladungsspeicher-Schicht ermöglicht ist;

10

- bei dem in die Ladungsspeicher-Schicht Ladungsträger eingebracht werden, aus dieser entfernt werden oder ermittelt wird, ob in der Ladungsspeicher-Schicht eine Menge von Ladungsträgern eingebracht ist.

15

19. Verfahren nach Anspruch 18,

bei dem eine Datenmenge von einem Bit in den durch die Ladungsspeicher-Schicht ausgebildeten Datenspeicher einprogrammiert wird, indem mittels Anlegens einer Programmierspannung zwischen den Gate-Bereich und den Source-Bereich und/oder den Drain-Bereich Ladungsträger in die Ladungsspeicher-Schicht injiziert werden.

20

20. Verfahren nach Anspruch 19,

bei dem eine Programmierspannung von zwischen ungefähr 3V und ungefähr 5V angelegt wird.

25

21. Verfahren nach einem der Ansprüche 18 bis 20,

bei dem eine Datenmenge von einem Bit aus dem durch die Ladungsspeicher-Schicht ausgebildeten Datenspeicher von einem Bit ausgelesen wird, indem

- eine Auslesespannung zwischen den Source-Bereich und den Drain-Bereich angelegt wird;

30

35

- ein für das Vorhandensein bzw. Fehlen von Ladungsträgern in der Ladungsspeicher-Schicht charakteristisches elektrisches Signal erfasst wird;
- unter Verwendung des elektrischen Signals ermittelt wird, ob eine vorgegebene Menge an Ladungsträgern in der Ladungsspeicher-Schicht enthalten ist oder nicht.

22. Verfahren nach Anspruch 21,
bei dem als charakteristisches elektrisches Signal der
zwischen dem Source-Bereich und dem Drain-Bereich fließende
elektrische Strom erfasst wird.

23. Verfahren nach einem der Ansprüche 18 bis 22,
bei dem eine Datenmenge von einem Bit in den durch die
Ladungsspeicher-Schicht ausgebildeten Datenspeicher von einem
Bit gelöscht wird, indem mittels Anlegens einer Löschspannung
zwischen den Gate-Bereich und den Source-Bereich und/oder den
Drain-Bereich in der Ladungsspeicher-Schicht gespeicherte
Ladungsträger aus dieser entfernt werden.

20

FIG 1 (Stand der Technik)

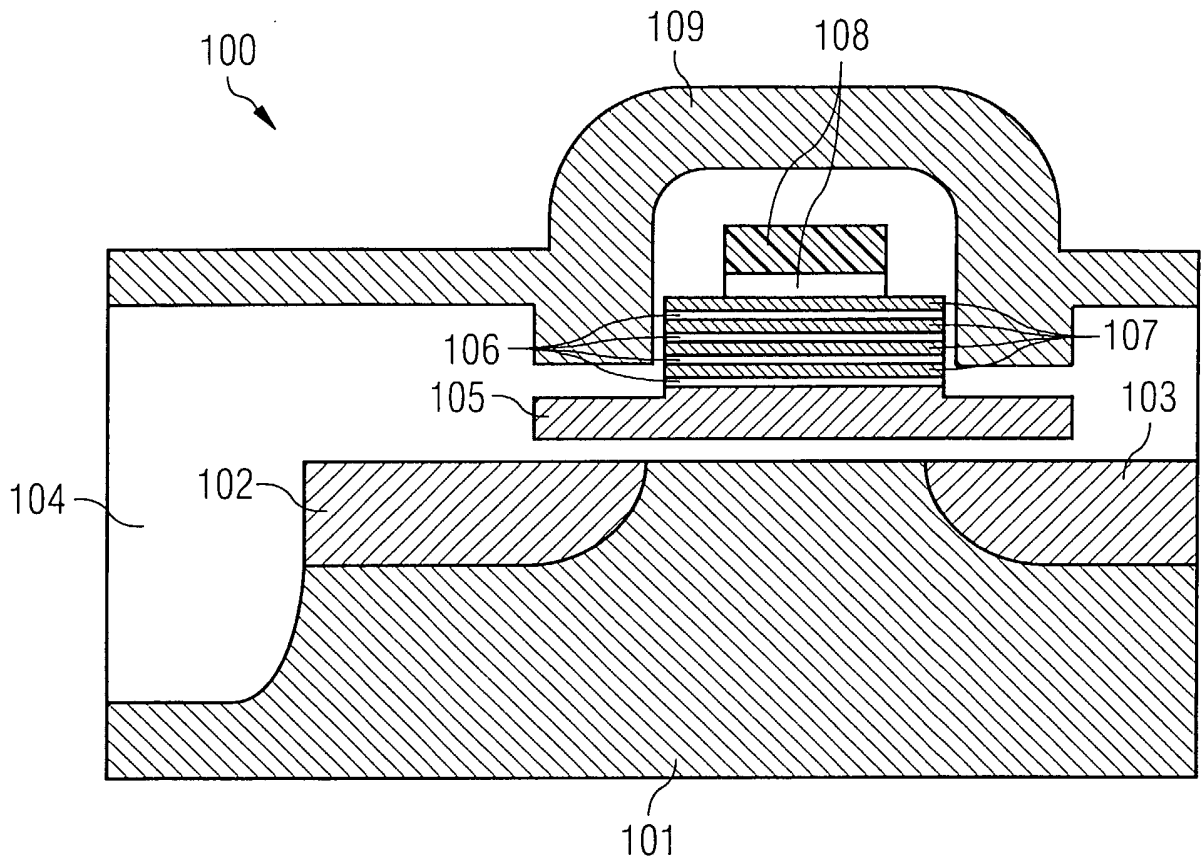


FIG 2A (Stand der Technik)

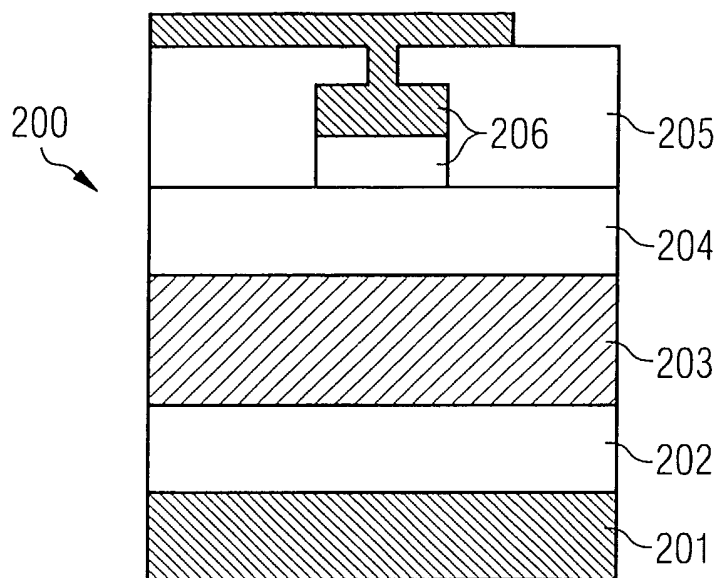


FIG 2B (Stand der Technik)

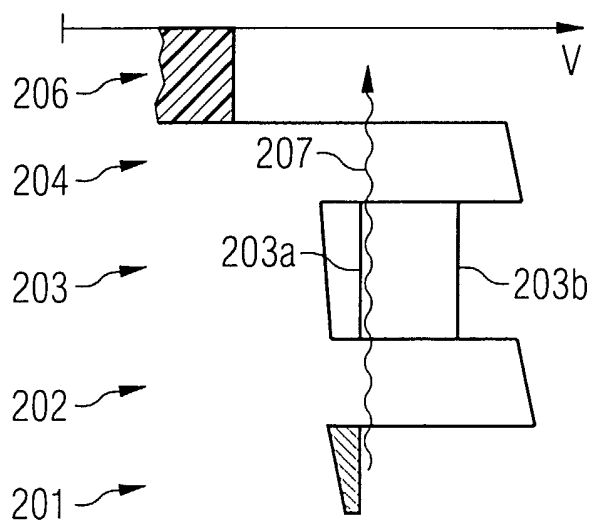


FIG 3A

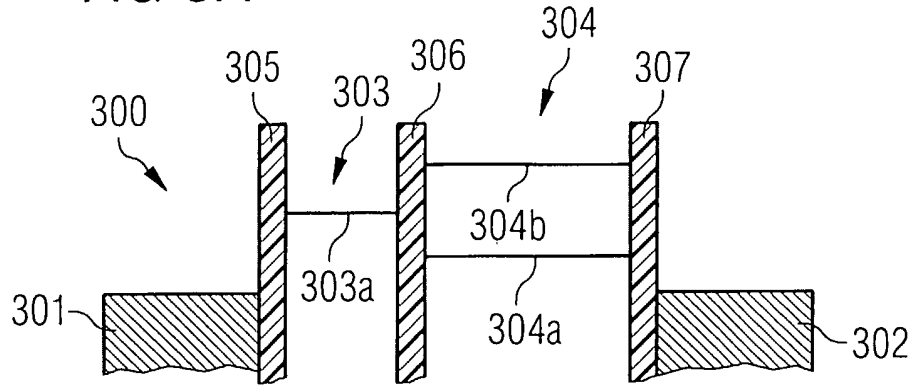


FIG 3B

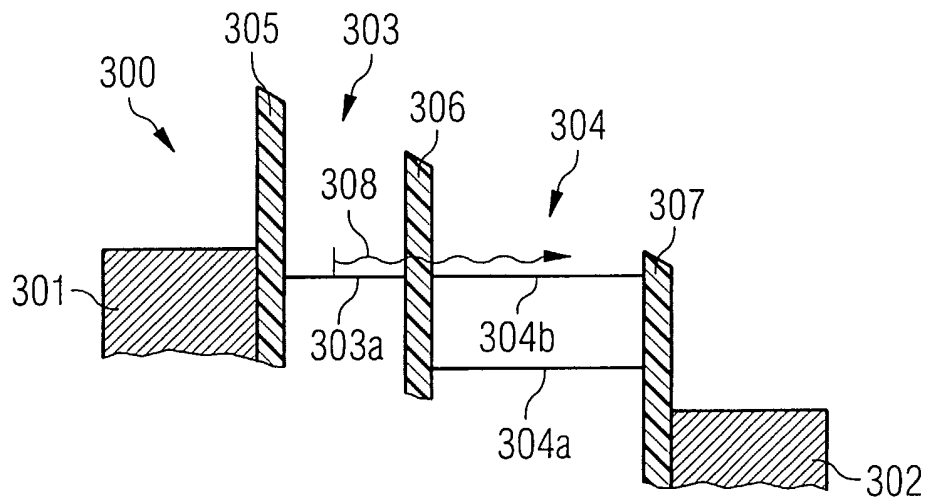


FIG 3C

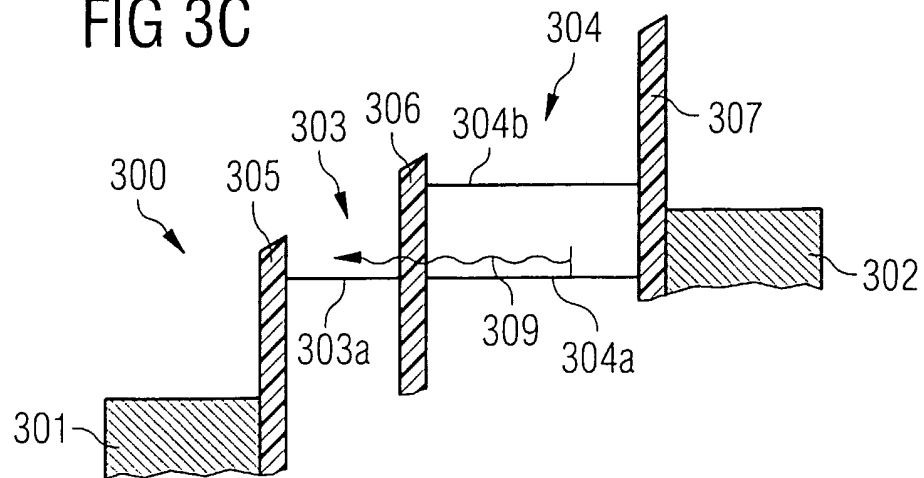


FIG 4A

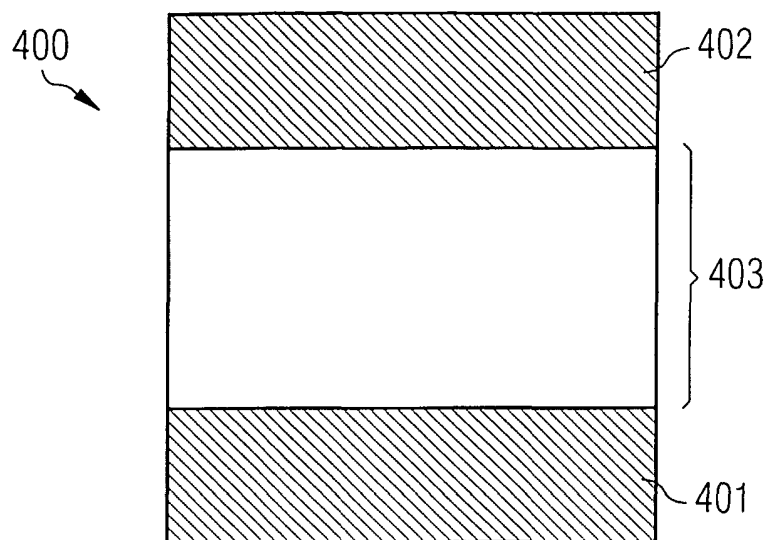
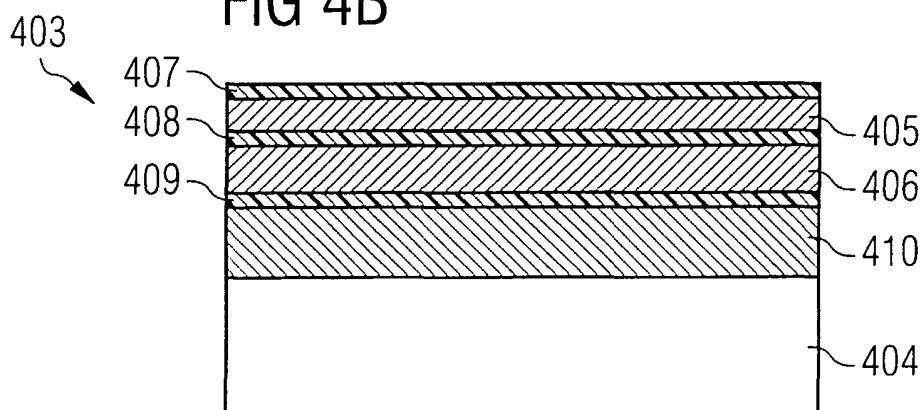


FIG 4B



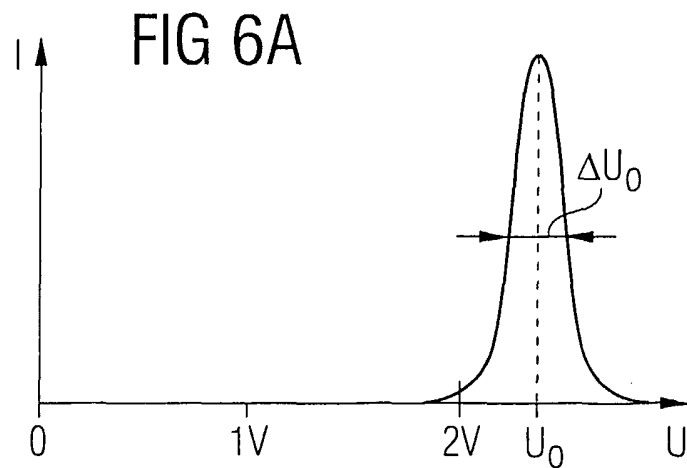
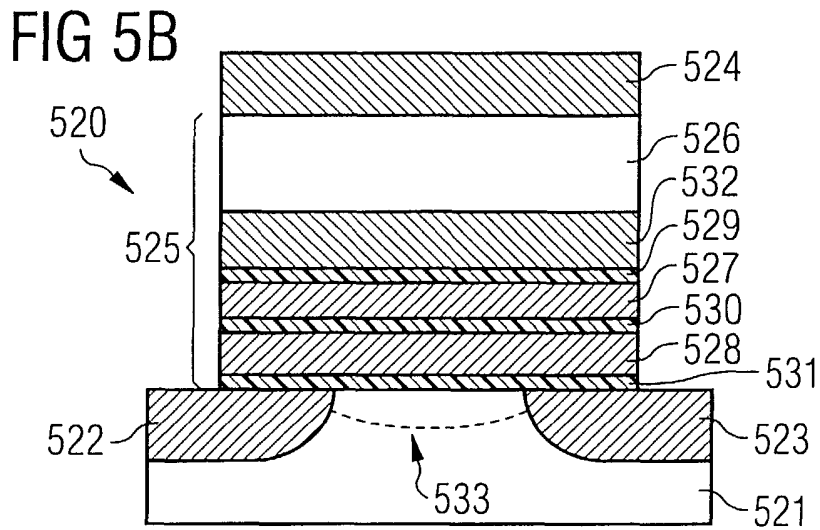
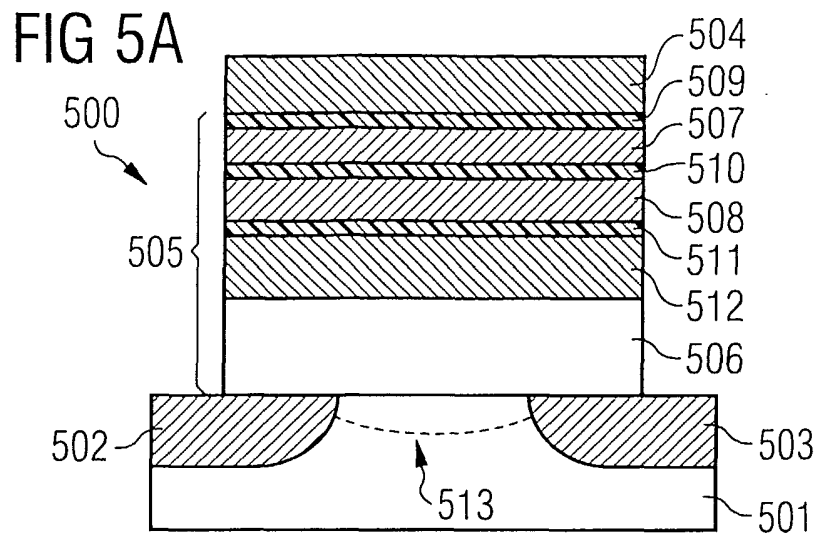


FIG 6B

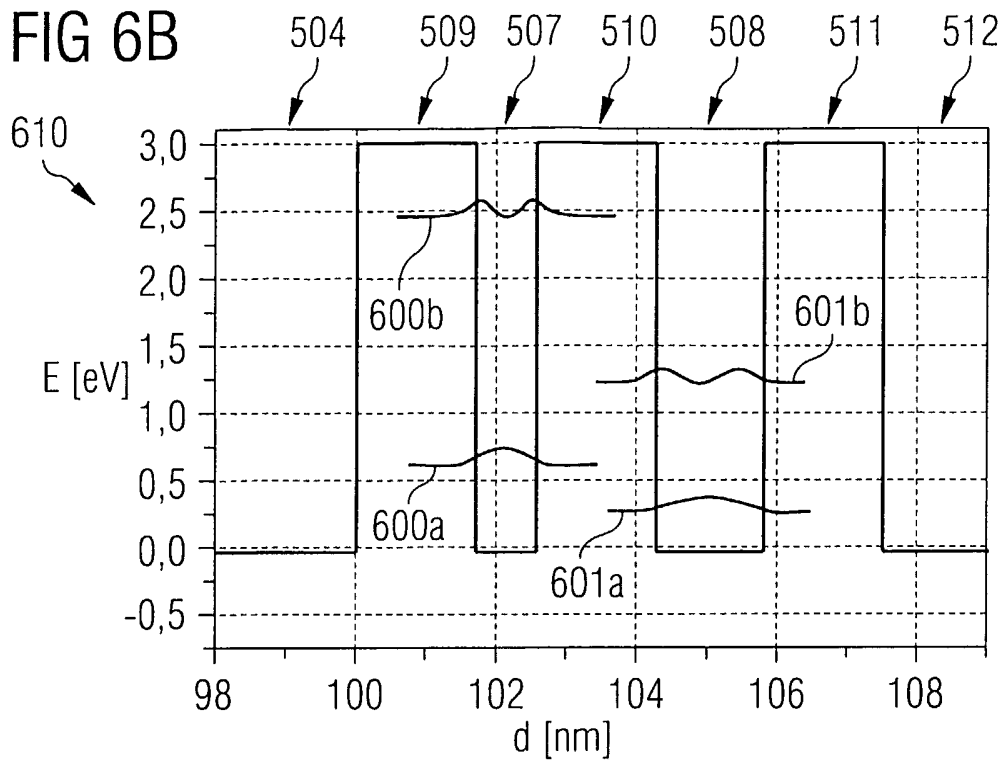
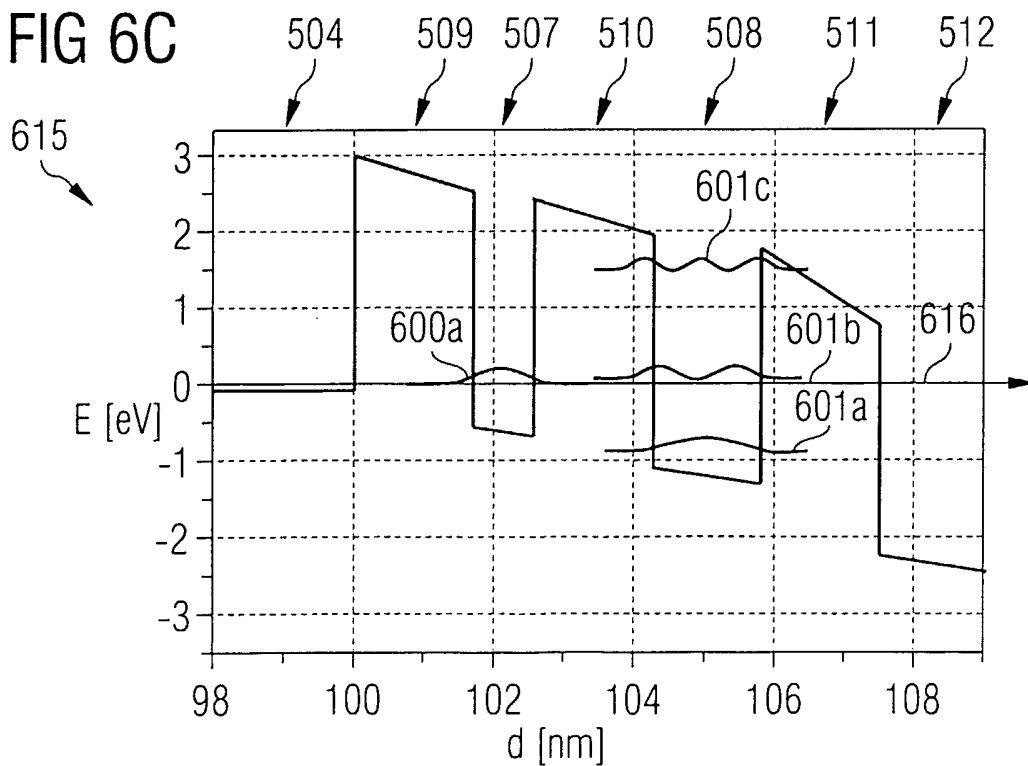


FIG 6C



INTERNATIONAL SEARCH REPORT

International No
PCT/BE 02/03999

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H01L29/788

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6 211 531 B1 (NAKAZATO KAZUO ET AL) 3 April 2001 (2001-04-03)	1-17
A	column 14, line 13 -column 14, line 55; figure 15	18-23
A	US 5 604 357 A (HORI TAKASHI) 18 February 1997 (1997-02-18) the whole document	1-23
A	US 6 133 603 A (NOMOTO KAZUMASA) 17 October 2000 (2000-10-17) the whole document	1-23
A	GB 2 339 073 A (LG SEMICON CO LTD) 12 January 2000 (2000-01-12) the whole document	1-23
	-/--	

Further documents are listed in the continuation of box C.

Patent family members are listed in annex.

° Special categories of cited documents :

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *Z* document member of the same patent family

Date of the actual completion of the international search

26 March 2003

Date of mailing of the international search report

02/04/2003

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Baillet, B

INTERNATIONAL SEARCH REPORT

Internati	ation No
PCT/DE	UZ/03999

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	<p>NAKAZATO K ET AL: "PLED - PLANAR LOCALISED ELECTRON DEVICES" INTERNATIONAL ELECTRON DEVICES MEETING 1997. IEDM TECHNICAL DIGEST. WASHINGTON, DC, DEC. 7 - 10, 1997, NEW YORK, NY: IEEE, US, 7 December 1997 (1997-12-07), pages 179-182, XP000855773 ISBN: 0-7803-4101-5 cited in the application the whole document</p> <p style="text-align: center;">---</p>	1-23
A	<p>US 6 229 175 B1 (UCHIDA HIDETSUGU) 8 May 2001 (2001-05-08) cited in the application</p> <p style="text-align: center;">---</p>	
A	<p>WATANABE M ET AL: "NEGATIVE DIFFERENTIAL RESISTANCE OF CAF₂/CDF₂ TRIPLE-BARRIER RESONANT-TUNNELING DIODE ON SI(111) GROWN BY PARTIALLY IONIZED BEAM EPITAXY" JAPANESE JOURNAL OF APPLIED PHYSICS, PUBLICATION OFFICE JAPANESE JOURNAL OF APPLIED PHYSICS. TOKYO, JP, vol. 38, no. 2A, PART 2, 1 February 1999 (1999-02-01), pages L116-L118, XP000906208 ISSN: 0021-4922 cited in the application</p> <p style="text-align: center;">-----</p>	

INTERNATIONAL SEARCH REPORT

on patent family members

Internation No
PCT/DE 02/03999

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 6211531	B1	03-04-2001	EP 0892440 A1	20-01-1999
			EP 0935291 A1	11-08-1999
			JP 11087541 A	30-03-1999
			US 2002139973 A1	03-10-2002
			JP 11040810 A	12-02-1999
			US 6060723 A	09-05-2000
			US 6169308 B1	02-01-2001
			US 2001002054 A1	31-05-2001
US 5604357	A	18-02-1997	JP 2991931 B2	20-12-1999
			JP 8031960 A	02-02-1996
			KR 151659 B1	01-10-1998
US 6133603	A	17-10-2000	JP 11177067 A	02-07-1999
GB 2339073	A	12-01-2000	KR 2000003839 A	25-01-2000
			DE 19929926 A1	30-12-1999
			JP 2000031406 A	28-01-2000
			US 6333214 B1	25-12-2001
			US 2002090762 A1	11-07-2002
US 6229175	B1	08-05-2001	JP 11274327 A	08-10-1999

INTERNATIONALER RECHERCHENBERICHT

Internationales Patentzeichen
PCT/DE 02/03999A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 H01L29/788

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchiertes Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, PAJ

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 6 211 531 B1 (NAKAZATO KAZUO ET AL) 3. April 2001 (2001-04-03)	1-17
A	Spalte 14, Zeile 13 -Spalte 14, Zeile 55; Abbildung 15	18-23
A	US 5 604 357 A (HORI TAKASHI) 18. Februar 1997 (1997-02-18) das ganze Dokument	1-23
A	US 6 133 603 A (NOMOTO KAZUMASA) 17. Oktober 2000 (2000-10-17) das ganze Dokument	1-23
A	GB 2 339 073 A (LG SEMICON CO LTD) 12. Januar 2000 (2000-01-12) das ganze Dokument	1-23
	-/--	

 Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

Z Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

26. März 2003

Absenddatum des internationalen Recherchenberichts

02/04/2003

Name und Postanschrift der Internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Baillet, B

INTERNATIONALER RECHERCHENBERICHT

Internati enzeichen
PCT/UE UZ/03999

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	<p>NAKAZATO K ET AL: "PLED - PLANAR LOCALISED ELECTRON DEVICES" INTERNATIONAL ELECTRON DEVICES MEETING 1997. IEDM TECHNICAL DIGEST. WASHINGTON, DC, DEC. 7 - 10, 1997, NEW YORK, NY: IEEE, US, 7. Dezember 1997 (1997-12-07), Seiten 179-182, XP000855773 ISBN: 0-7803-4101-5 in der Anmeldung erwähnt das ganze Dokument</p>	1-23
A	<p>US 6 229 175 B1 (UCHIDA HIDETSUGU) 8. Mai 2001 (2001-05-08) in der Anmeldung erwähnt</p>	
A	<p>WATANABE M ET AL: "NEGATIVE DIFFERENTIAL RESISTANCE OF CAF₂/CDF₂ TRIPLE-BARRIER RESONANT-TUNNELING DIODE ON SI(111) GROWN BY PARTIALLY IONIZED BEAM EPITAXY" JAPANESE JOURNAL OF APPLIED PHYSICS, PUBLICATION OFFICE JAPANESE JOURNAL OF APPLIED PHYSICS. TOKYO, JP, Bd. 38, Nr. 2A, PART 2, 1. Februar 1999 (1999-02-01), Seiten L116-L118, XP000906208 ISSN: 0021-4922 in der Anmeldung erwähnt</p>	

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichung

elben Patentfamilie gehören

Internat

eichen

PCT/DE UZ/U3999

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 6211531	B1	03-04-2001	EP 0892440 A1	20-01-1999
			EP 0935291 A1	11-08-1999
			JP 11087541 A	30-03-1999
			US 2002139973 A1	03-10-2002
			JP 11040810 A	12-02-1999
			US 6060723 A	09-05-2000
			US 6169308 B1	02-01-2001
			US 2001002054 A1	31-05-2001
US 5604357	A	18-02-1997	JP 2991931 B2	20-12-1999
			JP 8031960 A	02-02-1996
			KR 151659 B1	01-10-1998
US 6133603	A	17-10-2000	JP 11177067 A	02-07-1999
GB 2339073	A	12-01-2000	KR 2000003839 A	25-01-2000
			DE 19929926 A1	30-12-1999
			JP 2000031406 A	28-01-2000
			US 6333214 B1	25-12-2001
			US 2002090762 A1	11-07-2002
US 6229175	B1	08-05-2001	JP 11274327 A	08-10-1999