(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3735834号
(P3735834)
(45)発行日　平成18年1月18日(2006.1.18)　(24)登録日　平成17年11月4日(2005.11.4)

(51)Int.Cl.　　F I
G11C 16/02 (2006.01)　　G11C 17/00 611Z
G11C 11/407 (2006.01)　　G11C 11/34 362S
G11C 17/00 612Z

請求項の数 13　(全 11 頁)

(21)出願番号　特願平11-229265
(22)出願日　平成11年8月13日(1999.8.13)
(65)公開番号　特開2000-76877(P2000-76877A)
(43)公開日　平成12年3月14日(2000.3.14)
審査請求日　平成15年5月28日(2003.5.28)
(31)優先権主張番号　98-32937
(32)優先日　平成10年8月13日(1998.8.13)
(33)優先権主張国　韓国(KR)

(73)特許権者　390019839
三星電子株式会社
Samsung Electronics Co., Ltd.
大韓民国京畿道水原市靈通区梅灘洞４１６
416, Maetan-dong, Yeongtong-gu, Suwon-si Gyeonggi-do, Republic of Korea
(74)代理人　100076428
弁理士　大塚　康徳
(74)代理人　100093908
弁理士　松本　研一

最終頁に続く

(54)【発明の名称】同期型ＲＡＭ装置とシステムバスを共有する同期型フラッシュメモリ装置の消去及び書込み方法

(57)【特許請求の範囲】
【請求項１】
リフレッシュモードを有する同期型ＤＲＡＭ装置とシステムバスを共有する同期型フラッシュメモリ装置を含むシステムにおける、前記同期型フラッシュメモリ装置のデータ書込み方法であって、
前記同期型ＤＲＡＭ装置をノーマルモードから前記リフレッシュモードに設定し、
前記同期型フラッシュメモリ装置に書込み命令により、外部から印加されるデータを前記同期型フラッシュメモリ装置のアレイ内に書込み、
前記書込みが完了した後に、前記同期型ＤＲＡＭ装置を前記リフレッシュモードからノーマルモードに設定することを特徴とするデータ書込み方法。
【請求項２】
前記書込み段階は、前記同期型フラッシュメモリ装置が、書込み命令が対応するピンに通じて入力されたか否かを判別する段階と、書込み命令の入力を判別すると、外部から印加されるデータを前記同期型フラッシュメモリ装置のアレイ内に書込む段階とを含むことを特徴とする請求項１記載のデータ書込み方法。
【請求項３】
前記同期型フラッシュメモリ装置の前記メモリセルは電気的に複数のＮＯＲ型の消去及び書込み可能なＲＯＭを含むことを特徴とする請求項１に記載のデータ書込み方法。
【請求項４】
前記同期型フラッシュメモリ装置が、外部クロック、クロック活性化信号、チップ選択信

号、行アドレスストローブ信号、待ち時間を有するカラムアドレスストローブ信号を受ける手段を含むことを特徴とする請求行１に記載のデータ書込み方法。
【請求項５】
前記同期型ＤＲＡＭ装置は、外部制御信号のうち、行アドレスストローブ信号、カラムアドレスストローブ信号、そしてチップ選択信号が同時に活性化され、クロック活性化信号が非活性化される時に、前記リフレッシュモードへ入ることを特徴とする請求項１に記載のデータ書込み方法。
【請求項６】
リフレッシュモードを有する同期型ＤＲＡＭ装置とシステムバスとを共有し、データを貯える複数のメモリセルのアレイと、前記システムバスに連結されて外部制御信号を受け入れる複数のピンを備えた同期型フラッシュメモリ装置と、前記システムバスに連結されて前記同期型ＤＲＡＭ装置及び同期型フラッシュメモリ装置の動作を制御するプロセッサとを含むシステムにおける、前記同期型フラッシュメモリ装置のデータ書込み方法であって、
前記同期型ＤＲＡＭ装置から前記同期型フラッシュメモリ装置に書込まれる複数のデータを読み出す段階と、
前記同期型フラッシュメモリ装置のラッチ手段に前記読み出されたデータをラッチする段階と、
前記同期型ＤＲＡＭ装置をノーマルモードから前記リフレッシュモードへ設定する段階と、
前記ラッチ手段にラッチされたデータを前記同期型フラッシュメモリ装置のアレイに書込む段階とを含むことを特徴とするデータ書込み方法。
【請求項７】
前記同期型フラッシュメモリ装置の前記メモリセルは、電気的に複数のＮＯＲ型の消去及び書込み可能なＲＯＭを含むことを特徴とする請求項６に記載のデータ書込み方法。
【請求項８】
前記同期型フラッシュメモリ装置が、外部クロック、クロック活性化信号、チップ選択信号、行アドレスストローブ信号、待ち時間を有するカラムアドレスストローブ信号を受ける手段を含むことを特徴とする請求項６に記載のデータ書込み方法。
【請求項９】
前記書込み段階が完了した後、前記同期型ＤＲＡＭ装置を前記リフレッシュモードから前記ノーマルモードに設定する段階を更に含むことを特徴とする請求項６に記載のデータ書込み方法。
【請求項１０】
前記同期型ＤＲＡＭ装置は、前記外部制御信号のうち、行アドレスストローブ信号、カラムアドレスストローブ信号、そしてチップ選択信号が同時に活性化され、クロック活性化信号が非活性化される時に、前記リフレッシュモードへ入ることを特徴とする請求項６に記載のデータ書込み方法。
【請求項１１】
リフレッシュモードを有する同期型ＤＲＡＭ装置とシステムバスとを共有する同期型フラッシュメモリ装置を含むシステムにおける、前記同期型フラッシュメモリ装置の消去方法であって、
前記同期型ＤＲＡＭ装置をノーマルモードから前記リフレッシュモードへ設定し、
消去命令に基づいて前記同期型フラッシュメモリ装置の消去動作を遂行し、
前記消去が完了した後に、前記同期型ＤＲＡＭ装置を前記リフレッシュモードから前記ノーマルモードに設定することを特徴とする消去方法。
【請求項１２】
前記同期型フラッシュメモリ装置の前記メモリセルは、電気的に複数のＮＯＲ型の消去及び書込み可能なＲＯＭを含むことを特徴とする請求項１１に記載の消去方法。
【請求項１３】

前記同期型ＤＲＡＭ装置は、外部制御信号のうち、行アドレスストローブ信号、カラムアドレスストローブ信号、そしてチップ選択信号が同時に活性化され、前記クロック活性化信号が非活性化される時に、前記リフレッシュモードへ入ることを特徴とする請求行１１に記載の消去方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、同期型ＲＡＭ装置とシステムバスを共有する同期型フラッシュメモリ装置を備えるシステムに関するものであり、詳しくはクロック信号に同期して動作するフラッシュメモリ装置を備えるシステムでの消去及びデータ書込み方法に関するものである。

【従来の技術】

データの再書込みが可能で電気的にプログラム可能な読み出し専用メモリ（ｅｌｅｃｔｒｉｃａｌｌｙ　ｐｒｏｇｒａｍｍａｂｌｅ　ｒｅａｄ－ｏｎｌｙ　ｍｅｍｏｒｙ、以下ＥＰＲＯＭと称する）、又は電気的に消去及びプログラム可能な読み出し専用メモリ（ｅｌｅｃｔｒｉｃａｌｌｙ　ｅｒａｓａｂｌｅ　ａｎｄｐｒｏｇｒａｍｍａｂｌｅ　ｍｅｍｏｒｙ、以下ＥＥＰＲＯＭと称する）がマイクロコンピュータ（又は、マイクロコントローラ）に接続されて、不揮発性メモリとして使用される場合がある。ＥＰＲＯＭに関しては、その中に保持されるデータは特定位置に紫外線を投射することにより消去でき、新しいデータがその内部に書込めるようになる。メモリの内容を再書き込みするためには、紫外線により異なる構成部分が影響を受けるので、ＥＰＲＯＭが装着されたボードからＥＰＲＯＭを取り外して、その後にメモリの内容を再書込みすることが必要である。一方、ＥＥＰＲＯＭに関しては、その中に保持されるデータは特定の電気的な信号を印加することにより消去でき、新しいデータがそこに書込めるようになる。

【０００２】

ＥＥＰＲＯＭは選択トランジスタを備えているので、ＥＥＰＲＯＭのセルサイズは全体的にＥＰＲＯＭのサイズより幾倍大きくなり、集積がさらに難しくなる。この問題を避けるために、最近、メモリセル各々が単一のトランジスタで構成されるフラッシュＥＥＰＲＯＭが使用されている。このようなフラッシュＥＥＰＲＯＭを備えたクロック信号に同期するフラッシュメモリ装置と同期型ＤＲＡＭ装置とが、マイクロプロセッサの制御下で同一なシステムバスを共有するように構成される時、同期型フラッシュメモリ装置の書込み及び消去動作中に、システムバスを共有する同期型ＤＲＡＭ装置に貯えられたデータ又はその動作が影響を受けないようにしなければならない。だから、同期型ＤＲＡＭ装置とシステムバスを共有する同期型フラッシュメモリ装置における、新しい書込み及び消去方法が要求される。

【発明が解決しようとする課題】

本発明の目的は、同期型ＲＡＭ装置とシステムバスを共有するシステム内の同期型フラッシュメモリ装置のための書込み方法を提供することにある。

【０００３】

本発明の他の目的は、同期型ＲＡＭ装置とシステムバスを共有するシステム内の同期型フラッシュメモリ装置のための消去方法を提供することにある。

【課題を解決するための手段】

前述したような目的を達成するための本発明の特徴によると、リフレッシュモードを有する同期型ＤＲＡＭ装置とシステムバスを共有する同期型フラッシュメモリ装置を含むシステムにおける、前記同期型フラッシュメモリ装置のデータ書込み方法であって、前記同期型ＤＲＡＭ装置をノーマルモードから前記リフレッシュモードに設定し、前記同期型フラッシュメモリ装置に書込み命令により、外部から印加されるデータを前記同期型フラッシュメモリ装置のアレイ内に書込み、前記書込みが完了した後に、前記同期型ＤＲＡＭ装置を前記リフレッシュモードからノイーマルモードに設定することを特徴とする。

【０００４】

ここで、同期型ＤＲＡＭ装置は、外部制御信号のうち、行アドレスストローブ信号、カラ

ムアドレスストローブ信号、そしてチップ選択信号が同時に活性化され、クロック活性化信号が非活性化される時に、リフレッシュモードへ入る。

【０００５】

本発明の他の特徴によると、リフレッシュモードを有する同期型ＤＲＡＭ装置とシステムバスとを共有し、データを貯える複数のメモリセルのアレイと、前記システムバスに連結されて外部制御信号を受け入れる複数のピンを備えた同期型フラッシュメモリ装置と、前記システムバスに連結されて前記同期型ＤＲＡＭ装置及び同期型フラッシュメモリ装置の動作を制御するプロセッサとを含むシステムにおける、前記同期型フラッシュメモリ装置のデータ書込み方法であって、前記同期型ＤＲＡＭ装置から前記同期型フラッシュメモリ装置に書込まれる複数のデータを読み出す段階と、前記同期型フラッシュメモリ装置のラッチ手段に前記読み出されたデータをラッチする段階と、前記同期型ＤＲＡＭ装置をノーマルモードから前記リフレッシュモードへ設定する段階と、前記ラッチ手段にラッチされたデータを前記同期型フラッシュメモリ装置のアレイに書込む段階とを含むことを特徴とする。

【０００６】

ここで、同期型フラッシュメモリ装置のメモリセルは電気的に複数のＮＯＲ型の消去及び書込み可能なＲＯＭを含む。

【０００７】

また、同期型フラッシュメモリ装置は、外部クロック、クロック活性化信号、チップ選択信号、行アドレスストローブ信号、待ち時間を有するカラムアドレスストローブ信号を受ける手段を含む。

【０００８】

また、書込み段階が完了した後に、同期型ＤＲＡＭ装置をリフレッシュモードからノーマルモードに設定する段階を更に含む。

【０００９】

本発明のさらに他の特徴によると、リフレッシュモードを有する同期型ＤＲＡＭ装置とシステムバスとを共有する同期型フラッシュメモリ装置を含むシステムにおける、前記同期型フラッシュメモリ装置の消去方法であって、前記同期型ＤＲＡＭ装置をノーマルモードから前記リフレッシュモードへ設定し、消去命令に基づいて前記同期型フラッシュメモリ装置の消去動作を遂行し、前記消去が完了した後に、前記同期型ＤＲＡＭ装置を前記リフレッシュモードから前記ノーマルモードに設定することを特徴とする。

【００１０】

このような装置により、同期型フラッシュメモリ装置の書込み及び消去動作が遂行される前に、システムバスを共有する同期型ＤＲＡＭ装置をリフレッシュモードに設定し、その後で同期型フラッシュメモリ装置の書込み及び消去動作が遂行されると、同期型ＤＲＡＭ装置に貯えられたデータ又は装置の正常な動作は何等影響を受けない。

【発明の実施の形態】

図１は、本実施の形態による同期型フラッシュメモリ装置及びＲＡＭ装置を有するシステムの構成ブロック図を示す。

【００１１】

図１を参照すると、システム１０内には、同期型フラッシュメモリ装置（ｓｙｎｃｈｒｏｎｏｕｓ　ｆｌａｓｈ　ｍｅｍｏｒｙ　ｄｅｖｉｃｅ）１００、同期型ＲＡＭ装置（ｓｙｎｃｈｒｏｎｏｕｓ　ｒａｎｄｏｍ　ａｃｃｅｓｓ　ｍｅｍｏｒｙ　ｄｅｖｉｃｅ）、例えば、同期型ＤＲＡＭ装置（ｓｙｎｃｈｒｏｎｏｕｓ　ｄｙｎａｍｉｃ　ｒａｎｄｏｍ　ａｃｃｅｓｓ　ｍｅｍｏｒｙ　ｄｅｖｉｃｅ）（以後、同期型ＤＲＡＭ装置と称する）２００、そしてマイクロプロセッサ（ｍｉｃｒｏｐｒｏｃｅｓｓｏｒ）３００が提供される。同期型フラッシュメモリ装置１００及び同期型ＤＲＡＭ装置２００はシステムバス（ｓｙｓｔｅｍ　ｂｕｓ）１２を共有しており、マイクロプロセッサ３００の制御下で相互にデータを授受する。ここで、システムバス１２は、複数のアドレス信号ライン、複数のデータライン、そして複数の制御信号ラインを含む。このような本実施形態のシステム構成

によると、同期型フラッシュメモリ装置１００の消去及び書込み動作は、同期型ＤＲＡＭ装置２００がマイクロプロセッサ３００によりリフレッシュモード（ｒｅｆｒｅｓｈ ｍｏｄｅ）へ入った後に遂行される。このような動作が、以後詳細に説明される。

【００１２】

図２は、本実施形態による望ましい図１の同期型フラッシュメモリ装置のブロック図である。

【００１３】

図２を参照すると、本実施の形態の同期型フラッシュメモリ装置１００には、少なくとも１ビットのデータを貯えるためのＮＯＲ構造よりなる電気的に消去及びプログラム可能なＲＯＭセル（ＮＯＲ－ｓｔｒｕｃｔｕｒｅｄ ｅｌｅｃｔｒｉｃａｌｌｙ ｅｒａｓａｂｌｅａｎｄ ｐｒｏｇｒａｍｍａｂｌｅ ＲＯＭ ｃｅｌｌｓ、以後ＥＥＰＲＯＭセル又はフラッシュメモリセル（ｆｌａｓｈｍｅｍｏｒｙ ｃｅｌｌｓ）と称する）のアレイ(Memory Cell Array)１１０が提供され、アレイ１１０には、複数のワードラインと複数のビットラインとが相互交差されるように配列される（図示せず）。

【００１４】

アレイ１１０のＥＥＰＲＯＭセルのうち、１つは入／出力インタフェース（Ｉｎｐｕｔ／Ｏｕｔｐｕｔ ｉｎｔｅｒｆａｃｅ）１４０からのアドレスが提供される行デコーダ(Row Decoder)１２０及びカラムデコーダ(Column Decoder)１３０により選択される。選択されたセルに貯えられたデータは、ラッチ及び制御部（ｌａｔｃｈ ａｎｄ ｃｏｎｔｒｏｌ ｓｅｃｔｉｏｎ）１５０にラッチされて入／出力インタフェース１４０を通じてシステムバス１２へ伝達される。又、外部からのプログラムデータは、入／出力インタフェース１４０を通じてラッチ及び制御部１５０に臨時的に貯えられた後、プログラム制御器（ｐｒｏｇｒａｍｃｏｎｔｒｏｌｌｅｒ）１６０の制御下で高電圧発生部(High Voltage Generator)１７０から発生されるプログラム電圧（又は、高電圧）を用いて、選択されたメモリセルに貯えられる。このような読み出し、消去、及び書込み動作に関連された技術が、ＵＳＰ．Ｎｏ．５，６９６，７１７に“ＮＯＮＶＯＬＡＴＩＬＥＩＮＴＥＧＲＡＴＥＤ ＣＩＲＣＵＩＴ ＭＥＭＯＲＹ ＤＥＶＩＣＥＳ ＨＡＶＩＮＧ ＡＤＪＵＳＴＡＢＬＥ ＥＲＡＳＥ／ＰＲＯＧＲＡＭ ＴＨＲＥＳＨＯＬＤ ＶＯＬＴＡＧＥ ＶＥＲＩＦＩＣＡＴＩＯＮ ＣＡＰＡＢＩＬＩＴＹ”という題目で、ＵＳＰ．Ｎｏ．５，４４８，７１２に“ＣＩＲＣＵＩＴＲＹ ＡＮＤＭＥＴＨＯＤ ＦＯＲ ＰＲＯＧＲＡＭＭＩＮＧ ＡＮＤ ＥＲＡＳＩＮＧ Ａ ＮＯＮ－ＶＯＬＡＴＩＬＥ ＳＥＭＩＣＯＮＤＵＣＴＯＲ ＭＥＭＯＲＹ”という題目で、ＵＳＰ．Ｎｏ．５，７４５，４１７に“ＥＬＥＣＴＲＩＣＡＬＬＹ ＰＲＯＧＲＡＭＭＡＢＬＥ ＡＮＤ ＥＲＡＳＡＢＬＥ ＮＯＮＶＯＬＡＴＩＬＥ ＳＥＭＩＣＯＮＤＵＣＴＯＲ ＭＥＭＯＲＹ ＤＥＶＩＣＥ ＡＮＤＯＰＥＲＡＴＩＮＧ ＭＥＴＨＯＤ ＴＨＥＲＥＦＯＲ”という題目で、そしてＵＳＰ．Ｎｏ．５，２９７，０９６に“ＮＯＮＶＯＬＡＴＩＬＥ ＳＥＭＩＣＯＮＤＵＣＴＯＲ ＭＥＭＯＲＹ ＤＥＶＩＣＥ ＡＮＤ ＤＡＴＡ ＥＲＡＳＩＮＧ ＭＥＴＨＯＤ ＴＨＥＲＥＯＦ”という題目で掲載されている。

【００１５】

入／出力インタフェース１４０には、図面には示されなかったが、図１のマイクロプロセッサ３００の制御下で、システムバス１２を通じて同期型ＤＲＡＭ装置２００又は他の装置から提供されるデータを臨時的に貯蔵できる、レジスタ（ｒｅｇｉｓｔｅｒ）又はラッチ回路（ｌａｔｃｈ ｃｉｒｃｕｉｔ）が備えられる。図面には示されなかったが、前述した構成を有する同期型フラッシュメモリ装置１００では、外部クロック信号ＣＬＫに同期してその内部に貯えられたデータが読み出されるので、非同期型フラッシュメモリ装置で使用される外部制御信号とは別の外部制御信号が必要であり、そのような外部制御信号を受け入れて内部で非同期型装置と他の外部制御信号を発生できる手段が、入／出力インタフェース１４０に具現される。

【００１６】

このような機能を有する同期型フラッシュメモリ装置は、同期型ＤＲＡＭ装置と高速にデ

ータを授受するために、図１に示されたようにシステムバス１２を共有しなければならない。この際、同期型フラッシュメモリ装置１００の書込み及び消去動作が遂行される間に、その動作によりシステムバス１２を共有する同期型ＤＲＡＭ装置２００に貯えられたデータ又はその動作が何等影響を受けないようにしなければならない。このような目的を達成するための望ましい第１乃至第３実施形態が、以下詳細に説明される。

【００１７】

（第１実施形態）

本発明の望ましい第１実施形態において、外部からシステムバス１２を通じて提供されるデータがフラッシュメモリ装置１００に書込まれる時の書込み方法が、以後図３及び図４に基づき詳細に説明される。

【００１８】

図３は、本発明の望ましい第１実施形態による書込み方法を説明するための流れ図であり、図４は本発明の望ましい第１実施形態による書込み動作のための制御信号及びクロック信号のタイミングを示す図面である。

【００１９】

同期型フラッシュメモリ装置１００にデータを書込むためには、先ず、システムバス１２を共有する同期型ＤＲＡＭ装置２００がリフレッシュモードに設定されなければならない。詳しくは、同期型ＤＲＡＭ装置２００はセルフリフレッシュモードに設定される。この動作は、図３のステップＳ１０で遂行される。同期型ＤＲＡＭ装置２００は、図４に示されたように、クロック活性化信号ＣＫＥ、チップ選択信号／ＣＳ（以下、信号／Ｘは信号Ｘの反転信号を表す）、行アドレスストローブ信号（ｒｏｗ　ａｄｄｒｅｓｓ　ｓｔｒｏｂｅ　ｓｉｇｎａｌ）／ＲＡＳ、そしてカラムアドレスストローブ信号（ｃｏｌｕｍｎ　ａｄｄｒｅｓｓｓｔｒｏｂｅ　ｓｉｇｎａｌ）／ＣＡＳが、クロック信号ＣＬＫの立下りエッジで同時にハイレベルからローレベルへ変化する時に、リフレッシュモードに設定される。以後、同期型ＤＲＡＭ装置２００は、クロック活性化信号ＣＫＥがハイレベルへ変化する時まで、外部から印加される命令を受け入れない状態に続けて保たれる。同期型ＤＲＡＭ装置２００がそのような状態に保たれる間に、同期型フラッシュメモリ装置１００に対する書込み動作が次の通り遂行される。

【００２０】

図３のステップＳ１２では、同期型フラッシュメモリ装置１００に書込み命令（ｗｒｉｔｅ　ｃｏｍｍａｎｄ）を入力したか否かが判別される。もし入力がないと、ステップＳ１２が反復的に遂行される。もし入力されると、外部から提供されるデータが同期型フラッシュメモリ装置１００の入／出力インタフェース１４０のレジスタ（図示せず）又はラッチ及び制御部１５０に一時的に貯えられる（Ｓ１３）。以後、続くステップＳ１４では、一時的に貯えられたデータが前述した参照米国特許と同一な又は類似した方法でＥＥＰＲＯＭセルに書込まれる。

【００２１】

次のステップＳ１５では、データ書込み動作が完了したか否かが判別され、書込み動作が完了していないと、ステップＳ１４を再び遂行する。書込み動作が完了すると、リフレッシュモードに保たれていた同期型ＤＲＡＭ装置２００がステップＳ１６でノーマルモード（ｎｏｒｍａｌ　ｍｏｄｅ）に戻される。図４に示されたように、クロック活性化信号ＣＫＥがローレベルからハイレベルへ変化することにより、同期型ＤＲＡＭ装置２００にクロック信号ＣＬＫが供給され、これにより同期型ＤＲＡＭ装置２００は正常なモードで動作する。

【００２２】

（第２実施形態）

本発明の望ましい第２実施形態において、同期型ＤＲＡＭ装置２００から読み出されたデータを同期型フラッシュメモリ装置１００に書込む時の、書込み方法が、以後図５及び図６に基づき詳細に説明される。

【００２３】

図５は、本発明の望ましい第２実施形態による書込み方法を説明するための流れ図であり、図６は、本発明の望ましい第２実施形態による書込み動作のための制御信号及びクロック信号のタイミングを示す図面である。

【００２４】

図５を参照すると、ステップＳ２０では、同期型ＤＲＡＭ装置２００に貯えられたデータが読み出されて、共有するシステムバス１２のデータライン（図示せず）を通じて同期型フラッシュメモリ装置１００へ伝達される。その後、データラインを通じて伝達されたデータは、同期型フラッシュメモリ装置１００の入／出力インタフェース１４０に備えられる臨時記憶装置であるレジスタ（又は、ラッチ回路）に貯えられる（Ｓ２１）。ここで、レジスタ又はラッチ回路の貯蔵容量は、同期型フラッシュメモリ装置の貯蔵容量、データ入／出力構造そして書込み方式により決定される。

【００２５】

以後、ステップＳ２２では、第１実施形態と同様な方法で同期型ＤＲＡＭ装置２００をリフレッシュモード（詳しく、セルフリフレッシュモード）に設定する。即ち、同期型ＤＲＡＭ装置２００は、図６に示されたように、クロック活性化信号ＣＫＥ、チップ選択信号／ＣＳ、行アドレスストローブ信号（ｒｏｗ　ａｄｄｒｅｓｓ　ｓｔｒｏｂｅ　ｓｉｇｎａｌ）／ＲＡＳ、そしてカラムアドレスストローブ信号（ｃｏｌｕｍｎ　ａｄｄｒｅｓｓ　ｓｔｒｏｂｅｓｉｇｎａｌ）／ＣＡＳが、クロック信号ＣＬＫの立下りエッジで同時にハイレベルからローレベルへ変化する時に、リフレッシュモードに設定される。以後、同期型ＤＲＡＭ装置２００は、クロック活性化信号ＣＫＥがハイレベルへ変化する時まで、外部から印加される命令を受け入れない状態に続けて保たれる。同期型ＤＲＡＭ装置２００がそのような状態に保たれる間に、同期型フラッシュメモリ装置１００の入／出力インタフェース１４０にラッチされたデータに対する書込み動作が、次の通り遂行される。

【００２６】

図５のステップＳ２３では、同期型フラッシュメモリ装置１００に書込み命令が入力された時に、入／出力インタフェース１４０に一時的に貯えられたデータは、前述した参照米国特許と同一な又は類似した方法でＥＥＰＲＯＭセルに書込まれる。

【００２７】

次のステップＳ２４では、データ書込み動作が完了したか否かが判別され、書込み動作が完了していないと、ステップＳ２３を再び遂行する。書込み動作が完了すると、リフレッシュモードに保たれていた同期型ＤＲＡＭ装置２００がステップＳ２５でノーマルモードに戻される。図６に示されたように、クロック活性化信号ＣＫＥがローレベルからハイレベルへ変化することにより、同期型ＤＲＡＭ装置２００にクロック信号ＣＬＫが供給され、これにより同期型ＤＲＡＭ装置２００は正常なモードで動作する。

【００２８】

（第３実施形態）

本発明の望ましい第３実施形態は、同期型ＤＲＡＭ装置２００とシステムバス１２を共有する同期型フラッシュメモリ装置１００の消去方法に関するものである。図７は、本発明の望ましい第３実施形態による消去方法を説明するための流れ図である。

【００２９】

先ず、同期型フラッシュメモリ装置１００に対する消去動作が遂行される前に、マイクロプロセッサ３００の制御下で第１及び第２実施形態と同様の方法で、システムバス１２を共有する同期型ＤＲＡＭ装置２００はリフレッシュモードに設定する（Ｓ３０）。説明の重複を避けるために、これに対する説明は略す。次のステップＳ３１では、外部から消去命令が入力された時、前述した参照米国特許に掲載された方法と類似した方法で、同期型フラッシュメモリ装置１００に対する消去動作が遂行される。

【００３０】

次のステップＳ３２では、消去動作が完了されたか否かが判別され、もし消去動作が完了していないと、ステップＳ３１を再び遂行する。消去動作が完了すると、リフレッシュモードに保たれていた同期型ＤＲＡＭ装置２００がステップＳ３３でノーマルモードに戻さ

れる。即ち、図４及び図６に示されたように、クロック活性化信号ＣＫＥがローレベルからハイレベルへ変化することにより、同期型ＤＲＡＭ装置２００にクロック信号ＣＬＫが供給され、これにより同期型ＤＲＡＭ装置２００は正常なモードで動作する。

【発明の効果】

本発明により、同期型ＲＡＭ装置とシステムバスを共有するシステム内の同期型フラッシュメモリ装置のための書込み方法を提供できる。

【００３１】

又、同期型ＲＡＭ装置とシステムバスを共有するシステム内の同期型フラッシュメモリ装置のための消去方法を提供できる。

【００３２】

すなわち、前述した本発明の望ましい第１乃至第３実施形態のように、同期型フラッシュメモリ装置１００の書込み及び消去動作が遂行される場合、即ち同期型フラッシュメモリ装置１００の書込み及び消去動作が遂行される前に、システムバス１２を共有する同期型ＤＲＡＭ装置２００を先ずリフレッシュモードに設定されるようにする。以後、同期型フラッシュメモリ装置１００の書込み及び消去動作が遂行されると、同期型ＤＲＡＭ装置２００に貯えられたデータ又は装置２００の正常な動作は何等影響を受けない。

【図面の簡単な説明】

【図１】本実施の形態による同期型フラッシュメモリ及びＲＡＭ装置を有するシステムの構成ブロック図である。

【図２】本発明の望ましい実施形態による図１の同期型フラッシュメモリ装置のブロック図である。

【図３】本発明の望ましい第１実施形態による書込み方法を説明するための流れ図である。

【図４】本発明の望ましい第１実施形態による書込み動作のための制御信号及びクロック信号のタイミングを示す図面である。

【図５】本発明の望ましい第２実施形態による書込み方法を説明するための流れ図である。

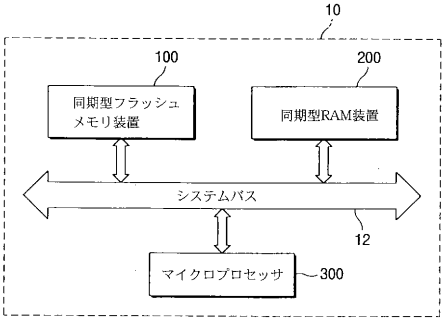
【図６】本発明の望ましい第２実施形態による書込み動作のための制御信号及びクロック信号のタイミングを示す図面である。

【図７】本発明の望ましい第３実施形態による消去方法を説明するための流れ図である。

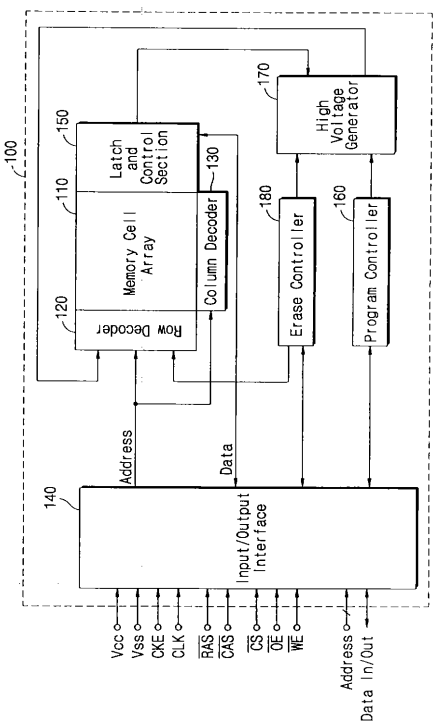
【符号の説明】

１０　：システム
１００　：同期型フラッシュメモリ装置
１１０　：アレイ
１２０　：行デコーダ
１３０　：カラムデコーダ
１４０　：入／出力インタフェース
１５０　：ラッチ及び制御部
１６０　：プログラム制御部
１７０　：高電圧発生部
１８０　：消去制御部

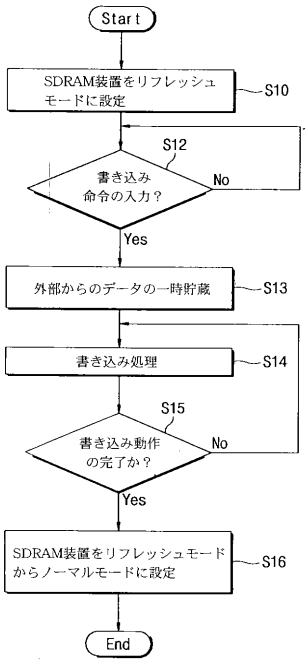
【図１】


10
100
200
同期型フラッシュ
メモリ装置
同期型RAM装置
システムバス
12
マイクロプロセッサ
300

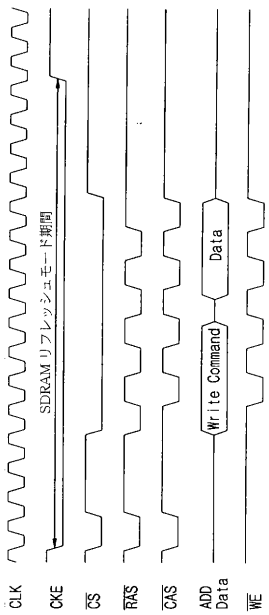
【図２】


100
150
Latch and Control Section
130
110
Memory Cell Array
Column Decoder
120
Row Decoder
170
High Voltage Generator
180
Erase Controller
160
Program Controller
Address
Data
140
Input/Output Interface
Vcc
Vss
CKE
CLK
RAS
CAS
CS
OE
WE
Address
Data In/Out

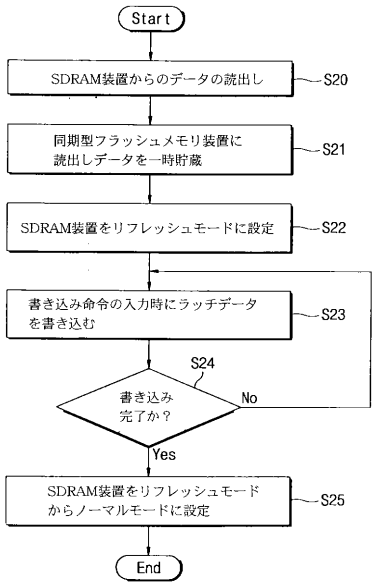
【図３】


Start
SDRAM装置をリフレッシュ
モードに設定
S10
S12
書き込み
命令の入力？
No
Yes
外部からのデータの一時貯蔵
S13
書き込み処理
S14
S15
書き込み動作
の完了か？
No
Yes
SDRAM装置をリフレッシュモード
からノーマルモードに設定
S16
End

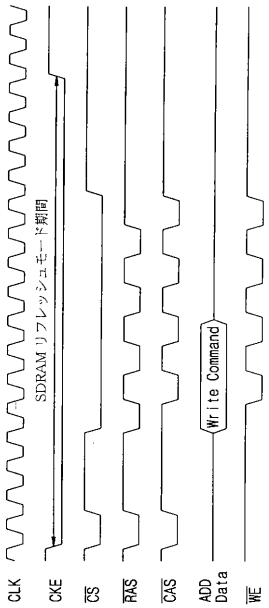
【図４】


SDRAMリフレッシュモード期間
Data
Write Command
CLK
CKE
CS
RAS
CAS
ADD
Data
WE

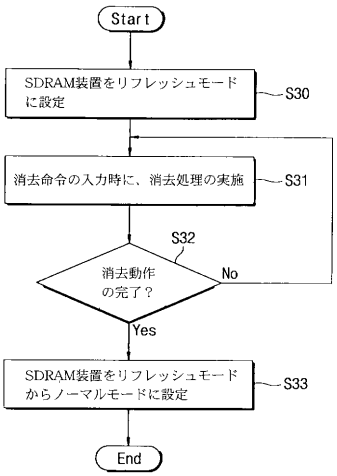
【図５】


Start
SDRAM装置からのデータの読出し
S20
同期型フラッシュメモリ装置に
読出しデータを一時貯蔵
S21
SDRAM装置をリフレッシュモードに設定
S22
書き込み命令の入力時にラッチデータ
を書き込む
S23
S24
書き込み
完了か？
No
Yes
SDRAM装置をリフレッシュモード
からノーマルモードに設定
S25
End

【図６】


SDRAM リフレッシュモード期間
Write Command
CLK
CKE
CS
RAS
CAS
ADD
Data
WE

【図７】


Start
SDRAM装置をリフレッシュモード
に設定
S30
消去命令の入力時に、消去処理の実施
S31
S32
消去動作
の完了？
No
Yes
SDRAM装置をリフレッシュモード
からノーマルモードに設定
S33
End

フロントページの続き

(72)発明者　黄盛敦
大韓民国ソウル市龍山区西凍高洞　新東亜アパート６－１１０７
(72)発明者　金明載
大韓民国京畿道水原市八達区梅灘１洞９０８　梅灘住公４団地アパート４２０－５０１

審査官　小松　正

(56)参考文献　特開平０８－３０６１９５（ＪＰ，Ａ）
米国特許第０６０２６４６５（ＵＳ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G11C 16/00-16/34
G11C 11/401-11/4099