



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0084018
(43) 공개일자 2017년07월19일

- (51) 국제특허분류(Int. Cl.)
H03M 1/82 (2006.01) G06F 1/02 (2006.01)
H03K 4/06 (2006.01) H03K 7/08 (2006.01)
- (52) CPC특허분류
H03M 1/825 (2013.01)
G06F 1/022 (2013.01)
- (21) 출원번호 10-2017-7008888
- (22) 출원일자(국제) 2015년11월09일
심사청구일자 없음
- (85) 번역문제출일자 2017년03월31일
- (86) 국제출원번호 PCT/US2015/059665
- (87) 국제공개번호 WO 2016/077192
국제공개일자 2016년05월19일
- (30) 우선권주장
14/538,036 2014년11월11일 미국(US)

- (71) 출원인
마이크로칩 테크놀로지 인코포레이티드
미국 85224-6199 아리조나 챠들러 웨스트 챠들러
블러바드 2355
- (72) 발명자
크리스, 브라이언
미국, 아리조나 85298, 길버트, 이스트 비아 델
팔로 15426
- (74) 대리인
특허법인세신

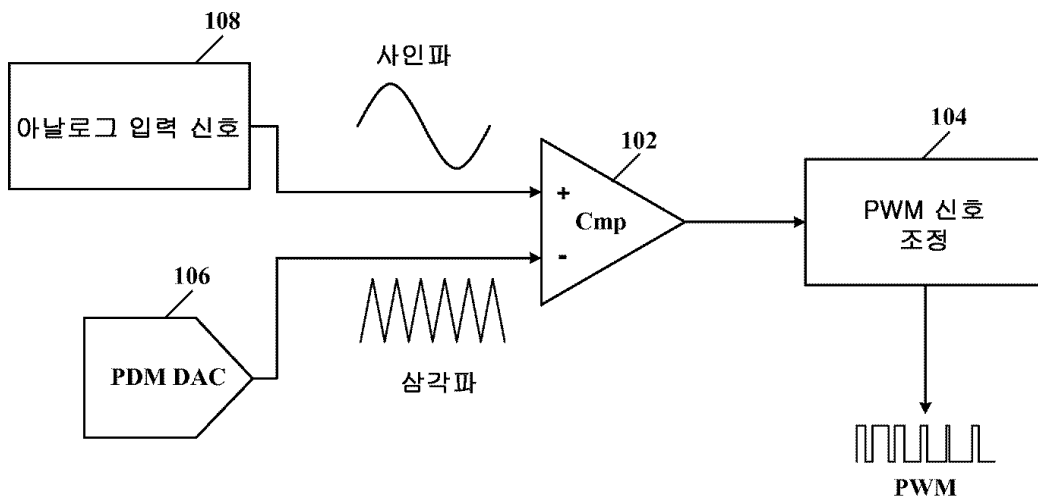
전체 청구항 수 : 총 23 항

(54) 발명의 명칭 삼각파 생성부를 구비한 펄스 밀도 변조 디지털-아날로그 컨버터

(57) 요약

페이즈 누산기 방식의 회로는 출력 펄스 스트림을 생성한다. 펄스 스트림의 밀도는 가산기의 비트 폭이 지원하는 최고값과 관련된 입력 데이터값에 비례한다. 출력 펄스 밀도는 소망하는 출력 전압을 나타낸다. 펄스 스트림은 아날로그 전압을 산출하기 위해 저항기-커패시터(RC) 로우패스 필터에 의해 필터링된다. 클록 속도가 빠르면 빠를수록 회로 비용을 줄이는 더 작은 출력 필터들의 사용이 가능하다. 이 회로는 삼각파 생성부를 제공하고, 여기서, DAC 출력은 사용자 정의의 최고 및 최저 진폭값들 사이의 사용자 정의 속도(슬로프)로 램프 업 및 다운한다. 업 및 다운 삼각파와 램프 속도들(업 및 다운 슬로프들)은 다를 수 있으며 독립적이거나 동일할 수 있다.

대표도



(52) CPC특허분류

H03K 4/06 (2013.01)

H03K 7/08 (2013.01)

명세서

청구범위

청구항 1

삼각과 생성부를 구비한 펄스 밀도 변조 디지털-아날로그 컨버터(PDM DAC)로서:

펄스 밀도 변조(PDM) 생성기;

상기 PDM 생성기의 출력부에 결합된 로우패스 필터; 및

상기 PDM 생성기에 결합된 출력부를 구비한 삼각과 생성기를 포함하고,

상기 PDM 생성기의 출력은 상기 삼각과 생성기에 의해 생성된 디지털값들에 의해 결정되는, 펄스 밀도 변조 디지털-아날로그 컨버터.

청구항 2

제1항에 있어서,

상기 삼각과 생성기는, 최고 디지털값에 도달할 때까지 단조롭게 증가하는 디지털값들을 생성하고, 이후 최저 디지털값에 도달할 때까지 단조롭게 감소하는 디지털값들을 생성하는, 펄스 밀도 변조 디지털-아날로그 컨버터.

청구항 3

제1항 또는 제2항에 있어서,

상기 단조롭게 증가하는 디지털값들은 상기 최저 디지털값으로부터 상기 최고 디지털값까지 진행하고, 상기 단조롭게 감소하는 디지털값들은 상기 최고 디지털값으로부터 상기 최저 디지털값까지 진행하는, 펄스 밀도 변조 디지털-아날로그 컨버터.

청구항 4

제3항에 있어서,

상기 단조롭게 증가하는 디지털값들 및 상기 단조롭게 감소하는 디지털값들은 반복되는, 펄스 밀도 변조 디지털-아날로그 컨버터.

청구항 5

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 최고 디지털값은 프로그램가능한, 펄스 밀도 변조 디지털-아날로그 컨버터.

청구항 6

제1항 내지 제5항 중 어느 한 항에 있어서,

상기 최저 디지털값은 프로그램가능한, 펄스 밀도 변조 디지털-아날로그 컨버터.

청구항 7

제1항 내지 제6항 중 어느 한 항에 있어서,

상기 단조롭게 증가하는 디지털값들의 변화 속도는 프로그램가능한, 펄스 밀도 변조 디지털-아날로그 컨버터.

청구항 8

제1항 내지 제7항 중 어느 한 항에 있어서,

상기 단조롭게 감소하는 디지털값들의 변화 속도는 프로그램가능한, 펄스 밀도 변조 디지털-아날로그 컨버터.

청구항 9

제1항 내지 제8항 중 어느 한 항에 있어서,
 상기 PDM 생성기로부터의 펄스 밀도는 상기 디지털값들에 비례하는, 펄스 밀도 변조 디지털-아날로그 컨버터.

청구항 10

제1항 내지 제9항 중 어느 한 항에 있어서,
 상기 로우패스 필터로부터의 출력은 아날로그 삼각파를 제공하는, 펄스 밀도 변조 디지털-아날로그 컨버터.

청구항 11

제1항 내지 제10항 중 어느 한 항에 있어서,
 상기 단조롭게 증가하는 디지털값들의 변화 속도는 상기 아날로그 삼각 파형의 포지티브 슬로프를 결정하는, 펄스 밀도 변조 디지털-아날로그 컨버터.

청구항 12

제1항 내지 제11항 중 어느 한 항에 있어서,
 상기 단조롭게 감소하는 디지털값들의 변화 속도는 상기 아날로그 삼각 파형의 네거티브 슬로프를 결정하는, 펄스 밀도 변조 디지털-아날로그 컨버터.

청구항 13

제1항 내지 제12항 중 어느 한 항에 있어서,
 상기 최고 디지털값은 상기 아날로그 삼각 파형의 최고 진폭을 결정하는, 펄스 밀도 변조 디지털-아날로그 컨버터.

청구항 14

제1항 내지 제13항 중 어느 한 항에 있어서,
 상기 최저 디지털값은 상기 아날로그 삼각 파형의 최저 진폭을 결정하는, 펄스 밀도 변조 디지털-아날로그 컨버터.

청구항 15

제1항 내지 제14항 중 어느 한 항에 있어서,
 상기 PDM 생성기는:
 누산기;
 증분 레지스터;
 상기 누산기의 입력부에 결합된 출력부, 상기 증분 레지스터의 출력부에 결합된 제1 입력부, 및 상기 누산기의 출력부에 결합된 제2 입력부를 구비한 가산기; 및
 상기 가산기로부터의 캐리 출력부에 결합된 입력부를 구비한 플립플롭을 포함하는, 펄스 밀도 변조 디지털-아날로그 컨버터.

청구항 16

제1항 내지 제15항 중 어느 한 항에 있어서,
 상기 로우패스 필터는 적어도 하나의 극성을 갖는, 펄스 밀도 변조 디지털-아날로그 컨버터.

청구항 17

제1항 내지 제16항 중 어느 한 항에 있어서,

상기 로우패스 필터는 적어도 하나의 저항기 및 적어도 하나의 커패시터를 포함하는, 펄스 밀도 변조 디지털-아날로그 컨버터.

청구항 18

제1항 내지 제17항 중 어느 한 항에 있어서,

상기 삼각파 생성기는:

슬로프 누산기;

상기 슬로프 누산기의 출력부에 결합된 하이(high)값 비교기;

상기 슬로프 누산기의 상기 출력부에 결합된 로우(low)값 비교기;

가산기;

상기 가산기의 입력부에 결합된 출력부를 구비한 슬로프 레지스터; 및

제어 로직을 포함하고,

상기 디지털값들은 상기 삼각파 생성기에 의해 제공되는, 펄스 밀도 변조 디지털-아날로그 컨버터.

청구항 19

제1항 내지 제18항 중 어느 한 항에 있어서,

상기 로우패스 필터가 슬로프 방향을 신속하게 추적하게 하기 위해 정상 슬로프값보다 더 큰 값을 선택하도록, 제1 슬로프 단계 멀티플렉서 및 제어 로직을 더 포함하는, 펄스 밀도 변조 디지털-아날로그 컨버터.

청구항 20

제1항 내지 제19항 중 어느 한 항에 있어서,

상기 PDM 생성기, 로우패스 필터 및 삼각파 생성기는 혼합 신호 집적 회로 내에 제공되는, 펄스 밀도 변조 디지털-아날로그 컨버터.

청구항 21

제1항 내지 제20항 중 어느 한 항에 있어서,

상기 혼합 신호 집적 회로는 마이크로컨트롤러인, 펄스 밀도 변조 디지털-아날로그 컨버터.

청구항 22

제1항 내지 제21항 중 어느 한 항에 있어서,

상기 혼합 신호 집적 회로는, 마이크로프로세서, 디지털 신호 처리기, 주문형 집적 회로(ASIC), 및 프로그래머블 로직 어레이(PLA)로 구성된 그룹으로부터 선택되는, 펄스 밀도 변조 디지털-아날로그 컨버터.

청구항 23

아날로그 파형을 펄스 폭 변조(PWM) 펄스 트레인으로 변환하기 위한 시스템으로서:

아날로그 신호에 결합된 제1 입력부 및 제1항에 따른 상기 PDM DAC에 결합된 제2 입력부를 구비한 아날로그 비교기를 포함하고,

상기 아날로그 비교기로부터의 출력값은 상기 아날로그 신호를 표시하는 PWM 펄스 트레인을 포함하는, 시스템.

발명의 설명

기술 분야

본 발명은 펄스 폭 변조(PWM) 오디오(audio) 애플리케이션들에 관한 것으로서, 특히, 슬로프 및 펄스 밀도 변조(PDM) 생성기들, 블랭킹(blanking) 및 지연(delay) 로직, 그리고 로우패스(low pass) 필터를 포함하고, 아날로그

[0001]

그 파형을 펄스들의 디지털 PWM 트레인(train)으로 변환하는 데에 사용되는 삼각파 생성부를 제공하는 디지털-아날로그 컨버터(DAC)에 관한 것이다.

배경 기술

[0002] 모든 클래스 D 변조 기술들은 오디오 신호에 관한 정보를 펄스 스트림으로 인코딩한다. 일반적으로, 펄스 폭들은 오디오 신호의 진폭에 링크되며, 펄스들의 스펙트럼은 소망하는 오디오를 포함한다. 가장 일반적인 변조 기술은 펄스-폭 변조(PWM)이다. 개념적으로, PWM은 입력 오디오 신호를 고정된 반송파 주파수로 동작하는 삼각 파형 또는 램프 업 및 다운 파형과 비교한다. 이것은 반송파 주파수에서 펄스 스트림을 생성한다. 반송파 주파수의 각 주기(period) 내에서, PWM 펄스의 듀티비는 오디오 신호의 진폭에 비례한다. PWM은 매력적인데, 그 이유는, PWM은 출력 스테이지에서 스위칭 손실들을 제한하기에 충분히 낮은 수백 키로 헤르츠의 PWM 반송파 주파수들로 100 dB 또는 더 좋은 오디오-대역 SNR(audio-band SNR)을 가능케 하기 때문이다. 또한, 많은 PWM 변조기들은 과부하(overloading) 지점까지의 고출력을 허용하는 컨셉으로, 거의 100 퍼센트 변조까지 안정적이다. 따라서, 삼각파의 진폭(높이)과 슬로프(slope)가 PWM 변조기의 최적 성능을 위해 주어진(given) 오디오 입력 신호를 사용하여 조정되는 것이 바람직하다.

발명의 내용

해결하려는 과제

[0003] 따라서, PDM DAC 디지털 로직에 사용자에 의해 설정될 수 있는 램프(ramp) 속도 및 전압 레벨과 같은 파라미터들을 이용하여 삼각 파형을 자동으로 생성하는 펄스 밀도 변조(PDM) 디지털-아날로그 컨버터(DAC)가 필요하다.

과제의 해결 수단

[0004] 일 실시예에 따르면, 삼각파 생성부를 구비한 펄스 밀도 변조 디지털-아날로그 컨버터(PDM DAC)는: 펄스 밀도 변조(PDM) 생성기; 상기 PDM 생성기의 출력부에 결합된 로우패스 필터; 및 상기 PDM 생성기에 결합된 출력부를 구비한 삼각파 생성기를 포함할 수 있고, 상기 PDM 생성기의 출력은 상기 삼각파 생성기에 의해 생성된 디지털 값들에 의해 결정될 수 있다.

[0005] 추가 실시예에 따르면, 상기 삼각파 생성기는, 최고 디지털값에 도달할 때까지 단조롭게 증가하는 디지털값들을 생성할 수 있고, 이후 최저 디지털값에 도달할 때까지 단조롭게 감소하는 디지털값들을 생성할 수 있다. 추가 실시예에 따르면, 상기 단조롭게 증가하는 디지털값들은 상기 최저 디지털값으로부터 상기 최고 디지털값까지 진행할 수 있고, 상기 단조롭게 감소하는 디지털값들은 상기 최고 디지털값으로부터 상기 최저 디지털값까지 진행할 수 있다. 추가 실시예에 따르면, 상기 단조롭게 증가하는 디지털값들 및 상기 단조롭게 감소하는 디지털값들은 반복될 수 있다. 추가 실시예에 따르면, 상기 최고 디지털값은 프로그램가능할 수 있다. 추가 실시예에 따르면, 상기 최저 디지털값은 프로그램가능할 수 있다. 추가 실시예에 따르면, 상기 단조롭게 증가하는 디지털값들의 변화 속도는 프로그램가능할 수 있다. 추가 실시예에 따르면, 상기 단조롭게 감소하는 디지털값들의 변화 속도는 프로그램가능할 수 있다.

[0006] 추가 실시예에 따르면, 상기 PDM 생성기로부터의 펄스 밀도는 상기 디지털값들에 비례할 수 있다. 추가 실시예에 따르면, 상기 로우패스 필터로부터의 출력은 아날로그 삼각파를 제공할 수 있다. 추가 실시예에 따르면, 상기 단조롭게 증가하는 디지털값들의 변화 속도는 상기 아날로그 삼각 파형의 포지티브 슬로프를 결정할 수 있다. 추가 실시예에 따르면, 상기 단조롭게 감소하는 디지털값들의 변화 속도는 상기 아날로그 삼각 파형의 네거티브 슬로프를 결정할 수 있다. 추가 실시예에 따르면, 상기 최고 디지털값은 상기 아날로그 삼각 파형의 최고 진폭을 결정할 수 있다. 추가 실시예에 따르면, 상기 최저 디지털값은 상기 아날로그 삼각 파형의 최저 진폭을 결정할 수 있다.

[0007] 추가 실시예에 따르면, 상기 PDM 생성기는: 누산기; 증분 레지스터; 상기 누산기의 입력부에 결합된 출력부, 상기 증분 레지스터의 출력부에 결합된 제1 입력부, 및 상기 누산기의 출력부에 결합된 제2 입력부를 구비한 가산기; 및 상기 가산기로부터의 캐리 출력부에 결합된 입력부를 구비한 플립플롭을 포함할 수 있다. 추가 실시예에 따르면, 상기 로우패스 필터는 적어도 하나의 극성을 가질 수 있다. 추가 실시예에 따르면, 상기 로우패스 필터는 적어도 하나의 저항기 및 적어도 하나의 커패시터를 포함할 수 있다.

[0008] 추가 실시예에 따르면, 상기 삼각파 생성기는: 슬로프 누산기; 상기 슬로프 누산기의 출력부에 결합된 하이(high)값 비교기; 상기 슬로프 누산기의 상기 출력부에 결합된 로우(low)값 비교기; 가산기; 상기 가산기의 입

력부에 결합된 출력부를 구비한 슬로프 레지스터; 및 제어 로직을 포함할 수 있고, 상기 디지털값들은 상기 삼각과 생성기에 의해 제공될 수 있다. 추가 실시예에 따르면, 상기 로우패스 필터가 슬로프 방향을 신속하게 추적하게 하기 위해 정상 슬로프값보다 더 큰 값을 선택하도록, 제1 슬로프 단계 멀티플렉서 및 제어 로직을 더 포함할 수 있다. 추가 실시예에 따르면, 상기 PDM 생성기, 로우패스 필터 및 삼각과 생성기는 혼합 신호 집적 회로 내에 제공될 수 있다. 추가 실시예에 따르면, 상기 혼합 신호 집적 회로는 마이크로컨트롤러일 수 있다. 추가 실시예에 따르면, 상기 혼합 신호 집적 회로는, 마이크로프로세서, 디지털 신호 처리기, 주문형 집적 회로(ASIC), 및 프로그래머블 로직 어레이(PLA)로 구성된 그룹으로부터 선택될 수 있다.

[0009] 추가 실시예에 따르면, 아날로그 파형을 펄스 폭 변조(PWM) 펄스 트레인으로 변환하기 위한 시스템은: 아날로그 신호에 결합된 제1 입력부 및 제1항에 따른 상기 PDM DAC에 결합된 제2 입력부를 구비한 아날로그 비교기를 포함할 수 있고 - 상기 PDM DAC는 펄스 밀도 변조(PDM) 생성기; 상기 PDM 생성기의 출력부에 결합된 로우패스 필터; 및 상기 PDM 생성기에 결합된 출력부를 구비한 삼각과 생성기를 포함할 수 있고, 상기 PDM 생성기의 출력은 상기 삼각과 생성기에 의해 생성된 디지털값들에 의해 결정될 수 있음 -, 상기 아날로그 비교기로부터의 출력값은 상기 아날로그 신호를 표시하는 PWM 펄스 트레인을 포함할 수 있다.

도면의 간단한 설명

[0010] 본 개시는 첨부 도면들과 결합된 이하의 설명을 참조하면 더 완전하게 이해될 수 있을 것이다.

도 1은 본 개시의 교시들에 따른, 삼각 파형 출력을 갖는 PDM DAC, 비교기 및 PWM 신호 조정부(conditioning)를 포함하는, 디지털 오디오 PWM 애플리케이션용 회로의 개략적인 블록도를 도시한다.

도 2는 본 개시의 교시들에 따른, 도 1에 도시된 회로를 사용하는 삼각과 디지털 오디오 PWM 애플리케이션에 대한 타이밍 관계들을 보여주는 개략적인 그래프들을 도시한다.

도 3은 본 개시의 특징의 예시적인 실시예에 따른, 단순화된 PDM DAC의 개략적인 블록도를 도시한다.

도 4는 본 개시의 특징의 예시적인 실시예에 따른, 반복되는(reoccurring) 주기적인 삼각 파형 출력을 제공하기 위해 도 3의 PDM DAC와 조합하여 사용되는 슬로프 생성기의 개략적인 블록도를 도시한다.

도 5는 본 개시의 특징의 예시적인 실시예에 따른, 삼각과 모드 제어 로직의 개략적인 블록도를 도시한다.

본 개시는 다양한 변형들 및 대안의 형태들을 허용하지만, 그의 특정 예시의 실시예들이 도면들에 도시되었고 본 명세서에서 상세히 설명된다. 하지만, 그 특정 예시의 실시예들에 대한 설명은 본 개시를 여기에서 개시된 특정 형태들로 한정하고자 하는 것이 아니고, 오히려, 본 개시는 부속 특허청구범위에 의해 정의되는 모든 변형들 및 균등물들을 포괄하는 것으로 이해되어야 한다.

발명을 실시하기 위한 구체적인 내용

[0011] 삼각과 생성부를 구비하는 PDM DAC는, 아날로그 신호의 시변(time varying) 진폭의 디지털 펄스 밀도 변조(PDM) 펄스 트레인 표시를 생성하기 위해, 아날로그 비교기에 대한 삼각과 기준 전압들을 생성하는 저렴한 방법을 제공한다. 삼각과 생성부를 구비한 PDM DAC는 실질적으로 디지털 구조이므로, 새로운 프로세스 기술들로 진행할 때에 디자인 포팅(design porting)은 문제가 되지 않는다. 이것의 대부분의(large) 디지털 콘텐츠는 프로세스 스케일링(process scaling)에 의해 잘 스케일된다. "삼각과" 및 "삼각 파형"은 여기서 상호 교환하여 사용될 것이다. 삼각 파형은 삼각형 형상에 대해 명명된 비-정현(non-sinusoidal) 파형이다. 이것은 주기적이고, 구간 선형이고, 연속적인 실함수(real function)이다. 물리학에서, 파동은 에너지 전달을 수반하는 물질 또는 공간을 통과하는 외란(disturbance) 또는 진동(ocillation)이다.

[0012] 본 명세서의 다양한 실시예들에 따르면, 페이즈(phase) 누산기 유형의 회로는 출력 펄스 스트림을 생성한다. 펄스 스트림의 밀도는 가산기의 비트 폭이 지원하는 최고값과 관련된 입력 데이터값에 비례한다. 출력 펄스 밀도는 소망하는 출력 전압을 나타낸다. 펄스 스트림은 아날로그 전압을 산출하기 위해 저항기-커패시터(RC) 로우패스 필터에 의해 필터링될 수 있다. 클럭 속도가 빠르면 빠를수록, 회로 비용을 줄이는 더 작은 출력 필터들의 사용이 가능하다. 이 회로는 삼각과 생성부를 제공하고, 여기서, DAC 출력은 사용자 정의의 최고 및 최저 진폭 값 사이의 사용자 정의 속도(슬로프)로 램프 업 및 다운한다. 업 및 다운 삼각과 램프 속도들(업 및 다운 슬로프)은 서로 다를 수 있으며 독립적이거나 동일할 수 있다.

[0013] 이제, 도면을 참조하여, 특정 예시적인 실시예의 세부 사항이 개략적으로 도시된다. 도면에서 같은 요소들은 같

은 번호들로 표시되며, 유사한 요소들은 다른 소첨자를 갖는 같은 번호들로 표시될 것이다.

[0014] 도 1을 보면, 본 개시의 교시들에 따른, 삼각 파형 출력을 갖는 PDM DAC, 비교기 및 PWM 신호 조정부를 포함하는 디지털 오디오 PWM 애플리케이션용 회로의 개략적인 블록도가 도시되어 있다. PDM DAC(106)는, 선택가능한 주기, 높은 그리고 낮은 진폭들, 그리고 램프 업 및 다운(슬로프) 속도들(이들 모두는 사용자가 선택가능함)을 갖는 삼각 파형을 제공한다. 도 2를 보면, 본 개시의 교시들에 따른, 도 1에 도시된 회로를 사용하는 삼각파 디지털 오디오 PWM 애플리케이션에 대한 타이밍 관계들을 보여주는 개략적인 그래프들이 도시되어 있다. 도 1 및 도 2에 도시된 예시에서, 오디오 입력과 삼각파는 모두 0 볼트가 중심이므로, 0 볼트의 아날로그 오디오 입력에 대해서는, PWM 출력 펄스들의 듀티비는 대략 50 퍼센트이다. 큰(large) 진폭 포지티브 입력에 대해서는, PWM 출력 펄스들의 듀티비는 100 퍼센트에 가깝고, 큰 진폭 네거티브 입력에 대해서는, PWM 출력 펄스들의 듀티비는 0 퍼센트에 가깝다. 오디오 진폭이 삼각파의 진폭을 초과하면, 완전(full) 변조가 발생하며(펄스 폭이 100 퍼센트 온 또는 오프), 이 경우 펄스 트레인은 스위칭을 중지하고 개별 주기들 내의 듀티비는 0 퍼센트 및 100 퍼센트 중 어느 하나가 된다.

[0015] 도 3을 보면, 본 개시의 특징의 예시적인 실시예에 따른, 단순화된 PDM DAC의 개략적인 블록도가 도시되어 있다. 개괄적으로 번호(106)로 표시된 PDM DAC는, PDM 생성기(300)와 로우패스 필터(350)를 포함할 수 있다. PDM 생성기(300)는 누산기 레지스터(310), 증분값(DAC값) 레지스터(318), 가산기(합산기)(314), 제1 멀티플렉서(322), 제2 멀티플렉서(324), DAClow SFR 레지스터(332), DACLO 레지스터(328), DACDAT SFR 레지스터(330), DACHI 레지스터(326) 및 D-래치(320)를 포함할 수 있다. 가산기(합산기)(314)는 증분값 레지스터(318)의 값에 비례하는 비율로 펄스 출력을 갖는 오버플로 캐리 출력(CO) 신호(316)를 생성한다. CO 신호(316)는 래치(320)의 D-입력부에 결합된다. D-래치(320)의 Q-출력부는 로우패스 필터, 예를 들면 (RC) 로우패스 필터(330)를 형성하는 저항기들(R1, R2)과 커패시터들(C1, C2)에 결합될 수 있다. 도 3에 도시된 로우패스 필터(330)는 2극 RC 로우패스 필터이지만, 어떤 유형의 로우패스 필터도 사용될 수 있으며 본 개시에서 예상된다.

[0016] 누산기 레지스터(310) 및 가산기(314)는 증분값 레지스터(318)로부터의 증분값을 가산기(314)의 누산된 합에 항상 가산한다. 비-제로 입력값에 대해서는, 누산된 합이 결국 오버플로(overflow)할 것이며, 여기서, 이 오버플로는 가산기(314)로부터의 CO 신호(316)를 통해 표시될 수 있다. 오버플로가 발생하는 속도는, 가산기(314)가 처리할 수 있는 최대값 대 증분값 레지스터(318)로부터의 증분값의 크기와 관련된다. 예를 들면, 12-비트 가산기(314)는 최고 출력이 0xFFF이다. 가산기(314)로의 입력들(누산기값 및 입력값)이 0xFFF를 초과하면, CO 신호(316)가 생성된다. 입력값이 클수록 CO 신호(316)가 더 자주 생성될 수 있다. CO 신호(316)로부터의 결과적인 펄스 스트림은 이후에 로우패스 필터(350)에 의해 필터링될 수 있다. 로우패스 필터(350)로부터의 결과적인 아날로그 출력 전압은 증분값 레지스터(318)로부터의 데이터 입력 증분값에 비례한다. 로우패스 필터(350)는, PDM DAC(106)의 완전한 구현에 있어 지배적인(dominant) "비용"일 수 있다. PDM DAC(106)를 위해 더 높은 클럭 속도들을 사용하면 로우패스 필터(350)에서 더 적은 컴포넌트들의 사용이 가능해지므로, 그것의 비용을 감소시킬 수 있다. 또한, 클럭 속도들을 높이면, 더 높은 변환 속도들의 지원이 가능하며, 이로써 PDM DAC(106)가 더 넓은 범위의 애플리케이션들에 사용될 수 있게 한다. 하지만, 더 높은 클럭 속도들의 사용은 또한 PDM DAC(106)의 전류 소비를 증가시킬 것이다. 아날로그 전압 신호를 만들기 위해서 임의의 로우패스 필터 회로 구조가 D-래치(320)의 Q-출력을 필터링하는 데에 사용될 수 있음이 예상되고, 본 개시의 범위 내에 있으며, 회로 설계 분야에서 통상의 기술을 가진 자 및 본 개시의 이익을 얻는 자는 이러한 로우패스 필터 회로를 쉽게 설계할 수 있다.

[0017] SFR(특수 기능 레지스터) DACLOW(332) 및 DACDAT(330)는 사용자의 소프트웨어에 의해 특정된 소망하는 DAC 전압 설정들을 저장하는 입력 레지스터들이다. DACLO(328) 및 DACHI(326) 레지스터들은 사용자 설정들을 프로세서 클럭 영역(domain)의 SFR 레지스터들로부터 PDM DAC의 고속 클럭 영역으로 전송한다. 멀티플렉서(324)는, 삼각 파형 생성의 상승 또는 하강 부분 동안에, 제어 로직에 의해 특정된 DACLO(328) 및 DACHI(326) 중 어느 하나를 선택한다. 멀티플렉서(322)는 멀티플렉서(324)로부터의 데이터 및 슬로프 누산기(458)로부터의 데이터 중 어느 하나를 선택한다. 삼각 파형 동작 동안에는, 멀티플렉서(322)가 항상 슬로프 누산기(458)의 데이터를 선택한다. 삼각파 생성에서는, 멀티플렉서(324)에 의해 선택된 데이터는 멀티플렉서(460)를 경유하여 슬로프 누산기(458)의 입력부에 송신된다. DACLO(328) 레지스터로부터의 로우 데이터는, 삼각파의 상승하는 슬로프 부분의 시작에서 슬로프 누산기(458)를 초기화시키는 데에 사용된다. DACHI(326) 레지스터로부터의 하이 데이터는, 삼각파의 하강하는 슬로프 부분의 시작에서 슬로프 누산기(458)를 초기화시키는 데에 사용된다.

[0018] 도 4를 보면, 본 개시의 특징의 예시적인 실시예에 따른, 반복되는 주기적인 삼각 파형 출력을 제공하기 위해 도 3의 PDM DAC와 조합하여 사용되는 슬로프 생성기의 개략적인 블록도가 도시되어 있다. 주기적인 삼각 파형 생성(삼각파 모드) 동안, PDM DAC(106)로의 입력 데이터값은 프로세스가 종료될 때까지 선형의 사용자 정의 속

도로 반복적으로 증가/감소된다. 삼각과 모드는, 슬로프들이 단조롭게 증가하고 감소하는 반복 사이클이고, 자동 제어되며, 외부 제어 신호들에 의존하지 않는다. 개괄적으로 번호(400)로 표시되는 삼각과 생성기는 삼각 파형 생성을 제공하는데, 여기서, PDM DAC(106) 출력은 사용자 정의의 최고 및 최저 진폭값들 사이에서 사용자 정의 속도로 램프 업 및 다운한다. 삼각 파형 생성 모드에서는, 누산기 회로는 방향을 변경하여 다른 한도(limit)에 도달하고, 슬로프 생성기(400)는 항상 포지티브 및 네거티브 슬로프들 사이에서 변화할 것이다.

[0019] 도 4는, PDM DAC(106)가 하나의 특정된 값에서 또 하나의 특정된 값으로 이동함에 따라 PDM DAC(106)가 제어된 슬로프들을 생성할 수 있도록 중간 데이터값들을 계산하는 회로를 도시한다. 이 회로는 PDM 클럭 생성기 주파수의 1/2(예를 들어, 250 MHz 공칭)에서 동작할 수 있다. 반복되는 주기적인 삼각 파형들을 생성하기 위해 사용되는 슬로프 생성기(400)는 슬로프 누산기(458), 가산기(462), 슬로프 입력 레지스터(464), 슬로프 동등 비교기들(452 및 454), 2의 보수 생성기(470), 스케일링 멀티플렉서(467), 및 멀티플렉서들(460 및 466)을 포함할 수 있다. 슬로프 생성기(400)의 기능은 소망하는 엔드 포인트값에 도달하도록 사용자 정의 속도로 DAC 데이터값을 증분/감분시키는 것이다. 삼각과 생성에 있어서는, 슬로프 생성기(400)가 삼각과 기능(function)을 만든다. 사용자로부터의 슬로프 입력 데이터는 슬로프 회로망의 반복마다 증분량/감분량을 특정한다. 이런 회로망은, 예상 슬로프 기간들(durations) 및 DAC 데이터값에 걸쳐 충분한 분해능을 제공하기 위해, 예를 들면 16-비트 폭일 수 있지만, 이에 한정되지는 않는다. 네거티브 슬로프들에서는, 슬로프 입력값은 네거티브 슬로프들을 지원하기 위해 슬로프 가산기(462)에 입력되기 전에 2의 보수 네거티브 값으로 변환될 수 있다.

[0020] 제어 로직(456)은 다양한 목적들을 가지지만, 삼각과 생성에서는 도 5에 도시된 회로(요소들(570, 572, 574, 576, 578, 580, 582, 584, 586))이 제어 로직(456)의 상세한 도시이다. 제어 로직은 파향(wave direction) 플립플롭(582)을 통해 삼각 파형의 방향(상향 또는 하향)을 정의한다. 파향 플립플롭(582)의 제어 로직 출력은, 멀티플렉서(466)와 배타적 OR 게이트(468)를 통한 사실(true) 또는 보수의 삼각과 슬로프 증분값/감분값의 선택을 거쳐, 슬로프 누산기(458)가 증분될지 또는 감분될지를 제어한다. SLPCON SFR 레지스터(472)는 사용자 정의의 포지티브 슬로프 증분 속도를 저장하지만, 2의 보수 회로(470)는 네거티브 슬로프 감분 속도를 생성한다. 멀티플렉서(466)는 제어 로직(456) 내의 파향 플립플롭(582)의 출력값에 기초하여 포지티브 증분값 및 네거티브 증분값(감분값) 중 어느 하나를 선택한다. 멀티플렉서(467)는, 필터(350)의 반응에서 지연(lag)을 감소시키도록, 슬로프 프로세스의 시작에서 초기 점프를 제공하기 위해 사용될 수 있다. 배타적 OR 게이트(468)의 목적은, 삼각 파형이 하강하는 대신에 상승하고 이어서 상승하는 대신에 하강하기 위해서, 제어 회로망의 극성을 오버라이딩(반전)하는 옵션을 사용자에게 제공하는 것이다. 일부 애플리케이션들에서는 파형이 삼각 파형을 따라 하이(high) 상태 및 로우(low) 상태 중 어느 하나에서 시작되게 할 수 있다.

[0021] 도 5를 보면, 본 개시의 특정의 예시적인 실시예에 따른 삼각과 모드 제어 로직의 개략적인 블록도가 도시되어 있다. 파향 플립플롭(582)은 각 상승 또는 하강 에지 시퀀스의 완료시에 번갈아가며 출력한다. 파향 플립플롭(582)은 슬로프 생성기를 위한 증분값/감분값을 선택하고, 그것은 슬로프 상승 또는 하강 슬로프를 종료하도록 적절한 디지털 비교기(452, 454)(도 4)를 선택한다. 파형의 고점 및 저점은 각각 DACDAT 레지스터(330) 및 DACLOW 레지스터(332)(도 3)를 통해 특정될 수 있다. 삼각 파형의 슬로프는 SLPDAT 레지스터(472)(도 4)에 의해 특정될 수 있다.

[0022] 삼각과의 상승 시간, 하강 시간 및 주파수는 SLPCON 레지스터(472)를 통해 제어될 수 있다. 슬로프 프로세스의 맨 처음의 클럭 사이클은, DAC 궤적(trajecory)에 즉각적인 DAC 응답을 제공하기 위해, 특정된 값 대신 스케일링된 값을 선택할 수 있다. 슬로프 프로세스의 모든 후속 클럭 사이클들에 대해, 슬로프 생성기는 DAC 데이터값을 증분/감분시키기 위해 SLPCON 레지스터(472)로부터의 특정된 데이터값을 사용한다. 삼각과 모드는 아날로그 입력 신호가 삼각과 기준 신호(도 1 참조)를 사용하여 아날로그 비교기를 통해 샘플링되는 디지털 오디오 애플리케이션에 유용하다. 애플리케이션이 시작할 때: DAC 출력 전압은 0이다. DAC는 활성화되고(DACON = 1), TWME 비트가 설정되고(TWME = 1), 슬로프 기능이 활성화된다(SLOPEN = 1). 슬로프의 극성은 XOR 게이트의 입력의 PSE 신호에 의해 선택될 수 있다. PSE 신호는 SLPCON 레지스터(472)의 비트로부터 도출될 수 있다.

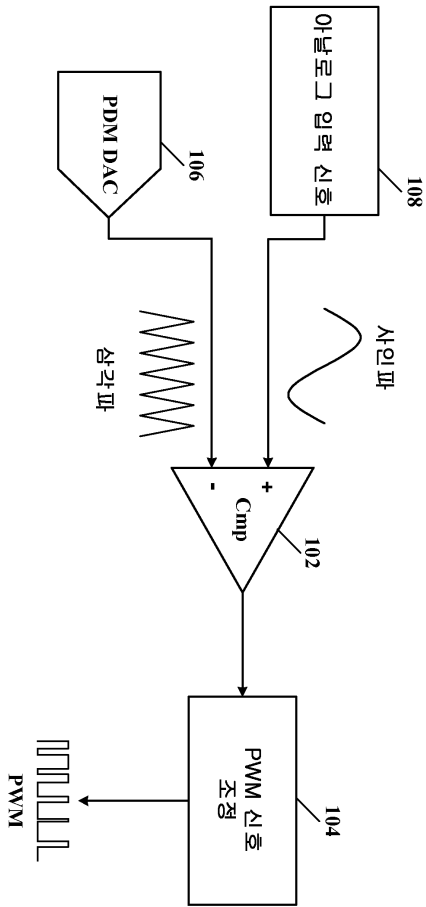
[0023] 삼각과 기능은 "4" 스텝 프로세스이다: 클리어된 파향 플립플롭(582)은 DACDAT 레지스터(330)를 슬로프 상한값으로서 선택한다. 슬로프 방향은 포지티브로 설정될 수 있다. DACHIGEQ 디지털 비교기(452)는 사이클의 상승 에지 부분을 종료시키는 신호로서 선택된다. 슬로프 누산기(458)는 DACHIGEQ 비교기(452)로부터의 출력이 어서트될 때까지 값이 증가한다. 파향 플립플롭(582)이 설정된다. 파향 플립플롭(582)은 DACLO 레지스터(328)를 슬로프 하한값으로서 선택한다. 슬로프 방향은 네거티브로 설정된다. DACLOLEQ 비교기(454)는 사이클의 하강 에지 부분을 종료시키는 신호로서 선택된다. 슬로프 누산기(458)는 DACLOLEQ 신호가 DACLOLEQ 비교기(454)로부터 어서트될 때까지 값이 감소한다. 파향 플립플롭(582)이 클리어된다. 상기 사이클이 반복된다. DACDAT 레지스터

(330)와 DACLO 레지스터(328)는 삼각 파형을 위해 최고 및 최저값들을 특정한다. DAT 레지스터(330)는 삼각 파형에 대한 램프 업 및 램프 다운 속도들을 특정한다.

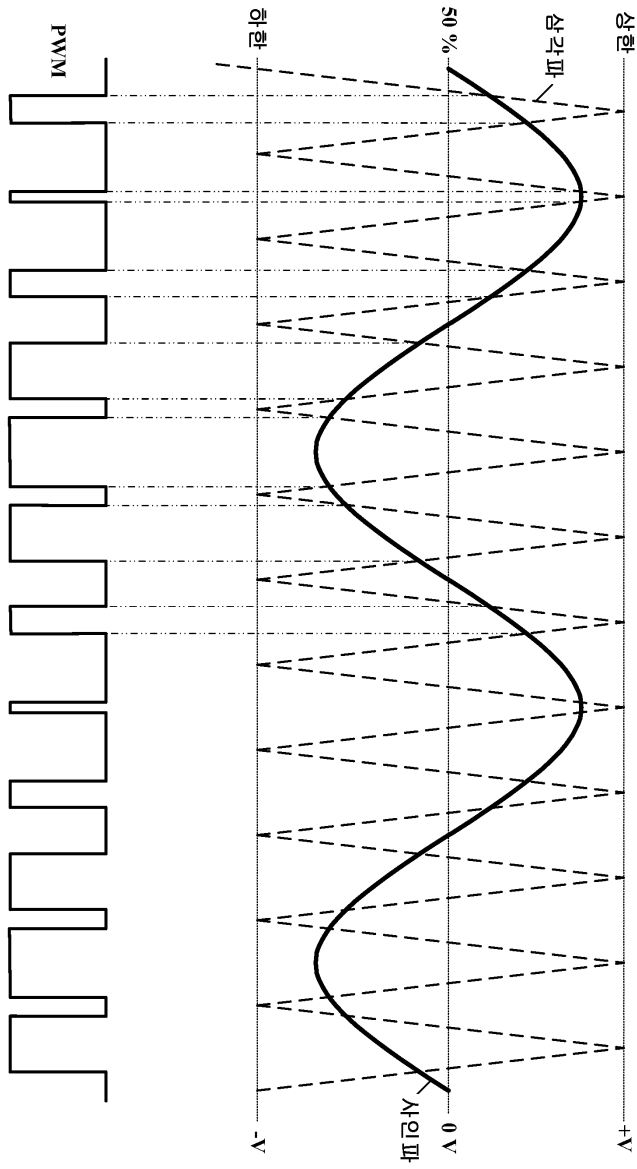
- [0024] FSS 신호는 슬로프 또는 램프 프로세스의 첫번째 반복을 위해 어서트될 수 있다. 그리고, 아날로그 로우패스 필터(350)가 신속히 의도된 슬로프 기능을 추적(track)하게 하기 위하여, 로우패스 필터(350)가 소망하는 슬로프를 신속히 추적하게 할 수 있기에 충분한 DAC 전압의 변화를 제공하도록, FSS 신호는 정상적인 슬로프 증분값/감분값보다 더 큰 값, 예를 들어 16x을 선택할 수 있다. DAC값의 작은 단계 변화는 로우패스 필터(350)가 반응하도록 돕는 전압차를 생성한다. (삼각파 세그먼트들을 포함하는) 슬로프 프로세스의 제1 클록 사이클에서, 파 방향 변경 신호(도 5)는 NOR 게이트(586)의 출력으로부터 어서트될 수 있다. 파 방향 변경 신호는, 스케일링 멀티플렉서(467)(도 4)를 제어하는 FSS(First Step Scaling) 신호를 생성하기 위해, 슬로프 모드 시작 신호와 OR 될 수 있다.
- [0025] 파향 플립플롭(582)은, 슬로프 생성기(400)가 DACDAT 레지스터(330)의 높은 DAC값을 넘어서거나 DACLOW 레지스터(332)의 낮은 DAC값보다 낮아짐에 따라, 설정되고 클리어된다. 파향 플립플롭(582)은 슬로프가 포지티브 한도까지 램프 업하고 그리고나서 네거티브 한도까지 하향함에 따라 번갈아가며 출력한다. 상기 사이클은 삼각파 모드가 활성화되어 있는 한(TWME = 1) 반복된다. 신속히 아날로그 필터가 의도된 슬로프 기능을 추적하도록 하기 위해서, 슬로프 프로세스의 첫번째 사이클은 16x 스케일된 증분값/감분값을 사용할 수 있다(도시되지 않음). DAC값의 이러한 작은 단계 변화는, 필터가 반응하도록 돕는 전압차를 생성한다. 슬로프 프로세스의 제1 클록 사이클에서, 파 방향 변경 신호는 배타적-OR 게이트(586)의 출력부로부터 어서트된다.
- [0026] 전술한 회로 기능부들, 예를 들어 PDM 생성기, 로우패스 필터 및 삼각파 생성기는 혼합 신호 집적 회로, 예를 들어 마이크로컨트롤러, 마이크로프로세서, 디지털 신호 처리기, 주문형 집적 회로(ASIC), 프로그래머블 로직 어레이(PLA) 등에서 제공될 수 있다.
- [0027] PDM DAC에 관한 추가적인 배경 정보는, Bryan Kris, Andreas Reiter 및 Tibor Futo에 의해 "슬로프 보상 기능을 가진 펄스 밀도 디지털-아날로그 컨버터"의 제목으로 2014년 3월 10일에 출원된 공동 소유의 미국 특허 출원 번호 14/202,420에 더 완전하게 개시되어 있으며; 상기 출원은 여기에 모든 목적을 위해 참조로서 포함된다.
- [0028] 본 개시의 실시예들은 본 개시의 예시적인 실시예들을 참조하여 도시되고 설명되고 정의되었지만, 이러한 참조는 본 개시의 한정을 의미하지 않고 이러한 한정이 추정되지도 않는다. 개시된 본 발명은 이 기술분야에 통상의 기술을 가지고 본 개시의 혜택을 갖는 사람들에게는 형태와 기능에 있어서 상당한 수정, 대체, 및 균등물들이 가능하다. 본 개시의 도시되고 설명된 실시예들은 단지 예로서, 본 개시의 범위를 한정하지 않는다.

도면

도면1



도면2



도면5

