



(21)申請案號：099113688

(22)申請日：中華民國 99 (2010) 年 04 月 29 日

(51)Int. Cl. : H01L21/28 (2006.01)

H01L21/336 (2006.01)

(30)優先權：2009/05/01 日本

2009-111693

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY LABORATORY CO., LTD. (JP)

日本

(72)發明人：秋元健吾 AKIMOTO, KENGO (JP)；河江大輔 KAWAE, DAISUKE (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 200802736

JP 10-173195

審查人員：黃泰淵

申請專利範圍項數：9 項 圖式數：23 共 112 頁

(54)名稱

半導體裝置的製造方法

METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

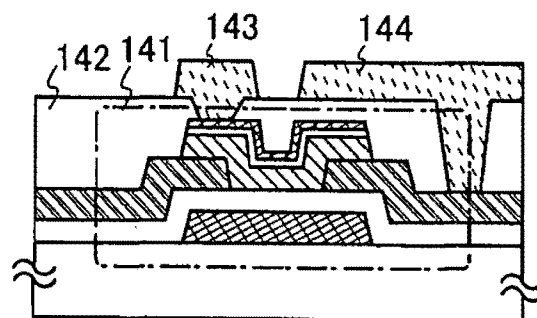
(57)摘要

在進行氧化物半導體層的構圖同時形成設置在薄膜電晶體的氧化物半導體層上方的閘極電極。

A formation of a gate electrode provided over an oxide semiconductor layer of a thin film transistor is performed together with a patterning of the oxide semiconductor layer.

指定代表圖：

圖 1E



符號簡單說明：

141 . . . 薄膜電晶體

142 . . . 樹脂層

143 . . . 引繞佈線

144 . . . 像素電極

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：099113688

※申請日：099年04月29日

※IPC分類：H01L 21/28 (2006.01)

一、發明名稱：(中文/英文)

H01L 21/33b (2006.02)

半導體裝置的製造方法

Method for manufacturing semiconductor device

二、中文發明摘要：

在進行氧化物半導體層的構圖同時形成設置在薄膜電晶體的氧化物半導體層上方的閘極電極。

三、英文發明摘要：

A formation of a gate electrode provided over an oxide semiconductor layer of a thin film transistor is performed together with a patterning of the oxide semiconductor layer.

四、指定代表圖：

(一) 本案指定代表圖為：第(1E)圖。

(二) 本代表圖之元件符號簡單說明：

141：薄膜電晶體

142：樹脂層

143：引繞佈線

144：像素電極

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種具有由薄膜電晶體（以下，稱為 TFT）構成的電路的半導體裝置的製造方法。

注意，在本說明書中，半導體裝置是指藉由利用半導體特性而能夠發揮其功能的所有裝置，因此電光裝置、半導體電路以及電子設備都是半導體裝置。

【先前技術】

金屬氧化物的種類繁多且其用途廣泛。氧化銦是較普遍的材料並且用作液晶顯示器等所需要的透明電極材料。

在金屬氧化物中存在呈現半導體特性的金屬氧化物。作為呈現半導體特性的金屬氧化物，例如可以舉出氧化鎢、氧化錫、氧化銦、氧化鋅等，已公開將這種呈現半導體特性的金屬氧化物用於通道形成區的薄膜電晶體（專利文獻 1 至 4、非專利文獻 1）。

另外，已知金屬氧化物不僅有一元氧化物而且還有多元氧化物。例如，作為具有 In、Ga 及 Zn 的多元氧化物半導體，同系化合物（homologous compound）的 $\text{InGaO}_3(\text{ZnO})_m$ （ m ：自然數）為公知的材料（非專利文獻 2 至 4）。

並且，已經確認可以將像上述那樣的由 In-Ga-Zn 類氧化物構成的氧化物半導體應用於薄膜電晶體的通道層（專利文獻 5、非專利文獻 5 及 6）。

[專利文獻 1] 日本專利申請公開昭 60-198861 號公報

[專利文獻2] 日本專利申請公開平8-264794號公報

[專利文獻3] 日本PCT國際申請翻譯平11-505377號公報

[專利文獻4] 日本專利申請公開2000-150900號公報

[專利文獻5] 日本專利申請公開2004-103957號公報

[非專利文獻1] M. W. Prins, K. O. Grosse-Holz, G. Muller, J. F. M. Cillessen, J. B. Giesbers, R. P. Weening, and R. M. Wolf, "A ferroelectric transparent thin-film transistor" (透明鐵電薄膜電晶體), *Appl. Phys. Lett.*, 17 June 1996, Vol. 68 p. 3650-3652

[非專利文獻2] M. Nakamura, N. Kimizuka, and T. Mohri, "The Phase Relations in the In_2O_3 - Ga_2ZnO_4 - ZnO System at 1350 $^{\circ}\text{C}$ " (In_2O_3 - Ga_2ZnO_4 - ZnO 類在1350 $^{\circ}\text{C}$ 時的相位關係), *J. Solid State Chem.*, 1991, Vol. 93, p. 298-315

[非專利文獻3] N. Kimizuka, M. Isobe, and M. Nakamura, "Syntheses and Single-Crystal Data of Homologous Compounds, $\text{In}_2\text{O}_3(\text{ZnO})_m$ ($m=3, 4, \text{ and } 5$), $\text{InGaO}_3(\text{ZnO})_3$, and $\text{Ga}_2\text{O}_3(\text{ZnO})_m$ ($m=7, 8, 9, \text{ and } 16$) in the In_2O_3 - ZnGa_2O_4 - ZnO System" (同系物的合成和單晶資料, In_2O_3 - ZnGa_2O_4 - ZnO 類的 $\text{In}_2\text{O}_3(\text{ZnO})_m$ ($m=3, 4, \text{ and } 5$), $\text{InGaO}_3(\text{ZnO})_3$, and $\text{Ga}_2\text{O}_3(\text{ZnO})_m$ ($m=7, 8, 9, \text{ and } 16$)), *J. Solid State Chem.*, 1995, Vol. 116, p. 170-178

[非專利文獻4] 中村真佐樹、君塚昇、毛利尚彥、磯

部光正, "ホモロガス相、 $\text{InFeO}_3(\text{ZnO})_m$ (m : 自然數) とその同型化合物の合成および結晶構造" (同系物、銦鐵鋅氧化物 ($\text{InFeO}_3(\text{ZnO})_m$) (m 爲自然數) 及其同型化合物的合成以及結晶結構), *固體物理 (SOLID STATE PHYSICS)*, 1993, Vol. 28, No. 5, p. 317-327

[非專利文獻 5] K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono, "Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor" (由單晶透明氧化物半導體製造的薄膜電晶體), *SCIENCE*, 2003, Vol. 300, p. 1269-1272

[非專利文獻 6] K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, "Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors" (室溫下的使用非晶氧化物半導體的透明撓性薄膜電晶體的製造), *NATURE*, 2004, Vol. 432 p. 488-492

在將氧化物半導體用於薄膜電晶體的通道層的情況下，臨界值電壓因爲製造步驟而有時會向負側或正側偏移。因此，將氧化物半導體用於通道層的薄膜電晶體需要具有能夠控制臨界值電壓的結構。

薄膜電晶體的臨界值電壓藉由如下方法可以控制爲所希望的值，即，在薄膜電晶體的通道形成區上下隔著閘極絕緣膜設置閘極電極，並且控制上部及/或下部的閘極電極的電位。在通道形成區上下配置閘極電極導致步驟數量

的增加。因此，要求採用可以更確實地控制臨界值電壓而不導致步驟數量的增加的結構。

【發明內容】

本發明的一實施例的目的之一在於提供一種半導體裝置的製造方法，其中，藉由將氧化物半導體用於通道層且控制臨界值電壓，獲得具有電特性優異的薄膜電晶體的半導體裝置而不導致步驟數量的增加。

爲了將臨界值電壓控制爲所希望的值，在氧化物半導體膜上下設置閘極電極。明確而言，形成設置在氧化物半導體膜下方的閘極電極（也可以稱爲第一閘極電極）及設置在氧化物半導體膜上方的閘極電極（也可以稱爲第二閘極電極或背閘極電極）。此時，藉由在氧化物半導體膜的構圖同時形成第二閘極電極，控制第二閘極電極的製造所需要的步驟的數量的增加。

本說明書所公開的本發明的一實施例是一種半導體裝置的製造方法，包括以下步驟：在絕緣表面上形成第一導電層，藉由第一構圖形成第一閘極電極；在所述第一閘極電極上形成第一絕緣膜；在所述第一絕緣膜上形成第二導電層，藉由第二構圖形成佈線層；在所述第一絕緣膜及所述佈線層上形成氧化物半導體膜、第二絕緣膜及第三導電層，藉由第三構圖形成島狀氧化物半導體膜、所述島狀氧化物半導體膜上的島狀第二絕緣膜及所述島狀第二絕緣膜上的第二閘極電極；形成覆蓋所述第一絕緣膜、所述佈線

層、所述島狀氧化物半導體膜、所述島狀第二絕緣膜及所述第二閘極電極的層間絕緣層，藉由第四構圖形成到達所述第二閘極電極及所述佈線層的開口部；以及在所述層間絕緣層上形成導電材料，藉由第五構圖形成連接到所述第二閘極電極的引繞佈線及連接到所述佈線層的像素電極。

本說明書所公開的本發明的一實施例是一種半導體裝置的製造方法，包括如下步驟：在絕緣表面上形成第一導電層，藉由第一構圖形成第一閘極電極；在所述第一閘極電極上形成第一絕緣膜；在所述第一絕緣膜上形成第二導電層，藉由第二構圖形成佈線層；在所述第一絕緣膜及所述佈線層上形成氧化物半導體膜、通道保護膜、第二絕緣膜及第三導電層，藉由第三構圖形成島狀氧化物半導體膜、所述島狀氧化物半導體膜上的島狀通道保護膜、所述島狀通道保護膜上的島狀第二絕緣膜及所述島狀第二絕緣膜上的第二閘極電極；形成覆蓋所述第一絕緣膜、所述佈線層、所述島狀氧化物半導體膜、所述島狀通道保護膜、所述島狀第二絕緣膜及所述第二閘極電極的層間絕緣層，藉由第四構圖形成到達所述第二閘極電極及所述佈線層的開口部；以及在所述層間絕緣層上形成導電材料，藉由第五構圖形成連接到所述第二閘極電極的引繞佈線及連接到所述佈線層的像素電極。

此外，在半導體裝置的製造方法中，可以藉由第二構圖在所述佈線層上形成第二氧化物半導體膜，並且可以藉由第三構圖在氧化物半導體膜和佈線層重疊的區域中形成

由所述第二氧化物半導體膜構成的緩衝層。

此外，在半導體裝置的製造方法中，可以藉由第二構圖在佈線層下形成第二氧化物半導體膜。

此外，在半導體裝置的製造方法中，引繞佈線可以設置為與所述第二閘極電極重疊。

此外，在半導體裝置的製造方法中，層間絕緣層可以是聚醯亞胺。

此外，在半導體裝置的製造方法中，通道保護膜可以是非晶矽。

此外，在半導體裝置的製造方法中，氧化物半導體膜可以包含氧化矽地形成。

此外，在半導體裝置的製造方法中，引繞佈線可以與第一閘極電極連接地形成。

此外，在半導體裝置的製造方法中，第二絕緣膜的膜厚度可以為50nm以上且500nm以下。

根據本發明的一實施例的在使用氧化物半導體的通道形成區上下配置閘極電極的半導體裝置的製造方法，可以採用能夠控制臨界值電壓的結構而不導致步驟數量的增加的結構。

【實施方式】

下面，關於本發明的實施例將參照附圖給予說明。但是，實施例及例子可以藉由多種不同的方式來實施，所屬技術領域的普通技術人員很容易理解：本發明的方式和細

節可以在不脫離本發明的宗旨及其範圍的條件下作各種各樣的變換。因此，本發明不應該被解釋為僅限於以下所示的實施例及例子的記載內容。此外，在以下所說明的本發明的結構中，在不同附圖之間共同使用相同的附圖標記來表示相同的部分，而省略同一部分或具有同樣功能的部分的詳細說明。

另外，在每個實施例的附圖等中，為便於清楚地說明有時對每個結構要素的大小、層的厚度、信號波形的彎曲或區域進行誇張的描述。因此，不一定侷限於這些尺度。

另外，本說明書中使用的“第一”、“第二”、“第三”等序數是為避免結構要素的混同，而不是為在數目方面上限定。

實施例 1

在本實施例中，參照截面圖說明包括如下薄膜電晶體的半導體裝置的製造方法，該薄膜電晶體使用其上下由兩個閘極電極夾著的氧化物半導體膜。

首先，在具有絕緣表面的基板 100 上形成第一導電層，使用第一光掩模進行構圖（第一構圖），以形成包括第一閘極電極 101 的閘佈線、電容佈線以及端子電極等（參照圖 1A）。具有絕緣表面的基板 100 可以使用如鋁矽酸鹽玻璃、鋁硼矽酸鹽玻璃、鋇硼矽酸鹽玻璃等用於電子工業的玻璃基板（也稱為“無鹼玻璃基板”）、具有能夠承受本製造步驟的處理溫度的耐熱性的塑膠基板等。在基板

100為母板玻璃的情況下，基板的尺寸可以採用第一代（ $320\text{mm}\times 400\text{mm}$ ）、第二代（ $400\text{mm}\times 500\text{mm}$ ）、第三代（ $550\text{mm}\times 650\text{mm}$ ）、第四代（ $680\text{mm}\times 880\text{mm}$ 或 $730\text{mm}\times 920\text{mm}$ ）、第五代（ $1000\text{mm}\times 1200\text{mm}$ 或 $1100\text{mm}\times 1250\text{mm}$ ）、第六代（ $1500\text{mm}\times 1800\text{mm}$ ）、第七代（ $1900\text{mm}\times 2200\text{mm}$ ）、第八代（ $2160\text{mm}\times 2460\text{mm}$ ）、第九代（ $2400\text{mm}\times 2800\text{mm}$ 或 $2450\text{mm}\times 3050\text{mm}$ ）、第十代（ $2950\text{mm}\times 3400\text{mm}$ ）等。

此外，作為第一閘極電極101，可以使用鉬、鈦、鉻、鉭、鎢、鋁、銅、鈹、鈳等金屬材料或以這些金屬材料為主要成分的合金材料的單層或疊層形成導電層。在本實施例中，作為一例，使用膜厚度為 100nm 的鎢的單層。

在第一閘極電極101具有疊層結構的情況下，例如，最好採用：在鋁層上層疊有鉬層的雙層疊層結構；在銅層上層疊有鉬層的雙層結構；在銅層上層疊有氮化鈦層或氮化鉭層的雙層結構；層疊有氮化鈦層和鉬層的雙層結構。另外，也有在包含Ca的銅層上層疊有成為阻擋層的包含Ca的氧化銅層的疊層；以及在包含Mg的銅層上層疊有成為阻擋層的包含Mg的氧化銅層的疊層。另外，作為三層的疊層結構，最好採用層疊有鎢層或氮化鎢層、鋁和矽的合金層或鋁和鈦的合金層、氮化鈦層或鈦層的結構。

另外，構圖是指對膜（層）進行形狀加工，並且是指藉由光石印步驟形成膜的掩模圖案（也稱為遮光圖案），其中光石印步驟包括光抗蝕劑的形成、曝光、顯影、蝕刻

步驟、抗蝕劑剝離步驟、清洗及檢查等一系列的處理。換言之，構圖是指去除形成在基板上的層的不需要的部分並加工為所希望的形狀。

另外，關於光抗蝕劑的塗敷，也可以藉由絲網印刷法或噴墨法預先形成大於進行形狀加工的掩模圖案的形狀的圖案，而不在進行形狀加工的膜的整個表面上塗敷掩模圖案。藉由將光抗蝕劑形成為大於進行形狀加工的掩模圖案的形狀的圖案，然後光石印步驟等對該光抗蝕劑進行所希望的形狀加工，以可以減少因顯影而剝離的光抗蝕劑的數量。因此，可以謀求降低製造半導體裝置的成本。

另外，也可以在基板 100 和閘極電極 101 之間形成絕緣膜。絕緣膜藉由 CVD 法、電漿 CVD 法、濺射法、旋塗法等方法使用包含矽的氧化物材料、氮化物材料的單層或疊層來形成。也可以不形成該絕緣膜，但是具有遮斷來自基板 100 的污染物質的擴散等的效果。

接著，形成覆蓋第一閘極電極 101 的第一閘極絕緣膜 111（也稱為第一絕緣膜）。第一閘極絕緣膜 111 藉由濺射法、PCVD 法等以 50nm 至 400nm 的膜厚度形成。作為第一閘極絕緣膜 111 的一例，可以形成氧化矽膜、氮化矽膜、氧氮化矽膜或氮氧化矽膜。在本實施例中，作為一例，使用膜厚度為 100nm 的氧氮化矽膜。另外，作為閘極絕緣膜，除了形成單層以外，還可以形成氧化矽膜、氮化矽膜、氧氮化矽膜及氮氧化矽膜中的任何兩層或三層。除此之外，作為第一閘極絕緣膜 111 的一例，可以使用氧化鋁、氧

化鎂、氮化鋁、氧化鈮、氧化鉛等金屬化合物來形成。

這裏，氧氮化矽膜是指其組成中的氧含量大於氮含量的膜，並且是指在使用盧瑟福背散射法（RBS:Rutherford Backscattering Spectrometry）及氫前散射法（HFS:Hydrogen Forward Scattering）進行測定時，作為其組成範圍包含55原子%至70原子%的氧、0.5原子%至15原子%的氮、25原子%至35原子%的矽及0.1原子%至10原子%的氫的膜。此外，氮氧化矽膜是指其組成中的氮含量大於氧含量的膜，並且是指作為組成範圍包含5原子%至30原子%的氧、20原子%至55原子%的氮、25原子%至35原子%的矽、10原子%至30原子%的氫的物質。注意，在將構成氧氮化矽或氮氧化矽的原子的總計設定為100原子%時，氮、氧、矽及氫的含量比率包括在上述範圍內。

接著，在第一閘極絕緣膜111上藉由濺射法、真空蒸鍍法形成由金屬材料構成的導電層（也稱為第二導電層），使用第二光掩模進行構圖（第二構圖），以形成包括成為源極電極或汲極電極的佈線層112的信號線、電容佈線以及端子電極等（參照圖1B）。在本實施例中，作為一例，使用膜厚度為100nm的鈦。作為導電膜的材料，可以舉出選自Al、Cr、Ta、Ti、Mo、W中的元素、以上述元素為成分的合金、組合上述元素的合金膜等。此外，在進行200°C至600°C的熱處理的情況下，最好使導電膜具有承受該熱處理的耐熱性。因為當使用Al單質時有耐熱性低並且容易腐蝕等問題，所以組合Al與耐熱導電材料而形成。作

為與 Al 組合的耐熱導電材料，使用選自鈦 (Ti)、鉭 (Ta)、鎢 (W)、鉬 (Mo)、鉻 (Cr)、釹 (Nd)、釷 (Sc) 中的元素、以上述元素為成分的合金、組合上述元素的合金膜或以上述元素為成分的氮化物。

在此，作為導電膜，採用層疊 Al 膜和 Ti 膜而得到的導電膜。此外，導電膜也可以採用鈦膜的單層結構。另外，作為導電膜，也可以採用三層結構，其中包括 Ti 膜、在該 Ti 膜上層疊的包含 Nd 的鋁 (Al-Nd) 膜、以及在其上形成的 Ti 膜。作為導電膜，還可以採用包含矽的鋁膜的單層結構。

接著，在第一閘極絕緣膜 111 及佈線層 112 上形成氧化物半導體膜 121 (也稱為第一氧化物半導體膜)。將氧化物半導體膜 121 的膜厚度設定為 5nm 以上且 200nm 以下，最好設定為 5nm 以上且 50nm 以下，更最好設定為 10nm 以上且 30nm 以下。藉由減小氧化物半導體膜 121 的膜厚度，可以降低 TFT 特性 (臨界值電壓等) 的不均勻性。在本實施例中，作為氧化物半導體膜 121 形成 100nm 厚的第一 In-Ga-Zn-O 類非單晶膜 (或者，也稱為 In-Ga-Zn-O 類非單晶膜)。使用直徑為 8 英寸的包含 In (銦)、Ga (鎵) 和 Zn (鋅) 的氧化物半導體靶材 ($\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$)，將基板和靶材之間的距離設定為 170mm，將壓力設定為 0.4Pa，將直流 (DC) 電源設定為 0.5kW，並且在氬或氧氣圍下，進行成膜。另外，當使用脈衝直流 (DC) 電源時，可以減輕塵土，並且膜厚度的分佈成為均勻，所以是最好的。

在藉由濺射法形成 In-Ga-Zn-O 類氧化物半導體膜 121 的情況下，也可以對包含 In、Ga 及 Zn 的氧化物半導體靶材添加氧化矽等絕緣雜質。藉由使氧化物半導體包含絕緣雜質，容易使所形成的氧化物半導體非晶化。此外，當氧化物半導體膜 121 在後面的過程中受到熱處理時，可以抑制由於該熱處理而晶化。

另外，作為氧化物半導體膜 121，可以使用處於非晶狀態、多晶狀態或混在有非晶狀態和多晶狀態的微晶狀態且添加有第一族元素（例如，鋰（Li）、鈉（Na）、鉀（K）、銣（Rb）及銫（Cs））、第十三族元素（例如，硼（B）、鎵（Ga）、銦（In）、鉈（Tl））、第十四族元素（例如，碳（C）、矽（Si）、鍺（Ge）、錫（Sn）、鉛（Pb））、第十五族元素（例如，氮（N）、磷（P）、砷（As）、銻（Sb）、鉍（Bi））、第十七族元素（例如，氟（F）、氯（Cl）、溴（Br）、碘（I））等雜質元素中的其中之一者或多種的氧化鋅（ZnO）或不添加有任何雜質元素的氧化鋅（ZnO）。作為具體例子，可以使用 $\text{InGaO}_3(\text{ZnO})_5$ 、氧化鎂鋅（ $\text{Mg}_x\text{Zn}_{(1-x)}\text{O}$ ）、氧化鎘鋅（ $\text{Cd}_x\text{Zn}_{(1-x)}\text{O}$ ）、氧化鎘（CdO）、In-Ga-Zn-O 類非晶氧化物半導體（a-IGZO）、In-Sn-Zn-O 類、Ga-Sn-Zn-O 類、In-Zn-O 類、Sn-Zn-O 類、In-Sn-O 類或 Ga-Zn-O 類氧化物半導體中的任何物質。另外，因為以 In-Ga-Zn-O 類非單晶膜為代表的氧化物半導體是含有寬能隙（ E_g ）的材料，所以即使將兩個閘極電極設置在氧化物半導體膜上下，也可以抑

制截止電流的增大，這是最好的。

此外，作為氧化物半導體膜，也可以使用如下氧化物半導體膜，該氧化物半導體膜藉由濺射法並使用包含 SiO_x 的氧化物半導體靶材而得到，並且具有氧化矽，藉由典型地使用包含0.1wt%以上且20wt%以下的 SiO_2 ，最好使用包含1wt%以上且6wt%以下的 SiO_2 的氧化物半導體靶材進行成膜，使在氧化物半導體膜中含有阻擋晶化的 SiO_x ($X>0$)，可以實現以薄膜電晶體的閘電壓儘量近於0V的正的臨界值電壓形成通道的薄膜電晶體。

接著，在氧化物半導體膜121上形成第二絕緣膜122。第二絕緣膜122藉由濺射法、PCVD法等以5nm以上且3000nm以下的膜厚度形成。作為第二絕緣膜122，可以形成氧化矽膜、氮化矽膜、氧氮化矽膜或氮氧化矽膜。在本實施例中，作為一例，使用膜厚度為100nm的氧氮化矽膜。另外，作為第二絕緣膜122，除了形成單層以外，還可以形成氧化矽膜、氮化矽膜、氧氮化矽膜及氮氧化矽膜中的任何兩層或三層。除此之外，作為第二絕緣膜122的一例，可以使用氧化鋁、氧化鎂、氮化鋁、氧化鈮、氧化鉛等金屬化合物來形成。另外，藉由使用與第一閘極絕緣膜111相同的材料形成第二絕緣膜122，可以使用相同成膜裝置形成，因此可以謀求實現低成本化。另外，從降低TFT特性的不均勻性的觀點來看，第二絕緣膜122最好形成為5nm以上且200nm以下的膜厚度的膜。

接著，在第二絕緣膜122上形成第三導電層123（參照

圖 1C)。第三導電層 123 藉由濺射法、真空蒸鍍法以 5nm 以上且 1000nm 以下的膜厚度形成。在本實施例中，作為一例，使用膜厚度為 100nm 的鈦。作為第三導電層 123 的材料，可以舉出與佈線層 112 相同的導電膜。

接著，在第三導電層 123 上形成抗蝕劑，使用第三光掩模進行曝光、顯影的處理。並且，使用藉由由第三光掩模進行的曝光、顯影的處理而得到的抗蝕劑掩模來進行上述氧化物半導體膜 121、第二絕緣膜 122、第三導電層 123 的蝕刻步驟（參照圖 1D）。在此蝕刻步驟不侷限於濕蝕刻，也可以利用乾蝕刻。另外，藉由使用乾蝕刻，可以將氧化物半導體膜 121、第二絕緣膜 122、第三導電層 123 的截面形成為具有錐形的形狀。由此得到島狀氧化物半導體膜 131、島狀氧化物半導體膜 131 上的島狀第二閘極絕緣膜 132（也稱為島狀第二絕緣膜）及島狀第二閘極絕緣膜 132 上的第二閘極電極 133，並且在第二閘極電極 133 上殘留抗蝕劑掩模 134（參照圖 1D）。第二閘極電極 133 上的抗蝕劑掩模 134 在後面的過程中，經過抗蝕劑剝離步驟、清洗等的步驟被去除。另外，島狀氧化物半導體膜 131、島狀第二閘極絕緣膜 132 及第二閘極電極 133 藉由同一個步驟進行蝕刻而形成為如圖 1D 所示那樣的每個端部一致並具有連續性的結構。另外，藉由將抗蝕劑掩模 134 的截面形成為具有錐形的形狀，可以防止因為臺階形狀而導致的佈線的斷開、短路等。

另外，本說明書所說明的“島狀”是指藉由構圖形成

的膜的如下形狀，該形狀是不延伸在基板上來與電連接到外部的端子連接的形狀。作為其一例，有設置在像素內的 TFT 的半導體層。

在圖 1D 中，在氧化物半導體膜 121 上形成第二絕緣膜 122，在第二絕緣膜 122 上形成第三導電層 123，然後藉由構圖（第三構圖）形成島狀氧化物半導體膜 131、島狀第二閘極絕緣膜 132 及第二閘極電極 133。圖 1D 所示的製造方法具有如下優點。即，當剝離將氧化物半導體膜構圖為島狀氧化物半導體膜時殘留的抗蝕劑掩模時，可以減少由於使用抗蝕劑剝離液的處理或灰化處理造成的對島狀氧化物半導體膜表面的損傷。

此外，圖 1D 的截面中的第二閘極電極 133 的寬度最好形成為大於島狀氧化物半導體膜 131 的下面的佈線層 112（源極電極及汲極電極）的間隔。藉由將第二閘極電極 133 的形狀形成為大於島狀氧化物半導體膜 131 的下面的佈線層 112（源極電極及汲極電極）的間隔，可以提高對於島狀氧化物半導體膜 131 的遮光效果。藉由濺射法形成的 In-Ga-Zn-O 類非晶膜在 450nm 以下的波長具有光感度。因此，藉由設置用作遮斷波長為 450nm 以下的光的遮光層的第二閘極電極層 133，可以得到減小具有氧化物半導體膜 131 的薄膜電晶體的電特性的變化的效果，這是很有用的。

另外，在去除抗蝕劑掩模 134 之後，最好以 200℃ 至 600℃，典型地以 300℃ 至 500℃ 進行熱處理。在此放置在爐中，在包含氧的氮氣圍下以 350℃ 進行一個小時的熱處

理。藉由該熱處理，進行第一 In-Ga-Zn-O 類非單晶膜的原子級的重新排列。借助於該熱處理而解除阻礙載子遷移的應變，所以在此的熱處理（還包括光退火）是重要的。另外，只要在形成第一 In-Ga-Zn-O 類非單晶膜之後，就對進行熱處理的時序沒有特別的限制。在本實施例中，因為可以採用由島狀第二閘極絕緣膜 132 覆蓋島狀氧化物半導體膜 131 上的結構，所以可以降低熱處理後的第一 In-Ga-Zn-O 類非單晶膜的劣化，這是最好的。

藉由以上步驟製造薄膜電晶體 141，並且以覆蓋薄膜電晶體 141 的方式形成成為層間絕緣層的樹脂層 142。然後，對樹脂層 142 進行第四構圖來形成分別達到第二閘極電極 133 和佈線層 112 的開口部。並且，在成為層間絕緣層的樹脂層 142 上形成導電材料，藉由第五構圖形成連接到第二閘極電極 133 的引繞佈線 143 和連接到佈線層 112 的像素電極 144（參照圖 1E）。

另外，樹脂層 142 形成為 $0.5\mu\text{m}$ 至 $3\mu\text{m}$ 的範圍的厚度。作為用於樹脂層 142 的感光性或非感光性的有機材料，使用聚醯亞胺、丙烯酸樹脂、聚醯胺、聚醯亞胺-醯胺、苯並環丁烯、或者這些的疊層等。在此，藉由塗布法形成感光性的聚醯亞胺，進行曝光、顯影及焙燒來形成其表面平坦且其膜厚度為 $1.5\mu\text{m}$ 的由聚醯亞胺構成的樹脂層 142。藉由塗布法形成聚醯亞胺，可以削減步驟數。另外，樹脂層 142 還用作阻擋水分或氫等侵入到島狀氧化物半導體膜 131 的保護絕緣層。

另外，使用第四光掩模在樹脂層 142 中形成用來電連接引繞佈線 143 和第二閘極電極 133 的開口部（接觸孔）及電連接像素電極 144 和佈線層 112 的開口部。並且，導電材料形成在樹脂層 142 上及接觸孔中，藉由使用第五光掩模進行構圖來形成引繞佈線 143 及像素電極 144。

另外，引繞佈線 143 是用來連接到控制第二閘極電極 133 的電位的佈線的佈線。因此，作為引繞佈線 143 的結構，既可以將引繞佈線 143 引繞到輸入固定電位的端子，又可以設置達到第一閘極電極的接觸孔且將引繞佈線 143 引繞，以電連接第一閘極電極和第二閘極電極。在將第二閘極電極 133 的電位設定為與第一閘極電極 101 的電位不同的情況下，不需要形成用來電連接第一閘極電極 101 和第二閘極電極 133 的開口。另外，作為形成引繞佈線 143 及像素電極 144 的導電材料，可以使用具有透光性的導電材料如包含氧化鎢的氧化銦、包含氧化鎢的氧化銦鋅、包含氧化鈦的氧化銦、包含氧化鈦的氧化銦錫、氧化銦錫（下面，表示為 ITO）、氧化銦鋅、添加有氧化矽的氧化銦錫等。另外，作為引繞佈線 143 及像素電極 144，也可以形成使用與佈線層 112 相同的材料的疊層結構。

如上所述那樣，本實施例所說明的半導體裝置的製造方法關於一種在使用氧化物半導體的通道形成區上下配置閘極電極的半導體裝置的製造方法，其中即使層疊的層的數量增加，也不導致步驟數量的增加。因此，可以實現製造步驟的縮短化及低成本化。並且，藉由使用第二閘極電

極控制電位，可以控制臨界值電壓。在本實施例中的半導體裝置的製造方法中，可以在進行氧化物半導體膜的構圖之前在氧化物半導體膜上形成第二絕緣膜。因此，可以消除第二絕緣膜的因氧化物半導體膜的膜厚度而導致的臺階形狀。結果，可以得到容易減薄第二絕緣膜的膜厚度的結構。從而，藉由控制第二閘極電極的電位，可以將為薄膜電晶體的臨界值電壓的控制而需要的電位設定為小。

本實施例可以與其他實施例所記載的結構適當地組合並實施。

實施例 2

在本實施例中，參照與實施例 1 不同的截面圖說明包括如下薄膜電晶體的半導體裝置的製造方法，該薄膜電晶體使用其上下由兩個閘極電極夾著的氧化物半導體膜的。

圖 2A 至 2E 表示其一部分與圖 1A 至 1E 不同的結構。在圖 2A 至 2E 中，使用相同的附圖標記來表示除了與圖 1A 至 1E 不同的部分以外的部分，並且對其詳細說明援用前面的實施例中的說明。

圖 2A 至 2E 是在佈線層 112 上形成成為緩衝層的第二氧化物半導體膜的例子。對圖 2A 的說明與對圖 1A 的說明相同。

在圖 2B 中，在第一閘極絕緣膜 111 上藉由濺射法、真空蒸鍍法形成由金屬材料構成的導電層（也稱為第二導電層），在該導電層上藉由濺射法形成氧化物半導體膜，使

用第二光掩模進行構圖（第二構圖），以形成包括成爲源極電極或汲極電極的佈線層 112、氧化物半導體膜 113（也稱爲第二氧化物半導體膜、低電阻氧化物半導體膜）、電容佈線以及端子電極等（參照圖 2B）。在本實施例中，作爲成爲氧化物半導體膜 113 的第二氧化物半導體膜，在包含氮氣體的氣圍中藉由濺射法使用包含 In（銦）、Ga（鎵）及 Zn（鋅）的氧化物半導體靶材（ $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ ）來形成包含銦、鎵、鋅的氧氮化物膜。該氧氮化物膜藉由在後面的步驟中進行熱處理而成爲其電阻低於上述第一氧化物半導體膜的 In-Ga-Zn-O 類非單晶膜的氧化物半導體膜（或第二 In-Ga-Zn-O 類非單晶膜）。

此外，作爲低電阻的氧化物半導體膜，最好使用縮退的氧化物半導體。此外，縮退的氧化物半導體最好具有透光性。作爲低電阻的氧化物半導體膜的一例，使用包含氮的 In-Ga-Zn-O 類非單晶膜，即 In-Ga-Zn-O-N 類非單晶膜（也稱爲 IGZON 膜）即可。此外，作爲低電阻的氧化物半導體膜，也可以使用 Ga-Zn-O 類非單晶膜或包含氮的 Ga-Zn-O 類非單晶膜，即 Ga-Zn-O-N 類非單晶膜。此外，作爲低電阻的氧化物半導體膜，也可以使用 Al-Zn-O 類非單晶膜或包含氮的 Al-Zn-O 類非單晶膜，即 Al-Zn-O-N 類非單晶膜。另外，包含在 Ga-Zn-O 類氧化物半導體或 Ga-Zn-O-N 類氧化物半導體中的鎵最好爲 1wt% 以上且 10wt% 以下，並且包含在 Al-Zn-O 類氧化物半導體或 Al-Zn-O-N 類氧化物半導體中的鋁最好爲 1wt% 以上且 10wt% 以下。此外，還可以使用包

含氮的 Zn-O-N 類非單晶膜或包含氮的 Sn-Zn-O-N 類非單晶膜。

接著，與圖 1C 同樣，在第一閘極絕緣膜 111 及氧化物半導體膜 113 上按順序層疊形成氧化物半導體膜 121、第二絕緣膜 122 及第三導電層 123（參照圖 2C）。

接著，與圖 1D 同樣，在第三導電層 123 上形成抗蝕劑，使用第三光掩模進行曝光、顯影的處理。並且，使用藉由第三光掩模進行的曝光、顯影的處理而得到的抗蝕劑掩模來進行上述氧化物半導體膜 113（第二氧化物半導體膜）、氧化物半導體膜 121（第一氧化物半導體膜）、第二絕緣膜 122、第三導電層 123 的蝕刻步驟（參照圖 2D）。由此得到島狀氧化物半導體膜 131、島狀氧化物半導體膜 131 下的緩衝層 135（也稱為低電阻區、 N^+ 型區及 n^+ 層）、島狀氧化物半導體膜 131 上的島狀第二閘極絕緣膜 132（也稱為第二絕緣膜）及島狀第二閘極絕緣膜 132 上的第二閘極電極 133，並且在第二閘極電極 133 上殘留抗蝕劑掩模 134（參照圖 2D）。另外，緩衝層 135、島狀氧化物半導體膜 131、島狀第二閘極絕緣膜 132 及第二閘極電極 133 的端部藉由同一個步驟進行蝕刻而形成為如圖 2D 所示那樣一致並具有連續性的結構。另外，藉由將抗蝕劑掩模 134 的截面形成為具有錐形的形狀，可以防止因為臺階形狀而導致的佈線的斷開、短路等。

另外，在去除抗蝕劑掩模 134 之後，最好以 200°C 至 600°C ，典型地以 300°C 至 500°C 進行熱處理。在此放置在

爐中，在包含氧的氮氣圍下以 350°C 進行一個小時的熱處理。藉由該熱處理，進行第一氧化物半導體膜的In-Ga-Zn-O類非單晶膜及第二氧化物半導體膜的In-Ga-Zn-O類非單晶膜的原子級的重新排列。借助於該熱處理而解除阻礙載子遷移的應變，所以在此的熱處理（還包括光退火）是重要的。另外，只要在形成第一氧化物半導體膜及第二氧化物半導體膜之後，就對進行熱處理的時序沒有特別的限制。

藉由以上步驟製造薄膜電晶體141，並且以覆蓋薄膜電晶體141的方式形成成爲層間絕緣層的樹脂層142。另外，與圖1E同樣，使用第四及第五光掩模覆蓋薄膜電晶體141地形成成爲層間絕緣層的樹脂層142，然後對成爲層間絕緣層的樹脂層142形成分別達到第二閘極電極133和佈線層112的開口部，並且在成爲層間絕緣層的樹脂層142上形成導電材料，形成連接到第二閘極電極133的引繞佈線143和連接到佈線層112的像素電極144（參照圖2E）。

本實施例可以與其他實施例所記載的結構適當地組合並實施。因此，與前面的實施例同樣，本實施例所說明的半導體裝置的製造方法關於一種在使用氧化物半導體的通道形成區上下配置閘極電極的半導體裝置的製造方法，其中即使層疊的層的數量增加，也不導致步驟數量的增加。因此，可以實現製造步驟的縮短化及低成本化。並且，藉由使用第二閘極電極控制電位，可以控制臨界值電壓。在本實施例中的半導體裝置的製造方法中，可以在進行氧化

物半導體膜的構圖之前在氧化物半導體膜上形成第二絕緣膜。因此，可以消除第二絕緣膜的因氧化物半導體膜的膜厚度而導致的臺階形狀。結果，可以採用容易減薄第二絕緣膜的膜厚度的結構。從而，藉由控制第二閘極電極的電位，可以將為薄膜電晶體的臨界值電壓的控制而需要的電位設定為小。

實施例 3

在本實施例中，參照與實施例 1、實施例 2 不同的截面圖說明包括如下薄膜電晶體的半導體裝置的製造方法，該薄膜電晶體使用其上下由兩個閘極電極夾著的氧化物半導體膜。

圖 3A 至 3E 表示其一部分與圖 1A 至 1E、圖 2A 至 2E 不同的結構。在圖 3A 至 3E 中，使用相同的附圖標記來表示除了與圖 1A 至 1E、圖 2A 至 2E 不同的部分以外的部分，並且對其詳細說明援用前面的實施例中的說明。

圖 3A 至 3E 是在圖 1B 的佈線層 112 下形成成為緩衝層的第二氧化物半導體膜的例子。對圖 3A 的說明與對圖 1A 的說明相同。

在圖 3B 中，在第一閘極絕緣膜 111 上藉由濺射法形成氧化物半導體膜，在該氧化物半導體膜上藉由濺射法、真空蒸鍍法形成由金屬材料構成的導電層（也稱為第二導電層），使用第二光掩模進行構圖（第二構圖），以形成包括成為源極電極或汲極電極的佈線層 112、氧化物半導體

膜 113 (也稱爲第二氧化物半導體膜、低電阻氧化物半導體膜、緩衝層)、電容佈線以及端子電極等 (參照圖 3B)。在本實施例中，作爲成爲氧化物半導體膜 113 的第二氧化物半導體膜，在包含氮氣體的氣圍中藉由濺射法使用包含 In (銦)、Ga (鎵) 及 Zn (鋅) 的氧化物半導體靶材 ($\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$) 來形成包含銦、鎵、鋅的氧氮化物膜。該氧氮化物膜藉由在後面的步驟中進行熱處理而成爲其電阻低於上述第一氧化物半導體膜的 In-Ga-Zn-O 類非單晶膜的氧化物半導體膜 (或第二 In-Ga-Zn-O 類非單晶膜)。

接著，與圖 1C 同樣，在第一閘極絕緣膜 111 及佈線層 112 上按順序層疊形成氧化物半導體膜 121 (第一氧化物半導體膜)、第二絕緣膜 122 及第三導電層 123 (參照圖 3C)。

接著，與圖 1D 同樣，在第三導電層 123 上形成抗蝕劑，使用第三光掩模進行曝光、顯影的處理。並且，使用藉由由第三光掩模進行的曝光、顯影的處理而得到的抗蝕劑掩模來進行氧化物半導體膜 121、第二絕緣膜 122、第三導電層 123 的蝕刻步驟 (參照圖 3D)。由此得到島狀氧化物半導體膜 131、島狀氧化物半導體膜 131 上的島狀第二閘極絕緣膜 132 及島狀第二閘極絕緣膜 132 上的第二閘極電極 133，並且在第二閘極電極 133 上殘留抗蝕劑掩模 134 (參照圖 3D)。另外，島狀氧化物半導體膜 131、島狀第二閘極絕緣膜 132 及第二閘極電極 133 的端部藉由同一個步驟進

行蝕刻而形成爲如圖 3D 所示那樣一致並具有連續性的結構。另外，藉由將抗蝕劑掩模 134 的截面形成爲具有錐形的形狀，可以防止因爲臺階形狀而導致的佈線的斷開、短路等。

另外，在去除抗蝕劑掩模 134 之後，最好以 200°C 至 600°C，典型地以 300°C 至 500°C 進行熱處理。在此放置在爐中，在包含氧的氮氣圍下以 350°C 進行一個小時的熱處理。藉由該熱處理，進行第一氧化物半導體膜的 In-Ga-Zn-O 類非單晶膜及第二氧化物半導體膜的 In-Ga-Zn-O 類非單晶膜的原子級的重新排列。借助於該熱處理而解除阻礙載子遷移的應變，所以在此的熱處理（還包括光退火）是重要的。另外，只要在形成第一氧化物半導體膜及第二氧化物半導體膜之後，就對進行熱處理的時序沒有特別的限制。

藉由以上步驟製造薄膜電晶體 141。另外，與圖 1E 同樣，使用第四及第五光掩模覆蓋薄膜電晶體 141 地形成成爲層間絕緣層的樹脂層 142，然後在成爲層間絕緣層的樹脂層 142 中形成接觸孔，並且在成爲層間絕緣層的樹脂層 142 上形成導電材料，形成連接到第二閘極電極 133 的引繞佈線 143 和連接到佈線層 112 的像素電極 144（參照圖 3E）。

本實施例可以與其他實施例所記載的結構適當地組合並實施。因此，與前面的實施例同樣，本實施例所說明的半導體裝置的製造方法關於一種在使用氧化物半導體的通

道形成區上下配置閘極電極的半導體裝置的製造方法，其中即使層疊的層的數量增加，也不導致步驟數量的增加。因此，可以實現製造步驟的縮短化及低成本化。並且，藉由使用第二閘極電極控制電位，可以控制臨界值電壓。在本實施例中的半導體裝置的製造方法中，可以在進行氧化物半導體膜的構圖之前在氧化物半導體膜上形成第二絕緣膜。因此，可以消除第二絕緣膜的因氧化物半導體膜的膜厚度而導致的臺階形狀。結果，可以採用容易減薄第二絕緣膜的膜厚度的結構。從而，藉由控制第二閘極電極的電位，可以將為薄膜電晶體的臨界值電壓的控制而需要的電位設定為小。

實施例 4

在本實施例中，參照與實施例 1 不同的截面圖說明包括如下薄膜電晶體的半導體裝置的製造方法，該薄膜電晶體使用其上下由兩個閘極電極夾著的氧化物半導體膜。

另外，圖 4A 至 4E 表示其一部分與圖 1A 至 1E 不同的結構。在圖 4A 至 4E 中，使用相同的附圖標記來表示除了與圖 1A 至 1E 不同的部分以外的部分，並且對其詳細說明援用前面的實施例中的說明。

圖 4A 至 4E 是在圖 1B 的氧化物半導體膜 121 和第二絕緣膜 122 之間形成通道保護膜的例子。對圖 4A、4B 的說明與對圖 1A、1B 的說明相同。

在圖 4C 中，在第一閘極絕緣膜 111 及佈線層 112 上按順

序層疊形成氧化物半導體膜 121、通道保護膜 124、第二絕緣膜 122 及第三導電層 123。在本實施例中，作為通道保護膜 124 的材料的一例，使用無極絕緣材料，或者不侷限於無極絕緣材料，使用藉由濺射法而得到的非晶半導體膜或其化合物、典型為非晶矽膜即可。此外，用於通道保護膜 124 的非晶矽膜的化合物是指藉由濺射法形成的包含硼等 p 型雜質元素的 p 型非晶矽膜或藉由濺射法形成的包含磷等 n 型雜質元素的 n 型非晶矽膜。尤其是，在將 p 型非晶矽膜用於通道保護膜 124 的情況下，有如下效果：降低在截止時的漏電流，並且消除在接觸於 p 型非晶矽膜地設置的氧化物半導體膜的背通道中產生的載子（電子）。此外，在將非晶矽膜用於通道保護膜 124 的情況下，非晶矽膜具有阻擋水分、氫離子、OH⁻等的功能。此外，非晶矽膜也用作遮斷對氧化物半導體的光的入射的遮光層。

在本實施例中，作為通道保護膜 124，使用藉由使用包含硼的靶材的濺射法而得到的包含硼的非晶矽膜。此外，包含硼的非晶矽膜以低功率條件或基板溫度為低於 200℃ 的條件形成。因為通道保護膜 124 接觸於氧化物半導體膜 121 地形成，所以最好儘量減少在形成通道保護膜 124 時及在蝕刻時的對氧化物半導體膜 121 的損傷。

接著，與圖 1D 同樣，在第三導電層 123 上形成抗蝕劑，使用第三光掩模進行曝光、顯影的處理。並且，使用藉由由第三光掩模進行的曝光、顯影的處理而得到的抗蝕劑掩模來進行氧化物半導體膜 121、通道保護膜 124、第二絕

緣膜 122、第三導電層 123 的蝕刻步驟（參照圖 4D）。由此得到島狀氧化物半導體膜 131（也稱為第一島狀氧化物半導體膜）、島狀氧化物半導體膜 131 上的島狀通道保護膜 136、島狀通道保護膜 136 上的島狀第二閘極絕緣膜 132（也稱為島狀第二絕緣膜）及島狀第二閘極絕緣膜 132 上的第二閘極電極 133，並且在第二閘極電極 133 上殘留抗蝕劑掩模 134（參照圖 4D）。另外，島狀氧化物半導體膜 131、島狀通道保護膜 136、島狀第二閘極絕緣膜 132 及第二閘極電極 133 的端部藉由同一步驟進行蝕刻而形成為如圖 4D 所示那樣一致並具有連續性的結構。另外，藉由將抗蝕劑掩模 134 的截面形成為具有錐形的形狀，可以防止因為臺階形狀而導致的佈線的斷開、短路等。

另外，在去除抗蝕劑掩模 134 之後，與圖 1D 同樣，最好以 200°C 至 600°C，典型地以 300°C 至 500°C 進行熱處理。

藉由以上步驟製造薄膜電晶體 141。另外，與圖 1E 同樣，使用第四及第五光掩模覆蓋薄膜電晶體 141 地形成成為層間絕緣層的樹脂層 142，然後在成為層間絕緣層的樹脂層 142 中形成接觸孔，並且在成為層間絕緣層的樹脂層 142 上形成導電材料，形成連接到第二閘極電極 133 的引繞佈線 143 和連接到佈線層 112 的像素電極 144（參照圖 4E）。

本實施例可以與其他實施例所記載的結構適當地組合並實施。因此，與前面的實施例同樣，本實施例所說明的半導體裝置的製造方法關於一種在使用氧化物半導體的通

道形成區上下配置閘極電極的半導體裝置的製造方法，其中即使層疊的層的數量增加，也不導致步驟數量的增加。因此，可以實現製造步驟的縮短化及低成本化。並且，藉由使用第二閘極電極控制電位，可以控制臨界值電壓。在本實施例中的半導體裝置的製造方法中，可以在進行氧化物半導體膜的構圖之前在氧化物半導體膜上形成第二絕緣膜。因此，可以消除第二絕緣膜的由因氧化物半導體膜的膜厚度而導致的臺階形狀。結果，可以採用容易減薄第二絕緣膜的膜厚度的結構。從而，藉由控制第二閘極電極的電位，可以將為薄膜電晶體的臨界值電壓的控制而需要的電位設定為小。

實施例 5

在本實施例中，參照與實施例 2 不同的截面圖說明包括如下薄膜電晶體的半導體裝置的製造方法，該薄膜電晶體使用其上下由兩個閘極電極夾著的氧化物半導體膜。

另外，圖 5A 至 5E 表示其一部分與圖 2A 至 2E、圖 4A 至 4E 不同的結構。在圖 5A 至 5E 中，使用相同的附圖標記來表示除了與圖 2A 至 2E、圖 4A 至 4E 不同的部分以外的部分，並且對其詳細說明援用前面的實施例中的說明。

圖 5A 至 5E 是在圖 1B 的佈線層 112 上形成成為緩衝層的第二氧化物半導體膜的例子。對圖 5A、5B 的說明與對圖 2A、2B 的說明相同。

接著，與圖 4C 同樣，在第一閘極絕緣膜 111 及氧化物

半導體膜 113 上按順序層疊形成氧化物半導體膜 121、通道保護膜 124、第二絕緣膜 122 及第三導電層 123（參照圖 5C）。

接著，與圖 2D 同樣，在第三導電層 123 上形成抗蝕劑，使用第三光掩模進行曝光、顯影的處理。並且，使用藉由第三光掩模進行的曝光、顯影的處理而得到的抗蝕劑掩模來進行上述氧化物半導體膜 113（第二氧化物半導體膜）、氧化物半導體膜 121（第一氧化物半導體膜）、通道保護膜 124、第二絕緣膜 122、第三導電層 123 的蝕刻步驟（參照圖 5D）。由此得到島狀氧化物半導體膜 131、島狀氧化物半導體膜 131 下的緩衝層 135（也稱為低電阻區、 N^+ 型區及 n^+ 層）、島狀氧化物半導體膜 131 上的島狀通道保護膜 136、島狀通道保護膜 136 上的第二閘極絕緣膜 132 及島狀第二閘極絕緣膜 132 上的第二閘極電極 133，並且在第二閘極電極 133 上殘留抗蝕劑掩模 134（參照圖 5D）。另外，緩衝層 135、島狀氧化物半導體膜 131、島狀通道保護膜 136、島狀第二閘極絕緣膜 132 及第二閘極電極 133 的端部藉由同一個步驟進行蝕刻而形成為如圖 5D 所示那樣一致並具有連續性的結構。另外，藉由將抗蝕劑掩模 134 的截面形成為具有錐形的形狀，可以防止因為臺階形狀而導致的佈線的斷開、短路等。

另外，在去除抗蝕劑掩模 134 之後，最好以 200°C 至 600°C ，典型地以 300°C 至 500°C 進行熱處理。在此放置在爐中，在包含氧的氮氣圍下以 350°C 進行一個小時的熱處

理。藉由該熱處理，進行第一 In-Ga-Zn-O 類非單晶膜及第二 In-Ga-Zn-O 類非單晶膜的原子級的重新排列。借助於該熱處理而解除阻礙載子遷移的應變，所以在此的熱處理（還包括光退火）是重要的。另外，只要在形成第一 In-Ga-Zn-O 類非單晶膜及第二 In-Ga-Zn-O 類非單晶膜之後，就對進行熱處理的時序沒有特別的限制。

藉由以上步驟製造薄膜電晶體 141。另外，與圖 2E 同樣，使用第四及第五光掩模覆蓋薄膜電晶體 141 地形成成爲層間絕緣層的樹脂層 142，然後對成爲層間絕緣層的樹脂層 142 形成分別達到第二閘極電極 133 和佈線層 112 的開口部，並且在成爲層間絕緣層的樹脂層 142 上形成導電材料，形成連接到第二閘極電極 133 的引繞佈線 143 和連接到佈線層 112 的像素電極 144（參照圖 5E）。

本實施例可以與其他實施例所記載的結構適當地組合並實施。因此，與前面的實施例同樣，本實施例所說明的半導體裝置的製造方法關於一種在使用氧化物半導體的通道形成區上下配置閘極電極的半導體裝置的製造方法，其中即使層疊的層的數量增加，也不導致步驟數量的增加。因此，可以實現製造步驟的縮短化及低成本化。並且，藉由使用第二閘極電極控制電位，可以控制臨界值電壓。在本實施例中的半導體裝置的製造方法中，可以在進行氧化物半導體膜的構圖之前在氧化物半導體膜上形成第二絕緣膜。因此，可以消除第二絕緣膜的因氧化物半導體膜的膜厚度而導致的臺階形狀。結果，可以採用容易減薄第二絕

緣膜的膜厚度的結構。從而，藉由控制第二閘極電極的電位，可以將為薄膜電晶體的臨界值電壓的控制而需要的電位設定為小。

實施例 6

在本實施例中，參照與實施例 3 不同的截面圖說明包括如下薄膜電晶體的半導體裝置的製造方法，該薄膜電晶體使用其上下由兩個閘極電極夾著的氧化物半導體膜。

另外，圖 6A 至 6E 表示其一部分與圖 3A 至 3E、圖 4A 至 4E 不同的結構。在圖 6A 至 6E 中，使用相同的附圖標記來表示除了與圖 3A 至 3E、圖 4A 至 4E 不同的部分以外的部分，並且對其詳細說明援用前面的實施例中的說明。

圖 6A 至 6E 是在圖 3B 的佈線層 112 下形成第二 In-Ga-Zn-O 類非單晶膜的氧化物半導體膜 113（也稱為低電阻區、緩衝層）的例子。對圖 6A、6B 的說明與對圖 3A、3B 的說明相同。

接著，與圖 4C 同樣，在第一閘極絕緣膜 111 及佈線層 112 上按順序層疊形成氧化物半導體膜 121、通道保護膜 124、第二絕緣膜 122 及第三導電層 123（參照圖 6C）。

接著，與圖 3D 同樣，在第三導電層 123 上形成抗蝕劑，使用第三光掩模進行曝光、顯影的處理。並且，使用藉由由第三光掩模進行的曝光、顯影的處理而得到的抗蝕劑掩模來進行氧化物半導體膜 121、通道保護膜 124、第二絕緣膜 122、第三導電層 123 的蝕刻步驟（參照圖 6D）。由此

得到島狀氧化物半導體膜 131、島狀氧化物半導體膜 131 上的島狀通道保護膜 136、島狀通道保護膜 136 上的島狀第二閘極絕緣膜 132 及島狀第二閘極絕緣膜 132 上的第二閘極電極 133，並且在第二閘極電極 133 上殘留抗蝕劑掩模 134（參照圖 6D）。另外，島狀氧化物半導體膜 131、島狀通道保護膜 136、島狀第二閘極絕緣膜 132 及第二閘極電極 133 的端部藉由同一個步驟進行蝕刻而形成為如圖 6D 所示那樣一致並具有連續性的結構。另外，藉由將抗蝕劑掩模 134 的截面形成為具有錐形的形狀，可以防止因為臺階形狀而導致的佈線的斷開、短路等。

另外，在去除抗蝕劑掩模 134 之後，最好以 200℃ 至 600℃，典型地以 300℃ 至 500℃ 進行熱處理。在此放置在爐中，在包含氧的氮氣圍下以 350℃ 進行一個小時的熱處理。藉由該熱處理，進行第一氧化物半導體膜的 In-Ga-Zn-O 類非單晶膜及第二氧化物半導體膜的 In-Ga-Zn-O 類非單晶膜的原子級的重新排列。借助於該熱處理而解除阻礙載子遷移的應變，所以在於此的熱處理（還包括光退火）是重要的。另外，只要在形成第一氧化物半導體膜及第二氧化物半導體膜之後，就對進行熱處理的時序沒有特別的限制。

藉由以上步驟製造薄膜電晶體 141。另外，與圖 3E 同樣，使用第四及第五光掩模覆蓋薄膜電晶體 141 地形成成為層間絕緣層的樹脂層 142，然後在成為層間絕緣層的樹脂層 142 中形成接觸孔，並且在成為層間絕緣層的樹脂層

142上形成導電材料，形成連接到第二閘極電極133的引繞佈線143和連接到佈線層112的像素電極144（參照圖6E）。

本實施例可以與其他實施例所記載的結構適當地組合並實施。因此，與前面的實施例同樣，本實施例所說明的半導體裝置的製造方法關於一種在使用氧化物半導體的通道形成區上下配置閘極電極的半導體裝置的製造方法，其中即使層疊的層的數量增加，也不導致步驟數量的增加。因此，可以實現製造步驟的縮短化及低成本化。並且，藉由使用第二閘極電極控制電位，可以控制臨界值電壓。在本實施例中的半導體裝置的製造方法中，可以在進行氧化物半導體膜的構圖之前在氧化物半導體膜上形成第二絕緣膜。因此，可以消除第二絕緣膜的因氧化物半導體膜的膜厚度而導致的臺階形狀。結果，可以採用容易減薄第二絕緣膜的膜厚度的結構。從而，藉由控制第二閘極電極的電位，可以將為薄膜電晶體的臨界值電壓的控制而需要的電位設定為小。

實施例7

在本實施例中，對顯示裝置參照方塊圖、電路圖、表示各信號等的電位變化的波形圖、俯視圖（佈局圖）等進行說明。

圖7A示出主動矩陣型液晶顯示裝置的方塊圖的一例。圖7A所示的液晶顯示裝置在基板800上包括：具有多個具

備顯示元件的像素的像素部 801；控制連接到每個像素的閘極電極的掃描線的掃描線驅動電路 802；以及控制對被選擇了的像素的視頻信號輸入的信號線驅動電路 803。在每個像素中設置有圖 7B 所示的薄膜電晶體 804（也稱爲 TFT：Thin Film Transistor）。薄膜電晶體 804 是由第一控制信號 G1 及第二控制信號 G2 進行 In 端子和 Out 端子之間的電控制的元件。另外，圖 7B 所示的薄膜電晶體 804 的標誌是指上述實施例 1 至 6 中任一個所說明的由四個端子控制的薄膜電晶體，並且以下使用在附圖等中。

另外，這裏表示在顯示裝置中製造掃描線驅動電路 802 及信號線驅動電路 803 的方式，但是也可以使用 IC 等半導體裝置安裝掃描線驅動電路 802 的一部分。此外，也可以使用 IC 等半導體裝置安裝信號線驅動電路 803 的一部分。也可以採用在基板 800 上設置多個掃描線驅動電路 802 的結構。

圖 8 是說明構成顯示裝置的信號輸入端子、掃描線、信號線、包括非線形元件的保護電路及像素部的位置關係的圖。在具有絕緣表面的基板 820 上交叉配置有掃描線 823A 及控制線 823B 與信號線 824，以構成像素部 827。另外，像素部 827 相當於圖 7 所示的像素部 801。另外，也可以採用將控制線 823B 配置爲平行於信號線 824 的結構。

像素部 827 包括排列成矩陣形狀的多個像素 828。像素 828 包括連接到掃描線 823A、控制線 823B、信號線 824 的像素 TFT829（也稱爲薄膜電晶體）、儲存電容部 830、像素

電極 831 而構成。

在這裏所示的像素結構中，儲存電容部 830 的一方電極與像素 TFT829 連接，另一方電極與電容線 832 連接。此外，像素電極 831 構成驅動顯示元件（液晶元件、發光元件、對比度媒體（電子墨）等）的一方電極。這些顯示元件的另一方電極（也稱為對置電極）連接於公共端子 833。共同電位（也稱為公共電位）從公共端子供給到顯示裝置的另一方電極。

保護電路 835 設置在從像素部 827 延伸設置的佈線和信號線輸入端子 822 之間。此外，保護電路 835 設置在掃描線驅動電路 802 和像素部 827 之間。在本實施例中，設置多個保護電路 835，以構成爲不因靜電等而對掃描線 823A、控制線 823B、信號線 824 及電容線 832 施加衝擊電壓而損壞像素 TFT829 等。爲此，保護電路 835 採用當施加衝擊電壓時，向公共佈線釋放電荷的結構。

本實施例表示在信號線輸入端子 822 附近設置保護電路 835 的例子。但是，保護電路 835 的設置位置、保護電路 835 的有無不侷限於此。

藉由將實施例 1 至 6 中任一個所示的薄膜電晶體用於圖 8 的像素 TFT829，有如下優點。

藉由設置具有由實施例 1 至 6 中任一個所示的製造方法來製造的薄膜電晶體的像素，可以控制薄膜電晶體的臨界值電壓且 / 或增大薄膜電晶體的導通電流而不導致步驟數量的增加。

接下來，圖9示出表示供給到像素828的信號的電位變化的概略的波形圖，並且說明像素828的工作。圖9示出連接有任意像素的掃描線823A、控制線823B、信號線824及電容線832中的每一個電位的波形。圖9以橫軸和縱軸分別為時間和電位示出：表示掃描線823A的電位變化的概略的波形G1；表示控制線823B的電位變化的概略的波形G2；表示信號線824的電位變化的概略的波形D；以及表示電容線832的電位變化的概略的波形COM的時間變化。另外，波形G1的高電源電位表示為 V_1 ，波形G1的低電源電位表示為 V_2 ，波形G2的電位表示為 V_C ，波形D的高電源電位表示為 V_{D1} ，波形D的低電源電位表示為 V_{D2} ，並且波形COM的電位表示為 V_{COM} 。另外，如圖示那樣，波形G1從成為 V_1 然後成為 V_2 到再次成為 V_1 的期間對應於一幀週期的長度。此外，如圖示那樣，波形G1從成為 V_1 到成為 V_2 的期間對應於一閘極選擇期間的長度。

在圖9中，在一幀週期的一閘極選擇期間，即掃描線823A成為 V_1 時， V_{D1} 至 V_{D2} 的範圍內的信號線824的電位保持在像素828內的儲存電容部830。此外，在圖9中，在一幀週期的一閘極選擇期間以外的期間，即掃描線823A成為 V_2 時，像素828內的儲存電容部830保持輸入到一閘極選擇期間的電位，而與 V_{D1} 至 V_{D2} 的範圍內的信號線824的電位無關。另外，表示控制線823B的電位變化的概略的波形G2最好設定為由掃描線823A進行的像素TFT829的導通或不導通的控制不造成錯誤工作的範圍內的固定電位。藉由將

控制線 823B 的電位 V_c 設定為 V_{D2} 以下，最好為 V_2 至 V_{D2} 的範圍內，可以降低由掃描線 823A 進行的像素 TFT829 的導通或不導通的控制的錯誤工作。

如圖 9 所示那樣，藉由設置控制線 823B，並且藉由設置由實施例 1 至 6 中任一個所示的製造方法來製造的像素 TFT，可以控制薄膜電晶體的臨界值電壓且 / 或增大薄膜電晶體的導通電流而不導致步驟數量的增加。尤其是，藉由將控制線 823B 的波形 G2 設定為固定電位，可以得到臨界值電壓穩定的薄膜電晶體，這是最好的。

另外，圖 9 所示的表示供給到像素 828 的信號的電位變化的概略的波形圖只是一例，也可以與其他驅動方法組合而使用。作為其一例，也可以使用如下那樣的反轉驅動的驅動方法，該反轉驅動是指在每個一定期間中、每一個幀中或每一個像素中，對於共同電極的電位（共同電位）使施加到像素電極的電壓的極性反轉。藉由進行反轉驅動，可以抑制圖像的閃爍等的顯示不均勻及顯示元件例如液晶元件的劣化。另外，作為反轉驅動的例子，可以舉出幀反轉驅動、源極電極線反轉驅動、閘極線反轉驅動、點反轉驅動等。另外，作為顯示方式，可以使用逐行方式或隔行方式等。此外，也可以採用在像素中設置多個子像素（副像素）的結構。

接著，圖 10A 示出圖 8 所示的像素 828 的佈局圖的一例，此外圖 10B 示出沿圖 10A 中的虛線 A-B 切斷的截面。另外，圖 10A 所示的像素的佈局圖示出所謂的條形配置的例子

，其中在掃描線 823A 延伸的方向上排列配置對應於 RGB（R 是紅色，G 是綠色，並且 B 是藍色）的三色的像素。作為像素 828 的配置方式，還可以採用三角配置或拜爾（Bayer）配置。色彩單元並不侷限於 RGB 的三種顏色，也可以使用三種以上的顏色，例如可以採用 RGBW（W 是白色），或者對 RGB 加上黃色、藍綠色、紫紅色等的一種以上顏色而採用。另外，每個色彩單元的像素也可以具有不同大小的顯示區域。

圖 10A 的像素的電路示出：用作成為掃描線 823A 的佈線（第一閘極電極層）及成為電容線 832 的一方電極的佈線的第一導電層 1101；形成像素 TFT829 的通道區的氧化物半導體膜 1102；用作成為信號線 824 的佈線及成為電容線 832 的另一方電極的佈線的第二導電層 1103；用作第二閘極電極層的第三導電層 1104；用作成為控制線 823B 的佈線及像素電極 831 的第四導電層 1105（也稱為像素電極層）；以及用來獲得第二導電層 1103 和像素電極 831 之間的接觸及第四導電層和控制線 823B 之間的接觸的開口部 1106（也稱為接觸孔）。

另外，在圖 10A 所示的佈局圖中，也可以將薄膜電晶體的源極區及汲極區的相對部分形成為 U 字形或 C 字形的形狀。此外，也可以將用作閘極電極層的第一導電層 1101 形成為 U 字形或 C 字形的形狀。此外，用作第一閘極電極層的第一導電層 1101 在通道長度方向上的寬度大於氧化物半導體膜 1102 的寬度。此外，用作第二閘極電極的第三導電層

1104的寬度小於第一導電層1101的寬度且小於氧化物半導體膜1102的寬度。

此外，圖11示出其像素TFT和掃描線的連接與圖8不同的例子。圖11示出如下例子，即在實施例1至6中任一個所示的薄膜電晶體中，以夾著氧化物半導體膜的方式設置的掃描線即第一閘極電極101和控制線即第二閘極電極133都具有相同的電位的例子。另外，在圖11中，省略對於與圖8相同的部分的說明。

圖11是說明構成顯示裝置的信號輸入端子、掃描線、信號線、包括非線形元件的保護電路及像素部的位置關係的圖。圖11和圖8不同之處在於不具有控制線823B且具有對應於圖8中的掃描線823A的掃描線823。如圖11所示那樣，藉由使用掃描線823控制像素TFT，可以省略控制線，並且可以減少佈線數量及信號線輸入端子822的數量。

接下來，圖12示出表示供給到圖11所示的像素828的信號的電位變化的概略的波形圖，並且說明圖11中的像素828的工作。圖12示出連接有任意像素的掃描線823、信號線824及電容線832中的每一個電位的波形。另外，在圖12中，為了明顯地表示與圖9不同的部分，將掃描線823的電位以第一閘極電極101和第二閘極電極133分別表示，該第一閘極電極101和第二閘極電極133設置為夾著薄膜電晶體的氧化物半導體膜。圖12以橫軸和縱軸分別為時間和電位示出：表示第一閘極電極101的電位變化的概略的波形G1；表示第二閘極電極133的電位變化的概略的波形G2；表

示信號線 824 的電位變化的概略的波形 D；以及表示電容線 832 的電位變化的波形 COM 的時間變化。另外，波形 G1 及 G2 的高電源電位表示為 V_1 ，波形 G1 及 G2 的低電源電位表示為 V_2 ，波形 D 的高電源電位表示為 V_{D1} ，波形 D 的低電源電位表示為 V_{D2} ，並且波形 COM 的電位表示為 V_{COM} 。另外，如圖示那樣，波形 G1 從成為 V_1 然後成為 V_2 到再次成為 V_1 的期間對應於一幀週期的長度。此外，如圖示那樣，波形 G1 從成為 V_1 到成為 V_2 的期間對應於一閘極選擇期間的長度。

在圖 12 中，在一幀週期的一閘極選擇期間，即波形 G1 及 G2 成為 V_1 時， V_{D1} 至 V_{D2} 的範圍內的信號線 824 的電位保持在像素 828 內的儲存電容部 830 中。此外，在圖 12 中，在一幀週期的一閘極選擇期間以外的期間，即波形 G1 及 G2 成為 V_2 時，像素 828 內的儲存電容部 830 保持輸入到一閘極選擇期間的電位，而與 V_{D1} 至 V_{D2} 的範圍內的信號線 824 的電位無關。另外，在圖 12 中，波形 G1 及 G2 具有相同的電位，但是為了明顯地表示而錯開表示。

如圖 12 所示那樣，藉由使用相同的電位驅動波形 G1 及 G2，可以增大成為像素 TFT829 的通道的區域，而增大流過像素 TFT829 的電流量，因此可以實現顯示元件的高速回應。

另外，圖 12 所示的表示電位變化的概略的波形圖與圖 9 同樣只是一例，也可以與其他驅動方法組合而使用。作為其一例，也可以使用如下那樣的反轉驅動的驅動方法，

該反轉驅動是指在每個一定期間中、每一個幀中或每一個像素中，對於共同電極的電位（共同電位）使施加到像素電極的電壓的極性反轉。藉由進行反轉驅動，可以抑制圖像的閃爍等的顯示不均勻及顯示元件例如液晶元件的劣化。另外，作為反轉驅動的例子，可以舉出幀反轉驅動、源極電極線反轉驅動、閘極線反轉驅動、點反轉驅動等。另外，作為顯示方式，可以使用逐行方式或隔行方式等。此外，也可以採用在像素中設置多個子像素（副像素）的結構。

接著，圖 13 示出圖 11 所示的像素 828 的佈局圖的一例。另外，圖 13 所示的像素的佈局圖示出所謂的條形配置的例子，其中在掃描線 823 延伸的方向上排列配置對應於 RGB（R 是紅色，G 是綠色，並且 B 是藍色）的三色的像素。作為像素 828 的配置方式，還可以採用三角配置或拜爾（Bayer）配置。色彩單元並不侷限於 RGB 的三種顏色，也可以使用三種以上的顏色，例如可以採用 RGBW（W 是白色），或者對 RGB 加上黃色、藍綠色、紫紅色等的一種以上顏色而採用。另外，每個色彩單元的像素也可以具有不同大小的顯示區域。另外，沿圖 13 中的虛線 A-B 切斷的截面與圖 10B 的截面相同。

圖 13 的像素的電路示出：用作成為掃描線 823 的佈線（第一閘極電極層）及成為電容線 832 的一方電極的佈線的第一導電層 1101；形成像素 TFT829 的通道區的氧化物半導體膜 1102；用作成為信號線 824 的佈線及成為電容線 832

的另一方電極的佈線的第二導電層 1103；用作第二閘極電極層的第三導電層 1104；用作連接到第一導電層 1101的佈線及像素電極 831的第四導電層 1105；以及用來獲得第二導電層 1103和像素電極 831之間的接觸或第一導電層 1101和第四導電層 1105之間的接觸的開口部 1106（也稱為接觸孔）。

另外，在圖 13所示的佈局圖中，也可以將薄膜電晶體的源極區及汲極區的相對部分形成為 U字形或 C字形的形狀。此外，也可以將用作閘極電極層的第一導電層 1101形成為 U字形或 C字形的形狀。此外，在圖 13中，用作第一閘極電極層的第一導電層 1101在通道長度方向上的寬度大於氧化物半導體膜 1102的寬度。此外，用作第二閘極電極的第三導電層 1104的寬度（在通道長方向上的寬度）小於第一導電層 1101的寬度且大於氧化物半導體膜 1102的寬度。

如上說明那樣，藉由設置具有由實施例 1至 6中任一個所示的製造方法來製造的薄膜電晶體的像素，可以控制薄膜電晶體的臨界值電壓且 /或增大薄膜電晶體的導通電流而不導致步驟數量的增加。

另外，在本實施例中，每個附圖所示的內容可以對其他實施例所示的內容自由地進行適當的組合或變換等。

實施例 8

在本實施例中，作為具有上述實施例 1至 6中任一個所示的薄膜電晶體的顯示裝置，示出發光顯示裝置的一例。

在此，示出利用電致發光的發光元件作為顯示裝置所具有的顯示元件。對利用電致發光的發光元件根據其發光材料是有機化合物還是無機化合物進行區別，前者被稱為有機EL元件，而後者被稱為無機EL元件。

在有機EL元件中，藉由對發光元件施加電壓，電子及電洞從一對電極分別植入到包含發光有機化合物的層，以產生電流。然後，藉由使這些載子（電子及電洞）重新結合，發光有機化合物到達激發態，並且當該激發態恢復到基態時，得到發光。根據這種機理，而這種發光元件被稱為電流激發型發光元件。

根據其元件的結構，將無機EL元件分類為分散型無機EL元件和薄膜型無機EL元件。分散型無機EL元件包括在黏合劑中分散有發光材料的粒子的發光層，並且其發光機理是利用施體能級和受體能級的施體-受體重新結合型發光。薄膜型無機EL元件具有由電介質層夾住發光層並還利用電極夾住該夾住發光層的電介質層的結構，並且其發光機理是利用金屬離子的內層電子躍遷的定域型發光。另外，在此使用有機EL元件作為發光元件而進行說明。

圖14示出作為具有上述實施例1至6中任一個所示的薄膜電晶體的發光顯示裝置的像素的一例。

對於發光顯示裝置所具有的像素的結構及像素的工作進行說明。這裏示出在一個像素中使用兩個n通道型薄膜電晶體的例子，其中將氧化物半導體膜（典型的是In-Ga-Zn-O類非單晶膜）用於通道形成區。

像素 6400 包括開關電晶體 6401（也稱為第一電晶體）、驅動電晶體 6402（也稱為第二電晶體）、發光元件 6404 及電容元件 6403。在開關電晶體 6401 中，第一閘極電極與掃描線 6406A 連接，第二閘極電極與控制線 6406B 連接，第一電極（源極電極層及汲極電極層中的一方）與信號線 6405 連接，第二電極（源極電極層及汲極電極層中的另一方）與驅動電晶體 6402 的第一閘極電極連接。在驅動電晶體 6402 中，第一閘極電極藉由電容元件 6403 與電源線 6407 連接，第二閘極電極與控制線 6406B 連接，第一電極與電源線 6407 連接，第二電極與發光元件 6404 的第一電極（像素電極）連接。發光元件 6404 的第二電極相當於共同電極 6408。共同電極 6408 與形成在同一基板上的共同電位線電連接，並且將該連接部分用作共同連接部，即可。

另外，將發光元件 6404 的第二電極（共同電極 6408）設定為低電源電位。另外，低電源電位是指以設定於電源線 6407 的高電源電位為基準滿足低電源電位 < 高電源電位的電位，並且作為低電源電位例如可以設定為 GND、0V 等。將該高電源電位與低電源電位的電位差施加到發光元件 6404，使發光元件 6404 產生電流以使發光元件 6404 發光，而以高電源電位與低電源電位的電位差為發光元件 6404 的正向臨界值電壓以上的方式分別設定高電源電位和低電源電位。

另外，還可以使用驅動電晶體 6402 的閘極電容代替電容元件 6403 而省略電容元件 6403。也可以在通道區與閘極

電極之間形成驅動電晶體 6402 的閘極電容。

當進行模擬灰度驅動時，對驅動電晶體 6402 的閘極施加（發光元件 6404 的正向電壓 + 驅動電晶體 6402 的臨界值電壓）以上的電壓。發光元件 6404 的正向電壓是指在得到所希望的亮度時的電壓，至少包括正向臨界值電壓。注意，藉由輸入使驅動電晶體 6402 在飽和區中工作的視頻信號，可以在發光元件 6404 中產生電流。為了使驅動電晶體 6402 在飽和區中工作，而將電源線 6407 的電位設定為高於驅動電晶體 6402 的閘極電位。藉由將視頻信號設定為模擬方式，可以在發光元件 6404 中產生根據視頻信號的電流，而進行模擬灰度驅動。

如圖 14 所示那樣，藉由設置控制線 6406B，與實施例 1 至 6 中任一個所示的薄膜電晶體同樣，可以控制開關電晶體 6401 及驅動電晶體 6402 的臨界值電壓。尤其是，在驅動電晶體 6402 中，以在飽和區中工作的方式輸入視頻信號。因此，藉由採用由控制線 6406B 的電位控制臨界值電壓的結構，可以減小因為臨界值電壓的偏移而導致的輸入的視頻信號和發光元件的亮度之間的錯開。結果，可以實現顯示裝置的顯示質量的提高。

另外，開關電晶體 6401 是使開關工作的電晶體，也可以省略由控制線 6406B 進行的第二閘極的電位的控制。

另外，圖 14 所示的像素結構不侷限於此。例如，還可以對圖 14 所示的像素加上開關、電阻元件、電容元件、電晶體或邏輯電路等。

另外，當進行數位時間灰度驅動而代替模擬灰度驅動時，對驅動電晶體 6402 的閘極輸入使驅動電晶體 6402 充分導通或截止的視頻信號。就是說，使驅動電晶體 6402 在線性區中工作。由於使驅動電晶體 6402 在線性區中工作，因此將比電源線 6407 的電壓高的電壓施加到驅動電晶體 6402 的閘極。注意，對信號線 6405 施加（電源線電壓 + 驅動電晶體 6402 的 V_{th} ）以上的電壓。也可以採用與圖 14 相同的像素結構。

接著，參照圖 15A 至 15C 而說明發光元件的結構。在此，以驅動 TFT 是 n 型的情況為例子來說明像素的截面結構。可以與實施例 1 所示的薄膜電晶體 141 同樣地製造分別用於圖 15A 至 15C 的半導體裝置的驅動 TFT 的薄膜電晶體 7001、7011、7021，這些薄膜電晶體是將氧化物半導體膜用於通道形成區的薄膜電晶體。

爲了取出發光，發光元件的陽極及陰極的至少一方是透明即可。並且，在基板上形成薄膜電晶體及發光元件，並且有如下結構的發光元件，即從與基板相反的面取出發光的頂部發射、從基板一側的面取出發光的底部發射及從基板一側及與基板相反的面取出發光的雙面發射。像素結構可以應用於任何發射結構的發光元件。

參照圖 15A 說明頂部發射結構的發光元件。

圖 15A 示出將藉由實施例 1 所示的薄膜電晶體的製造方法形成的薄膜電晶體 7001 用作配置在像素中的驅動 TFT，並且從與薄膜電晶體 7001 電連接的發光元件 7002 發射的光

穿過到陽極 7005 一側的情況下的像素的截面圖。薄膜電晶體 7001 由層間絕緣層 7017 覆蓋，在該層間絕緣層 7017 上具有引繞佈線 7009，作為氧化物半導體膜使用 In-Ga-Zn-O 類氧化物半導體。在圖 15A 中，發光元件 7002 的陰極 7003 和驅動 TFT 的薄膜電晶體 7001 電連接，並且在陰極 7003 上按順序層疊有發光層 7004、陽極 7005。至於陰極 7003，只要是功函數低並且反射光的導電膜，就可以使用各種材料。例如，最好使用 Ca、Al、MgAg、AlLi 等。

此外，在圖 15A 中，使用與陰極 7003 相同的材料由引繞佈線 7009 覆蓋氧化物半導體膜，以遮光。由連接到引繞佈線 7009 的第二閘極電極的電位可以控制薄膜電晶體 7001 的臨界值。藉由將相同的材料用於陰極 7003 和引繞佈線 7009，可以減少步驟數量。

此外，包括由絕緣材料構成的分隔壁 7006，以便防止引繞佈線 7009 和陰極 7003 的短路。以重疊於該分隔壁 7006 的一部分和暴露的陰極的一部分的兩者方式設置有發光層 7004。

並且，發光層 7004 可以由單層或多層的疊層構成。在由多層構成時，在陰極 7003 上按順序層疊電子植入層、電子傳輸層、發光層、電洞傳輸層、電洞植入層。注意，不需要設置所有這些層。使用具有透過光的具有透光性的導電材料形成陽極 7005，例如也可以使用具有透光性的導電膜例如包含氧化鎢的氧化銦、包含氧化鎢的氧化銦鋅、包含氧化鈦的氧化銦、包含氧化鈦的氧化銦錫、氧化銦錫（

下面，表示為ITO)、氧化銦鋅、添加有氧化矽的氧化銦錫等。

由陰極7003及陽極7005夾著發光層7004的區域相當於發光元件7002。在圖15A所示的像素中，從發光元件7002發射的光如箭頭所示那樣發射到陽極7005一側。

接著，參照圖15B說明底部發射結構的發光元件。圖15B示出將藉由實施例1所示的薄膜電晶體的製造方法形成的薄膜電晶體7011用作配置在像素中的驅動TFT，並且從與薄膜電晶體7011電連接的發光元件7012發射的光發射到陰極7013一側的情況下的像素的截面圖。薄膜電晶體7011由層間絕緣層7017覆蓋，在該層間絕緣層7017上具有引繞佈線7019，作為氧化物半導體膜使用In-Ga-Zn-O類氧化物半導體。在圖15B中，在與薄膜電晶體7011電連接的具有透光性的導電膜7010上形成有發光元件7012的陰極7013，在陰極7013上按順序層疊有發光層7014、陽極7015。另外，在陽極7015具有透光性的情況下，也可以以覆蓋陽極上的方式形成有用來反射光或遮光的遮罩膜7016。與圖15A的情況同樣，至於陰極7013，只要是功函數低的導電材料，就可以使用各種材料。但是，將其膜厚度設定為透過光的程度（最好為5nm至30nm左右）。例如，可以將膜厚度為20nm的鋁膜用作陰極7013。而且，與圖15A同樣，發光層7014可以由單層或多層的疊層構成。陽極7015不需要透過光，但是可以與圖15A同樣地使用具有透光性的導電材料來形成。並且，雖然遮罩膜7016例如可以使用反射光的

金屬等，但是不侷限於金屬膜。例如，也可以使用添加有黑色的顏料的樹脂等。

此外，在圖 15B 中，使用與具有透光性的導電膜 7010 相同的具有透光性的導電材料由引繞佈線 7019 覆蓋氧化物半導體膜。在本實施例中，作為引繞佈線 7019 的材料，使用包含 SiO_x 的氧化銦錫。此外，由連接到引繞佈線 7019 的第二閘極電極的電位可以控制薄膜電晶體 7011 的臨界值。藉由將相同的材料用於具有透光性的導電膜 7010 和引繞佈線 7019，可以減少步驟數量。此外，薄膜電晶體 7011 的氧化物半導體膜由形成在引繞佈線 7019 下方的第二閘極電極遮光。

由陰極 7013 及陽極 7015 夾著發光層 7014 的區域相當於發光元件 7012。在圖 15B 所示的像素中，從發光元件 7012 發射的光如箭頭所示那樣發射到陰極 7013 一側。

接著，參照圖 15C 說明雙面發射結構的發光元件。在圖 15C 中，將藉由實施例 1 所示的薄膜電晶體的製造方法形成的薄膜電晶體 7021 用作配置在像素中的驅動 TFT，並且從與薄膜電晶體 7021 電連接的發光元件 7022 發射的光發射到陽極 7025 一側和陰極 7023 一側的兩者的情況下的像素的截面圖。薄膜電晶體 7021 由層間絕緣層 7017 覆蓋，在該層間絕緣層 7017 上具有引繞佈線 7029，作為氧化物半導體膜使用 In-Ga-Zn-O 類氧化物半導體。

此外，在與薄膜電晶體 7021 電連接的具有透光性的導電膜 7028 上形成有發光元件 7022 的陰極 7023，並且在陰極

7023上按順序層疊有發光層7024、陽極7025。與圖15A的情況同樣，至於陰極7023，只要是功函數低的導電材料，就可以使用各種材料。但是，將其膜厚度設定為透過光的程度。例如，可以將膜厚度為20nm的Al用作陰極7023。而且，與圖15A同樣，發光層7024可以由單層或多層的疊層構成。陽極7025可以與圖15A同樣地使用透過光的具有透光性的導電材料來形成。

陰極7023、發光層7024及陽極7025重疊的部分相當於發光元件7022。在圖15C所示的像素中，從發光元件7022發射的光如箭頭所示那樣發射到陽極7025一側和陰極7023一側的兩者。

此外，在圖15C中，由引繞佈線7029覆蓋氧化物半導體膜上。作為引繞佈線7029的材料，最好使用具有遮光性的導電材料如鈦、氮化鈦、鋁、鎢等。在本實施例中，使用Ti膜作為引繞佈線7029。此外，由連接到引繞佈線7029的第二閘極電極的電位控制薄膜電晶體7021的臨界值。此外，薄膜電晶體7021的氧化物半導體膜由引繞佈線7029遮光。此外，與薄膜電晶體7021電連接的具有透光性的導電膜7028使用與引繞佈線7029相同的Ti膜形成。

另外，雖然在此描述了有機EL元件作為發光元件，但是也可以設置無機EL元件作為發光元件。

另外，雖然在本實施例中示出控制發光元件的驅動的薄膜電晶體（驅動TFT）和發光元件電連接的例子，但是也可以採用在驅動TFT和發光元件之間連接有電流控制

TFT的結構。

接著，參照圖 16A和 16B說明相當於半導體裝置的一實施例的發光顯示面板（也稱為發光面板）的外觀及截面。圖 16A是一種面板的俯視圖，其中利用密封材料將形成在第一基板上的薄膜電晶體及發光元件密封在第一基板與第二基板之間。圖 16B相當於沿著圖 16A中的線 H-I的截面圖。

以圍繞設置在第一基板 4500 上的像素部 4502、信號線驅動電路 4503a、4503b 及掃描線驅動電路 4504a、4504b 的方式設置有密封材料 4505。此外，在像素部 4502、信號線驅動電路 4503a、4503b 及掃描線驅動電路 4504a、4504b 上設置有第二基板 4506。因此，像素部 4502、信號線驅動電路 4503a、4503b 及掃描線驅動電路 4504a、4504b 與填料 4507 一起由第一基板 4500、密封材料 4505 及第二基板 4506 密封。像這樣，為了不暴露於大氣，而最好由氣密性高且漏氣少的保護薄膜（貼合薄膜、紫外線固化樹脂薄膜等）或覆蓋材料封裝（密封）。

此外，設置在第一基板 4500 上的像素部 4502、信號線驅動電路 4503a、4503b 及掃描線驅動電路 4504a、4504b 包括多個薄膜電晶體。在圖 16B 中，例示包括在像素部 4502 中的薄膜電晶體 4510 和包括在信號線驅動電路 4503a 中的薄膜電晶體 4509。

作為一例，薄膜電晶體 4509、4510 使用 In-Ga-Zn-O 類氧化物半導體。在本實施例中，薄膜電晶體 4509、4510 是

n通道型薄膜電晶體。薄膜電晶體 4509、4510由與氧化物半導體膜接觸的層間絕緣層 4508覆蓋。另外，也可以採用使用由氮化矽膜構成的保護絕緣層覆蓋層間絕緣層 4508的上面及側面的結構。此外，在薄膜電晶體 4509上方設置用作引繞佈線的導電層 4522。此外，也在薄膜電晶體 4510上方設置用作引繞佈線的導電層 4521。導電層 4521及導電層 4522作為引繞佈線連接到薄膜電晶體的第二閘極電極，以進行薄膜電晶體的臨界值控制。

在作為導電層 4522使用遮光性的導電膜的情況下，可以遮斷入射到薄膜電晶體 4509的氧化物半導體膜的光。在使用具有遮光性的材料形成用作連接到第二閘極電極的引繞佈線的導電層 4522的情況下，可以得到防止因氧化物半導體的光敏度而導致的薄膜電晶體的電特性變動來實現穩定化的效果。

此外，也可以將導電層 4521的寬度設定為與導電層 4522的寬度不同。導電層 4521的寬度小於薄膜電晶體 4510的閘極電極的寬度。藉由將導電層 4521的寬度小於薄膜電晶體 4510的閘極電極的寬度，可以減小與佈線層重疊的面積來降低寄生電容。如圖 16A和 16B所示那樣，藉由將導電層 4521和導電層 4522的寬度選擇性地設定為不同，可以使用第二閘極電極進行遮光，並且可以提高對薄膜電晶體進行遮光的效果。

此外，附圖標記 4511相當於發光元件，並且發光元件 4511所具有的作為像素電極的第一電極層 4517與薄膜電晶

體 4510 的源極電極層或汲極電極層電連接。注意，雖然發光元件 4511 的結構為由第一電極層 4517、電致發光層 4512 及第二電極層 4513 構成的疊層結構，但是不侷限於本實施例所示的結構。可以根據從發光元件 4511 取出的光的方向等而適當地改變發光元件 4511 的結構。

分隔壁 4520 使用有機樹脂膜、無機絕緣膜或有機聚矽氧烷而形成。特別最好的是，以如下條件形成分隔壁 4520：使用感光性的材料，並在第一電極層 4517 上形成開口部，並且使該開口部的側壁成為具有連續曲率的傾斜面。

電致發光層 4512 既可以由單層構成，又可以由多層的疊層構成。

為了不使氧、氫、水分、二氧化碳等侵入到發光元件 4511，而可以在第二電極層 4513 及分隔壁 4520 上形成保護膜。可以形成氮化矽膜、氮氧化矽膜、DLC 膜等作為保護膜。

此外，供給到信號線驅動電路 4503a、4503b、掃描線驅動電路 4504a、4504b、或像素部 4502 的各種信號及電位是從 FPC4518a、4518b 供給的。

在本實施例中，連接端子電極 4515 由與發光元件 4511 所具有的第一電極層 4517 相同的導電膜形成，並且端子電極 4516 由與薄膜電晶體 4509、4510 所具有的源極電極層及汲極電極層相同的導電膜形成。

連接端子電極 4515 藉由各向異性導電膜 4519 電連接到 FPC4518a 所具有的端子。

位於取出來自發光元件 4511 的光的方向上的第二基板需要具有透光性。在此情況下，使用如玻璃板、塑膠板、聚酯薄膜或丙烯酸樹脂薄膜等的具有透光性的材料。

此外，作為填料 4507，除了氮、氬等的惰性氣體之外，還可以使用紫外線固化樹脂或熱固化樹脂。可以使用 PVC（聚氯乙烯）、丙烯酸樹脂、聚醯亞胺、環氧樹脂、矽酮樹脂、PVB（聚乙烯醇縮丁醛）、EVA（乙烯-醋酸乙酯）。在本實施例中，作為填料，使用氮。

另外，若有需要，則也可以在發光元件的發射面上適當地設置諸如偏光板、圓偏光板（包括橢圓偏光板）、相位差板（ $\lambda/4$ 片、 $\lambda/2$ 片）、濾色片等的光學薄膜。另外，也可以在偏光板或圓偏光板上設置抗反射膜。例如，可以進行抗眩光處理，該處理可以利用表面的凹凸來擴散反射光並降低眩光。

信號線驅動電路 4503a、4503b 及掃描線驅動電路 4504a、4504b 也可以作為在另行準備的基板上由單晶半導體膜或多晶半導體膜形成的驅動電路而安裝。此外，也可以另行僅形成信號線驅動電路或其一部分、或者掃描線驅動電路或其一部分而安裝。本實施例不侷限於圖 16A 和 16B 的結構。

藉由上述步驟，可以製造作為半導體裝置的可靠性高的發光顯示裝置（顯示面板）。

本實施例可以與其他實施例所記載的結構適當地組合而實施。

實施例 9

藉由使用實施例 1 至 6 中任一個所示的氧化物半導體膜製造薄膜電晶體，並將該薄膜電晶體用於驅動電路及像素部，可以製造具有顯示功能的液晶顯示裝置。此外，也可以將使用薄膜電晶體的驅動電路的一部分或全部一起形成在與像素部同一基板上來形成系統型面板（system-on-panel）。

液晶顯示裝置作為顯示元件包括液晶元件（也稱為液晶顯示元件）。

此外，液晶顯示裝置包括密封有顯示元件的面板和在該面板安裝有包括控制器的 IC 等的模組。再者，相當於在製造該液晶顯示裝置的過程中的顯示元件完成之前的一實施例的元件基板在多個像素中分別具備用來將電流供給到顯示元件的單元。明確而言，元件基板既可以是只形成有顯示元件的像素電極的狀態，又可以是形成成為像素電極的導電膜之後且藉由蝕刻形成像素電極之前的狀態，或其他任何方式。

注意，本說明書中的液晶顯示裝置是指圖像顯示器件、顯示器件、或光源（包括照明裝置）。此外，液晶顯示裝置包括：安裝有連接器諸如 FPC（Flexible Printed Circuit；撓性印刷電路）、TAB（Tape Automated Bonding；載帶自動接合）膠帶或 TCP（Tape Carrier Package；載帶封裝）的模組；將印刷線路板設置於 TAB 膠

帶或TCP端部的模組；藉由COG（Chip On Glass；玻璃上晶片）方式將IC（積體電路）直接安裝到顯示元件上的模組。

參照圖17A1至17B說明相當於液晶顯示裝置的一實施例的液晶顯示面板的外觀及截面。圖17A1和17A2是一種面板的俯視圖，其中利用密封材料4005將液晶元件4013密封在第一基板4001與第二基板4006之間。圖17B相當於沿著圖17A1和17A2的線M-N的截面圖。

以圍繞設置在第一基板4001上的像素部4002和掃描線驅動電路4004的方式設置有密封材料4005。此外，在像素部4002和掃描線驅動電路4004上設置有第二基板4006。因此，像素部4002和掃描線驅動電路4004與液晶層4008一起由第一基板4001、密封材料4005及第二基板4006密封。在本實施例中，對液晶層4008沒有特別的限制，但是使用顯示藍相的液晶材料。在從未施加電壓狀態到施加電壓狀態中，顯示藍相的液晶材料的回應速度短，即為1msec以下，可以實現高速回應。作為顯示藍相的液晶材料包括液晶及手性試劑。手性試劑用於使液晶取向為螺旋結構並顯示出藍相。例如，將混合有5wt%以上的手性試劑的液晶材料用於液晶層，即可。液晶使用熱致液晶、低分子液晶、高分子液晶、鐵電性液晶、反鐵電性液晶等。

此外，在圖17A1中，在與第一基板4001上的由密封材料4005圍繞的區域不同的區域安裝有信號線驅動電路4003，該信號線驅動電路4003使用單晶半導體膜或多晶半導體

膜形成在另行準備的基板上。另外，圖 17A2 是將信號線驅動電路的一部分形成在第一基板 4001 上的例子，其中，在第一基板 4001 上形成信號線驅動電路 4003b，並且在另行準備的基板上安裝有由單晶半導體膜或多晶半導體膜形成的信號線驅動電路 4003a。

另外，對另行形成的驅動電路的連接方法沒有特別的限制，而可以採用 COG 方法、引線接合方法或 TAB 方法等。圖 17A1 是藉由 COG 方法安裝信號線驅動電路 4003 的例子，並且圖 17A2 是藉由 TAB 方法安裝信號線驅動電路 4003a 的例子。

此外，設置在第一基板 4001 上的像素部 4002 和掃描線驅動電路 4004 包括多個薄膜電晶體。在圖 17B 中例示成爲基底膜的絕緣膜 4007 上的像素部 4002 所包括的薄膜電晶體 4010 和掃描線驅動電路 4004 所包括的薄膜電晶體 4011。在薄膜電晶體 4010、4011 上設置有層間絕緣層 4021。作爲薄膜電晶體 4010、4011，可以應用實施例 1 至 6 中任一個所示的薄膜電晶體。在本實施例中，薄膜電晶體 4010、4011 是將氧化物半導體膜用於通道形成區的 n 通道型薄膜電晶體。

薄膜電晶體 4010、4011 由層間絕緣層 4021 覆蓋。層間絕緣層 4021 設置爲接觸於薄膜電晶體 4010、4011 的氧化物半導體膜及第一閘極絕緣膜 4020 上。

此外，作爲用作平坦化絕緣膜的層間絕緣層 4021，可以使用具有耐熱性的有機材料如聚醯亞胺、丙烯酸樹脂、

苯並環丁烯、聚醯胺或環氧樹脂等。此外，除了上述有機材料之外，還可以使用低介電常數材料（low-k材料）、矽氧烷類樹脂、PSG（磷矽玻璃）、BPSG（硼磷矽玻璃）等。另外，也可以藉由層疊多個由這些材料形成的絕緣膜，來形成絕緣層。另外，層間絕緣層4021是透光性樹脂層，在本實施例中使用感光聚醯亞胺樹脂。

對層疊的絕緣層的形成方法沒有特別的限制，而可以根據其材料利用濺射法、SOG法、旋塗、浸漬、噴塗、液滴噴射法（噴墨法、絲網印刷、膠版印刷等）、刮刀、輥塗機、幕塗機、刮刀塗佈機等。

此外，在與薄膜電晶體4011的氧化物半導體膜重疊的位置的層間絕緣層4021上形成連接到第二閘極電極的引繞佈線4028。此外，在與薄膜電晶體4010的氧化物半導體膜重疊的位置的層間絕緣層4021上形成連接到第二閘極電極的引繞佈線4029。

此外，在第一基板4001上設置像素電極層4030及共同電極層4031，並且像素電極層4030與薄膜電晶體4010電連接。此外，對引繞佈線4028、4029可以設定與共同電極層4031相同的電位。此外，引繞佈線4028、4029可以藉由與共同電極層4031相同的步驟形成。此外，引繞佈線4028、4029當使用遮光性導電膜形成時，可以還用作對薄膜電晶體4010、4011的氧化物半導體膜進行遮光的遮光層。

此外，可以對引繞佈線4028、4029設定與共同電極層4031不同的電位。在此情況下，設置與引繞佈線4028、

4029電連接的控制線，藉由控制線的電位進行薄膜電晶體4010、4011的臨界值電壓的控制。

液晶元件4013包括像素電極層4030、共同電極層4031及液晶層4008。在本實施例中，使用藉由產生大致平行於基板（即，水平方向）的電場來在平行於基板的面內移動液晶分子以控制灰度的方式。作為這種方式，可以應用在IPS（In Plane Switching；平面內切換）模式中使用的電極結構、在FFS（Fringe Field Switching；邊緣場切換）模式中使用的電極結構。注意，在第一基板4001、第二基板4006的外側分別設置有偏光板4032、4033。

另外，作為第一基板4001、第二基板4006，可以使用具有透光性的玻璃、塑膠等。作為塑膠，可以使用FRP（Fiberglass-Reinforced Plastics；纖維增強塑膠）板、PVF（聚氟乙烯）薄膜、聚酯薄膜或丙烯酸樹脂薄膜。此外，還可以使用具有由PVF薄膜或聚酯薄膜夾有鋁箔的結構的薄片。

此外，附圖標記4035表示藉由對絕緣膜選擇性地進行蝕刻而得到的柱狀間隔物，並且它是為控制液晶層4008的膜厚度（單元間隙）而設置的。另外，也可以使用球狀間隔物。柱狀間隔物4035配置在與引繞佈線4029重疊的位置上。

此外，雖然在圖17A1至17B的液晶顯示裝置中示出在基板的外側（可見一側）設置偏光板的例子，但是也可以在基板的內側設置偏光板。根據偏光板的材料及製造步驟

條件適當地設定設置偏光板的位置即可。另外，也可以設置用作黑矩陣的遮光層。

在圖 17A1 至 17B 中，以覆蓋薄膜電晶體 4010、4011 上方的方式在第二基板 4006 一側設置有遮光層 4034。藉由設置遮光層 4034，可以進一步提高對比度的提高、薄膜電晶體的穩定化的效果。

藉由設置遮光層 4034，可以降低入射到薄膜電晶體的氧化物半導體膜的光的強度，並且可以得到防止因氧化物半導體的光敏度而導致的薄膜電晶體的電特性變動來實現穩定化的效果。

作為像素電極層 4030、共同電極層 4031 及引繞佈線 4028、4029，可以使用具有透光性的導電材料諸如包含氧化鎢的氧化銮、包含氧化鎢的氧化銮鋅、包含氧化鈦的氧化銮、包含氧化鈦的氧化銮錫、氧化銮錫（下面表示為 ITO）、氧化銮鋅、添加有氧化矽的氧化銮錫等。

此外，可以使用包含導電高分子（也稱為導電聚合物）的導電組成物來形成像素電極層 4030、共同電極層 4031 及引繞佈線 4028、4029。

此外，供給到另行形成的信號線驅動電路 4003、掃描線驅動電路 4004 或像素部 4002 的各種信號及電位是從 FPC4018 供給的。

此外，因為薄膜電晶體容易由於靜電等而發生損壞，所以最好在與閘極線或源極電極線同一基板上設置用來保護驅動電路的保護電路。保護電路最好由使用氧化物半導

體的非線性元件構成。

在圖 17A1 至 17B 中，連接端子電極 4015 由與像素電極層 4030 相同的導電膜形成，並且端子電極 4016 由與薄膜電晶體 4010、4011 的源極電極層及汲極電極層相同的導電膜形成。

連接端子電極 4015 藉由各向異性導電膜 4019 電連接到 FPC4018 所具有的端子。

此外，雖然在圖 17A1 至 17B 中示出另行形成信號線驅動電路 4003 並將它安裝到第一基板 4001 的例子，但是不侷限於該結構。既可以另行形成掃描線驅動電路而安裝，又可以另行僅形成信號線驅動電路的一部分或掃描線驅動電路的一部分而安裝。

圖 18 是液晶顯示裝置的截面結構的一例，利用密封材料 2602 固定元件基板 2600 和對置基板 2601，並在其間設置包括薄膜電晶體等的元件層 2603、液晶層 2604。

當進行彩色顯示時，在背光燈部配置發射多種發光顏色的發光二極體。當採用 RGB 方式時，將紅色的發光二極體 2910R、綠色的發光二極體 2910G、藍色的發光二極體 2910B 分別配置在將液晶顯示裝置的顯示區分割為多個區的分割區。

在對置基板 2601 的外側設置有偏光板 2606，並且在元件基板 2600 的外側設置有偏光板 2607、光學片 2613。光源由紅色的發光二極體 2910R、綠色的發光二極體 2910G、藍色的發光二極體 2910B 及反射板 2611 構成，並且設置在電

路基板 2612 上的 LED 控制電路 2912 藉由撓性線路板 2609 與元件基板 2600 的佈線電路部 2608 連接，並且還組裝有控制電路、電源電路等的外部電路。

在本實施例中示出利用該 LED 控制電路 2912 個別使 LED 發光的場序制方式的液晶顯示裝置的例子，但是沒有特別的限制，也可以作為背光燈的光源使用冷陰極管或白色 LED，並設置濾色片。

此外，雖然在本實施例中示出在 IPS 模式中使用的電極結構的例子，但是沒有特別的限制，可以使用 TN（扭曲向列；Twisted Nematic）模式、MVA（多象限垂直配向；Multi-domain Vertical Alignment）模式、PVA（垂直取向構型；Patterned Vertical Alignment）模式、ASM（軸對稱排列微胞；Axially Symmetric aligned Micro-cell）模式、OCB（光學補償彎曲；Optical Compensated Birefringence）模式、FLC（鐵電性液晶；Ferroelectric Liquid Crystal）模式、AFLC（反鐵電性液晶；Anti Ferroelectric Liquid Crystal）模式等。

本實施例可以與其他實施例所記載的結構適當地組合而實施。

實施例 10

在本實施例中，作為包括多個具有氧化物半導體膜的薄膜電晶體的半導體裝置示出電子紙的一例。

圖 19A 示出主動矩陣型電子紙的截面圖。作為用於半

導體裝置的配置在顯示部中的薄膜電晶體 581，使用實施例 1 至 6 中任一個所示的薄膜電晶體。

圖 19A 的電子紙是採用電泳方式的顯示裝置的例子，其中使用將帶正電或負電的白色微粒及黑色微粒封入在微囊中的電泳材料（微囊方式的電泳方式顯示元件）。微囊方式的電泳方式顯示元件使用直徑為 $10\mu\text{m}$ 至 $200\mu\text{m}$ 左右的微囊，該微囊中封入有透明液體、帶正電的白色微粒及帶負電的黑色微粒。當由夾住微囊的電極施加電場時，白色微粒和黑色微粒移動到相反方向。白色微粒與黑色微粒相比，外光的反射率高，藉由調節外光的反射量可以顯示白色或黑色。另外，應用這種原理的具備電泳元件的顯示裝置被稱為電子紙。電泳顯示元件具有比液晶顯示元件高的反射率，因而不需要輔助燈。此外，其耗電量低，並且在昏暗的地方也可以辨別顯示部。此外，即使不給顯示部供應電源，也能夠保持顯示過一次的圖像，因此，當使具有顯示功能的半導體裝置（簡單地稱為顯示裝置或具備顯示裝置的半導體裝置）遠離電波發射源時，也可以儲存顯示過的圖像。

形成在基板 580 上的薄膜電晶體 581 是藉由實施例 1 至 6 中任一個所示的步驟製造的薄膜電晶體，第一電極層 587A 藉由形成在層間絕緣層 585A 中的開口與源極電極層或汲極電極層電連接。在覆蓋薄膜電晶體 581 的層間絕緣層 585A 上形成連接到第二閘極電極的引繞佈線 582。並且，形成覆蓋引繞佈線 582 及第一電極層 587A 的層間絕緣層 585B。

第二電極層 587B 藉由形成在層間絕緣層 585B 中的開口與第一電極層 587A 電連接。

在第二電極層 587B 和第三導電層 588 之間設置有球形粒子 589，該球形粒子 589 具有黑色微粒 590A 及白色微粒 590B，並且球形粒子 589 的周圍填充有樹脂等的填料 595（參照圖 19A）。在本實施例中，第二電極層 587B 相當於像素電極，設置在基板 596 上的第三導電層 588 相當於共同電極。第三導電層 588 與設置在與薄膜電晶體 581 同一基板上的共同電位線電連接。在共同連接部中，可以藉由配置在一對基板間的導電粒子，使第三導電層 588 與共同電位線電連接。

此外，也可以使用扭轉球顯示方式而代替微囊方式的電泳方式顯示元件。扭轉球顯示方式是指一種方法，其中將一個半球表面為白色而另一半球表面為黑色的球形粒子配置在用於顯示元件的電極層的第一電極層及第二電極層之間，並在第一電極層及第二電極層之間產生電位差來控制球形粒子的方向，以進行顯示。

將藉由實施例 1 至 6 中任一個所示的步驟來製造的薄膜電晶體用於切換元件，可以製造減少製造成本的電子紙作為半導體裝置。電子紙可以用於用來顯示資訊的各種領域的電子設備。例如，可以將電子紙應用於電子書讀物、招貼、電車等的交通工具的車內廣告、信用卡等的各種卡片的顯示等。圖 19B 示出電子設備的一例。

圖 19B 示出電子書讀物 2700 的一例。例如，電子書讀

物 2700 由兩個框體，即框體 2701 及框體 2703 構成。框體 2701 及框體 2703 由軸部 2711 形成為一體，並且可以以該軸部 2711 為軸進行開閉動作。藉由採用這種結構，可以進行如紙的書籍那樣的動作。

框體 2701 組裝有顯示部 2705，並且框體 2703 組裝有顯示部 2707。顯示部 2705 及顯示部 2707 的結構既可以是顯示連屏畫面的結構，又可以是顯示不同的畫面的結構。藉由採用顯示不同的畫面的結構，例如可以在右邊的顯示部（圖 19B 中的顯示部 2705）上顯示文章，並且在左邊的顯示部（圖 19B 中的顯示部 2707）上顯示圖像。

此外，在圖 19B 中示出框體 2703 具備操作部等的例子。例如，在框體 2703 中，具備電源 2721、操作鍵 2723、揚聲器 2725 等。利用操作鍵 2723 可以翻頁。另外，也可以採用在與框體的顯示部同一面上具備鍵盤、定位裝置等的結構。另外，也可以採用在框體的背面或側面具備外部連接用端子（耳機端子、USB 端子或可與 AC 適配器及 USB 電纜等的各種電纜連接的端子等）、記錄媒體插入部等的結構。再者，電子書讀物 2700 也可以具有作為電子詞典的功能。

此外，電子書讀物 2700 也可以採用以無線的方式收發資訊的結構。還可以採用以無線的方式從電子書讀物伺服器購買所希望的書籍資料等，然後下載的結構。

本實施例可以與其他實施例所記載的結構適當地組合而實施。

實施例 11

包括藉由實施例 1 至 6 中任一個所示的步驟製造的薄膜電晶體的半導體裝置可以應用於各種電子設備（包括遊戲機）。

圖 20A 是可攜式遊戲機，其可以包括框體 9630、顯示部 9631、揚聲器 9633、操作鍵 9635、連接端子 9636、記錄媒體讀取部 9672 等。圖 20A 所示的可攜式遊戲機可以有如下功能：讀出儲存在記錄媒體中的程式或資料並將其顯示在顯示部上；藉由與其他可攜式遊戲機進行無線通信而實現資訊共用；等等。另外，圖 20A 所示的可攜式遊戲機可以具有各種功能，而不侷限於這些功能。

圖 20B 是數位相機，其可以包括框體 9630、顯示部 9631、揚聲器 9633、操作鍵 9635、連接端子 9636、快門按鈕 9676、圖像接收部 9677 等。圖 20B 所示的具有電視圖像接收功能的數位相機可以具有如下功能：拍攝靜止圖像；拍攝動態圖像；對所拍攝的圖像進行自動或手動校正；由天線接收各種資訊；對所拍攝的圖像或由天線接收到的資訊進行儲存；將所拍攝的圖像或由天線接收到的資訊顯示在顯示部上；等等。另外，圖 20B 所示的具有電視圖像接收功能的數位相機可以具有各種功能，而不侷限於這些功能。

圖 20C 是電視圖像接收機，其可以包括框體 9630、顯示部 9631、揚聲器 9633、操作鍵 9635、連接端子 9636 等。

圖 20C 所示的電視圖像接收機可以具有如下功能：對電視電波進行處理而將其轉換為視頻信號；對視頻信號進行處理並將其轉換為適於顯示的信號；對視頻信號的幀頻率進行轉換；等等。另外，圖 20C 所示的電視圖像接收機可以具有各種功能，而不侷限於這些功能。

圖 21A 是電腦，其可以包括框體 9630、顯示部 9631、揚聲器 9633、操作鍵 9635、連接端子 9636、定位裝置 9681、外部連接埠 9680 等。圖 21A 所示的電腦可以具有如下功能：將各種資訊（靜止圖像、動態圖像、文字圖像等）顯示在顯示部上；利用各種軟體（程式）控制處理；無線通信或有線通信等的通信；利用通信功能而連接到各種電腦網路；根據通信功能進行各種資料的發送或接收；等等。另外，圖 21A 所示的電腦可以具有各種功能，而不侷限於這些功能。

接著，圖 21B 是手機，其可以包括框體 9630、顯示部 9631、揚聲器 9633、操作鍵 9635、麥克風 9638、外部連接埠 9680 等。圖 21B 所示的手機可以具有如下功能：顯示各種資訊（靜止圖像、動態圖像、文字圖像等）；將日曆、日期或時刻等顯示在顯示部上；對顯示在顯示部上的資訊進行操作或編輯；利用各種軟體（程式）控制處理；等等。另外，圖 21B 所示的手機可以具有各種功能，而不侷限於這些功能。

在本實施例所述的電子設備中，可以藉由前面的實施例所說明的半導體裝置的製造方法形成用來顯示資訊的顯

示部中的薄膜電晶體。換言之，在使用氧化物半導體的通道形成區上下配置閘極電極的半導體裝置的製造方法中，可以形成能夠控制臨界值電壓而不導致步驟數量的增加的結構。因此，可以以低成本製造電特性高的半導體裝置。

另外，在本實施例中，各附圖所述的內容可以對另外的實施例所述的內容適當地自由進行組合或者置換等。

例子 1

本例子示出對藉由上述實施例所示的半導體裝置的製造方法製造的薄膜電晶體進行用來確認由第二閘極電極控制臨界值電壓的效果的模擬實驗的結果。另外，使用Silvaco公司製造的裝置模擬器“ATLAS”進行該模擬實驗。

首先，圖22示出進行模擬實驗的裝置結構。圖22所示的裝置結構是將上述實施例所說明的結構（底閘極/底接觸型）的電晶體模型化表示的，其包括第一閘極電極2201、第一絕緣膜2202、源極電極2203A、汲極電極2203B、氧化物半導體膜2204、第二絕緣膜2205、以及第二閘極電極2206。

在圖22中，以如下條件進行模擬實驗：第一閘極電極2201的電位為-20V至20V；源極電極2203A的電位為0V；汲極電極2203B的電位為10V；第二閘極電極2206的電位為-5V至5V；氧化物半導體膜2204的膜厚度為50nm；通道長度L為5 μ m；通道寬度W為50 μ m；第一絕緣膜2202的膜

厚度為 $0.2\mu\text{m}$ ，其相對介電常數 ϵ 為 4.1（設想氧氮化矽膜（SiON））；第二絕緣膜 2205 的膜厚度為 $0.1\mu\text{m}$ 至 1500nm ，其相對介電常數 ϵ 為 3.1（設想聚醯亞胺膜（PI））或 4.1。另外，作為氧化物半導體膜的參數，將帶隙設定為 3.05eV ，將電子遷移率設定為 $15\text{cm}^2/\text{Vs}$ ，將電洞遷移率設定為 $0.1\text{cm}^2/\text{V}\cdot\text{s}$ ，將電子親和勢設定為 4.3eV ，並且將相對介電常數設定為 10，進行模擬試驗。

圖 22 所示的 MOS 結構可以近似於電容元件的串聯連接地模型化。公式（1）表示此時成立的公式。在公式 1 中， C_f 相當於第一閘極電極 2201 和氧化物半導體膜 2204 之間的靜電電容， C_b 相當於第二閘極電極 2206 和氧化物半導體膜 2204 之間的靜電電容， V_s 相當於氧化物半導體膜 2204 的電位， V_g 相當於第一閘極電極 2201 的電位，並且 V_b 相當於第二閘極電極 2206 的電位。公式 1 表示蓄積在第一閘極電極 2201 和氧化物半導體膜 2204 之間的電荷與蓄積在第二閘極電極 2206 和氧化物半導體膜 2204 之間的電荷的總合為一定。

$$C_f(V_s - V_g) + C_b(V_s - V_b) = \text{const.} \quad \dots(1)$$

在此，在將圖 22 所示的 MOS 結構的臨界值電壓設定為 V_{th} ，將氧化物半導體膜 2204 的電位設定為 V_{s0} 的情況下，當第一閘極電極 2201 和源極電極 2203A 之間的電位差等於臨界值電壓時，公式（1）也成立。此時，公式（2）成立。

$$C_f(V_{s0} - V_{th}) + C_b(V_{s0} - V_b) = \text{const.} \quad \dots(2)$$

此時，考慮到當改變第二閘極電極 2206 的電位 V_b 時的臨界值電壓 V_{th} 的變化量。 V_{s0} 是根據與源極電極 2203A 的電位的關係而決定的，並且需要與第二閘極電極 2206 的電位 V_b 無關地為一定，因此，使用 V_b 對公式 (2) 進行微分計算而公式 (3) 成立。

$$-C_f \frac{dV_{th}}{dV_b} - C_b = 0 \quad \dots(3)$$

藉由整理公式 (3) 而可以得到表示對於第二閘極電極 2206 的電位的變化量的臨界值電壓的變化量的公式 (4)。另外，在公式 (4) 中， ϵ_f 表示第一絕緣膜 2202 的相對介電常數， ϵ_b 表示第二絕緣膜 2205 的相對介電常數， t_f 表示第一絕緣膜 2202 的膜厚度， t_b 表示第二絕緣膜 2205 的膜厚度。

$$-\frac{\Delta V_{th}}{\Delta V_b} = \frac{C_b}{C_f} = \frac{\epsilon_b t_f}{\epsilon_f t_b} \quad \dots(4)$$

圖 23 中示出圖 22 所示的裝置模擬實驗的結果的曲線及藉由將變數輸入到公式 (4) 中而得到的曲線，上述曲線分別表示根據第二閘極電極 2206 的電位的變化量 ΔV_b 的臨界值變化量 ΔV_{th} 與背閘極一側的絕緣膜的膜厚度之間的關係。在圖 23 所示的圖表中，橫軸表示第二絕緣膜 2205 的膜厚度，縱軸表示 $-\Delta V_{th}/\Delta V_b$ 。此外，在圖 23 中，三角標記表示當將第二絕緣膜 2205 的相對介電常數 ϵ 設定為 3.1 時的裝置模擬實驗的結果，曲線 2301 表示藉由將第二絕緣膜 2205 的相對介電常數 ϵ 設定為 3.1 並將變數輸入到公式 (4) 中而得到的結果，圓圈標記表示當將第二絕緣膜 2205 的相對

介電常數 ϵ 設定為 4.1 時的裝置模擬實驗的結果，並且曲線 2302 表示藉由將第二絕緣膜 2205 的相對介電常數 ϵ 設定為 4.1 並將變數輸入到公式 4 中而得到的結果。

由根據圖 23 所示的任何結果可知：第二絕緣膜 2205 的膜厚度越厚，對於背閘極偏壓的 V_{th} 的變動越小。此外，根據圖 23 所示的任何結果還可以得知：當將第二絕緣膜 2205 的膜厚度設定為厚於 $0.5\mu\text{m}$ (500nm) 時第二絕緣膜 2205 幾乎都不受到背閘極偏壓的影響。由此可知，第二絕緣膜 2205 的膜厚度最好為 50nm 以上且 500nm 以下，以便可以根據第二閘極電極的電位變動而使臨界值電壓的變化大。

在前面的實施例所述的半導體裝置的製造方法中，在進行氧化物半導體層的構圖之前在氧化物半導體膜上形成第二絕緣膜。因此，可以消除第二絕緣膜的因氧化物半導體膜的膜厚度而導致的臺階形狀。結果，可以得到容易減薄第二絕緣膜的膜厚度的結構。從而，藉由控制第二閘極電極的電位，可以將為薄膜電晶體的臨界值電壓的控制而需要的電位設定為小。

本說明書根據 2009 年 5 月 1 日在日本專利局受理的日本專利申請編號 2009-111693 而製作，所述申請內容包括在本說明書中作為參考。

【圖式簡單說明】

在附圖中：

圖 1A 至 1E 是表示本發明的一實施例的截面圖；

圖 2A 至 2E 是表示本發明的一實施例的截面圖；

圖 3A 至 3E 是表示本發明的一實施例的截面圖；

圖 4A 至 4E 是表示本發明的一實施例的截面圖；

圖 5A 至 5E 是表示本發明的一實施例的截面圖；

圖 6A 至 6E 是表示本發明的一實施例的截面圖；

圖 7A 和 7B 分別是顯示裝置的方塊圖和說明 TFT 的圖

；

圖 8 是表示顯示裝置的方塊圖的圖；

圖 9 是表示電位變化的波形的圖；

圖 10A 和 10B 是表示像素的佈局的圖；

圖 11 是說明顯示裝置的方塊圖的圖；

圖 12 是表示電位變化的波形的圖；

圖 13 是表示像素的佈局的圖；

圖 14 是說明本發明的一實施例的半導體裝置的像素等效電路的圖；

圖 15A 至 15C 是說明本發明的一實施例的半導體裝置的截面圖；

圖 16A 和 16B 分別是說明本發明的一實施例的半導體裝置的俯視圖及截面圖；

圖 17A1、17A2、17B 分別是說明本發明的一實施例的半導體裝置的俯視圖及截面圖；

圖 18 是說明本發明的一實施例的半導體裝置的截面圖

；

圖 19A 和 19B 是說明本發明的一實施例的半導體裝置的
截面圖及電子設備的外方塊圖；

圖 20A 至 20C 是表示本發明的一實施例的電子設備的圖

；

圖 21A 和 21B 是表示本發明的一實施例的電子設備的圖

；

圖 22 是說明本發明之例子的圖；

圖 23 是說明本發明之例子的圖。

【主要元件符號說明】

100：基板

101：閘極電極

111：閘極絕緣膜

112：佈線層

113：氧化物半導體膜

121：氧化物半導體膜

122：絕緣膜

123：導電層

124：通道保護膜

131：氧化物半導體膜

132：閘極絕緣膜

133：閘極電極

134：抗蝕劑掩模

135：緩衝層

- 136 : 通道保護膜
- 141 : 薄膜電晶體
- 142 : 樹脂層
- 143 : 引繞佈線
- 144 : 像素電極
- 580 : 基板
- 581 : 薄膜電晶體
- 582 : 引繞佈線
- 588 : 電極層
- 589 : 球形粒子
- 595 : 填充劑
- 596 : 基板
- 800 : 基板
- 801 : 像素部
- 802 : 掃描線驅動電路
- 803 : 信號線驅動電路
- 804 : 薄膜電晶體
- 820 : 基板
- 822 : 信號線輸入端子
- 824 : 信號線
- 827 : 像素部
- 828 : 像素
- 829 : 像素 TFT
- 830 : 儲存電容部

- 831 : 像素電極
- 832 : 電容線
- 833 : 公共端子
- 835 : 保護電路
- 1101 : 導電層
- 1102 : 氧化物半導體膜
- 1103 : 導電層
- 1104 : 導電層
- 1105 : 導電層
- 1106 : 開口部
- 2201 : 閘極電極
- 2202 : 絕緣膜
- 2203A : 源極電極
- 2203B : 汲極電極
- 2204 : 氧化物半導體膜
- 2205 : 絕緣膜
- 2206 : 閘極電極
- 2301 : 曲線
- 2302 : 曲線
- 2600 : 元件基板
- 2601 : 對置基板
- 2602 : 密封材料
- 2603 : 元件層
- 2604 : 液晶層

- 2606 : 偏光板
- 2607 : 偏光板
- 2608 : 佈線電路部
- 2609 : 撓性線路板
- 2611 : 反射板
- 2612 : 電路基板
- 2613 : 光學片
- 2700 : 電子書讀物
- 2701 : 框體
- 2703 : 框體
- 2705 : 顯示部
- 2707 : 顯示部
- 2711 : 軸部
- 2721 : 電源
- 2723 : 操作鍵
- 2725 : 揚聲器
- 2912 : LED控制電路
- 4001 : 基板
- 4002 : 像素部
- 4003 : 信號線驅動電路
- 4004 : 掃描線驅動電路
- 4005 : 密封材料
- 4006 : 基板
- 4008 : 液晶層

- 4010：薄膜電晶體
- 4011：薄膜電晶體
- 4013：液晶元件
- 4015：連接端子電極
- 4016：端子電極
- 4018：FPC
- 4019：各向異性導電膜
- 4020：閘極絕緣膜
- 4021：層間絕緣層
- 4028：引繞佈線
- 4029：引繞佈線
- 4030：像素電極層
- 4031：公共電極層
- 4032：偏光板
- 4033：偏光板
- 4034：遮光層
- 4035：間隔物
- 4500：基板
- 4502：像素部
- 4505：密封材料
- 4506：基板
- 4507：填充劑
- 4508：層間絕緣層
- 4509：薄膜電晶體

- 4510：薄膜電晶體
- 4511：發光元件
- 4512：電場發光層
- 4513：電極層
- 4515：連接端子電極
- 4516：端子電極
- 4517：電極層
- 4519：各向異性導電膜
- 4520：分隔壁
- 4521：導電層
- 4522：導電層
- 585A：層間絕緣層
- 585B：層間絕緣層
- 587A：電極層
- 587B：電極層
- 590A：黑色微粒
- 590B：白色微粒
- 6400：像素
- 6401：開關電晶體
- 6402：驅動電晶體
- 6403：電容元件
- 6404：發光元件
- 6405：信號線
- 6407：電源線

- 6408 : 共同電極
- 7001 : 薄膜電晶體
- 7002 : 發光元件
- 7003 : 陰極
- 7004 : 發光層
- 7005 : 陽極
- 7006 : 分隔壁
- 7009 : 引繞佈線
- 7010 : 導電膜
- 7011 : 薄膜電晶體
- 7012 : 發光元件
- 7013 : 陰極
- 7014 : 發光層
- 7015 : 陽極
- 7016 : 遮罩膜
- 7017 : 層間絕緣層
- 7019 : 引繞佈線
- 7021 : 薄膜電晶體
- 7022 : 發光元件
- 7023 : 陰極
- 7024 : 發光層
- 7025 : 陽極
- 7028 : 導電膜
- 7029 : 引繞佈線

823A : 掃描線
823B : 控制線
9630 : 框體
9631 : 顯示部
9633 : 揚聲器
9635 : 操作鍵
9636 : 連接端子
9638 : 麥克風
9672 : 記錄媒體讀取部
9676 : 快門按鈕
9677 : 圖像接收部
9680 : 外部連接埠
9681 : 定位裝置
2203A : 源極電極
2203B : 汲極電極
2910B : 發光二極體
2910G : 發光二極體
2910R : 發光二極體
4003a : 信號線驅動電路
4003b : 信號線驅動電路
4503a : 信號線驅動電路
4504a : 掃描線驅動電路
4518a : FPC
6406A : 掃描線

修正
年月日
105. 5. - 5

6406B : 控制線

七、申請專利範圍：

1. 一種半導體裝置的製造方法，包括：

在絕緣表面上形成第一導電層；

進行第一構圖以形成第一閘極電極；

在該第一閘極電極上形成第一絕緣膜；

在該第一絕緣膜上形成第二導電層；

進行第二構圖以形成佈線層；

在該第一絕緣膜及該佈線層上形成氧化物半導體膜、第二絕緣膜及第三導電層；

進行第三構圖以形成島狀氧化物半導體膜、該島狀氧化物半導體膜上的島狀第二絕緣膜及該島狀第二絕緣膜上的第二閘極電極；

形成覆蓋該第一絕緣膜、該佈線層、該島狀氧化物半導體膜、該島狀第二絕緣膜及該第二閘極電極的層間絕緣層；

進行第四構圖以形成到達該第二閘極電極的開口部及到達該佈線層的開口部；

在該層間絕緣層上形成導電材料；以及

進行第五構圖以形成連接到該第二閘極電極的引繞佈線及連接到該佈線層的像素電極，

其中該氧化物半導體膜是第一氧化物半導體膜，

其中藉由進行該第二構圖來在該佈線層上形成第二氧化物半導體膜，且

其中藉由在該氧化物半導體膜和該佈線層彼此重疊的

區域中進行該第三構圖來設置由該第二氧化物半導體膜形成的緩衝層。

2. 一種半導體裝置的製造方法，包括：

在絕緣表面上形成第一導電層；

進行第一構圖以形成第一閘極電極；

在該第一閘極電極上形成第一絕緣膜；

在該第一絕緣膜上形成第二導電層；

進行第二構圖以形成佈線層；

在該第一絕緣膜及該佈線層上形成氧化物半導體膜、通道保護膜、第二絕緣膜及第三導電層；

進行第三構圖以形成島狀氧化物半導體膜、該島狀氧化物半導體膜上的島狀通道保護膜、該島狀通道保護膜上的島狀第二絕緣膜及該島狀第二絕緣膜上的第二閘極電極；

形成覆蓋該第一絕緣膜、該佈線層、該島狀氧化物半導體膜、該島狀通道保護膜、該島狀第二絕緣膜及該第二閘極電極的層間絕緣層；

進行第四構圖以形成到達該第二閘極電極的開口部及到達該佈線層的開口部；

在該層間絕緣層上形成導電材料；以及

進行第五構圖以形成連接到該第二閘極電極的引繞佈線及連接到該佈線層的像素電極，

其中該氧化物半導體膜是第一氧化物半導體膜，

其中藉由進行該第二構圖來在該佈線層上形成第二氧

化物半導體膜，且

其中藉由在該氧化物半導體膜和該佈線層彼此重疊的區域中進行該第三構圖來設置由該第二氧化物半導體膜形成的緩衝層。

3. 如申請專利範圍第 1 或 2 項的半導體裝置的製造方法，

其中該氧化物半導體膜是第一氧化物半導體膜，且

其中藉由進行該第二構圖來在該佈線層下形成第二氧化物半導體膜。

4. 如申請專利範圍第 1 或 2 項的半導體裝置的製造方法，

其中重疊於該第二閘極電極地設置該引繞佈線。

5. 如申請專利範圍第 1 或 2 項的半導體裝置的製造方法，

其中該層間絕緣層使用聚醯亞胺形成。

6. 如申請專利範圍第 2 項的半導體裝置的製造方法，

其中該通道保護膜使用非晶矽形成。

7. 如申請專利範圍第 1 或 2 項的半導體裝置的製造方法，

其中該氧化物半導體膜包含氧化矽。

8. 如申請專利範圍第 1 或 2 項的半導體裝置的製造方法，

其中與該第一閘極電極連接地形成該引繞佈線。

9. 如申請專利範圍第 1 或 2 項的半導體裝置的製造方

法，

其中該第二絕緣膜的膜厚度為 50nm 或以上且 500nm 或以下。

圖 1A

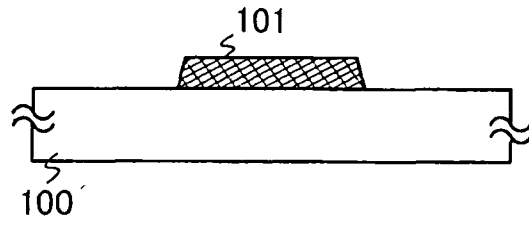


圖 1B

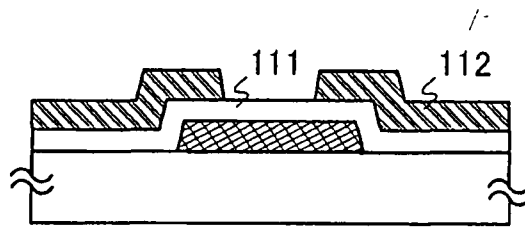


圖 1C

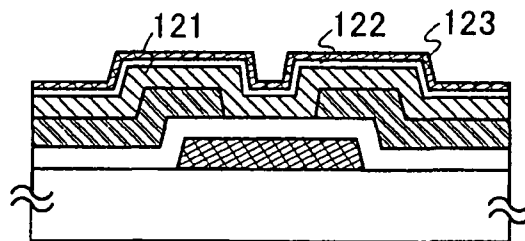


圖 1D

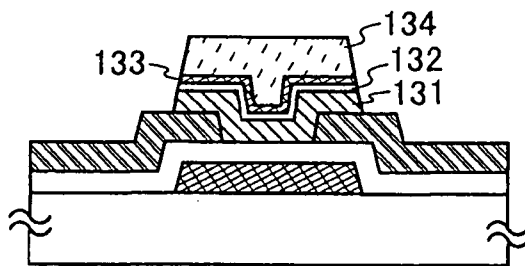


圖 1E

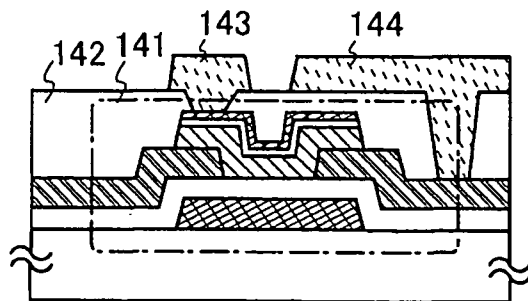


圖 2A

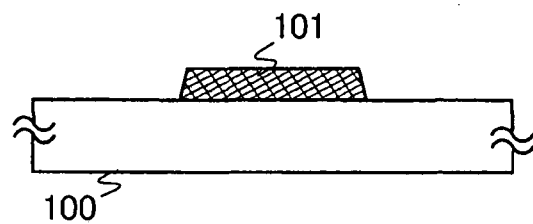


圖 2B

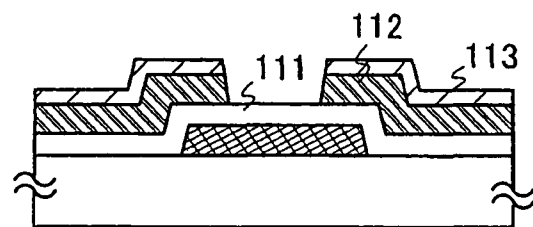


圖 2C

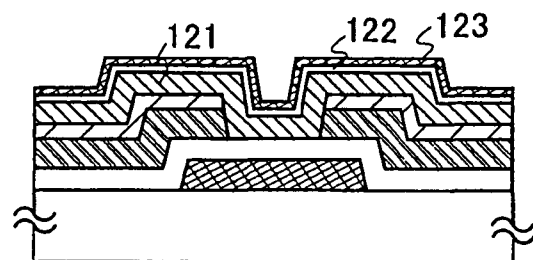


圖 2D

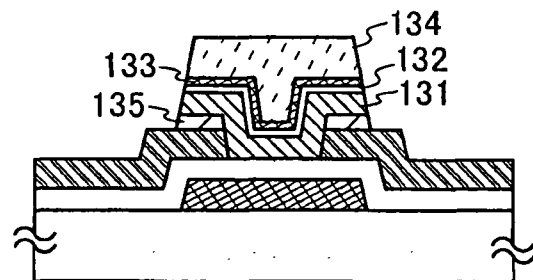


圖 2E

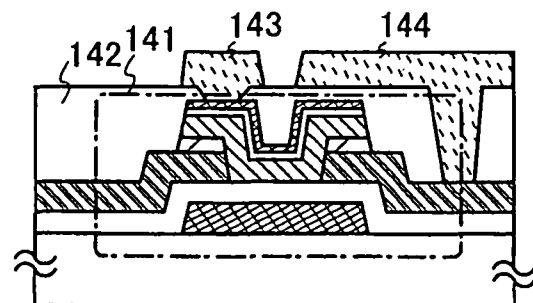


圖 3A

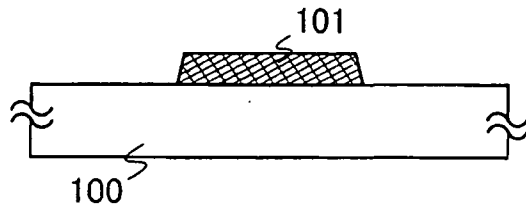


圖 3B

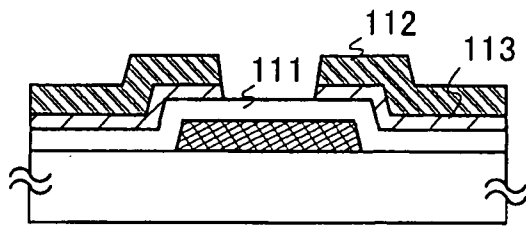


圖 3C

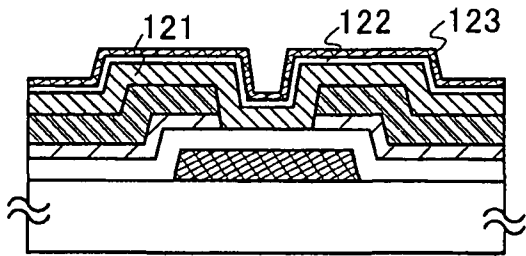


圖 3D

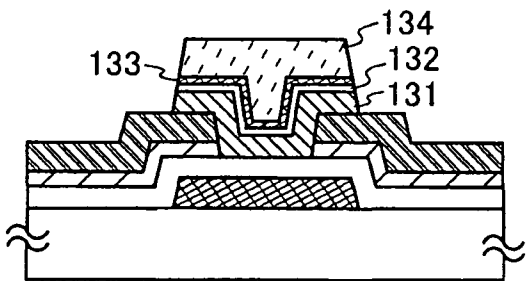


圖 3E

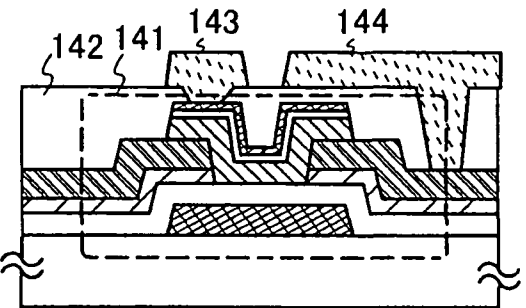


圖 4A

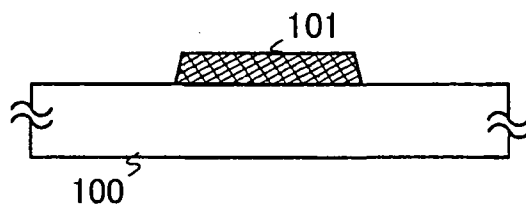


圖 4B

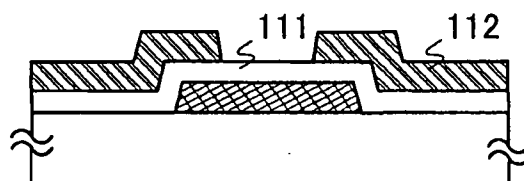


圖 4C

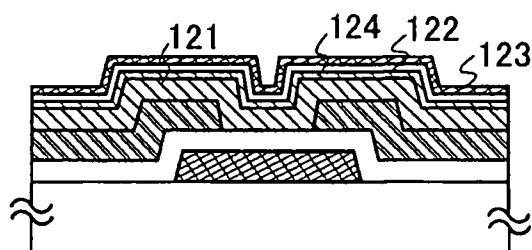


圖 4D

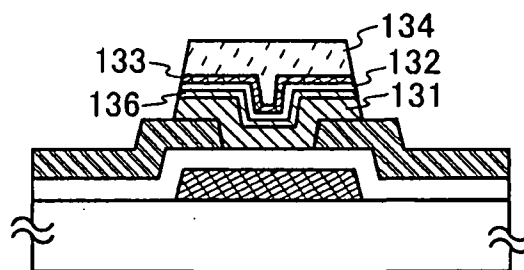


圖 4E

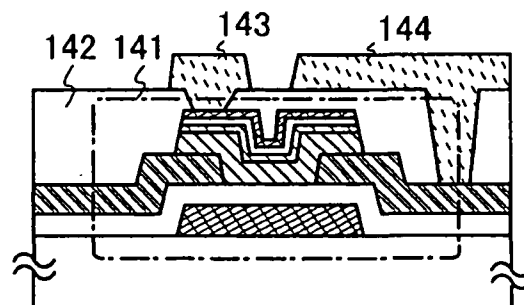


圖 5A

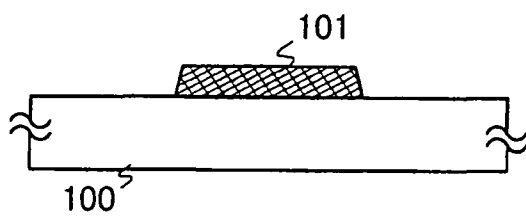


圖 5B

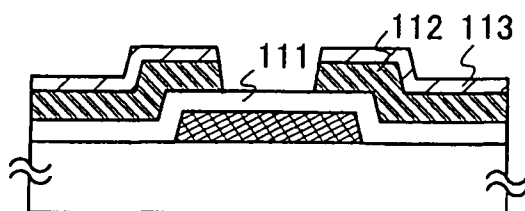


圖 5C

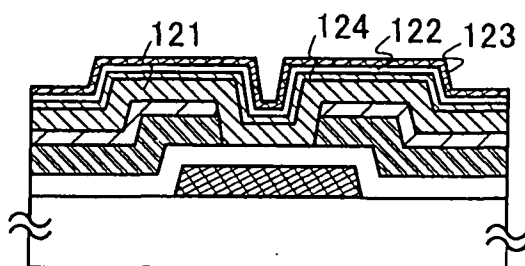


圖 5D

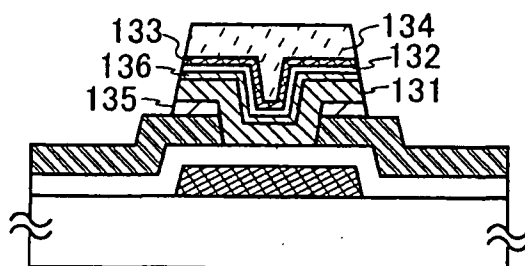


圖 5E

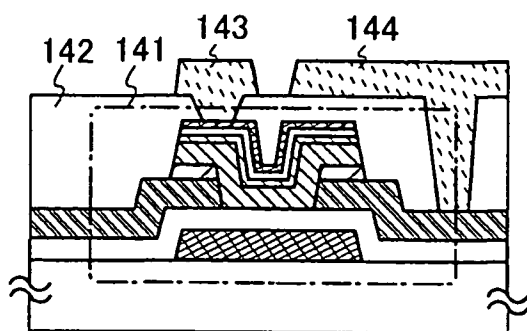


圖 6A

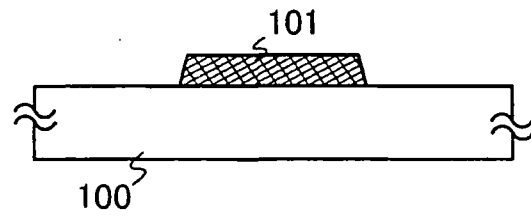


圖 6B

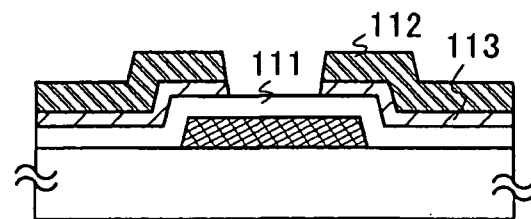


圖 6C

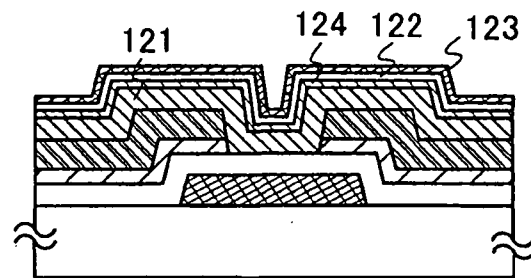


圖 6D

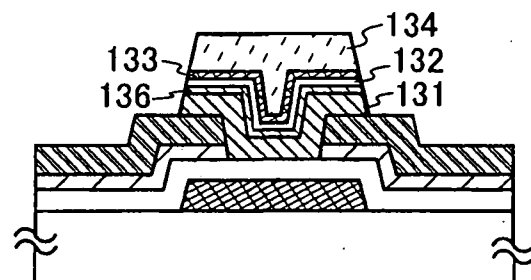


圖 6E

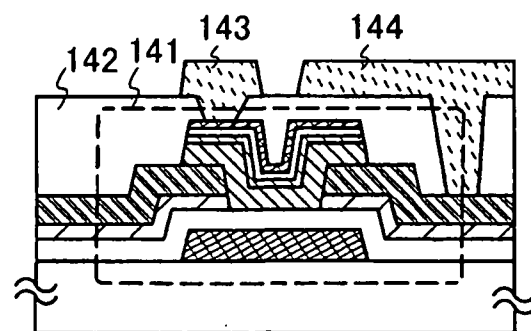


圖 7A

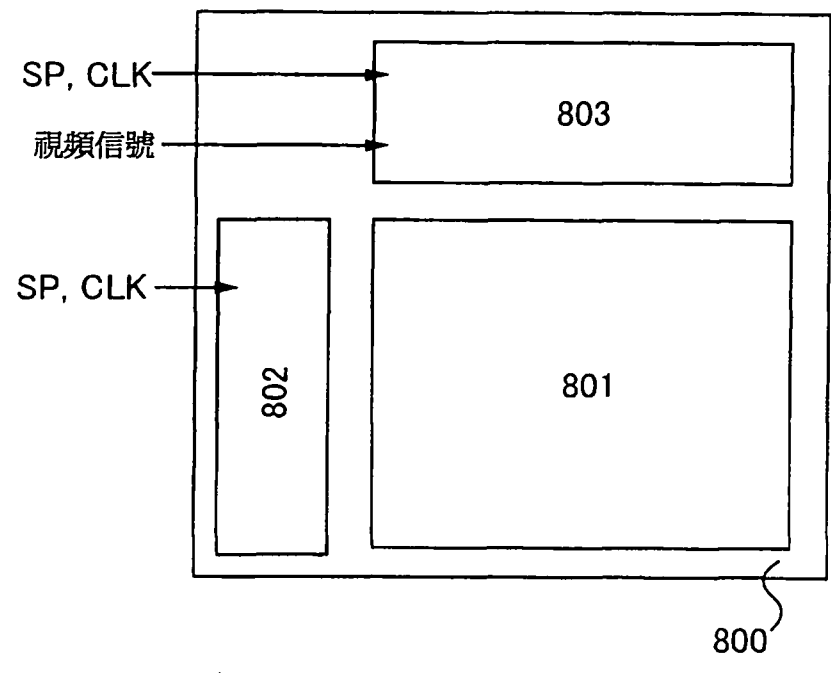


圖 7B

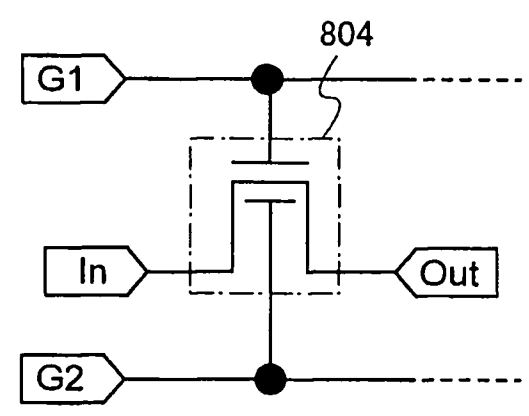


圖 8

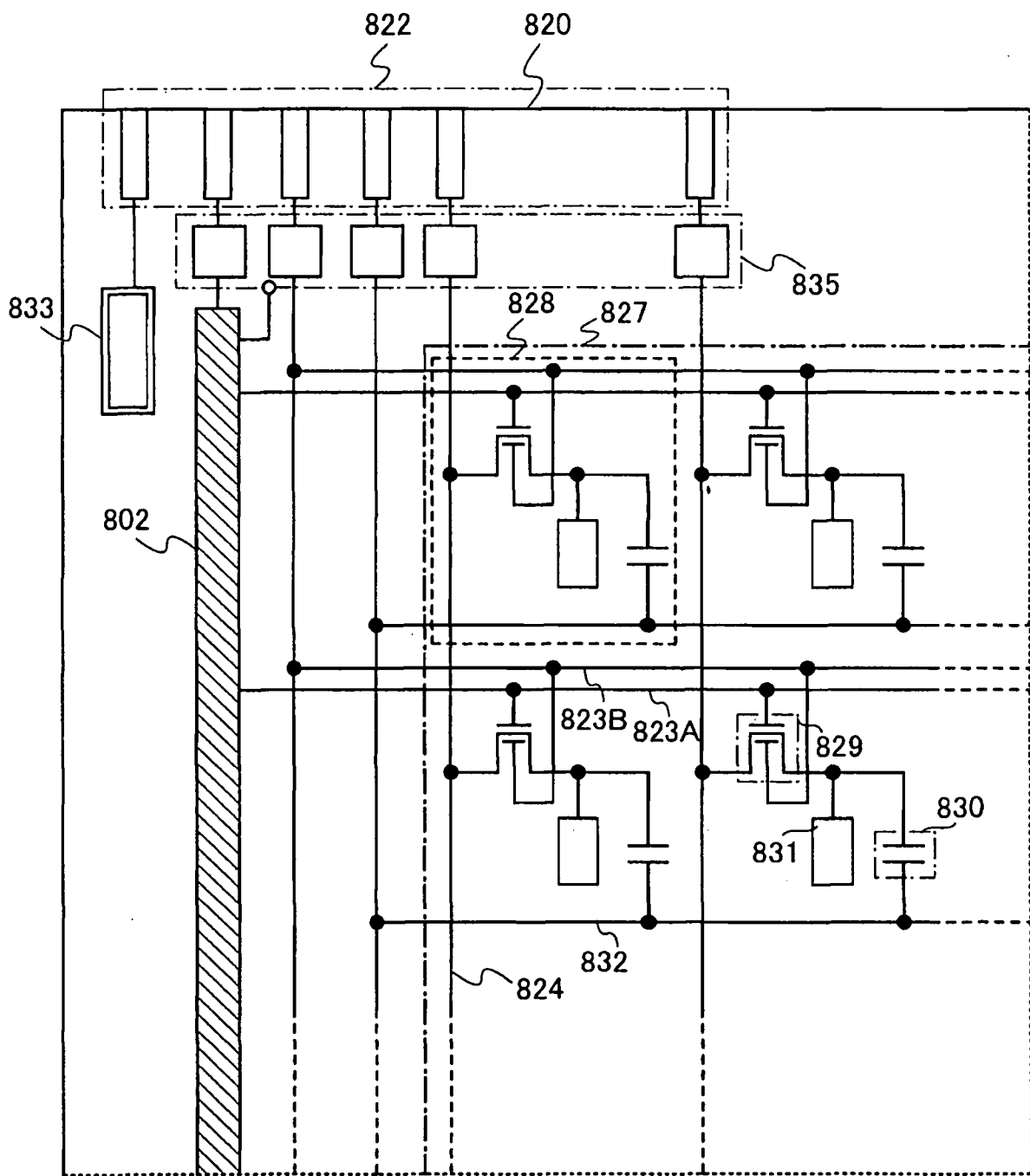


圖9

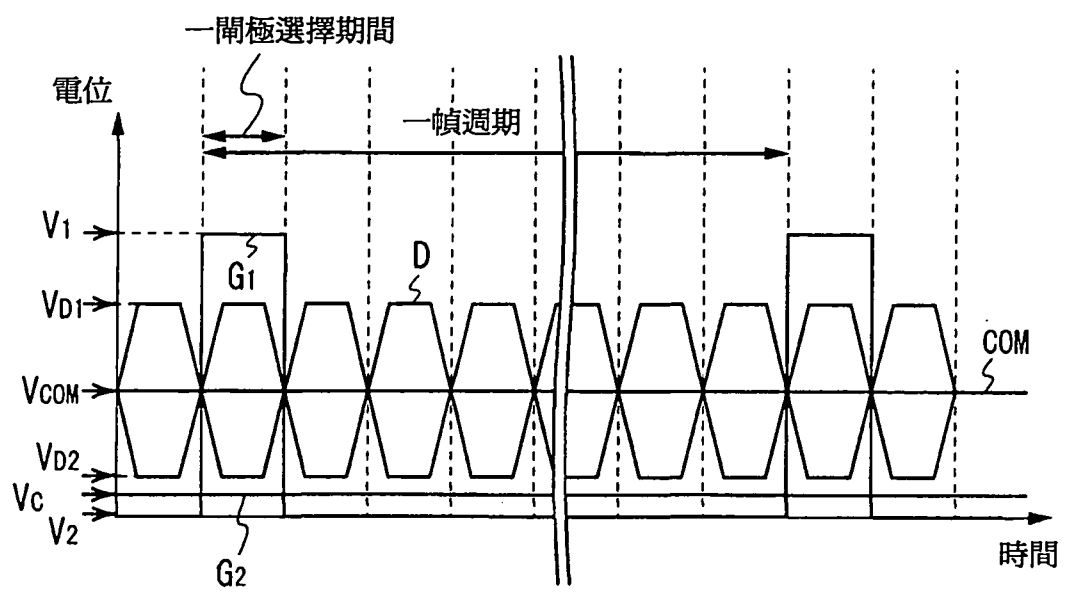
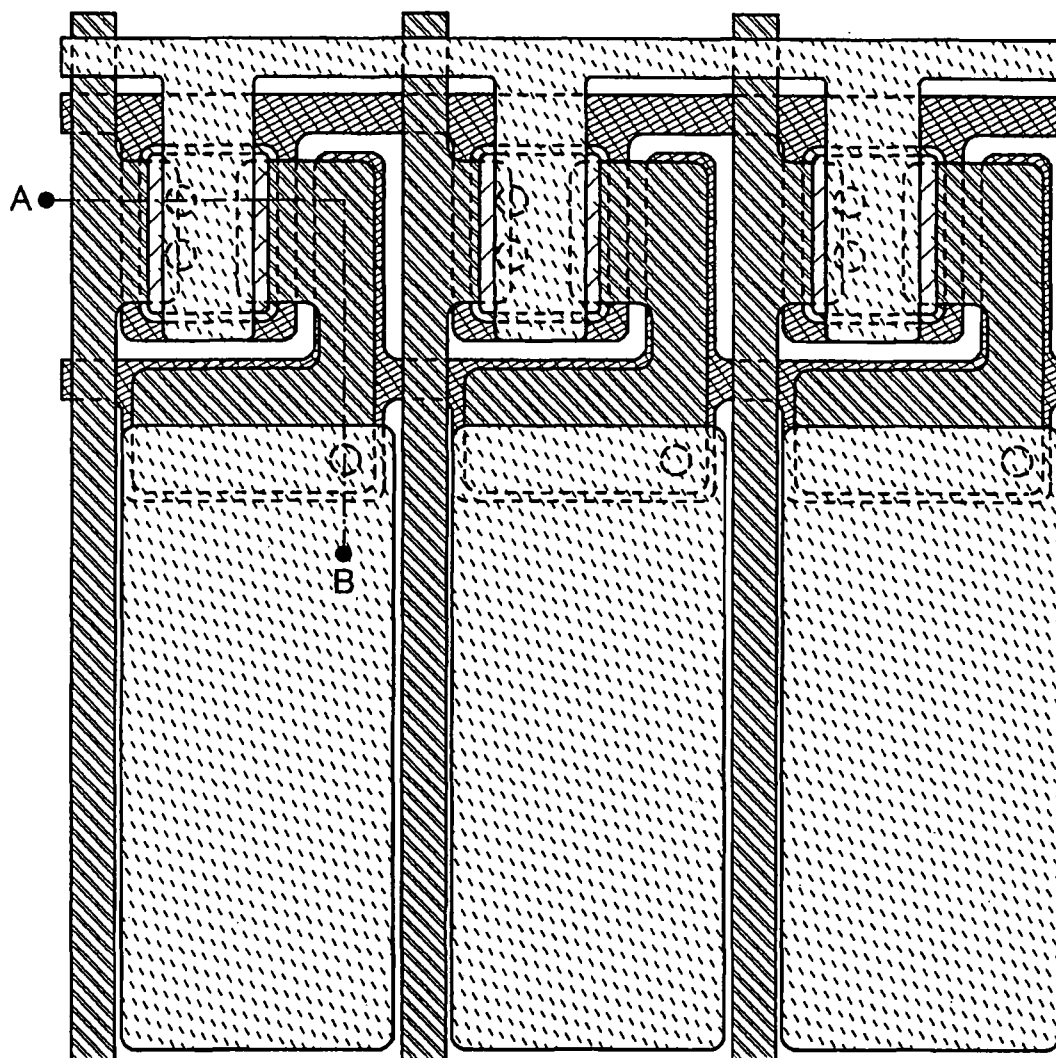


圖 10A



1101 ~ [diagonal hatching]

1104 ~ [diagonal hatching]

1102 ~ [diagonal hatching]

1105 ~ [dotted pattern]

1103 ~ [diagonal hatching]

1106 ~ [dotted pattern]

圖 10B

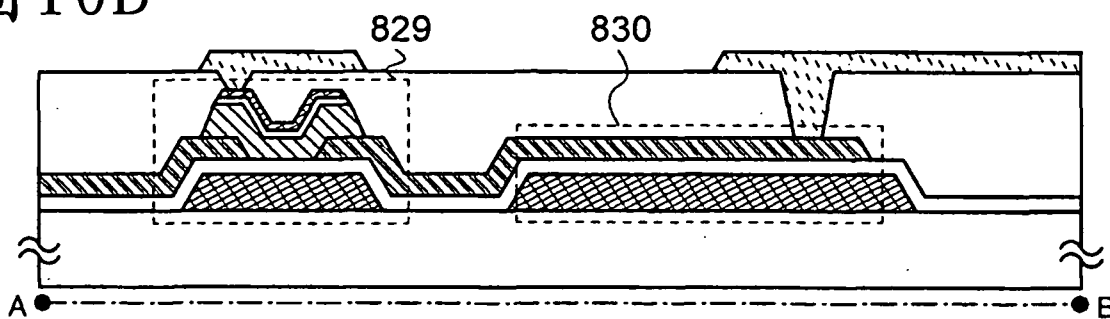


圖 11

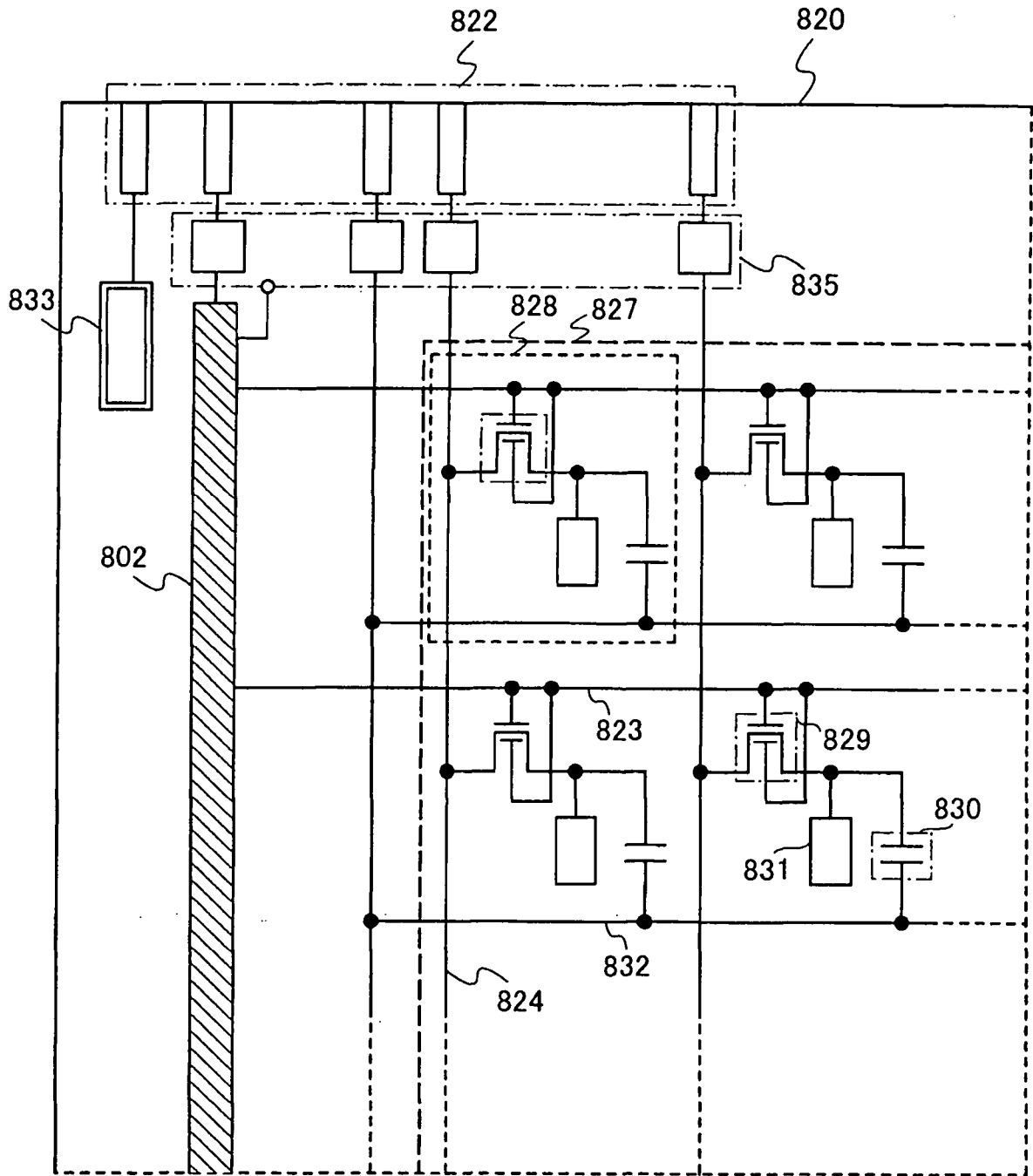


圖12

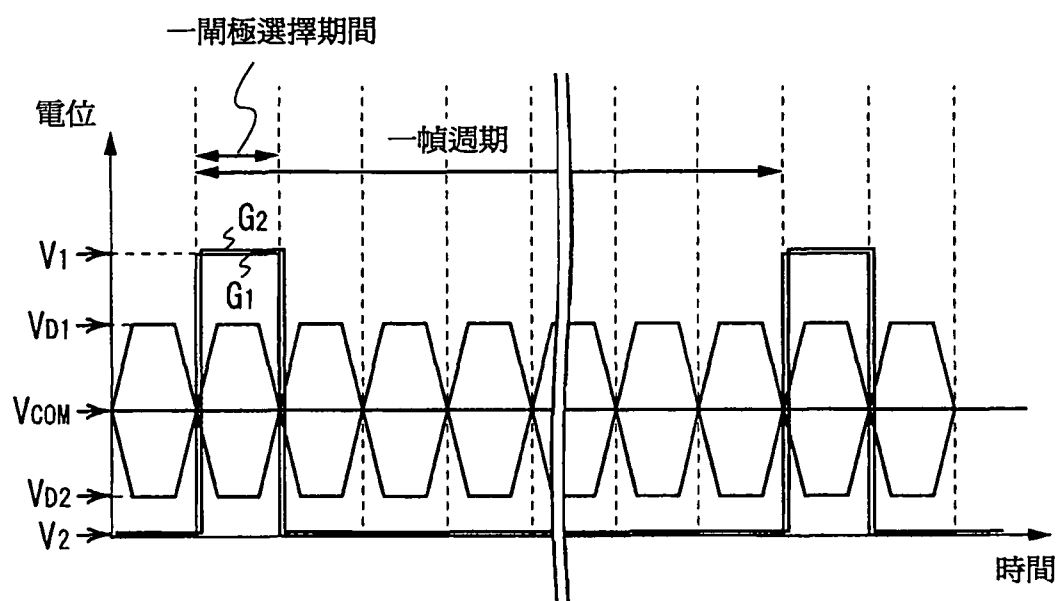
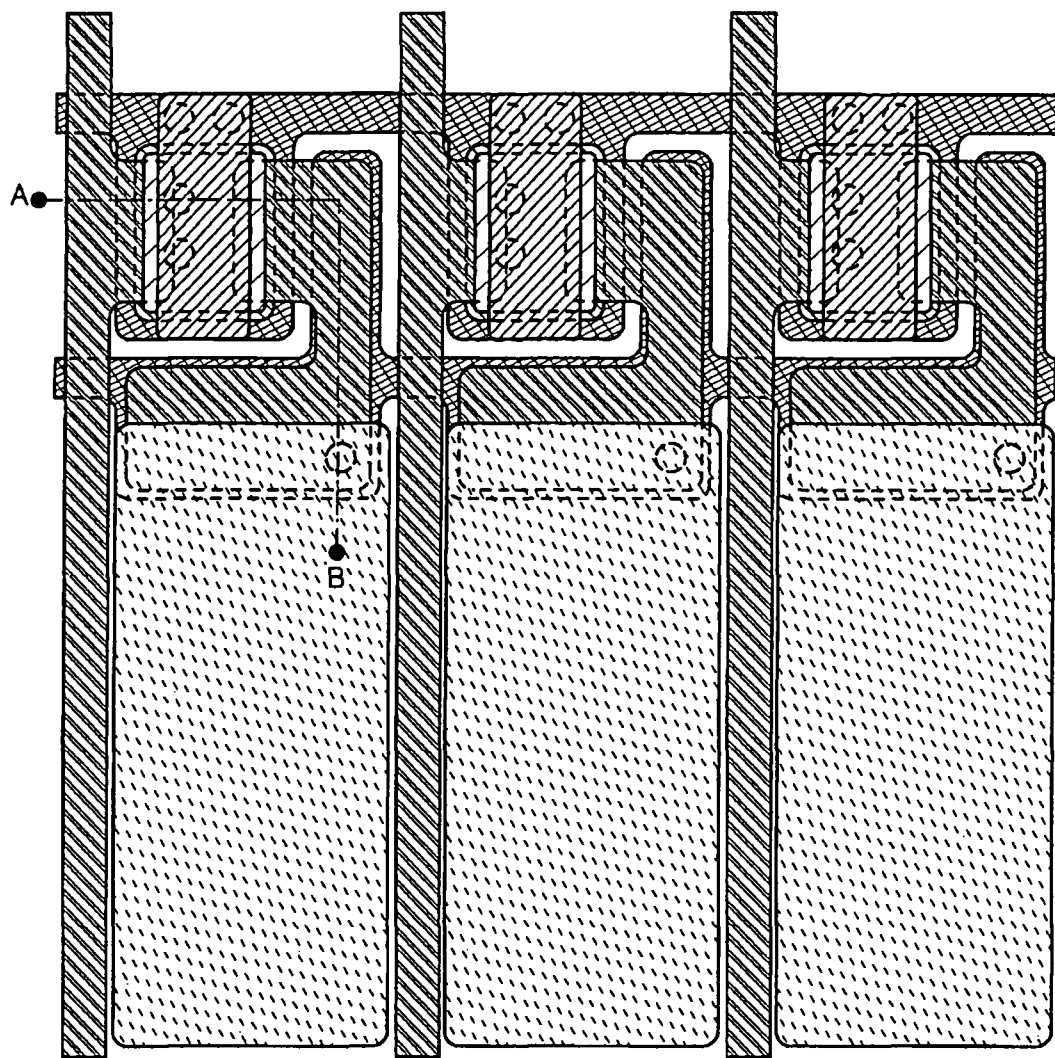


圖 13



1101 ~ [diagonal hatching]

1102 ~ [diagonal hatching]

1103 ~ [diagonal hatching]

1104 ~ [cross-hatching]

1105 ~ [stippled pattern]

1106 ~ [dashed line]

圖 14

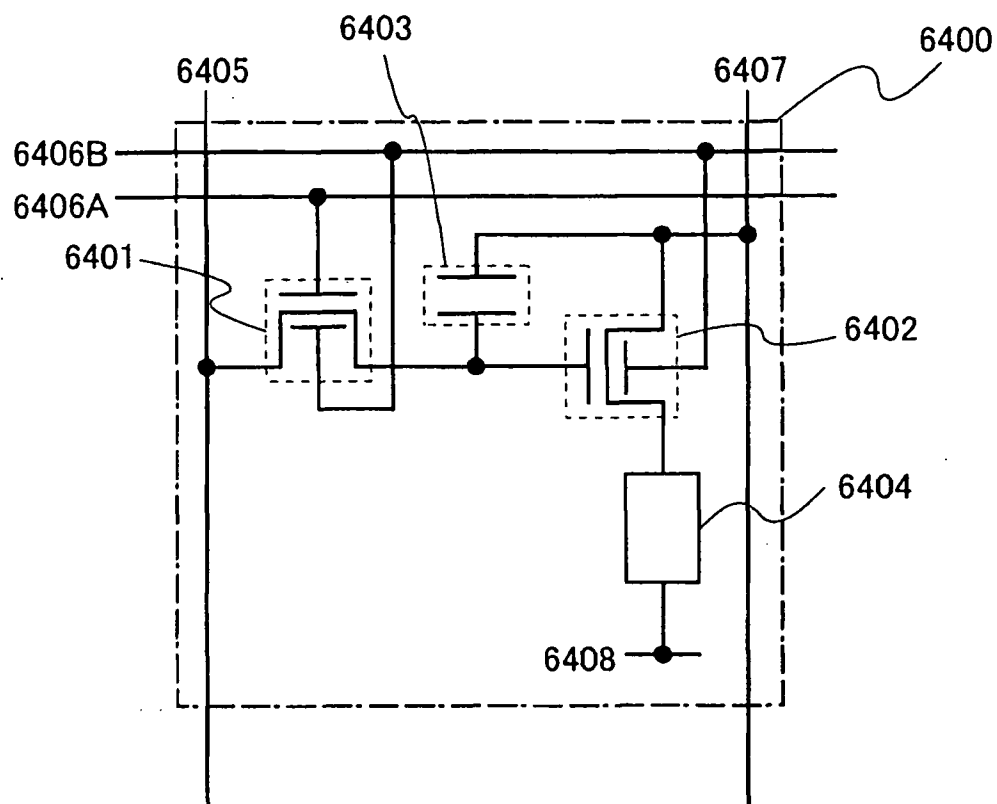


圖 15A

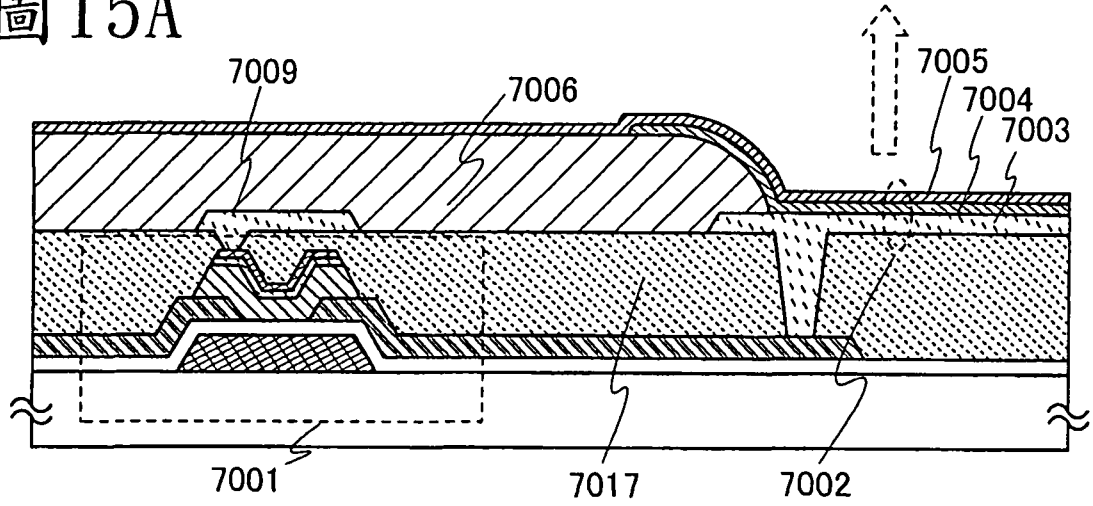


圖 15B

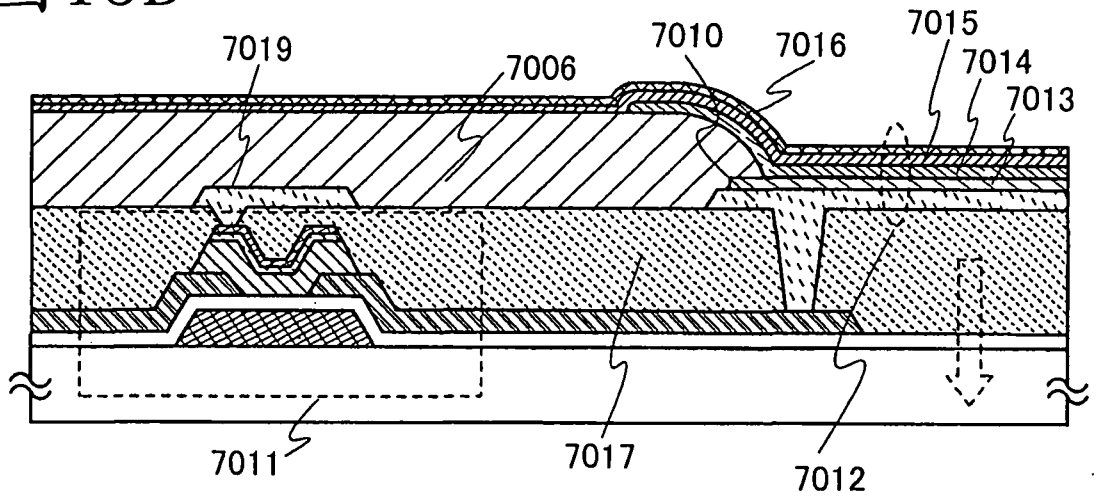


圖 15C

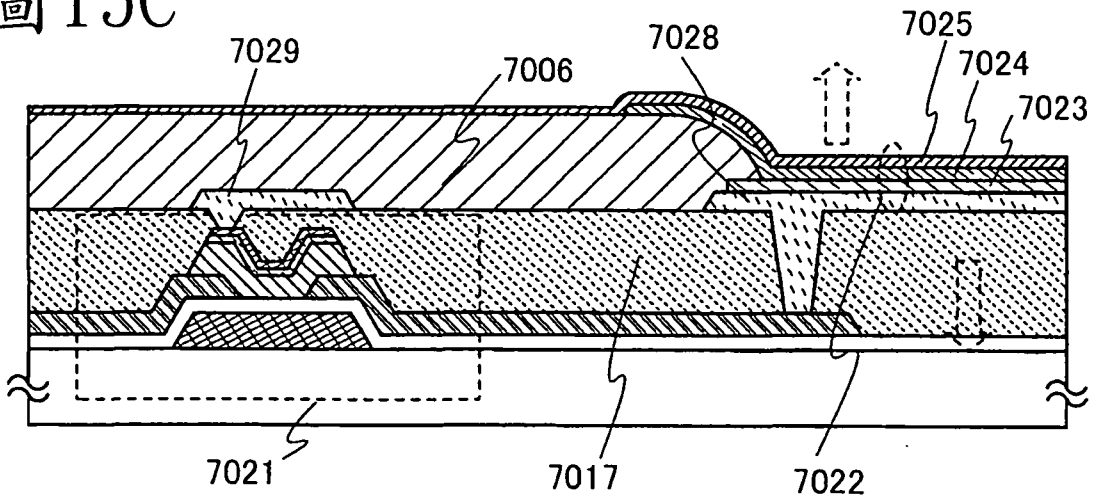


圖 16A

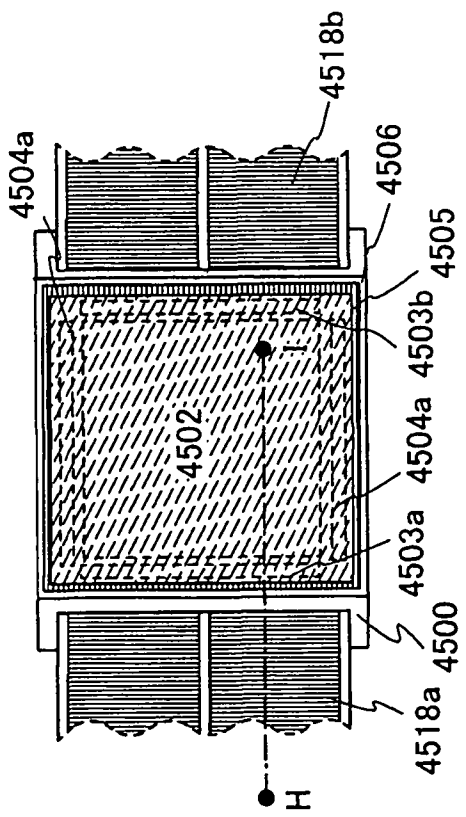


圖 16B

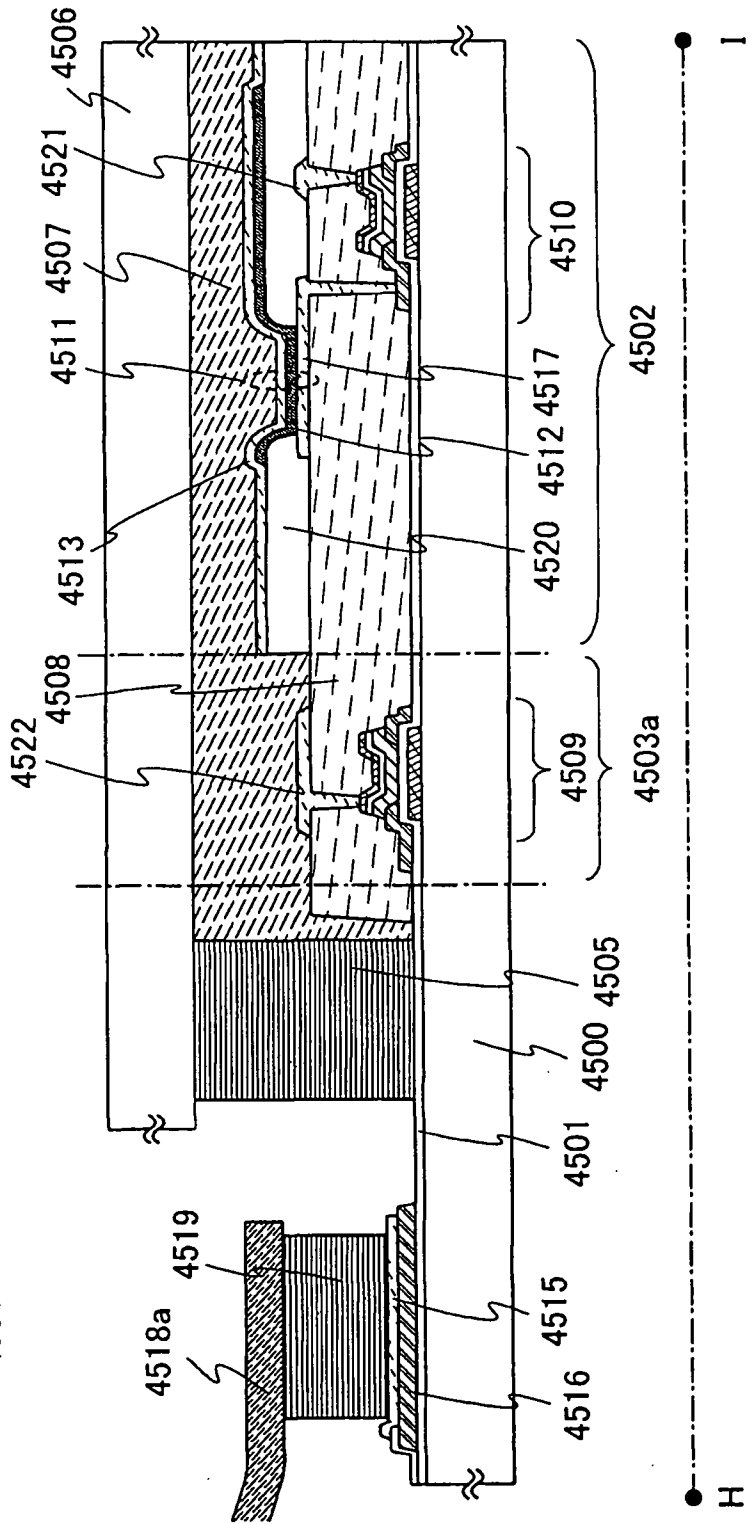


圖17A2

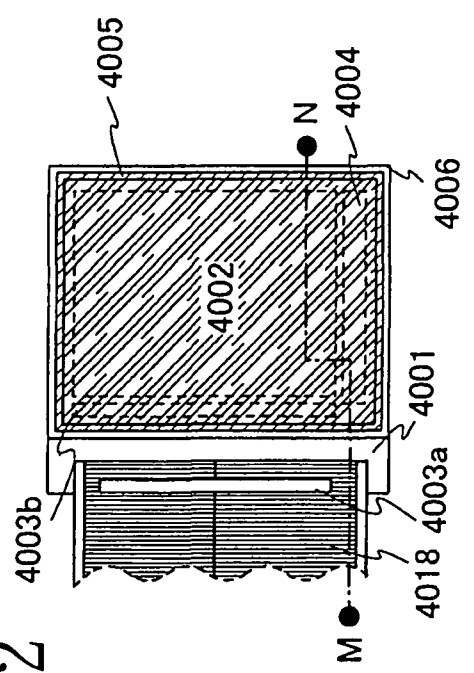


圖17A1

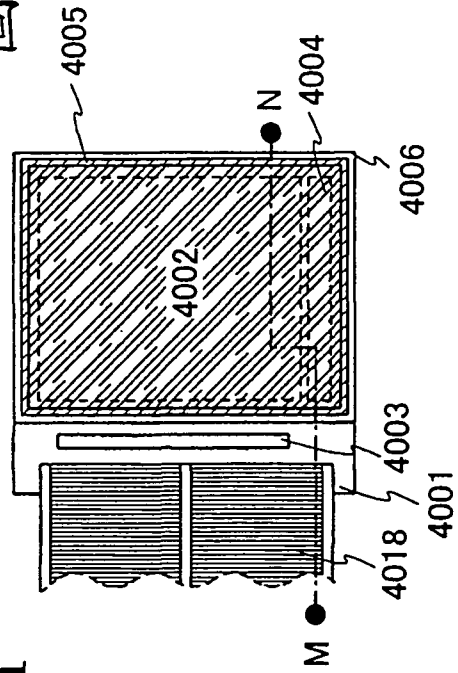


圖17B

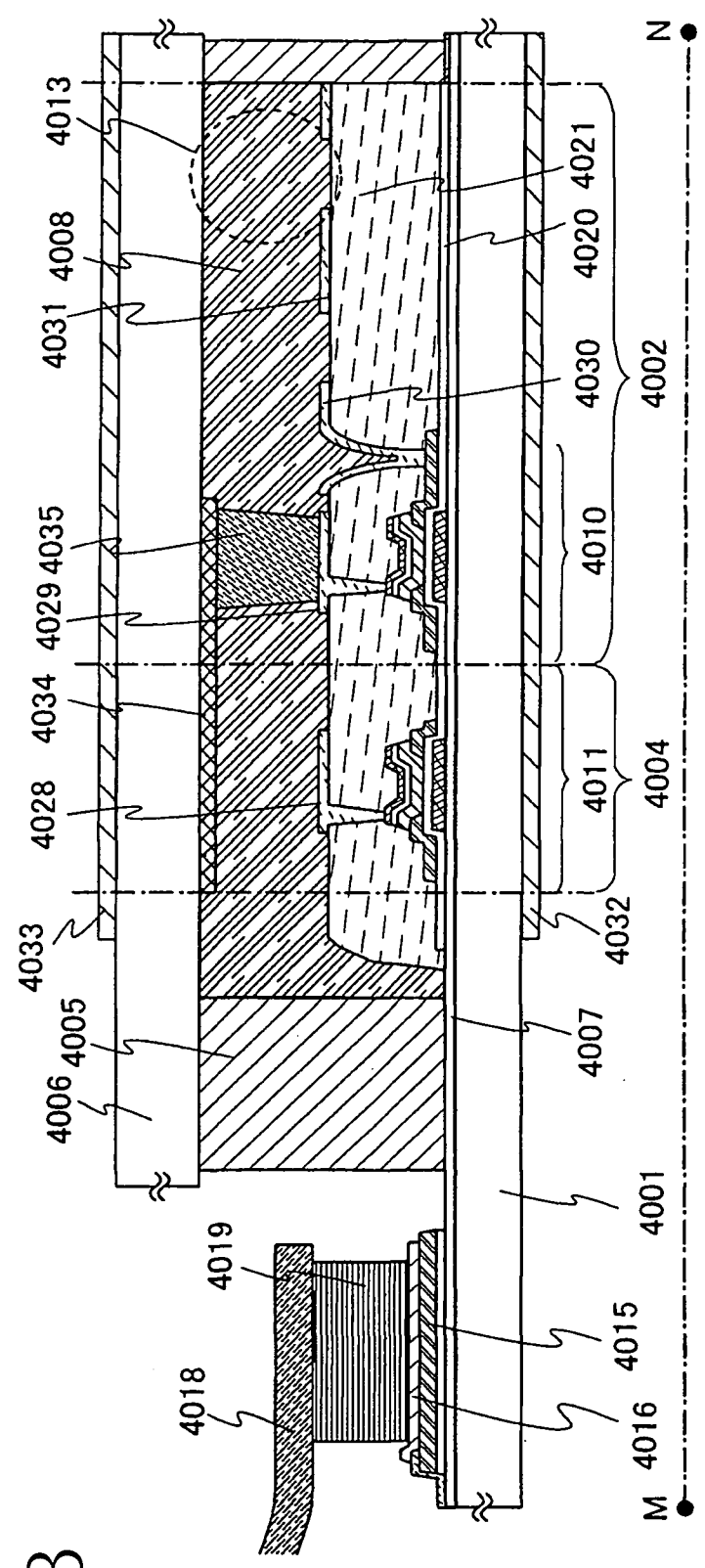


圖18

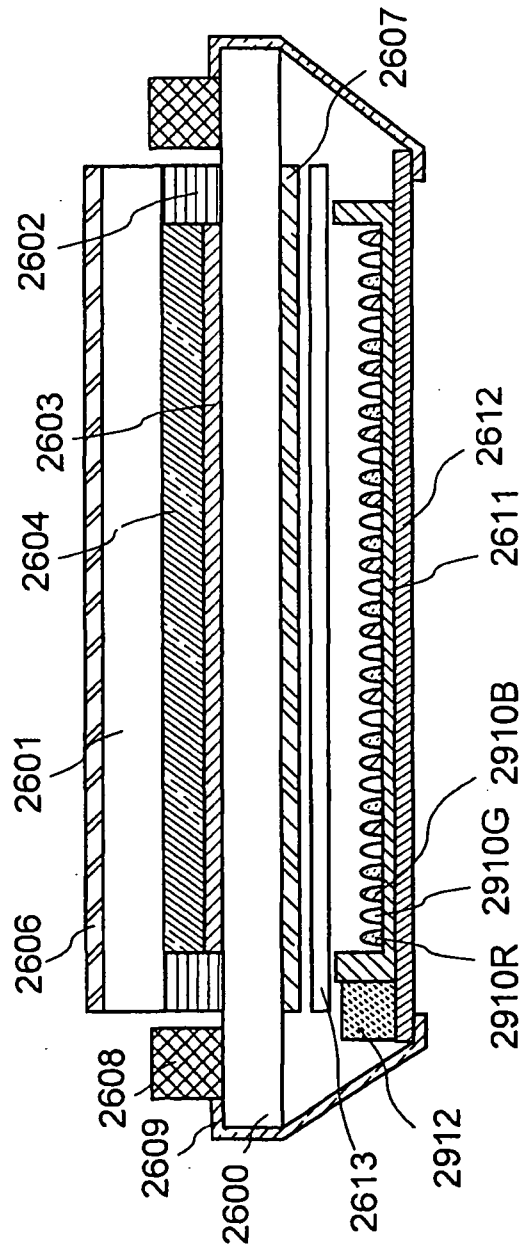


圖 19A

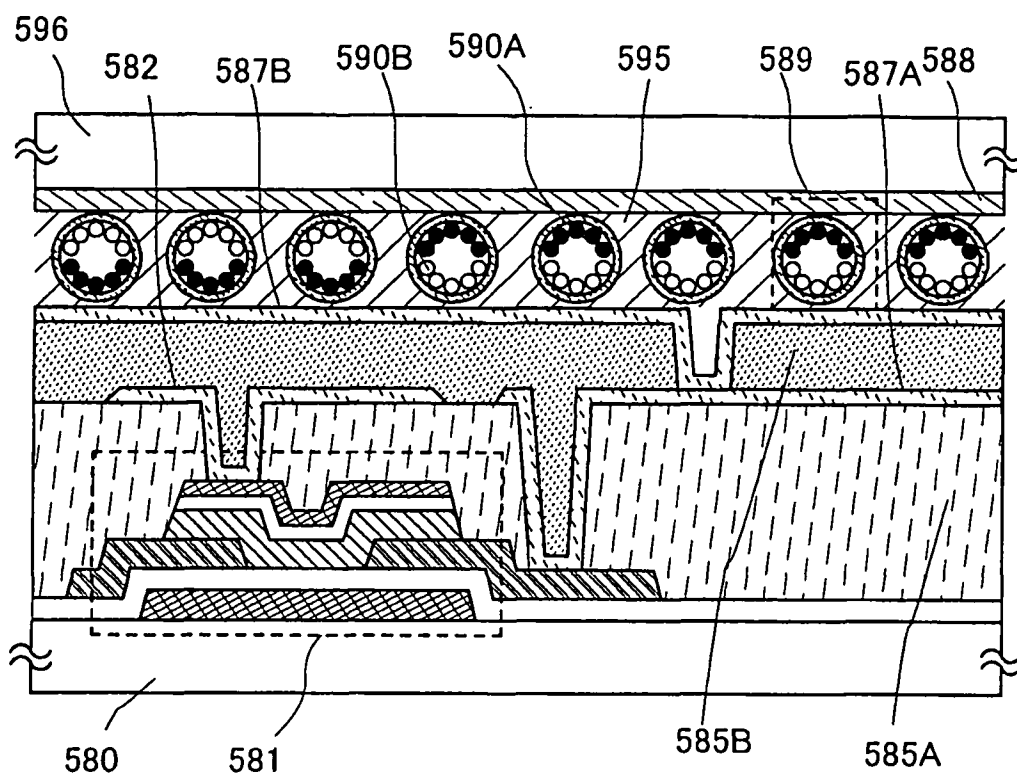


圖 19B

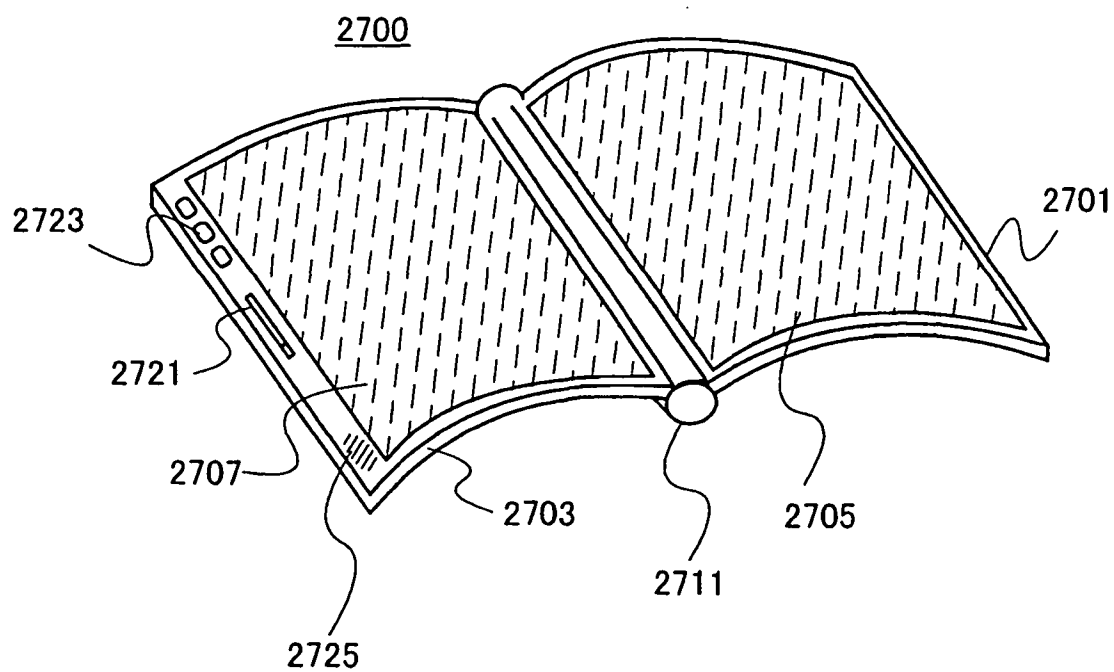


圖 20A

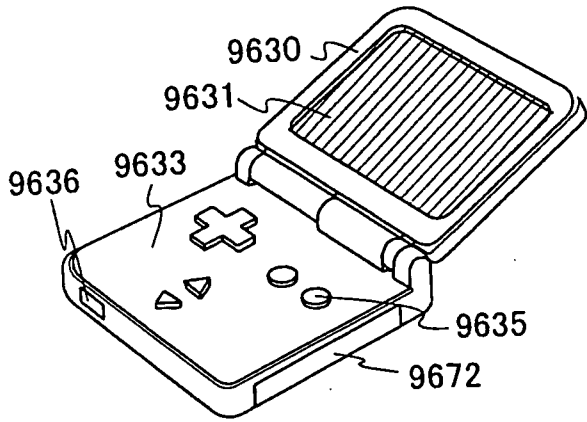


圖 20B

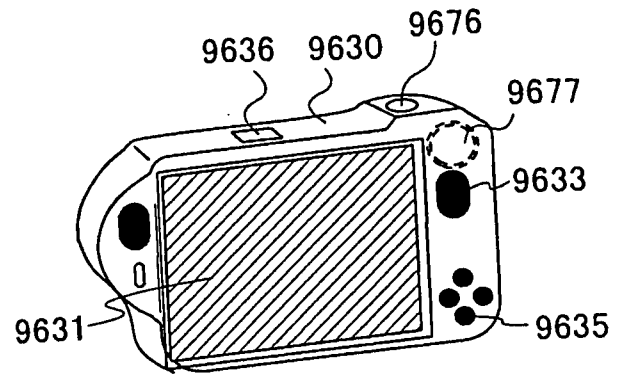


圖 20C

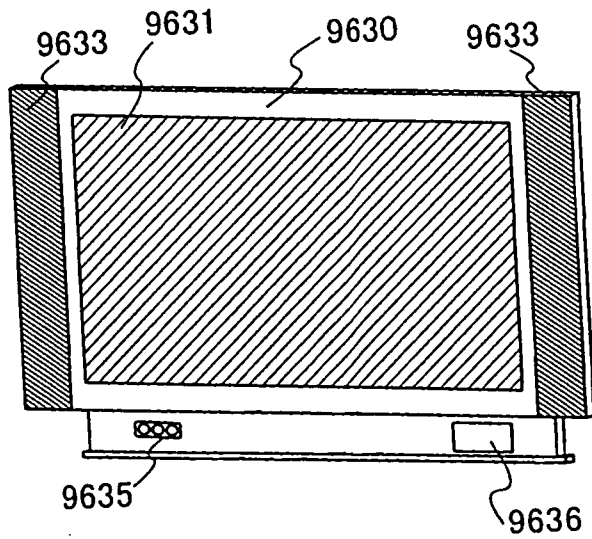


圖 21A

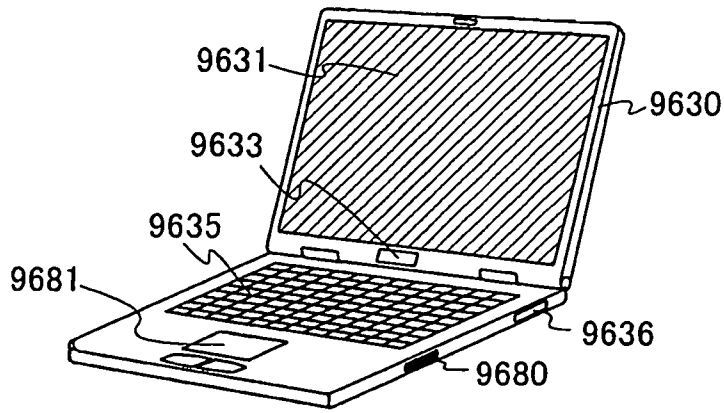


圖 21B

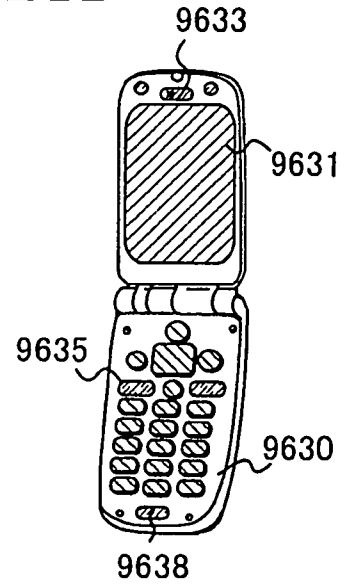


圖 22

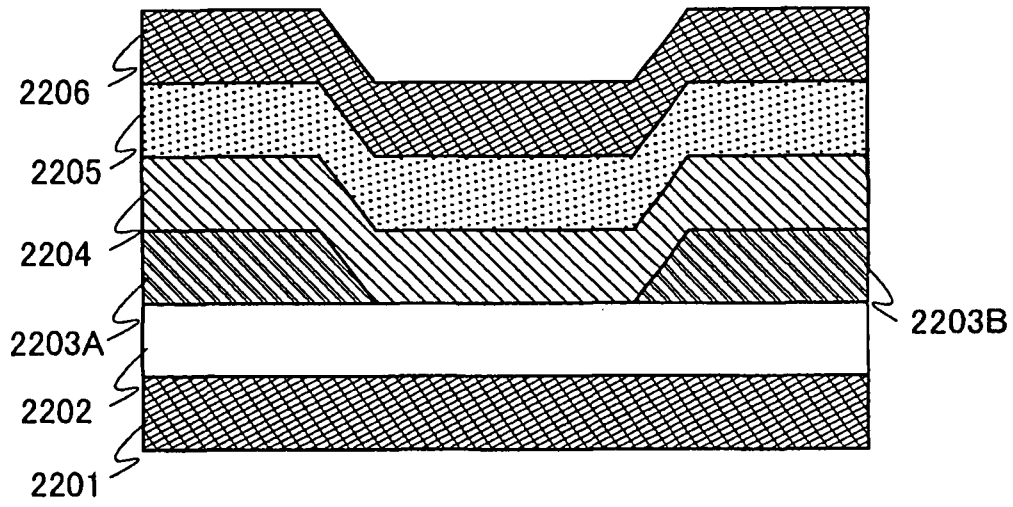


圖 23

