(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年10月19日(19.10.2023)

WIPO | PCT

(10) 国際公開番号
WO 2023/199932 A1

(51) 国際特許分類:
H01L 29/78 (2006.01) *H01L 27/088* (2006.01)
H01L 21/336 (2006.01) *H01L 29/739* (2006.01)
H01L 21/8234 (2006.01) *H01L 29/861* (2006.01)
H01L 27/06 (2006.01) *H01L 29/868* (2006.01)

(21) 国際出願番号： PCT/JP2023/014827

(22) 国際出願日： 2023年4月12日(12.04.2023)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2022-066313 2022年4月13日(13.04.2022) JP

(71) 出願人: 富士電機株式会社 (**FUJI ELECTRIC CO., LTD.**) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 Kanagawa (JP).

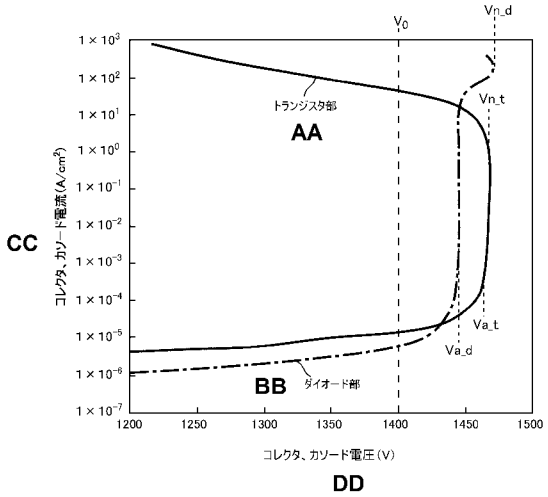
(72) 発明者: 吉川 功 (**YOSHIKAWA Koh**); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP).

(74) 代理人: 弁理士法人RYUKA国際特許事務所 (**RYUKA & PARTNERS**); 〒1631522 東京都新宿区西新宿1－6－1 新宿エルタワー22階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,

(54) **Title:** SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD

(54) 発明の名称： 半導体装置および製造方法



AA Transistor section
BB Diode section
CC Collector, cathode current
DD Collector, cathode voltage

(57) **Abstract:** Provided is a semiconductor device which is equipped with: a semiconductor substrate which has a top surface and a bottom surface and is provided with a drift region of a first conductive type; a transistor section which has a collector region of a second conductive type which contacts the bottom surface of the semiconductor substrate and an emitter region of the first conductive type which has a higher doping concentration than does the drift region and is provided adjacent to the top surface of the semiconductor substrate; and a diode section which has a cathode region of the first conductive type which contacts the bottom surface of the semiconductor substrate. Therein, the avalanche breakdown in the diode section is at least 0.7 times and less than 1 time the avalanche breakdown in the transistor section.

WO 2023/199932 A1

[続葉有]

SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

一 補正された請求の範囲 (条約第19条(1))

(57) 要約: 上面および下面を有し、第１導電型のドリフト領域が設けられた半導体基板と、前記半導体基板の前記下面に接する第２導電型のコレクタ領域と、前記半導体基板の前記上面に接して設けられ前記ドリフト領域よりもドーピング濃度の高い第１導電型のエミッタ領域とを有するトランジスタ部と、前記半導体基板の下面に接する第１導電型のカソード領域を有するダイオード部と、を備え、前記ダイオード部におけるアバランシェ耐圧が、前記トランジスタ部におけるアバランシェ耐圧の０．７倍以上、１倍未満である半導体装置を提供する

明　細　書

発明の名称 ： 半導体装置および製造方法

技術分野

[0001] 本発明は、半導体装置および製造方法に関する。

背景技術

[0002] 従来、単一の半導体基板にＩＧＢＴ（Ｉｎｓｕｌａｔｅｄ　Ｇａｔｅ　Ｂｉｐｏｌａｒ　Ｔｒａｎｓｉｓｔｏｒ）等のトランジスタ部とダイオード部が設けられた逆導通ＩＧＢＴ（ＲＣ－ＩＧＢＴ）が知られている（例えば特許文献１、２参照）。

［先行技術文献］

［特許文献］

［特許文献１］　特開２０１８－７８２３０号公報

［特許文献２］　特開２０１５－１３５９５４号公報

解決しようとする課題

[0003] 逆導通ＩＧＢＴ等の半導体装置においては、破壊が生じにくいことが好ましい。

一般的開示

[0004] 上記課題を解決するために、本発明の第１の態様においては、半導体装置を提供する。半導体装置は、上面および下面を有し、第１導電型のドリフト領域が設けられた半導体基板を備えてよい。半導体装置は、前記半導体基板の前記下面に接する第２導電型のコレクタ領域と、前記半導体基板の前記上面に接して設けられ前記ドリフト領域よりもドーピング濃度の高い第１導電型のエミッタ領域とを有するトランジスタ部を備えてよい。上記何れかの半導体装置は、前記半導体基板の下面に接する第１導電型のカソード領域を有するダイオード部を備えてよい。上記何れかの半導体装置において、前記ダイオード部におけるアバランシェ耐圧が、前記トランジスタ部におけるアバランシェ耐圧の０．７倍以上、１倍未満であってよい。

[0005] 上記何れかの半導体装置において、前記ダイオード部が負性抵抗領域に到達するカソード電圧は、前記トランジスタ部が負性抵抗領域に到達するコレクタ電圧以上であってよい。

[0006] 上記何れかの半導体装置において、前記ダイオード部および前記トランジスタ部は、前記半導体基板の上面において、配列方向に沿って間隔を有して配置された複数のトレンチ部を有してよい。

[0007] 上記何れかの半導体装置において、前記トランジスタ部における少なくとも一部の前記トレンチ部は、前記配列方向において第１の間隔で配置されてよい。上記何れかの半導体装置において、前記ダイオード部における少なくとも一部の前記トレンチ部は、前記配列方向において前記第１の間隔よりも大きい第２の間隔で配置されていてよい。

[0008] 上記何れかの半導体装置は、前記ダイオード部および前記トランジスタ部の間に配置され、複数の前記トレンチ部が設けられ、前記カソード領域および前記コレクタ領域の少なくとも一方を有する中間領域を備えてよい。上記何れかの半導体装置において、前記中間領域はトランジスタ側領域を有してよい。上記何れかの半導体装置において、当該トランジスタ側領域は前記トランジスタ部と接し、且つ、１つ以上の前記トレンチ部が前記第１の間隔で配置されてよい。

[0009] 上記何れかの半導体装置は、前記ダイオード部および前記トランジスタ部の間に配置され、複数の前記トレンチ部が設けられ、前記カソード領域および前記コレクタ領域の少なくとも一方を有する中間領域を備えてよい。上記何れかの半導体装置において、前記中間領域はトランジスタ側領域を有してよい。上記何れかの半導体装置において、当該トランジスタ側領域は前記トランジスタ部と接し、且つ、１つ以上の前記トレンチ部が前記第１の間隔より小さい間隔で配置されてよい。

[0010] 上記何れかの半導体装置において、前記中間領域における前記カソード領域および前記コレクタ領域の境界位置が、前記トランジスタ側領域に配置されていてよい。

[0011] 上記何れかの半導体装置において、前記境界位置が、前記トランジスタ側領域の１つ以上の前記トレンチ部のうち、最も前記ダイオード部側の前記トレンチ部の下方に配置されていてよい。

[0012] 上記何れかの半導体装置において、前記トランジスタ側領域は、前記配列方向における間隔が、前記中間領域において最も小さい第１の前記トレンチ部および第２の前記トレンチ部を含んでよい。上記何れかの半導体装置において、前記境界位置は、前記第１のトレンチ部の下方から、前記第２のトレンチ部の下方までの領域に配置されていてよい。

[0013] 上記何れかの半導体装置において、前記中間領域における前記複数のトレンチ部の前記配列方向における間隔は、前記ダイオード部に近いほど大きくてよい。

[0014] 上記何れかの半導体装置において、前記第２の間隔は、前記第１の間隔の２倍以上であってよい。

[0015] 上記何れかの半導体装置において、前記トランジスタ部における少なくとも一部の前記トレンチ部は、前記半導体基板の深さ方向において第１の長さを有してよい。上記何れかの半導体装置において、前記ダイオード部における少なくとも一部の前記トレンチ部は、前記深さ方向において前記第１の長さよりも大きい第２の長さを有してよい。

[0016] 上記何れかの半導体装置は、前記ダイオード部および前記トランジスタ部の間に配置され、複数の前記トレンチ部が設けられ、前記カソード領域および前記コレクタ領域を有する中間領域を備えてよい。上記何れかの半導体装置において、前記中間領域は、前記トランジスタ部と接するトランジスタ側領域を有してよい。上記何れかの半導体装置において、前記トランジスタ側領域は、前記第１の長さの前記トレンチ部を有してよい。

[0017] 上記何れかの半導体装置は、前記ダイオード部および前記トランジスタ部の間に配置され、複数の前記トレンチ部が設けられ、前記カソード領域および前記コレクタ領域を有する中間領域を備えてよい。上記何れかの半導体装置において、前記中間領域は、前記トランジスタ部と接するトランジスタ側

領域を有してよい。上記何れかの半導体装置において、前記トランジスタ側領域は、前記第１の長さより小さい長さの前記トレンチ部を有してよい。

[0018] 上記何れかの半導体装置において、前記中間領域における前記カソード領域および前記コレクタ領域の境界位置が、前記トランジスタ側領域に配置されていてよい。

[0019] 上記何れかの半導体装置において、前記中間領域における前記複数のトレンチ部の前記深さ方向における長さは、前記ダイオード部に近いほど大きくてよい。

[0020] 上記何れかの半導体装置において、前記トランジスタ部は、少なくとも一つの前記トレンチ部の下端に接して設けられた第２導電型の第１下端領域を有してよい。上記何れかの半導体装置において、前記ダイオード部の少なくとも一つの前記トレンチ部の下端は、第２導電型の領域に接していなくてよい。

[0021] 上記何れかの半導体装置において、前記ダイオード部の全ての前記トレンチ部の下端は、第２導電型の領域に接していなくてよい。

[0022] 上記何れかの半導体装置において、前記ダイオード部は、少なくとも一つの前記トレンチ部の下端に接して設けられ、前記ドリフト領域よりもドーピング濃度が高い第１導電型の第２下端領域を有してよい。上記何れかの半導体装置において、前記トランジスタ部の少なくとも一つの前記トレンチ部の下端は、前記ドリフト領域よりもドーピング濃度が高い第１導電型の領域に接していなくてよい。

[0023] 上記何れかの半導体装置において、前記トランジスタ部は、前記エミッタ領域と前記ドリフト領域との間に設けられた第２導電型のベース領域を有してよい。上記何れかの半導体装置において、前記トランジスタ部は、前記ベース領域と前記ドリフト領域との間に設けられ、前記ドリフト領域よりもドーピング濃度の高い第１導電型の蓄積領域を有してよい。上記何れかの半導体装置において、前記第２下端領域のドーピング濃度は、前記蓄積領域のドーピング濃度よりも低くてよい。

[0024] 上記何れかの半導体装置において、前記ダイオード部は、前記半導体基板の前記上面側においてキャリアのライフタイムを調整するライフタイム調整部を有してよい。

[0025] 本発明の第２の態様においては、半導体装置を提供する。半導体装置は、上面および下面を有し、第１導電型のドリフト領域が設けられた半導体基板を備えてよい。半導体装置は、前記半導体基板の前記下面に接する第２導電型のコレクタ領域と、前記半導体基板の前記上面に接して設けられ前記ドリフト領域よりもドーピング濃度の高い第１導電型のエミッタ領域とを有するトランジスタ部を備えてよい。上記何れかの半導体装置は、前記半導体基板の下面に接する第１導電型のカソード領域を有するダイオード部を備えてよい。上記何れかの半導体装置において、前記ダイオード部および前記トランジスタ部は、前記半導体基板の上面において、配列方向に沿って間隔を有して配置された複数のトレンチ部を有してよい。前記トランジスタ部は、少なくとも一つの前記トレンチ部の下端に接して設けられた第２導電型の第１下端領域を有してよい。上記何れかの半導体装置において、前記ダイオード部の少なくとも一つの前記トレンチ部の下端は、第２導電型の領域に接していなくてよい。

[0026] 本発明の第３の態様においては、半導体基板にトランジスタ部およびダイオード部を有する半導体装置の製造方法を提供する。製造方法では、前記トランジスタ部および前記ダイオード部の耐圧が等しい、第１の前記半導体装置について、非クランプ誘電性スイッチング試験により前記半導体装置が破壊されない非破壊最大エネルギー密度を取得してよい。製造方法では、前記第１の前記半導体装置を基準とし、前記第１の半導体装置よりも前記非破壊最大エネルギー密度が大きくなるように、前記ダイオード部および前記トランジスタ部のアバランシェ耐圧の比を設定してよい。上記何れかの製造方法では、設定された前記アバランシェ耐圧の比を満たすように第２の前記半導体装置における前記トランジスタ部および前記ダイオード部を設計してよい。上記何れかの製造方法では、前記設計に基づいて第２の前記半導体装置を

製造してよい。

[0027] 上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではない。また、これらの特徴群のサブコンビネーションもまた、発明となりうる。

図面の簡単な説明

[0028] [図1]本発明の一つの実施形態に係る半導体装置１００の一例を示す上面図である。

[図2]図１における領域Ｄの拡大図である。

[図3]図２におけるｅ－ｅ断面の一例を示す図である。

[図4]参考例に係るトランジスタ部７０およびダイオード部８０の、電流密度－電圧特性の一例である。

[図5]実施例に係るトランジスタ部７０およびダイオード部８０の、電流密度－電圧特性の一例である。

[図6]実施例に係るｅ－ｅ断面の一例を示す図である。

[図7]実施例に係るｅ－ｅ断面の他の例を示す図である。

[図8]実施例に係るｅ－ｅ断面の他の例を示す図である。

[図9]実施例に係るｅ－ｅ断面の他の例を示す図である。

[図10]実施例に係るｅ－ｅ断面の他の例を示す図である。

[図11]実施例に係るｅ－ｅ断面の他の例を示す図である。

[図12]実施例に係るｅ－ｅ断面の他の例を示す図である。

[図13]実施例に係るｅ－ｅ断面の他の例を示す図である。

[図14]実施例に係るｅ－ｅ断面の他の例を示す図である。

[図15]実施例に係るｅ－ｅ断面の他の例を示す図である。

[図16]実施例に係るｅ－ｅ断面の他の例を示す図である。

[図17]実施例に係るｅ－ｅ断面の他の例を示す図である。

[図18]トランジスタ部７０およびダイオード部８０におけるトレンチ間隔と、トランジスタ部７０およびダイオード部８０におけるアバランシェ耐圧との関係を示す図である。

[図19]トランジスタ部７０およびダイオード部８０におけるトレンチ長さと

、トランジスタ部７０およびダイオード部８０におけるアバランシェ耐圧との関係を示す図である。

[図20]トランジスタ部７０およびダイオード部８０におけるトレンチ間隔と、トランジスタ部７０およびダイオード部８０におけるアバランシェ耐圧との関係を示す図である。

[図21]ダイオード部８０における第２下端領域２０４におけるドーズ量（またはドーピング濃度）と、ダイオード部８０におけるアバランシェ耐圧との関係を示す図である。

[図22]半導体装置１００の非破壊最大エネルギー密度を説明する図である。

[図23]ダイオード部８０におけるアバランシェ耐圧Ｖａ_ｄと、非破壊最大エネルギー密度との関係を示している。

[図24]半導体装置１００の製造方法の一例を示す図である。

発明を実施するための形態

[0029] 以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は請求の範囲にかかる発明を限定するものではない。また、実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

[0030] 本明細書においては半導体基板の深さ方向と平行な方向における一方の側を「上」、他方の側を「下」と称する。基板、層またはその他の部材の２つの主面のうち、一方の面を上面、他方の面を下面と称する。「上」、「下」の方向は、重力方向または半導体装置の実装時における方向に限定されない。

[0031] 本明細書では、Ｘ軸、Ｙ軸およびＺ軸の直交座標軸を用いて技術的事項を説明する場合がある。直交座標軸は、構成要素の相対位置を特定するに過ぎず、特定の方向を限定するものではない。例えば、Ｚ軸は地面に対する高さ方向を限定して示すものではない。なお、＋Ｚ軸方向と－Ｚ軸方向とは互いに逆向きの方向である。正負を記載せず、Ｚ軸方向と記載した場合、＋Ｚ軸および－Ｚ軸に平行な方向を意味する。

[0032] 本明細書では、半導体基板の上面および下面に平行な直交軸をＸ軸およびＹ軸とする。また、半導体基板の上面および下面と垂直な軸をＺ軸とする。本明細書では、Ｚ軸の方向を深さ方向と称する場合がある。また、本明細書では、Ｘ軸およびＹ軸を含めて、半導体基板の上面および下面に平行な方向を、水平方向と称する場合がある。

[0033] 半導体基板の深さ方向における中心から、半導体基板の上面までの領域を、上面側と称する場合がある。同様に、半導体基板の深さ方向における中心から、半導体基板の下面までの領域を、下面側と称する場合がある。

[0034] 本明細書において「同一」または「等しい」のように称した場合、製造ばらつき等に起因する誤差を有する場合も含んでよい。当該誤差は、例えば１０％以内である。

[0035] 本明細書においては、不純物がドーピングされたドーピング領域の導電型をＰ型またはＮ型として説明している。本明細書においては、不純物とは、特にＮ型のドナーまたはＰ型のアクセプタのいずれかを意味する場合があり、ドーパントと記載する場合がある。本明細書においては、ドーピングとは、半導体基板にドナーまたはアクセプタを導入し、Ｎ型の導電型を示す半導体またはＰ型の導電型を示す半導体とすることを意味する。

[0036] 本明細書においては、ドーピング濃度とは、熱平衡状態におけるドナーの濃度またはアクセプタの濃度を意味する。本明細書においては、ネット・ドーピング濃度とは、ドナー濃度を正イオンの濃度とし、アクセプタ濃度を負イオンの濃度として、電荷の極性を含めて足し合わせた正味の濃度を意味する。一例として、ドナー濃度をN_D、アクセプタ濃度をN_Aとすると、任意の位置における正味のネット・ドーピング濃度は$N_D - N_A$となる。本明細書では、ネット・ドーピング濃度を単にドーピング濃度と記載する場合がある。

[0037] ドナーは、半導体に電子を供給する機能を有している。アクセプタは、半導体から電子を受け取る機能を有している。ドナーおよびアクセプタは、不純物自体には限定されない。例えば、半導体中に存在する空孔（Ｖ）、酸素（Ｏ）および水素（Ｈ）が結合したＶＯＨ欠陥は、電子を供給するドナーと

して機能する。本明細書では、ＶＯＨ欠陥を水素ドナーと称する場合がある。水素ドナーは、少なくとも空孔（Ｖ）および水素（Ｈ）が結合したドナーであってもよい。

[0038] 本明細書において半導体基板は、Ｎ型のバルク・ドナーが全体に分布している。バルク・ドナーは、半導体基板の元となるインゴットの製造時に、インゴット内に略一様に含まれたドーパントによるドナーである。本例のバルク・ドナーは、水素以外の元素である。バルク・ドナーのドーパントは、例えばリン、アンチモン、ヒ素、セレンまたは硫黄であるが、これに限定されない。本例のバルク・ドナーは、リンである。バルク・ドナーは、Ｐ型の領域にも含まれている。半導体基板は、半導体のインゴットから切り出したウエハであってよく、ウエハを個片化したチップであってもよい。半導体のインゴットは、チョクラルスキー法（ＣＺ法）、磁場印加型チョクラルスキー法（ＭＣＺ法）、フロートゾーン法（ＦＺ法）のいずれかで製造されてよい。本例におけるインゴットは、ＭＣＺ法で製造されている。ＭＣＺ法で製造された基板に含まれる酸素濃度は1×10^{17}～7×10^{17}／ｃｍ^{3}である。ＦＺ法で製造された基板に含まれる酸素濃度は1×10^{15}～5×10^{16}／ｃｍ^{3}である。酸素濃度が高い方が水素ドナーを生成しやすい傾向がある。バルク・ドナー濃度は、半導体基板の全体に分布しているバルク・ドナーの化学濃度を用いてよく、当該化学濃度の９０％から１００％の間の値であってもよい。また、半導体基板は、リン等のドーパントを含まないノンドープ基板を用いてもよい。その場合、ノンドーピング基板のバルク・ドナー濃度（ＤＯ）は例えば1×10^{10}／ｃｍ^{3}以上、5×10^{12}／ｃｍ^{3}以下である。ノンドーピング基板のバルク・ドナー濃度（ＤＯ）は、好ましくは1×10^{11}／ｃｍ^{3}以上である。ノンドーピング基板のバルク・ドナー濃度（ＤＯ）は、好ましくは5×10^{12}／ｃｍ^{3}以下である。尚、本発明における各濃度は、室温における値でよい。室温における値は、一例として３００Ｋ（ケルビン）（約２６．９℃）のときの値を用いてよい。

[0039] 本明細書においてＰ＋型またはＮ＋型と記載した場合、Ｐ型またはＮ型よ

りもドーピング濃度が高いことを意味し、Ｐ－型またはＮ－型と記載した場合、Ｐ型またはＮ型よりもドーピング濃度が低いことを意味する。また、本明細書においてＰ＋＋型またはＮ＋＋型と記載した場合には、Ｐ＋型またはＮ＋型よりもドーピング濃度が高いことを意味する。本明細書の単位系は、特に断りがなければＳＩ単位系である。長さの単位をｃｍで表示することがあるが、諸計算はメートル（ｍ）に換算してから行ってよい。

[0040] 本明細書において化学濃度とは、電気的な活性化の状態によらずに測定される不純物の原子密度を指す。化学濃度は、例えば二次イオン質量分析法（ＳＩＭＳ）により計測できる。上述したネット・ドーピング濃度は、電圧－容量測定法（ＣＶ法）により測定できる。また、拡がり抵抗測定法（ＳＲ法）により計測されるキャリア濃度を、ネット・ドーピング濃度としてよい。ＣＶ法またはＳＲ法により計測されるキャリア濃度は、熱平衡状態における値としてよい。また、Ｎ型の領域においては、ドナー濃度がアクセプタ濃度よりも十分大きいので、当該領域におけるキャリア濃度を、ドナー濃度としてもよい。同様に、Ｐ型の領域においては、当該領域におけるキャリア濃度を、アクセプタ濃度としてもよい。本明細書では、Ｎ型領域のドーピング濃度をドナー濃度と称する場合があり、Ｐ型領域のドーピング濃度をアクセプタ濃度と称する場合がある。

[0041] ドナー、アクセプタまたはネット・ドーピングの濃度分布がピークを有する場合、当該ピーク値を当該領域におけるドナー、アクセプタまたはネット・ドーピングの濃度としてよい。ドナー、アクセプタまたはネット・ドーピングの濃度がほぼ均一な場合等においては、当該領域におけるドナー、アクセプタまたはネット・ドーピングの濃度の平均値をドナー、アクセプタまたはネット・ドーピングの濃度としてよい。本明細書において、単位体積当りの濃度表示にａｔｏｍｓ／ｃｍ^3、または、／ｃｍ^{3}を用いる。この単位は、半導体基板内のドナーまたはアクセプタ濃度、または、化学濃度に用いられる。ａｔｏｍｓ表記は省略してもよい。

[0042] ＳＲ法により計測されるキャリア濃度が、ドナーまたはアクセプタの濃度

より低くてもよい。拡がり抵抗を測定する際に電流が流れる範囲において、半導体基板のキャリア移動度が結晶状態の値よりも低い場合がある。キャリア移動度の低下は、格子欠陥等による結晶構造の乱れ（ディスオーダー）により、キャリアが散乱されることで生じる。

[0043] ＣＶ法またはＳＲ法により計測されるキャリア濃度から算出したドナーまたはアクセプタの濃度は、ドナーまたはアクセプタを示す元素の化学濃度よりも低くてよい。一例として、シリコンの半導体においてドナーとなるリンまたはヒ素のドナー濃度、あるいはアクセプタとなるボロン（ホウ素）のアクセプタ濃度は、これらの化学濃度の９９％程度である。一方、シリコンの半導体においてドナーとなる水素のドナー濃度は、水素の化学濃度の０．１％から１０％程度である。

[0044] 図１は、本発明の一つの実施形態に係る半導体装置１００の一例を示す上面図である。図１においては、各部材を半導体基板１０の上面に投影した位置を示している。図１においては、半導体装置１００の一部の部材だけを示しており、一部の部材は省略している。

[0045] 半導体装置１００は、半導体基板１０を備えている。半導体基板１０は、半導体材料で形成された基板である。一例として半導体基板１０はシリコン基板である。半導体基板１０は、上面視において端辺１６２を有する。本明細書で単に上面視と称した場合、半導体基板１０の上面側から見ることを意味している。本例の半導体基板１０は、上面視において互いに向かい合う２組の端辺１６２を有する。図１においては、Ｘ軸およびＹ軸は、いずれかの端辺１６２と平行である。またＺ軸は、半導体基板１０の上面と垂直である。

[0046] 半導体基板１０には活性部１６０が設けられている。活性部１６０は、半導体装置１００が動作した場合に半導体基板１０の上面と下面との間で、深さ方向に主電流が流れる領域である。活性部１６０の上方には、エミッタ電極が設けられているが図１では省略している。活性部１６０は、上面視においてエミッタ電極と重なる領域を指してよい。また、上面視において活性部

１６０で挟まれる領域も、活性部１６０に含めてよい。

[0047] 活性部１６０には、ＩＧＢＴ（Ｉｎｓｕｌａｔｅｄ Ｇａｔｅ Ｂｉｐｏｌａｒ Ｔｒａｎｓｉｓｔｏｒ）等のトランジスタ素子を含むトランジスタ部７０が設けられている。活性部１６０には、還流ダイオード（ＦＷＤ）等のダイオード素子を含むダイオード部８０が更に設けられていてもよい。図１の例では、半導体基板１０の上面における所定の配列方向（本例ではＸ軸方向）に沿って、トランジスタ部７０およびダイオード部８０が交互に配置されている。本例の半導体装置１００は逆導通型ＩＧＢＴ（ＲＣ－ＩＧＢＴ）である。

[0048] 図１においては、トランジスタ部７０が配置される領域には記号「Ｉ」を付し、ダイオード部８０が配置される領域には記号「Ｆ」を付している。本明細書では、上面視において配列方向と垂直な方向を延伸方向（図１ではＹ軸方向）と称する場合がある。トランジスタ部７０およびダイオード部８０は、それぞれ延伸方向に長手を有してよい。つまり、トランジスタ部７０のＹ軸方向における長さは、Ｘ軸方向における幅よりも大きい。同様に、ダイオード部８０のＹ軸方向における長さは、Ｘ軸方向における幅よりも大きい。トランジスタ部７０およびダイオード部８０の延伸方向と、後述する各トレンチ部の長手方向とは同一であってよい。

[0049] ダイオード部８０は、半導体基板１０の下面と接する領域に、Ｎ＋型のカソード領域を有する。本明細書では、カソード領域が設けられた領域を、ダイオード部８０と称する。つまりダイオード部８０は、上面視においてカソード領域と重なる領域である。半導体基板１０の下面には、カソード領域以外の領域には、Ｐ＋型のコレクタ領域が設けられてよい。本明細書では、ダイオード部８０を、後述するゲート配線までＹ軸方向に延長した延長領域８１も、ダイオード部８０に含める場合がある。延長領域８１の下面には、コレクタ領域が設けられている。

[0050] トランジスタ部７０は、半導体基板１０の下面と接する領域に、Ｐ＋型のコレクタ領域を有する。また、トランジスタ部７０は、半導体基板１０の上

面側に、Ｎ型のエミッタ領域、Ｐ型のベース領域、ゲート導電部およびゲート絶縁膜を有するゲート構造が周期的に配置されている。

[0051] 半導体装置１００は、半導体基板１０の上方に１つ以上のパッドを有してよい。本例の半導体装置１００は、ゲートパッド１６４を有している。半導体装置１００は、アノードパッド、カソードパッドおよび電流検出パッド等のパッドを有してもよい。各パッドは、端辺１６２の近傍に配置されている。端辺１６２の近傍とは、上面視における端辺１６２と、エミッタ電極との間の領域を指す。半導体装置１００の実装時において、各パッドは、ワイヤ等の配線を介して外部の回路に接続されてよい。

[0052] ゲートパッド１６４には、ゲート電位が印加される。ゲートパッド１６４は、活性部１６０のゲートトレンチ部の導電部に電気的に接続される。半導体装置１００は、ゲートパッド１６４とゲートトレンチ部とを接続するゲート配線を備える。図１においては、ゲート配線に斜線のハッチングを付している。

[0053] 本例のゲート配線は、外周ゲート配線１３０と、活性側ゲート配線１３１とを有している。外周ゲート配線１３０は、上面視において活性部１６０と半導体基板１０の端辺１６２との間に配置されている。本例の外周ゲート配線１３０は、上面視において活性部１６０を囲んでいる。上面視において外周ゲート配線１３０に囲まれた領域を活性部１６０としてもよい。また、ゲート配線の下方には、ウェル領域が形成されている。ウェル領域とは、後述するベース領域よりも高濃度のＰ型領域であり、半導体基板１０の上面からベース領域よりも深い位置まで形成されている。上面視においてウェル領域で囲まれる領域を活性部１６０としてもよい。

[0054] 外周ゲート配線１３０は、ゲートパッド１６４と接続されている。外周ゲート配線１３０は、半導体基板１０の上方に配置されている。外周ゲート配線１３０は、アルミニウム等を含む金属配線であってよい。

[0055] 活性側ゲート配線１３１は、活性部１６０に設けられている。活性部１６０に活性側ゲート配線１３１を設けることで、半導体基板１０の各領域につ

いて、ゲートパッド１６４からの配線長のバラツキを低減できる。

[0056] 外周ゲート配線１３０および活性側ゲート配線１３１は、活性部１６０のゲートトレンチ部と接続される。外周ゲート配線１３０および活性側ゲート配線１３１は、半導体基板１０の上方に配置されている。外周ゲート配線１３０および活性側ゲート配線１３１は、不純物がドープされたポリシリコン等の半導体で形成された配線であってよい。

[0057] 活性側ゲート配線１３１は、外周ゲート配線１３０と接続されてよい。本例の活性側ゲート配線１３１は、活性部１６０を挟む一方の外周ゲート配線１３０から他方の外周ゲート配線１３０まで、活性部１６０をＹ軸方向の略中央で横切るように、Ｘ軸方向に延伸して設けられている。活性側ゲート配線１３１により活性部１６０が分割されている場合、それぞれの分割領域において、トランジスタ部７０およびダイオード部８０がＸ軸方向に交互に配置されてよい。

[0058] 半導体装置１００は、ポリシリコン等で形成されたＰＮ接合ダイオードである不図示の温度センス部や、活性部１６０に設けられたトランジスタ部の動作を模擬する不図示の電流検出部を備えてもよい。

[0059] 本例の半導体装置１００は、上面視において、活性部１６０と端辺１６２との間に、エッジ終端構造部９０を備える。本例のエッジ終端構造部９０は、外周ゲート配線１３０と端辺１６２との間に配置されている。エッジ終端構造部９０は、半導体基板１０の上面側の電界集中を緩和する。エッジ終端構造部９０は、活性部１６０を囲んで環状に設けられたガードリング、フィールドプレートおよびリサーフのうちの少なくとも一つを備えていてよい。

[0060] 図２は、図１における領域Ｄの拡大図である。領域Ｄは、トランジスタ部７０、ダイオード部８０、および、活性側ゲート配線１３１を含む領域である。本例の半導体装置１００は、トランジスタ部７０およびダイオード部８０の間に接続領域１９０を備える。本例の半導体装置１００は、半導体基板１０の上面側の内部に設けられたゲートトレンチ部４０、ダミートレンチ部３０、ウェル領域１１、エミッタ領域１２、ベース領域１４およびコンタク

ト領域１５を備える。ゲートトレンチ部４０およびダミートレンチ部３０は、それぞれがトレンチ部の一例である。また、本例の半導体装置１００は、半導体基板１０の上面の上方に設けられたエミッタ電極５２および活性側ゲート配線１３１を備える。エミッタ電極５２および活性側ゲート配線１３１は互いに分離して設けられる。

[0061] エミッタ電極５２および活性側ゲート配線１３１と、半導体基板１０の上面との間には層間絶縁膜が設けられるが、図２では省略している。本例の層間絶縁膜には、コンタクトホール５４が、当該層間絶縁膜を貫通して設けられる。図２においては、それぞれのコンタクトホール５４に斜線のハッチングを付している。

[0062] エミッタ電極５２は、ゲートトレンチ部４０、ダミートレンチ部３０、ウェル領域１１、エミッタ領域１２、ベース領域１４およびコンタクト領域１５の上方に設けられる。エミッタ電極５２は、コンタクトホール５４を通って、半導体基板１０の上面におけるエミッタ領域１２、コンタクト領域１５およびベース領域１４と接触する。また、エミッタ電極５２は、層間絶縁膜に設けられたコンタクトホールを通って、ダミートレンチ部３０内のダミー導電部と接続される。エミッタ電極５２は、Ｙ軸方向におけるダミートレンチ部３０の先端において、ダミートレンチ部３０のダミー導電部と接続されてよい。ダミートレンチ部３０のダミー導電部は、エミッタ電極５２およびゲート導電部と接続されなくてよく、エミッタ電極５２の電位およびゲート導電部の電位とは異なる電位に制御されてもよい。

[0063] 活性側ゲート配線１３１は、層間絶縁膜に設けられたコンタクトホールを通って、ゲートトレンチ部４０と接続する。活性側ゲート配線１３１は、Ｙ軸方向におけるゲートトレンチ部４０の先端部４１において、ゲートトレンチ部４０のゲート導電部と接続されてよい。活性側ゲート配線１３１は、ダミートレンチ部３０内のダミー導電部とは接続されない。

[0064] エミッタ電極５２は、金属を含む材料で形成される。図２においては、エミッタ電極５２が設けられる範囲を示している。例えば、エミッタ電極５２

の少なくとも一部の領域はアルミニウムまたはアルミニウム‐シリコン合金、例えばＡｌＳｉ、ＡｌＳｉＣｕ等の金属合金で形成される。エミッタ電極５２は、アルミニウム等で形成された領域の下層に、チタンやチタン化合物等で形成されたバリアメタルを有してよい。さらにコンタクトホール内において、バリアメタルとアルミニウム等に接するようにタングステン等を埋め込んで形成されたプラグを有してもよい。

[0065] ウェル領域１１は、活性側ゲート配線１３１と重なって設けられている。ウェル領域１１は、活性側ゲート配線１３１と重ならない範囲にも、所定の幅で延伸して設けられている。本例のウェル領域１１は、コンタクトホール５４のＹ軸方向の端から、活性側ゲート配線１３１側に離れて設けられている。ウェル領域１１は、ベース領域１４よりもドーピング濃度の高い第２導電型の領域である。ウェル領域１１は、半導体基板１０の上面からトレンチ部の下端よりも深くまで形成されてよい。本例のベース領域１４はＰ－型であり、ウェル領域１１はＰ＋型である。

[0066] トランジスタ部７０、接続領域１９０およびダイオード部８０のそれぞれは、配列方向に複数配列されたトレンチ部を有する。本例のトランジスタ部７０には、配列方向に沿って１以上のゲートトレンチ部４０と、１以上のダミートレンチ部３０とが交互に設けられている。本例の接続領域１９０には、配列方向に沿って複数のダミートレンチ部３０が設けられている。本例のダイオード部８０には、複数のダミートレンチ部３０が、配列方向に沿って設けられている。本例の接続領域１９０およびダイオード部８０には、ゲートトレンチ部４０が設けられていないが、接続領域１９０およびダイオード部８０にはゲートトレンチ部４０が設けられていてもよい。

[0067] 本例のゲートトレンチ部４０は、配列方向と垂直な延伸方向に沿って延伸する２つの直線部分３９（延伸方向に沿って直線状であるトレンチ部の部分）と、２つの直線部分３９を接続する先端部４１を有してよい。図２における延伸方向はＹ軸方向である。

[0068] 先端部４１の少なくとも一部は、上面視において曲線状に設けられること

が好ましい。２つの直線部分３９のＹ軸方向における端部どうしを先端部４１が接続することで、直線部分３９の端部における電界集中を緩和できる。

[0069] トランジスタ部７０において、ダミートレンチ部３０はゲートトレンチ部４０のそれぞれの直線部分３９の間に設けられる。それぞれの直線部分３９の間には、１本のダミートレンチ部３０が設けられてよく、複数本のダミートレンチ部３０が設けられていてもよい。ダミートレンチ部３０は、延伸方向に延伸する直線形状を有してよく、ゲートトレンチ部４０と同様に、直線部分２９と先端部３１とを有していてもよい。図２に示した半導体装置１００は、先端部３１を有さない直線形状のダミートレンチ部３０と、先端部３１を有するダミートレンチ部３０の両方を含んでいる。

[0070] ウェル領域１１の拡散深さは、ゲートトレンチ部４０およびダミートレンチ部３０の深さよりも深くてよい。ゲートトレンチ部４０およびダミートレンチ部３０のＹ軸方向の端部は、上面視においてウェル領域１１に設けられる。つまり、各トレンチ部のＹ軸方向の端部において、各トレンチ部の深さ方向の底部は、ウェル領域１１に覆われている。これにより、各トレンチ部の当該底部における電界集中を緩和できる。

[0071] 配列方向において各トレンチ部の間には、メサ部が設けられている。メサ部は、半導体基板１０の内部において、トレンチ部に挟まれた領域を指す。一例としてメサ部の上端は半導体基板１０の上面である。メサ部の下端の深さ位置は、トレンチ部の下端の深さ位置と同一である。本例のメサ部は、半導体基板１０の上面において、トレンチに沿って延伸方向（Ｙ軸方向）に延伸して設けられている。本例では、トランジスタ部７０にはメサ部６０が設けられ、ダイオード部８０にはメサ部６１が設けられ、接続領域１９０にはメサ部６２が設けられている。本明細書において単にメサ部と称した場合、メサ部６０、メサ部６１およびメサ部６２のそれぞれを指している。

[0072] それぞれのメサ部には、ベース領域１４が設けられる。メサ部において半導体基板１０の上面に露出したベース領域１４のうち、活性側ゲート配線１３１に最も近く配置された領域をベース領域１４－ｅとする。図２において

は、それぞれのメサ部の延伸方向における一方の端部に配置されたベース領域１４－ｅを示しているが、それぞれのメサ部の他方の端部にもベース領域１４－ｅが配置されている。それぞれのメサ部には、上面視においてベース領域１４－ｅに挟まれた領域に、第１導電型のエミッタ領域１２および第２導電型のコンタクト領域１５の少なくとも一方が設けられてよい。本例のエミッタ領域１２はＮ＋型であり、コンタクト領域１５はＰ＋型である。エミッタ領域１２およびコンタクト領域１５は、深さ方向において、ベース領域１４と半導体基板１０の上面との間に設けられてよい。

[0073] トランジスタ部７０のメサ部６０は、半導体基板１０の上面に露出したエミッタ領域１２を有する。エミッタ領域１２は、ゲートトレンチ部４０に接して設けられている。ゲートトレンチ部４０に接するメサ部６０には、半導体基板１０の上面に露出したコンタクト領域１５が設けられていてよい。

[0074] メサ部６０におけるコンタクト領域１５およびエミッタ領域１２のそれぞれは、Ｘ軸方向における一方のトレンチ部から、他方のトレンチ部まで設けられる。一例として、メサ部６０のコンタクト領域１５およびエミッタ領域１２は、トレンチ部の延伸方向（Ｙ軸方向）に沿って交互に配置されている。

[0075] 他の例においては、メサ部６０のコンタクト領域１５およびエミッタ領域１２は、トレンチ部の延伸方向（Ｙ軸方向）に沿ってストライプ状に設けられていてもよい。例えばトレンチ部に接する領域にエミッタ領域１２が設けられ、エミッタ領域１２に挟まれた領域にコンタクト領域１５が設けられる。

[0076] ダイオード部８０のメサ部６１および接続領域１９０のメサ部６２には、エミッタ領域１２が設けられていない。メサ部６１およびメサ部６２の上面には、ベース領域１４およびコンタクト領域１５が設けられてよい。メサ部６１およびメサ部６２の上面においてベース領域１４－ｅに挟まれた領域には、それぞれのベース領域１４－ｅに接してコンタクト領域１５が設けられてよい。メサ部６１の上面においてコンタクト領域１５に挟まれた領域には

、ベース領域１４が設けられてよい。ベース領域１４は、コンタクト領域１５に挟まれた領域全体に配置されてよい。

[0077] それぞれのメサ部の上方には、コンタクトホール５４が設けられている。コンタクトホール５４は、ベース領域１４－ｅに挟まれた領域に配置されている。本例のコンタクトホール５４は、コンタクト領域１５、ベース領域１４およびエミッタ領域１２の各領域の上方に設けられる。コンタクトホール５４は、ベース領域１４－ｅおよびウェル領域１１に対応する領域には設けられない。コンタクトホール５４は、メサ部６０の配列方向（Ｘ軸方向）における中央に配置されてよい。

[0078] ダイオード部８０において、半導体基板１０の下面と隣接する領域には、Ｎ＋型のカソード領域８２が設けられる。半導体基板１０の下面において、カソード領域８２が設けられていない領域には、Ｐ＋型のコレクタ領域２２が設けられてよい。接続領域１９０において、半導体基板１０の下面と隣接する領域には、カソード領域８２が設けられてよく、コレクタ領域２２が設けられてよく、カソード領域８２およびコレクタ領域２２の両方が設けられてもよい。カソード領域８２およびコレクタ領域２２は、半導体基板１０の下面２３と、バッファ領域２０との間に設けられている。図２においては、カソード領域８２およびコレクタ領域２２の境界を点線で示している。

[0079] カソード領域８２は、Ｙ軸方向においてウェル領域１１から離れて配置されている。これにより、比較的にドーピング濃度が高く、且つ、深い位置まで形成されているＰ型の領域（ウェル領域１１）と、カソード領域８２との距離を確保して、耐圧を向上できる。本例のカソード領域８２のＹ軸方向における端部は、コンタクトホール５４のＹ軸方向における端部よりも、ウェル領域１１から離れて配置されている。他の例では、カソード領域８２のＹ軸方向における端部は、ウェル領域１１とコンタクトホール５４との間に配置されていてもよい。

[0080] 図３は、図２におけるｅ－ｅ断面の一例を示す図である。図３においては参考例に係る構造を示している。ｅ－ｅ断面は、エミッタ領域１２およびカ

ソード領域８２を通過するＸＺ面である。ｅ－ｅ断面には、トランジスタ部７０、接続領域１９０およびダイオード部８０が含まれる。本例の半導体装置１００は、当該断面において、半導体基板１０、層間絶縁膜３８、エミッタ電極５２およびコレクタ電極２４を有する。

[0081] 層間絶縁膜３８は、半導体基板１０の上面に設けられている。層間絶縁膜３８は、ホウ素またはリン等の不純物が添加されたシリケートガラス等の絶縁膜、熱酸化膜、および、その他の絶縁膜の少なくとも一層を含む膜である。層間絶縁膜３８には、図２において説明したコンタクトホール５４が設けられている。

[0082] エミッタ電極５２は、層間絶縁膜３８の上方に設けられる。エミッタ電極５２は、層間絶縁膜３８のコンタクトホール５４を通って、半導体基板１０の上面２１と接触している。コレクタ電極２４は、半導体基板１０の下面２３に設けられる。エミッタ電極５２およびコレクタ電極２４は、アルミニウム等の金属材料で形成されている。本明細書において、エミッタ電極５２とコレクタ電極２４とを結ぶ方向（Ｚ軸方向）を深さ方向と称する。

[0083] 半導体基板１０は、Ｎ型またはＮ－型のドリフト領域１８を有する。ドリフト領域１８は、トランジスタ部７０、ダイオード部８０および接続領域１９０のそれぞれに設けられている。

[0084] トランジスタ部７０のメサ部６０には、Ｎ＋型のエミッタ領域１２およびＰ－型のベース領域１４が、半導体基板１０の上面２１側から順番に設けられている。ベース領域１４の下方にはドリフト領域１８が設けられている。メサ部６０には、Ｎ＋型の蓄積領域１６が設けられてもよい。蓄積領域１６は、ベース領域１４とドリフト領域１８との間に配置される。

[0085] エミッタ領域１２は半導体基板１０の上面２１に露出しており、且つ、ゲートトレンチ部４０と接して設けられている。エミッタ領域１２は、メサ部６０の両側のトレンチ部と接していてよい。エミッタ領域１２は、ドリフト領域１８よりもドーピング濃度が高い。コンタクト領域１５を通過するＸＺ面においては、エミッタ領域１２に代えてコンタクト領域１５が設けられて

いる。

[0086] ベース領域１４は、エミッタ領域１２の下方に設けられている。本例のベース領域１４は、エミッタ領域１２と接して設けられている。ベース領域１４は、メサ部６０の両側のトレンチ部と接していてよい。

[0087] 蓄積領域１６は、ベース領域１４の下方に設けられている。蓄積領域１６は、ドリフト領域１８よりもドーピング濃度が高いＮ＋型の領域である。すなわち蓄積領域１６は、ドナー濃度がドリフト領域１８よりも高い。ドリフト領域１８とベース領域１４との間に高濃度の蓄積領域１６を設けることで、キャリア注入促進効果（ＩＥ効果）を高めて、オン電圧を低減できる。蓄積領域１６は、各メサ部６０におけるベース領域１４の下面全体を覆うように設けられてよい。

[0088] ダイオード部８０のメサ部６１には、半導体基板１０の上面２１に接して、Ｐ－型のベース領域１４が設けられている。ベース領域１４の下方には、ドリフト領域１８が設けられている。メサ部６１において、ベース領域１４の下方に蓄積領域１６が設けられていてもよい。またメサ部６１における上面２１には、コンタクトホール５４の下方にコンタクト領域１５が設けられてもよい。コンタクト領域１５を設けることで、メサ部６１とエミッタ電極５２との接触抵抗を低減できる。

[0089] 接続領域１９０のメサ部６２には、半導体基板１０の上面２１に接して、Ｐ－型のベース領域１４が設けられている。ベース領域１４の下方には、ドリフト領域１８が設けられている。メサ部６２において、ベース領域１４の下方に蓄積領域１６が設けられていてもよい。またメサ部６２における上面２１には、コンタクトホール５４の下方にコンタクト領域１５が設けられてもよい。

[0090] トランジスタ部７０、ダイオード部８０および接続領域１９０のそれぞれにおいて、ドリフト領域１８の下にはＮ＋型のバッファ領域２０が設けられてよい。バッファ領域２０のドーピング濃度は、ドリフト領域１８のドーピング濃度よりも高い。バッファ領域２０は、ドリフト領域１８よりもドーピ

ング濃度の高い濃度ピークを有してよい。濃度ピークのドーピング濃度とは、濃度ピークの頂点におけるドーピング濃度を指す。また、ドリフト領域１８のドーピング濃度は、ドーピング濃度分布がほぼ平坦な領域におけるドーピング濃度の平均値を用いてよい。

[0091] バッファ領域２０は、半導体基板１０の深さ方向（Ｚ軸方向）において、２つ以上の濃度ピークを有してよい。バッファ領域２０の濃度ピークは、例えば水素（プロトン）またはリンの化学濃度ピークと同一の深さ位置に設けられていてよい。バッファ領域２０は、ベース領域１４の下端から広がる空乏層が、Ｐ＋型のコレクタ領域２２およびＮ＋型のカソード領域８２に到達することを防ぐフィールドストップ層として機能してよい。

[0092] トランジスタ部７０において、バッファ領域２０の下には、Ｐ＋型のコレクタ領域２２が設けられる。コレクタ領域２２のアクセプタ濃度は、ベース領域１４のアクセプタ濃度より高い。コレクタ領域２２は、ベース領域１４と同一のアクセプタを含んでよく、異なるアクセプタを含んでもよい。コレクタ領域２２のアクセプタは、例えばボロンである。

[0093] ダイオード部８０において、バッファ領域２０の下には、Ｎ＋型のカソード領域８２が設けられる。接続領域１９０において、バッファ領域２０の下には、コレクタ領域２２が設けられてよく、カソード領域８２が設けられてもよい。本例では、全てのメサ部６２の下方にコレクタ領域２２が設けられている。

[0094] カソード領域８２のドナー濃度は、ドリフト領域１８のドナー濃度より高い。カソード領域８２のドナーは、例えば水素またはリンである。なお、各領域のドナーおよびアクセプタとなる元素は、上述した例に限定されない。コレクタ領域２２およびカソード領域８２は、半導体基板１０の下面２３に露出しており、コレクタ電極２４と接続している。コレクタ電極２４は、半導体基板１０の下面２３全体と接触してよい。エミッタ電極５２およびコレクタ電極２４は、アルミニウム等の金属材料で形成される。

[0095] 半導体基板１０の上面２１側には、１以上のゲートトレンチ部４０、およ

び、１以上のダミートレンチ部３０が、Ｘ軸方向において間隔を有して設けられる。各トレンチ部は、半導体基板１０の上面２１から、ベース領域１４を貫通して、ベース領域１４の下方まで設けられている。エミッタ領域１２、コンタクト領域１５および蓄積領域１６の少なくともいずれかが設けられている領域においては、各トレンチ部はこれらのドーピング領域も貫通している。トレンチ部がドーピング領域を貫通するとは、ドーピング領域を形成してからトレンチ部を形成する順序で製造したものに限定されない。トレンチ部を形成した後に、トレンチ部の間にドーピング領域を形成したものも、トレンチ部がドーピング領域を貫通しているものに含まれる。

[0096] 上述したように、トランジスタ部７０には、ゲートトレンチ部４０およびダミートレンチ部３０が設けられている。ダイオード部８０および接続領域１９０には、ダミートレンチ部３０が設けられ、ゲートトレンチ部４０が設けられていない。

[0097] ゲートトレンチ部４０は、半導体基板１０の上面２１に設けられたゲートトレンチ、ゲート絶縁膜４２およびゲート導電部４４を有する。ゲート絶縁膜４２は、ゲートトレンチの内壁を覆って設けられる。ゲート絶縁膜４２は、ゲートトレンチの内壁の半導体を酸化または窒化して形成してよい。ゲート導電部４４は、ゲートトレンチの内部においてゲート絶縁膜４２よりも内側に設けられる。つまりゲート絶縁膜４２は、ゲート導電部４４と半導体基板１０とを絶縁する。ゲート導電部４４は、ポリシリコン等の導電材料で形成される。

[0098] ゲート導電部４４は、深さ方向において、ベース領域１４よりも長く設けられてよい。当該断面におけるゲートトレンチ部４０は、半導体基板１０の上面２１において層間絶縁膜３８により覆われる。ゲート導電部４４は、ゲート配線に電気的に接続されている。ゲート導電部４４に所定のゲート電圧が印加されると、ベース領域１４のうちゲートトレンチ部４０に接する界面の表層に電子の反転層によるチャネルが形成される。

[0099] ダミートレンチ部３０は、当該断面において、ゲートトレンチ部４０と同

一の構造を有してよい。ダミートレンチ部３０は、半導体基板１０の上面２１に設けられたダミートレンチ、ダミー絶縁膜３２およびダミー導電部３４を有する。ダミー導電部３４は、エミッタ電極５２に電気的に接続されている。ダミー絶縁膜３２は、ダミートレンチの内壁を覆って設けられる。ダミー導電部３４は、ダミートレンチの内部に設けられ、且つ、ダミー絶縁膜３２よりも内側に設けられる。ダミー絶縁膜３２は、ダミー導電部３４と半導体基板１０とを絶縁する。ダミー導電部３４は、ゲート導電部４４と同一の材料で形成されてよい。例えばダミー導電部３４は、ポリシリコン等の導電材料で形成される。ダミー導電部３４は、深さ方向においてゲート導電部４４と同一の長さを有してよい。

[0100] 本例のゲートトレンチ部４０およびダミートレンチ部３０は、半導体基板１０の上面２１において層間絶縁膜３８により覆われている。なお、ダミートレンチ部３０およびゲートトレンチ部４０の底部は、下側に凸の曲面状（断面においては曲線状）であってよい。本明細書では、ゲートトレンチ部４０の下端の深さ位置をＺｔとする。

[0101] 図３の参考例においては、Ｘ軸方向における各トレンチ部の間隔（すなわち、各メサ部の幅）は同一である。また、Ｚ軸方向における各トレンチ部の深さ（すなわち、下端位置Ｚｔ）も同一である。本例のようなトレンチ部を有する半導体装置１００では、高電圧が印加されたときに、電界が集中するトレンチ部の下端近傍においてアバランシェ降伏が発生しやすい。トランジスタ部７０の下面２３にはＰ型のコレクタ領域２２が設けられており、例えばベース領域１４－ドリフト領域１８－コレクタ領域２２で構成されるＰＮＰトランジスタが形成されている。トランジスタ部７０とダイオード部８０とでトレンチ部の間隔および深さ等の構造が同一の場合、ＰＮＰトランジスタの電流増幅の影響で、トランジスタ部７０のアバランシェ耐圧がダイオード部８０のアバランシェ耐圧よりも低くなる。アバランシェ耐圧とは、コレクタ電極２４とエミッタ電極５２との間の電圧を徐々に上昇させて、それぞれの電圧を十分長い時間印加した場合に、いずれかの箇所でアバランシェ降

伏が最初に発生する電圧を指す。つまりアバランシェ耐圧は、静的な耐圧を指す。

[0102] 図４は、参考例に係るトランジスタ部７０およびダイオード部８０の、電流密度－電圧特性の一例である。図４においては、ゲート電圧を０Ｖ以下とした場合にトランジスタ部７０のコレクタ電圧を徐々に上昇させた場合のコレクタ電流の推移と、ダイオード部８０のカソード電圧を徐々に上昇させた場合のカソード電流の推移を示している。コレクタ電圧およびカソード電圧は、コレクタ電極２４とエミッタ電極５２との間の電圧である。コレクタ電流およびカソード電流は、コレクタ電極２４に流れる電流である。

[0103] トランジスタ部７０のコレクタ電圧が、トランジスタ部７０のアバランシェ耐圧Ｖａ_ｔに達すると、トランジスタ部７０において耐圧が低い箇所でアバランシェ降伏が発生してコレクタ電流が急激に上昇する。同様に、ダイオード部８０のカソード電圧が、ダイオード部８０のアバランシェ耐圧Ｖａ_ｄに達すると、ダイオード部８０でアバランシェ降伏が発生してカソード電流が急激に上昇する。トランジスタ部７０のアバランシェ耐圧Ｖａ_ｔと、ダイオード部８０のアバランシェ耐圧Ｖａ_ｄの両方が、半導体装置１００の耐圧の仕様値V_0より大きくなるように半導体装置１００が設計される。

[0104] トランジスタ部７０のアバランシェ耐圧Ｖａ_ｔは、図５に示す電流密度－電圧特性において、コレクタ電流の増加に対してコレクタ電圧がほぼ一定（平坦）となっている部分の電圧のうち、最小の電圧であると定義してよい。電流密度－電圧特性は、室温（２５℃）の周囲温度環境で測定してよい。ダイオード部８０のアバランシェ耐圧Ｖａ_ｄは、図５に示す電流密度－電圧特性において、カソード電圧がほぼ一定（平坦）となっている部分の電圧のうち、最小の電圧であると定義してよい。ほぼ平坦とは、例えば電流が１００倍変動しているのに対して、電圧の変動が２０Ｖ以下であることを指す。

[0105] 他の定義方法の例として、トランジスタ部７０のアバランシェ耐圧Ｖａ_ｔは、図５に示す電流密度－電圧特性において、コレクタ電圧の波形がコレクタ電流の増加に対してほぼ一定（平坦）となっている部分の電圧のうち、予

め設定したコレクタ電流の値におけるコレクタ電圧の値であると定義してもよい。ダイオード部８０のアバランシェ耐圧Ｖａ_ｄは、図５に示す電流密度－電圧特性において、カソード電流の増加に対してカソード電圧がほぼ一定（平坦）となっている部分の電圧のうち、予め設定したカソード電流の値におけるカソード電圧の値であると定義してもよい。一例として、図５に示す電流密度－電圧特性において、コレクタ電流またはカソード電流が１×１０$^{-3}$（Ａ／ｃｍ^{2}）の場合におけるコレクタ電圧またはカソード電圧を、アバランシェ耐圧Ｖａ_ｔとしてよい。予め設定したコレクタ電流またはカソード電流の値は、図５に示す電流密度－電圧特性において、１×１０$^{-4}$（Ａ／ｃｍ^{2}）以上であってよく、１×１０^{0}（Ａ／ｃｍ^{2}）以下であってよい。

[0106] トランジスタ部７０においてアバランシェ降伏が発生し、コレクタ電流の電流密度が増大して負性抵抗領域に到達すると、電流増大が抑制できなくなり、半導体装置１００が破壊される。ダイオード部８０においても同様に、カソード電流の電流密度が負性抵抗領域（図４では省略している）に到達すると、電流増大が抑制できなくなり、半導体装置１００が破壊される。

[0107] トランジスタ部７０においては、アバランシェ降伏が発生する電圧Ｖａ_ｔから、負性抵抗領域に到達する電圧Ｖｎ_ｔまでに上昇可能な電圧（Ｖｎ_ｔ－Ｖａ_ｔ）が数Ｖ程度であり、上昇可能なコレクタ電流も小さい。半導体基板１０の温度が上昇すれば、負性抵抗領域に到達する電圧Ｖｎ_ｔも上昇し得るが、トランジスタ部７０では、アバランシェ降伏から負性抵抗領域に到達するまでに上昇できる電圧および電流が小さいため、半導体基板１０の温度を十分に上昇させることができず、負性抵抗領域に容易に到達してしまう。

[0108] 一方で、ダイオード部８０においては、アバランシェ降伏が発生する電圧Ｖａ_ｄから、負性抵抗領域に到達する電圧Ｖｎ_ｄまでに上昇可能な電圧（ΔＶ＝Ｖｎ_ｄ－Ｖａ_ｄ）が比較的に大きく、上昇可能なカソード電流も比較的に大きい。このためダイオード部８０は、トランジスタ部７０に比べて、アバランシェ降伏が発生した場合であっても負性抵抗領域に到達しにくく、半導体装置１００の破壊を抑制できる。

[0109] ダイオード部８０が負性抵抗領域に到達する電圧Ｖｎ_ｄとは、ダイオード部８０のカソード電流が増大した場合に、カソード電圧が増大から減少に転じる電圧である。電圧Ｖｎ_ｄは、図５に示す特性において、カソード電圧の最大値であってもよい。トランジスタ部７０が負性抵抗領域に到達する電圧Ｖｎ_ｔとは、トランジスタ部７０のコレクタ電流が増大した場合に、コレクタ電圧（コレクターエミッタ間電圧）が増大から減少に転じる電圧である。電圧Ｖｎ_ｔは、図５に示す特性において、コレクタ電圧の最大値であってもよい。

[0110] 図４に示す参考例では、トランジスタ部７０のアバランシェ耐圧Ｖａ_ｔが、ダイオード部８０のアバランシェ耐圧Ｖａ_ｄよりも小さい。このためトランジスタ部７０が先にアバランシェ降伏する。トランジスタ部７０がアバランシェ降伏すると、瞬時に負性抵抗領域に到達してしまい、半導体装置１００が破壊されてしまう。

[0111] 図５は、実施例に係るトランジスタ部７０およびダイオード部８０の、電流密度－電圧特性の一例である。本例のダイオード部８０におけるアバランシェ耐圧Ｖａ_ｄは、トランジスタ部７０におけるアバランシェ耐圧Ｖａ_ｔより小さい。これにより、トランジスタ部７０よりも先にダイオード部８０でアバランシェ降伏を発生させることができる。このため、アバランシェ降伏が発生した場合に、瞬時に負性抵抗領域に到達することを抑制できる。

[0112] 本例においてダイオード部８０におけるアバランシェ耐圧Ｖａ_ｄは、トランジスタ部７０におけるアバランシェ耐圧Ｖａ_ｔの０．７倍以上、１倍未満である。ダイオード部８０のアバランシェ耐圧Ｖａ_ｄを小さくすることで、トランジスタ部７０におけるアバランシェ降伏を抑制しやすくなる。アバランシェ耐圧Ｖａ_ｄは、アバランシェ耐圧Ｖａ_ｔの０．９８倍以下であってよく、０．９６倍以下であってよく、０．９倍以下であってもよい。ダイオード部８０のアバランシェ耐圧Ｖａ_ｄを小さくしすぎると、半導体装置１００のアバランシェ耐圧が低くなってしまう。アバランシェ耐圧Ｖａ_ｄは、アバランシェ耐圧Ｖａ_ｔの０．７５倍以上であってよく、０．８倍以上であっ

てよく、０．８５倍以上であってもよい。

[0113] ダイオード部８０のアバランシェ耐圧Ｖａ_ｄは、半導体装置１００のアバランシェ耐圧V_0の仕様値よりも大きい。アバランシェ耐圧Ｖａ_ｄは、アバランシェ耐圧の仕様値V_0とトランジスタ部７０におけるアバランシェ耐圧Ｖａ_ｔとの平均値よりも大きくてよい。ダイオード部８０のアバランシェ耐圧Ｖａ_ｄは、ダイオード部８０におけるトレンチ部のＸ軸方向の間隔（またはメサ部６１のＸ軸方向の幅）、および、ダイオード部８０のトレンチ部の深さ等により調整できる。

[0114] ダイオード部８０が負性抵抗領域に到達する電圧Ｖｎ_ｄは、トランジスタ部７０のアバランシェ耐圧Ｖａ_ｔ以上であってよく、トランジスタ部７０のアバランシェ耐圧Ｖａ_ｔより大きくてよい。ダイオード部８０が負性抵抗領域に到達する電圧Ｖｎ_ｄは、トランジスタ部７０が負性抵抗領域に到達する電圧Ｖｎ_ｔ以上であってもよい。これにより、トランジスタ部７０が先に負性抵抗領域に到達することを防げる。ダイオード部８０が負性抵抗領域に到達する電圧Ｖｎ_ｄは、トランジスタ部７０が負性抵抗領域に到達する電圧Ｖｎ_ｔより小さくてもよいし、同一であってもよい。

[0115] トランジスタ部７０およびダイオード部８０の電流密度－電圧特性は、一般的なデバイス・シミューレーションを用いて算出してよい。デバイス・シミューレーションは、ポアソンの式および電子と正孔に関する電流連続の式について、所定の境界条件や初期条件の下で解くことで行ってよい。トランジスタ部７０の電流密度－電圧特性は、トランジスタ部７０のみを模した構造について電流密度－電圧特性を算出してよい。あるいは、トランジスタ部７０およびダイオード部８０の両方を模した構造において計算をおこない、トランジスタ部７０のみに関する電流密度－電圧特性を抽出してもよい。ダイオード部８０の電流密度－電圧特性は、ダイオード部８０のみを模した構造について電流密度－電圧特性を算出してよい。あるいは、トランジスタ部７０およびダイオード部８０の両方を模した構造において計算をおこない、ダイオード部８０のみに関する電流密度－電圧特性を抽出してもよい。

[0116] 図６は、実施例に係るｅ－ｅ断面の一例を示す図である。本例では、ダイオード部８０におけるトレンチ部の間隔が、図３の参考例とは相違する。本例では、図３に示した参考例における接続領域１９０に代えて中間領域２００を有してよい。中間領域２００と接続領域１９０とは、Ｘ軸方向におけるトレンチ部の間隔が異なる。他の構造は、図１から図３において説明した例と同様である。中間領域２００は、Ｘ軸方向においてダイオード部８０およびトランジスタ部７０の間に配置される。中間領域２００には複数のトレンチ部が設けられる。

[0117] 上面視において、エミッタ領域１２が設けられたメサ部６０と、メサ部６０と隣り合うトレンチ部を含む領域をトランジスタ部７０とする。トランジスタ部７０の下面にはコレクタ領域２２が設けられている。

[0118] 上面視において、エミッタ領域１２が設けられていないメサ部６１と、メサ部６１と隣り合うトレンチ部を含む領域をダイオード部８０とする。ダイオード部８０の下面にはカソード領域８２が設けられている。ダイオード部８０における複数のトレンチ部のＸ軸方向の間隔は一定値Ｘｄである。また、ダイオード部８０における複数のトレンチ部のＺ軸方向の長さも一定（下端の深さ位置Ｚｔ）である。ダイオード部８０におけるアバランシェ耐圧Ｖａ_ｄは、トランジスタ部７０におけるアバランシェ耐圧Ｖａ_ｔよりも小さい。

[0119] 上面視において、エミッタ領域１２が設けられていないメサ部６２と、メサ部６２と隣り合うトレンチ部を含む領域を中間領域２００とする。中間領域２００における下面２３にはコレクタ領域２２およびカソード領域８２の少なくとも一方が設けられている。中間領域２００における下面２３には、トランジスタ部７０と接する位置からダイオード部８０と接する位置までコレクタ領域２２およびカソード領域８２の一方が設けられてよい。他の例では、中間領域２００の下面には、トランジスタ部７０と接する領域にはコレクタ領域２２が設けられ、ダイオード部８０と接する領域にはカソード領域８２が設けられてもよい。この場合、コレクタ領域２２とカソード領域８２

の境界が、中間領域２００に配置される。

[0120] 中間領域２００とトランジスタ部７０との境界は、エミッタ領域１２と接するトレンチ部のうち、ダイオード部８０に最も近いトレンチ部（本例ではダミートレンチ部３０－１）のＸ軸方向における中央である。中間領域２００のトレンチ部は、ダイオード部８０のトレンチ部と異なる構造を有する。例えば中間領域２００のトレンチ部は、ダイオード部８０のトレンチ部とは、隣り合うトレンチ部の間隔およびトレンチ部の深さの少なくとも一方が異なっている。または、中間領域２００のトレンチ部およびダイオード部８０のトレンチ部は、第１下端領域２０２（図１１参照）または第２下端領域２０４（図１３参照）の有無が異なっていてもよい。中間領域２００とダイオード部８０との境界は、構造が変化する境界のトレンチ部（本例ではダミートレンチ部３０－４）のＸ軸方向の中央である。中間領域２００のアバランシェ耐圧は、ダイオード部８０のアバランシェ耐圧より大きく、トランジスタ部７０のアバランシェ耐圧より小さくてよい。本明細書の各例において中間領域２００は設けられていなくてもよい。この場合、トランジスタ部７０とダイオード部８０とが接して設けられる。

[0121] ダイオード部８０、トランジスタ部７０および中間領域２００のそれぞれは、半導体基板１０の上面２１において、配列方向（Ｘ軸方向）に沿って間隔を有して配置された複数のトレンチ部を有する。

[0122] トランジスタ部７０における少なくとも一部のトレンチ部は、Ｘ軸方向において第１の間隔Ｘｔで配置されている。第１の間隔Ｘｔは、トランジスタ部７０におけるトレンチ部の間隔のうち、最大の間隔であってよい。本例においては、トランジスタ部７０における全てのトレンチ部が、第１の間隔Ｘｔで配置されている。

[0123] ダイオード部８０における少なくとも一部のトレンチ部は、Ｘ軸方向において第１の間隔Ｘｔよりも大きい第２の間隔Ｘｄで配置されている。本例においては、ダイオード部８０の全てのトレンチ部が、第２の間隔Ｘｄで配置されている。

[0124] ダイオード部８０におけるトレンチ部の第２の間隔Ｘｄを大きくすることで、より広い領域のキャリアが１本のトレンチ部に向かって流れる。このため、ダイオード部８０においては１本のトレンチ部に電界が集中しやすくなり、アバランシェ耐圧が小さくなる。本例では、ダイオード部８０におけるアバランシェ耐圧Ｖａ_ｄが、トランジスタ部７０におけるアバランシェ耐圧Ｖａ_ｔの１倍未満、７０％以上となるように、ダイオード部８０におけるトレンチ部の第２の間隔Ｘｄを設定する。

[0125] ダイオード部８０におけるトレンチ部の第２の間隔Ｘｄは、トランジスタ部７０におけるトレンチ部の第１の間隔Ｘｔより大きくてよく、第１の間隔Ｘｔの１．２倍以上であってよく、２倍以上であってよく、３倍以上であってよく、５倍以上であってもよい。一例として第１の間隔Ｘｔは２．５μｍ以下であり、第２の間隔Ｘｄは５μｍ以上である。ただし第２の間隔Ｘｄを大きくしすぎると、ダイオード部８０の耐圧が小さくなりすぎるので、第２の間隔Ｘｄは５０μｍ以下であってよく、３０μｍ以下であってもよい。

[0126] 中間領域２００は、複数のトレンチ部を有する。本例の中間領域２００は複数のダミートレンチ部３０を有する。上述したように、ダミートレンチ部３０－１が、トランジスタ部７０と中間領域２００との境界に配置されている。ダミートレンチ部３０－１のＸ軸方向の中央を、トランジスタ部７０と中間領域２００との境界位置とする。上述したように、ダミートレンチ部３０－４が、ダイオード部８０と中間領域２００との境界に配置されている。ダミートレンチ部３０－４のＸ軸方向の中央を、ダイオード部８０と中間領域２００との境界位置とする。ダミートレンチ部３０－１とダミートレンチ部３０－４の間には、１つまたは複数のダミートレンチ部３０が配置されてよく、他のダミートレンチ部３０は配置されていなくてもよい。図６の例では、ダミートレンチ部３０－１とダミートレンチ部３０－４の間に、ダミートレンチ部３０－２およびダミートレンチ部３０－３が配置されている。

[0127] 中間領域２００は、１つ以上のメサ部６２を有する。本例では、メサ部６２－１がトランジスタ部７０と隣り合って配置され、メサ部６２－３がダイ

オード部８０と隣り合って配置されている。メサ部６２－１とメサ部６２－３の間には、１つまたは複数のメサ部６２が配置されてよく、他のメサ部６２は配置されていなくてもよい。図６の例では、メサ部６２－１とメサ部６２－３の間にメサ部６２－２が配置されている。

[0128] 本例の中間領域２００は、ダミートレンチ部３０－１からダミートレンチ部３０－４まで、ダイオード部８０に近づくほどトレンチ間隔が単調に増加している。つまり本例の中間領域２００は、メサ部６２－１からメサ部６２－３まで、ダイオード部８０に近づくほどメサ幅が単調に増加している。トレンチ間隔は、Ｘ軸方向において隣り合う各トレンチ部の中央位置どうしの距離である。メサ幅は、Ｘ軸方向において隣り合う２つのトレンチ部に挟まれた領域の幅である。トレンチ間隔が単調に増加とは、ダミートレンチ部３０－１からダミートレンチ部３０－４に向かう方向において、少なくとも一か所でトレンチ間隔が増大しており、且つ、トレンチ間隔が減少している箇所が無いことを指す。つまりダミートレンチ部３０－１からダミートレンチ部３０－４に向かう方向において、トレンチ間隔が変化していない領域が含まれていてもよい。

[0129] 図６の例では、ダミートレンチ部３０－ｋと、ダミートレンチ部３０－ｋ＋１とのトレンチ間隔をＸｋとする。ただしｋは１以上の整数である。またダミートレンチ部３０－ｋ＋１は、ダミートレンチ部３０－ｋに対して、ダイオード部８０側に隣り合って配置されている。トレンチ間隔Ｘｋは、ｋの増加に応じて単調に増加してよい。１つのメサ部６２におけるアバランシェ耐圧について、トレンチ間隔Ｘｋが単調に増加することで、アバランシェ耐圧をＸ軸方向において徐々に変化させることができる。これにより、中間領域２００で電界強度が集中することを防ぐことができる。

[0130] 中間領域２００は、トランジスタ部７０と接するトランジスタ側領域２０１を有する。トランジスタ側領域２０１は、１つ以上のトレンチ部（本例ではダミートレンチ部３０）が、トランジスタ部７０におけるトレンチ間隔と同一の第１の間隔Ｘｔで配置されている。図６の例では、トレンチ間隔Ｘ１

が、第１の間隔Ｘｔと等しい。つまりダミートレンチ部３０－１からダミートレンチ部３０－２までの領域がトランジスタ側領域２０１である。中間領域２００におけるカソード領域８２およびコレクタ領域２２のＸ軸方向の境界位置は、トランジスタ側領域２０１に配置されていてよい。

[0131] ダイオード部８０に最も近い箇所におけるトレンチ間隔Ｘ３は、トレンチ間隔Ｘ１よりも大きい。トレンチ間隔Ｘ３は、ダイオード部８０における第２の間隔Ｘｄより小さい。

[0132] 中間領域２００において、一か所でトレンチ間隔が増加してよく、複数個所でトレンチ間隔が増加してもよい。本例では、Ｘｔ＝Ｘ１＜Ｘ２＜Ｘ３＜Ｘｄである。つまり本例の中間領域２００における複数のトレンチ部のＸ軸方向におけるトレンチ間隔は、ダイオード部８０に近いほど大きい。Ｘ３＝Ｘｄであってもよい。この場合、ダミートレンチ部３０－３までがダイオード部８０である。

[0133] 図７は、実施例に係るｅ－ｅ断面の他の例を示す図である。本例では、トランジスタ側領域２０１におけるトレンチ間隔Ｘ１が図６の例と相違する。他の構造は図６の例と同様であってよい。本例のトランジスタ側領域２０１のトレンチ間隔Ｘ１は、トランジスタ部７０における第１の間隔Ｘｔよりも小さい。図７の例では、トランジスタ側領域２０１は２つのトレンチ部を有しているが、より多くのトレンチ部を有してもよい。この場合においても、トランジスタ側領域２０１におけるそれぞれのトレンチ間隔Ｘｋは、第１の間隔Ｘｔよりも小さい。トランジスタ側領域２０１におけるそれぞれのトレンチ間隔Ｘｋは一定であってよく、ダイオード部８０に向かって単調に増加してもよい。

[0134] 中間領域２００のうち、トランジスタ部７０に隣り合う部分には、比較的に電流が流れやすい。このため、トランジスタ側領域２０１のトレンチ間隔を小さくすることで、当該箇所の耐圧を増加させて、半導体装置１００の破壊を抑制できる。

[0135] 中間領域２００において、トランジスタ側領域２０１に隣り合うトレンチ

部のトレンチ間隔Ｘ２は、トランジスタ側領域２０１のトレンチ間隔Ｘ１よりも大きい。トレンチ間隔Ｘ２は、第１の間隔Ｘｔと同一であってよく、第１の間隔Ｘｔより小さくてよく、大きくてもよい。トランジスタ側領域２０１のトレンチ間隔Ｘ１は、中間領域２００において最も小さいトレンチ間隔である。本例では、Ｘｔ＞Ｘ１＜Ｘ２＜Ｘ３＜Ｘｄである。Ｘ３＝Ｘｄであってもよい。コレクタ領域２２とカソード領域８２とのＸ軸方向の境界位置は、ダミートレンチ部３０－１の下方から、ダミートレンチ部３０－２の下方までの領域に配置されてよい。

[0136] 図８は、実施例に係るｅ－ｅ断面の他の例を示す図である。本例では、トランジスタ側領域２０１の構成が図６の例と相違する。他の構造は図６の例と同様であってよい。本例のトランジスタ側領域２０１は、３つ以上のトレンチ部を含む。図８では、ダミートレンチ部３０－１からダミートレンチ部３０－４までがトランジスタ側領域２０１である。トランジスタ側領域２０１は、図６の例と同様に各トレンチ間隔（本例ではＸ１、Ｘ２、Ｘ３）が第１の間隔Ｘｔと同一であってよく、第１の間隔Ｘｔより小さくてもよい。カソード領域８２とコレクタ領域２２の境界位置は、トランジスタ側領域２０１のトレンチ部のうち、最もダイオード部８０側のダミートレンチ部３０－４の下方に配置されている。

[0137] 図９は、実施例に係るｅ－ｅ断面の他の例を示す図である。本例では、ダイオード部８０のトレンチ部のＺ軸方向の長さが、図３から図８において説明した例と相違する。更に本例では、図３に示した参考例における接続領域１９０に代えて中間領域２００を有する。本例の中間領域２００は、トレンチ部のＺ軸方向の長さが、図６から図８において説明した例と相違する。中間領域２００における他の構造（たとえばトレンチ間隔Ｘｋ）は、図６から図８において説明したいずれかの例と同様であってよく、図３において説明した接続領域１９０と同一であってもよい。

[0138] トランジスタ部７０における少なくとも一部のトレンチ部は、Ｚ軸方向において第１の長さＺｔｔで配置されている。第１の長さＺｔｔは、トランジ

スタ部７０におけるトレンチ部の長さのうち、最大の長さであってよい。本例においては、トランジスタ部７０における全てのトレンチ部が、第１の長さＺｔｔを有する。

[0139] ダイオード部８０における少なくとも一部のトレンチ部は、Ｚ軸方向において第１の長さＺｔｔよりも大きい第２の長さＺｔｄを有する。本例においては、ダイオード部８０の全てのトレンチ部が、第２の長さＺｔｄを有する。

[0140] ダイオード部８０におけるトレンチ部の第２の長さＺｔｄを大きくすることで、ダイオード部のトレンチ部の下端に電流が集中しやすくなり、アバランシェ耐圧が小さくなる。本例では、ダイオード部８０におけるアバランシェ耐圧Ｖａ_ｄが、トランジスタ部７０におけるアバランシェ耐圧Ｖａ_ｔの１倍未満、７０％以上となるように、ダイオード部８０におけるトレンチ部の第２の長さＺｔｄを設定する。図６から図８において説明したように、ダイオード部８０のトレンチ間隔Ｘｄと、トランジスタ部７０のトレンチ間隔Ｘｔとをさらに異ならせる場合、ダイオード部８０におけるアバランシェ耐圧Ｖａ_ｄが、トランジスタ部７０におけるアバランシェ耐圧Ｖａ_ｔの１倍未満、７０％以上となるように、各トレンチ部の長さおよびトレンチ間隔を設定する。

[0141] 第２の長さＺｔｄは、第１の長さＺｔｔの１．５倍以上であってよく、２倍以上であってもよい。ただし第２の長さＺｔｄを大きくしすぎるとダイオード部８０の耐圧が小さくなりすぎるので、第２の長さＺｔｄは、第１の長さＺｔｔの５倍以下であってよく、４倍以下であってもよい。

[0142] 中間領域２００は、複数のトレンチ部を有する。本例の中間領域２００は複数のダミートレンチ部３０を有する。本例では、ダミートレンチ部３０－１が、トランジスタ部７０と中間領域２００との境界に配置されており、ダミートレンチ部３０－５が、ダイオード部８０と中間領域２００との境界に配置されている。ダミートレンチ部３０－１とダミートレンチ部３０－５の間には、１つまたは複数のダミートレンチ部３０が配置されてよく、他のダ

ミートレンチ部３０は配置されていなくてもよい。図９の例では、ダミートレンチ部３０－１とダミートレンチ部３０－５の間に、ダミートレンチ部３０－２、ダミートレンチ部３０－３およびダミートレンチ部３０－４が配置されている。

[0143] 本例の中間領域２００は、ダミートレンチ部３０－１からダミートレンチ部３０－５まで、ダイオード部８０に近づくほどトレンチ部のＺ軸方向の長さが単調に増加している。トレンチ部の長さが単調に増加とは、ダミートレンチ部３０－１からダミートレンチ部３０－５に向かう方向において、少なくとも一か所でトレンチ部の長さが増大しており、且つ、トレンチ部の長さが減少している箇所が無いことを指す。つまりダミートレンチ部３０－１からダミートレンチ部３０－５に向かう方向において、トレンチ部の長さが変化していない領域が含まれていてもよい。

[0144] 図９の例では、ダミートレンチ部３０－ｋのＺ軸方向の長さをＺｔｋとする。ただしｋは１以上の整数である。またダミートレンチ部３０－ｋ＋１は、ダミートレンチ部３０－ｋに対して、ダイオード部８０側に隣り合って配置されている。長さＺｔｋは、ｋの増加に応じて単調に増加してよい。トレンチ長さＺｔｋが単調に増加することで、アバランシェ耐圧をＸ軸方向において徐々に変化させることができる。

[0145] 中間領域２００は、トランジスタ部７０と接するトランジスタ側領域２０１を有する。トランジスタ側領域２０１は、１つ以上のトレンチ部（本例ではダミートレンチ部３０）が、トランジスタ部７０と同一の第１の長さＺｔｔで配置されている。図９の例では、トレンチ長さＺｔ１およびＺｔ２が、第１の長さＺｔｔと等しい。つまりダミートレンチ部３０－１からダミートレンチ部３０－２までの領域がトランジスタ側領域２０１である。中間領域２００におけるカソード領域８２およびコレクタ領域２２のＸ軸方向の境界位置は、トランジスタ側領域２０１に配置されていてよい。

[0146] ダイオード部８０に最も近い箇所におけるトレンチ長さＺｔ４は、トレンチ長さＺｔ１よりも大きい。トレンチ長さＺｔ４は、ダイオード部８０にお

ける第２の長さＺｔｄより小さい。

[0147] 中間領域２００において、一か所でトレンチ長さが増加してよく、複数個所でトレンチ長さが増加してもよい。本例では、Ｚｔｔ＝Ｚｔ１＝Ｚｔ２＜Ｚｔ３＝Ｚｔ４＜Ｚｔｄである。他の例では、中間領域２００における複数のトレンチ部のＸ軸方向におけるトレンチ間隔は、ダイオード部８０に近いほど大きくてもよい。つまりＺｔｔ＝Ｚｔ１＜Ｚｔ２＜Ｚｔ３＜Ｚｔ４＜Ｚｔｄであってもよい。

[0148] 図１０は、実施例に係るｅ－ｅ断面の他の例を示す図である。本例では、トランジスタ側領域２０１におけるいずれかのトレンチ部のトレンチ長さが図９の例と相違する。他の構造は図９の例と同様であってよい。本例のトランジスタ側領域２０１のいずれかのトレンチ部のトレンチ長さ（図１０ではＺｔ２）は、トランジスタ部７０における第１の長さＺｔｔよりも小さい。

[0149] 図１０の例では、トランジスタ側領域２０１における１つのダミートレンチ部３０－２のトレンチ長さＺｔ２が、第１の長さＺｔｔよりも小さい。他の例では、トランジスタ側領域２０１は、第１の長さＺｔｔよりも小さいトレンチ長さのダミートレンチ部３０を複数含んでいてもよい。これらのダミートレンチ部３０のトレンチ長さは一定であってよく、ダイオード部８０に向かって単調に増加してもよい。

[0150] 中間領域２００のうち、トランジスタ部７０に隣り合う部分には、比較的に電流が流れやすい。このため、トランジスタ側領域２０１のトレンチ長さを小さくすることで、当該箇所の耐圧を増加させて、半導体装置１００の破壊を抑制できる。

[0151] トランジスタ側領域２０１に隣り合うトレンチ部のトレンチ長さＺｔ３は、トレンチ長さＺｔ２よりも大きい。トレンチ長さＺｔ３は、第１の間隔Ｘｔと同一であってよく、第１の間隔Ｘｔより大きくてもよい。トランジスタ側領域２０１のトレンチ長さＺｔ２は、中間領域２００において最も小さいトレンチ間隔である。本例では、Ｚｔｔ＝Ｚｔ１＞Ｚｔ２＜Ｚｔ３＝Ｚｔ４＜Ｚｔｄである。コレクタ領域２２とカソード領域８２とのＸ軸方向の境界

位置は、ダミートレンチ部３０－１の下方から、ダミートレンチ部３０－２の下方までの領域に配置されてよい。

[0152] 図１１は、実施例に係るｅ－ｅ断面の他の例を示す図である。本例では、トランジスタ部７０および中間領域２００に第１下端領域２０２を設けた点で、図３から図１０において説明した例と相違する。図３において説明した例と同様に、トランジスタ部７０、ダイオード部８０および中間領域２００において、トレンチ間隔Ｘｔおよびトレンチ長さは一定であってよい。トランジスタ部７０、ダイオード部８０および中間領域２００は、図６から図８において説明した例と同様のトレンチ間隔を有してよく、図９から図１０において説明した例と同様のトレンチ長さを有してもよい。

[0153] トランジスタ部７０は、少なくとも一つのトレンチ部の下端２１２に接して設けられたＰ型の第１下端領域２０２を有する。第１下端領域２０２は、トレンチ部の下端２１２から、トレンチ部の側壁２１３の一部まで覆うように設けられている。本例のトランジスタ部７０の第１下端領域２０２は、蓄積領域１６と接している。第１下端領域２０２を設けることで、トランジスタ部７０のトレンチ部の下端２１２における電界集中を緩和できる。第１下端領域２０２のドーピング濃度は、ベース領域１４のドーピング濃度より低くてよく、高くてもよい。第１下端領域２０２のドーピング濃度は、コレクタ領域２２より低くてよく、コンタクト領域１５より低くてもよい。

[0154] トランジスタ部７０の全てのトレンチ部に第１下端領域２０２が設けられてよい。それぞれのトレンチ部の下端２１２に設けられた第１下端領域２０２は、図１１に示すようにＸ軸方向において互いに分離していてよく、Ｘ軸方向において互いに接続していてもよい。

[0155] ダイオード部８０の少なくとも一つのトレンチ部の下端２１２には、第１下端領域２０２が設けられていない。つまり当該トレンチ部の下端２１２は、Ｐ型の領域に接していない。本例では、当該トレンチ部の下端２１２はドリフト領域１８に接している。ダイオード部８０の全てのトレンチ部の下端２１２において、第１下端領域２０２が設けられていなくてよい。

[0156] トランジスタ部７０に第１下端領域２０２を設け、ダイオード部８０に第１下端領域２０２を設けないことで、トランジスタ部７０のアバランシェ耐圧を高め、ダイオード部８０のアバランシェ耐圧を相対的に低くできる。このような構造によっても、図５に示したように、ダイオード部８０のアバランシェ耐圧を、トランジスタ部７０のアバランシェ耐圧の１倍未満、７０％以上に調整できる。トランジスタ部７０のアバランシェ耐圧は、第１下端領域２０２のドーピング濃度等によって調整できる。また図６から図８において説明したようにトレンチ間隔Ｘｋの調整、図９から図１０において説明したトレンチ長さの調整、および、図１１において説明した第１下端領域２０２を用いた調整のうちの２つ以上を組み合わせて、ダイオード部８０のアバランシェ耐圧を、トランジスタ部７０のアバランシェ耐圧の１倍未満、７０％以上に調整してもよい。

[0157] 中間領域２００のトレンチ部には、ダイオード部８０との境界に配置されたダミートレンチ部３０－３を除き、第１下端領域２０２が設けられている。図１１の例では、ダミートレンチ部３０－１およびダミートレンチ部３０－２の下端２１２に接して、第１下端領域２０２が設けられている。中間領域２００のそれぞれの第１下端領域２０２のドーピング濃度は、トランジスタ部７０の第１下端領域２０２のドーピング濃度と同一である。他の例では、中間領域２００の第１下端領域２０２のドーピング濃度は、ダイオード部８０に近づくほど単調に減少してもよい。コレクタ領域２２およびカソード領域８２のＸ軸方向における境界位置は、ダミートレンチ部３０－１の下方から、ダミートレンチ部３０－２の下方までの領域に配置されてよい。

[0158] 図１２は、実施例に係るｅ－ｅ断面の他の例を示す図である。本例では、中間領域２００のトレンチ部の個数が図１１の例と相違する。他の構造は図１１の例と同様である。本例の中間領域２００は、第１下端領域２０２が設けられたトレンチ部を３個以上有する。図１２では、ダミートレンチ部３０－１からダミートレンチ部３０－４までの４つのダミートレンチ部３０に、第１下端領域２０２が設けられている。

[0159] 図１３は、実施例に係るｅ－ｅ断面の他の例を示す図である。本例では、ダイオード部８０に第２下端領域２０４を設けた点で、図３から図１２において説明した例と相違する。図３において説明した例と同様に、トランジスタ部７０、ダイオード部８０および中間領域２００において、トレンチ間隔Ｘｔおよびトレンチ長さは一定であってよい。トランジスタ部７０、ダイオード部８０および中間領域２００は、図６から図８において説明した例と同様のトレンチ間隔を有してよく、図９から図１０において説明した例と同様のトレンチ長さを有してもよい。また、図１１および図１２において説明した例と同様に、トランジスタ部７０および中間領域２００には、第１下端領域２０２が設けられてもよい。

[0160] ダイオード部８０は、少なくとも一つのトレンチ部の下端２１２に接して設けられたＮ型の第２下端領域２０４を有する。第２下端領域２０４は、トレンチ部の下端２１２から、トレンチ部の側壁２１３の一部まで覆うように設けられている。第２下端領域２０４の下端は、蓄積領域１６の下端よりも下面２３側に配置されている。第２下端領域２０４のドーピング濃度は、ドリフト領域１８のドーピング濃度よりも高い。第２下端領域２０４のドーピング濃度は、ドリフト領域１８のドーピング濃度の２倍以上であってよく、５倍以上であってよく、１０倍以上であってもよい。第２下端領域２０４のドーピング濃度は、蓄積領域１６のドーピング濃度より低くてよい。第２下端領域２０４のドーピング濃度は、カソード領域８２のドーピング濃度より低くてよい。第２下端領域２０４を設けることで、ダイオード部８０のトレンチ部の下端２１２における電界集中を促進して、ダイオード部８０におけるアバランシェ耐圧を低くできる。

[0161] ダイオード部８０のトレンチ部のうち、半分以上のトレンチ部に第２下端領域２０４が設けられてよく、９０％以上のトレンチ部に第２下端領域２０４が設けられてよく、全てのトレンチ部に第２下端領域２０４が設けられてもよい。それぞれのトレンチ部の下端２１２に設けられた第２下端領域２０４は、図１３に示すようにＸ軸方向において互いに分離していてよく、Ｘ軸

方向において互いに接続していてもよい。

[0162] トランジスタ部７０の少なくとも一つのトレンチ部の下端２１２には、第２下端領域２０４が設けられていない。つまり当該トレンチ部の下端２１２は、ドリフト領域１８よりもドーピング濃度が高いＮ型の領域に接していない。本例では、当該トレンチ部の下端２１２はドリフト領域１８に接している。トランジスタ部７０の全てのトレンチ部の下端２１２において、第２下端領域２０４が設けられていなくてよい。中間領域２００の全てのトレンチ部の下端２１２には、第２下端領域２０４が設けられていない。

[0163] それぞれの第２下端領域２０４のドーピング濃度は、均一であってよい。他の例では、複数の第２下端領域２０４のドーピング濃度を互いに異ならせてもよい。一例としてダイオード部８０のＸ軸方向の中央における第２下端領域２０４のドーピング濃度は、ダイオード部８０のＸ軸方向の端部における第２下端領域２０４のドーピング濃度よりも高くてよい。これにより、トランジスタ部７０から離れたダイオード部８０の中央近傍においてアバランシェ降伏を発生させやすくなる。

[0164] コレクタ領域２２およびカソード領域８２の境界位置は、第２下端領域２０４よりもトランジスタ部７０側に配置されている。これにより、Ｐ＋型のコレクタ領域２２と、Ｎ型の第２下端領域２０４とを離して配置でき、コレクタ領域２２と第２下端領域２０４との間でキャリアが移動することを抑制できる。

[0165] 本例の構造によっても、図５に示したように、ダイオード部８０のアバランシェ耐圧を、トランジスタ部７０のアバランシェ耐圧の１倍未満、７０％以上に調整できる。トランジスタ部７０のアバランシェ耐圧は、第２下端領域２０４のドーピング濃度等によって調整できる。また図６から図８において説明したようにトレンチ間隔Ｘｋの調整、図９から図１０において説明したトレンチ長さの調整、図１１から図１２において説明した第１下端領域２０２を用いた調整、および、図１３において説明した第２下端領域２０４を用いた調整のうちの２つ以上を組み合わせて、ダイオード部８０のアバラン

シェ耐圧を、トランジスタ部７０のアバランシェ耐圧の１倍未満、７０％以上に調整してもよい。

[0166] 図１４は、実施例に係るｅ－ｅ断面の他の例を示す図である。本例では、ダイオード部８０にライフタイム調整部２０８を設けた点で、図３から図１３において説明した例と相違する。図３において説明した例と同様に、トランジスタ部７０、ダイオード部８０および中間領域２００において、トレンチ間隔Ｘｔおよびトレンチ長さは一定であってよい。トランジスタ部７０、ダイオード部８０および中間領域２００は、図６から図８において説明した例と同様のトレンチ間隔を有してよく、図９から図１０において説明した例と同様のトレンチ長さを有してもよい。図１１および図１２において説明した例と同様に、トランジスタ部７０および中間領域２００には、第１下端領域２０２が設けられてもよい。図１３において説明した例と同様に、ダイオード部８０には第２下端領域２０４が設けられてもよい。

[0167] ライフタイム調整部２０８は、半導体基板１０の上面２１側において、トレンチ部の下端よりも下方に配置されている。ライフタイム調整部２０８は、半導体基板１０の深さ方向において、キャリアライフタイムが極小値を示す領域である。格子欠陥２０６が多く残留している領域では、キャリアが格子欠陥２０６に捕捉されるので、キャリアのライフタイムが短くなる。キャリアのライフタイムを調整することで、半導体装置１００のターンオフ時間等の特性を調整できる。本例では、所定の深さ位置にヘリウムイオンビーム等の荷電粒子線を照射することで、当該深さ位置の近傍に格子欠陥２０６を形成し、ライフタイム調整部２０８を形成する。本例のライフタイム調整部２０８は、Ｘ軸方向において、ダイオード部８０の全体に設けられている。ライフタイム調整部２０８は、Ｘ軸方向において中間領域２００の全体に延伸して設けられてよい。ライフタイム調整部２０８は、Ｘ軸方向においてトランジスタ部７０の一部にも延伸して設けられてよい。

[0168] ライフタイム調整部２０８が設けられた領域は、ライフタイム調整部２０８が設けられていない領域に比べて、キャリアライフタイムが１０％未満、

０．００１％以上であってよい。例えばトランジスタ部７０のドリフト領域１８の深さ方向の中央における基準キャリアライフタイムに比べて、ライフタイム調整部２０８におけるキャリアライフタイムは１０％未満、０．００１％以上である。ライフタイム調整部２０８におけるキャリアライフタイムは、基準キャリアライフタイムの１％以下であってよく、０．１％以下であってもよい。ライフタイム調整部２０８におけるキャリアライフタイムは、基準キャリアライフタイムの０．０１％以上であってもよい。

[0169] 図３から図１３における例のように、ライフタイム調整部２０８が設けられていない場合、ドリフト領域１８におけるキャリアライフタイムは、ほぼ均一である。ほぼ均一とは、例えばドリフト領域１８のキャリアライフタイムの最大値に対して、ドリフト領域１８の全体におけるキャリアライフタイムが、１００％以下、１０％以上の範囲内に分布していることを指す。ライフタイム調整部２０８を設けない場合、ドリフト領域１８のキャリアライフタイムの最大値に対して、ドリフト領域１８の全体におけるキャリアライフタイムが、１００％以下、５０％以上の範囲内に分布していてもよい。

[0170] 図１５は、実施例に係るｅ－ｅ断面の他の例を示す図である。本例では、図９に示した構成に、ライフタイム調整部２０８を設けている。図１０に示した構成に、ライフタイム調整部２０８を設けてもよい。

[0171] 図１６は、実施例に係るｅ－ｅ断面の他の例を示す図である。本例では、図１１に示した構成に、ライフタイム調整部２０８を設けている。図１２に示した構成に、ライフタイム調整部２０８を設けてもよい。

[0172] 図１７は、実施例に係るｅ－ｅ断面の他の例を示す図である。本例では、図１３に示した構成に、ライフタイム調整部２０８を設けている。

[0173] 図１８は、トランジスタ部７０およびダイオード部８０におけるトレンチ間隔と、トランジスタ部７０およびダイオード部８０におけるアバランシェ耐圧との関係を示す図である。図１８では、各サンプルの測定値を、四角のプロットおよび丸のプロットで示している。トランジスタ部７０およびダイオード部８０のいずれにおいても、トレンチ間隔を大きくすると、アバラン

シェ耐圧が低下している。つまり、トレンチ間隔を調整することで、アバランシェ耐圧を調整できる。本例では、トランジスタ部７０におけるトレンチ間隔が１μｍの場合、トランジスタ部７０の耐圧は１４２５Ｖである。これに対してダイオード部８０のトレンチ間隔を５．５μｍ以上にすると、ダイオード部８０の耐圧を１４２５Ｖより小さくできる。ダイオード部８０のトレンチ間隔は、トランジスタ部７０のトレンチ間隔の５．５倍以上であってよく、６倍以上であってよく、１０倍以上であってもよい。

[0174] 図１９は、トランジスタ部７０およびダイオード部８０におけるトレンチ長さと、トランジスタ部７０およびダイオード部８０におけるアバランシェ耐圧との関係を示す図である。図１９では、各サンプルの測定値を、四角のプロットおよび丸のプロットで示している。トランジスタ部７０およびダイオード部８０のいずれにおいても、トレンチ長さを大きくすると、アバランシェ耐圧が低下している。つまり、トレンチ長さを調整することで、アバランシェ耐圧を調整できる。本例では、トランジスタ部７０におけるトレンチ長さが５μｍの場合、トランジスタ部７０の耐圧は１４２５Ｖである。これに対してダイオード部８０のトレンチ間隔を１２μｍ以上にすると、ダイオード部８０の耐圧を１４２５Ｖより小さくできる。ダイオード部８０のトレンチ長さは、トランジスタ部７０のトレンチ長さの２．４倍以上であってよく、３倍以上であってよく、５倍以上であってもよい。

[0175] 図２０は、トランジスタ部７０およびダイオード部８０におけるトレンチ間隔と、トランジスタ部７０およびダイオード部８０におけるアバランシェ耐圧との関係を示す図である。本例のダイオード部８０は、図１８の例のダイオード部８０と同一である。図１８の例のトランジスタ部７０は第１下端領域２０２を設けていないが、本例のトランジスタ部７０は第１下端領域２０２を設けている。本例のトランジスタ部７０は、第１下端領域２０２を設けたこと以外は、図１８の例のトランジスタ部７０と同一である。図１８および図２０に示すように、第１下端領域２０２を設けることで、トランジスタ部７０のアバランシェ耐圧が上昇している。つまり、第１下端領域２０２

を設けることで、アバランシェ耐圧を調整できる。

[0176] 図２１は、ダイオード部８０における第２下端領域２０４におけるドーズ量（またはドーピング濃度）と、ダイオード部８０におけるアバランシェ耐圧との関係を示す図である。図２１では、第２下端領域２０４を設けない場合のアバランシェ耐圧を四角のプロットで示している。第２下端領域２０４のドーズ量を多くすると、アバランシェ耐圧が低下している。つまり、第２下端領域２０４のドーズ量を調整することで、アバランシェ耐圧を調整できる。

[0177] 図２２は、半導体装置１００の非破壊最大エネルギー密度を説明する図である。非破壊最大エネルギー密度とは、非クランプ誘電性スイッチング試験（ＵＩＳ試験）において、半導体装置１００に印加するエネルギーを徐々に増大させた場合に、半導体装置１００が破壊される直前までに印加されるエネルギー密度を指す。

[0178] 半導体装置１００を時刻ｔ１においてオン状態からオフ状態に遷移させると、半導体装置１００に流れる主電流の電流密度は徐々に減少し、半導体装置１００のコレクタ／エミッタ間電圧は上昇する。半導体装置１００には、図２３の下側のグラフで示されるように、主電流密度およびコレクタ／エミッタ間電圧との積（Ｖ×Ｊ）を時間積分したエネルギーが印加される。

[0179] 半導体装置１００がオン状態のときに流れる主電流の電流密度を逐次上昇させて、ターンオフ動作を繰り返すと、ある電流密度でのターンオフ動作において時刻ｔ２で半導体装置１００が破壊されて、主電流が急激に増大する。当該ターンオフ動作において時刻ｔ１から時刻ｔ２までに印加されたエネルギーよりわずかに小さいエネルギーが、非破壊最大エネルギー密度である。当該ターンオフ動作における印加エネルギーを非破壊最大エネルギー密度としてもよいし、当該ターンオフ動作における印加エネルギーから所定のマージンを減じて非破壊最大エネルギー密度としてもよいし、当該ターンオフ動作の直前のターンオフ動作における印加エネルギーを非破壊最大エネルギー密度としてもよい。

[0180] 図２３は、ダイオード部８０におけるアバランシェ耐圧Ｖａ_ｄと、非破壊最大エネルギー密度との関係を示している。図２３における横軸は、トランジスタ部７０におけるアバランシェ耐圧Ｖａ_ｔで正規化したアバランシェ耐圧Ｖａ_ｄ（すなわち、Ｖａ_ｄ／Ｖａ_ｔ）を示している。

[0181] ダイオード部８０におけるアバランシェ耐圧Ｖａ_ｄが、トランジスタ部７０におけるアバランシェ耐圧Ｖａ_ｔと同一の場合（Ｖａ_ｄ／Ｖａ_ｔ＝１）の非破壊最大エネルギー密度を基準値$Ｓ_0$とする。

[0182] 半導体装置１００は、非破壊最大エネルギー密度が、基準値$Ｓ_0$より大きくなるような、ダイオード部８０およびトランジスタ部７０のアバランシェ耐圧比を有してよい。一例として半導体装置１００は、ダイオード部８０のアバランシェ耐圧Ｖａ_ｄが、トランジスタ部７０のアバランシェ耐圧Ｖａ_ｔの７０％以上、１００％未満である。

[0183] 半導体装置１００は、非破壊最大エネルギー密度が、最大値$Ｓ_{max}$の８０％以上となるような、ダイオード部８０およびトランジスタ部７０のアバランシェ耐圧比を有してよい。半導体装置１００は、非破壊最大エネルギー密度が、最大値$Ｓ_{max}$の９０％以上となるような、ダイオード部８０およびトランジスタ部７０のアバランシェ耐圧比を有してよい。半導体装置１００は、非破壊最大エネルギー密度が、基準値$Ｓ_0$と最大値$Ｓ_{max}$の中間値以上となるような、ダイオード部８０およびトランジスタ部７０のアバランシェ耐圧比を有してもよい。半導体装置１００は、ダイオード部８０のアバランシェ耐圧Ｖａ_ｄが、トランジスタ部７０のアバランシェ耐圧Ｖａ_ｔの７５％以上であってよく、８０％以上であってよい。半導体装置１００は、ダイオード部８０のアバランシェ耐圧Ｖａ_ｄが、トランジスタ部７０のアバランシェ耐圧Ｖａ_ｔの１００％未満であってよく、９５％以下であってよく、９０％以下であってよい。

[0184] 図２４は、半導体装置１００の製造方法の一例を示す図である。まず基準値取得段階Ｓ３０２において、１つ以上の半導体装置を用いて、図２２および図２３において説明した非破壊最大エネルギー密度の基準値$Ｓ_0$を取得する

。Ｓ３０２では、非クランプ誘電性スイッチング試験により基準値$Ｓ_0$を取得する。基準値$Ｓ_0$を取得するのに用いた１つ以上の半導体装置を、第１の半導体装置と称する。

[0185] 次に設定段階Ｓ３０４において、図２３で説明したように、基準値$Ｓ_0$よりも非破壊最大エネルギー密度が大きくなるように、ダイオード部８０およびトランジスタ部７０のアバランシェ耐圧比を設定する。

[0186] 次に設計段階Ｓ３０６において、Ｓ３０４で設定したアバランシェ耐圧の比を満たすように、ダイオード部８０およびトランジスタ部７０の構造を設計する。Ｓ３０６においては、図５から図１７において説明したように、トレンチ部の間隔、トレンチ部の深さ、第１下端領域２０２の配置、第２下端領域２０４の配置、ライフタイム調整部２０８の配置等を調整することで、ダイオード部８０およびトランジスタ部７０のアバランシェ耐圧比を調整する。ダイオード部８０およびトランジスタ部７０のアバランシェ耐圧比が調整された半導体装置を、第２の半導体装置と称する。

[0187] 次に製造段階Ｓ３０８において、Ｓ３０６の設計に基づいて、半導体装置１００を製造する。半導体装置１００は、第２の半導体装置である。これにより、半導体装置１００を製造できる。半導体装置１００は、図５において説明したアバランシェ耐圧を有する。

[0188] 以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

[0189] 請求の範囲、明細書、および図面中において示した装置、システム、プログラム、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。請求の範囲、明細書、および図面中の動作フロ

ーに関して、便宜上「まず、」、「次に、」等を用いて説明したとしても、この順で実施することが必須であることを意味するものではない。

符号の説明

[0190] １０・・・半導体基板、１１・・・ウェル領域、１２・・・エミッタ領域、１４・・・ベース領域、１５・・・コンタクト領域、１６・・・蓄積領域、１８・・・ドリフト領域、２０・・・バッファ領域、２１・・・上面、２２・・・コレクタ領域、２３・・・下面、２４・・・コレクタ電極、２９・・・直線部分、３０・・・ダミートレンチ部、３１・・・先端部、３２・・・ダミー絶縁膜、３４・・・ダミー導電部、３８・・・層間絶縁膜、３９・・・直線部分、４０・・・ゲートトレンチ部、４１・・・先端部、４２・・・ゲート絶縁膜、４４・・・ゲート導電部、５２・・・エミッタ電極、５４・・・コンタクトホール、６０、６１、６２・・・メサ部、７０・・・トランジスタ部、８０・・・ダイオード部、８１・・・延長領域、８２・・・カソード領域、９０・・・エッジ終端構造部、１００・・・半導体装置、１３０・・・外周ゲート配線、１３１・・・活性側ゲート配線、１６０・・・活性部、１６２・・・端辺、１６４・・・ゲートパッド、１９０・・・接続領域、２００・・・中間領域、２０１・・・トランジスタ側領域、２０２・・・第１下端領域、２０４・・・第２下端領域、２０６・・・格子欠陥、２０８・・・ライフタイム調整部、２１２・・・下端、２１３・・・側壁

請求の範囲

[請求項1] 上面および下面を有し、第１導電型のドリフト領域が設けられた半導体基板と、

前記半導体基板の前記下面に接する第２導電型のコレクタ領域と、前記半導体基板の前記上面に接して設けられ前記ドリフト領域よりもドーピング濃度の高い第１導電型のエミッタ領域とを有するトランジスタ部と、

前記半導体基板の前記下面に接する第１導電型のカソード領域を有するダイオード部と、

を備え、

前記ダイオード部におけるアバランシェ耐圧が、前記トランジスタ部におけるアバランシェ耐圧の０．７倍以上、１倍未満である半導体装置。

[請求項2] 前記ダイオード部が負性抵抗領域に到達するカソード電圧は、前記トランジスタ部が負性抵抗領域に到達するコレクタ電圧以上である

請求項１に記載の半導体装置。

[請求項3] 前記ダイオード部および前記トランジスタ部は、前記半導体基板の前記上面において、配列方向に沿って間隔を有して配置された複数のトレンチ部を有する

請求項１に記載の半導体装置。

[請求項4] 前記トランジスタ部における少なくとも一部の前記トレンチ部は、前記配列方向において第１の間隔で配置され、

前記ダイオード部における少なくとも一部の前記トレンチ部は、前記配列方向において前記第１の間隔よりも大きい第２の間隔で配置されている

請求項３に記載の半導体装置。

[請求項5] 前記ダイオード部および前記トランジスタ部の間に配置され、複数の前記トレンチ部が設けられ、前記カソード領域および前記コレクタ

領域の少なくとも一方を有する中間領域を備え、

前記中間領域はトランジスタ側領域を有し、当該トランジスタ側領域は前記トランジスタ部と接し、且つ、１つ以上の前記トレンチ部が前記第１の間隔で配置される

請求項４に記載の半導体装置。

[請求項6] 前記ダイオード部および前記トランジスタ部の間に配置され、複数の前記トレンチ部が設けられ、前記カソード領域および前記コレクタ領域の少なくとも一方を有する中間領域を備え、

前記中間領域はトランジスタ側領域を有し、当該トランジスタ側領域は前記トランジスタ部と接し、且つ、１つ以上の前記トレンチ部が前記第１の間隔より小さい間隔で配置される

請求項４に記載の半導体装置。

[請求項7] 前記中間領域における前記カソード領域および前記コレクタ領域の境界位置が、前記トランジスタ側領域に配置されている

請求項５に記載の半導体装置。

[請求項8] 前記境界位置が、前記トランジスタ側領域の１つ以上の前記トレンチ部のうち、最も前記ダイオード部側の前記トレンチ部の下方に配置されている

請求項７に記載の半導体装置。

[請求項9] 前記トランジスタ側領域は、前記配列方向における間隔が、前記中間領域において最も小さい第１の前記トレンチ部および第２の前記トレンチ部を含み、

前記境界位置は、前記第１のトレンチ部の下方から、前記第２のトレンチ部の下方までの領域に配置されている

請求項７に記載の半導体装置。

[請求項10] 前記中間領域における前記複数のトレンチ部の前記配列方向における間隔は、前記ダイオード部に近いほど大きい

請求項５から９のいずれか一項に記載の半導体装置。

[請求項11] 前記第２の間隔は、前記第１の間隔の２倍以上である
請求項４から９のいずれか一項に記載の半導体装置。

[請求項12] 前記トランジスタ部における少なくとも一部の前記トレンチ部は、前記半導体基板の深さ方向において第１の長さを有し、
前記ダイオード部における少なくとも一部の前記トレンチ部は、前記深さ方向において前記第１の長さよりも大きい第２の長さを有する
請求項３に記載の半導体装置。

[請求項13] 前記ダイオード部および前記トランジスタ部の間に配置され、複数の前記トレンチ部が設けられ、前記カソード領域および前記コレクタ領域を有する中間領域を備え、
前記中間領域は、前記トランジスタ部と接するトランジスタ側領域を有し、
前記トランジスタ側領域は、前記第１の長さの前記トレンチ部を有する
請求項１２に記載の半導体装置。

[請求項14] 前記ダイオード部および前記トランジスタ部の間に配置され、複数の前記トレンチ部が設けられ、前記カソード領域および前記コレクタ領域を有する中間領域を備え、
前記中間領域は、前記トランジスタ部と接するトランジスタ側領域を有し、
前記トランジスタ側領域は、前記第１の長さより小さい長さの前記トレンチ部を有する
請求項１２に記載の半導体装置。

[請求項15] 前記中間領域における前記カソード領域および前記コレクタ領域の境界位置が、前記トランジスタ側領域に配置されている
請求項１３に記載の半導体装置。

[請求項16] 前記中間領域における前記複数のトレンチ部の前記深さ方向における長さは、前記ダイオード部に近いほど大きい

請求項１３から１５のいずれか一項に記載の半導体装置。

[請求項17] 前記トランジスタ部は、少なくとも一つの前記トレンチ部の下端に接して設けられた第２導電型の第１下端領域を有し、

前記ダイオード部の少なくとも一つの前記トレンチ部の下端は、第２導電型の領域に接していない

請求項３から９のいずれか一項に記載の半導体装置。

[請求項18] 前記ダイオード部の全ての前記トレンチ部の下端は、第２導電型の領域に接していない

請求項１７に記載の半導体装置。

[請求項19] 前記ダイオード部は、少なくとも一つの前記トレンチ部の下端に接して設けられ、前記ドリフト領域よりもドーピング濃度が高い第１導電型の第２下端領域を有し、

前記トランジスタ部の少なくとも一つの前記トレンチ部の下端は、前記ドリフト領域よりもドーピング濃度が高い第１導電型の領域に接していない

請求項３から９のいずれか一項に記載の半導体装置。

[請求項20] 前記トランジスタ部は、

前記エミッタ領域と前記ドリフト領域との間に設けられた第２導電型のベース領域と、

前記ベース領域と前記ドリフト領域との間に設けられ、前記ドリフト領域よりもドーピング濃度の高い第１導電型の蓄積領域と

を有し、

前記第２下端領域のドーピング濃度は、前記蓄積領域のドーピング濃度よりも低い

請求項１９に記載の半導体装置。

[請求項21] 前記ダイオード部は、前記半導体基板の前記上面側においてキャリアのライフタイムを調整するライフタイム調整部を有する

請求項１から９のいずれか一項に記載の半導体装置。

[請求項22] 上面および下面を有し、第１導電型のドリフト領域が設けられた半導体基板と、

前記半導体基板の前記下面に接する第２導電型のコレクタ領域と、前記半導体基板の前記上面に接して設けられ前記ドリフト領域よりもドーピング濃度の高い第１導電型のエミッタ領域とを有するトランジスタ部と、

前記半導体基板の下面に接する第１導電型のカソード領域を有するダイオード部と、

を備え、

前記ダイオード部および前記トランジスタ部は、前記半導体基板の上面において、配列方向に沿って間隔を有して配置された複数のトレンチ部を有し、

前記トランジスタ部は、少なくとも一つの前記トレンチ部の下端に接して設けられた第２導電型の第１下端領域を有し、

前記ダイオード部の少なくとも一つの前記トレンチ部の下端は、第２導電型の領域に接していない

半導体装置。

[請求項23] 半導体基板にトランジスタ部およびダイオード部を有する半導体装置の製造方法であって、

前記トランジスタ部および前記ダイオード部の耐圧が等しい第１の半導体装置について、非クランプ誘電性スイッチング試験により前記半導体装置が破壊されない非破壊最大エネルギー密度を取得し、

前記第１の半導体装置を基準とし、前記第１の半導体装置よりも前記非破壊最大エネルギー密度が大きくなるように、前記ダイオード部および前記トランジスタ部のアバランシェ耐圧の比を設定し、

設定された前記アバランシェ耐圧の比を満たすように第２の半導体装置における前記トランジスタ部および前記ダイオード部を設計し、

前記設計に基づいて前記第２の半導体装置を製造する製造方法。

補正された請求の範囲
[2023年9月8日(08.09.2023)国際事務局受理]

[請求項1] 上面および下面を有し、第１導電型のドリフト領域が設けられた半導体基板と、

前記半導体基板の前記下面に接する第２導電型のコレクタ領域と、前記半導体基板の前記上面に接して設けられ前記ドリフト領域よりもドーピング濃度の高い第１導電型のエミッタ領域とを有するトランジスタ部と、

前記半導体基板の前記下面に接する第１導電型のカソード領域を有するダイオード部と、

を備え、

前記ダイオード部におけるアバランシェ耐圧が、前記トランジスタ部におけるアバランシェ耐圧の０．７倍以上、１倍未満である半導体装置。

[請求項2] 前記ダイオード部が負性抵抗領域に到達するカソード電圧は、前記トランジスタ部が負性抵抗領域に到達するコレクタ電圧以上である

請求項１に記載の半導体装置。

[請求項3] 前記ダイオード部および前記トランジスタ部は、前記半導体基板の前記上面において、配列方向に沿って間隔を有して配置された複数のトレンチ部を有する

請求項１に記載の半導体装置。

[請求項4] 前記トランジスタ部における少なくとも一部の前記トレンチ部は、前記配列方向において第１の間隔で配置され、

前記ダイオード部における少なくとも一部の前記トレンチ部は、前記配列方向において前記第１の間隔よりも大きい第２の間隔で配置されている

請求項３に記載の半導体装置。

補正された用紙（条約第19条）

[請求項5] 前記ダイオード部および前記トランジスタ部の間に配置され、複数の前記トレンチ部が設けられ、前記カソード領域および前記コレクタ領域の少なくとも一方を有する中間領域を備え、

前記中間領域はトランジスタ側領域を有し、当該トランジスタ側領域は前記トランジスタ部と接し、且つ、１つ以上の前記トレンチ部が前記第１の間隔で配置される

請求項４に記載の半導体装置。

[請求項6] 前記ダイオード部および前記トランジスタ部の間に配置され、複数の前記トレンチ部が設けられ、前記カソード領域および前記コレクタ領域の少なくとも一方を有する中間領域を備え、

前記中間領域はトランジスタ側領域を有し、当該トランジスタ側領域は前記トランジスタ部と接し、且つ、１つ以上の前記トレンチ部が前記第１の間隔より小さい間隔で配置される

請求項４に記載の半導体装置。

[請求項7] 前記中間領域における前記カソード領域および前記コレクタ領域の境界位置が、前記トランジスタ側領域に配置されている

請求項５に記載の半導体装置。

[請求項8] 前記境界位置が、前記トランジスタ側領域の１つ以上の前記トレンチ部のうち、最も前記ダイオード部側の前記トレンチ部の下方に配置されている

請求項７に記載の半導体装置。

[請求項9] 前記トランジスタ側領域は、前記配列方向における間隔が、前記中間領域において最も小さい第１の前記トレンチ部および第２の前記トレンチ部を含み、

前記境界位置は、前記第１のトレンチ部の下方から、前記第２のトレンチ部の下方までの領域に配置されている

請求項７に記載の半導体装置。

[請求項10] 前記中間領域における前記複数のトレンチ部の前記配列方向における間隔は、前記ダイオード部に近いほど大きい

請求項５から９のいずれか一項に記載の半導体装置。

[請求項11] 前記第２の間隔は、前記第１の間隔の２倍以上である

請求項４から９のいずれか一項に記載の半導体装置。

[請求項12] 前記トランジスタ部における少なくとも一部の前記トレンチ部は、前記半導体基板の深さ方向において第１の長さを有し、

前記ダイオード部における少なくとも一部の前記トレンチ部は、前記深さ方向において前記第１の長さよりも大きい第２の長さを有する

請求項３に記載の半導体装置。

[請求項13] 前記ダイオード部および前記トランジスタ部の間に配置され、複数の前記トレンチ部が設けられ、前記カソード領域および前記コレクタ領域を有する中間領域を備え、

前記中間領域は、前記トランジスタ部と接するトランジスタ側領域を有し、

前記トランジスタ側領域は、前記第１の長さの前記トレンチ部を有する

請求項１２に記載の半導体装置。

[請求項14] 前記ダイオード部および前記トランジスタ部の間に配置され、複数の前記トレンチ部が設けられ、前記カソード領域および前記コレクタ領域を有する中間領域を備え、

前記中間領域は、前記トランジスタ部と接するトランジスタ側領域を有し、

前記トランジスタ側領域は、前記第１の長さより小さい長さの前記トレンチ部を有する

請求項１２に記載の半導体装置。

[請求項15] 前記中間領域における前記カソード領域および前記コレクタ領域の境界位置が、前記トランジスタ側領域に配置されている

請求項１３に記載の半導体装置。

[請求項16] 前記中間領域における前記複数のトレンチ部の前記深さ方向における長さは、前記ダイオード部に近いほど大きい

請求項１３から１５のいずれか一項に記載の半導体装置。

[請求項17] 前記トランジスタ部は、少なくとも一つの前記トレンチ部の下端に接して設けられた第２導電型の第１下端領域を有し、

前記ダイオード部の少なくとも一つの前記トレンチ部の下端は、第２導電型の領域に接していない

請求項３から９のいずれか一項に記載の半導体装置。

[請求項18] 前記ダイオード部の全ての前記トレンチ部の下端は、第２導電型の領域に接していない

請求項１７に記載の半導体装置。

[請求項19] 前記ダイオード部は、少なくとも一つの前記トレンチ部の下端に接して設けられ、前記ドリフト領域よりもドーピング濃度が高い第１導電型の第２下端領域を有し、

前記トランジスタ部の少なくとも一つの前記トレンチ部の下端は、前記ドリフト領域よりもドーピング濃度が高い第１導電型の領域に接していない

請求項３から９のいずれか一項に記載の半導体装置。

[請求項20] 前記トランジスタ部は、

前記エミッタ領域と前記ドリフト領域との間に設けられた第２導電型のベース領域と、

前記ベース領域と前記ドリフト領域との間に設けられ、前記ドリフト領域よりもドーピング濃度の高い第１導電型の蓄積領域と

を有し、

前記第２下端領域のドーピング濃度は、前記蓄積領域のドーピング

濃度よりも低い

請求項１９に記載の半導体装置。

[請求項21] 前記ダイオード部は、前記半導体基板の前記上面側においてキャリアのライフタイムを調整するライフタイム調整部を有する

請求項１から９のいずれか一項に記載の半導体装置。

[請求項22] 上面および下面を有し、第１導電型のドリフト領域が設けられた半導体基板と、

前記半導体基板の前記下面に接する第２導電型のコレクタ領域と、

前記半導体基板の前記上面に接して設けられ前記ドリフト領域よりもドーピング濃度の高い第１導電型のエミッタ領域とを有するトランジスタ部と、

前記半導体基板の下面に接する第１導電型のカソード領域を有するダイオード部と、

を備え、

前記ダイオード部および前記トランジスタ部は、前記半導体基板の上面において、配列方向に沿って間隔を有して配置された複数のトレンチ部を有し、

前記トランジスタ部は、少なくとも一つの前記トレンチ部の下端に接して設けられた第２導電型の第１下端領域を有し、

前記ダイオード部の少なくとも一つの前記トレンチ部の下端は、第２導電型の領域に接していない

半導体装置。

[請求項23] 半導体基板にトランジスタ部およびダイオード部を有する半導体装置の製造方法であって、

前記トランジスタ部および前記ダイオード部の耐圧が等しい第１の半導体装置について、非クランプ誘電性スイッチング試験により前記半導体装置が破壊されない非破壊最大エネルギー密度を取得し、

前記第１の半導体装置を基準とし、前記第１の半導体装置よりも前

記非破壊最大エネルギー密度が大きくなるように、前記ダイオード部および前記トランジスタ部のアバランシェ耐圧の比を設定し、

設定された前記アバランシェ耐圧の比を満たすように第２の半導体装置における前記トランジスタ部および前記ダイオード部を設計し、

前記設計に基づいて前記第２の半導体装置を製造する製造方法。

[請求項24] （追加）

前記ダイオード部および前記トランジスタ部の間に配置され、複数の前記トレンチ部が設けられ、前記カソード領域および前記コレクタ領域の少なくとも一方を有する中間領域を備え、

前記中間領域のアバランシェ耐圧は、前記ダイオード部のアバランシェ耐圧より大きく、前記トランジスタ部のアバランシェ耐圧より小さい

請求項１に記載の半導体装置。

[請求項25] （追加）

前記ダイオード部および前記トランジスタ部の間に配置され、複数の前記トレンチ部が設けられ、前記カソード領域および前記コレクタ領域を有する中間領域を備え、

前記中間領域は、前記トランジスタ部と接するトランジスタ側領域を有し、

前記トランジスタ側領域は、前記第１の長さより大きい長さの前記トレンチ部を有する

請求項１２に記載の半導体装置。

[請求項26] （追加）

前記ダイオード部が負性抵抗領域に到達するカソード電圧は、前記トランジスタ部が負性抵抗領域に到達するコレクタ電圧より小さい

請求項１に記載の半導体装置。

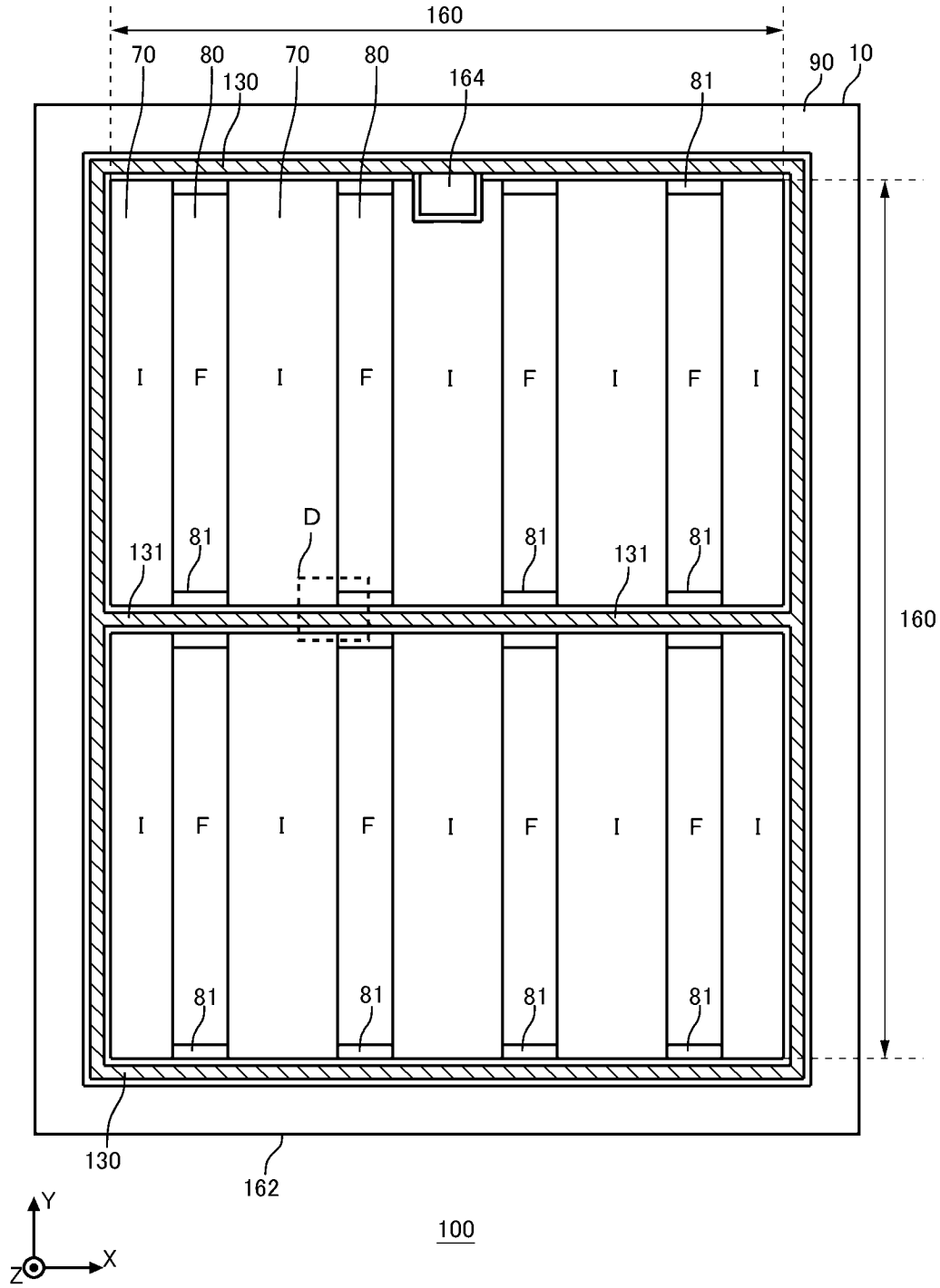
[請求項27] （追加）

前記ダイオード部におけるアバランシェ耐圧が、前記トランジスタ

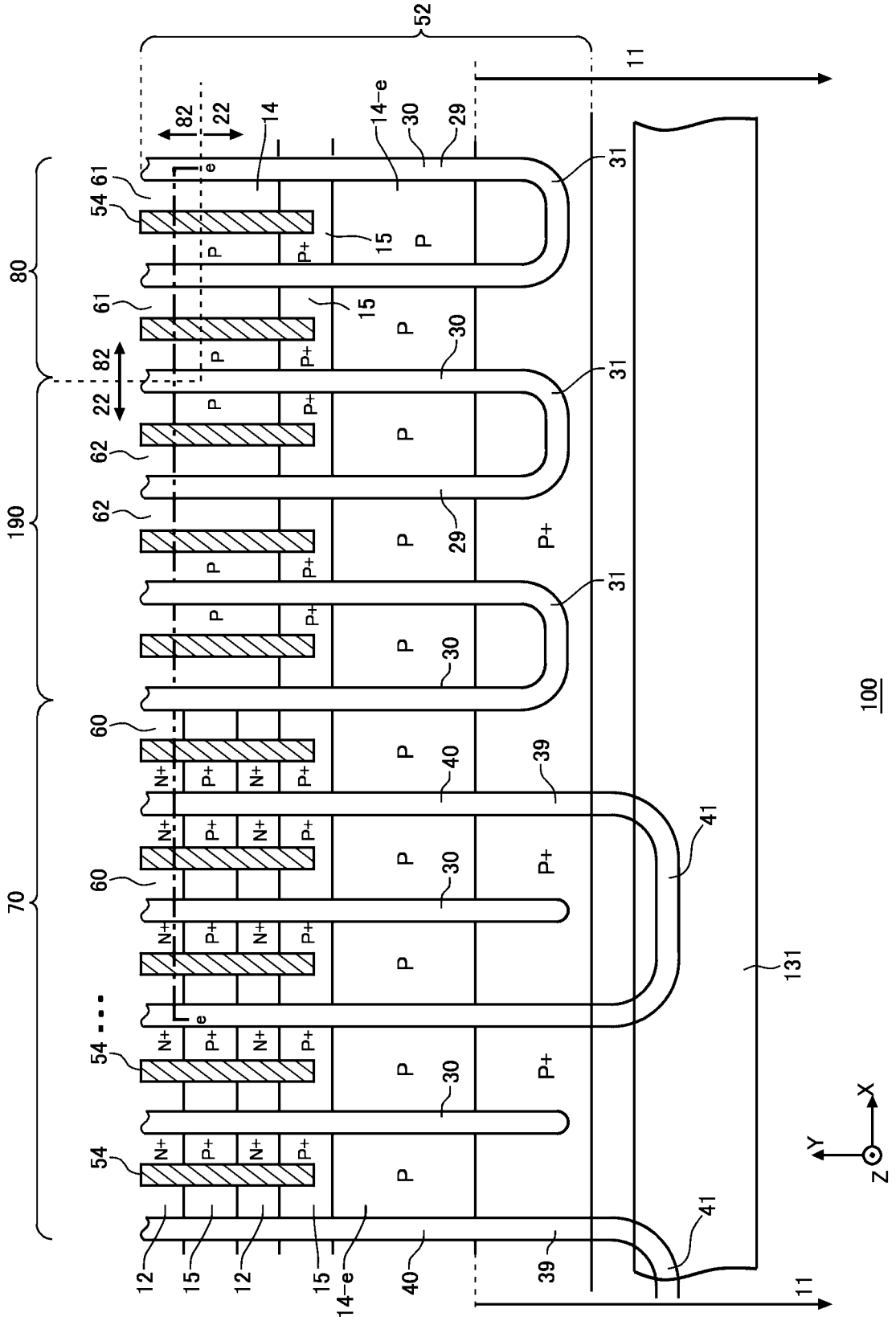
部におけるアバランシェ耐圧の０．７５倍以上、０．９５倍以下である

請求項１に記載の半導体装置。

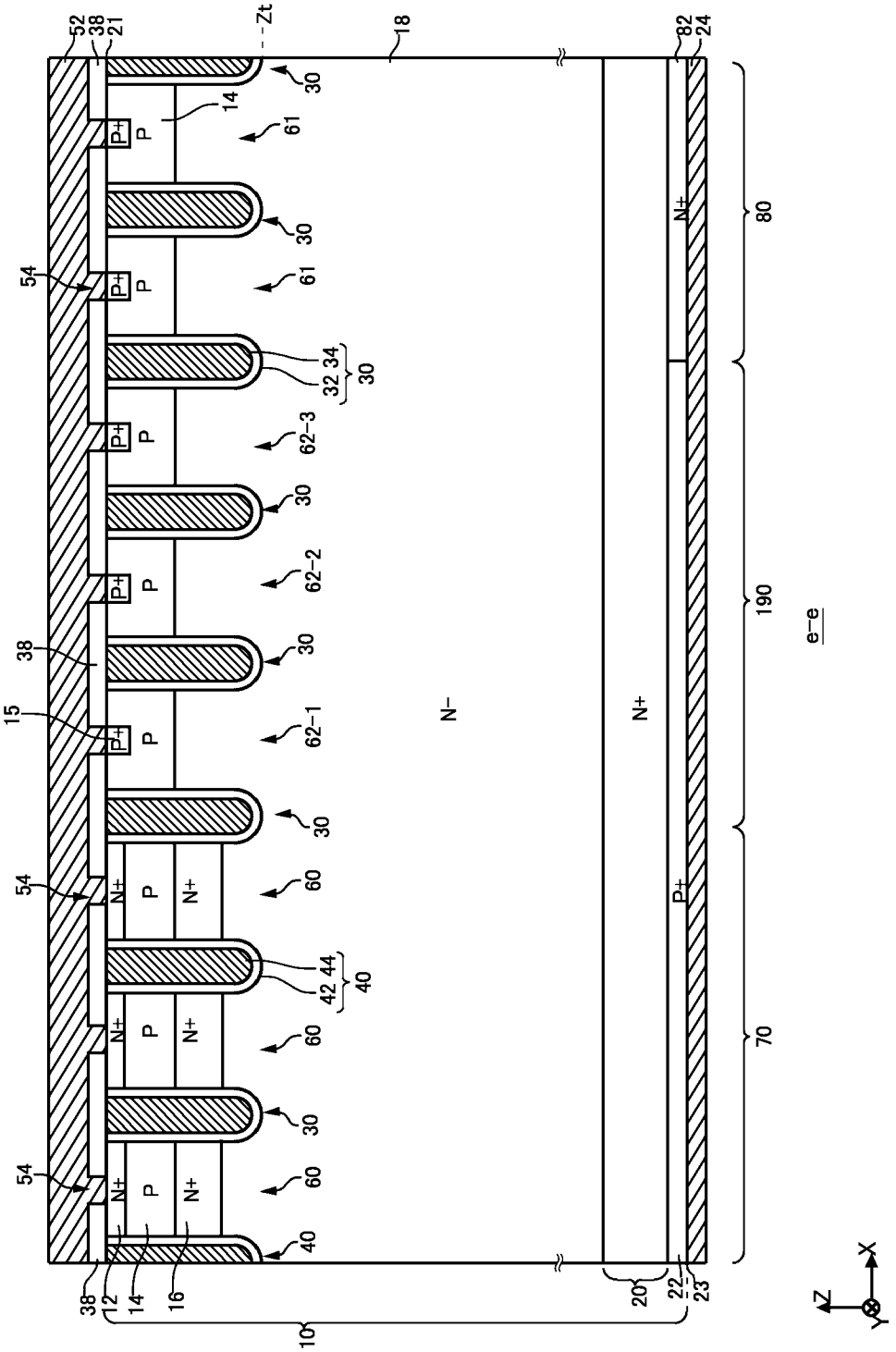
[図1]


160
70
80
130
70
80
164
81
90
10
I
F
I
F
I
F
I
F
I
D
131
81
81
131
81
160
130
162
100
Y
X
Z

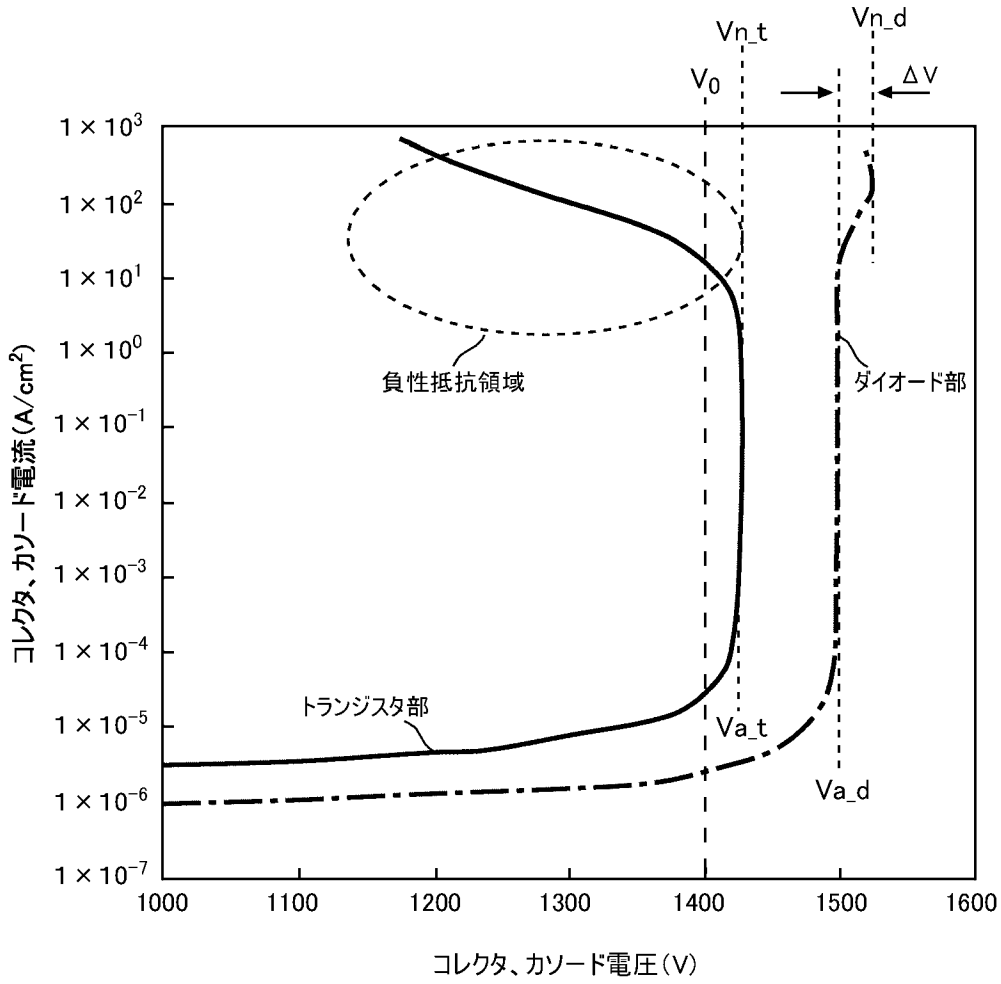
[図2]


52
11
82
22
14
14-e
30
29
31
61
54
15
P
P+
80
190
70
62
60
N+
40
39
41
131
100
12
X
Y
Z

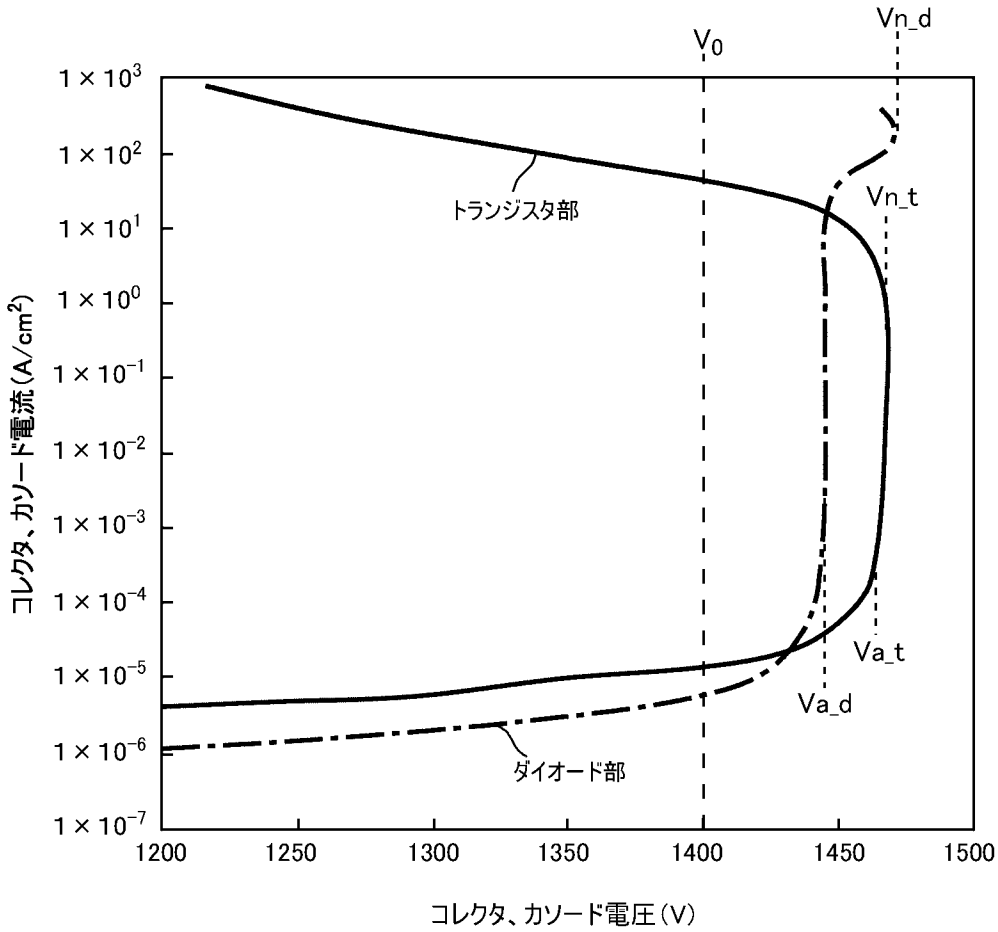
[図3]


52
38
21
Zt
18
82
24
30
14
61
P+
P
N+
80
54
32 34
62-3
62-2
62-1
N−
190
e−e
15
60
44
42
40
70
12
16
10
20
22
23
Z
X
Y

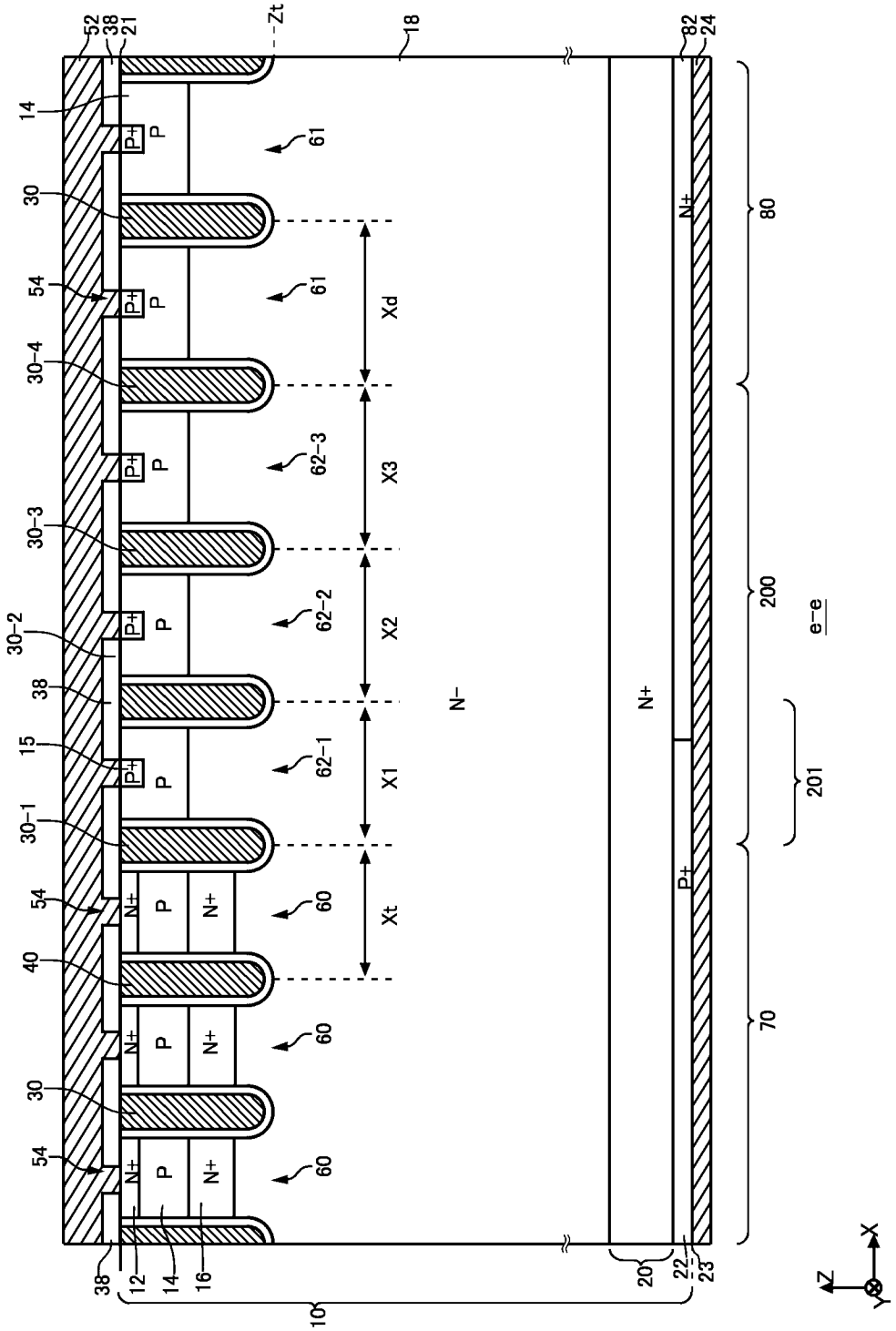
[図4]


Vn_t
Vn_d
V0
ΔV
1×10^3
1×10^2
1×10^1
1×10^0
1×10^-1
1×10^-2
1×10^-3
1×10^-4
1×10^-5
1×10^-6
1×10^-7
負性抵抗領域
ダイオード部
トランジスタ部
Va_t
Va_d
1000
1100
1200
1300
1400
1500
1600
コレクタ、カソード電流(A/cm2)
コレクタ、カソード電圧(V)

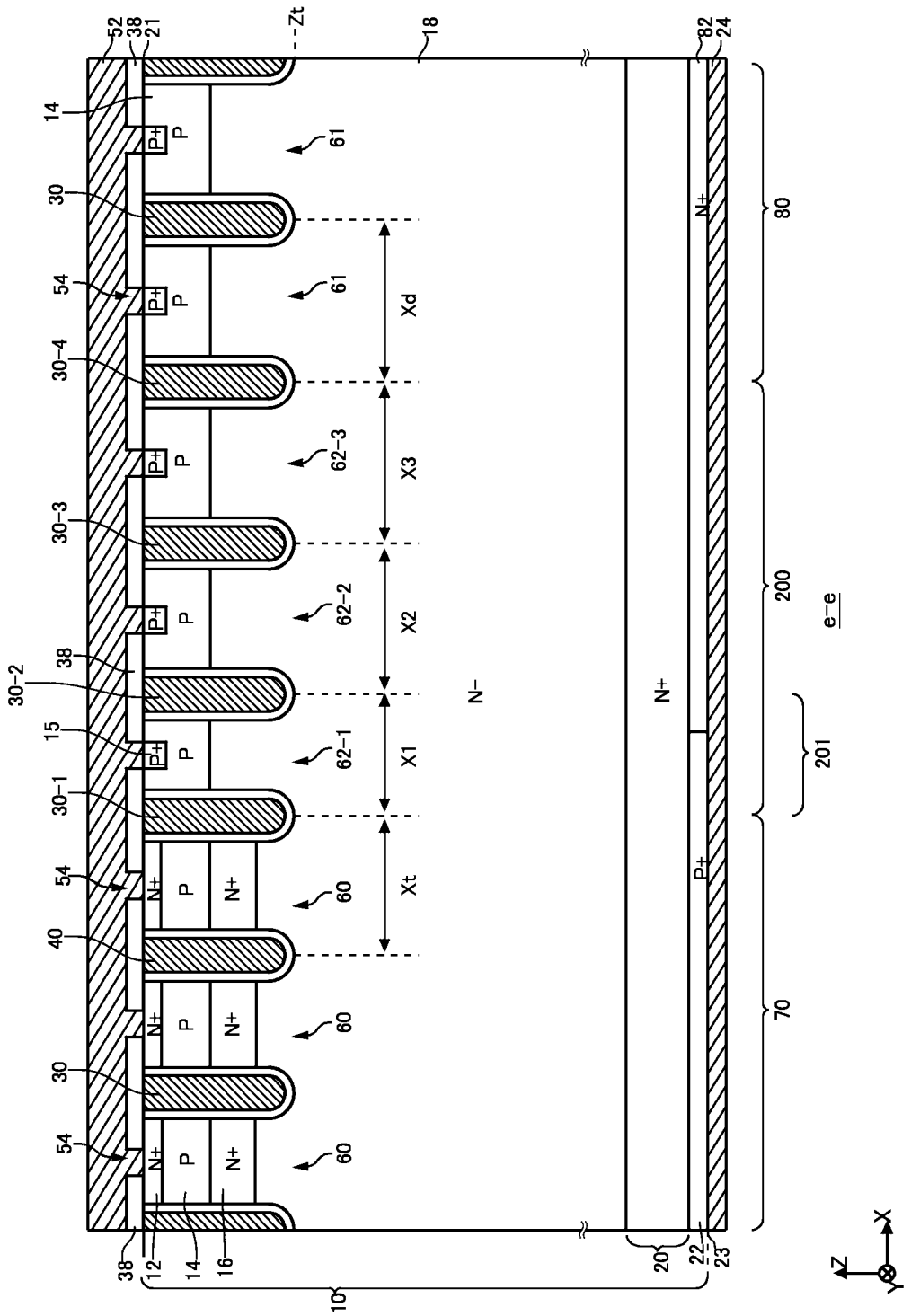
[図5]


Vn_d
V0
1×10^3
1×10^2
1×10^1
1×10^0
1×10^-1
1×10^-2
1×10^-3
1×10^-4
1×10^-5
1×10^-6
1×10^-7
トランジスタ部
Vn_t
Va_t
Va_d
ダイオード部
1200
1250
1300
1350
1400
1450
1500
コレクタ、カソード電流(A/cm2)
コレクタ、カソード電圧(V)

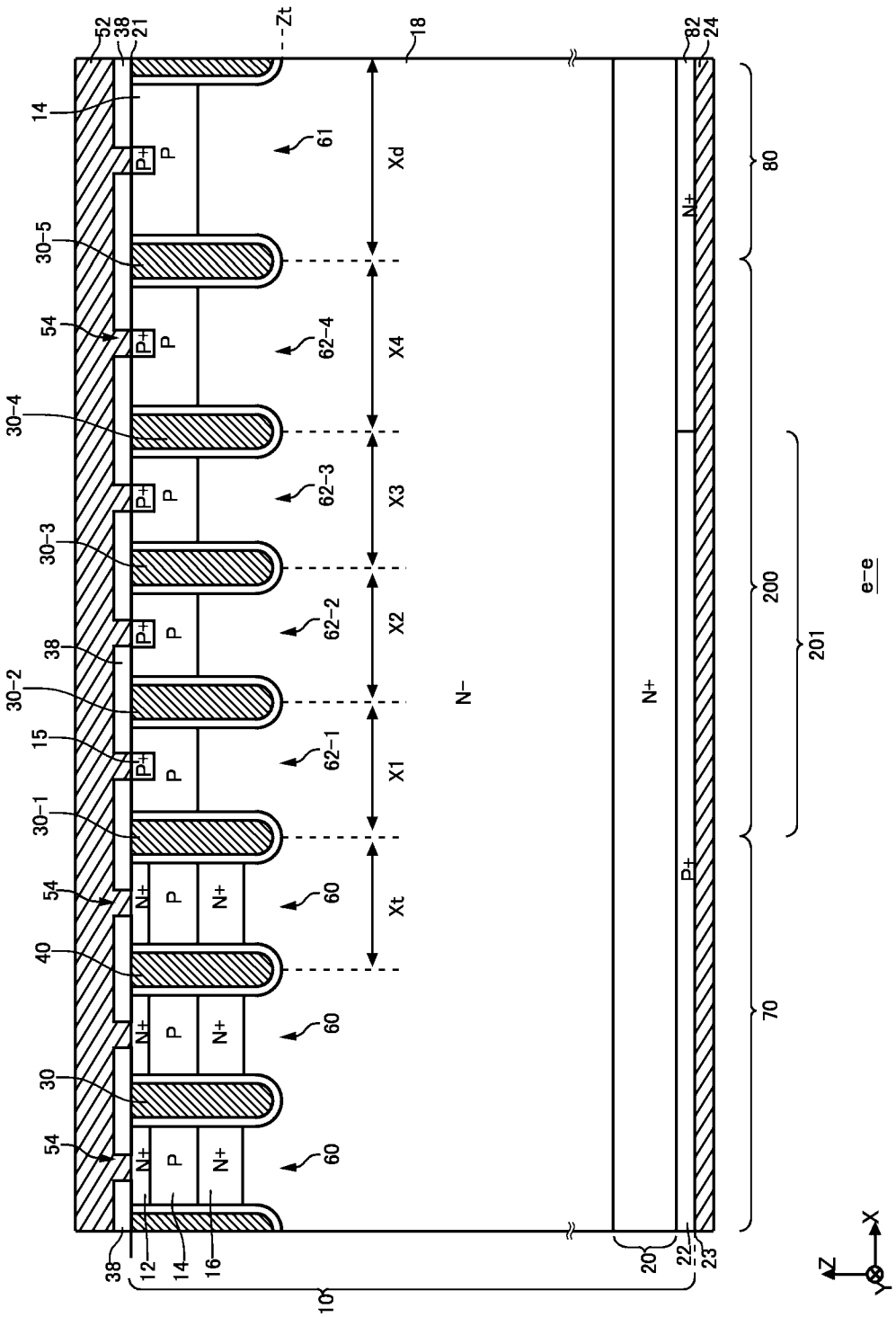
[図6]


52
38
21
Zt
18
82
24
14
30
54
30-4
30-3
30-2
38
15
30-1
54
40
30
54
P+
P
N+
61
62-3
62-2
62-1
60
Xd
X3
X2
X1
Xt
N−
N+
P+
80
200
201
70
e-e
38
12
14
16
10
20
22
23
Z
X
Y

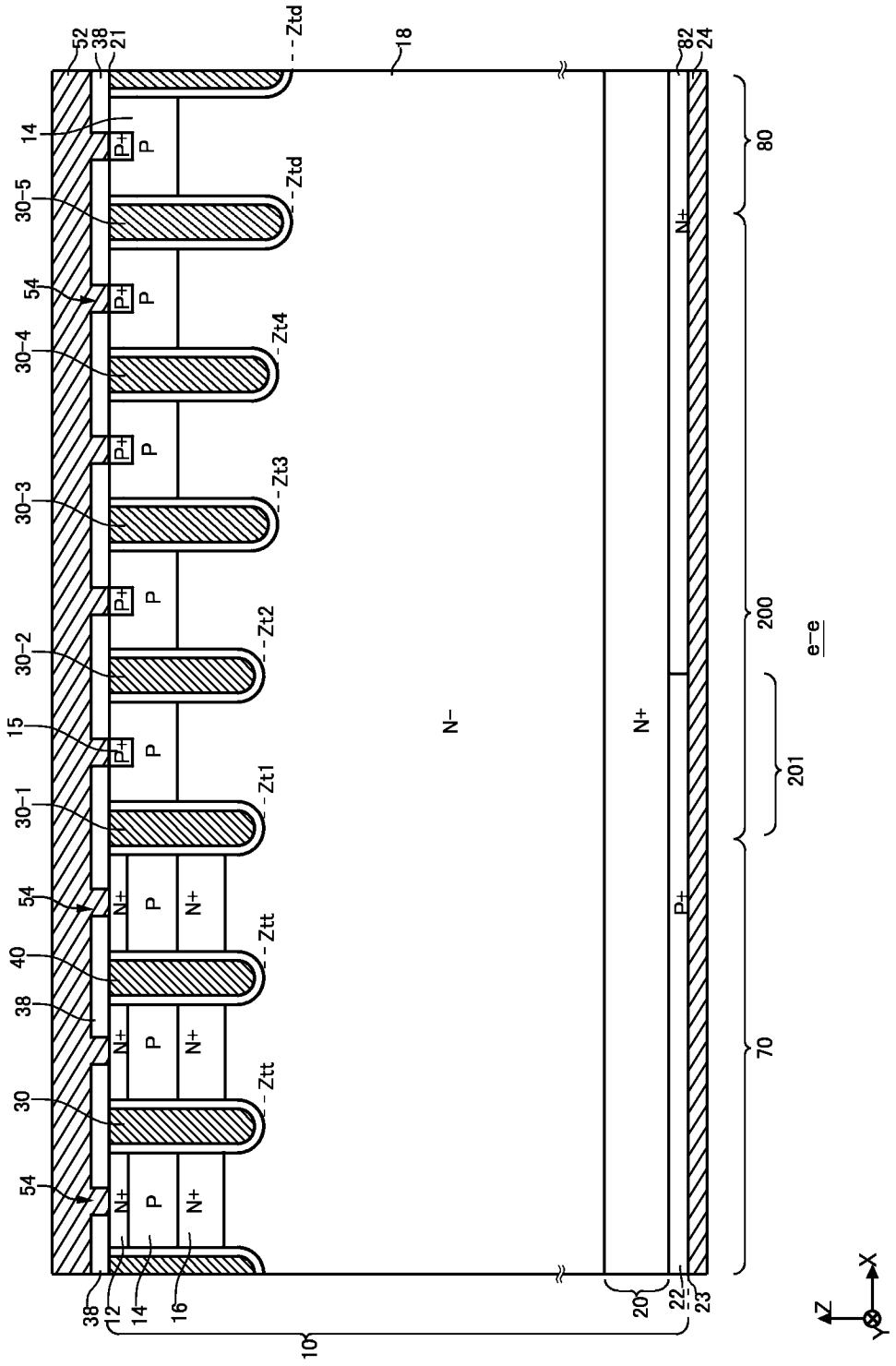
[図7]


52
38
21
-Zt
18
82
24
14
30
54
30-4
30-3
38
30-2
15
30-1
54
40
30
54
38
12
14
16
10
20
22
23
P+
P
N+
N-
61
62-3
62-2
62-1
60
Xd
X3
X2
X1
Xt
80
200
201
70
e-e
Z
X
Y

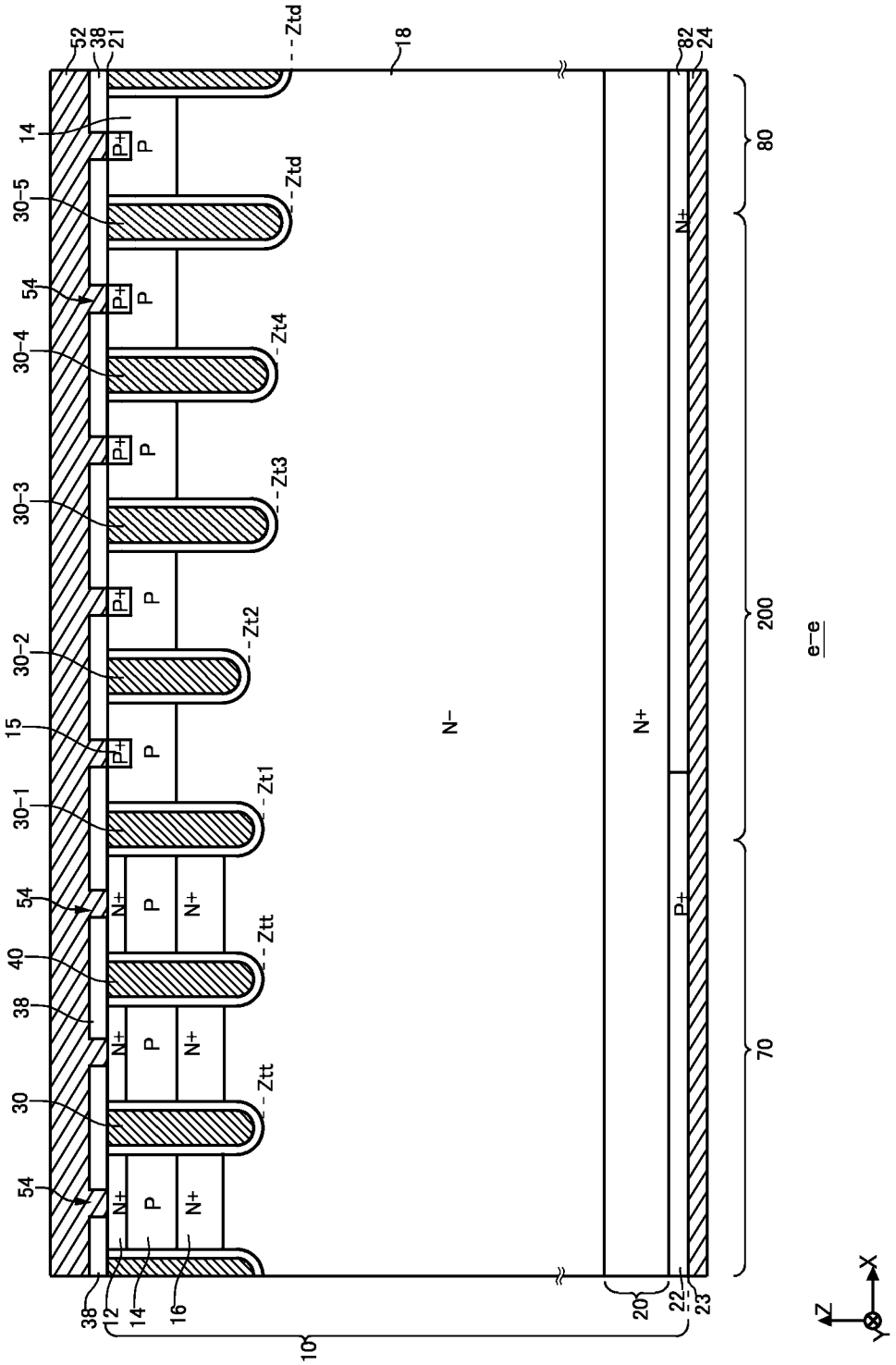
[図8]


52
38
21
-Zt
18
82
24
14
61
Xd
80
30-5
54
62-4
X4
30-4
62-3
X3
30-3
62-2
X2
38
30-2
15
62-1
X1
30-1
54
60
Xt
40
30
54
N+
P
P+
N-
200
201
70
e-e
38
12
14
16
10
20
22
23
Z
X
Y

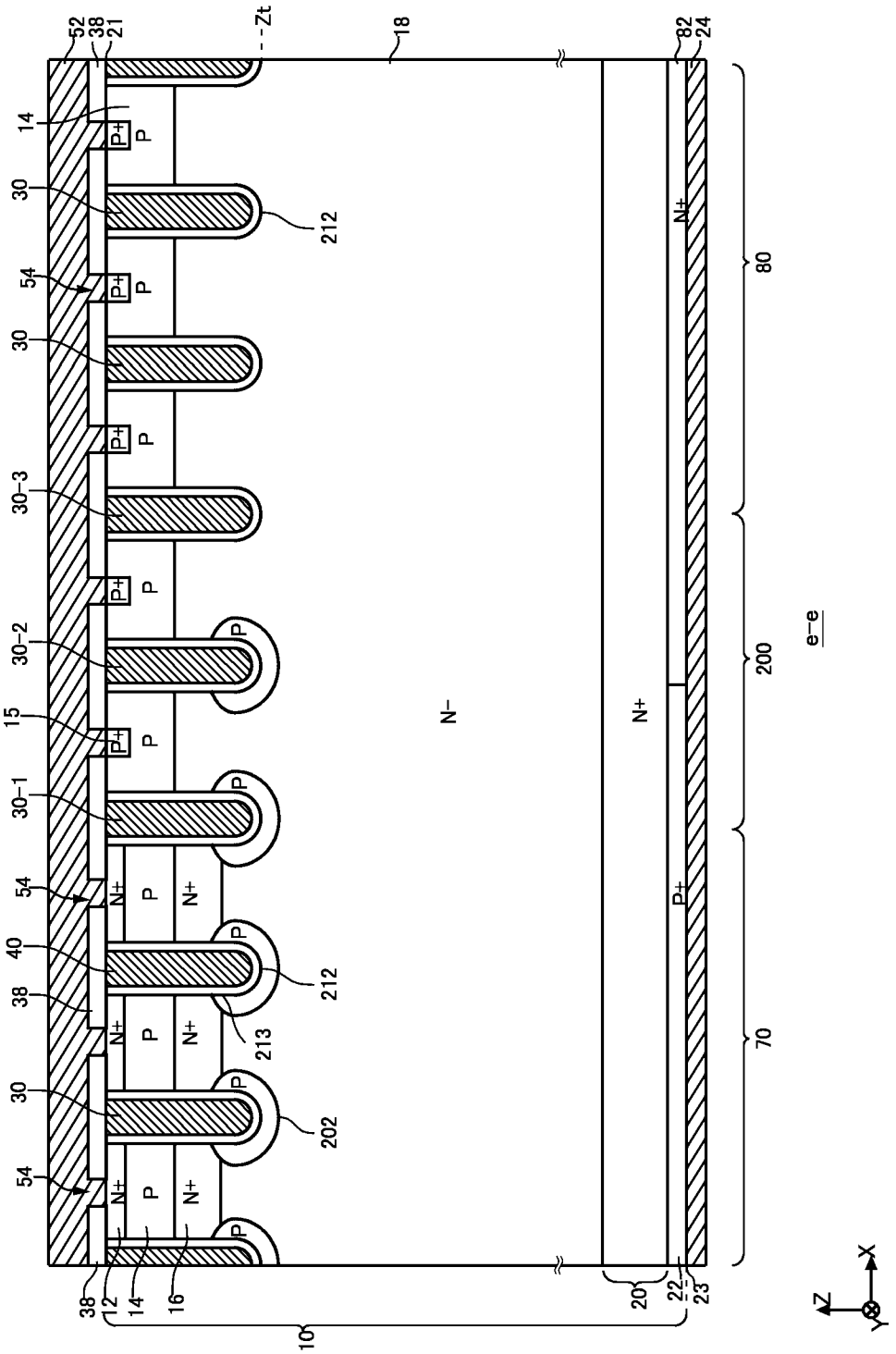
[図9]


52
38
21
Ztd
18
82
24
14
P+
P
30-5
Ztd
N+
80
54
30-4
Zt4
30-3
Zt3
30-2
Zt2
15
N-
N+
200
e-e
30-1
Zt1
201
N+
P
54
40
Ztt
38
30
Ztt
54
P+
70
38
12
14
16
20
22
23
10
Z
X
Y

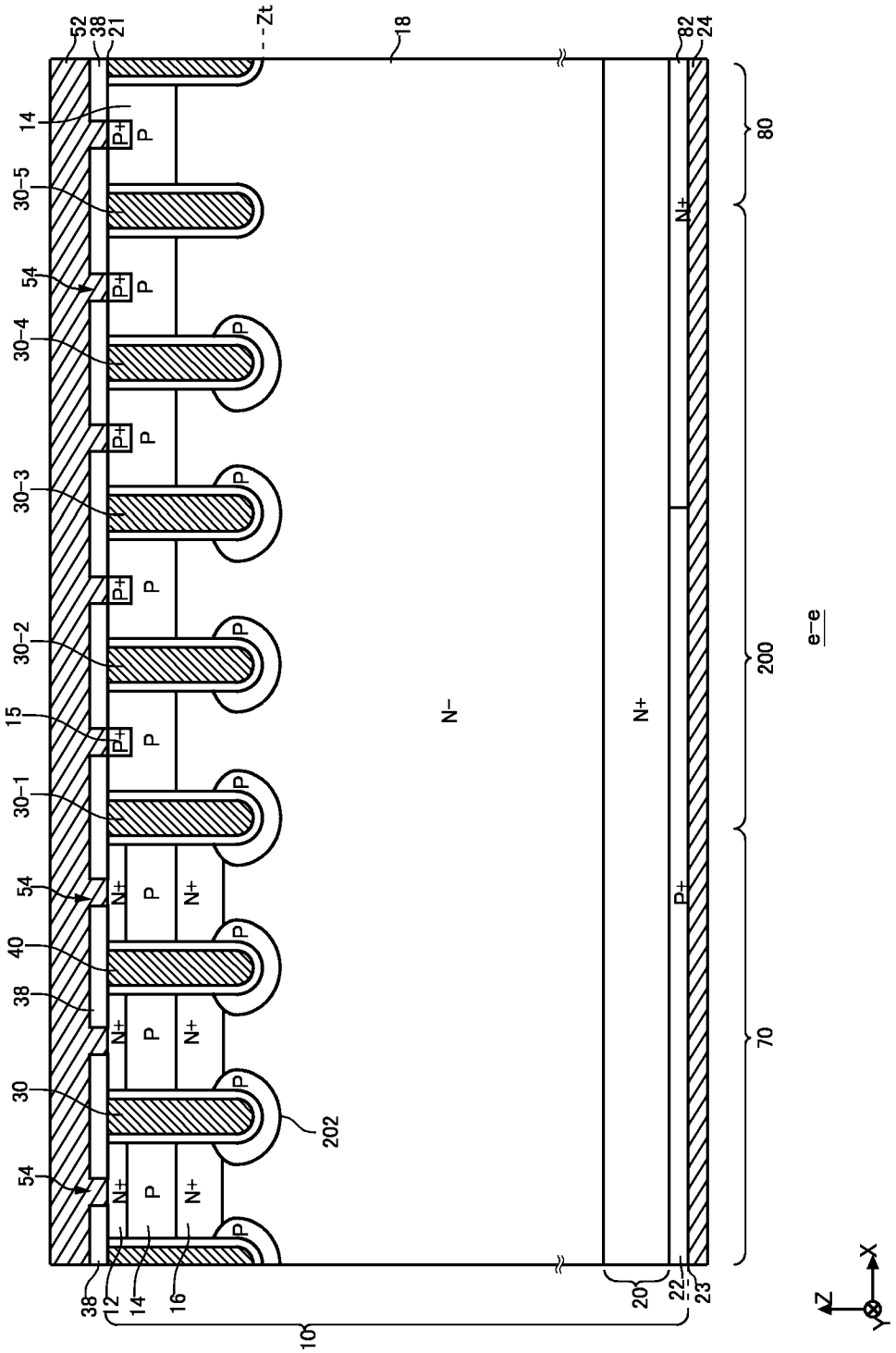
[図10]


52
38
21
Ztd
18
82
24
14
P+
P
30-5
Ztd
N+
80
54
30-4
Zt4
30-3
Zt3
30-2
Zt2
15
N-
N+
e-e
30-1
Zt1
200
40
Ztt
38
30
Ztt
70
P+
12
14
16
20
22
23
10
Z
X
Y

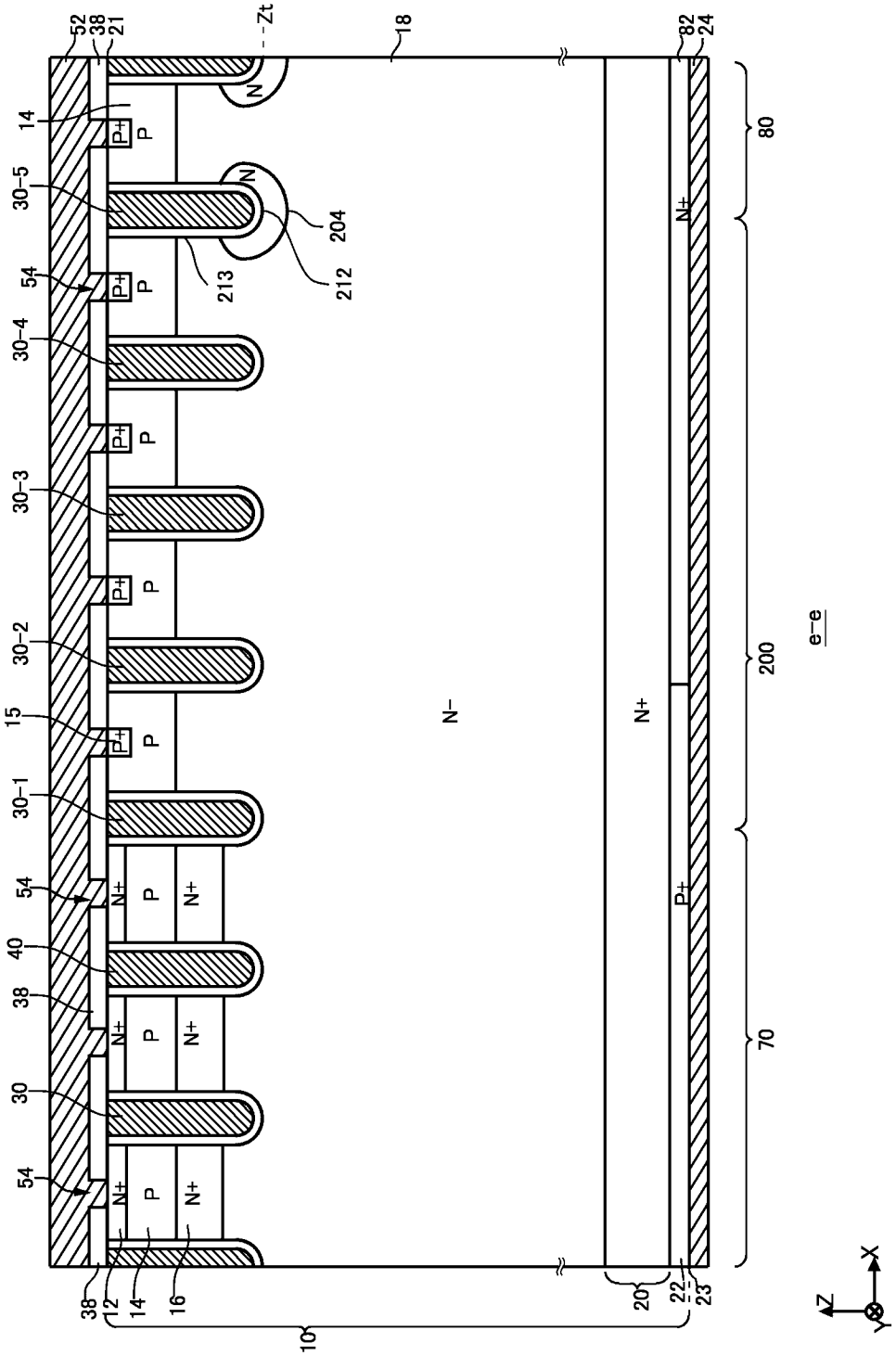
[図11]


52
38
21
Zt
18
82
24
14
30
212
54
30
30-3
30-2
15
30-1
54
40
38
213
30
202
54
38
12
14
16
10
20
22
23
P+
P
N+
N-
80
200
70
e-e
X
Z
Y

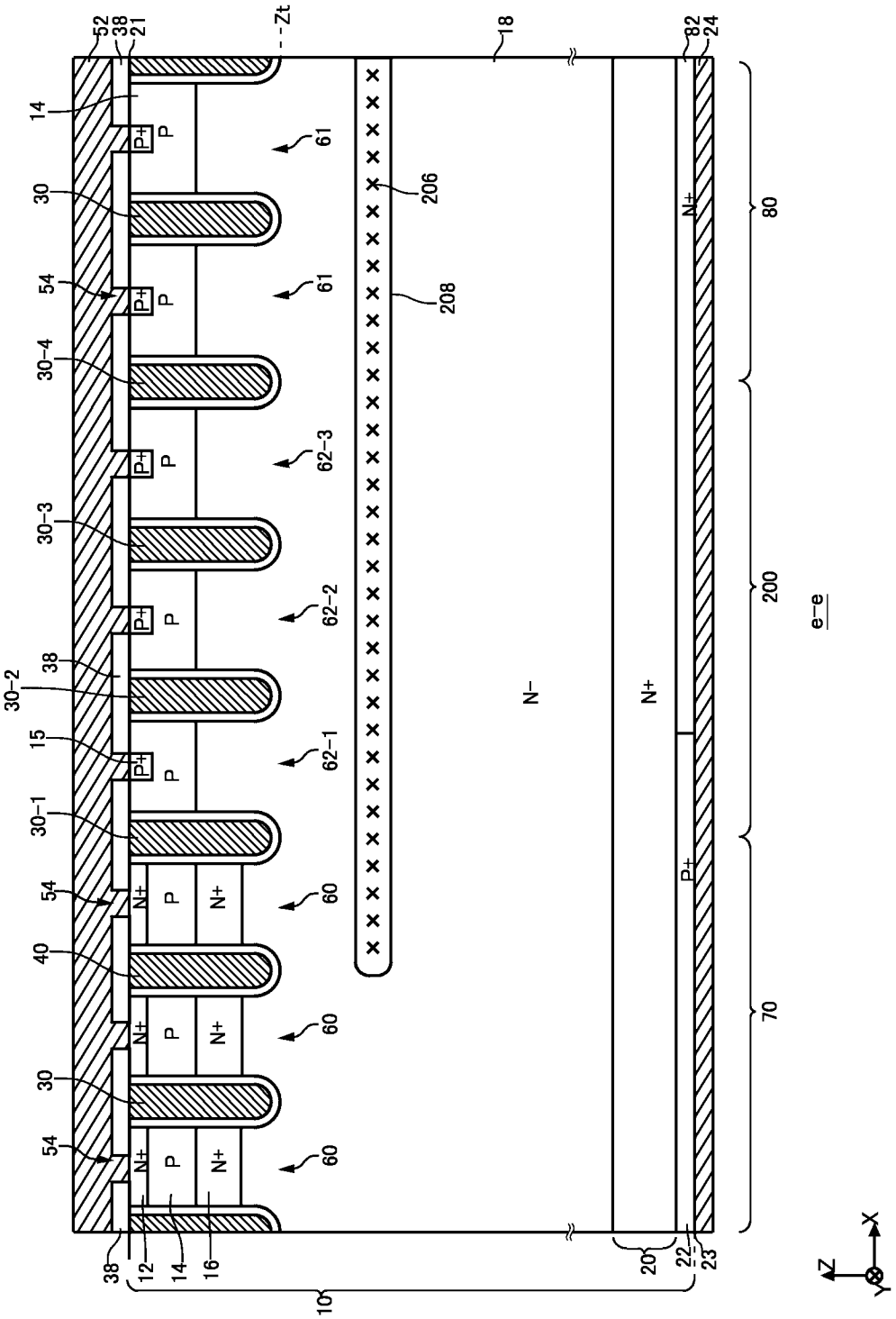
[図12]


52
38
21
-Zt
18
82
24
14
30-5
54
30-4
30-3
30-2
15
30-1
54
40
38
30
54
P+
P
N+
N-
202
80
200
70
e-e
38
12
14
16
10
20
22
23
Z
X
Y

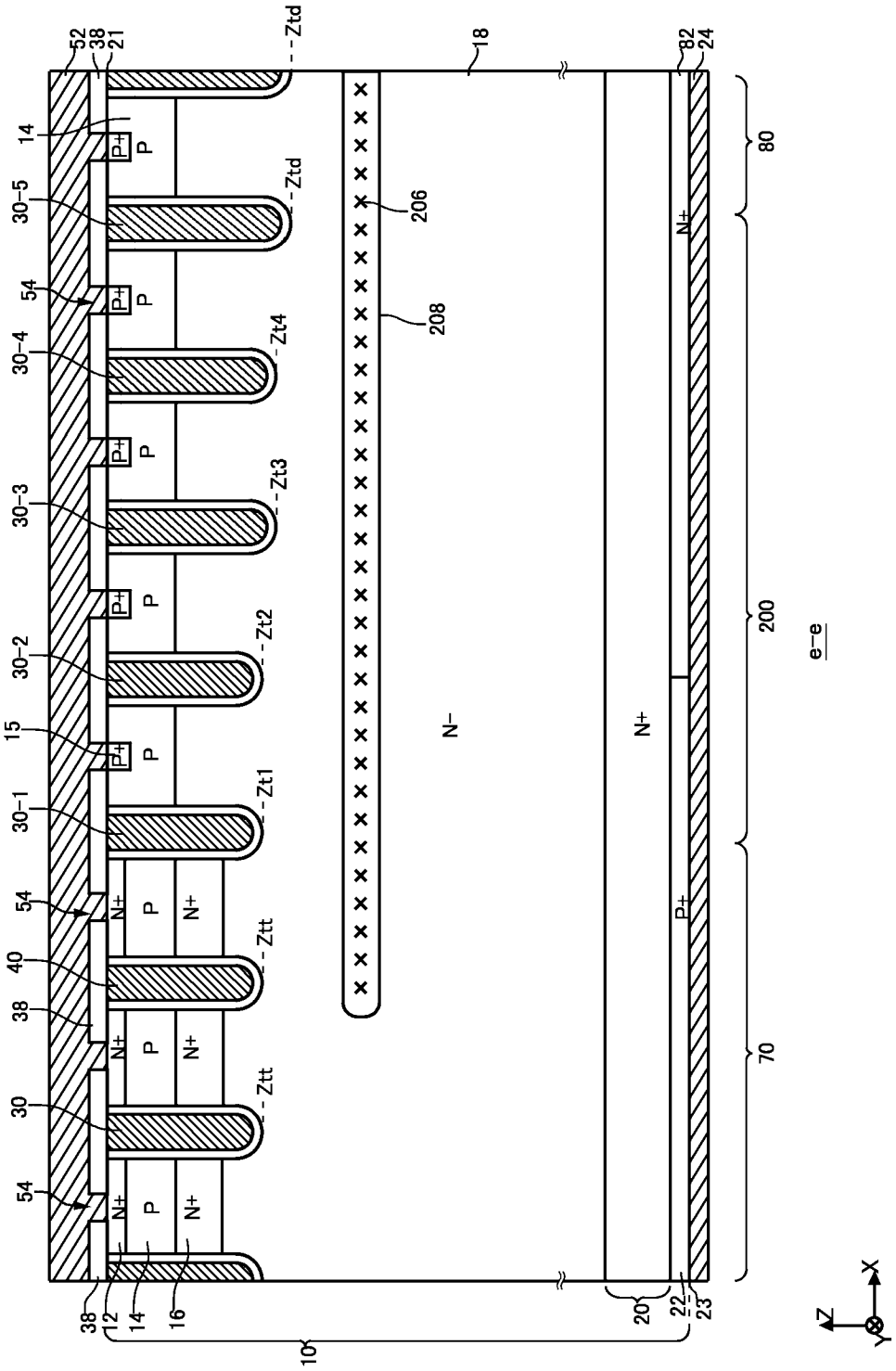
[図13]


52
38
21
Zt
18
82
24
14
30-5
54
30-4
30-3
30-2
15
30-1
54
40
38
30
54
P+
P
N
204
213
212
N+
N-
80
200
70
e-e
54
38
12
14
16
10
20
22
23
Z
Y
X

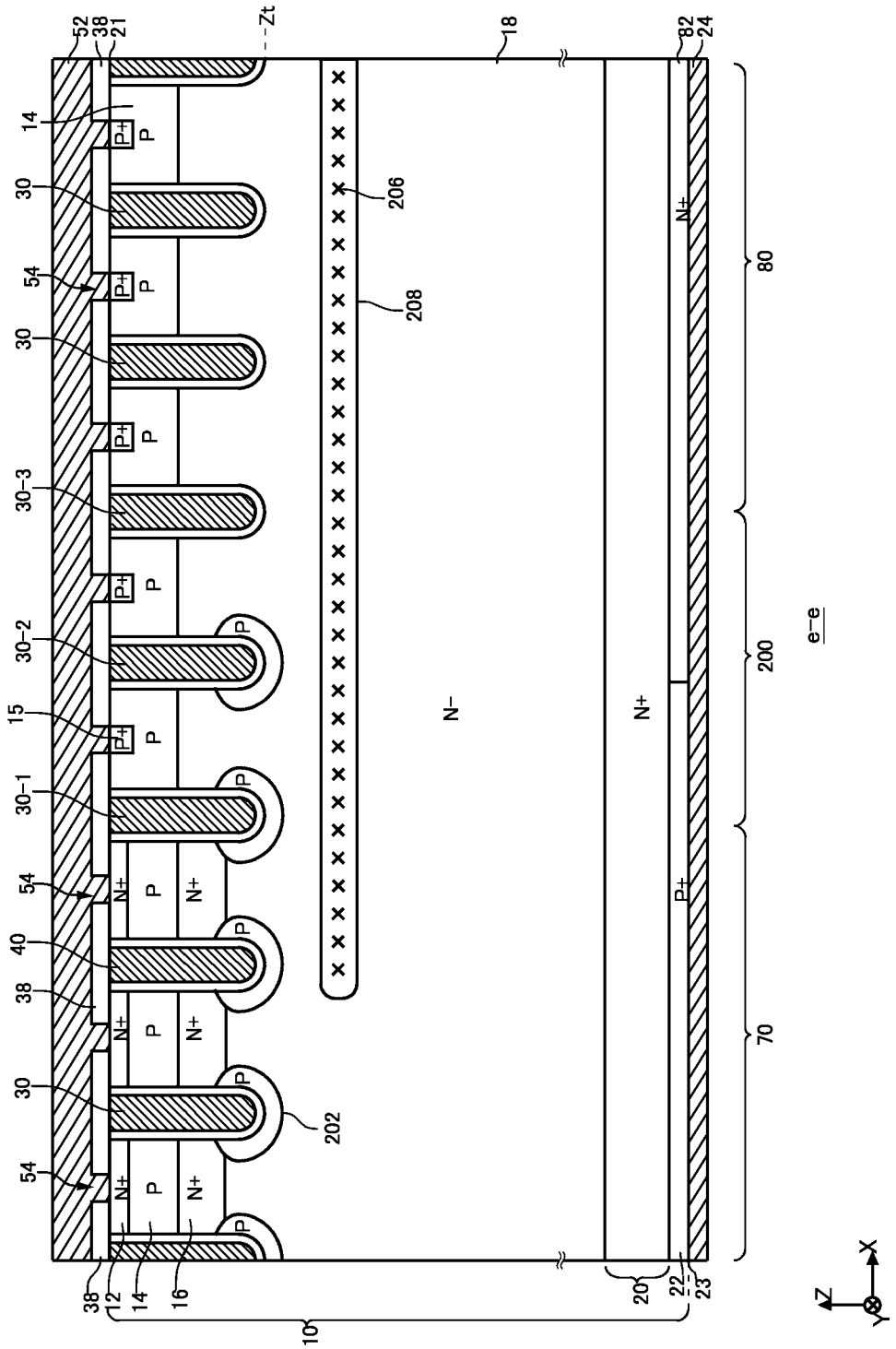
[図14]


52
38
21
Zt
18
82
24
14
30
54
30-4
30-3
38
30-2
15
30-1
54
40
30
54
38
12
14
16
10
P+
P
N+
61
62-3
62-2
62-1
60
206
208
N-
N+
P+
80
200
70
20
22
23
e-e
Z
X
Y

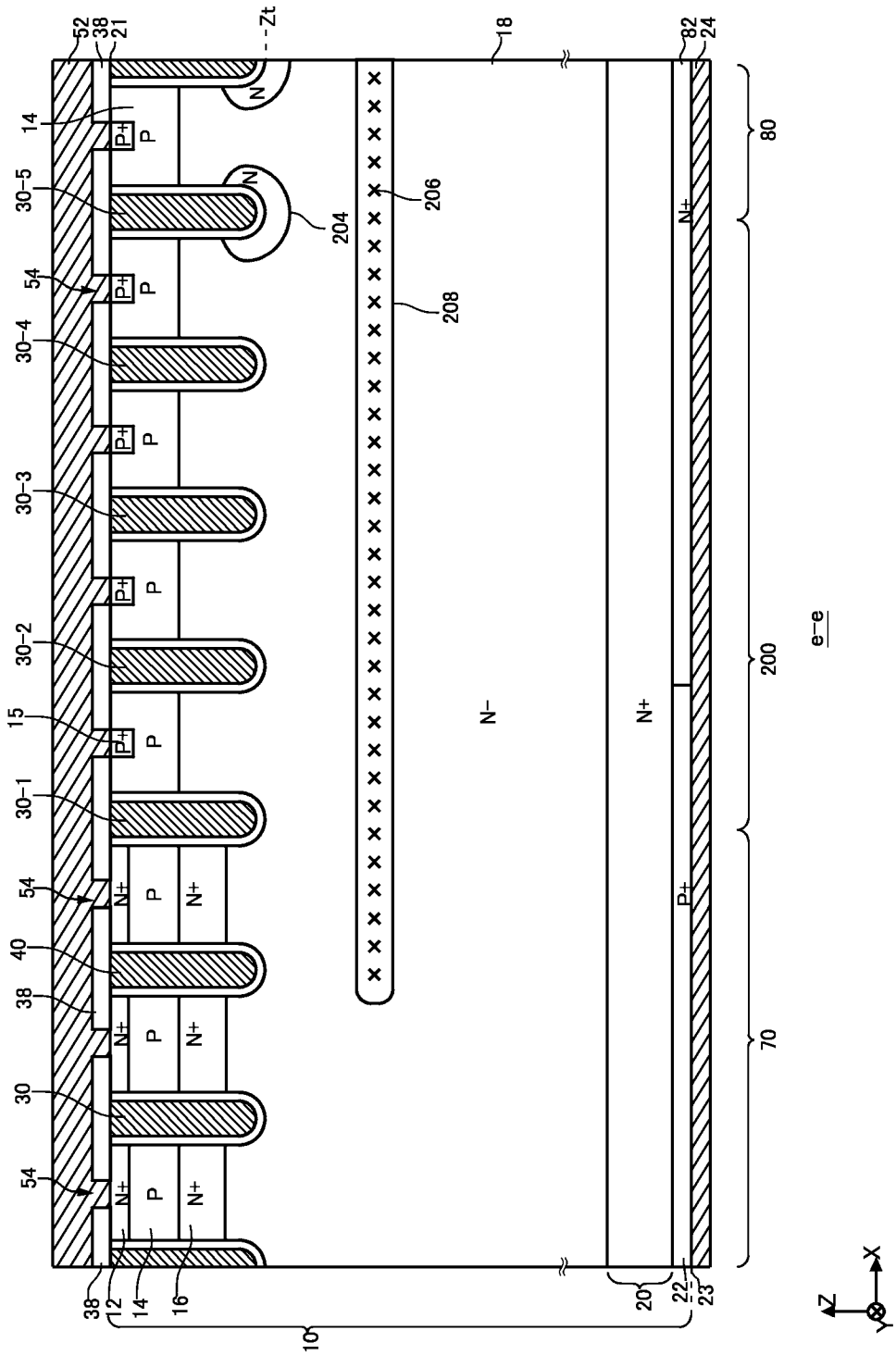
[図15]


52
38
21
Ztd
18
82
24
14
P+
P
30-5
Ztd
206
54
208
30-4
Zt4
30-3
Zt3
30-2
Zt2
15
30-1
Zt1
N+
40
Ztt
38
30
Ztt
N-
N+
80
200
70
e-e
10
12
14
16
20
22
23
Z
X
Y

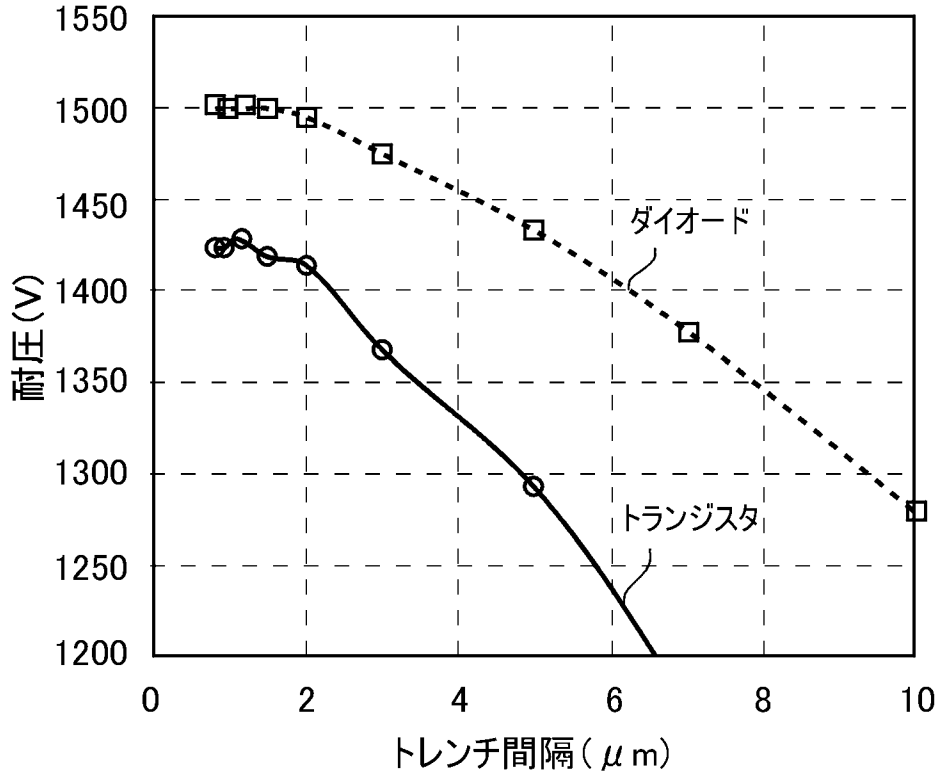
[図16]


52
38
21
Zt
18
82
24
14
30
54
30
30-3
30-2
15
30-1
54
40
38
30
54
P+
P
N+
206
208
202
80
200
70
N−
N+
e−e
38
12
14
16
10
20
22
23
Z
X
Y

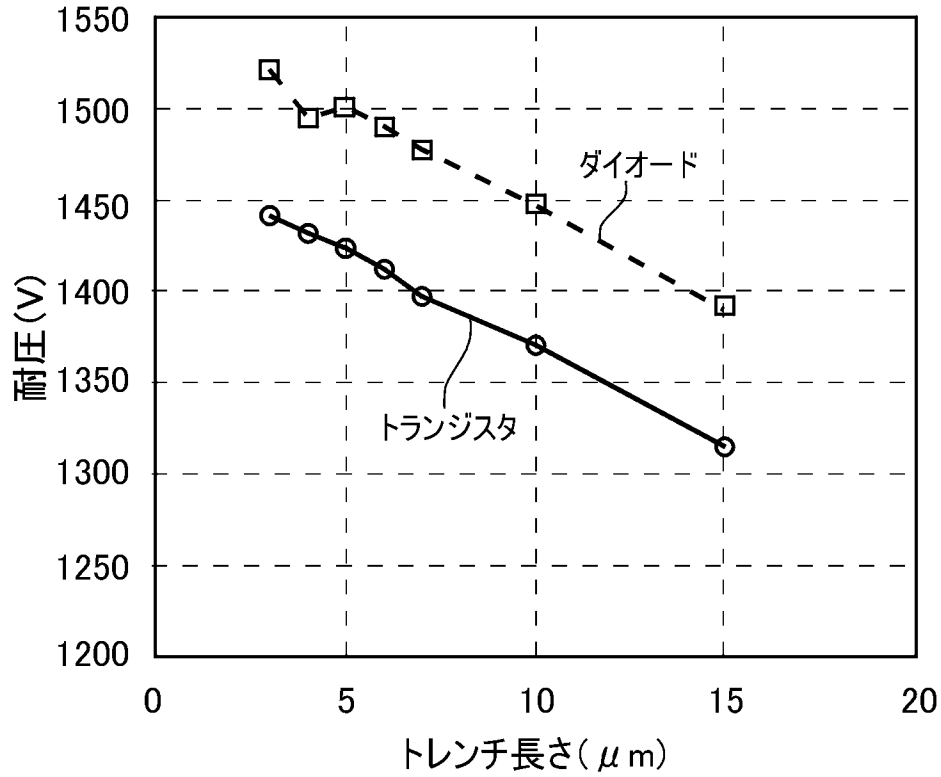
[図17]


52
38
21
-Zt
18
82
24
14
30-5
54
30-4
30-3
30-2
15
30-1
54
40
38
30
54
38
12
14
16
10
20
22
23
N
P+
P
N+
N-
204
206
208
80
200
70
e-e
Z
X
Y

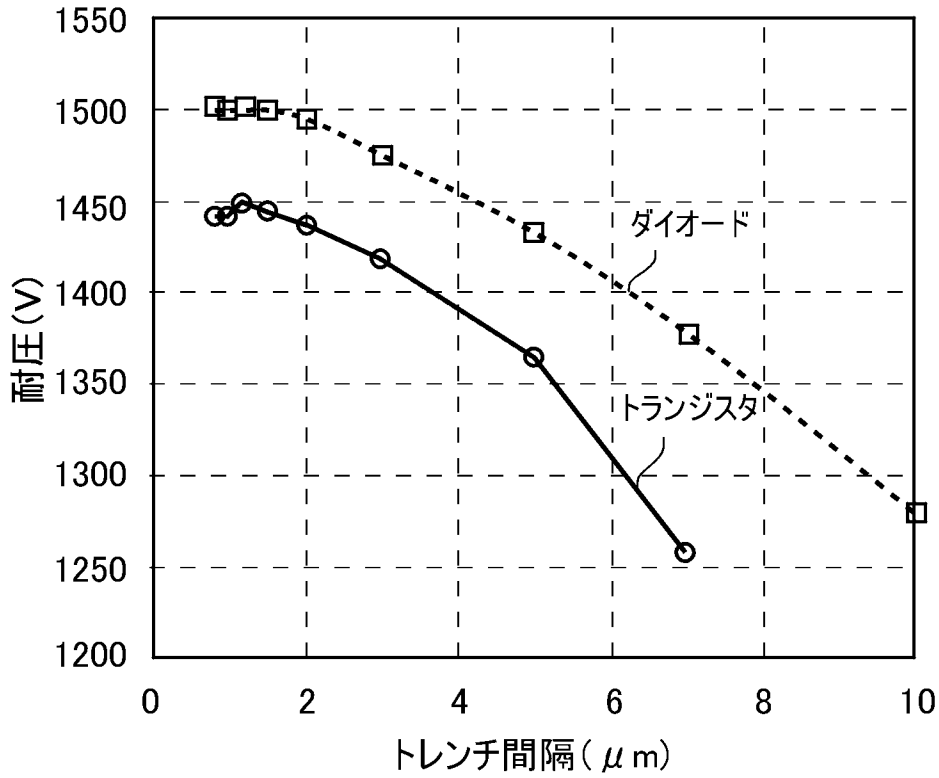
[図18]


1550
1500
1450
1400
1350
1300
1250
1200
耐圧(V)
0
2
4
6
8
10
トレンチ間隔(μm)
ダイオード
トランジスタ

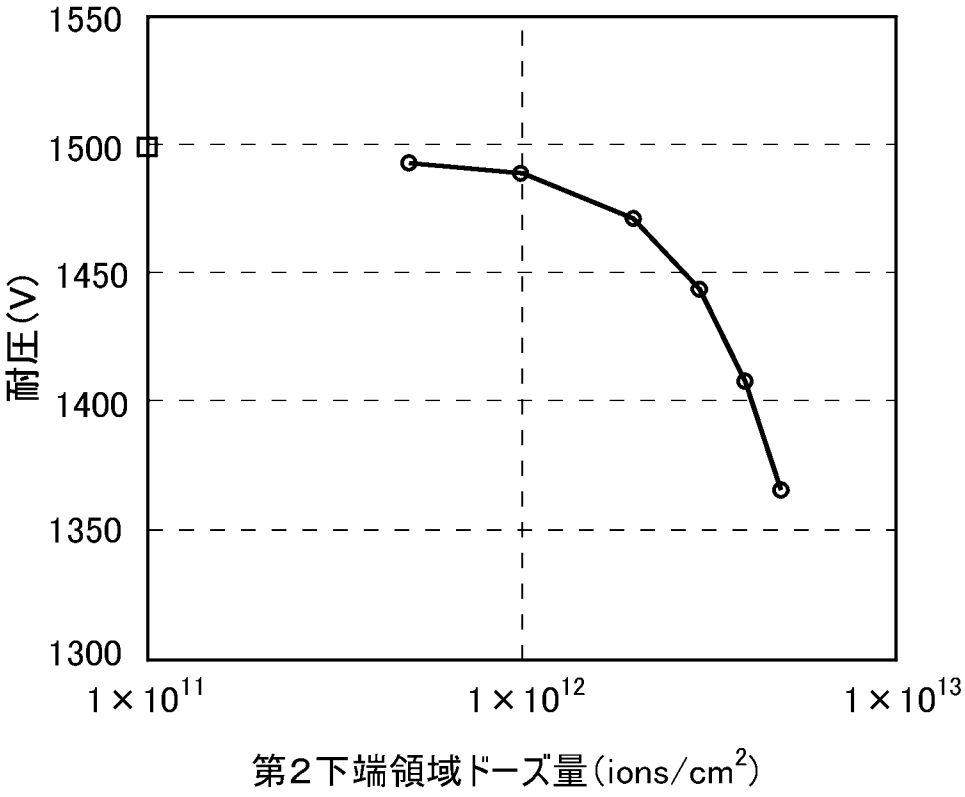
[図19]


1550
1500
1450
1400
1350
1300
1250
1200
耐圧(V)
0
5
10
15
20
トレンチ長さ(μm)
ダイオード
トランジスタ

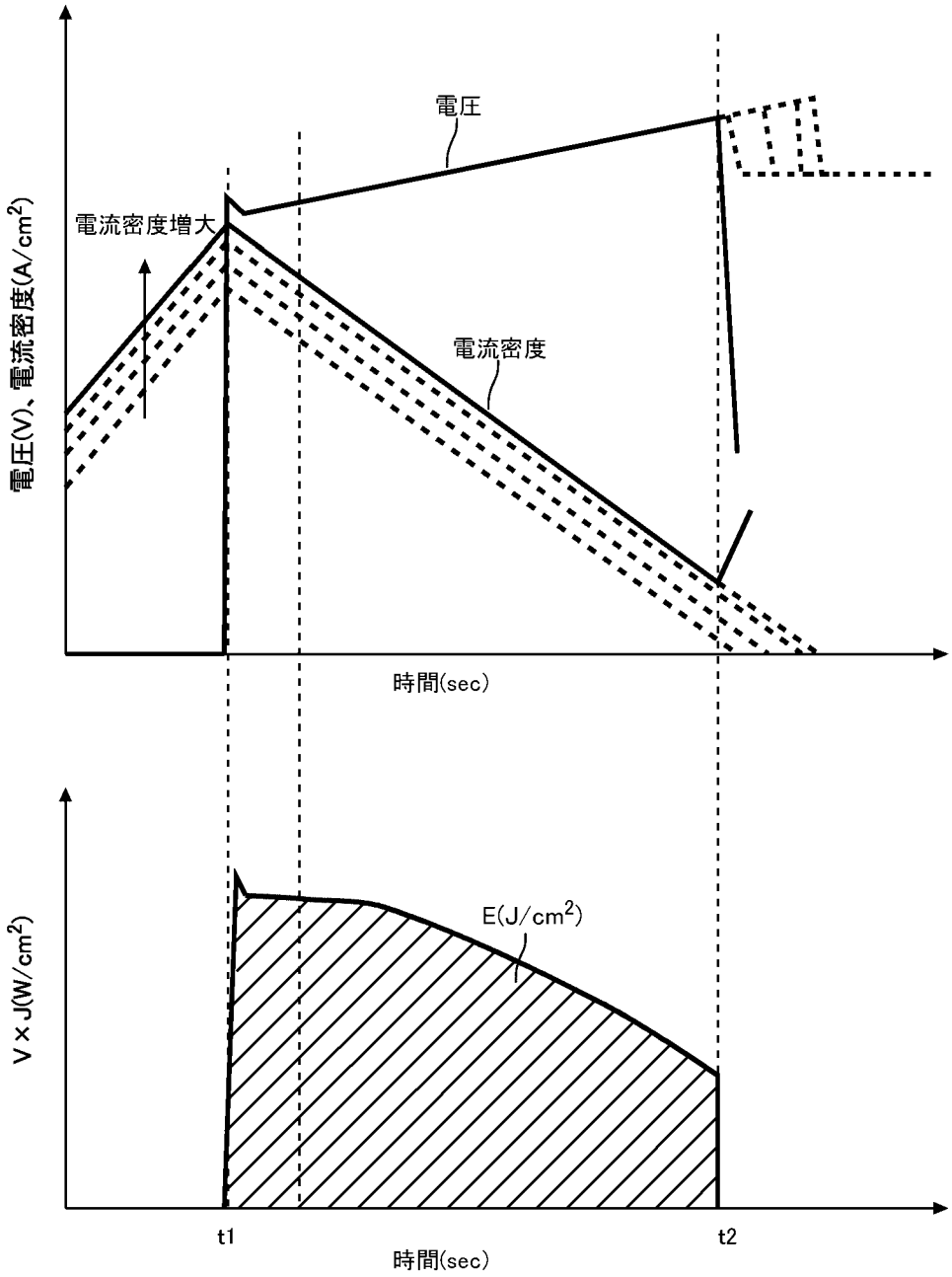
[図20]


1550
1500
1450
1400
1350
1300
1250
1200
耐圧(V)
0
2
4
6
8
10
トレンチ間隔(μm)
ダイオード
トランジスタ

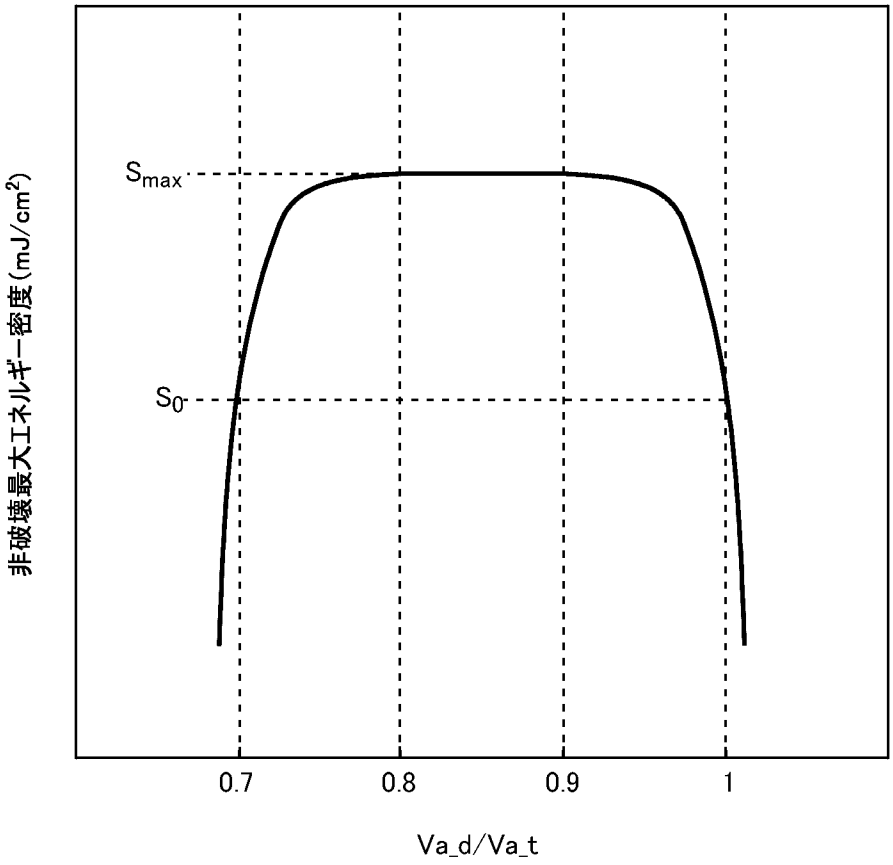
[図21]


1550
1500
1450
1400
1350
1300
耐圧(V)
1×10^11
1×10^12
1×10^13
第2下端領域ドーズ量(ions/cm^2)

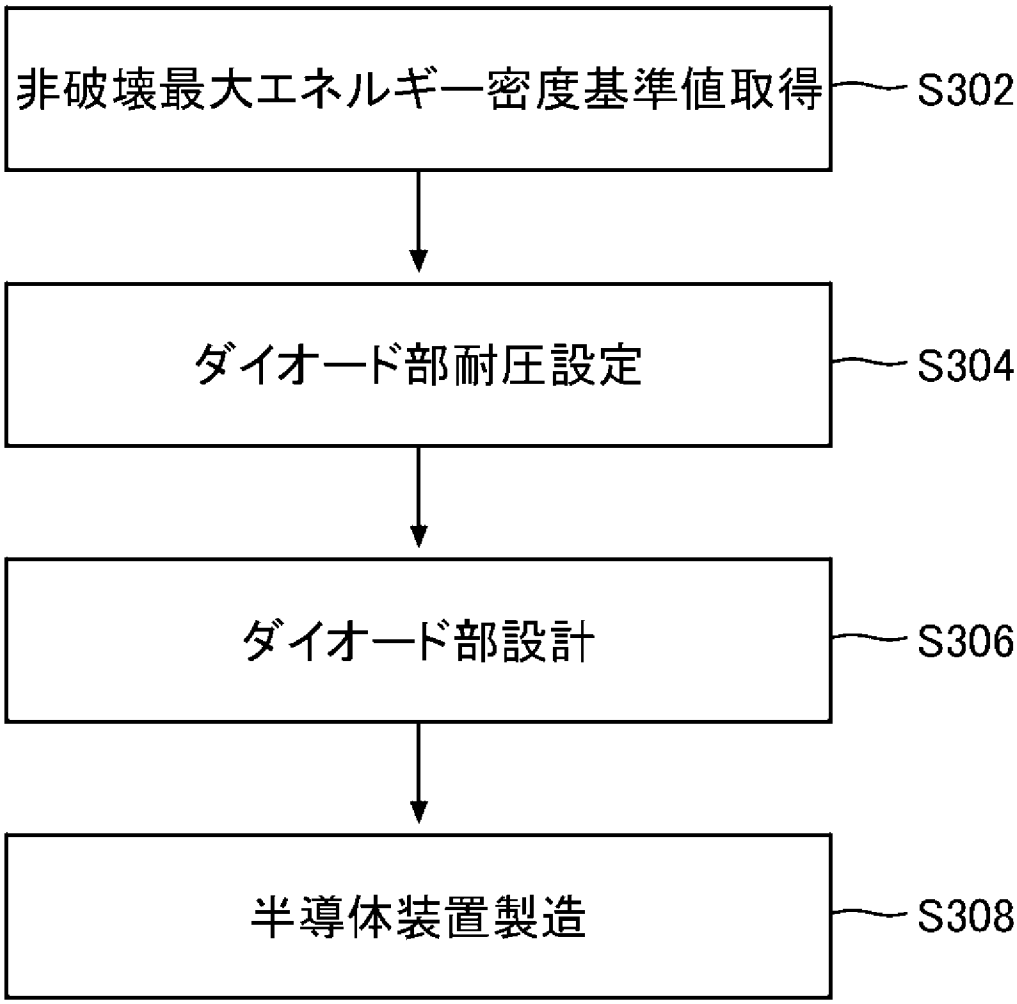
[図22]



[図23]



[図24]


非破壊最大エネルギー密度基準値取得
S302
ダイオード部耐圧設定
S304
ダイオード部設計
S306
半導体装置製造
S308

TRANSLATION

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2023/014827

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/78(2006.01)i; ***H01L 21/336***(2006.01)i; ***H01L 21/8234***(2006.01)i; ***H01L 27/06***(2006.01)i; ***H01L 27/088***(2006.01)i; ***H01L 29/739***(2006.01)i; ***H01L 29/861***(2006.01)i; ***H01L 29/868***(2006.01)i

FI: H01L29/78 657D; H01L29/78 655F; H01L29/78 655G; H01L29/78 652Q; H01L29/78 653A; H01L29/78 652J; H01L29/91 D; H01L29/78 652D; H01L29/78 655B; H01L29/78 658H; H01L29/91 J; H01L27/06 102A; H01L27/088 B; H01L27/088 E; H01L27/06 311B

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78; H01L21/336; H01L21/8234; H01L27/06; H01L27/088; H01L29/739; H01L29/861; H01L29/868

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2023
Registered utility model specifications of Japan 1996-2023
Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2016-139719 A (TOSHIBA CORP.) 04 August 2016 (2016-08-04) paragraphs [0007]-[0027], fig. 1-3	1-3, 12
Y		21
A		4-11, 13-20, 22, 23
Y	JP 2014-175517 A (MITSUBISHI ELECTRIC CORP.) 22 September 2014 (2014-09-22) paragraph [0020], fig. 4	21
A	JP 2016-162855 A (HITACHI, LTD.) 05 September 2016 (2016-09-05)	1-23
A	JP 2018-78230 A (MITSUBISHI ELECTRIC CORP.) 17 May 2018 (2018-05-17)	1-23

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
30 June 2023	**11 July 2023**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

TRANSLATION

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2023/014827

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2016-139719 A	04 August 2016	US 2016/0218101 A1 paragraphs [0013]-[0035], fig. 1-3 CN 105826316 A TW 201628190 A	
JP 2014-175517 A	22 September 2014	(Family: none)	
JP 2016-162855 A	05 September 2016	(Family: none)	
JP 2018-78230 A	17 May 2018	US 2018/0138265 A1 DE 102017213163 A1	

国際調査報告

国際出願番号
PCT/JP2023/014827

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 29/78(2006.01)i; H01L 21/336(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i; H01L 29/739(2006.01)i; H01L 29/861(2006.01)i; H01L 29/868(2006.01)i
FI: H01L29/78 657D; H01L29/78 655F; H01L29/78 655G; H01L29/78 652Q; H01L29/78 653A; H01L29/78 652J; H01L29/91 D; H01L29/78 652D; H01L29/78 655B; H01L29/78 658H; H01L29/91 J; H01L27/06 102A; H01L27/088 B; H01L27/088 E; H01L27/06 311B

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L29/78; H01L21/336; H01L21/8234; H01L27/06; H01L27/088; H01L29/739; H01L29/861; H01L29/868

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２３年
日本国実用新案登録公報	１９９６－２０２３年
日本国登録実用新案公報	１９９４－２０２３年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2016-139719 A (株式会社東芝) 04.08.2016 (2016-08-04) 段落0007-0027、図1-3	1-3, 12
Y		21
A		4-11, 13-20, 22, 23
Y	JP 2014-175517 A (三菱電機株式会社) 22.09.2014 (2014-09-22) 段落0020、図4	21
A	JP 2016-162855 A (株式会社日立製作所) 05.09.2016 (2016-09-05)	1-23
A	JP 2018-78230 A (三菱電機株式会社) 17.05.2018 (2018-05-17)	1-23

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
30.06.2023	11.07.2023

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
岩本　勉 5F 9355
電話番号 03-3581-1101 内線 3516

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2023/014827

引用文献	公表日	パテントファミリー文献	公表日
JP 2016-139719 A	04.08.2016	US 2016/0218101 A1 段落0013-0035、図1-3 CN 105826316 A TW 201628190 A	
JP 2014-175517 A	22.09.2014	（ファミリーなし）	
JP 2016-162855 A	05.09.2016	（ファミリーなし）	
JP 2018-78230 A	17.05.2018	US 2018/0138265 A1 DE 102017213163 A1	