

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7170448号
(P7170448)

(45)発行日 令和4年11月14日(2022.11.14)

(24)登録日 令和4年11月4日(2022.11.4)

(51)国際特許分類	F I			
H 0 4 N	5/3745(2011.01)	H 0 4 N	5/3745	5 0 0
G 0 1 J	1/42 (2006.01)	G 0 1 J	1/42	H
G 0 1 J	1/44 (2006.01)	G 0 1 J	1/44	P
H 0 1 L	31/107(2006.01)	G 0 1 J	1/44	H
		H 0 1 L	31/10	B
請求項の数 15 (全16頁)				

(21)出願番号	特願2018-139621(P2018-139621)	(73)特許権者	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22)出願日	平成30年7月25日(2018.7.25)	(74)代理人	110003281弁理士法人大塚国際特許事務所
(65)公開番号	特開2020-17861(P2020-17861A)	(72)発明者	根岸 典央 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
(43)公開日	令和2年1月30日(2020.1.30)	審査官	鈴木 明
審査請求日	令和3年7月21日(2021.7.21)		

最終頁に続く

(54)【発明の名称】 撮像素子、撮像装置及び信号処理方法

(57)【特許請求の範囲】

【請求項1】

フォトンの入射に応じて、出力電圧が変動する受光素子と、
前記出力電圧を互いに異なる複数の参照電圧とそれぞれ比較し、前記出力電圧が前記参照電圧を超えて戻る1回の変動につき、信号を1つ出力する比較手段と、
前記出力電圧と前記複数の参照電圧それぞれとの比較により前記比較手段から出力された信号の数を、参照電圧ごとにカウントして、カウント値を出力するカウント手段と
を有する複数の画素を含むことを特徴とする撮像素子。

【請求項2】

前記比較手段は、
前記出力電圧を予め決められた第1の参照電圧と比較し、前記出力電圧が前記第1の参照電圧を超えて戻る1回の変動につき、信号を1つ出力する第1の比較手段と、
前記出力電圧を、前記第1の参照電圧と異なる予め決められた第2の参照電圧と比較し、前記出力電圧が前記第2の参照電圧を超えて戻る1回の変動につき、信号を1つ出力する第2の比較手段と、を有し、
前記カウント手段は、
前記第1の比較手段から出力された信号の数をカウントして、第1のカウント値を出力する第1のカウント手段と、
前記第2の比較手段から出力された信号の数をカウントして、第2のカウント値を出力する第2のカウント手段と

を有することを特徴とする請求項 1 に記載の撮像素子。

【請求項 3】

前記複数の参照電圧は、第 1 の参照電圧と、前記第 1 の参照電圧と異なる第 2 の参照電圧とを含み、

前記複数の画素はそれぞれ、前記第 1 の参照電圧および前記第 2 の参照電圧を切り替えて、前記比較手段に供給する切り替え手段を更に有し、

前記カウント手段は、前記出力電圧を前記第 1 の参照電圧と比較したときに前記比較手段から出力された信号の数をカウントして、第 1 のカウント値を出力すると共に、前記出力電圧を前記第 2 の参照電圧と比較したときに前記比較手段から出力された信号の数をカウントして、第 2 のカウント値を出力することを特徴とする請求項 1 に記載の撮像素子。

10

【請求項 4】

前記複数の画素は、前記撮像素子の全ての画素であることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の撮像素子。

【請求項 5】

フォトンが入射に応じて、出力電圧が変動する受光素子をそれぞれ有する複数の第 1 の画素と複数の第 2 の画素とを含む画素アレイを有し、

前記第 1 の画素は、

第 1 の参照電圧を生成する第 1 の生成手段と、

前記出力電圧を前記第 1 の参照電圧と比較し、前記出力電圧が前記第 1 の参照電圧を超えて戻る 1 回の変動につき、信号を 1 つ出力する第 1 の比較手段と、

20

前記第 1 の比較手段から出力された信号の数をカウントして、第 1 のカウント値を出力する第 1 のカウント手段と、を含み、

前記第 2 の画素は、

前記第 1 の参照電圧と異なる第 2 の参照電圧を生成する第 2 の生成手段と、

前記出力電圧を前記第 2 の参照電圧と比較し、前記出力電圧が前記第 2 の参照電圧を超えて戻る 1 回の変動につき、信号を 1 つ出力する第 2 の比較手段と、

前記第 2 の比較手段から出力された信号の数をカウントして、第 2 のカウント値を出力する第 2 のカウント手段と、を含む

ことを特徴とする撮像素子。

【請求項 6】

30

フォトンが入射していない場合の前記出力電圧と前記第 1 の参照電圧との差が、フォトンが入射していない場合の前記出力電圧と前記第 2 の参照電圧との差よりも小さいことを特徴とする請求項 2、3、5 のいずれか 1 項に記載の撮像素子。

【請求項 7】

前記受光素子はガイガーモードで駆動されたアバランシェフォトダイオードであって、前記画素は更にクエンチ抵抗を含むことを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の撮像素子。

【請求項 8】

前記参照電圧ごとに得られたカウント値の差が予め決められた閾値以上である画素を、飽和した画素と判定する判定手段を更に有することを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載の撮像素子。

40

【請求項 9】

前記飽和した画素と判定された画素から、予め決められたカウント値を前記撮像素子の外部に出力することを特徴とする請求項 8 に記載の撮像素子。

【請求項 10】

請求項 1 乃至 9 のいずれか 1 項に記載の撮像素子と、
信号処理手段と

を有することを特徴とする撮像装置。

【請求項 11】

請求項 1 乃至 7 のいずれか 1 項に記載の撮像素子と、

50

前記撮像素子から出力された前記参照電圧ごとに得られたカウント値の差が予め決められた閾値以上である画素を、飽和した画素と判定する判定手段とを有することを特徴とする撮像装置。

【請求項 1 2】

光量調節部材を有し、

前記飽和した画素と判定された画素の数が予め決められた数以上の場合に、前記光量調節部材により、前記受光素子に入射する光量を制限することを特徴とする請求項 1 1 に記載の撮像装置。

【請求項 1 3】

請求項 8 または 9 に記載の撮像素子と、

光量調節部材を有し、

前記飽和した画素と判定された画素の数が予め決められた数以上の場合に、前記光量調節部材により、前記受光素子に入射する光量を制限することを特徴とする撮像装置。

【請求項 1 4】

フォトンの入射に応じて出力電圧が変動する複数の受光素子から出力される信号の信号処理方法であって、

比較手段が、前記出力電圧を互いに異なる複数の参照電圧の少なくとも一つと比較し、前記出力電圧が前記参照電圧を超えて戻る 1 回の変動につき、信号を 1 つ出力する比較工程と、

カウント手段が、前記出力電圧と前記複数の参照電圧との比較により出力された信号の数を前記参照電圧ごとにカウントして、カウント値を出力するカウント工程と、

判定手段が、前記参照電圧ごとに得られたカウント値の差が予め決められた閾値以上である画素を、飽和した画素と判定する判定工程と

を有することを特徴とする信号処理方法。

【請求項 1 5】

フォトンの入射に応じて出力電圧が変動する複数の受光素子と、前記出力電圧を互いに異なる複数の参照電圧の少なくとも一方と比較し、前記出力電圧が前記参照電圧を超えて戻る 1 回の変動につき、信号を 1 つ出力する比較手段と、前記出力電圧と前記複数の参照電圧との比較により出力された信号の数を、前記参照電圧ごとにカウントして、カウント値を出力するカウント手段と、を有する複数の画素を含む撮像素子から出力される信号の信号処理方法であって、

入力手段が、前記参照電圧ごとに得られたカウント値を入力する入力工程と、

判定手段が、前記参照電圧ごとに得られたカウント値の差が予め決められた閾値以上である画素を、飽和した画素と判定する判定工程と、

を有することを特徴とする信号処理方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、撮像素子、撮像装置及び信号処理方法に関し、特に、フォトンカウント型撮像素子に伴う技術に関する。

【背景技術】

【0002】

従来、デジタルカメラ等に用いられる撮像素子は、フォトダイオード(PD)を電荷蓄積方式で用いることが一般的である。電荷蓄積方式とは、一定期間内にPDに入射したフォトン光を光電変換し、電圧値というアナログ量として捉える方式である。電荷蓄積方式では、PDにフォトンが入射されると、PDは入射するフォトンの数に対してほぼ線形に電荷を生成し、蓄積する。PDに蓄積された電荷はフローティングディフュージョン部(FD)へ転送され、電圧に変換される。FDによって変換された電圧はソースフォロワ(SF)によって増幅され、AD変換器によってデジタル信号に変換され、外部に出力される。

【0003】

10

20

30

40

50

電荷蓄積方式の場合、例えばFDの電圧をSFで増幅する際に、SFのゲート界面で発生するRTS (Random Telegraph Signal) ノイズによりS/N比が劣化することが知られている。

【0004】

一方で、近年アバランシェフォトダイオード (APD) をガイガーモードで動作させた際に発生するアバランシェ現象を利用して、入射したフォトン数そのものを計測してデジタル信号として出力するフォトンカウント型撮像素子の検討がなされている。

【0005】

APDをガイガーモードで動作させる時、例えばAPDに1つのフォトンが入射するとアバランシェ現象によって観測可能なレベルの電流が発生する。この電流をパルス信号に変換し、そのパルス信号の数をカウントすることで、入射するフォトンの個数を直接計測することが可能となる。そのため、RTSノイズが発生せず、S/N比の向上が期待されている。APDを用いたセンシングデバイスの一例として、特許文献1では複数画素のAPDから成る測距用センサが開示されている。

【0006】

ここで従来のフォトンカウント型撮像素子の動作概要について図9を用いて説明する。図9(a)はAPDをガイガーモードで動作させるフォトンカウント型撮像素子の単位画素(以下、「画素」と呼ぶ。)の等価回路を示している。画素は、APDとコンパレータとクエンチ抵抗、抵抗 R_1 、 R_2 より構成される。

【0007】

APDのアノード端はGNDに接続されており、カソード端はクエンチ抵抗に接続されている。そして、クエンチ抵抗を介して、電圧HVDによる逆バイアス電圧が印加される。このとき電圧HVDとGNDの電圧差はAPDをガイガーモードにする為にブレークダウン電圧以上となるように設定する。

【0008】

図9(b)は、APDをガイガーモードで動作させているときの概念図である。フォトン入射待ちをしているときは、動作Aの開始点の状態 ① にいる。ここでAPDにフォトンが入射すると、APDではアバランシェ現象が発生しAPDに大電流が流れる。電流が流れると同時にクエンチ抵抗によって、APDのカソード端の電圧降下が発生する。これはAPDのI-V特性において逆バイアスが低下したことになり、状態が動作Aのように遷移する。APDのカソード端の電圧降下により、APDに印加される逆バイアス電圧が降伏電圧未満となってアバランシェ現象が止まる(状態 ②)。アバランシェ現象が止まり動作Bに遷移したのち、APDのカソード端は電圧HVDによりチャージされ、再び動作Aの開始点の状態 ① に戻る(動作C)。

【0009】

図9(c)は、状態 ① から動作A~Cを経てまた状態 ① に戻るまでのAPDのカソード端の電圧 V_{APD} の推移を示している。時刻 t_0 から t_1 の期間はフォトン入射待機状態であり、時刻 t_1 でAPDにフォトンが入射すると動作Aを経て時刻 t_2 で状態 ② に遷移し、その後動作B、動作Cを経て時刻 t_3 で状態 ① に戻る。

【0010】

図9(a)に示すようにコンパレータの一方の入力端子にはAPDのカソード端の電圧 V_{APD} が、もう一方の入力端子には基準電圧 V_{ref} を抵抗 R_1 と抵抗 R_2 とで分圧した参照電圧 V_{th} が入力されている。参照電圧 V_{th} は、上記で説明したフォトンが入射した際の電圧 V_{APD} の変化が検出できるよう V_0 と V_{min} の間の電位に設定する。

【0011】

コンパレータは、電圧 V_{APD} が V_{th} より小さくなり、再び電圧 V_{APD} が V_{th} より大きくなるまでの期間(電圧 V_{APD} が V_{th} レベルを往復した期間)にパルス信号を1つ出力する。そのため、このコンパレータの出力にカウンタを接続しておけば、入射したフォトン数をカウントすることができる。従って、動作(A)~動作(C)を繰り返すことで、APDに入射したフォトン数を計測することが可能となる。

10

20

30

40

50

【先行技術文献】

【特許文献】

【0012】

【文献】特開2014-81253号公報

【発明の概要】

【発明が解決しようとする課題】

【0013】

しかしながら、上述の従来技術ではデッドタイム（不感時間）より短い時間間隔でフォトンが入射すると（すなわち、一定期間内のフォトンの入射数が多くなると）、パルス信号の分離ができなくなって飽和し、高輝度領域でのリニアリティが悪化するという課題がある。

10

【0014】

例えば、短い間隔でフォトンが2つ入射した場合、図9（d）に示すように電圧 V_{APD} が V_{th} レベルを往復する回数としては1回だけであるため、カウント値として出力されるのは1になる。つまり、図9（a）に示す画素では、フォトンがデッドタイムより短い間隔で入射した場合正確にカウントすることができない。なお、このようにフォトンが所定時間より短い間隔で入射し正確にカウントできない状態を、以下、「カウント飽和状態」と呼ぶ。

【0015】

図9（e）は、図9（a）に示す画素により入射フォトンを実カウントした時のカウント値を示している。横軸は入射フォトン数、縦軸はカウント値を示している。図からわかるように、入射フォトン数が K_1 個入射している場合と、 K_2 個入射している場合のいずれにおいてもカウント値は K_C となってしまう、区別をすることができない。つまり、実際の入射フォトン数が K_2 個であっても、カウント飽和状態か否かを区別することができない。

20

【0016】

本発明は上記問題点を鑑みてなされたものであり、画素がカウント飽和状態か否かを判定可能にしたフォトンカウント型の撮像素子を提供することを目的とする。更に、当該撮像素子における画素がカウント飽和状態か否かを判定することを目的とする。

【課題を解決するための手段】

【0017】

上記目的を達成するために、本発明の撮像素子は、フォトンが入射に応じて、出力電圧が変動する受光素子と、前記出力電圧を互いに異なる複数の参照電圧とそれぞれ比較し、前記出力電圧が前記参照電圧を超えて戻る1回の変動につき、信号を1つ出力する比較手段と、前記出力電圧と前記複数の参照電圧それぞれとの比較により前記比較手段から出力された信号の数を、前記参照電圧ごとにカウントして、カウント値を出力するカウント手段とを有する複数の画素を含む。

30

【発明の効果】

【0018】

本発明によれば、画素がカウント飽和状態か否かを判定可能にしたフォトンカウント型の撮像素子を提供することができる。また、当該撮像素子における画素がカウント飽和状態か否かを判定することができる。

40

【図面の簡単な説明】

【0019】

【図1】第1及び第2の実施形態における撮像装置の概略構成を示すブロック図。

【図2】第1及び第2の実施形態における撮像素子の構成を示す図。

【図3】第1の実施形態における画素と画素演算部の一部の構成を示す図。

【図4】第1及び第2の実施形態におけるADPのカソード端の出力電圧値とコンパレータ出力例を示す図。

【図5】第1の実施形態におけるカウント飽和画素判定処理と置き換え処理を示すフローチャート。

50

【図 6】第 1 の実施形態の変形例における画素配置の一例を示す図。

【図 7】第 2 の実施形態における画素と画素演算部の一部の構成を示す図。

【図 8】第 2 の実施形態の変形例における画素配置の一例を示す図。

【図 9】従来技術におけるフォトンカウント型撮像素子に関する説明図。

【発明を実施するための形態】

【0020】

以下、添付図面を参照して本発明を実施するための形態を詳細に説明する。

【0021】

<第 1 の実施形態>

第 1 の実施形態におけるフォトンカウント型撮像素子を用いた撮像システムについて説明する。なお、第 1 の実施形態では、撮像素子内の全ての画素に 2 つのコンパレータを有するフォトンカウント型撮像素子において、それぞれのコンパレータに異なる参照信号を入力する場合について示す。

10

【0022】

図 1 は、第 1 の実施形態における撮像装置の概略構成を示すブロック図である。図 1 において、レンズ部 201 は、ズームレンズを含む複数枚のレンズにより構成され、レンズ駆動部 202 の制御により、Wide 端から Tele 端まで、焦点距離を変化させることができる。

【0023】

メカニカルシャッタ 203 と、その後段の絞り 204 (光量調節部材) は、撮像素子 206 へ入射する光の照射時間を機械的に制御する露光量調整機構である。メカニカルシャッタ 203 及び絞り 204 は、シャッタ・絞り駆動部 205 によって駆動制御される。

20

【0024】

ズームレンズを含むレンズ部 201 を通った被写体像は、メカニカルシャッタ 203 及び絞り 204 により適切な露光量に調整され、撮像素子 206 に結像される。撮像素子 206 内の複数の画素に結像した被写体像は、撮像素子 206 内で 2 次元のデジタルデータに変換され、撮像信号処理回路 207 に送られる。なお、撮像素子 206 の詳細については後述する。

【0025】

撮像信号処理回路 207 は、ノイズを軽減するローパスフィルタ処理やシェーディング補正処理、WB 調整処理などの各種の画像信号処理、さらにキズ補正処理やダークシェーディング補正処理、黒引き処理等の各種の補正、圧縮等を行って画像データを生成する。

30

【0026】

全体制御演算部 210 は、撮像装置全体の制御と各種演算を行う。タイミング発生部 (以下、「TG」と記す。) 208 は、全体制御演算部 210 からの制御信号に基づき、撮像素子 206 を駆動させるための駆動パルスを発生させる。第 1 メモリ部 209 は、画像データを一時的に記憶する。

【0027】

記録媒体制御インターフェース (I/F) 部 211 は、半導体メモリ等の着脱可能な記憶媒体である記録媒体 213 に対して画像データの記録及び読み出しを行う。表示部 212 は、画像データ等の表示を行う。外部インターフェース (I/F) 部 214 は、外部コンピュータ等と通信を行うためのインターフェースである。

40

【0028】

第 2 メモリ部 215 は、全体制御演算部 210 での演算結果や撮影条件等の各種パラメータを記憶する。操作部 216 によりユーザーが設定した撮像装置の駆動条件に関する情報は、全体制御演算部 210 に送られ、これらの情報に基づいて撮像装置全体の制御が行われる。

【0029】

図 2 は、撮像素子 206 の概略構造を示しており、本実施形態では、一例として、センサ基板 301 と回路基板 302 とが電氣的に接続されるように積層された、積層構造の撮

50

像素子を構成する。

【0030】

図2(a)において、センサ基板301には、複数の画素303が2次元状に配置された画素アレイが形成される。なお、画素303の詳細な構成については後述する。回路基板302には、画素演算部304及び信号処理回路305が構成される。

【0031】

画素演算部304は、センサ基板301上の画素毎にバンプ等で電氣的に接続され、各画素303を駆動するための制御信号を出力すると共に、画素303からのコンパレータ出力を受け、各種処理を行う。

【0032】

画素演算部304は、対応する画素毎に入射した光子に応じて出力されるコンパレータからのパルス信号の数を計測するカウンタ回路を有する。画素演算部304で計測されたカウント値は、信号処理回路305によって撮像素子206の外部へと出力される。

【0033】

図2(b)は、撮像素子206で使用されるカラーフィルタアレイの一部を示しており、図2(a)の画素アレイに含まれる。このカラーフィルタの配列は、ベイヤー配列と呼ばれ、第1の色フィルタを赤(R)、第2の色フィルタを緑(Gr)、第3の色フィルタを緑(Gb)、第4の色フィルタを青(B)として繰り返し配列されている。原色の色フィルタ配列の中でも、高い解像度と優れた色再現性を備えた色フィルタ配列である。

【0034】

次に、図3を参照して、画素303と画素演算部304の一部の構成について説明する。

【0035】

画素303は、クエンチ抵抗101、受光素子であるAPD102、第1コンパレータ103、第2コンパレータ104、参照電圧 V_{thA} 、 V_{thB} を生成するための抵抗 R_{A1} 、 R_{A2} 、 R_{B1} 、 R_{B2} からなる。画素303の各構成要素は、センサ基板301上に配置される。なお、画素アレイに含まれる他の画素も同様の構成を有する。画素演算部304は、各画素303に対応した第1カウンタ105及び第2カウンタ106を含み、回路基板302上に配置される。

【0036】

APD102のアノード端はGNDに接続されており、カソード端はクエンチ抵抗101に接続されている。そしてAPD102には、クエンチ抵抗101を介して、電圧HVDによる逆バイアス電圧が印加される。このとき電圧HVDとGNDの電圧差は、APD102をガイガーモードにする為にブレークダウン電圧以上となるように設定される。

【0037】

APD102のカソード端の電圧 V_{APD} (出力電圧)は第1コンパレータ103、第2コンパレータ104の一方の入力端に入力される。また、第1コンパレータ103、第2コンパレータ104のもう一方の入力端には、それぞれ基準電圧 V_{ref} を、抵抗 R_{A1} と R_{A2} 、抵抗 R_{B1} と R_{B2} により分圧した参照電圧 V_{thA} 、 V_{thB} とが入力される。

【0038】

第1コンパレータ103には、APD102のカソード端の電圧 V_{APD} と参照電圧 V_{thA} が入力され、電圧 V_{APD} が参照電圧 V_{thA} レベルを往復した場合にパルス信号を出力する。同様に第2コンパレータ104には、APD102のカソード端の電圧 V_{APD} と参照電圧 V_{thB} が入力され、電圧 V_{APD} が参照電圧 V_{thB} レベルを往復した場合にパルス信号を出力する。

【0039】

第1コンパレータ103及び第2コンパレータ104から出力されたパルス信号は、第1カウンタ105及び第2カウンタ106にそれぞれ入力され、各コンパレータから出力されたパルス信号の数が計測される。

【0040】

次に、第1の実施形態におけるカウント飽和検出処理、及びカウント飽和画素の出力値

10

20

30

40

50

のカウンタ飽和レベルのカウンタ値への置き換え処理について説明する。

【0041】

図4(a)は、時刻 t_1 ～時刻 t_7 の期間に7つの光子 P_1 ～ P_7 が順次入射した際の電圧 V_{APD} の変動推移を示したものである。縦軸が電圧 V_{APD} 、横軸が時刻を示している。すなわち、電圧 V_{APD} が、光子入射待機状態時の電圧 V_0 からアバランシェ現象が発生し、電圧値が最も下がったときの電圧 V_{min} まで変動する様子を示している。

【0042】

図4(b)及び図4(c)は、それぞれ第1コンパレータ103及び第2コンパレータ104から出力されたパルス信号の推移を示している。縦軸はコンパレータの出力、横軸は時刻を示している。

10

【0043】

図4(a)に示す通り、第1コンパレータ103、第2コンパレータ104の参照電圧 V_{thA} と V_{thB} は、光子入射待機状態時の電圧 V_0 とアバランシェ現象が発生した時の最も低い電圧 V_{min} との間の値である。また、参照電圧 V_{thB} は、参照電圧 V_{thA} よりも小さい値($V_{thB} < V_{thA}$)となるように設定される。

【0044】

時刻 t_1 ～時刻 t_7 は、それぞれAPD102に光子 P_1 ～ P_7 が入射したタイミングを示している。時刻 t_1 ～時刻 t_2 、時刻 t_6 ～時刻 t_7 、時刻 t_7 ～時刻 t_8 の期間は、デッドタイムより長い間隔で光子 P_1 、 P_6 、 P_7 が入射している。そのため、光子 P_1 、 P_6 、 P_7 により、電圧 V_{APD} はそれぞれ電圧 V_0 から V_{min} まで変動し、APD102のカソードは電圧 $HVDD$ によりチャージされ再び光子入射待機状態の電圧 V_0 に収束する。

20

【0045】

一方、時刻 t_2 ～時刻 t_4 及び時刻 t_4 ～時刻 t_6 の期間は、デッドタイムより短い間隔で光子 P_2 、 P_3 、 P_4 、 P_5 が入射している。そのため、光子 P_2 、 P_4 により、電圧 V_{APD} はそれぞれ電圧 V_0 から V_{min} まで変動するが、電圧 V_0 へと収束しきる前に光子 P_3 、 P_5 によるアバランシェ現象で再び電圧 V_{min} に到達する。その後、電圧 $HVDD$ によりチャージされて光子入射待機状態の電圧 V_0 に収束する。

【0046】

このとき、図4(b)に示すように、閾値 V_{thA} を参照電圧として入力する第1コンパレータ103は、光子 P_1 、 P_6 、 P_7 の入射による電圧 V_{APD} の変動に対して、それぞれ別々のパルス信号を出力する。しかし、光子 P_2 と P_3 の入射による電圧 V_{APD} の変動は、1つのパルス信号に合成されて出力される。同様に光子 P_4 と P_5 の入射による V_{APD} の電圧値の変動も1つのパルス信号に合成されて出力される。

30

【0047】

一方、図4(c)に示すように、閾値 V_{thB} を参照電圧として入力する第2コンパレータ104は、光子 P_1 ～ P_7 の入射による電圧 V_{APD} の変動をそれぞれ別々のパルス信号として出力する。

【0048】

ここで、撮像素子206の2次元画素アレイ上における画素303のアドレス (X, Y) が (x, y) の場合、第1カウンタ105及び第2カウンタ106から得られるカウンタ値をそれぞれ $K_A(x, y)$ 、 $K_B(x, y)$ とする($1 \leq X \leq x_{max}$, $1 \leq Y \leq y_{max}$)。このとき、図4に示す例では、 $K_A(x, y) = 5$ 、 $K_B(x, y) = 7$ が得られる。

40

【0049】

画素303から得られたカウンタ値 $K_A(x, y)$ 、 $K_B(x, y)$ は、信号処理回路305へと出力される。信号処理回路305では、画素303がカウンタ飽和であるか否かの判定処理と、カウンタ飽和と判定された画素(以下、「カウンタ飽和画素」と呼ぶ。)に対し、画素出力値の置き換え処理を行う。以下、信号処理回路305における処理について、図5を参照して説明する。

【0050】

50

まず、S 1 0において、画素3 0 3からカウント値 $K A(x, y)$ 、 $K B(x, y)$ を取得し、S 1 1において、 $K A(x, y)$ と $K B(x, y)$ の差分 K を式(1)により算出する。

$$K = K B(x, y) - K A(x, y) \quad \dots (1)$$

【0 0 5 1】

S 1 2において、式(1)により得られた差分 K と、予め決められたカウンタ飽和判定閾値 $K t h S (K t h S > 0)$ とを比較する。差分 K がカウンタ飽和判定閾値 $K t h S$ 以上である場合、カウンタ飽和画素と判定してS 1 3に進む。また、差分 K がカウンタ飽和判定閾値 $K t h S$ 未満である場合、カウンタ飽和画素では無いと判定してS 1 5に進む。

10

【0 0 5 2】

S 1 3では、判定フラグ $J(x, y)$ をカウンタ飽和画素であることを示す1に設定し、S 1 4において、画素出力値 $I o u t(x, y)$ として、カウンタ飽和レベルのカウント値 $K S (K S > 0)$ を選択する。なお、カウント値 $K S$ としては、例えば、予め決められた露光時間、A P D 1 0 2を露光して図9(e)に示すようなグラフを生成し、得られた最大のカウント値を、実際の露光時間に応じて変更した値を用いることができる。

【0 0 5 3】

一方、S 1 5では、判定フラグ $J(x, y)$ をカウンタ飽和画素では無いことを示す0に設定し、S 1 6において、画素出力値 $I o u t(x, y)$ として、カウント値 $K A(x, y)$ を選択する。

20

【0 0 5 4】

S 1 7において、S 1 3またはS 1 5で設定された判定フラグ $J(x, y)$ と、S 1 4またはS 1 6で選択された画素出力値 $I o u t(x, y)$ を出力して処理を終了する。信号処理回路3 0 5は、上記処理を各画素に対して行う。

【0 0 5 5】

撮像素子2 0 6の全ての画素3 0 3(1 X xmax, 1 Y ymax,)についてS 1 0~S 1 7の処理を行い、判定フラグ $J(x, y)$ 及び画素出力値 $I o u t(x, y)$ を求める。

【0 0 5 6】

なお、信号処理回路3 0 5では、上記処理で求めた全ての画素3 0 3の判定フラグ $J(x, y)$ のうち、判定フラグ $J(x, y) = 1$ が設定された画素の数である飽和画素総数 $K A S$ を算出する。そして、上記処理で求めた全ての画素3 0 3の画素出力値 $I o u t(x, y)$ と飽和画素総数 $K A S$ は、撮像信号処理回路2 0 7へと出力され、画素出力値 $I o u t(x, y)$ に対しては各種の画像信号処理、補正処理等が行われる。

30

【0 0 5 7】

また、飽和画素総数 $K A S$ は、撮像信号処理回路2 0 7を経て全体制御演算部2 1 0へ送られる。全体制御演算部2 1 0では、飽和画素総数 $K A S$ が所定数以上である場合、撮像素子2 0 6に入射しているフォトン入射数が多すぎると判断して絞り2 0 4を1段絞るようシャッタ・絞り駆動部2 0 5へと指令を出す。なお、本発明はこれに限られるものではなく、例えば、NDフィルタなどの光学素子を用いて減光制御しても良い。

【0 0 5 8】

40

上記の通り第1の実施形態によれば、フォトンカウント型撮像素子において、各画素がカウンタ飽和状態か否かを判定することが可能となる。また、カウンタ飽和状態であると判定した画素については、カウンタ飽和レベルのカウント値に置き換えて撮像素子から出力することができる。さらに、カウンタ飽和状態の画素の数が所定数以上になった場合には、撮像素子からの出力データを元に、撮像素子へ入射するフォトン数を減らす制御を行うことができる。

【0 0 5 9】

なお、上述した例では、図5に示す処理を撮像素子2 0 6内にある信号処理回路3 0 5により行うものとして説明したが、これに限るものではなく、撮像素子2 0 6の外部回路にて行ってもよい。例えば、第1カウンタ1 0 5及び第2カウンタ1 0 6から得られるカ

50

ウント値 $K_A(x, y)$ 、 $K_B(x, y)$ を撮像信号処理回路 207 に出力し、撮像信号処理回路 207 において図 5 に示す処理を行うことが考えられる。

【0060】

< 第 1 の実施形態の変形例 >

上述した第 1 の実施形態では、撮像素子 206 内の全ての画素 303 が 2 つのコンパレータを有し、それぞれのコンパレータに異なる参照信号を入力する場合について説明した。しかしながら、複数画素に 1 画素だけ 2 つのコンパレータを有する構成としてもよい。以下、2 つのコンパレータを有する画素を「判定画素」と呼ぶ。

【0061】

図 6 は、画素アレイにおいて複数の画素 303 の内、一部の画素 303 のみを判定画素とした場合のレイアウトの一例を示しており、斜め線で示した画素を判定画素とする。それ以外の画素は、図 9 (a) で示したように、コンパレータを 1 つ有する通常の画素である。

10

【0062】

図 6 (a) は、G b 画素のみを判定画素としたもの、図 6 (b) は 4 つに 1 つの G b 画素のみを判定画素としたものを示している。一部の画素についてのみ判定画素とした構成の場合、判定画素がカウント飽和しているのか否かを図 5 のフローチャートを参照して説明したようにして判定することができる。そして、その判定結果を利用して、判定画素の近傍領域がカウント飽和しているのか否か推定する。なお、本発明では、推定方法を特に制限するものではない。例えば、隣接する判定画素のうち、予め決められた数を超える判定画素がカウント飽和している場合に、カウント飽和していると判定したり、カウント飽和画素であると判定された判定画素の分布から推定するようにしても良い。

20

【0063】

< 第 2 の実施形態 >

次に、本発明の第 2 の実施形態について説明する。第 2 の実施形態では、撮像素子 206 内の全ての画素が 1 つのコンパレータを有するフォトンカウント型撮像素子において、同一の被写体を 2 度カウントする場合について説明する。なお、本第 2 の実施形態において、撮像装置の概略構成及び撮像素子 206 の全体構成は、図 1 及び図 2 を参照して第 1 の実施形態で説明したものと同様であるため、ここでは説明を省略する。

【0064】

次に図 7 を参照して、第 2 の実施形態における画素 303 と画素演算部 304 の一部の構成について説明する。図 7 に示す構成は、第 1 の実施形態において図 3 を参照して説明した構成の代わりに用いられる。

30

【0065】

画素 303 は、クエンチ抵抗 701、APD 702、コンパレータ 703、切換えスイッチ 704、コンパレータに入力する参照電圧 V_{thA} 、 V_{thB} を生成するための抵抗 R_{A1} 、 R_{A2} 、 R_{B1} 、 R_{B2} からなる。画素 303 の各構成要素は、センサ基板 301 上に配置される。なお、画素アレイに含まれる他の画素も同様の構成を有する。画素演算部 304 は、各画素 303 に対応したカウンタ 705 を含み、回路基板 302 上に配置される。

【0066】

APD 702 のアノード端は GND に接続されており、カソード端はクエンチ抵抗 701 に接続されている。そして APD 702 には、クエンチ抵抗 701 を介して、電圧 $HVDD$ による逆バイアス電圧が印加される。このとき電圧 $HVDD$ と GND の電圧差は、APD 702 をガイガーモードにする為にブレイクダウン電圧以上となるように設定される。

40

【0067】

APD 702 のカソード端の電圧 V_{APD} は、コンパレータ 703 の一方の入力端に入力される。また、コンパレータ 703 のもう一方の入力端には、スイッチ 704 が接続されている。スイッチ 704 を切り替えることで、基準電圧 V_{ref} を、抵抗 R_{A1} と R_{A2} 、抵抗 R_{B1} と R_{B2} により分圧した参照電圧 V_{thA} 、 V_{thB} のいずれかが入力されるようにすることができる。

50

【 0 0 6 8 】

コンパレータ703にAPD702のカソード端の電圧 V_{APD} と V_{thA} とが入力される場合には、電圧 V_{APD} が参照電圧 V_{thA} レベルを往復した場合にパルス信号を出力する。同様にコンパレータ703にAPD702のカソード端の電圧 V_{APD} と参照電圧 V_{thB} とが入力された場合には、電圧 V_{APD} が V_{thB} レベルを往復した場合にパルス信号を出力する。

【 0 0 6 9 】

コンパレータ703から出力されたパルス信号は、カウンタ705に入力され、パルス信号の数がそれぞれ計測される。

【 0 0 7 0 】

次に、第2の実施形態における上記構成を有する画素303と画素演算部304の動作について、図4を参照しながら説明する。

【 0 0 7 1 】

まず、コンパレータ703の参照電圧が V_{thA} となるようにスイッチ704を切換え、1回目のフォトンカウントを行う。そして、1回目のフォトンカウントの直後にスイッチ704を切換えてコンパレータ703の参照電圧を V_{thA} から V_{thB} にし、2回目のフォトンカウントを行う。

【 0 0 7 2 】

1回目のフォトンカウントと2回目のフォトンカウントの時間間隔が十分短く、被写体からの入射フォトンの量が変化しないと仮定すると、1回目のフォトンカウント期間と2回目のフォトンカウント期間では、ほぼ同様の電圧 V_{APD} の変動推移が得られる。

【 0 0 7 3 】

さらに、1回目のフォトンカウント期間も2回目のフォトンカウント期間も同じ時刻にフォトンが入射したと仮定すると、図4(a)に示すような電圧 V_{APD} の変動推移となる。その場合、1回目のフォトンカウント期間のコンパレータ703の出力は、図4(b)に示すようなパルス信号となる。同様に、2回目のフォトンカウント期間のコンパレータ703の出力は、図4(c)に示すようなパルス信号となる。

【 0 0 7 4 】

ここで、撮像素子206における2次元画素アレイ上における画素303のアドレスを (x, y) とする。また、1回目のフォトンカウントでカウンタ705から得られるカウント値を $K_A(x, y)$ 、2回目のフォトンカウントでカウンタ705から得られるカウント値を $K_B(x, y)$ とする。このとき、図4に示す例では、 $K_A(x, y) = 5$ 、 $K_B(x, y) = 7$ が得られる。

【 0 0 7 5 】

以降は第1の実施形態で図5を参照して説明したのと同様に、カウント飽和検出処理、およびカウント飽和画素の出力値のカウント飽和レベルのカウント値への置き換え処理を実施し、画素出力値 $I_{out}(x, y)$ 、判定フラグ $J(x, y)$ を得る。また、全ての画素303の判定フラグ $J(x, y)$ から、飽和画素総数 KAS を得る。

【 0 0 7 6 】

上記の通り第2の実施形態によれば、フォトンカウント型撮像素子において、各画素に1つのコンパレータを有する場合であっても、参照電圧を切り替えることにより、撮像素子内で各画素がカウント飽和状態か否か判定することが可能となる。

【 0 0 7 7 】

また、カウント飽和状態であると判定した画素については、カウント飽和レベルのカウント値に置き換えて撮像素子から出力することができる。さらに、カウント飽和状態が所定数以上になった場合には、撮像素子からの出力データを元に、撮像素子への入射フォトン数を減らす制御を行うことが可能となる。

【 0 0 7 8 】

なお、図6を参照して説明した第1の実施形態の変形例と同様に、画素アレイにおいて複数の画素303の内、一部の画素303のみを図7に示す構成を有する画素としてもよ

10

20

30

40

50

い。

【 0 0 7 9 】

< 第 2 の実施形態の変形例 >

上述した第 2 の実施形態では、撮像素子 2 0 6 内の全ての画素 3 0 3 が図 7 に示す構成を有し、参照電圧を切り替えて用いるものとして説明した。これに対し、本変形例では、異なる参照電圧を利用する別の構成について説明する。なお、本変形例における画素 3 0 3 は、図 9 (a) に示すものと同様の構成を有するが、コンパレータに参照電圧 V_{thA} 及び V_{thB} のいずれかを供給する。

【 0 0 8 0 】

図 8 は、画素アレイにおいて画素 3 0 3 のコンパレータに、異なる参照電圧を供給する場合のレイアウトの一例を示す。ドット模様で示した画素 3 0 3 がコンパレータの参照電圧を V_{thB} に固定したもの、それ以外の画素はコンパレータの参照電圧を V_{thA} に固定したものを示している。

10

【 0 0 8 1 】

図 8 の例では、G b 画素のみ参照電圧が V_{thB} に固定されている。このとき、G r と G b のカウント値から図 5 に示す処理を行い、G r と G b の画素がカウント飽和なのか否かを判定し、この結果から、隣接する R、B の画素もカウント飽和なのか否かを推定し、G r、G b と同様の判定結果とする。

【 0 0 8 2 】

なお、参照電圧 V_{thA} と参照電圧 V_{thB} の生成の仕方は、第 1 の実施形態で説明したものと同様である。すなわち、図 8 に示すレイアウトでは、ドット模様で示した画素 3 0 3 では、抵抗 R_{B1} と R_{B2} により基準電圧 V_{ref} を分圧し、それ以外の画素 3 0 3 では、抵抗 R_{A1} と R_{A2} により基準電圧 V_{ref} を分圧している。このように、各画素のコンパレータに供給する参照電圧を複数の参照電圧のいずれかにする構成とすることで、画素の回路を大きくすること無く、各画素がカウント飽和状態か否か判定することが可能となる。

20

【 0 0 8 3 】

以上、本発明の好ましい実施形態について説明したが、本発明はこれらの実施形態に限定されず、その主旨の範囲内で種々の変形及び変更が可能である。

【符号の説明】

【 0 0 8 4 】

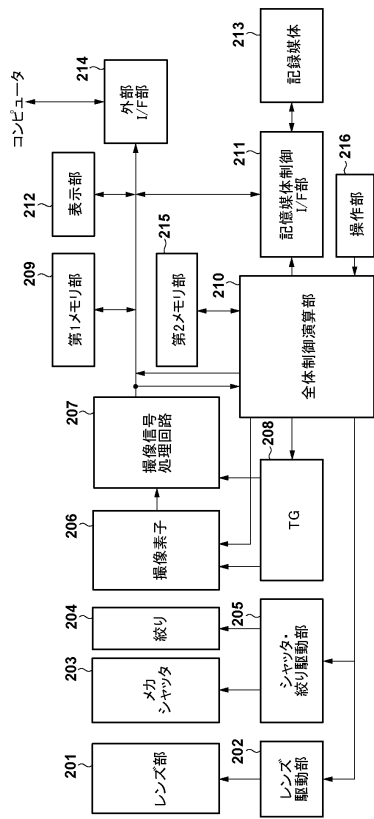
1 0 1、7 0 1 : クエンチ抵抗、1 0 2、7 0 2 : A P D、1 0 3 : 第 1 コンパレータ、1 0 4 : 第 2 コンパレータ、1 0 5 : 第 1 カウンタ、1 0 6 : 第 2 カウンタ、2 0 1 : レンズ部、2 0 2 : レンズ駆動部、2 0 3 : メカニカルシャッタ、2 0 4 : 絞り、2 0 5 : メカシャッタ・絞り駆動部、2 0 6 : 撮像素子、2 0 7 : 撮像信号処理回路、2 0 8 : タイミング発生部、2 0 9 : 第 1 メモリ部、2 1 0 : 全体制御演算部、2 1 1 : 記録媒体制御インターフェース部、2 1 2 : 表示部、2 1 3 : 記録媒体、2 1 4 : 外部インターフェース部、2 1 5 : 第 2 メモリ部、2 1 6 : 操作部、3 0 1 : センサ基板、3 0 2 : 回路基板、3 0 3 : 画素、3 0 4 : 画素演算部、3 0 5 : 信号処理回路、7 0 3 : コンパレータ、7 0 4 : スイッチ、7 0 5 : カウンタ

30

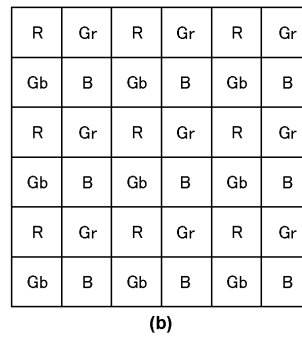
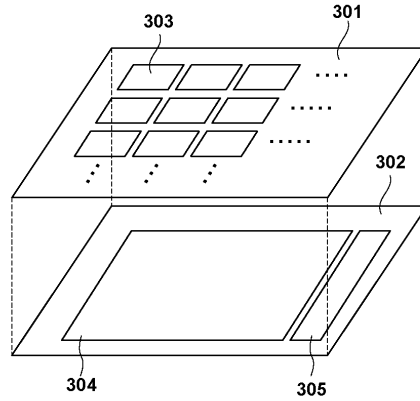
40

【図面】

【図 1】



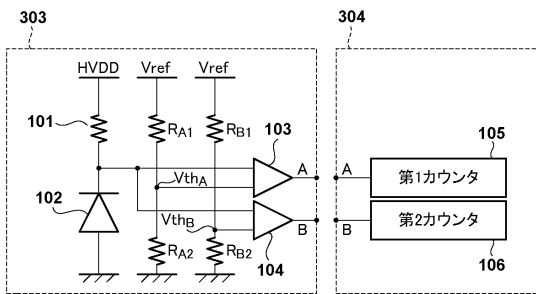
【図 2】



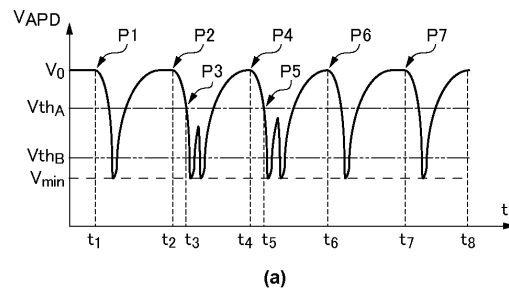
10

20

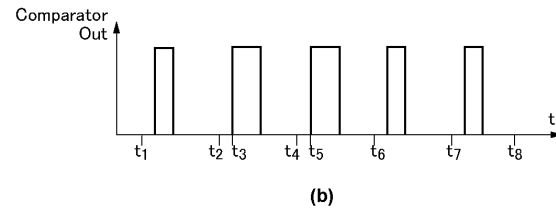
【図 3】



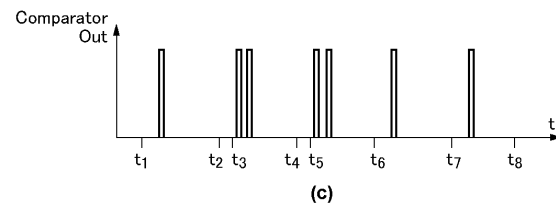
【図 4】



30

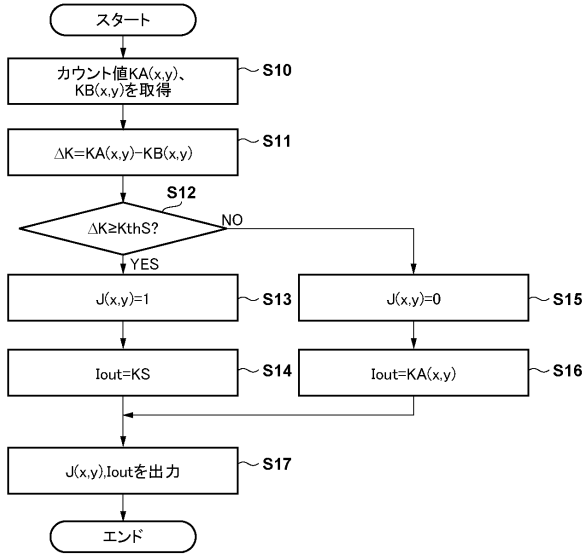


40

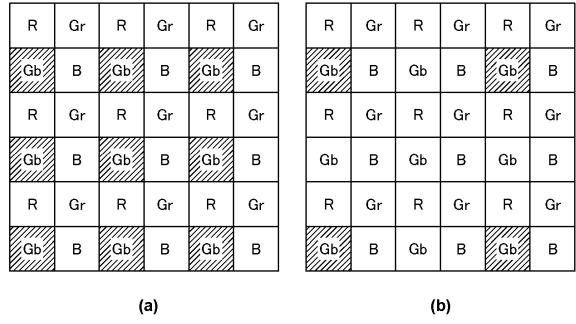


50

【図 5】

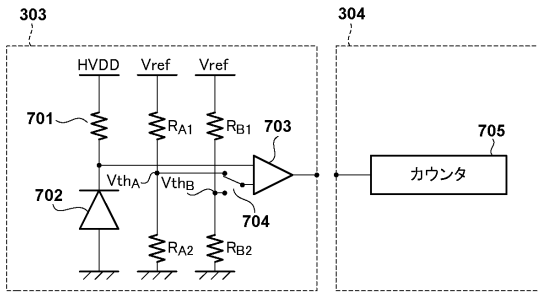


【図 6】

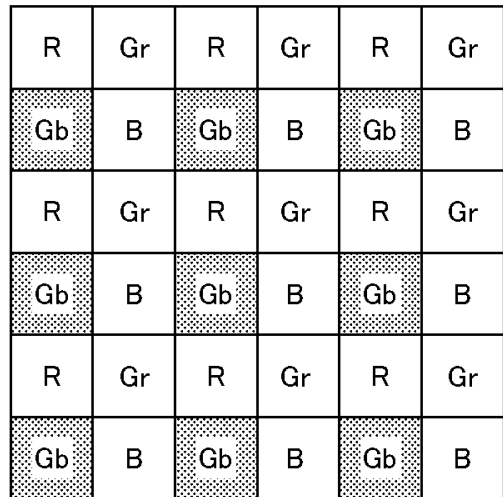


10

【図 7】



【図 8】



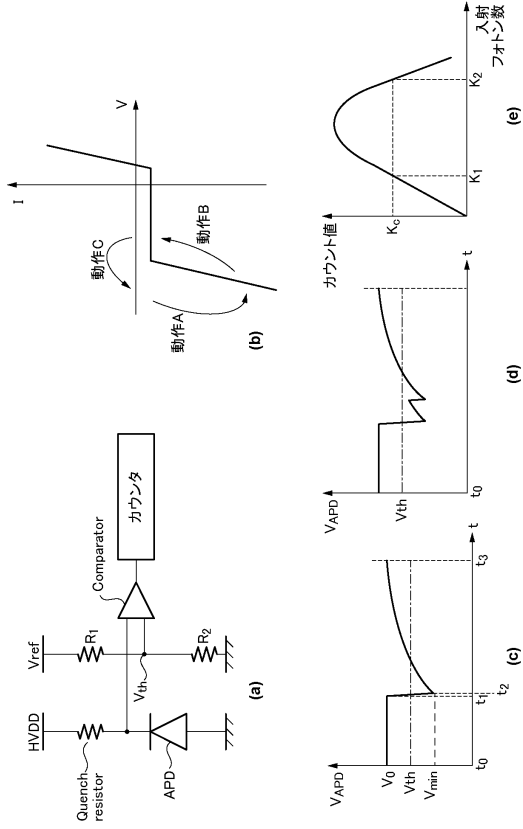
20

30

40

50

【図 9】



10

20

30

40

50

フロントページの続き

- (56)参考文献 特表2013-516610(JP,A)
特開2015-184119(JP,A)
- (58)調査した分野(Int.Cl.,DB名)
- | | |
|------|--------------|
| H04N | 5/30 - 5/378 |
| G01J | 1/42 |
| G01J | 1/44 |
| H01L | 31/107 |