

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

G11C 11/15

H01L 43/00



[12] 发明专利申请公开说明书

[21] 申请号 200310101563.1

[43] 公开日 2004 年 8 月 18 日

[11] 公开号 CN 1521760A

[22] 申请日 2003. 10. 7

[21] 申请号 200310101563.1

[30] 优先权

[32] 2003. 2. 14 [33] JP [31] 37080/2003

[71] 申请人 株式会社瑞萨科技

地址 日本东京都

[72] 发明人 日高秀人

[74] 专利代理机构 中国专利代理(香港)有限公司

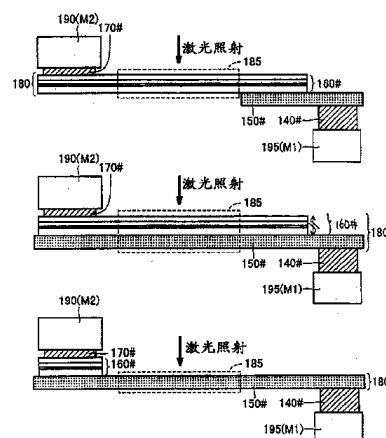
代理人 杨 凯 王忠忠

权利要求书 5 页 说明书 32 页 附图 15 页

[54] 发明名称 设有程序元件的薄膜磁性体存储装置

[57] 摘要

程序元件(180)设有,在第一与第二节点(190、195)之间电连接的磁性体层(160#)。磁性体层(160#)的至少一部分,构成设计成可通过来自外部的激光照射熔断的接线部(185)。磁性体层(160#)在与 MTJ 存储单元中的隧道磁电阻元件相同的层上以相同结构设置。磁性体层(160#)和第一与第二节点(190、195)之间的电接触结构,跟与 MTJ 存储单元中的隧道磁电阻元件和在与第一与第二节点(190、195)的各节点相同的金属布线层上设置的布线之间的电接触结构相同。



1. 一种薄膜磁性体存储装置，
其中设有，
5 可随机存取的多个磁存储单元，以及
固定地存储信息的程序元件；
所述多个磁存储单元各自包含多层结构的导电磁性体膜；
所述程序元件包含，在第一与第二节点之间电连接的、可通过外部输入熔断的接线部；
10 所述接线部由与构成所述导电磁性体膜的所述多层中的至少一层相同的层构成。
2. 如权利要求1所述的薄膜磁性体存储装置，其特征在于：
所述导电磁性体膜包含，
15 形成含磁隧道结的磁电阻元件的第一层，
形成用以将所述磁电阻元件与其它布线连接的通路接触塞的第二层，以及
形成用以将所述磁电阻元件与其它布线连接的引出布线的第三层；
20 所述接线部与所述第一层有相同的层。
3. 如权利要求1所述的薄膜磁性体存储装置，其特征在于：
所述导电磁性体膜包含，
形成含磁隧道结的磁电阻元件的第一层，
25 形成用以将所述磁电阻元件与其它布线连接的通路接触塞的第二层，以及
形成用以将所述磁电阻元件与其它布线连接的引出布线的第三层；

所述接线部与所述第三层有相同的层。

4. 如权利要求1所述的薄膜磁性体存储装置, 其特征在于:

- 所述第一与第二节点的各节点和所述接线部之间的电接触结构,
5 跟与所述第一与第二节点的各节点在同一布线层上设置的其它节点和
各所述磁存储单元之间的电接触结构相同。

5. 如权利要求4所述的薄膜磁性体存储装置, 其特征在于:

- 所述导电磁性体膜包含,
10 形成含磁隧道结的磁电阻元件的第一层,
形成用以将所述磁电阻元件与其它布线连接的通路接触塞的第二
层, 以及
形成用以将所述磁电阻元件与其它布线连接的引出布线的第三
层;
15 所述第一与第二节点的各节点和所述接线部之间的电接触结构,
与所述第一层有相同的层。

6. 如权利要求1所述的薄膜磁性体存储装置, 其特征在于:

- 所述接线部可通过来自外部的激光照射来熔断。

20

7. 一种薄膜磁性体存储装置,

其中设有,

可随机存取的多磁存储单元, 以及

固定地存储信息的程序电路;

- 25 所述多个磁存储单元各由含导电磁性体膜与绝缘膜的多层构成,
且包含其电阻按照磁性写入的数据改变的隧道磁电阻元件;

所述程序电路包含,

在第一与第二节点之间连接的、如所述隧道磁电阻元件那样由所

述多层构成的第一程序元件，

根据所述第一与第二节点之间的电阻将所述信息读出的放大部分，以及

5 按需在所述第一与第二节点之间施加可将构成所述第一程序元件的所述多层中的所述绝缘膜加以绝缘击穿的第一电压应力的第一击穿电压施加部分；

构成所述第一程序元件的所述多层的上层侧与下层侧，分别与所述第一与第二节点的一方与另一方电连接；

10 所述第一程序元件具有可通过第一外部输入熔断第一与第二节点之间的电连接部分中的至少一部分的形状。

8. 如权利要求7所述的薄膜磁性体存储装置，其特征在于：

所述第一外部输入是可在所述薄膜磁性体存储装置的封装工序前施加的激光照射；

15 所述第一电压应力在所述薄膜磁性体存储装置的所述封装工序后施加。

9. 如权利要求7所述的薄膜磁性体存储装置，其特征在于：

所述程序电路还包含，

20 在第三节点与所述第二节点之间连接的、如所述隧道磁电阻元件那样由所述多层构成的第二程序元件，以及

按需在所述第二与第三节点之间施加可将构成所述第二程序元件的所述多层中的所述绝缘膜加以绝缘击穿的第二电压应力的第二击穿电压施加部分；

25 构成所述第二程序元件的所述多层的上层侧与下层侧，分别与所述第二与第三节点的一方与另一方电连接；

所述第二程序元件具有可通过第二外部输入熔断在所述第二与第三节点之间电连接的部分中的至少一部分的形状；

所述放大部分根据对所述第一与第二节点之间的电阻和所述第二与第三节点间的电阻的比较, 读出所述信息。

10. 如权利要求 9 所述的薄膜磁性体存储装置, 其特征在于:

5 所述第一与第二外部输入是可在所述薄膜磁性体存储装置的封装工序前施加的激光照射;

 所述第一与第二电压应力在所述薄膜磁性体存储装置的所述封装工序后施加。

10 11. 一种薄膜磁性体存储装置,

 其中设有,

 可随机存取的多个磁存储单元, 以及

 固定地存储信息的程序电路;

 所述多个磁存储单元各由含导电磁性体膜与绝缘膜的多层构成,

15 且包含其电阻按照磁性写入的数据而改变的隧道磁电阻元件;

 所述程序电路包含,

 如所述隧道磁电阻元件那样由所述多层构成的第一程序元件,

 与所述第一程序元件和第一节点电连接的第一程序布线,

 向所述第一程序布线供给用以对所述第一程序元件以磁方式写入

20 数据的电流的第一电流驱动部分, 以及

 按照所述第一节点和第二节点之间的电阻将所述信息读出的放大部分;

 构成所述第一程序元件的所述多层的上层侧和下层侧, 分别与所述第一程序布线和所述第二节点的一方和另一方电连接;

25 所述第一程序布线具有可通过第一外部输入熔断所述第一程序元件和所述第一节点之间电连接的部分中的至少一部分的形状。

12. 如权利要求 11 所述的薄膜磁性体存储装置, 其特征在于:

所述第一外部输入包含来自外部的激光照射。

13. 如权利要求 11 所述的薄膜磁性体存储装置，其特征在于：

所述程序电路还包含，

- 5 如所述隧道磁电阻元件那样由所述多层构成的第二程序元件，
与所述第二程序元件和第三节点电连接的第二程序布线，以及
向所述第二程序布线供给用以对所述第二程序元件以磁方式写入
数据的电流的第二电流驱动部分；

- 构成所述第二程序元件的所述多层的上层侧与下层侧，分别与所
10 述第二程序布线和所述第二节点的一方和另一方电连接；

所述第二程序布线具有可通过第二外部输入熔断所述第二程序元
件和所述第三节点之间电连接的部分中的至少一部分的形状；

所述放大部分根据对所述第一与第二节点之间的电阻和所述第二
与第三节点之间的电阻的比较，读出所述信息。

15

14. 如权利要求 13 所述的薄膜磁性体存储装置，其特征在于：

所述第一与第二外部输入包含来自外部的激光照射。

20

设有程序元件的薄膜磁性体存储装置

5 技术领域

本发明涉及薄膜磁性体存储装置，特别是涉及设有含磁隧道结（MTJ: Magnetic Tunnel Junction）的存储单元以及设有用以固定地存储信息的程序元件的薄膜磁性体存储装置。

10 背景技术

作为能以低功耗进行非易失数据存储的存储装置，磁随机存储器件（MRAM 器件: Magnetic Random Access Memory Device）正在为人们所关注。MRAM 器件是一种采用半导体集成电路上形成的多个薄膜磁性体来进行非易失数据存储的、可对各薄膜磁性体进行随机存取的存储装置。

特别是，发表了通过以利用磁隧道结（MTJ）的薄膜磁性体构成的存储单元（以下，也称为“MTJ 存储单元”），使得 MRAM 器件的性能有了提高。这种 MTJ 存储单元根据由数据写入电流产生的磁场，按照写入数据的方向磁化而进行数据存储。关于这样的 MRAM 器件的公开文献，例如有“一种各单元采用磁隧道结与 FET 开关的 10ns 读写非易失存储阵列”（“A 10ns Read and Write Non - Volatile Memory Array Using a Magnetic Tunnel Junction and FET Switch in each Cell”，2000 IEEE ISSCC Digest of Technical Papers, TA7.2）。

另一方面，在存储装置上，一般设有用以固定存储冗余补救所需的信息或内部电压的调整信息等的、以熔丝元件为代表的程序元件。由于在 MRAM 器件中的各存储单元上能进行非易失的数据存储，所以，可用剩余的 MTJ 存储单元来构成这样的程序元件。

日本专利申请特开 2002 - 117684 号公报中，也公开了着眼于构成磁隧道结的绝缘膜，通过对该绝缘膜的绝缘击穿来对信息进行固

定编程的结构。

但是，利用剩余的 MTJ 存储单元来构成程序元件的场合，有可能在完成晶片加工后再经老化工序或封装工序等直至出厂的热处理加工中，存储在 MTJ 存储单元的数据会消失。

5 作为能更稳定地将信息存的程序元件，已知的是在晶片状态下用激光照射可熔断的熔丝元件。但是，由于与普通的存储器相比，MRAM 器件需要形成 MTJ 存储单元专用的成膜及加工工序，因此要求尽量减少除此以外的工序数。因此，制作熔丝元件时，最好也无需专用的制造工序。

10 并且，存储器的测试，每次在晶片状态或封装等状态下进行。因此，需要基于这些多个测试结果，累积地可对信息进行编程的程序元件。

发明内容

15 本发明的目的在于提供：设有无需专用的制造工序，以 MTJ 存储单元的制造工序可并行制造的程序元件，以及设有可利用该程序元件经多个工序累积地对信息进行编程的程序电路的薄膜磁性体存储装置。

20 依据本发明的薄膜磁性体存储装置设有可随机存取的多个磁存储单元和固定地存储信息的程序元件；多个磁存储单元各自含有多层结构的导电磁性体膜；程序元件中含有，在第一与第二节点之间电连接的、可通过外部输入来熔断的接线部（link portion），接线部由与构成导电磁性体膜的多层中的至少一层相同的层构成。

25 因此，本发明的主要优点在于：本发明的薄膜磁性体存储装置设有作为熔丝元件构成的程序元件，该熔丝元件利用与构成磁存储单元（MTJ 存储单元）的导电磁性体膜的至少一部分相同结构的部分，因此，无需设置程序元件专用的制造工序，能够在磁存储单元的制造工序中并行制造。结果，不会因增加制造工序而导致成本增

加，且能在薄膜磁性体存储装置内安装稳定的程序元件。

本发明另一结构的薄膜磁性体存储装置，设有可随机存取的多
个磁存储单元和固定地存储信息的程序电路。该多个磁存储单元各
自由含导电磁性体膜与绝缘膜的多层构成，且含有电阻按照磁性写
5 入的数据而改变的隧道磁电阻元件。程序电路中含有：在第一与第
二节点之间连接的、与隧道磁电阻元件一样由多层构成的第一程序
元件；按照第一与第二节点之间的电阻将信息读出的放大部分；以
及按需在第一与第二节点之间施加第一电压应力的第一击穿电压施
加部分，该第一电压应力可将构成第一程序元件的多层中的绝缘膜
10 绝缘击穿。构成第一程序元件的多层的上层侧与下层侧分别跟第一
与第二节点中的一方与另一方电连接。第一程序元件具有可通过第
一外部输入熔断第一与第二节点之间电连接的部分中的至少一部分
的形状。

这种薄膜磁性体存储装置，通过采用无需增加制造工序而制作
15 的程序元件的程序电路，能在封装工序的前后进行独立地对信息进
行编程。就是说，用激光照射对完成晶片加工后晶片状态下的基于
动作测试（operation test）结果的信息进行编程后，对于该工序以后
所得的信息也能用伴随绝缘击穿的外部电压的输入进行编程。结果，
例如，在晶片测试时，能对由老化后测试与封装后测试中分别检测
20 的不良，进行累积地编程，从而进行补救。

本发明又一结构的薄膜磁性体存储装置设有可随机存取的多
个磁存储单元和固定地存储信息的程序电路。多个磁存储单元各自
自由含导电磁性体膜与绝缘膜的多层构成，且含有其电阻按照磁性写
入的数据而改变的隧道磁电阻元件。程序电路中含有：与隧道磁电
25 阻元件一样由多层构成的第一程序元件；与第一程序元件与第一节点
电连接的第一程序布线；向第一程序布线供给用以对第一程序元件
以磁的方式将数据写入的电流的第一电流驱动部分；以及按照第一
节点与第二节点之间的电阻将信息读出的放大部分。构成第一程序

元件的多层的上层与下层分别与第一程序布线与第二节点的一方与另一方电连接。第一程序布线具有可通过第一外部输入熔断上述第一程序元件与上述第一节点之间电连接的部分中的至少一部分的形状。

- 5 这样的薄膜磁性体存储装置，通过采用可无需增加制造工序而制作的程序元件的程序电路，在用激光照射熔断的前后，可分别独立地进行信息的编程。从而，根据磁性写入对基于晶片状态下的动作测试结果的信息进行编程后，实际上无需进行激光熔断，就能测试是否根据该信息的编程进行所要的操作。而且，能够随着激光熔断稳定地存储已确定的程序信息。
- 10

对于本发明上述的以及其它的目的、特征、形态及优点，通过以下的参照附图理解的关于本发明的详细说明，会有更加清晰的了解。

15 附图说明

图 1 是表示本发明实施例的 MRAM 器件的整体结构的方框图。

图 2 是表示图 1 所示的存储阵列结构的电路图。

图 3 是说明 MTJ 存储单元的结构与数据存储原理的示图。

- 图 4 是表示 MTJ 存储单元的数据写入电流和隧道磁电阻元件的磁化方向之间的关系关系的示图。
- 20

图 5 是表示 MTJ 存储单元的结构剖视图。

图 6 是表示隧道磁性体层的结构例的剖视图。

图 7 是用以说明图 1 与图 2 所示的 MRAM 器件上的置换补救的数据读出操作与数据写入操作时的工作波形图。

- 图 8 是表示作为实施例 1 的程序元件的应用例示出的、冗余控制部件结构的电路图。
- 25

图 9A ~ 图 9C 是实施例 1 的程序元件的第一结构例的示图。

图 10A ~ 图 10C 是实施例 1 的程序元件的第二结构例的示图。

图 11A~图 11C 是实施例 1 的程序元件的第三结构例的示图。

图 12 是表示实施例 2 的冗余控制部件结构的电路图。

图 13 是表示实施例 2 的程序电路结构的电路图。

图 14 是图 13 所示的程序电路中的程序元件的配置图。

5 图 15 是说明对实施例 2 的程序电路的程序输入的施加期间的流程图。

图 16 是实施例 3 的程序元件的结构例的示图。

图 17 是表示对实施例 3 的程序单元的程序字线 PWL 与程序位线配置的示图。

10 图 18 是表示对程序单元进行数据写入时的电流供给结构的电路图。

图 19 是说明实施例 3 的程序电路结构的电路图。

具体实施方式

15 以下，参照附图对本发明的实施例进行详细说明。

实施例 1

参照图 1，本发明实施例 1 的 MRAM 器件 1，按照来自外部的控制信号 CMD 与地址信号 ADD 进行随机存取，且进行写入数据 DIN 的输入与读出数据 DOUT 的输出。在 MRAM 器件 1 中的数据读出操作与数据写入操作，例如，以来自外部的时钟信号 CLK 同步的定时进行。或者，不接受外部的时钟信号 CLK，而在内部决定操作定时。

20

MRAM 器件 1 设有：接受地址信号 ADD 的输入的地址端子 2，接受控制信号 CMD 与时钟信号 CLK 的输入的控制信号端子 3，接受程序动作时被激活的控制信号 PRG 的输入的信号端子 4a，响应控制信号 CMD 与时钟信号 CLK 而控制 MRAM 器件 1 的整体动作的控制电路 5，以及含有矩阵状布置的多个 MTJ 存储单元的存储阵列 10。

25

对于存储阵列 10 的结构，在后面进行详细说明。存储阵列 10 中含有：可通过地址信号 ADD 对其进行随机存取的、矩阵状布置的

多个标准 MTJ 存储单元（以下，也称为“标准存储单元”）和用以补救发生损坏的标准存储单元（以下，也称为“不良存储单元”）的备用存储单元（未图示）。

5 标准存储单元的损坏补救，通过以预定的冗余补救分区为单位的置换来进行。用备用存储单元构成各自用以置换含有不良存储单元的冗余补救分区的多个冗余电路（未图示）。一般，冗余补救分区的设定以存储单元行、存储单元列或数据 I/O 线为单位。在这些场合，各冗余电路分别相当于与备用行、备用列或备用 I/O 线对应的备用块。详细内容在后面说明，但本实施例中，标准存储单元的损坏
10 补救是以存储单元列为单位进行。

对应于 MTJ 存储单元的行（以下，简称为“存储单元行”）布置多条写入字线 WWL 与读出字线 RWL。并且，对应于 MTJ 存储单元列（以下，简称为“存储单元列”）布置位线 BL 与/BL。

15 MRAM 器件 1 还包括：行解码器 20、列解码器 25、字线驱动器 30 及读出/写入控制电路 50、60。

行解码器 20 按照由地址信号 ADD 表示的行地址 RA，执行存储阵列 10 中的行选择。列解码器 25 按照由地址信号 ADD 表示的列地址 CA，执行存储阵列 10 中的列选择。字线驱动器 30 基于行解码器 20 的行选择结果，有选择地激活读出字线 RWL 或写入字线 WWL。
20 行地址 RA 与列地址 CA 示出被选择为数据读出或数据写入对象选的存储单元（以下，也称为“选择存储单元”）。

写入字线 WWL 在中间夹着存储阵列 10 而与字线驱动器 30 的布置区域相对的区域 40 上，与预定电压（典型的为接地电压）Vss 连接。读出/写入控制电路 50、60 是数据读出与数据写入时，为使数
25 据写入电流与读出电流（数据读出电流）流过的选择存储单元对应的存储单元列（以下，也称为“选择列”）的位线 BL 与/BL 而布置在与存储阵列 10 邻接的区域上的电路群的总称。

MRAM 器件 1 中还设有冗余程序电路 100。冗余程序电路 100

含有可由来自外部的激光照射熔断的程序元件，通过该程序元件，固定地存储与表示不良存储单元存在的存储单元列（以下，也称为“不良列”）的列地址相当的不良地址。如后述说明的那样，本实施例的程序元件无需专用的制造工序，能以形成 MTJ 存储单元的工序并行制造。

冗余程序电路 100 在通常工作时，通过比较列地址 CA 和存储的不良地址来判断不良列是否作为数据读出或数据写入的对象被选中。

由列地址 CA 选中不良列时，冗余程序电路 100 指示对由备用存储单元构成的冗余电路的存取，同时对列解码器 25 指示对由列地址 CA 表示的存储单元列停止存取。从而，取代由列地址 CA 表示的存储单元列，而进行以冗余电路为对象的数据读出或数据写入。

另一方面，当列地址 CA 不与不良地址对应时，用列解码器 25 进行通常的列选择操作，选择由列地址 CA 表示的存储单元列，进行数据读出或数据写入。

接着，就 MRAM 器件 1 的冗余结构进行说明。

参照图 2，存储阵列 10 中含有 n 行 $\times$ m 列（ n 、 m ：自然数）排列的标准存储单元 MC 和 k 个（ k ：自然数）冗余电路 RD1 ~ RDk。本实施例中，由于以存储单元列为单位进行置换补救，各冗余电路 RD1 ~ RDk 相当于备用列。另外，下面，将冗余电路 RD1 ~ RDk 统称为冗余电路 RD。

整体上看，存储阵列 10 中，具有相同结构的 MTJ 存储单元在 n 个存储单元行与 $(m + k)$ 个存储单元列的范围配置。

另外，下面将由标准存储单元构成的存储单元列称为“标准存储单元列”，将分别对应于冗余电路 RD1 ~ RDk 的备用存储单元的存储单元列称为“备用列”。

分别对应于存储单元行，布置读出字线 RWL1 ~ RWLn 与写入字线 WWL1 ~ WWLn。分别对应于标准存储单元列布置位线对

BLP1 ~ BLPm。各位线对由两条互补的位线构成。例如，位线对 BLP1 是由位线 BL1 与 /BL1 构成。

分别对应于备用存储单元列，布置备用位线对 SBLP1 ~ SBLPk。各备用位线对与位线对一样由两条互补的位线构成。例如，备用位线对 SBLP1 由备用位线 SBL1 与 /SBL1 构成。

下面，在概括地表现各写入字线、读出字线、位线对、位线、备用位线对及备用位线时，分别采用符号 WWL、RWL、BLP、BL (/BL)、SBLP 与 SBL (/SBL) 表示；在表示特定的写入字线、读出字线、位线对、位线、备用位线对及备用位线时，在这些符号后附加数字，如以 WWL1、RWL1、BLP1、BL1 (/BL1)、SBLP1 及 SBL1 (/SBL1) 表示。

并且，数据、信号及信号线的高电压状态（电源电压 Vcc1、Vcc2）与低电压状态（接地电压 Vss）分别称为“H 电平”与“L 电平”。

MTJ 存储单元（也就是标准存储单元 MC 与备用存储单元 SMC）分别设有：串联连接的、电阻按照存储数据的电平而变化的隧道磁电阻元件 TMR 与作为存取门起作用的存取晶体管 ATR。

接着采用图 3，说明 MTJ 存储单元结构与数据存储原理。

参照图 3，隧道磁电阻元件 TMR 设有：具有被固定的定磁化方向的磁性体层（以下，简称为“固定磁化层”）FL 和按照来自外部的施加磁场的方向磁化的强磁性体层（以下，简称为“自由磁化层”）VL。在固定磁化层 FL 与自由磁化层 VL 之间，设有由绝缘膜形成的隧道阻挡层（隧道膜）TB。自由磁化层 VL 按照写入的存储数据的电平，沿固定磁化层 FL 的同方向或沿固定磁化层 FL 的反方向被磁化。固定磁化层 FL、隧道阻挡层 TB 与自由磁化层 VL 构成磁隧道结。

隧道磁电阻元件 TMR 的电阻按照固定磁化层 FL 与自由磁化层 VL 的磁化方向的相对关系而发生变化。具体而言，隧道磁电阻元件 TMR 的电阻，在固定磁化层 FL 的磁化方向与自由磁化层 VL 的磁化

方向相同（平行）时成为最小值 $R_{\min}$ ，当两者的磁化方向为相反（反平行）方向时成为最大值 $R_{\max}$ 。

数据写入时，读出字线 RWL 被去激活，存取晶体管 ATR 截止。这种状态下，用以磁化自由磁化层 VL 的数据写入磁场 $H(BL)$ 与 $H(WWL)$ ，分别由流过位线 BL 与写入字线 WWL 的数据写入电
5 流产生。特别是，位线 BL 上的数据写入电流，按照写入数据的电平，沿 $+I_w$ 与 $-I_w$ 中的一个方向流入。

图 4 是表示 MTJ 存储单元的数据写入电流和隧道磁电阻元件的磁化方向之间的关系的示意图。

10 参照图 4，横轴 $H(EA)$ 表示在隧道磁电阻元件 TMR 内的自由磁化层 VL 上沿易磁化轴（EA: Easy Axis）方向施加的磁场。另一方面，纵轴 $H(HA)$ 表示在自由磁化层 VL 上沿难磁化轴（HA: Hard Axis）方向作用的磁场。磁场 $H(EA)$ 与 $H(HA)$ 分别对应于图 3 所示的数据写入磁场 $H(BL)$ 与 $H(WWL)$ 。

15 在 MTJ 存储单元中，固定磁化层 FL 的固定磁化方向沿着自由磁化层 VL 的易磁化轴，自由磁化层 VL 按照存储数据的电平，沿易磁化轴方向，与固定磁化层 FL 平行或反平行（相反）方向磁化。MTJ 存储单元对应于自由磁化层 VL 的两个磁化方向，可存储 1 位的数据。

自由磁化层 VL 的磁化方向仅对施加的磁场 $H(EA)$ 与 $H(HA)$ 之和达到图 4 所示的星形特性曲线的外侧区域上时才能被改写。就
20 是说，施加的数据写入磁场为相当于星形特性曲线内侧区域的强度时，自由磁化层 VL 的磁化方向不改变。

如星形特性曲线所示，可通过对自由磁化层 VL 施加沿难磁化轴方向的磁场来降低改变沿易磁化轴的磁化方向所需的磁化阈值。如
25 图 4 所示，设计数据写入时的动作点，使得写入字线 WWL 和位线 BL 上均流入预定的数据写入电流时，改写 MTJ 存储单元的存储数据，即隧道磁电阻元件 TMR 的磁化方向。

图 4 中例示的动作点上，在作为数据写入对象的 MTJ 存储单元

中，易磁化轴方向的数据写入磁场的设计强度成为 H_{WR} 。就是说，设计流过位线 BL 或写入字线 WWL 的数据写入电流的值，得到该数据写入磁场 H_{WR} 。一般，数据写入磁场 H_{WR} 是由切换磁化方向所需的开关磁场 H_{SW} 和余量 ΔH 之和表示。就是说， $H_{WR} = H_{SW} + \Delta H$ 。

5 暂且写入隧道磁电阻元件 TMR 的磁化方向即 MTJ 存储单元的存储数据被非易失地保存，直到新的数据被写入为止。严格地说，各存储单元的电阻是隧道磁电阻元件 TMR、存取晶体管 ATR 的通态电阻以及其它寄生电阻之和，但由于隧道磁电阻元件 TMR 外的电阻不依赖存储数据而保持一定，下面，对于按照存储数据的两种标准
10 存储单元的电阻也用 R_{max} 与 R_{min} 表示，且将两者之差用 ΔR （即， $\Delta R = R_{max} - R_{min}$ ）表示。

数据读出时，通过位线 BL 探测由导通存取晶体管 ATR 所生成的隧道磁电阻元件 TMR 的通过电流，从而，能读出选择存储单元的电阻电平，即存储数据电平。

15 图 5 是表示 MTJ 存储单元结构的剖视图。

参照图 5，MTJ 存储单元含有：在半导体衬底 SUB 上形成的存取晶体管 ATR 和导电磁性体膜 105。

存取晶体管 ATR 含有作为半导体衬底 SUB 上的掺杂区 110、120 而形成的源极与漏极。作为存取晶体管 ATR，一般采用在半导体衬
20 底上形成的场效应晶体管即 MOS 晶体管。

掺杂区 110 与接地电压 V_{SS} 连接，起源极作用。并且，掺杂区 120 经由金属布线层 M1 中设置的金属布线 135 和接触孔中设置的通路接触塞 140 与导电磁性体膜 105 电连接，起漏极作用。

读出字线 RWL 是用以控制存取晶体管 ATR 的栅电压而设置的，
25 无需主动地使电流流过。因此，基于提高集成度的考虑，读出字线 RWL 无需另设独立的金属布线层，在与栅极 130 同层的布线层上，采用多晶硅层或多晶硅硅化物（polyside）结构等形成。另一方面，必须使数据写入电流流过的写入字线 WWL 与位线 BL 分别用金属布线层

M1 与 M2 形成。

导电磁性体膜 105 中有：叠层而成的连接线 150、相当于隧道磁电阻元件 TMR 的隧道磁性体层 160 和通路接触塞 170。连接线 150 为电连接隧道磁性体层 160 和通路接触塞 140 而设置。通路接触塞 170 电连接在隧道磁性体层 160 与位线 BL 之间。连接线 150 与通路接触塞 170 由金属膜构成。

参照图 6, 隧道磁性体层 160 中有：作为基底层 161 而设置的 NiFe 膜与 Ta 膜；由 IrMn 膜形成的反铁磁性层 162；由 CoFe 膜形成的磁性体层 163 与 165；夹于磁性体层 163 与 165 之间的绝缘层 164 (AlOx)；由 NiFe 膜形成的磁性体层 166；以及由 Ta 膜形成的保护层 167。

磁性体层 163 相当于图 3 中的固定磁化层 FL，且磁性体层 165、166 相当于图 3 中的自由磁化层 VL，而绝缘层 164 相当于图 3 中的隧道阻挡层 TB。另外，图中括号内例示各层的典型厚度。

再参照图 2，对存储阵列的结构进行详细说明。

标准存储单元 MC 在每一行上与位线 BL 与 /BL 之一连接。例如，对属于第一存储单元列的标准存储单元进行说明，第一行的标准存储单元与位线 /BL1 连接，第二行的标准存储单元与位线 BL1 连接。以下同样地，标准存储单元与备用存储单元各自在奇数行上与一方的位线 /BL1 ~ /BLm 连接，在偶数行上与另一方的位线 BL1 ~ BLm 连接。同样地，备用存储单元 SMC 在奇数行上与备用位线 /SBL1 ~ /SBLk 连接，在偶数行上与备用位线 SBL1 ~ SBLk 连接。

存储阵列 10 还包括分别与位线 BL1、/BL1 ~ BLm、/BLm 及备用位线 SBL1、/SBL1 ~ SBLk、/SBLk 连接的多个伪存储单元 DMC。

各伪存储单元 DMC 中有：伪电阻元件 TMRd 与伪存取元件 ATRd。伪电阻元件 TMRd 与伪存取元件 ATRd 的电阻之和 Rd 设定为分别对应 MTJ 存储单元 MC 的存储数据的 H 电平与 L 电平的电阻 Rmax 与 Rmin 的中间值，即 $R_{\max} > R_d > R_{\min}$ 。伪存取元件 ATRd

与 MTJ 存储单元的存取元件一样，一般由场效应晶体管构成。因此，下面，将伪存取元件也称为伪存取晶体管 ATRd。

5 伪存储单元 DMC 对应于伪读出字线 DRWL1 与 DRWL2 中的一方，以 2 行 $\times$ (m+k) 列布置。对应伪读出字线 DRWL1 的伪存储单元，分别与位线 BL1~BLm 及备用位线 SBL1~SBLk 连接。另一方面，对应于伪读出字线 DRWL2 的剩下的伪存储单元，分别与位线 /BL1~ /BLm 及备用位线 /SBL1~ /SBLk 连接。下面，将伪读出字线 DRWL1 与 DRWL2 统称为伪读出字线 DRWL。

10 而且，分别对应于伪存储单元的行，布置伪写入字线 DWWL1、DWWL2。另外，按照伪电阻元件 TMRd 的结构，无需设置伪写入字线，但为了确保存储阵列上的形状的连续性且避免制造工艺的复杂性，设有与写入字线 WWL 相同设计的伪写入字线 DWWL1、DWWL2。

15 数据读出时，字线驱动器 30 根据行选择结果，将各读出字线 RWL 与伪读出字线 DRWL1、DRWL2 有选择地激活至 H 电平（电源电压 Vcc1）。具体而言，选中奇数行，且与选择行的标准存储单元、备用存储单元、位线 /BL1~ /BLm 及备用位线 /SBL1~ /SBLk 连接时，伪读出字线 DRWL1 被进一步激活，使伪存储单元群跟位线 BL1~ BLm 与备用位线 SBL1~ SBLk 连接。当偶数行被选中时，除了选择行的读出字线外，伪读出字线 DRWL2 也被激活。

20 字线驱动器 30 在数据写入时，将选择行的写入字线 WWL 的一端与电源电压 Vcc2 连接。因此，在选择行的写入字线 WWL 上，能使行方向的数据写入电流 Ip 沿字线驱动器 30 到区域 40 的方向流过。另一方面，非选择行的写入字线根据字线驱动器 30，与接地电压 Vss 连接。

25 分别对应于存储单元列，设置用以进行列选择的列选择线 CSL1~CSLm。列解码器 25 根据列地址 CA 的解码结果即列选择结果，分别在数据写入与数据读出时，将列选择线 CSL1~CSLm 中的

一条激活至选择状态（H 电平）。

而且，分别对应于备用存储单元列，设置备用列选择线 SCSL1 ~ SCSLk。备用列驱动器 SCV1 ~ SCVk 分别响应来自冗余程序电路 100 的备用使能信号 SE1 ~ SEk，将对应的备用列选择线激活至选择状态（H 电平）。关于备用使能信号 SE1 ~ SEk 的生成，在后面详细说明。

而且，设有用以传送读出数据与写入数据的数据总线对 DBP。数据总线对 DBP 包含彼此互补的数据总线 DB 与 /DB。

读出/写入控制电路 50 中有：数据写入电路 51W、数据读出电路 51R、分别对应于存储单元列设置的列选择门 CSG1 ~ CSGm 及分别对应备用存储单元列设置的备用列选择门 SCSG1 ~ SCSGk。

下面，列选择线 CSL1 ~ CSLm、备用列选择线 SCSL1 ~ SCSLk、列选择门 CSG1 ~ CSGm 及备用列选择门 SCSG1 ~ SCSGk，分别统称为列选择线 CSL、备用列选择线 SCSL、列选择门 CSG 及备用列选择门 SCSG。

各列选择门 CSG 中有：在数据总线 DB 和对应的位线 BL 之间电连接的晶体管开关和在数据总线 /DB 和对应的位线 /BL 之间电连接的晶体管开关。这些晶体管开关按照对应的列选择线 CSL 的电压而导通/截止。就是说，当对应的列选择线 CSL 激活至选择状态（H 电平）时，各列选择门 CSG 将数据总线 DB、/DB 分别与对应的位线 BL、/BL 电连接。

各备用列选择门 SCSG 具有与列选择门 CSG 相同的结构，在对应的备用列选择线 SCSL 被激活至选择状态（H 电平）时，分别将对应的备用位线 SBL、/SBL 与数据总线 DB、/DB 电连接。

读出/写入控制电路 60 中设有：分别对应于存储单元列设置的短路开关晶体管 62-1 ~ 62-m、62-s1 ~ 62-sk 及控制门 66-1 ~ 66-m、66-s1 ~ 66-sk。读出/写入控制电路 60 中还有：分别设置在位线 BL1、/BL1 ~ BLm、/BLm 及备用位线 SBL1、/SBL1 ~ SBLk、/SBLk 和接地电压 Vss 之间的预充电晶体管 64-1a、64-1b ~ 64-ma、64

-mb 及 64-s1a、64-s1b~64-ska、64-skb。

下面，将短路开关晶体管 62-1~62-m、62-s1~62-sk、预充电晶体管 64-1a、64-1b~64-ma、64-mb 及 64-s1a、64-s1b~64-ska、64-skb 以及控制门 66-1~66-m、66-s1~66-sk 分别
5 统称为短路开关晶体管 62、预充电晶体管 64 及控制门 66。

各控制门 66 输出对应的列选择线 CSL 或备用列选择线 SCSL 与控制信号 WE 的 AND 逻辑运算结果。因此，在进行数据写入操作时，在对应于列地址 CA 的选择列或备用列上，控制门 66 的输出被有选择地激活至 H 电平。

10 短路开关晶体管 62 分别响应对应的控制门 66 的输出而导通/截止。因此，在进行数据写入操作时，在对应于列地址 CA 的选择列或备用列中，位线 BL、/BL 或备用位线 SBL、/SBL 的一端之间由短路开关晶体管 62 电连接。

各预充电晶体管 64 响应位线预充电信号 BLPR 的激活而导通，
15 从而分别使位线 BL1、/BL1~BLm、/BLm 及备用位线 SBL1、/SBL1~SBLk、/SBLk 预充电至接地电压 Vss。由控制电路 5 生成的位线预充电信号 BLPR 在 MRAM 器件 1 的激活期间，至少在进行数据读出之前的预定期间被激活至 H 电平。另一方面，在 MRAM 器件 1 的激活期间的进行数据读出操作时与数据写入操作时，位线预充电信号
20 BLPR 被去激活至 L 电平，预充电晶体管 64 截止。

接着，对 MRAM 器件 1 中的列选择操作进行说明。如上述说明，列选择操作包含用以置换补救不良列的冗余控制。

冗余程序电路 100 中有：分别对应于冗余电路（备用列）RD1~RDk 设置的多个冗余控制部件 RPU(1)~RPU(k)。冗余控制部件 RPU(1)~RPU(k) 能够各自在内部存储不良地址 FAD1~FADk。
25 第 i 冗余控制部件 RPU(i) 判断表示选择列的 h 位（h：自然数）的列地址 CA 与被编程的不良地址 FADi 是否一致。关于冗余控制部件 RPU(i) 的结构与它所包含的程序元件的结构，在后面详细说明。

冗余控制部件 RPU (i) 固定地存储不良地址 FAD_i, 并在若列地址 CA 和对应的不良地址 FAD_i 一致时, 将对应的备用使能信号 SE_i 激活至 H 电平。当列地址 CA 与不良地址 FAD₁ ~ FAD_k 中的任何一个都不一致时, 标准使能信号 NE 被激活至 H 电平。

5 列解码器 25 在标准使能信号 NE 激活至 H 电平时, 激活对应于列地址 CA 的一条列选择线 CSL。响应这种情况, 进行对标准存储单元的存取。

10 另一方面, 标准使能信号 NE 被去激活至 L 电平时, 即列地址 CA 与任何不良地址 FAD 都不一致时, 列解码器 25 将对应于标准存储单元的各列选择线 CSL₁ ~ CSL_m 去激活。另一方面, 响应备用使能信号 SE₁ ~ SE_k 中的任一个激活, 备用列选择线 SCSL₁ ~ SCSL_k 中的一条被激活。从而, 代替对标准存储单元的存取, 进行对备用存储单元的存取。

15 图 7 是用以说明 MRAM 器件 1 中的置换补救的数据读出操作与数据写入操作时的工作波形图。

20 首先, 就数据写入时的工作过程进行说明。字线驱动器 30 根据行解码器 20 的行选择结果, 激活对应于选择行的写入字线 WWL, 与电源电压 V_{cc2} 连接。由于各写入字线 WWL 的一端在区域 40 中与接地电压 V_{ss} 连接, 使得选择行的写入字线 WWL 上, 流入字线驱动器 30 朝区域 40 方向的数据写入电流 I_p。另一方面, 由于在非选择行上, 写入字线 WWL 被维持在去激活态 (L 电平: 接地电压 V_{ss}), 因此无数据写入电流流过。

25 当列地址 CA 与不良地址 FAD₁ ~ FAD_k 中的任何一个都不一致时, 与列地址 CA 对应的选择列的列选择线 CSL 被激活至选择状态 (H 电平), 选择列的位线 BL 与 /BL 的各一端分别与数据总线 DB 与 /DB 连接。进而, 对应的短路开关晶体管 62 (图 2) 导通, 且选择列的位线 BL 与 /BL 的另一端 (列选择门 CSG 的对侧) 之间被短路。

另一方面, 当列地址 CA 与不良地址 FAD₁ ~ FAD_k 中的任一个

地址一致时，对应的备用列选择线 SCSL 被激活至选择状态（H 电平），取代选择列的位线 BL 与 /BL，对应的备用位线 SBL 与 /SBL 的各一端分别与数据总线 DB 与 /DB 连接。进而，对应的短路开关晶体管 62（图 2）导通，且对应的备用位线 SBL 与 /SBL 的另一端（备用列选择门 SCSG 的对侧）之间被短路。

数据写入电路 51W 将数据总线 DB 与 /DB 设定于电源电压 V_{cc2} 与接地电压 V_{ss} 中的一方与另一方。例如，当写入数据 DIN 的数据电平为 L 电平时，使数据总线 DB 上流入用以写入 L 电平数据的数据写入电流 $-I_w$ 。数据写入电流 $-I_w$ 通过列选择门 CSG 或备用列选择门 SCSG，供给选择列的位线 BL 或对应的备用位线 SBL。

流过选择列的位线 BL 或对应的备用位线 SBL 的数据写入电流 $-I_w$ ，通过短路开关晶体管 62 返回。从而，另一方的位线 /BL 或备用位线 /SBL 上，流过反方向的数据写入电流 $+I_w$ 。流过位线 /BL 或备用位线 /SBL 的数据写入电流 $+I_w$ ，通过列选择门 CSG 或备用列选择门 SCSG 传到数据总线 /DB。

当写入数据 DIN 的数据电平为 H 电平时，通过更换数据总线 DB 与 /DB 的电压设定来使反向的数据写入电流流过选择列的位线 BL、/BL 或对应的备用位线 SBL、/SBL。

从而，当列地址 CA 与不良地址 FAD1 ~ FADk 的任意一个地址都不一致时，对于对应的写入字线 WWL 与位线 BL（/BL）上均流过数据写入电流的标准存储单元（选择存储单元），执行数据写入。另一方面，当列地址 CA 与不良地址 FAD 的任意一个地址一致时，对于对应的写入字线 WWL 与备用位线 SBL（/SBL）上均流过数据写入电流的备用存储单元，执行数据写入。

数据写入时，读出字线 RWL 维持在非选择状态（L 电平）。并且，数据写入时也将位线预充电信号 BLPR 激活至 H 电平，从而，数据写入时的位线 BL 与 /BL 的电压设定至相当于数据读出时的预充电电压电平的接地电压 V_{ss} 。这样，使对应于非选择列的位线 BL、/BL

与备用位线 SBL、/SBL 的数据写入后的电压与数据读出时的预充电电压一致，从而，将不需要在数据读出前进行新的预充电操作，且可提高数据读出操作的速度。

接着，对数据读出操作进行说明。

- 5 数据读出时，字线驱动器 30 根据行解码器 20 的行选择结果，将对应于选择行的读出字线 RWL 激活至 H 电平。在非选择行上，读出字线 RWL 的电压电平维持在非激活态（L 电平）。

如开始数据读出，且选择行的读出字线 RWL 激活至 H 电平，且对应的存取晶体管 ATR 导通时，对应于选择行的标准存储单元与
10 备用存储单元，经由存取晶体管 ATR，在位线 BL、/BL、备用位线 SBL、/SBL 和接地电压 V_{SS} 之间电连接。

数据读出电路 51R 将各数据总线 DB 与 /DB 上拉至电源电压 V_{cc1} ，供给一定的读出电流 I_s 。

- 而且，与数据写入时一样，按照列地址 CA，选择列的列选择线
15 CSL 或对应的备用列选择线 SCSL 被激活至选择状态（H 电平）。

当列地址 CA 与不良地址 $FAD1 \sim FADk$ 的任意一个地址都不一致时，读出电流 I_s 经由数据总线 DB(/DB)与选择列的位线 BL(/BL)，通过选择存储单元（标准存储单元）的隧道磁电阻元件 TMR。从而，在选择列的位线 BL 与 /BL 的一方与数据总线 DB、/DB 的一方，发
20 生按照选择存储单元的电阻（ R_{max} 、 R_{min} ）即存储数据的电平的电压变化。同样地，在选择列的位线 BL、/BL 的另一方与数据总线 DB、/DB 的另一方，发生按照伪存储单元 DMC 的电阻 R_d 的电压变化。

例如，选择存储单元的存储数据电平为“1”（电阻 R_{max} ）时，与选择存储单元连接的位线 BL 与 /BL 的一方上，生成与伪存储单元
25 DMC 连接的位线 BL 与 /BL 的另一方上生成的电压变化 ΔV_m 更大的电压变化 ΔV_1 （ $\Delta V_1 > \Delta V_m$ ）。同样在数据总线 DB、/DB 上也发生电压变化 ΔV_{b1} 与 ΔV_{bm} （ $\Delta V_{bm} > \Delta V_{b1}$ ）。由数据读出电路 51R 探测放大如此产生的数据总线 DB 与 /DB 之间的电压差，能将选择存

储单元的存储数据作为读出数据 DOUT 输出。

另一方面，当列地址 CA 与不良地址 FAD1 ~ FADk 中的任意一个地址一致时，读出电流 I_s 经由数据总线 DB (/DB) 与备用位线 SBL (/SBL)，通过备用存储单元。从而，在备用位线 SBL 与 /SBL 的一方与数据总线 DB、/DB 一方，发生按照备用存储单元的电阻 ($R_{\max}$ 、 $R_{\min}$) 即存储数据的电平的电压变化。在备用位线 SBL、/SBL 的另一方与数据总线 DB、/DB 的另一方，与标准存储单元存取时的一样，发生按照伪存储单元 DMC 的电阻 R_d 的电压变化。

这样，由列地址 CA 选中不良列时，也能在对应的冗余电路（备用列）的备用存储单元上存取，正常地进行数据写入与数据读出。因此，可用相当于冗余电路的备用列，对不良存储单元以存储单元列为单位进行置换补救。

并且，由于将位线 BL、/BL 与备用位线 SBL、/SBL 的预充电电压设为接地电压 V_{ss} ，在非选择列的位线 BL、/BL 与备用位线 SBL、/SBL 上，不会发生经由响应选择行的读出字线 RWL 的激活而导通的存取晶体管的放电电流。结果，能够减少预充电操作时的位线与子位线的充放电造成的电力损耗。

另外，数据写入电路 51W 的工作电源电压即 V_{cc2} 设定为高于数据读出电路 51R 的工作电源电压即 V_{cc1} 。这是由于数据写入时，用以磁化选择存储单元的隧道磁电阻元件 TMR 所需的数据写入电流 I_p 、 $\pm I_w$ 大于数据读出所需的读出电流 I_s 。例如，如果采用这样的电源结构，即采用直接从 MRAM 器件 1 的外部供给的外部电源电压作为电源电压 V_{cc2} ，再用降压电路（未图示）使该外部电源电压降低来形成电源电压 V_{cc1} ，就能高效率地提供上述的电源电压 V_{cc1} 与 V_{cc2} 。

接着，就实施例 1 的程序元件的结构进行详细说明。

图 8 是表示图 2 所示的冗余控制部件 RPU (i) 结构的电路图。冗余控制部件 RPU (i) 作为实施例 1 的程序元件的应用例示出。

参照图 8, 冗余控制部件 RPU (i) 用 $2 \cdot h$ 个程序元件 180 固定地存储 h 位的不良地址 FADi, 同时, 进行被输入的列地址 CA 和不良地址 FADi 的一致性比较。列地址 CA 由地址位 A1 ~ Ah 构成。

冗余控制部件 RPU 中设有: 在节点 N1 和接地电压 V_{ss} 之间, 通过程序元件 180 电连接的 $2 \cdot h$ 个 N-MOS 晶体管 NT (1)、/NT (1) ~ NT (h)、/NT (h)。N-MOS 晶体管 NT (1) 的栅极上输入地址位 A1, N-MOS 晶体管 /NT (1) 的栅极上输入地址位 A1 的反相位 /A1。后面, 晶体管 NT (2) ~ NT (h) 及 /NT (2) ~ /NT (h) 的各栅极上也分别输入地址位 A2 ~ Ah 及其反相位 /A2 ~ /Ah。

分别对应地址位 A1 ~ Ah 及其反相位 /A1 ~ /Ah 设置的程序元件 180, 对应于不良地址 FADi 的各个位被有选择地熔断 (烧断)。

冗余控制部件 RPU (i) 中还有: 在电源电压 V_{cc1} 与节点 N1 之间并联连接的 P-MOS 晶体管 201、202、倒相器 204 与信号驱动器 205。P-MOS 晶体管 201 的栅极上输入预充电信号 PC, 倒相器 204 将节点 N1 的电压电平反相, 输入到 P-MOS 晶体管 202 的栅极。信号驱动器 205 按照节点 N1 的电压电平, 生成备用使能信号 SEi。

在 MRAM 器件 1 的各地址输入周期之前, 预充电信号 PC 设定为 L 电平, 节点 N1 预充电至电源电压 V_{cc1} 。当地址输入周期开始时, 预充电信号 PC 设定至 H 电平, 晶体管 201 与 202 截止, 且节点 N1 被与电源电压 V_{cc1} 切断。在这种状态下, 按照输入地址, 地址位 A1 ~ Ah 及其反相位 /A1 ~ /Ah 分别向 N-MOS 晶体管 NT (1) ~ NT (h) 与 /NT (1) ~ /NT (h) 的各栅极输入。

结果, 仅在输入的列地址 CA 与不良地址 FADi 之间的全部位完全一致时, 节点 N1 的电压维持在预充电电平即电源电压 V_{cc1} , 其它场合, 即输入地址和不良地址不一致时, 节点 N1 和接地电压 V_{ss} 之间至少形成一个电流通路, 节点 N1 被下拉至接地电压 V_{ss} 。

因此, 信号驱动器 205 生成的备用使能信号 SEi, 在不良地址 FADi 与列地址 CA 一致时设定至 H 电平, 当两者不一致时成为 L 电平。

接着,说明实施例1的程序元件的结构例。

参照图9A,实施例1的程序元件180设有:在金属布线层M2上形成的节点190与金属布线层M1上形成的节点195之间电连接的、与隧道磁性体层160同层且以相同结构设置的磁性体层160#。

5 如图8所示,节点190与195的一方与另一方,分别与接地电压V_{SS}和对应的N-MOS晶体管的源极电连接。磁性体层160#的至少一部分,构成为根据来自外部的激光照射可熔断地设计的接线部185。就是说,接线部185形成所谓的熔丝。

磁性体层160#和节点190之间的电接触由通路接触塞170#可靠实现,这与MTJ存储单元中的隧道磁性体层160和位线BL(金属布线层M2)之间的电接触一样。通路接触塞170#在图5所示的通路接触塞170的同层上以相同结构设置。

同样地,节点195和磁性体层160#之间的电接触与图5中的隧道磁性体层160和金属布线135(金属布线层M1)之间的电接触一样,由通路接触塞140#与连接线150#实现。通路接触塞140#与连接线150#分别在图5所示的通路接触塞140与连接线150同层上以相同结构设置。

参照图9B,程序元件180也可由与连接线150同层而构成的金属层150#和与隧道磁性体层160同层且以相同结构形成的磁性体层160#构成。这时也能对程序元件180的一部分作适当的设计,使得程序元件180的一部分构成可由来自外部的激光照射熔断的接线部185。由于程序元件180和节点190、195之间的电接触与图9A相同,不重复作详细说明。

或者,如图9C所示,可将程序元件180由与连接线150同层而构成的金属层150#构成。在这种场合,也能对程序元件180的一部分作适当设计,使得程序元件180的一部分构成可由来自外部的激光照射熔断的接线部185。由于程序元件180和节点190、195之间的电接触与图9A相同,不重复作详细说明。

如图 9A~图 9C 所示, 本发明实施例的程序元件 180 由与 MTJ 存储单元中的连接线 150 同层而形成的金属层 150 # 和与隧道磁性体层 160 同层而形成的隧道磁性体层 160 # 中的至少一方来构成。从而, 无需设置专用的制造工序, 能够在 MTJ 存储单元的制造工序中并行地制造通过外部的激光照射加以熔断来固定地存储信息的程序元件。

另外, 图 5 与图 9A~图 9C 所示的金属层 150、150 # 的厚度为 300~1000 埃左右 ($1 \text{ 埃} = 10^{-10} \text{ m}$)。因此, 将由金属层 150 # 与隧道磁性体层 160 # 构成的多层膜用激光熔断的条件设计为: 例如激光波长 = $0.5 \sim 1.5 \mu\text{m}$ 、激光光点直径 = $0.5 \sim 1.5 \mu\text{m}$ 及激光脉宽 = $5 \sim 30 \text{ ns}$ 左右。到底采用图 9A~图 9C 中哪一个, 可根据各磁性体层的膜或材料, 以及激光熔断条件和熔丝未切断时的电阻值设计。

并且, 如图 9A~图 9C 的结构例所示, 可通过将程序元件 180 所连接的节点 190 与 195 分别布置在程序元件 180 的上层与下层来使程序元件 180 和节点 190、195 之间的电接触与 MTJ 存储单元中的电接触 (图 5) 相同。结果, 能抑制各层间的剥离等的发生, 且可稳定地制造程序元件 180。

图 10A~图 10C 所示的程序元件与图 9A~图 9C 上分别表示的结构相比, 不同之处在于节点 190 与 195 双方被设置在程序元件 180 以上的层上。

因此, 程序元件 180 和节点 190、195 之间的各电接触结构与图 5 所示的 MTJ 存储单元中的、隧道磁性体层 160 与位线 BL (金属布线层 M2) 之间的电接触一样, 可由通路接触塞 170 # 来可靠实现。通路接触塞 170 # 在图 5 所示的通路接触塞 170 同层上以相同结构设置。

通过这样的结构, 能在程序元件 180 的下层部分即金属布线层 M1 上布置其它信号布线 197 等。结果, 能够通过信号布线的高效率配置实现晶片面积的减少。

比较图 11A~图 11C 所示的程序元件和图 9A~图 9C 中分别示出的结构,不同之处在于节点 190 与 195 均设置在程序元件 180 以下的层上。

因此,程序元件 180 和节点 190、195 之间的各电接触结构与图 5 所示的隧道磁性体层 160 与金属布线 135 (金属布线层 M1) 之间的电接触一样,由通路接触塞 140 # 与连接线 150 # 来构成。通路接触塞 140 # 与连接线 150 # 分别在图 5 所示的通路接触塞 140 与连接线 150 同层上以相同结构设置。

通过这样的结构,能在程序元件 180 的上层部分即金属布线层 M2 上布置其它信号布线 197 等。结果,能够通过信号布线的高效率布置实现晶片的面积的减少。

如上述说明,本发明实施例 1 的程序元件是用与构成 MTJ 存储单元的导电磁性体膜的至少一部分相同的结构部分的熔丝元件,因此,无需设置程序元件(熔丝)专用的制造工序,可在 MTJ 存储单元的制造过程中并行制造。结果,不会因增加 MRAM 器件的制造工序而导致成本增加,且能在内部安装稳定的程序元件。

实施例 2

实施例 2 中说明:采用与实施例 1 相同结构的程序元件,可分别在封装工序的前后进行信息编程的程序电路结构。

图 12 是表示实施例 2 的冗余控制部件 RPU # (i) 结构的电路图。另外,比较实施例 2 的 MRAM 器件与实施例 1 的 MRAM 器件时,只是各冗余控制部件的结构不同,下面,只对实施例 2 的冗余控制部件的结构进行详细说明,对于其它部分的结构与操作不再作重复的详细说明。

参照图 12,比较实施例 2 的冗余控制部件 RPU # (i) 与图 8 所示的实施例 1 的冗余控制部件 RPU (i),不同之处在于:在节点 N1 与接地电压 Vss 之间,代替程序元件 180 分别连接 N-MOS 晶体管 NPT (1)、/NPT (1) ~ NPT (h)、/NPT (h)。就是说,在冗余

控制部件 RPU # (i) 中的节点 N1 与接地电压 Vss 之间, 分别对应于地址位 A1 ~ Ah 与反相位 /A1 ~ /Ah, 设有两个串联连接的 N-MOS 晶体管。

与图 8 所示的冗余控制部件 RPU (i) 一样, 在 N-MOS 晶体管 NT (1) ~ NT (h) 与 /NT (1) ~ /NT (h) 的各栅极上, 分别输入地址位 A1 ~ Ah 及其反相位 /A1 ~ /Ah。相反, 在 N-MOS 晶体管 NPT (1)、/NPT (1) ~ NPT (h)、/NPT (h) 的各栅极上, 分别输入由下面说明的程序电路生成的程序信号 P(A1)、P(/A1) ~ P(Ah)、P(/Ah)。

图 13 是表示实施例 2 的程序电路的结构电路图。

图 13 中示出在分别对应于地址位 A1 ~ Ah 设置的 h 个程序电路中的第 j (j: 1 ~ h 的整数) 程序电路 PRC (j) 的结构。

参照图 13, 程序电路 PRC (j) 中设有: 程序元件 180a、180b; N-MOS 晶体管 211 ~ 214; 交叉耦合型放大器 220; 用以供给交叉耦合型放大器 220 的工作电流的 N-MOS 晶体管 225; 以及用以向程序元件 180a、180b 供给读出电流的电流供给晶体管 226、228。

首先, 就程序元件 180a、180b 的配置进行说明。

图 14 是图 13 所示的程序电路中的程序元件配置的示意图。

程序元件 180a、180b 在与实施例 1 的相同结构上, 至少含有磁性体层 160 #, 也就是说与图 9 ~ 图 11 中的 9A、9B 同样地形成。

参照图 14, 程序元件 180a 至少含有与隧道磁性体层 160 同层且以相同结构形成的磁性体层 160 #。程序元件 180a 的磁性体层 160 # 的上层与节点 N (Aj) 电连接。节点 N (Aj) 经由 N-MOS 晶体管 211, 与封装后可从外部电接触的节点 T1 连接。控制信号 PRG 输入到 N-MOS 晶体管 211 的栅极。

构成程序元件 180a 的磁性体层 160 # 的下层侧与接地节点 210 电连接, 使得隧道磁电阻元件 TMR (Aj) 在节点 N (Aj) 与接地节点 210 之间电连接。

结果,在节点 $N(A_j)$ 和接地节点 210 之间,可经激光照射熔断的接线部 185 和隧道磁电阻元件 TMR (A_j) 被串联连接。一旦接线部 185 经激光照射被熔断,程序元件 180a 的电阻即节点 $N(A_j)$ 与接地节点 210 之间的电阻就增加。

5 另一方面,接线部 185 未被熔断时,程序元件 180a 的电阻相当于隧道磁电阻元件 TMR (A_j) 的电阻。因此,响应控制信号 PRG 的激活,对节点 T1 施加用以供给可绝缘击穿磁性体层 160 # 中的绝缘膜(相当于图 6 中的绝缘膜 164)的电压应力的外部电压时,能绝缘击穿该绝缘膜。从而,程序元件 180a 的电阻比绝缘击穿前更低。

10 这样,程序元件 180a 通过激光照射来提高电阻,并通过对节点 T1 的外部电压输入来降低电阻。程序元件 180b 也具有与程序元件 180a 相同的结构,其上层与下层设有分别与节点 $N(/A_j)$ 和接地节点 210 电连接的磁性体层 160 #。节点 $N(/A_j)$ 经由 N-MOS 晶体管 212,与封装后可从外部电接触的节点 T2 连接。控制信号 PRG 输入到 N-MOS 晶体管 212 的栅极。

再来看图 13, N-MOS 晶体管 211 与 212,如图 14 所示,分别在节点 T1、T2 和节点 $N(A_j)$ 、 $N(/A_j)$ 之间连接,各栅极上输入控制信号 PRG。N-MOS 晶体管 213 在生成程序信号 $P(A_j)$ 的节点 N_s 和节点 $N(A_j)$ 之间电连接。晶体管 214 在生成程序信号 $P(/A_j)$ 的节点 $/N_s$ 和节点 $N(/A_j)$ 之间电连接。在 N-MOS 晶体管 213 与 214 的各栅极上,输入来自程序电路的数据读出时被激活的控制信号 ACT。

交叉耦合型放大器 220 设有 P-MOS 晶体管 221、222 和 N-MOS 晶体管 223、224。P-MOS 晶体管 221 在电源电压 V_{cc1} 与节点 N_s 之间电连接, P-MOS 晶体管 212 在电源电压 V_{cc1} 与节点 $/N_s$ 之间电连接。N-MOS 晶体管 223 在节点 N_s 与晶体管 225 的漏极之间连接,晶体管 224 在节点 $/N_s$ 与晶体管 225 的漏极之间连接。

P-MOS 晶体管 221 与 N-MOS 晶体管 223 的各栅极与节点 $/N_s$

电连接, P-MOS 晶体管 222 与 N-MOS 晶体管 224 的各栅极与节点 Ns 电连接。

P-MOS 晶体管 226 在电源电压 Vcc1 和节点 Ns 之间电连接, P-MOS 晶体管 228 在电源电压 Vcc1 和节点/Ns 之间电连接。P-MOS 晶体管 226 与 228 的各栅极接受控制信号/SA。N-MOS 晶体管 225 在 N-MOS 晶体管 223、224 的源极和接地电压 Vss 之间电连接, 其栅极接受控制信号 SA。

接着, 对程序电路 PRC # (j) 的工作过程进行说明。

对程序电路 PRC # (j) 进行编程时, 已说明的通过激光照射或绝缘击穿的电压应力输入, 施加在程序元件 180a 与 180b 的任一方上。从而, 在节点 N (Aj) 与接地节点 210 之间, 以及节点 N (/Aj) 与接地节点 210 之间产生电阻差。

在这种状态下, 将控制信号 SA 激活至 H 电平 (/SA = L 电平), 并将控制信号 ACT 激活至 H 电平时, 在节点 Ns 与/Ns 之间生成对应于上述电阻差的电压差。通过由 N-MOS 晶体管 225 供给工作电流的交叉耦合型放大器 220 来放大该电压差, 从而, 在节点 Ns 与/Ns 上, 生成具有与程序元件 180a 与 180b 的程序输入对应的电平的互补的程序信号 P (Aj) 与 P (/Aj)。

通过将由实施例 2 的程序电路生成的程序信号 P(A1)、P(/A1) ~ P(Ah)、P(/Ah) 分别输入到图 12 所示的 N-MOS 晶体管 NPT(1)、/NPT(1) ~ NPT(h)、/NPT(h) 的各栅极, 使 N-MOS 晶体管 NPT(1)、/NPT(1) ~ NPT(h)、/NPT(h) 具有图 8 所示的实施例 1 的冗余控制部件 RPU(i) 中的各程序元件 180 同样的功能。结果, 与实施例 1 的冗余控制部件 RPU(i) 一样, 可通过程序元件 180a、180b 的程序输入, 对固定存储的不良地址和输入地址(列地址)进行一致性比较。

另外, 如图 13 与图 14 说明的那样, 与没有程序输入的场所相比, 程序元件 180a 与 180b 分别在激光输入时电阻增加, 且在电压

应力输入时电阻减少。因此，在图 12 所示的程序电路中，将程序元件 180a 与 180b 中的一方，由相当于隧道磁电阻元件 TMR 的原电阻的基准电阻构成，从而，也能按照节点 $N(A_j)$ 、 $N(1/A_j)$ 和接地节点 210 之间的电阻和该基准电阻的比较来生成程序信号。换言之，
5 如图 13 所示，通过采用互补地接受程序输入的两个程序元件 180a、180b 来存储 1 位的程序信息，能够提高程序信息的可靠性。

接着，用图 15 对实施例 2 的程序电路的程序输入的施加时间进行说明。

参照图 15，完成包括 MTJ 存储单元为首的电路元件群的制造工
10 序的晶片加工（工序 P100）后的 MRAM 器件，进行晶片测试，且用以冗余补救在晶片测试中检测的不良存储单元的程序信息写入程序电路（工序 P110）。该工序的程序由激光照射来执行。

而且，MRAM 器件送到用以加速显露缺陷的晶片状态下的老化测试（工序 P120）中，在完成晶片老化测试后进行封装（工序 P130）。

15 经封装的 MRAM 器件，以封装后的状态再次送到老化测试（工序 P140）。在完成封装后的老化测试的 MRAM 器件上，进行最后的动作测试（工序 P150）。

在工序 P150 的阶段上被检出的最终的不良存储单元，再次由冗余补救来补救（工序 P160）。就是说，该阶段中的冗余补救，可用
20 程序元件的绝缘击穿来再次进行编程。结果，通过对程序元件的激光照射（工序 P110）或用以绝缘击穿的电压应力输入（工序 P160），程序元件的状态随着不可逆的物理破坏而固定下来（工序 P170）。程序状态被锁定后，MRAM 器件即可出厂用于安装（工序 P180）。因此，与用剩余的 MTJ 存储单元的磁性数据存储来编程相比，程序
25 信息的稳定性得到了改善。

这样，依据实施例 2 的程序电路，采用无需增加制造工序便可制作的程序元件，能够分别在封装工序的前后独立地进行信息的编程。就是说，通过在经激光照射补救在完成晶片加工后以晶片状态

检出的不良存储单元的程序输入后，进行伴随绝缘击穿的电压应力输入来对不良地址进行编程，从而，对该工序后发生的损坏进行冗余置换。结果，晶片测试时，将老化后测试与封装后测试中分别检出的损坏进行累积的编程，从而能够实施补救。

5 实施例 3

实施例 3 中，可在多个工序上对采用设有与 MTJ 存储单元同样结构的程序单元进行程序输入的结构进行说明。另外，比较实施例 3 的 MRAM 器件与实施例 2 的 MRAM 器件，由于只是各程序元件与程序电路的结构不同，所以，下面仅对实施例 3 的程序元件与程序电路进行详细说明，对于其它部分的结构与操作不再作重复的详细说明。

参照图 16，实施例 3 的程序元件设有与图 5 所示的 MTJ 存储单元同样的结构。因此，以下将实施例 3 的程序元件也称为程序单元。

参照图 16，程序单元中有：在半导体衬底 SUB 上与存取晶体管 ATR 一样形成的存取晶体管 ATRp，以及含隧道磁电阻元件 TMR 的导电磁性体膜 105 #。

存取晶体管 ATRp 中有：在半导体衬底 SUB 上作为掺杂区 110p、120p 形成的源极与漏极。掺杂区 110p 与接地节点 210(接地电压 Vss)连接，起源极作用。并且，通过金属布线层 M1 上设置的金属布线 135 # 和接触孔中设置的通路接触塞 140 #，掺杂区 120 与导电磁性体膜 105 # 电连接，起漏极作用。

金属布线层 M1 与 M2 上，设有用以对程序单元进行与 MTJ 存储单元同样的磁性数据写入的程序字线 PWL 与程序位线 PBL。程序字线 PWL 与程序位线 PBL 分别相当于图 5 所示的写入字线 WWL 与位线 BL。

栅极 130p 接受控制信号/PRG，该信号在采用程序字线 PWL 与程序位线 PBL 的磁性程序数据写入时被设定为 L 电平，当程序数据的读出时被设定为 H 电平。

导电磁性体膜 105 # 具有与 MTJ 存储单元中的导电磁性体膜 105 同样的结构, 且设有叠层而成的连接线 150 #、隧道磁性体层 160 # 及通路接触塞 170 #。连接线 150 # 为电连接隧道磁性体层 160 # 和通路接触塞 140 # 而设置。通路接触塞 170 # 在隧道磁性体层 160 # 与程序位线 PBL 之间实现电连接。

对于实施例 3 的程序单元, 可进行采用程序字线 PWL 与程序位线 PBL 的磁性编程 (数据写入), 以及随着熔断至少采用程序位线 PBL 的一部分构成的接线部 185 的破坏操作的编程。

就是说, 程序位线 PBL 的至少一部分, 被设计成根据来自外部的激光照射可熔断的形状与结构。接线部 185 上也可以包含程序位线 PBL 以外的部位, 例如导电磁性体膜 105 #。

接着, 用图 17 与图 18 对程序单元的磁性写入结构进行说明。

图 17 是表示对程序单元的程序字线 PWL 与程序位线 PBL 的配置的示意图。

参照图 17, 各程序单元 PMC 对应于分别沿不同方向布置的程序字线 PWL 与程序位线 PBL 的交点而设置。在程序字线 PWL 与程序位线 PBL 上, 流过用以对程序单元将数据磁性写入的电流 (也称为“程序电流”)。对程序字线 PWL 上流过在程序单元中的隧道磁电阻元件 TMR 中用以产生沿难磁化轴 (HA) 方向的磁场的程序电流 I_p (P), 且在程序位线 PBL 中流过在该隧道磁电阻元件 TMR 中用以发生沿易磁化轴 (EA) 方向的磁场的程序电流 I_w (P)。

程序字线 PWL 沿与存储阵列 10 上配置的写入字线 WWL 相同的方向布置, 程序位线 PBL 沿与存储阵列 10 上配置的位线 BL 相同的方向布置。从而, 存储阵列中的 MTJ 存储单元和程序单元的布置方向相同, 从而能简化它们的制作工序与磁化工序。

图 18 是表示对程序单元的数据写入时的电流供给结构的电路图。

参照图 18, 同一程序电路中包含的程序单元 PMCa、PMCb, 在

进行编程时,被写入彼此互补电平的数据。对程序单元 PMCa、PMCb 配置共同的程序字线 PWL; 分别对应于程序单元 PMCa、PMCb, 配置独立的程序位线 PBL 与/PBL。另外, 程序字线 PWL 还可进一步在多个程序电路间被共用。

- 5 程序电流供给部分 240 中有: 用以对程序位线 PBL、/PBL 供给的程序电流 $\pm I_w(P)$ 的方向进行控制的控制门 250、252、260、262; 对应于程序位线 PBL 设置的电压设定晶体管 254、255、264、265; 以及对应于程序位线/PBL 设置的电压设定晶体管 257、258、267、268。

- 10 控制门 250 输出被在第 j ($j: 1 \sim h$ 的整数) 程序部件中编程的程序数据 PD j 和控制信号 PRG 的 NAND 运算结果。控制门 252 输出被反相的程序数据/PD j 和控制信号 PRG 的 AND 运算结果。控制门 260 输出反相的程序数据/PD j 和控制信号 PRG 的 NAND 运算结果。控制门 262 输出程序数据 PD j 和控制信号 PRG 的 AND 运算结果。

- 15 因此, 当控制信号 PRG 为 L 电平时, 作为 NAND 门的控制门 250、260 的各输出被固定为 H 电平, 作为 AND 门的控制门 252、262 的各输出被固定为 L 电平。另一方面, 当控制信号 PRG 为 H 电平时, 控制门 250、252、260、262 的各输出按照程序数据 PD j 被设定为 H 电平或 L 电平。

- 20 电压设定晶体管 254 由 P-MOS 晶体管构成, 电连接在程序位线 PBL 的一端和电源电压 Vcc2 之间。电压设定晶体管 255 由 N-MOS 晶体管构成, 电连接在程序位线 PBL 的该端与接地电压 Vss 之间。

- 25 电压设定晶体管 264 由 P-MOS 晶体管构成, 电连接在程序位线 PBL 的另一端和电源电压 Vcc2 之间。电压设定晶体管 265 由 N-MOS 晶体管构成, 电连接在程序位线 PBL 的该另一端和接地电压 Vss 之间。

与电压设定晶体管 254 与 255 同样, 电压设定晶体管 257、258 设置在程序位线/PBL 的一端。与电压设定晶体管 264 与 265 同样, 电压设定晶体管 267、268 设置在程序位线/PBL 的另一端。

控制门 250 的输出信号输入到 P-MOS 晶体管 254 与 267 的各栅极，控制门 252 的输出信号输入到 N-MOS 晶体管 255 与 268 的各栅极，控制门 260 的输出信号输入到 P-MOS 晶体管 257 与 264 的各栅极，控制门 262 的输出信号输入到 N-MOS 晶体管 258 与 265 的各栅极。

在程序数据写入时以外（控制信号 PRG = L 电平），各电压设定晶体管被截止，程序位线 PBL 与 /PBL，与电源电压 Vcc2 和接地电压 Vss 断开。

另一方面，程序数据写入时（控制信号 PRG = H 电平），在各程序位线的两端，各一个电压设定晶体管按照程序数据 PDj 的电平有选择地导通，使得在程序位线 PBL 与 /PBL 上分别产生相反方向的电流。

例如，当程序数据 PDj 为 H 电平时，相对于程序位线 PBL，电压设定晶体管 254 与 265 导通，而电压设定晶体管 255 与 264 截止。另一方面，相对于程序位线 /PBL，电压设定晶体管 267 与 258 导通，而电压设定晶体管 257 与 268 截止。从而，沿图中实线的箭头所示的方向流过分别对程序单元 PMCa 与 PMCb 沿相反方向作用的程序电流 $\pm I_w(P)$ 。

另一方面，当程序数据 PDj 为 L 电平时，各电压设定晶体管的导通/截止交替，在程序位线 PBL 与 /PBL 上，沿图中虚线的箭头所示的方向流过分别与 PDj = H 电平时相反的程序电流 $\pm I_w(P)$ 。

通过程序电流 $\pm I_w(P)$ 发生用以将程序单元 PMCa、PMCb 按照程序数据 PDj 的方向磁化的、沿易磁化轴方向的数据写入磁场。另外，与程序数据 PDj 的电平无关，分别流过程序位线 PBLj 与 /PBL 的程序电流的方向彼此相反，因此，当程序数据写入时，程序单元 PMCa、PMCb 沿易磁化轴以彼此相反的方向磁化。

程序电流供给部分 240 还包括对应于程序字线 PWL 的选择晶体管 270。选择晶体管 270，其栅极接受控制信号 PRG 的反相信号 /PRG，

电连接在电源电压 V_{cc2} 和程序字线 PWL 的一端之间。程序字线 PWL 的另一端与接地电压 V_{ss} 连接。因此，当程序数据写入时，使一定方向的程序电流 $I_p(P)$ 流过程序字线 PWL 。通过程序电流 $I_p(P)$ ，对各程序单元 PMC 施加沿难磁化轴方向的程序磁场。

- 5 与存储阵列 10 内的 MTJ 存储单元一样，在分别沿易磁化轴与难磁化轴的磁场均被施加的程序单元 PMC 中，程序数据 PD_j 被磁性写入。

10 参照图 19，实施例 3 的程序电路与图 13 所示的实施例 2 的程序电路相比，其不同之处在于：省略了从外部施加绝缘击穿用的电压应力的 $N-MOS$ 晶体管 211 与 212 的结构，而在节点 $N(A_j)$ 、 $N(/A_j)$ 和接地节点 210 之间连接程序单元 $PMCa$ 、 $PMCb$ ，它们分别取代程序元件 180a、180b。

15 通过程序位线 PBL 与 $/PBL$ ，程序单元 $PMCa$ 与 $PMCb$ 分别与节点 $N(A_j)$ 及 $N(/A_j)$ 电连接。实施例 3 的程序电路的其它结构，与图 18 所示的程序电路一样，因此采用同样的符号，其说明省略。

 依据这样的结构，在对至少含有程序位线 PBL 、 $/PBL$ 的一部分的接线部 185 进行熔断输入之前，可通过对程序单元 $PMCa$ 与 $PMCb$ 磁性写入互补电平数据来存储与在节点 $N(A_j)$ 、 $N(/A_j)$ 和接地节点 210 之间产生的电阻差相应的 1 位程序信息。

20 而且，在磁性编程后，可通过来自外部的激光照射熔断接线部 185 来稳定地固定程序单元 $PMCa$ 与 $PMCb$ 之间的电阻差。由于这种伴随熔断的编程产生的电阻差，大于通过磁性的编程产生的电阻，因此可通过激光熔断编程来改写磁性写入的程序信息。

25 如上所述，依据实施例 3 的结构，采用无需增加制造工序可制作的程序元件，可在激光熔断的前后分别独立地进行信息的编程。由此，在通过磁性写入对用以补救在晶片状态的动作测试（图 15 的工序 $P110$ ）中检出的不良存储单元的信息编程后，能实际不进行激光熔断地进行关于是否实施所要作的冗余补救的测试。进而，经确

定的程序信息能够随激光熔断而被稳定地存储。

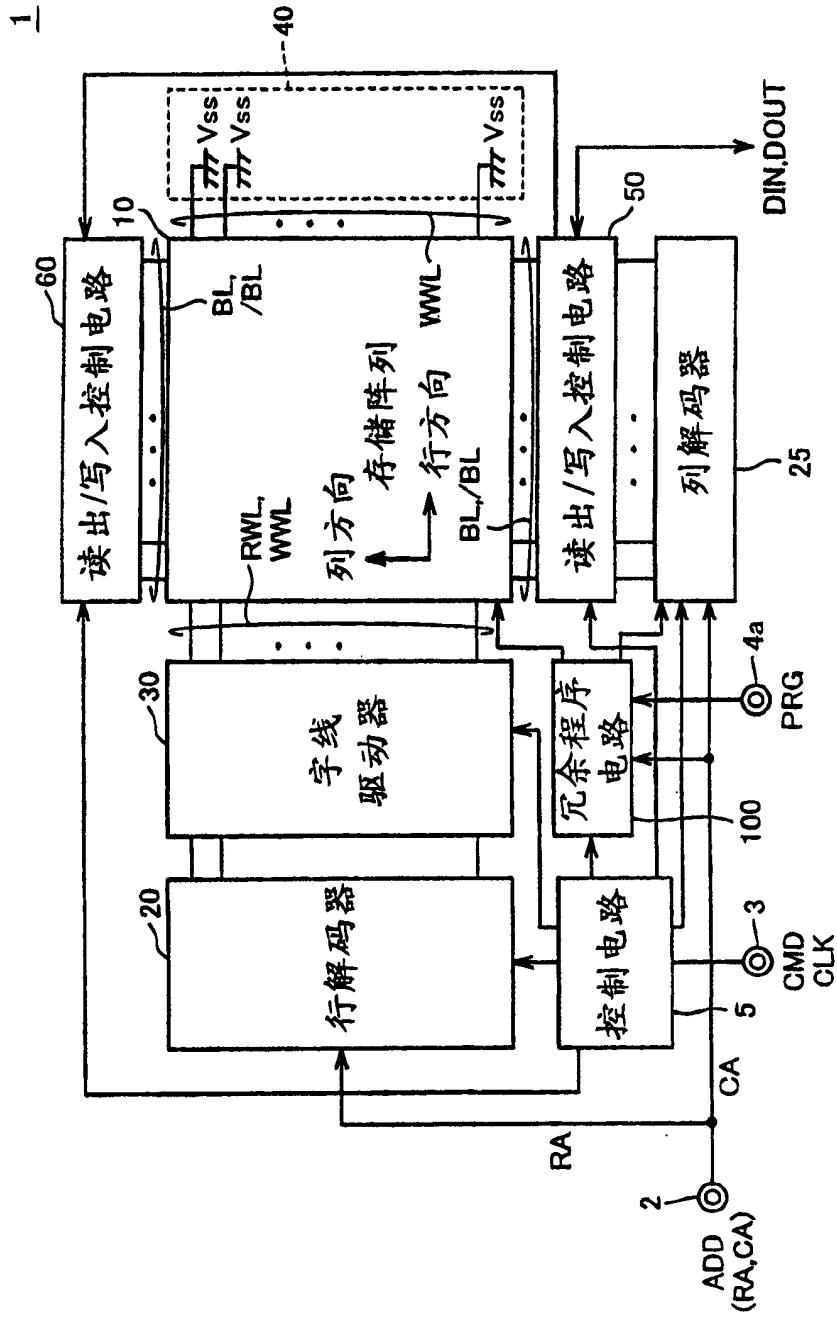
另外，与实施例 2 一样，在图 19 所示的程序电路中，通过由基准电阻构成程序单元 PMCa、PMCb 的一方，能按照在节点 $N(A_j)$ 或 $N(/A_j)$ 和接地节点 210 之间的电阻和该基准电阻的比较来生成程序信号。

另外，在实施例 1 至 3 中，说明了对与作为不良地址的不良单元对应的列地址进行编程，并以存储单元列为单位进行冗余补救的结构例，但本发明也同样适用以存储单元行或数据 I/O 线为单位进行冗余补救的情况。这时，可将表示对应于不良单元的存储单元行或数据 I/O 线的地址，用本发明实施例的程序元件或程序电路加以存储。

并且，实施例 1 至 3 中，描述了通过本发明的程序元件与程序电路来存储在不良存储单元的冗余补救结构中使用的不良地址的结构，但本发明的应用并不限于这种情况。就是说，采用本发明的程序元件与程序电路，能对用于内部电压或元件电阻值等的调整的其它所有信息进行编程。

以上对本发明进行了详细的说明，但所述内容仅为举例，并不构成对本发明的限定，应当理解本发明的精神和范围仅由附加的权利要求书加以规定。

图 1



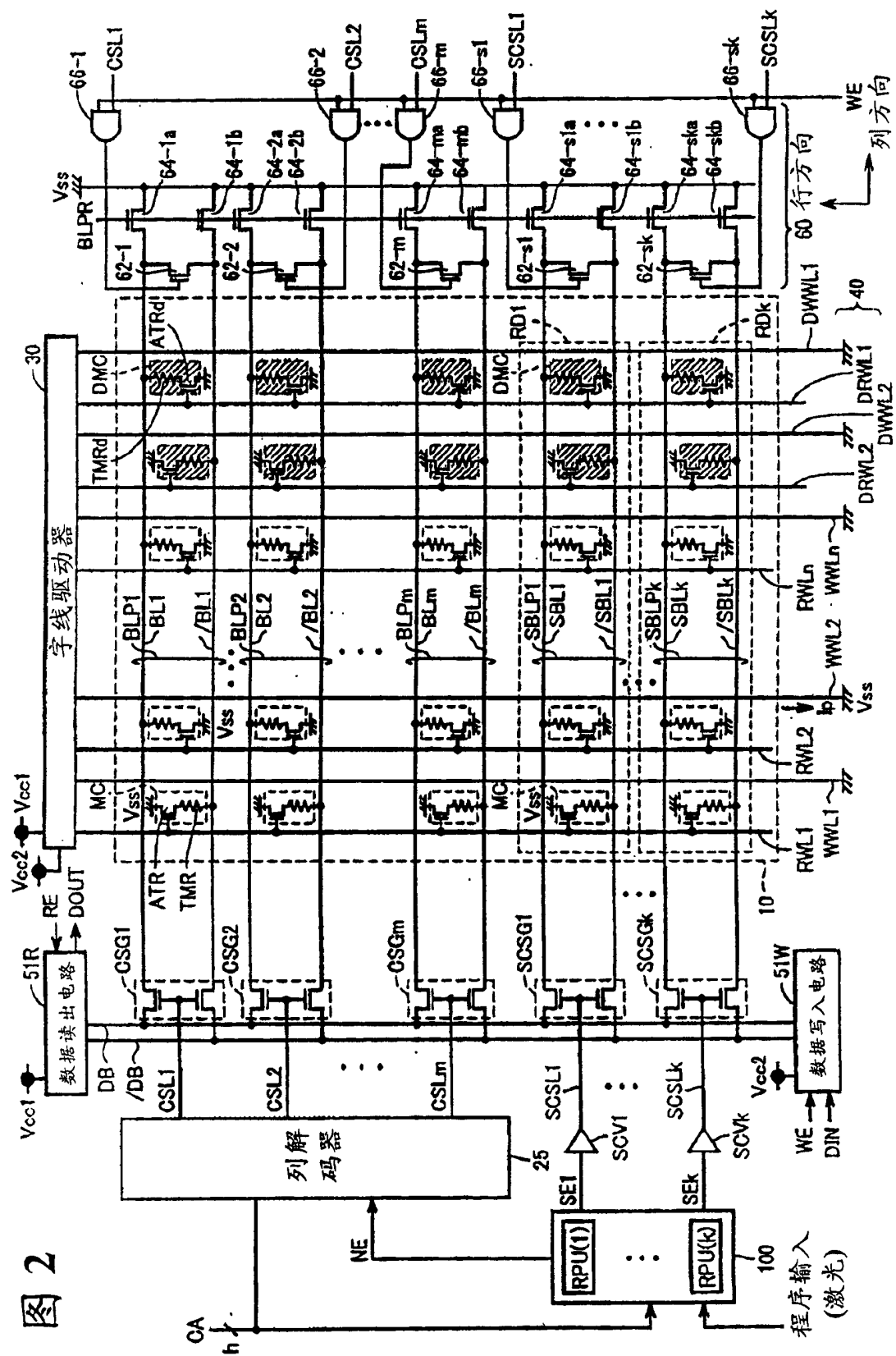


图 5

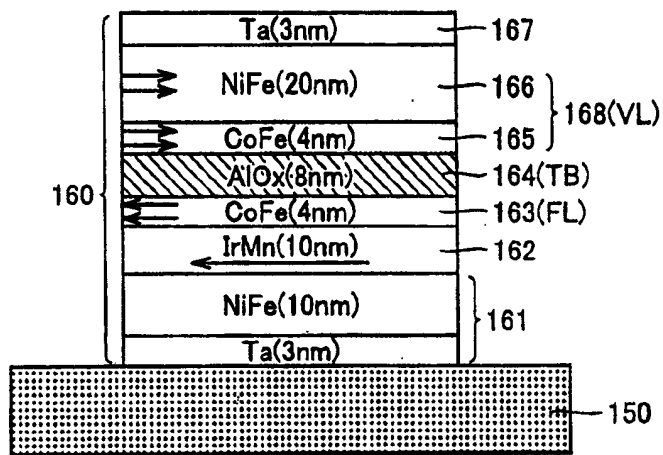
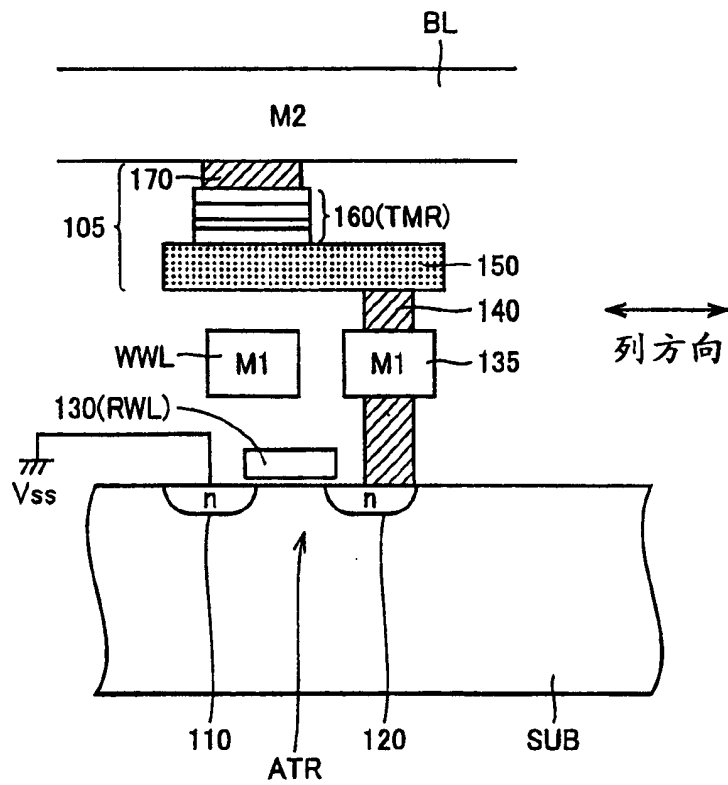


图 6

图 7

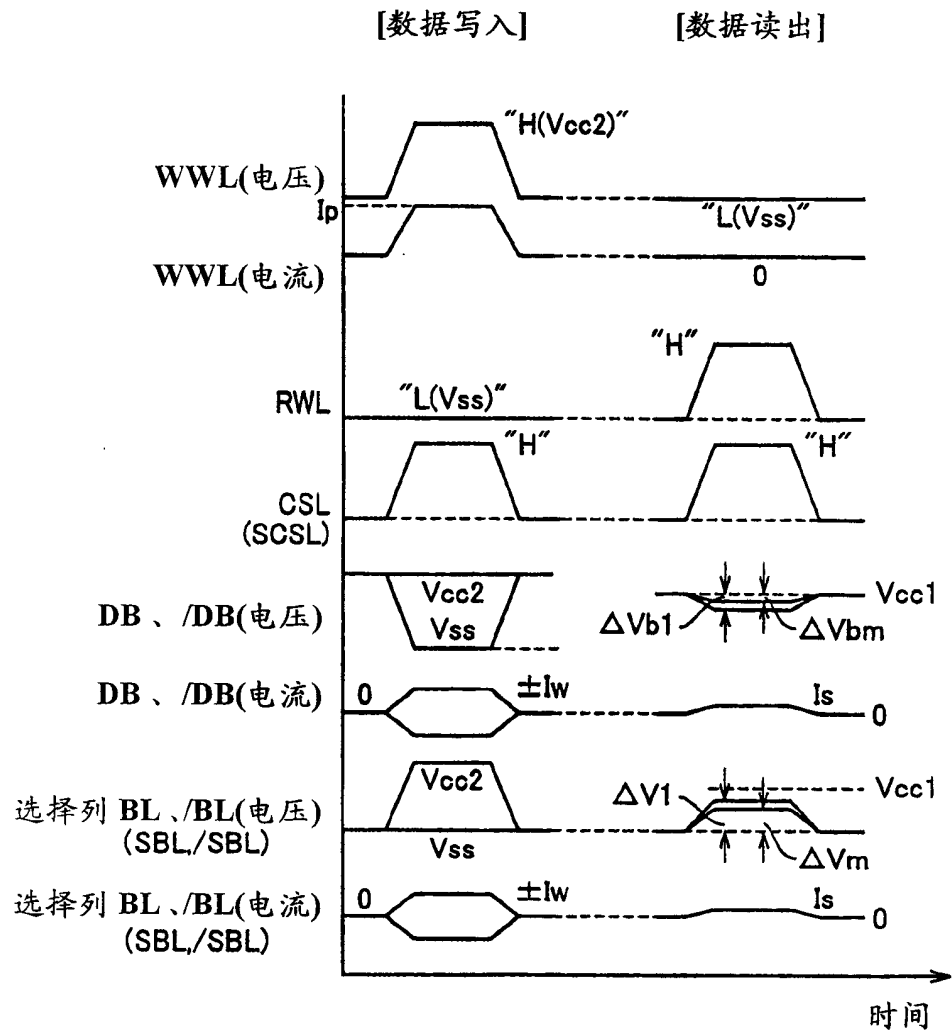


图 9A

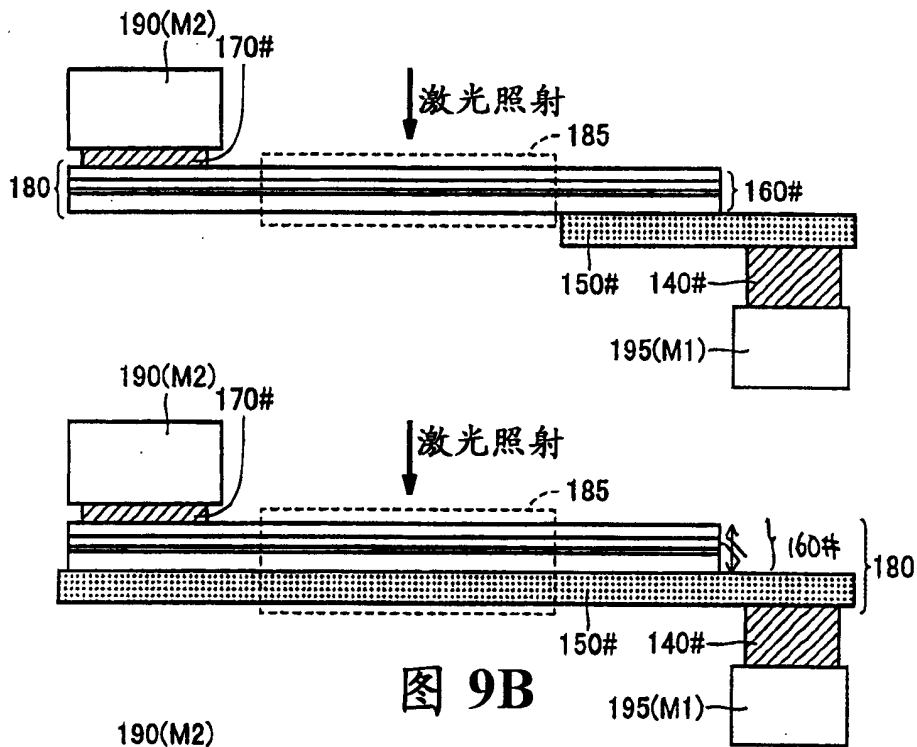


图 9B

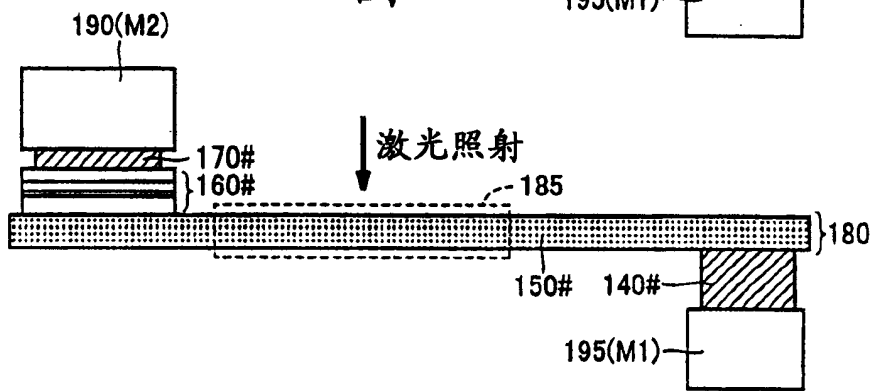


图 9C

图 10A

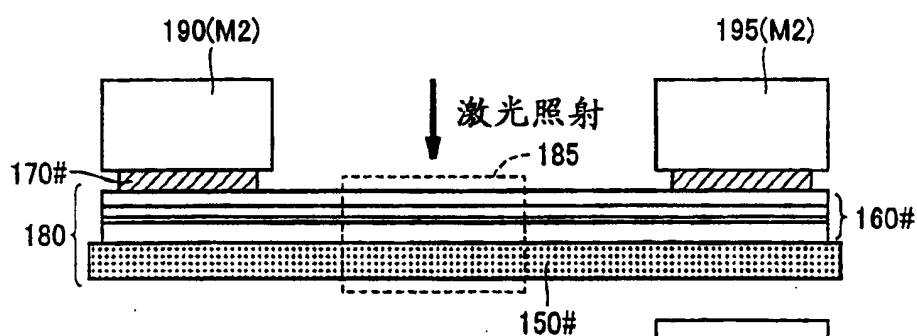
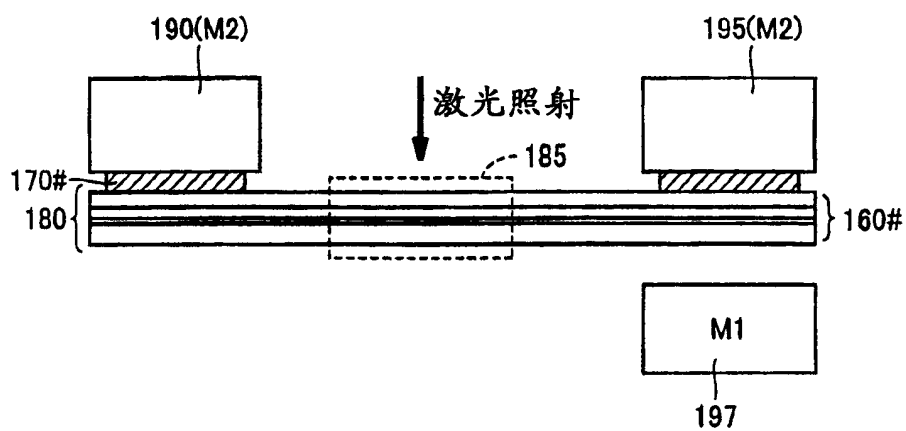


图 10B

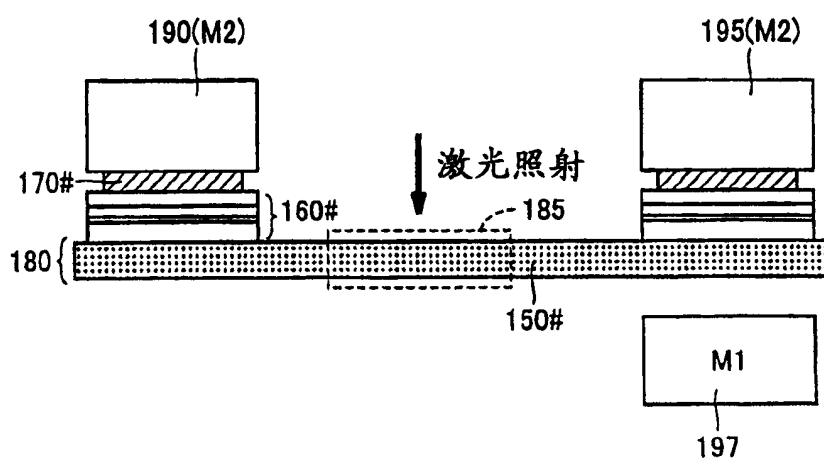


图 10C

图 11A

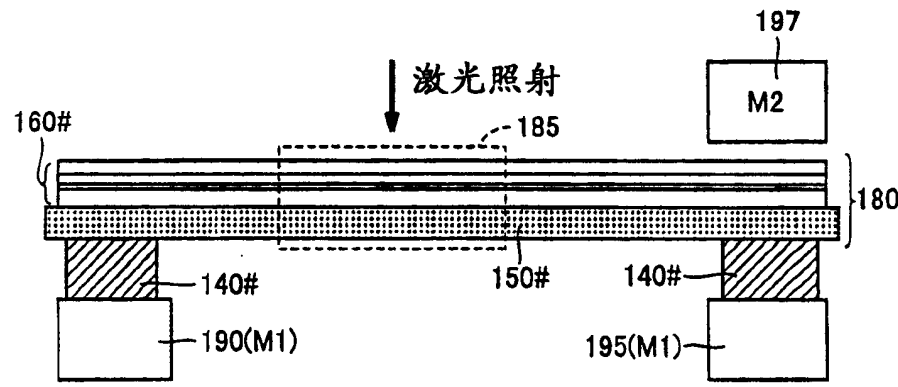
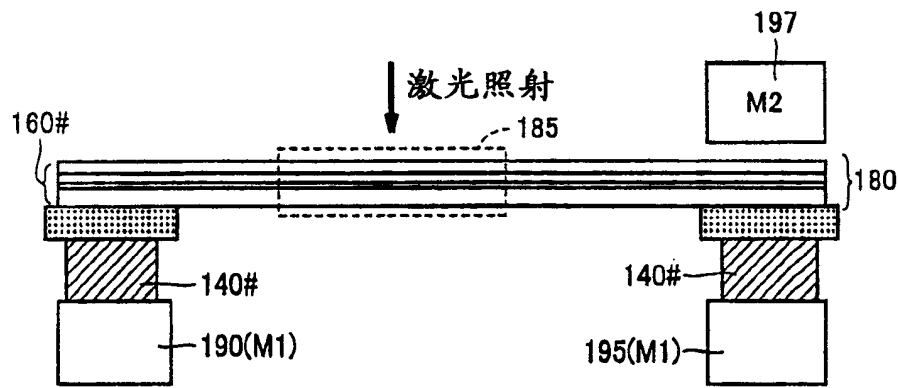


图 11B

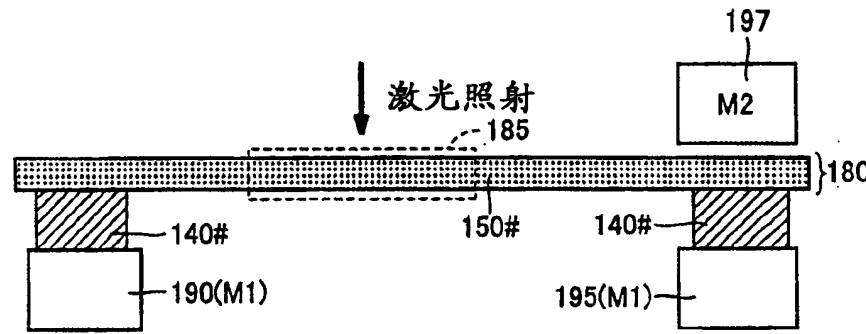


图 11C

图 12

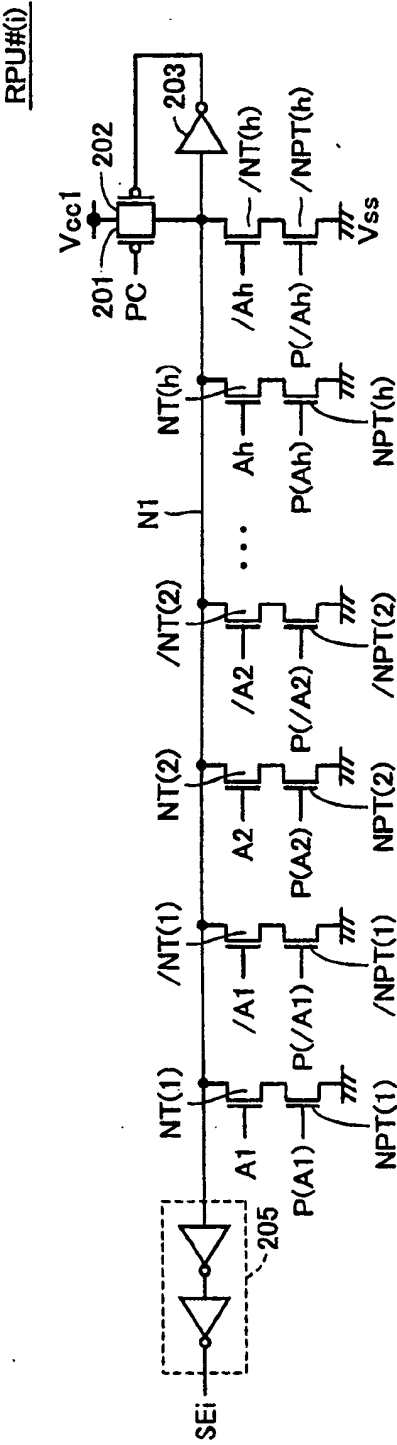


图 15

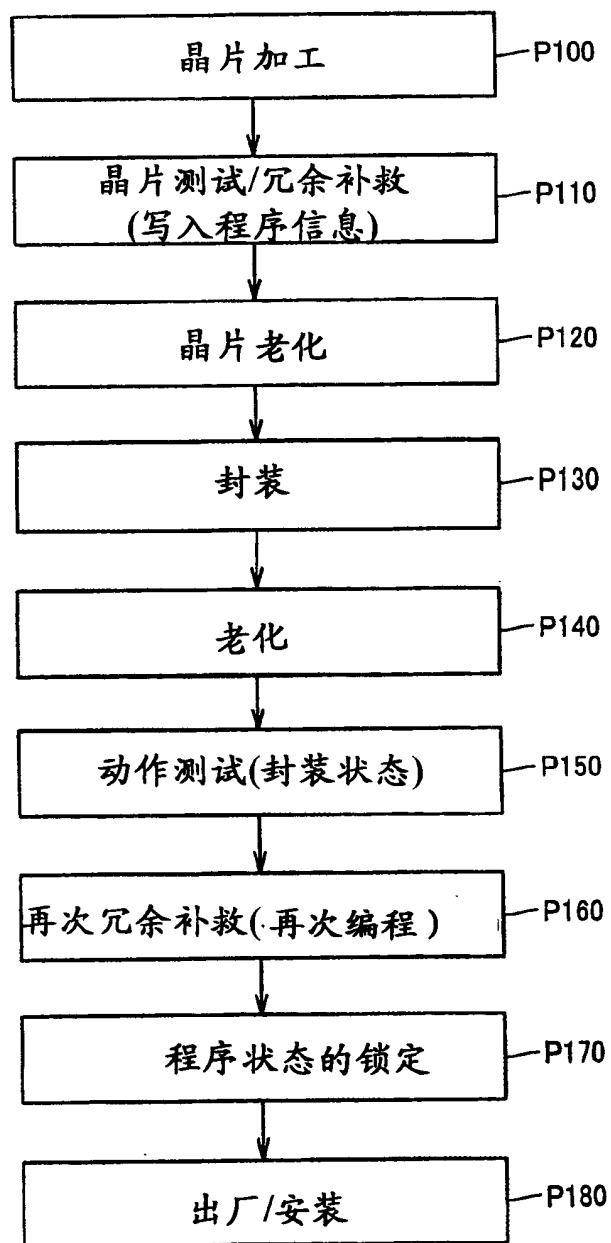


图 16

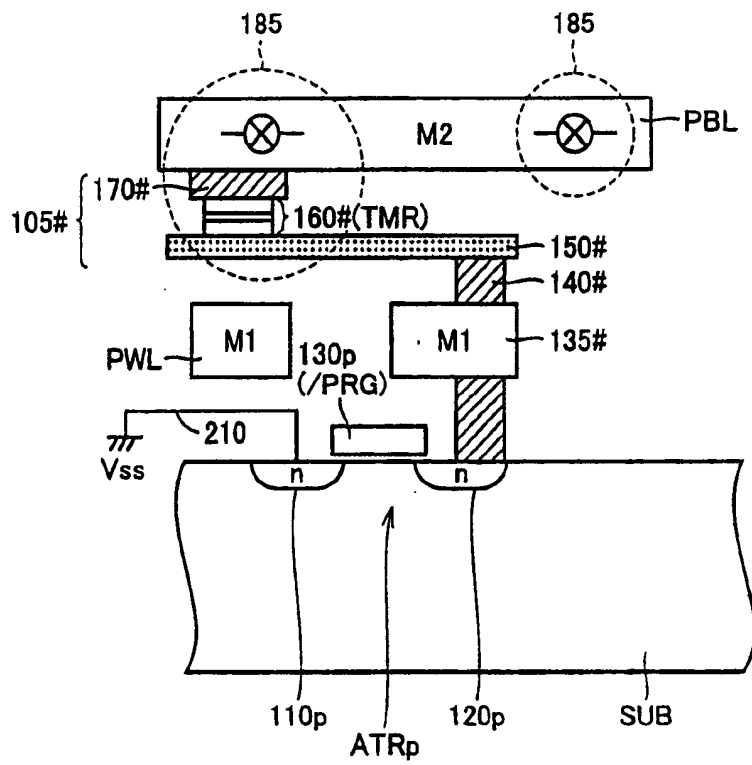


图 17

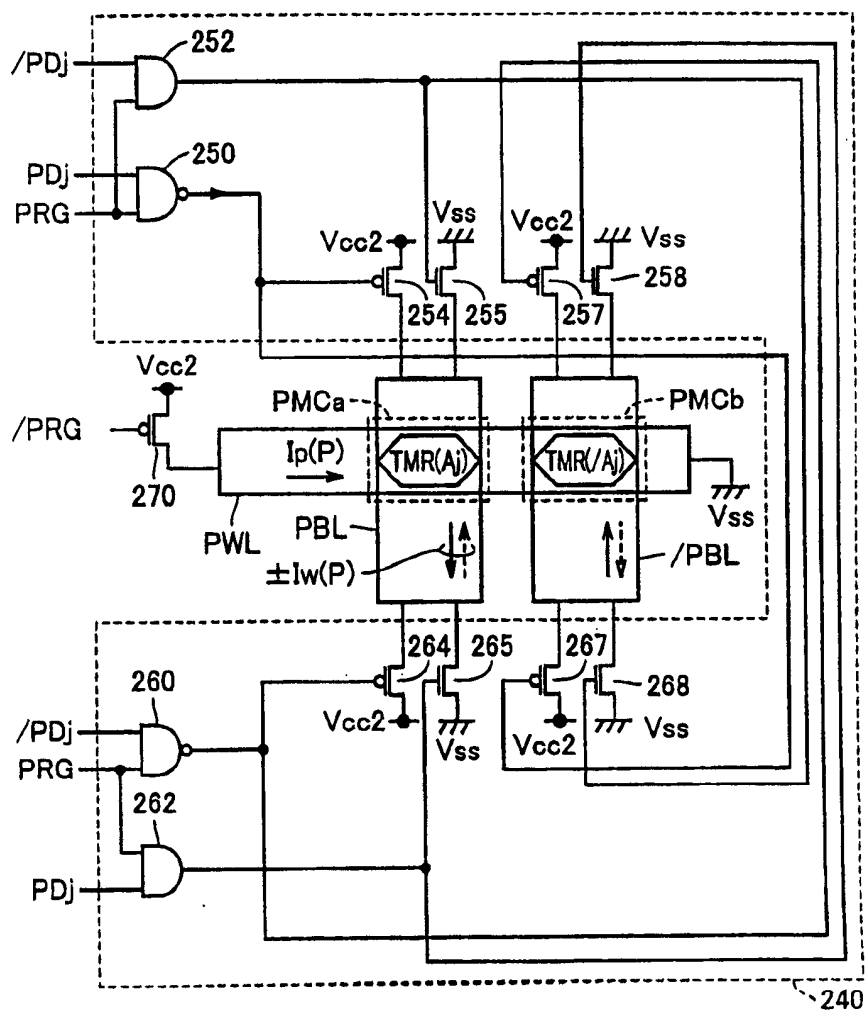
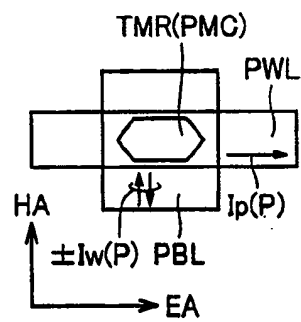


图 18

图 19

