

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年6月10日(10.06.2021)



(10) 国際公開番号

WO 2021/111604 A1

(51) 国際特許分類:

H01L 27/04 (2006.01)

(21) 国際出願番号:

PCT/JP2019/047688

(22) 国際出願日:

2019年12月5日(05.12.2019)

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

(71) 出願人:株式会社ソシオネクスト(SOCIONEXT INC.) [JP/JP]; 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 Kanagawa (JP).

(72) 発明者:岡本 淳 (OKAMOTO, Atsushi); 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 株式会社ソシオネクスト内 Kanagawa (JP). 武野 紘宜(TAKENO,

Hirotaka); 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 株式会社ソシオネクスト内 Kanagawa (JP). ワン ウェンゼン (WANG, Wenzhen); 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 株式会社ソシオネクスト内 Kanagawa (JP).

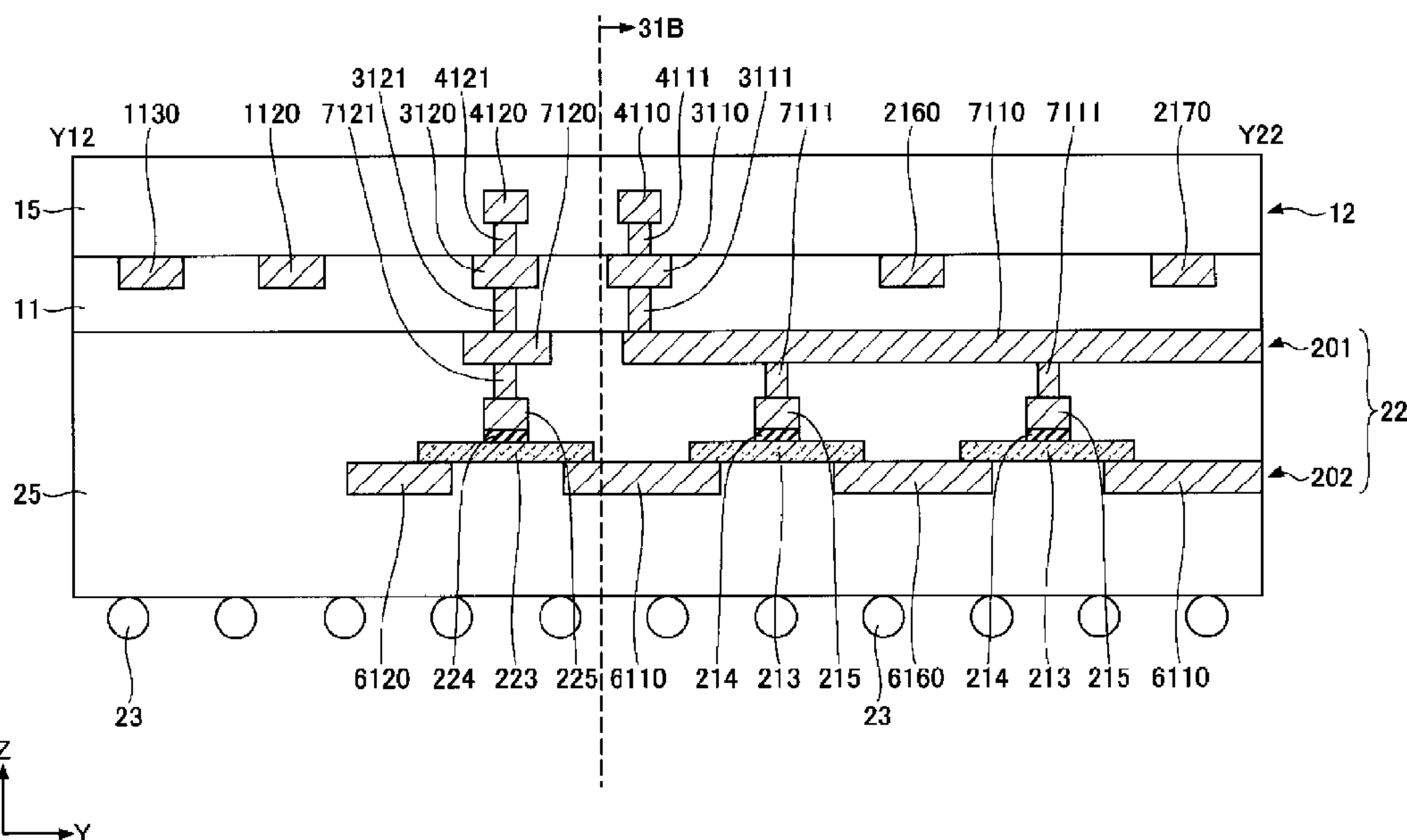
(74) 代理人:伊東 忠重, 外(ITO, Tadashige et al.); 〒1000005 東京都千代田区丸の内二丁目1番1号 丸の内 M Y P L A Z A (明治安田生命ビル) 16階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

[図11]



(57) Abstract: Provided is a semiconductor device comprising: a first chip that has a substrate, and a first wiring layer formed on a first face of the substrate; and a second wiring layer formed on a second face on the side opposite to the first face of the substrate. The second wiring layer has a first power line to which a first power potential is supplied, a second power line to which a second power potential is supplied, a third power line to which a third power potential is supplied, a first switch that is connected between the first power line and the second power line, and a second switch that

[続葉有]

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

is provided on one of the first power line or the third power line. The first chip has a first circuit that is provided between the first power line and the third power line.

(57) 要約: 半導体装置は、基板と、前記基板の第1の面上に形成された第1の配線層と、を有する第1のチップと、前記基板の前記第1の面とは反対側の第2の面上に形成された第2の配線層と、を有する。前記第2の配線層は、第1の電源電位が供給される第1の電源線と、第2の電源電位が供給される第2の電源線と、第3の電源電位が供給される第3の電源線と、前記第1の電源線と前記第2の電源線との間に接続された第1のスイッチと、前記第1の電源線又は前記第3の電源線の一方上に設けられた第2のスイッチと、を有する。前記第1のチップは、前記第1の電源線と前記第3の電源線との間に設けられた第1の回路を有する。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本開示は、半導体装置に関する。

背景技術

[0002] 半導体装置には各種回路領域が含まれており、回路領域の一例としてスタンダードセル領域がある。スタンダードセル領域には各種論理回路が含まれる。半導体装置にVDDの電源電位が供給される場合に、スタンダードセル領域の論理回路にVVDDの電源電位が供給され、VDDの電源線とVVDDの電源線との間にトランジスタ等のスイッチが接続されることがある。

[0003] スイッチは、論理回路のトランジスタへのVVDDの電源電位の供給のオン／オフを切り替える。スイッチを用いることで、論理回路を動作させる必要のないときに電源供給をオフとし、論理回路を構成するトランジスタで生じるリーク電流を抑制し、消費電力の低減が可能となる。

[0004] また、主たる半導体チップの裏側に、配線を含む従たる半導体チップを貼り付け、従たる半導体チップの配線を介して主たる半導体チップのトランジスタに電源電位を供給する技術が提案されている。このような技術はBS-PDN (backside-power delivery network) とよばれることがある。

先行技術文献

特許文献

[0005] 特許文献1：米国特許出願公開第2015／0162448号明細書

特許文献2：米国特許第9754923号明細書

特許文献3：米国特許出願公開第2018／0145030号明細書

特許文献4：米国特許第8530273号明細書

特許文献5：特許第6469269号公報

発明の概要

発明が解決しようとする課題

[0006] これまでのところ、配線を含む従たる半導体チップ内にスイッチを設ける場合の具体的な構成について、詳細な検討はされていない。

[0007] 本開示の目的は、適切にスイッチを設けることができる半導体装置を提供することにある。

課題を解決するための手段

[0008] 開示の技術に係る半導体装置は、基板と、前記基板の第1の面上に形成された第1の配線層と、を有する第1のチップと、前記基板の前記第1の面とは反対側の第2の面上に形成された第2の配線層と、を有し、前記第2の配線層は、第1の電源電位が供給される第1の電源線と、第2の電源電位が供給される第2の電源線と、第3の電源電位が供給される第3の電源線と、前記第1の電源線と前記第2の電源線との間に接続された第1のスイッチと、前記第1の電源線又は前記第3の電源線の一方上に設けられた第2のスイッチと、を有し、前記第1のチップは、前記第1の電源線と前記第3の電源線との間に設けられた第1の回路を有する。

発明の効果

[0009] 開示の技術によれば、適切にスイッチを設けることができる。

図面の簡単な説明

[0010] [図1]図1は、本開示が適用される半導体装置の概要を示す断面図である。

[図2]図2は、第1のチップのレイアウトを示す図である。

[図3]図3は、半導体装置に含まれる回路の一例の構成を示す回路図である。

[図4]図4は、駆動バッファの構成を示す回路図である。

[図5]図5は、駆動バッファの一例の平面構成を示す模式図である。

[図6]図6は、インバータの構成を示す回路図である。

[図7]図7は、インバータの平面構成を示す模式図である。

[図8]図8は、第1の実施形態に係る半導体装置の平面構成を示す模式図（その1）である。

[図9]図9は、第1の実施形態に係る半導体装置の平面構成を示す模式図（その2）である。

[図10]図10は、第1の実施形態に係る半導体装置を示す断面図（その1）である。

[図11]図11は、第1の実施形態に係る半導体装置を示す断面図（その2）である。

[図12]図12は、第1の実施形態の第1の変形例に係る半導体装置の平面構成を示す模式図である。

[図13]図13は、第1の実施形態の第2の変形例に係る半導体装置の平面構成を示す模式図である。

[図14]図14は、第1の実施形態の第3の変形例に係る半導体装置を示す断面図である。

[図15]図15は、第1の実施形態の第4の変形例に係る半導体装置に含まれる回路の一例の構成を示す回路図である。

[図16]図16は、第1の実施形態の第5の変形例に係る半導体装置の平面構成を示す模式図（その1）である。

[図17]図17は、第1の実施形態の第5の変形例に係る半導体装置の平面構成を示す模式図（その2）である。

[図18]図18は、第1の実施形態の第6の変形例に係る半導体装置の平面構成を示す模式図である。

[図19]図19は、第2の実施形態に係る半導体装置の平面構成を示す模式図（その1）である。

[図20]図20は、第2の実施形態に係る半導体装置の平面構成を示す模式図（その2）である。

[図21]図21は、第2の実施形態に係る半導体装置を示す断面図（その1）である。

[図22]図22は、第2の実施形態に係る半導体装置を示す断面図（その2）である。

[図23]図23は、スイッチトランジスタの断面構成の例を示す断面図（その1）である。

[図24]図24は、スイッチトランジスタの断面構成の例を示す断面図（その2）である。

[図25]図25は、スイッチトランジスタの断面構成の例を示す断面図（その3）である。

発明を実施するための形態

[0011] 以下、実施形態について添付の図面を参照しながら具体的に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複した説明を省くことがある。また、以下の説明において、基板の表面に平行で互いに直交する2つの方向をX方向、Y方向とし、基板の表面に垂直な方向をZ方向とする。また、本開示での配置の一致とは、厳密に、製造上のばらつきに起因して不一致となったものを排除するものではなく、製造上のばらつきで配置にずれが生じている場合でも、配置が一致しているものとみなすことができる。

[0012] （本開示が適用される半導体装置の概要）

先ず、本開示が適用される半導体装置の概要について説明する。図1は、本開示が適用される半導体装置の概要を示す断面図である。図1に示す半導体装置は、第1のチップ10及び第2のチップ20を含む。

[0013] 第1のチップ10は、例えば半導体チップであり、基板11及び第1の配線層12を含む。基板11は、例えばシリコン基板であり、基板11の表面側にトランジスタ等の半導体素子が形成されている。トランジスタは、例えばソース、ドレイン及びチャネルにフィン13を含むFinFETである。第1の配線層12は基板11の表面上に形成され、配線14及び絶縁層15を含む。配線14の一部はフィン13に接続される。更に、例えば基板11の表面側に、配線14に接続される電源線16が形成されており、基板11に、電源線16から基板11の裏面に達するビア17が設けられている。ビア17は、例えばシリコン貫通ビア（through-silicon via: TSV）である。なお、図1に示すように、配線14の一部がビアのような形状を持ち、電源線16に接続してもよい。また、配線14および電源線16の材料は、例

えば銅、タングステン、コバルト、ルテニウム、モリブデンなどである。

[0014] 第2のチップ20は、例えば半導体チップであり、第1のチップ10の基板11の裏面に対向して配置される。第2のチップ20は、例えば、第2の配線層22及びパッド23を含む。第2の配線層22は、配線24及び絶縁層25を含む。第2の配線層22の上面は、例えば第1のチップ10の基板11の裏面に対向する。すなわち、基板11は第1の配線層12と第2の配線層22との間に位置する。第2の配線層22は、図1に示すように、複数の配線24を有してもよい。複数の配線24は、第2の配線層22に設けられたビア28を介して接続されてもよい。パッド23は、例えば配線基板やボード等に接続する外部接続端子である。配線24の一部はビア17に接続される。パッド23は第2の配線層22の裏面に設けられており、ビア28を通じて配線24に接続されている。パッド23を介して第2の配線層22に、電源電位の供給や信号の伝達が行われる。なお、配線24及びビア28の材料は、例えば銅、タングステン、コバルト、ルテニウム、モリブデンなどである。

[0015] 第2のチップ20は第1のチップ10と同程度のサイズを有していてもよく、第1のチップ10より大きなサイズを有していてもよい。また、パッド23が、第1のチップ10に対向する側の第2のチップ20の面において、平面視で第1のチップ10の外側に設けられていてもよい。以下、本明細書において平面視とは、第1のチップ10の主面の平面視をいう。

[0016] 第2の配線層22は、基板11の裏面上に配線24及び絶縁層25等を形成して設けられたものであってもよい。第2の配線層22は、TSVが形成された第2の基板上に形成されていてもよく、第2の基板の裏面にパッド23が設けられていてもよい。

[0017] なお、図1に示す断面図は半導体装置の概要を示すものであり、詳細は図10、図11等を示す。

[0018] 次に、第1のチップ10のレイアウトについて説明する。図2は、第1のチップ10のレイアウトを示す図である。

[0019] 図2に示すように、第1のチップ10は、第1のパワードメイン31Aと、第2のパワードメイン31Bと、入出力(I/O)セル領域32とを含む。I/Oセル領域32は、例えば、第1のパワードメイン31A及び第2のパワードメイン31Bの周辺に配置されている。第1のパワードメイン31Aの数及び第2のパワードメイン31Bの数は2以上であってもよい。

[0020] [半導体装置に含まれる回路]

次に、半導体装置に含まれる回路について説明する。図3は、半導体装置に含まれる回路の一例の構成を示す回路図である。

[0021] 図3に示すように、半導体装置は、第1のパワードメイン31A内に、第1の駆動バッファ41と、第2の駆動バッファ42と、第3の駆動バッファ43と、第4の駆動バッファ44とを有する。半導体装置は、第2のパワードメイン31B内に、スタンダードセル56を有する。半導体装置は、VDDの電源電位が供給されるVDD配線と、VVDDの電源電位が供給されるVVDD配線と、VSSの電源電位が供給されるVSS配線と、VVSSの電源電位が供給されるVVSS配線とを有する。例えば、VSSの電源電位は接地電位であり、VSS配線は接地配線である。

[0022] 第1のパワードメイン31A内の第1～第4の駆動バッファ41～44には、VDDの電源電位及びVSSの電源電位が供給される。

[0023] 第2のパワードメイン31B内のスタンダードセル56には、VVDDの電源電位及びVVSSの電源電位が供給される。スタンダードセル56は、例えば、NAND回路、インバータ等の各種論理回路を含む。スタンダードセル56に、SRAM(Static Random Access Memory)やマクロが含まれてもよい。なお、図3において、VVDD配線を設けず代わりにVDD配線がスタンダードセル56に接続されるか、またはVVSS配線を設けず代わりにVSS配線がスタンダードセル56に接続されていてもよい。この場合、スタンダードセル56には、VVDDの電源電位及びVSSの電源電位が供給されるか、またはVDDの電源電位及びVVSSの電源電位が供給される。

[0024] 半導体装置は、第1のスイッチトランジスタ51と、第2のスイッチトランジスタ52と、第3のスイッチトランジスタ53と、第4のスイッチトランジスタ54とを有する。

[0025] 第1のスイッチトランジスタ51は、例えばPチャネルMOSトランジスタである。例えば、第1の駆動バッファ41からの制御信号が第1のスイッチトランジスタ51のゲートに入力される。第1のスイッチトランジスタ51のソース（VDD接続部）がVDD配線に接続され、ドレイン（VVDD接続部）がVVDD配線に接続される。

[0026] 第2のスイッチトランジスタ52は、例えばPチャネルMOSトランジスタである。例えば、第2の駆動バッファ42からの制御信号が第2のスイッチトランジスタ52のゲートに入力される。第2のスイッチトランジスタ52はVDD配線上に設けられている。第2のスイッチトランジスタ52の第1の端子（ドレイン）521が第1のスイッチトランジスタ51のソースに接続される。第1の端子521及び第1のスイッチトランジスタ51のソースに第1の電源パッド81が接続される。第1の電源パッド81には、外部からVDDの電源電位が供給される。第2のスイッチトランジスタ52の第2の端子（ソース）522に第2の電源パッド82が接続される。第2の電源パッド82には、外部からVDDの電源電位が供給される。

[0027] 第3のスイッチトランジスタ53は、例えばNチャネルMOSトランジスタである。例えば、第3の駆動バッファ43からの制御信号が第3のスイッチトランジスタ53のゲートに入力される。第3のスイッチトランジスタ53のソース（VSS接続部）がVSS配線に接続され、ドレイン（VVSS接続部）がVVSS配線に接続される。

[0028] 第4のスイッチトランジスタ54は、例えばNチャネルMOSトランジスタである。例えば、第4の駆動バッファ44からの制御信号が第4のスイッチトランジスタ54のゲートに入力される。第4のスイッチトランジスタ54はVSS配線上に設けられている。第4のスイッチトランジスタ54の第1の端子（ドレイン）541が第3のスイッチトランジスタ53のソースに

接続される。第1の端子541及び第3のスイッチトランジスタ53のソースに第3の電源パッド83が接続される。第3の電源パッド83には、外部からVSSの電源電位が供給される。第4のスイッチトランジスタ54の第2の端子（ソース）542に第4の電源パッド84が接続される。第4の電源パッド84には、外部からVSSの電源電位が供給される。

[0029] 第1～第4の駆動バッファ41～44は制御回路（図示せず）に接続されており、第1～第4のスイッチトランジスタ51～54に動作は、第1～第4の駆動バッファ41～44を介して制御回路により制御される。例えば、制御回路は第1のパワードメイン31A内に設けられ、制御回路には、VDDの電源電位及びVSSの電源電位が供給される。制御回路により第1のスイッチトランジスタ51のオン／オフが切り替えられ、VDD配線とVDD配線との間の導通が制御される。制御回路により第3のスイッチトランジスタ53のオン／オフが切り替えられ、VSS配線とVSS配線との間の導通が制御される。制御回路により第2及び第4のスイッチトランジスタ52及び54のオン／オフが切り替えられ、第1のパワードメイン31Aと第2のパワードメイン31Bとの間の導通が制御される。

[0030] 詳細は後述するが、第2の配線層22は、第1のサブ配線層201と第2のサブ配線層202とを有する。第1のサブ配線層201は第2のサブ配線層202よりも第1のチップ10側に位置する。第1の実施形態では、第1～第4のスイッチトランジスタ51～54は第2のサブ配線層202に設けられている。

[0031] 第1～第4のスイッチトランジスタ51～54は、薄膜トランジスタ（thin film transistor：TFT）から構成されていてもよく、微小電気機械システム（micro electro mechanical systems：MEMS）スイッチであってもよい。

[0032] [第1～第4の駆動バッファ41～44]

次に、第1～第4の駆動バッファ41～44の構成について説明する。図4は、第1の駆動バッファ41の構成を示す回路図である。図5は、第1の

駆動バッファ 4 1 の一例の平面構成を示す模式図である。

[0033] 図 4 に示すように、第 1 の駆動バッファ 4 1 は、インバータ 6 1 及びインバータ 6 2 を有する。インバータ 6 1 に入力信号 I N が入力され、インバータ 6 1 の出力がインバータ 6 2 に入力され、インバータ 6 2 から出力信号 O U T が出力される。インバータ 6 1 は P チャネル MOS トランジスタ 6 1 0 P 及び N チャネル MOS トランジスタ 6 1 0 N を含む。インバータ 6 2 は P チャネル MOS トランジスタ 6 2 0 P 及び N チャネル MOS トランジスタ 6 2 0 N を含む。

[0034] 図 5 に示す一例では、例えば、V D D 配線に相当する電源線 1 1 1 0 と、V S S 配線に相当する電源線 1 1 3 0 とが設けられている。電源線 1 1 1 0 及び 1 1 3 0 は X 方向に延在する。電源線 1 1 1 0 の電源線 1 1 3 0 側に、X 方向に延びる半導体のフィン 6 5 1 が設けられている。フィン 6 5 1 は、例えば 2 本設けられている。フィン 6 5 1 の電源線 1 1 3 0 側に、X 方向に延びる半導体のフィン 6 5 2 が設けられている。フィン 6 5 2 は、例えば 2 本設けられている。ビア 6 8 1 を介して電源線 1 1 1 0 に接続され、Y 方向に延在し、フィン 6 5 1 に接続されるローカル配線 6 3 1 が設けられている。ビア 6 8 2 を介して電源線 1 1 3 0 に接続され、Y 方向に延在し、フィン 6 5 2 に接続されるローカル配線 6 3 2 が設けられている。ローカル配線 6 3 1 及び 6 3 2 より X 方向正側に、フィン 6 5 1 及び 6 5 2 に接続されるローカル配線 6 3 4 が設けられている。ローカル配線 6 3 1 及び 6 3 2 より X 方向負側に、フィン 6 5 1 及び 6 5 2 に接続されるローカル配線 6 3 6 が設けられている。

[0035] ローカル配線 6 3 1 とローカル配線 6 3 4 との間、及びローカル配線 6 3 2 とローカル配線 6 3 4 との間でゲート絶縁膜（図示せず）を介してフィン 6 5 1 及び 6 5 2 と交差するゲート電極 6 1 2 が設けられている。ローカル配線 6 3 1 とローカル配線 6 3 6 との間、及びローカル配線 6 3 2 とローカル配線 6 3 6 との間でゲート絶縁膜（図示せず）を介してフィン 6 5 1 及び 6 5 2 と交差するゲート電極 6 2 2 が設けられている。ゲート電極 6 1 2 は

ローカル配線 6 3 3 及びビア 6 4 1 を介して配線 6 1 1 に接続されている。ゲート電極 6 2 2 はローカル配線 6 3 5 及びビア 6 4 3 を介して配線 6 9 2 に接続されている。配線 6 9 2 はローカル配線 6 3 4 にも接続されている。ローカル配線 6 3 6 はビア 6 4 4 を介して配線 6 2 1 に接続されている。配線 6 1 1 に入力信号 I N が入力され、配線 6 2 1 から出力信号 O U T が出力される（図 4 参照）。

[0036] 配線 6 9 2 が第 1 のスイッチトランジスタ 5 1 のゲートに接続されてもよい。配線 6 9 2 に代わり、配線 6 1 1 又は配線 6 2 1 のいずれか一方が第 1 のスイッチトランジスタ 5 1 のゲートに接続されてもよい。すなわち、インバータ 6 1 の出力が第 1 のスイッチトランジスタ 5 1 のゲートに入力されてもよい。インバータ 6 1 の出力に代わり、インバータ 6 1 の入力又はインバータ 6 2 の出力のいずれか一方が第 1 のスイッチトランジスタ 5 1 のゲートに接続されてもよい。

[0037] 第 2 ～第 4 の駆動バッファ 4 2 ～4 4 は、第 1 の駆動バッファ 4 1 と同様の構成を備えることができる。

[0038] なお、インバータ 6 1 及び 6 2 の構成は一例であり、例えば、インバータ 6 1 及び 6 2 に含まれる P チャネル MOS トランジスタ及び N チャネル MOS トランジスタの対は 2 以上であってもよい。

[0039] [スタンダードセル 5 6]

次に、スタンダードセル 5 6 に含まれる回路の一例として、インバータの構成について説明する。図 6 は、インバータの構成を示す回路図である。図 7 は、インバータの平面構成を示す模式図である。

[0040] 図 6 に示すように、インバータ 7 0 は P チャネル MOS トランジスタ 7 1 0 P 及び N チャネル MOS トランジスタ 7 1 0 N を含む。

[0041] 例えば、図 7 に示すように、V V D D 配線に相当する電源線 2 1 2 0 と、V V S S 配線に相当する電源線 2 1 3 0 とが設けられている。電源線 2 1 2 0 及び 2 1 3 0 は X 方向に延在する。電源線 2 1 2 0 の電源線 2 1 3 0 側に、X 方向に延びる半導体のフィン 7 5 1 が設けられている。フィン 7 5 1 は

、例えば2本設けられている。フィン751の電源線2130側に、X方向に延びる半導体のフィン752が設けられている。フィン752は、例えば2本設けられている。ビア781を介して電源線2120に接続され、Y方向に延在し、フィン751に接続されるローカル配線731が設けられている。ビア782を介して電源線2130に接続され、Y方向に延在し、フィン752に接続されるローカル配線732が設けられている。ローカル配線731及び732よりX方向正側に、フィン751及び752に接続されるローカル配線734が設けられている。電源線2120及び2130が3本以上の領域にわたって回路が設けられていてもよい。つまり、いわゆるマルチハイトの回路が設けられていてもよい。

[0042] ローカル配線731とローカル配線734との間、及びローカル配線732とローカル配線734との間でゲート絶縁膜（図示せず）を介してフィン751及び752と交差するゲート電極712が設けられている。ゲート電極712はローカル配線733及びビア741を介して配線711に接続されている。ローカル配線734はビア742を介して配線760に接続されている。配線711に入力信号INが入力され、配線760から出力信号OUTが出力される（図6参照）。

[0043] 図5及び図7には、フィンを用いたトランジスタ（FinFET）を例示しているが、バッファ等の論理回路に、プレーナ型のトランジスタ、相補型電界効果トランジスタ（Complementary Field Effect Transistor：CFET）、ナノワイヤを用いたトランジスタ等が設けられてもよい。

[0044] なお、少なくともVVDD配線又はVVSS配線のいずれか一方が設けられていればよい。例えば、VVDD配線が設けられていれば、VVSS配線ではなくVSS配線が設けられていてもよい。この場合、第3の駆動バッファ43と第3のスイッチトランジスタ53との組み合わせが設けられていなくてもよい。また、例えば、VVSS配線が設けられていれば、VVDD配線ではなくVDD配線が設けられていてもよい。この場合、第1の駆動バッファ41と第1のスイッチトランジスタ51との組み合わせが設けられてい

なくてもよい。

[0045] 更に、第2の駆動バッファ42と第2のスイッチトランジスタ52との組み合わせ、又は第4の駆動バッファ44と第4のスイッチトランジスタ54との組み合わせのいずれか一方が設けられていれば、他方が設けられていなくてもよい。例えば、第2の駆動バッファ42と第2のスイッチトランジスタ52との組み合わせが設けられていれば、第4の駆動バッファ44と第4のスイッチトランジスタ54との組み合わせが設けられていなくてもよい。

[0046] (第1の実施形態)

ここで、第1の実施形態について説明する。第1の実施形態は、図3に示す回路のうちで、VVS配線と、第3の駆動バッファ43と、第3のスイッチトランジスタ53と、第4のスイッチトランジスタ54とが設けられていない。図8及び図9は、第1の実施形態に係る半導体装置の平面構成を示す模式図である。図10及び図11は、第1の実施形態に係る半導体装置を示す断面図である。図8は、第1のチップ10及び第2のチップ20の内部構成を示し、図9は、第2のチップ20の内部構成を示す。図10は、図8及び図9中のY11-Y21線に沿った断面図に相当し、図11は、図8及び図9中のY12-Y22線に沿った断面図に相当する。

[0047] [第1のチップ10]

第1のチップ10には、X方向に延在する制御信号線3110が含まれる。図8の例では、第1のチップ10には、制御信号線3110よりY方向正側に配置された、X方向に延在する電源線2160と、X方向に延在する電源線2170とが含まれる。図8の例では、電源線2160は電源線2170よりも制御信号線3110側に位置する。例えば、電源線2160はVVD配線に相当し、電源線2170はVSS配線に相当する。制御信号線3110は、第1の駆動バッファ41と第1のスイッチトランジスタ51のゲートとの間に接続される。電源線2160と電源線2170とが交互に複数組配置されていてもよい。電源線2160と電源線2170とは第2のパワードメイン31B内に配置される。制御信号線3110も第2のパワードメ

イン 3 1 B 内に配置されてよい。

[0048] 図 8 の例では、第 1 のチップ 1 0 には、制御信号線 3 1 1 0 よりも Y 方向負側に配置された、X 方向に延在する制御信号線 3 1 2 0 と、X 方向に延在する電源線 1 1 2 0 と、X 方向に延在する電源線 1 1 3 0 とが含まれる。図 8 の例では、制御信号線 3 1 2 0 は電源線 1 1 2 0 よりも制御信号線 3 1 1 0 側に位置し、電源線 1 1 2 0 は電源線 1 1 3 0 よりも制御信号線 3 1 1 0 側に位置する。例えば、電源線 1 1 2 0 は第 2 の電源パッド 8 2 に電氣的に接続される V D D 配線に相当し、電源線 1 1 3 0 は V S S 配線に相当する。制御信号線 3 1 2 0 は、第 2 の駆動バッファ 4 2 と第 2 のスイッチトランジスタ 5 2 のゲートとの間に接続される。制御信号線 3 1 2 0 と電源線 1 1 2 0 と電源線 1 1 3 0 とは第 2 のパワードメイン 3 1 B 外に配置される。なお、各制御信号線や各電源線の配置は図 8 の例に限られず、適宜変更してもよい。

[0049] 図 1 0 及び図 1 1 に示すように、基板 1 1 に X 方向に延在する複数の溝が形成され、制御信号線 3 1 1 0、電源線 2 1 6 0、電源線 2 1 7 0、制御信号線 3 1 2 0、電源線 1 1 2 0 及び電源線 1 1 3 0 は、これら溝内に形成されている。このような構造の電源線 2 1 6 0、電源線 2 1 7 0、電源線 1 1 2 0 及び電源線 1 1 3 0 は、B P R (Buried Power Rail) とよばれることがある。基板 1 1 の表面に素子分離膜 (図示せず) が形成されていてもよい。素子分離膜は、例えば S T I (Shallow Trench Isolation) 法により形成される。素子分離膜の表面は基板 1 1 の表面と面一であってもよいし、面一でなくてもよい。

[0050] 図 8 ～図 1 1 での図示を省略するが、第 2 のパワードメイン 3 1 B 内において、電源線 2 1 6 0 と電源線 2 1 7 0 との間に、スタンダードセル 5 6 等の回路が接続される。

[0051] また、図 8 ～図 1 1 での図示を省略するが、第 2 のパワードメイン 3 1 B 外に第 1 のパワードメイン 3 1 A が配置され、第 1 のパワードメイン 3 1 A 内において、電源線 1 1 2 0 と電源線 1 1 3 0 との間に、第 1 の駆動バッファ

ァ 4 1、第 2 の駆動バッファ 4 2 及びこれらの制御回路等の回路が接続される。

[0052] 第 1 の配線層 1 2 には、制御信号線 3 1 1 0、電源線 2 1 6 0、電源線 2 1 7 0、制御信号線 3 1 2 0、電源線 1 1 2 0 及び電源線 1 1 3 0 の上方に配置された制御信号線 4 1 1 0 及び 4 1 2 0 が含まれる。第 1 の配線層 1 2 には、制御信号線 4 1 1 0 と制御信号線 3 1 1 0 とを接続するビア 4 1 1 1 と、制御信号線 4 1 2 0 と制御信号線 3 1 2 0 とを接続するビア 4 1 2 1 とが形成されている。ビア 4 1 1 1 は制御信号線 4 1 1 0 の下に形成され、ビア 4 1 2 1 は制御信号線 4 1 2 0 の下に形成されている。

[0053] 基板 1 1 には、基板 1 1 を裏面まで貫通するビア 1 1 2 1、1 1 3 1、2 1 6 1、2 1 7 1、3 1 1 1 及び 3 1 2 1 が形成されている。ビア 1 1 2 1 は電源線 1 1 2 0 の下に形成され、ビア 1 1 3 1 は電源線 1 1 3 0 の下に形成され、ビア 2 1 6 1 は電源線 2 1 6 0 の下に形成され、ビア 2 1 7 1 は電源線 2 1 7 0 の下に形成されている。ビア 3 1 1 1 は制御信号線 3 1 1 0 の下に形成され、ビア 3 1 2 1 は制御信号線 3 1 2 0 の下に形成されている。

[0054] [第 2 のチップ 2 0]

図 1 0 及び図 1 1 に示すように、第 2 のチップ 2 0 は、例えば、絶縁層 2 5 と、絶縁層 2 5 の表層部に形成された第 1 のサブ配線層 2 0 1 と、絶縁層 2 5 の内部に形成された第 2 のサブ配線層 2 0 2 とを有する。

[0055] 第 1 のサブ配線層 2 0 1 は、電源線 5 1 2 0 と、電源線 5 1 3 0 と、電源線 5 1 6 0 と、制御信号線 7 1 1 0 と、制御信号線 7 1 2 0 とを含む。電源線 5 1 2 0 と、電源線 5 1 3 0 と、電源線 5 1 6 0 と、制御信号線 7 1 1 0 と、制御信号線 7 1 2 0 とは Y 方向に延在する。例えば、平面視で第 2 のパワードメイン 3 1 B と重なる領域内において、電源線 5 1 6 0 は、2 つの制御信号線 7 1 1 0 の間に位置し、制御信号線 7 1 1 0 は、電源線 5 1 3 0 と電源線 5 1 6 0 との間に位置する。例えば、電源線 5 1 3 0 は、電源線 2 1 6 0 及び 2 1 7 0 の下方から電源線 1 1 3 0 の下方にわたって形成されている。例えば、電源線 5 1 6 0 は平面視で第 2 のパワードメイン 3 1 B と重な

る領域内に形成されている。例えば、電源線5120は、平面視で第2のパワードメイン31Bと重なる領域外において、電源線5160の延長線上に形成されている。例えば、電源線5120は第2の電源パッド82に電氣的に接続されるVDD配線に相当し、電源線5130はVSS配線に相当し、電源線5160はVVDD配線に相当する。

[0056] 第2のサブ配線層202は、電源線6110と、電源線6120と、電源線6160とを含む。電源線6110と、電源線6120と、電源線6160とはX方向に延在する。例えば、電源線6110は電源線2170の下方に位置し、電源線6160は電源線6170の下方に位置する。電源線6120は、平面視で電源線5120と重なる部分を有する。絶縁層25には、電源線5120と電源線6120とを接続するビア5121と、電源線5160と電源線6160とを接続するビア5161とが形成されている。例えば、電源線6110は第1の電源パッド81に電氣的に接続されるVDD配線に相当し、電源線6120は第2の電源パッド82に電氣的に接続されるVDD配線に相当し、電源線6160はVVDD配線に相当する。

[0057] 絶縁層25には、平面視で第2のパワードメイン31Bと重なる領域内において、隣り合う電源線6110及び6160の対と平面視で重なる複数の半導体層213が形成されている。半導体層213は、電源線6110及び6160に接続する。半導体層213上にゲート絶縁膜214が形成され、ゲート絶縁膜214上にゲート電極215が形成されている。ゲート絶縁膜214は半導体層213及びゲート電極215に接する。ゲート電極215は、平面視で電源線6110と電源線6160との間に位置する。絶縁層25には、制御信号線7110と各ゲート電極215とを接続するビア7111が形成されている。半導体層213と、ゲート絶縁膜214と、ゲート電極215とが第1のスイッチトランジスタ51に含まれる。

[0058] 絶縁層25には、隣り合う電源線6110及び6120の対と平面視で重なる複数の半導体層223が形成されている。なお、半導体層223は、平面視で第2のパワードメイン31Bと重なる領域外に配置されてもよいし、

領域内に配置されてもよい。半導体層 2 2 3 は、電源線 6 1 1 0 及び 6 1 2 0 に接続する。半導体層 2 2 3 上にゲート絶縁膜 2 2 4 が形成され、ゲート絶縁膜 2 2 4 上にゲート電極 2 2 5 が形成されている。ゲート絶縁膜 2 2 4 は半導体層 2 2 3 及びゲート電極 2 2 5 に接する。ゲート電極 2 2 5 は、平面視で電源線 6 1 1 0 と電源線 6 1 2 0 との間に位置する。絶縁層 2 5 には、制御信号線 7 1 2 0 と各ゲート電極 2 2 5 とを接続するビア 7 1 2 1 が形成されている。半導体層 2 2 3 と、ゲート絶縁膜 2 2 4 と、ゲート電極 2 2 5 とが第 2 のスイッチトランジスタ 5 2 に含まれる。

[0059] 第 2 のチップ 2 0 の裏面に設けられた複数のパッド 2 3 を通じて、外部から V D D の電源電位及び V S S の電源電位が供給される。また、半導体装置による処理後の信号が複数のパッド 2 3 を通じて外部に出力される。

[0060] このように構成された第 1 の実施形態に係る半導体装置では、スタンダードセル 5 6 を動作させる必要のないときに、第 1 のスイッチトランジスタ 5 1 がオフ状態とされる。すなわち、ゲート電極 2 1 5 に、電源線 6 1 1 0 と電源線 6 1 6 0 との間を非導通とする制御信号が入力される。この結果、電源線 6 1 6 0 (V V D D 配線) は第 1 の電源パッド 8 1 及び第 2 の電源パッド 8 2 から絶縁され、電源線 6 1 1 0 (V D D 配線) から電源線 6 1 6 0 (V V D D 配線) への電源電位の供給が遮断される。

[0061] また、スタンダードセル 5 6 を動作させようとする際には、第 2 のスイッチトランジスタ 5 2 がオフ状態とされた後に、第 1 のスイッチトランジスタ 5 1 がオン状態とされる。すなわち、ゲート電極 2 2 5 に、電源線 6 1 1 0 と電源線 6 1 2 0 との間を非導通とする制御信号が入力された後に、ゲート電極 2 1 5 に、電源線 6 1 1 0 と電源線 6 1 6 0 との間を導通とする制御信号が入力される。この結果、電源線 6 1 2 0 (V D D 配線) が電源線 6 1 1 0 (V D D 配線) から絶縁された上で、電源線 6 1 6 0 (V V D D 配線) は電源線 6 1 1 0 (V D D 配線) を介して第 1 の電源パッド 8 1 に電氣的に接続され、電源線 6 1 6 0 (V V D D 配線) に V D D の電源電位が供給される。

[0062] 電源線 6 1 6 0 (V V D D 配線) に V D D の電源電位が供給されると、スタンダードセル 5 6 が動作し始める。この時、第 2 のスイッチトランジスタ 5 2 がオン状態となっていると、第 2 のパワードメイン 3 1 B に第 2 の電源パッド 8 2 から V D D の電源電位が供給され、急激な電源電位の供給に伴ってノイズが発生し、このノイズが第 1 のパワードメイン 3 1 A に及ぶおそれがある。このような急激な電源電位の供給はラッシュカレントとよばれることがある。これに対し、本実施形態では、第 2 のスイッチトランジスタ 5 2 がオフ状態となっているため、ラッシュカレントが抑制され、ノイズの発生が抑制される。

[0063] スタンダードセル 5 6 が動作し始めた後、第 2 のパワードメイン 3 1 B に供給される V D D の電源電位の変動が落ち着くと、第 2 のスイッチトランジスタ 5 2 がオン状態とされる。すなわち、ゲート電極 2 2 5 に、電源線 6 1 1 0 と電源線 6 1 2 0 との間を導通とする制御信号が入力される。この結果、第 1 のパワードメイン 3 1 A 及び第 2 のパワードメイン 3 1 B に、安定した V D D の電源電位が供給されるようになる。

[0064] このように、本実施形態によれば、動作中のドメインへのラッシュカレントに伴うノイズの影響を抑制することができる。

[0065] (第 1 の実施形態の第 1 の変形例)

次に、第 1 の実施形態の第 1 の変形例について説明する。第 1 の変形例は、主に、第 2 のスイッチトランジスタのレイアウトの点で第 1 の実施形態と相違する。図 1 2 は、第 1 の実施形態の第 1 の変形例に係る半導体装置の平面構成を示す模式図である。図 1 2 には、主に、第 1 の変形例の第 1 の実施形態と相違する部分を示し、その他の部分の図示を省略する。

[0066] 図 1 2 に示すように、第 1 の変形例では、平面視で第 2 のパワードメイン 3 1 B の Y 方向正側及び Y 方向負側の両方に、X 方向に延在する電源線 6 1 2 0 が配置されている。そして、平面視で第 2 のパワードメイン 3 1 B と重なる領域外において、Y 方向で隣り合う電源線 6 1 1 0 及び 6 1 2 0 の対と平面視で重なる複数の半導体層 2 2 3 が形成されている。半導体層 2 2 3 上

にゲート絶縁膜 2 2 4（図 1 1 参照）及びゲート電極 2 2 5 が形成されている。半導体層 2 2 3 と、ゲート絶縁膜 2 2 4 と、ゲート電極 2 2 5 とが第 2 のスイッチトランジスタ 5 2 に含まれる。

[0067] また、平面視で第 2 のパワードメイン 3 1 B と重なる領域内に X 方向に延在する複数の電源線 6 1 1 0 が配置されている。平面視で第 2 のパワードメイン 3 1 B の X 方向正側及び X 方向負側の両方で、これら電源線 6 1 1 0 の延長線上に、X 方向に延在する電源線 6 1 2 0 が配置されている。そして、平面視で第 2 のパワードメイン 3 1 B と重なる領域外において、X 方向で隣り合う電源線 6 1 1 0 及び 6 1 2 0 の対と平面視で重なる複数の半導体層 2 2 3 が形成されている。半導体層 2 2 3 上にゲート絶縁膜 2 2 4（図 1 1 参照）及びゲート電極 2 2 5 が形成されている。半導体層 2 2 3 と、ゲート絶縁膜 2 2 4 と、ゲート電極 2 2 5 とが第 2 のスイッチトランジスタ 5 2 に含まれる。

[0068] 平面視で第 2 のパワードメイン 3 1 B の X 方向正側及び X 方向負側の両方に、Y 方向に延在する電源線 5 1 2 0 が配置されている。電源線 5 1 2 0 は平面視で複数の電源線 6 1 2 0 と直交しており、電源線 5 1 2 0 と、当該電源線 5 1 2 0 と直交する電源線 6 1 2 0 とはビア 5 1 2 1 を介して接続されている。

[0069] なお、図 1 2 の第 2 のスイッチトランジスタ 5 2 において、ビア 7 1 2 1 及び制御信号線 7 1 2 0 等の図示が省略されている。即ち、第 2 のスイッチトランジスタ 5 2 の各々において、ビア 7 1 2 1 及び制御信号線 7 1 2 0 等が配置される。また、図 1 2 では図示を省略しているが、Y 方向で隣り合う電源線 6 1 1 0 と電源線 6 1 6 0 との間には第 1 のスイッチトランジスタ 5 1 が接続される。

[0070] 他の構成は第 1 の実施形態と同様である。

[0071] 第 1 の変形例によっても第 1 の実施形態と同様の効果を得ることができる。

[0072] なお、第 2 のスイッチトランジスタ 5 2 は、第 2 のパワードメイン 3 1 B

のX方向正側、X方向負側、Y方向正側、Y方向負側のすべてに配置されている必要はない。例えば、第2のスイッチトランジスタ52が第2のパワードメイン31BのX方向正側及びX方向負側のみに配置されていてもよい。また、第2のスイッチトランジスタ52が第2のパワードメイン31BのY方向正側及びY方向負側のみに配置されていてもよい。

[0073] また、電源線6110、6120の一部が第2のスイッチトランジスタ52に直接接続されていなくてもよく、他の配線を介して第2のスイッチトランジスタ52に接続されていてもよい。

[0074] (第1の実施形態の第2の変形例)

次に、第1の実施形態の第2の変形例について説明する。第2の変形例は、主に、第2のスイッチトランジスタのレイアウトの点で第1の実施形態と相違する。図13は、第1の実施形態の第2の変形例に係る半導体装置の平面構成を示す模式図である。図13には、主に、第2の変形例の第1の実施形態と相違する部分を示し、その他の部分の図示を省略する。

[0075] 図13に示すように、第2の変形例では、第1の変形例における複数の電源線6110のX方向正側の端部が互いに接続され、また、第1の変形例における複数の電源線6110のX方向負側の端部が互いに接続されている。すなわち、電源線6110が梯子状の平面形状を有する。電源線6110は、平面視で、環状の部分と、環状の部分の内側でX方向に延在し、環状の部分に繋がる部分とを有する。また、電源線6110の環状の部分の外側に、平面視で環状の電源線6120が配置されている。

[0076] Y方向で隣り合う電源線6110の一部及び6120の一部の対と平面視で重なる半導体層223がX方向に延在するようにして形成されている。半導体層223上にX方向に延在するゲート絶縁膜224(図11参照)及びゲート電極225が形成されている。半導体層223と、ゲート絶縁膜224と、ゲート電極225とが第2のスイッチトランジスタ52に含まれる。

[0077] また、X方向で隣り合う電源線6110の一部及び6120の一部の対と平面視で重なる半導体層223がY方向に延在するようにして形成されてい

る。半導体層 2 2 3 上に Y 方向に延在するゲート絶縁膜 2 2 4（図 1 1 参照）及びゲート電極 2 2 5 が形成されている。半導体層 2 2 3 と、ゲート絶縁膜 2 2 4 と、ゲート電極 2 2 5 とが第 2 のスイッチトランジスタ 5 2 に含まれる。

[0078] なお、図 1 3 の第 2 のスイッチトランジスタ 5 2 において、ビア 7 1 2 1 及び制御信号線 7 1 2 0 等の図示が省略されている。即ち、第 2 のスイッチトランジスタ 5 2 の各々において、ビア 7 1 2 1 及び制御信号線 7 1 2 0 等が配置される。また、図 1 3 では図示を省略しているが、Y 方向で隣り合う電源線 6 1 1 0 と電源線 6 1 6 0 との間には第 1 のスイッチトランジスタ 5 1 が接続される。

[0079] 他の構成は第 1 の実施形態と同様である。

[0080] 第 2 の変形例によっても第 1 の実施形態と同様の効果を得ることができる。

[0081] なお、電源線 6 1 1 0 が環状の部分の有さずに、X 方向に延在する部分と、Y 方向に延在する部分とを有し、X 方向に延在する半導体層 2 2 3 と、Y 方向に延在する半導体層 2 2 3 とが配置されていてもよい。また、電源線 6 1 2 0 が環状の平面形状の有さずに、X 方向に延在する部分と、Y 方向に延在する部分とを有し、X 方向に延在する半導体層 2 2 3 と、Y 方向に延在する半導体層 2 2 3 とが配置されていてもよい。

[0082] また、第 1 のスイッチトランジスタ 5 1 に含まれる半導体層 2 1 3、ゲート絶縁膜 2 1 4 及びゲート電極 2 1 5 が X 方向に延在していてもよい。

[0083] （第 1 の実施形態の第 3 の変形例）

次に、第 1 の実施形態の第 3 の変形例について説明する。第 3 の変形例は、主に、第 2 の配線層 2 2 の構成の点で第 1 の実施形態と相違する。図 1 4 は、第 1 の実施形態の第 3 の変形例に係る半導体装置を示す断面図である。図 1 4 には、主に、第 3 の変形例の第 1 の実施形態と相違する部分を示し、その他の部分の図示を省略する。

[0084] 図 1 4 に示すように、第 3 の変形例では、第 2 の配線層 2 2 が第 2 のサブ

配線層 202 の下方に第 3 のサブ配線層 203 を更に含む。すなわち、第 3 のサブ配線層 203 は、第 2 のサブ配線層 202 よりも第 1 のチップ 10 から離間して形成されている。第 3 のサブ配線層 203 は、例えば、電源線 8110 と、電源線 8120 とを含む。電源線 8110 と、電源線 8120 とは Y 方向に延在する。電源線 8110 は、平面視で電源線 6110 と重なる部分を有する。電源線 8120 は、平面視で電源線 8120 と重なる部分を有する。絶縁層 25 には、電源線 6110 と電源線 8110 とを接続するビア 6111 と、電源線 6120 と電源線 8120 とを接続するビア 6121 とが形成されている。例えば、電源線 8110 は第 1 の電源パッド 81 に電氣的に接続される VDD 配線に相当し、電源線 8120 は第 2 の電源パッド 82 に電氣的に接続される VDD 配線に相当する。

[0085] 絶縁層 25 には、平面視で第 2 のパワードメイン 31B と重なる領域外において、隣り合う電源線 8110 及び 8120 の対と平面視で重なる複数の半導体層 233 が形成されている。半導体層 233 は、電源線 8110 及び 8120 に接続する。半導体層 233 上にゲート絶縁膜 234 が形成され、ゲート絶縁膜 234 上にゲート電極 235 が形成されている。ゲート絶縁膜 234 は半導体層 233 及びゲート電極 235 に接する。ゲート電極 235 は、平面視で電源線 8110 と電源線 8120 との間に位置する。絶縁層 25 には、制御信号線 7120 とゲート電極 235 とを接続するビア等（図示せず）が形成されている。半導体層 233 と、ゲート絶縁膜 234 と、ゲート電極 235 とが第 2 のスイッチトランジスタ 52 に含まれる。

[0086] 他の構成は第 1 の実施形態と同様である。

[0087] 第 3 の変形例によっても第 1 の実施形態と同様の効果を得ることができる。第 3 の変形例によれば、より電源電位を安定させることができる。

[0088] なお、半導体層 233、ゲート絶縁膜 234 及びゲート電極 235 が設けられていなくてもよい。

[0089] （第 1 の実施形態の第 4 の変形例）

次に、第 1 の実施形態の第 4 の変形例について説明する。第 4 の変形例は

、主に、第2の配線層22の構成の点で第1の実施形態と相違する。図15は、第1の実施形態の第4の変形例に係る半導体装置に含まれる回路の一例の構成を示す回路図である。図15には、主に、第4の変形例の第1の実施形態と相違する部分を示し、その他の部分の図示を省略する。

[0090] 図15に示すように、第4の変形例では、第2の配線層22が第1のサブ配線層201と第2のサブ配線層202とを含む。そして、第1のスイッチトランジスタ51及び第3のスイッチトランジスタ53が第1のサブ配線層201に配置されている。また、第2のスイッチトランジスタ52及び第4のスイッチトランジスタ54が第1のサブ配線層201及び第2のサブ配線層202の両方に配置されている。

[0091] このような回路構成を備えた第4の変形例によっても第1の実施形態と同様の効果を得ることができる。

[0092] (第1の実施形態の第5の変形例)

次に、第1の実施形態の第5の変形例について説明する。第5の変形例は、主に、スイッチトランジスタの構成の点で第1の実施形態と相違する。図16及び図17は、第1の実施形態の第5の変形例に係る半導体装置の平面構成を示す模式図である。図16は、第1のチップ10及び第2のチップ20の内部構成を示し、図17は、第2のチップ20の内部構成を示す。図16及び図17には、主に、第5の変形例の第1の実施形態と相違する部分を示し、その他の部分の図示を省略する。

[0093] 図16及び図17に示すように、第5の変形例では、第2のサブ配線層202が、X方向に延在する電源線6130を有する。例えば、電源線6130はVSS配線に相当する。電源線6130は平面視で電源線5130と直交しており、電源線5130と、当該電源線5130と直交する電源線6130とはビア5131を介して接続されている。

[0094] 第1のサブ配線層201が、Y方向に延在する電源線5170を有する。例えば、電源線5170は第1の電源パッド81に電氣的に接続されるVDD配線に相当する。例えば、電源線5170は、電源線6110と直交して

おり、電源線5170と、当該電源線5170と直交する電源線6110とはビア5171を介して接続されている。

[0095] 平面視で第2のパワードメイン31Bと重なる領域内において、電源線5160と電源線5170との間に制御信号線7110が配置されている。半導体層213は、電源線6130よりも上方に、平面視で、電源線5160と、制御信号線7110と、電源線5170と重なるようにして形成されている。制御信号線7110の下方において、半導体層213上にゲート絶縁膜214（図11参照）及びゲート電極215が形成されている。ゲート電極215はビア7111を介して制御信号線7110に接続されている。また、半導体層213は、ゲート電極215よりもX方向負側において電源線5160にビア5162を介して接続され、ゲート電極215よりもX方向正側において電源線5170にビア5172を介して接続されている。ビア5162は電源線5160の下に形成され、ビア5172は電源線5170の下に形成されている。

[0096] 平面視で第2のパワードメイン31Bと重なる領域外において、電源線5120と電源線5170との間に制御信号線7120が配置されている。半導体層223は、平面視で、電源線5120と、制御信号線7120と、電源線5170と重なるようにして形成されている。制御信号線7120の下方において、半導体層223上にゲート絶縁膜224（図11参照）及びゲート電極225が形成されている。ゲート電極225はビア7121を介して制御信号線7120に接続されている。また、半導体層223は、ゲート電極225よりもX方向負側において電源線5120にビア5123を介して接続され、ゲート電極225よりもX方向正側において電源線5170にビア5173を介して接続されている。ビア5123は電源線5120の下に形成され、ビア5173は電源線5170の下に形成されている。

[0097] 他の構成は第1の実施形態と同様である。

[0098] 第5の変形例によっても第1の実施形態と同様の効果を得ることができる。

[0099] なお、第1の変形例（図12参照）又は第2の変形例（図13参照）のような平面構成が採用されてもよい。また、第2のサブ配線層202にも第1のスイッチトランジスタ51及び第2のスイッチトランジスタ52が形成されていてもよい。

[0100] （第1の実施形態の第6の変形例）

次に、第1の実施形態の第6の変形例について説明する。第6の変形例は、主に、第4のスイッチトランジスタを含む点で第1の実施形態と相違する。図18は、第1の実施形態の第6の変形例に係る半導体装置の平面構成を示す模式図である。図18には、主に、第6の変形例の第1の実施形態と相違する部分を示し、その他の部分の図示を省略する。

[0101] 第6の変形例に係る半導体装置は、第1のスイッチトランジスタ51及び第2のスイッチトランジスタ52に加えて、第4のスイッチトランジスタ54が設けられている。

[0102] 図18に示すように、第6の変形例では、平面視で第2のパワードメイン31BのY方向正側及びY方向負側の両方に、X方向に延在する電源線6220が配置されている。また、平面視で第2のパワードメイン31Bと重なる領域内において、X方向に延在する複数の電源線6210が配置されている。電源線6210及び6220は第2のサブ配線層202に含まれる。例えば、電源線6210は第3の電源パッド83に電氣的に接続されるVSS配線に相当し、電源線6220は第4の電源パッド84に電氣的に接続されるVSS配線に相当する。そして、平面視で第2のパワードメイン31Bと重なる領域外において、Y方向で隣り合う電源線6210及び6220の対と平面視で重なる複数の半導体層243が形成されている。半導体層243上にゲート絶縁膜（図示せず）及びゲート電極245が形成されている。半導体層243と、ゲート絶縁膜（図示せず）と、ゲート電極245とが第4のスイッチトランジスタ54に含まれる。

[0103] 第1のサブ配線層201がY方向に延在する電源線5220を有する。例えば、電源線5220はVSS配線に相当する。電源線5220は平面視で

複数の電源線 6 2 1 0 と直交しており、電源線 5 2 2 0 と、当該電源線 5 2 2 0 と直交する電源線 6 2 1 0 とはビア 5 2 2 1 を介して接続されている。

[0104] なお、図 1 8 の第 2 のスイッチトランジスタ 5 2 において、ビア 7 1 2 1 及び制御信号線 7 1 2 0 等の図示が省略されている。即ち、第 2 のスイッチトランジスタ 5 2 の各々において、ビア 7 1 2 1 及び制御信号線 7 1 2 0 等が配置される。図 1 8 の第 4 のスイッチトランジスタ 5 4 において、ゲート電極 2 4 5 に接続されるビア及び制御信号線等の図示が省略されている。即ち、第 4 のスイッチトランジスタ 5 4 の各々において、ビア及び制御信号線等が配置される。また、図 1 8 では図示を省略しているが、Y 方向で隣り合う電源線 6 1 1 0 と電源線 6 1 6 0 との間には第 1 のスイッチトランジスタ 5 1 が接続される。

[0105] 他の構成は第 1 の実施形態と同様である。

[0106] このように構成された第 6 の変形例に係る半導体装置では、スタンダードセル 5 6 を動作させる必要のないときに、第 1 のスイッチトランジスタ 5 1 がオフ状態とされる。この結果、電源線 6 1 6 0 (V V D D 配線) は第 1 の電源パッド 8 1 及び第 2 の電源パッド 8 2 から絶縁され、電源線 6 1 1 0 (V D D 配線) から電源線 6 1 6 0 (V V D D 配線) への電源電位の供給が遮断される (図 8 ~ 図 1 1 参照)。

[0107] また、スタンダードセル 5 6 を動作させようとする際には、第 2 のスイッチトランジスタ 5 2 及び第 4 のスイッチトランジスタ 5 4 がオフ状態とされた後に、第 1 のスイッチトランジスタ 5 1 がオン状態とされる。すなわち、ゲート電極 2 2 5 に、電源線 6 1 1 0 と電源線 6 1 2 0 との間を非導通とする制御信号が入力され、ゲート電極 2 4 5 に、電源線 6 2 1 0 と電源線 6 2 2 0 との間を非導通とする制御信号が入力された後に、ゲート電極 2 1 5 に、電源線 6 1 1 0 と電源線 6 1 6 0 との間を導通とする制御信号が入力される。この結果、電源線 6 1 2 0 (V D D 配線) が電源線 6 1 1 0 (V D D 配線) から絶縁され、かつ電源線 6 2 2 0 (V S S 配線) が電源線 6 2 1 0 (V S S 配線) から絶縁された上で、電源線 6 1 6 0 (V V D D 配線) に V D

Dの電源電位が供給される。

[0108] 電源線6160（VDD配線）にVDDの電源電位が供給されると、スタンダードセル56が動作し始める。この時、第2のスイッチトランジスタ52及び第4のスイッチトランジスタ54の両方がオン状態となっており、第2のパワードメイン31Bに第2の電源パッド82からもVDDの電源電位が供給され、急激な電源電位の供給に伴ってノイズが発生し、このノイズが第1のパワードメイン31Aに及ぶおそれがある。このような急激な電源電位の供給はラッシュカレントとよばれることがある。これに対し、本実施形態では、第2のスイッチトランジスタ52及び第4のスイッチトランジスタ54の両方がオフ状態となっているため、動作中のドメインへのラッシュカレントによる影響を抑制することができる。また、第2のスイッチトランジスタ52及び第4のスイッチトランジスタ54がオフ状態となっているため、第2のスイッチトランジスタ52又は第4のスイッチトランジスタ54のいずれかのみがオフ状態となっている時よりもノイズの発生を抑制することができる。

[0109] スタンダードセル56が動作し始めた後、第2のパワードメイン31Bに供給されるVDDの電源電位の変動が落ち着くと、第2のスイッチトランジスタ52及び第4のスイッチトランジスタ54がオン状態とされる。すなわち、ゲート電極225に、電源線6110と電源線6120との間を導通とする制御信号が入力され、ゲート電極245に、電源線6210と電源線6220との間を導通とする制御信号が入力される。この結果、第1のパワードメイン31A及び第2のパワードメイン31Bに、安定したVDDの電源電位が供給されるようになる。

[0110] このように、第6の変形例によっても、ラッシュカレントに伴うノイズの発生を抑制することができる。

[0111] 他の実施形態及び変形例においても、第2のスイッチトランジスタ52に加えて第4のスイッチトランジスタ54が設けられていてもよい。第4のスイッチトランジスタ54が設けられていれば、第2のスイッチトランジスタ

5 2 が設けられていなくてもよい。

[0112] また、第 1 のスイッチトランジスタ 5 1 に加えて第 3 のスイッチトランジスタ 5 3 が設けられていてもよい。第 3 のスイッチトランジスタ 5 3 が設けられていれば、第 1 のスイッチトランジスタ 5 1 が設けられていなくてもよい。

[0113] (第 2 の実施形態)

次に、第 2 の実施形態について説明する。第 2 の実施形態は、主に、スイッチトランジスタの配置の点で第 1 の実施形態と相違する。図 1 9 及び図 2 0 は、第 2 の実施形態に係る半導体装置の平面構成を示す模式図である。図 2 1 及び図 2 2 は、第 2 の実施形態に係る半導体装置を示す断面図である。図 1 9 は、主に、上層側の電源線を示し、図 2 0 は、主に下層側の電源線を示す。図 2 1 は、図 1 9 及び図 2 0 中の Y 1 3 - Y 2 3 線に沿った断面図に相当し、図 2 2 は、図 1 9 及び図 2 0 中の Y 1 4 - Y 2 4 線に沿った断面図に相当する。

[0114] 第 2 の実施形態に係る半導体装置は、単一のチップ 3 0 から構成される。チップ 3 0 は、基板 3 1 と、基板 3 1 上の配線層 3 6 を有する。配線層 3 6 は、絶縁層 3 5 と、絶縁層 3 5 内に形成された複数の電源線及びビアを含む。

[0115] チップ 3 0 には、X 方向に延在する電源線 2 1 6 0 と、X 方向に延在する電源線 2 1 7 0 とが含まれる。例えば、電源線 2 1 6 0 は V V D D 配線に相当し、電源線 2 1 7 0 は V S S 配線に相当する。電源線 2 1 6 0 と電源線 2 1 7 0 とが交互に複数組配置されていてもよい。電源線 2 1 6 0 と電源線 2 1 7 0 とは第 2 のパワードメイン 3 1 B 内に配置される。

[0116] チップ 3 0 には、電源線 2 1 6 0 及び 2 1 7 0 よりも Y 方向負側に配置された、X 方向に延在する電源線 1 1 2 0 と、X 方向に延在する電源線 1 1 3 0 とが含まれる。電源線 1 1 2 0 は電源線 1 1 3 0 よりも電源線 2 1 7 0 側に位置する。例えば、電源線 1 1 2 0 は第 2 の電源パッド 8 2 に電氣的に接続される V D D 配線に相当し、電源線 1 1 3 0 は V S S 配線に相当する。

- [0117] 図 2 1 及び図 2 2 に示すように、基板 3 1 に X 方向に延在する複数の溝が形成され、電源線 2 1 6 0、電源線 2 1 7 0、電源線 1 1 2 0 及び電源線 1 1 3 0 は、これら溝内に形成されている。
- [0118] 図 1 9 ～図 2 2 での図示を省略するが、第 2 のパワードメイン 3 1 B 内において、電源線 2 1 6 0 と電源線 2 1 7 0 との間に、スタンダードセル 5 6 等の回路が接続される。
- [0119] また、図 1 9 ～図 2 2 での図示を省略するが、第 2 のパワードメイン 3 1 B 外に第 1 のパワードメイン 3 1 A が配置され、第 1 のパワードメイン 3 1 A 内において、電源線 1 1 2 0 と電源線 1 1 3 0 との間に、第 1 の駆動バッファ 4 1、第 2 の駆動バッファ 4 2 及びこれらの制御回路等の回路が接続される。
- [0120] 配線層 3 6 には、制御信号線 7 3 1 0、制御信号線 7 3 2 0、電源線 5 3 2 0、電源線 5 3 3 0 及び電源線 5 3 6 0 が含まれる。制御信号線 7 3 1 0、制御信号線 7 3 2 0、電源線 5 3 2 0、電源線 5 3 3 0 及び電源線 5 3 6 0 は Y 方向に延在する。電源線 5 3 2 0 は、平面視で電源線 1 1 2 0 と直交し、電源線 5 3 3 0 は、平面視で電源線 1 1 3 0 又は 2 1 7 0 と直交し、電源線 5 3 6 0 は、平面視で電源線 2 1 6 0 と直交する。絶縁層 3 5 には、電源線 5 3 2 0 と電源線 1 1 2 0 とを接続するビア 1 3 2 1 と、電源線 5 3 3 0 と電源線 1 1 3 0 とを接続するビア 1 3 3 1 とが形成されている。絶縁層 3 5 には、電源線 5 3 3 0 と電源線 2 1 7 0 とを接続するビア 2 3 7 1 と、電源線 5 3 6 0 と電源線 2 1 6 0 とを接続するビア 2 3 6 1 とが形成されている。制御信号線 7 3 1 0 及び 7 3 2 0 は、平面視で電源線 2 1 6 0 及び 2 1 7 0 と直交する。
- [0121] 電源線 2 1 7 0 の上方に電源線 6 3 1 0 が形成され、電源線 2 1 6 0 の上方に電源線 6 3 6 0 が形成されている。電源線 6 3 1 0 及び 6 3 6 0 は X 方向に延在する。絶縁層 3 5 には、平面視で第 2 のパワードメイン 3 1 B と重なる領域内において、隣り合う電源線 6 3 1 0 及び 6 3 6 0 の対と平面視で重なる複数の半導体層 2 7 3 が形成されている。半導体層 2 7 3 下にゲート

絶縁膜 274 が形成され、ゲート絶縁膜 274 下にゲート電極 275 が形成されている。ゲート絶縁膜 274 は半導体層 273 及びゲート電極 275 に接する。ゲート電極 275 は、平面視で電源線 6310 と電源線 6360 との間に位置する。絶縁層 35 には、半導体層 273 と電源線 6310 とを接続するビア 6313 と、半導体層 273 と電源線 6360 とを接続するビア 6363 と、制御信号線 7310 と各ゲート電極 275 とを接続するビア 7311 とが形成されている。半導体層 273 と、ゲート絶縁膜 274 と、ゲート電極 275 とが第 1 のスイッチトランジスタ 51 に含まれる。

[0122] 平面視で電源線 1120 と電源線 2170 との間において、電源線 6310 及び 6360 と同じサブ配線層に電源線 6320 が形成されている。電源線 6320 は X 方向に延在する。絶縁層 35 には、平面視で第 2 のパワードメイン 31B と重なる領域外において、隣り合う電源線 6310 及び 6320 の対と平面視で重なる複数の半導体層 283 が形成されている。半導体層 283 下にゲート絶縁膜 284 が形成され、ゲート絶縁膜 284 下にゲート電極 285 が形成されている。ゲート絶縁膜 284 は半導体層 283 及びゲート電極 285 に接する。ゲート電極 285 は、平面視で電源線 6310 と電源線 6320 との間に位置する。絶縁層 35 には、半導体層 283 と電源線 6310 とを接続するビア 6313 と、半導体層 283 と電源線 6320 とを接続するビア 6323 と、制御信号線 7320 と各ゲート電極 285 とを接続するビア 7321 とが形成されている。半導体層 283 と、ゲート絶縁膜 284 と、ゲート電極 285 とが第 2 のスイッチトランジスタ 52 に含まれる。

[0123] 電源線 5360 と電源線 6360 との間に Y 方向に延在する電源線 4360 が形成されている。絶縁層 35 には、電源線 6360 と電源線 4360 とを接続するビア 4361 と、電源線 4360 と電源線 5360 とを接続するビア 5361 とが形成されている。

[0124] 電源線 5320 と電源線 6320 との間に Y 方向に延在する電源線 4320 が形成されている。絶縁層 35 には、電源線 6320 と電源線 4320 と

を接続するビア4321と、電源線4320と電源線5320とを接続するビア5321とが形成されている。

[0125] Y方向に並ぶ複数の電源線5330の上方にY方向に延在する電源線4330が形成されている。電源線4330は、例えば電源線4320及び4360と同一のサブ配線層に形成されている。絶縁層35には、電源線4330と電源線5330とを接続するビア5331が形成されている。

[0126] 図19及び図20での図示を省略するが、電源線6310及び6360の上方にY方向に延在する電源線8310が形成されていてもよく、電源線8310と電源線6310とを接続するビア6311が形成されていてもよい。また、電源線6320の上方に電源線8320が形成されていてもよく、電源線8320と電源線6320とを接続するビア6321が形成されていてもよい。

[0127] 第2の実施形態においても、スタンダードセル56を動作させようとする際には、第2のスイッチトランジスタ52がオフ状態とされた後に、第1のスイッチトランジスタ51がオン状態とされる。すなわち、ゲート電極285に、電源線6310と電源線6320との間を非導通とする制御信号が入力された後に、ゲート電極275に、電源線6310と電源線6360との間を導通とする制御信号が入力される。

[0128] 電源線6360（VDD配線）にVDDの電源電位が供給されると、スタンダードセル56が動作し始める。この時、本実施形態では、第2のスイッチトランジスタ52がオフ状態となっているため、ラッシュカレントが抑制され、ノイズの発生が抑制される。

[0129] スタンダードセル56が動作し始めた後、第2のパワードメイン31Bに供給されるVDDの電源電位の変動が落ち着くと、第2のスイッチトランジスタ52がオン状態とされる。すなわち、ゲート電極285に、電源線6310と電源線6320との間を導通とする制御信号が入力される。この結果、第1のパワードメイン31A及び第2のパワードメイン31Bに、安定したVDDの電源電位が供給されるようになる。

[0130] このように、本実施形態によっても、ラッシュカレントに伴うノイズの発生を抑制することができる。

[0131] ここで、スイッチトランジスタの断面構成の概要について説明する。図23～図25は、スイッチトランジスタの断面構成の例を示す断面図である。

[0132] 図23に示す第1の例では、絶縁層101中に下地絶縁膜102が設けられ、下地絶縁膜102上に半導体層103、ゲート絶縁膜104及びゲート電極105が設けられている。絶縁層101の表層部に、制御信号線110と、VDD配線に相当する電源線120と、VVDD配線に相当する電源線130が設けられている。半導体層103は、チャネル103Cと、チャネル103Cを間に挟むソース103S及びドレイン103Dを有する。電源線120とソース103Sとがビア121を介して接続され、電源線130とドレイン103Dとがビア131を介して接続されている。下地絶縁膜102の下に、VDD配線に相当する電源線123と、VVDD配線に相当する電源線133とが設けられている。電源線120と電源線123とがビア122を介して接続され、電源線130と電源線133とがビア132を介して接続されている。制御信号線110はビア111を介してゲート電極105に接続されている。

[0133] 図24に示す第2の例では、下地絶縁膜102にゲート絶縁膜204が設けられ、ゲート絶縁膜204の上に半導体層103が設けられ、ゲート絶縁膜204の下にゲート電極205が設けられている。他の構成は第1の例と同様である。

[0134] 図25に示す第3の例では、電源線123が半導体層103のソース103Sの下面に接続するように設けられ、電源線133が半導体層103のドレイン103Dの下面に接続するように設けられている。電源線120はビア121を介して電源線123に接続され、電源線130はビア131を介して電源線133に接続されている。他の構成は第1の例と同様である。

[0135] 下地絶縁膜の材料は、例えば酸化シリコン、窒化シリコン、炭化シリコン、酸化窒化シリコン、酸化炭化シリコン等である。半導体層の材料は、例え

ば InGaZnO (IGZO)、 ZnO 、 ZnSnO 、 InZnO 等である。ゲート絶縁膜の材料は、例えば SiO_2 、 SiO_xN_y 、 SiN 、 Al_2O_3 等である。ゲート電極の材料は、例えばモリブデン、チタン、クロム、タンタル、マグネシウム、銀、タングステン、アルミニウム、銅、ネオジム、ルテニウム、スカンジウム等の金属である。ゲート電極の材料がグラフェン等であってもよい。

[0136] ゲート電極と半導体層との積層関係及び半導体層とVDD配線との接続関係の観点から上記の各実施形態に設けられた第1～第4のスイッチトランジスタ51～54を第1～第3の例に分類すると、次のようになる。すなわち、第1の実施形態、第1の実施形態の第1～第4の変形例及び第1の実施形態の第6の変形例に設けられた第1～第4のスイッチトランジスタ51～54は、第3の例に分類される。第1の実施形態の第5の変形例に設けられた第1～第4のスイッチトランジスタ51～54は、第1の例に分類される。第2の実施形態に設けられた第1～第4のスイッチトランジスタ51～54は、第2の例に分類される。

[0137] 以上、各実施形態に基づき本発明の説明を行ってきたが、上記実施形態に示した要件に本発明が限定されるものではない。これらの点に関しては、本発明の主旨をそこなわない範囲で変更することができ、その応用形態に応じて適切に定めることができる。

符号の説明

[0138] 10：第1のチップ
20：第2のチップ
31A、31B：パワードメイン
41、42、43、44：駆動バッファ
51、52、53、54：スイッチトランジスタ
56：スタンダードセル

請求の範囲

- [請求項1] 基板と、前記基板の第1の面上に形成された第1の配線層と、を有する第1のチップと、
- 前記基板の前記第1の面とは反対側の第2の面上に形成された第2の配線層と、
- を有し、
- 前記第2の配線層は、
- 第1の電源電位が供給される第1の電源線と、
- 第2の電源電位が供給される第2の電源線と、
- 第3の電源電位が供給される第3の電源線と、
- 前記第1の電源線と前記第2の電源線との間に接続された第1のスイッチと、
- 前記第1の電源線又は前記第3の電源線の一方上に設けられた第2のスイッチと、
- を有し、
- 前記第1のチップは、
- 前記第1の電源線と前記第3の電源線との間に設けられた第1の回路を有することを特徴とする半導体装置。
- [請求項2] 前記第2のスイッチは、前記第1の電源線上に設けられていることを特徴とする請求項1に記載の半導体装置。
- [請求項3] 前記第2のスイッチは、
- 電氣的に前記第1の回路側の第1の端子と、
- 電氣的に前記第1の端子とは反対側の第2の端子と、
- を有し、
- 前記第1のチップは、
- 前記第2の端子と、前記第1の電源線又は前記第3の電源線の他方との間に接続された第2の回路と、
- を有することを特徴とする請求項1又は2に記載の半導体装置。

- [請求項4] 前記第2の回路は、
前記第1のスイッチを制御する第1の制御バッファと、
前記第2のスイッチを制御する第2の制御バッファと、
を有することを特徴とする請求項3に記載の半導体装置。
- [請求項5] 前記第2の配線層は、
第4の電源電位が供給される第4の電源線と、
前記第3の電源線と前記第4の電源線との間に接続された第3のスイッチと、
前記第1の電源線又は前記第3の電源線の方上に設けられた第4のスイッチと、
を有し、
前記第1の回路は、前記第4の電源線と前記第3の電源線との間に接続されていることを特徴とする請求項1乃至4のいずれか1項に記載の半導体装置。
- [請求項6] 前記第2の配線層は、
第4の電源電位が供給される第4の電源線と、
前記第3の電源線と前記第4の電源線との間に接続された第3のスイッチと、
前記第1の電源線又は前記第3の電源線の方上に設けられた第4のスイッチと、
を有し、
前記第1の回路は、前記第4の電源線と前記第3の電源線との間に接続されており、
前記第2のスイッチは、
電氣的に前記第1の回路側の第1の端子と、
電氣的に前記第1の端子とは反対側の第2の端子と、
を有し、
前記第4のスイッチは、

電氣的に前記第 1 の回路側の第 3 の端子と、
電氣的に前記第 3 の端子とは反対側の第 4 の端子と、
を有し、

前記第 1 のチップは、前記第 2 の端子と前記第 4 の端子との間に接続された第 2 の回路を有することを特徴とする請求項 1 に記載の半導体装置。

[請求項7] 前記第 4 のスイッチは前記第 3 の電源線上に設けられ、
前記第 2 のスイッチは前記第 1 の電源線上に設けられていることを特徴とする請求項 6 に記載の半導体装置。

[請求項8] 前記第 2 の回路は、
前記第 1 のスイッチを制御する第 1 の制御バッファと、
前記第 2 のスイッチを制御する第 2 の制御バッファと、
前記第 3 のスイッチを制御する第 3 の制御バッファと、
前記第 4 のスイッチを制御する第 4 の制御バッファと、
を有することを特徴とする請求項 6 又は 7 に記載の半導体装置。

[請求項9] 前記第 3 の電源線は、接地電位が供給される接地配線であることを特徴とする請求項 1 乃至 8 のいずれか 1 項に記載の半導体装置。

[請求項10] 前記第 1 の電源線は、第 1 の配線及び第 2 の配線を有し、
前記第 2 の電源線は、第 3 の配線を有し、
前記第 2 のスイッチは、前記第 1 の配線と前記第 2 の配線との間に設けられ、
前記第 1 のスイッチは、前記第 2 の配線と前記第 3 の配線との間に設けられる

ことを特徴とする請求項 1 乃至 9 のいずれか 1 項に記載の半導体装置。

[請求項11] 前記第 1 の配線及び前記第 2 の配線は、平面視で第 1 の方向に延在し、

複数の前記第 2 のスイッチが、前記第 1 の方向に沿って配置されて

いる

ことを特徴とする請求項 10 に記載の半導体装置。

[請求項12] 前記第 2 の配線及び前記第 3 の配線は、平面視で前記第 1 の方向に延在し、

前記第 2 の配線と前記第 3 の配線は、平面視で前記第 1 の方向とは異なる第 2 の方向で交互に複数配置され、

前記第 1 のスイッチは、前記第 2 の配線と前記第 3 の配線との間に複数配置されている

ことを特徴とする請求項 11 に記載の半導体装置。

[請求項13] 前記第 3 の電源線は、前記第 1 の配線、前記第 2 の配線及び前記第 3 の配線の上方に配置され、平面視で前記第 2 の方向に延在する第 4 の配線を有し、

前記第 1 の電源線は、前記第 1 の配線に接続し、前記第 1 の配線の上方に配置され、平面視で前記第 2 の方向に延在する第 5 の配線を有し、

前記第 2 の電源線は、前記第 3 の配線に接続し、前記第 2 の配線及び前記第 3 の配線の上方に配置され、平面視で前記第 2 の方向に延在する第 6 の配線を有し、

前記第 5 の配線は、前記第 2 の方向に沿って、前記第 6 の配線の延長線上に配置されている

ことを特徴とする請求項 12 に記載の半導体装置。

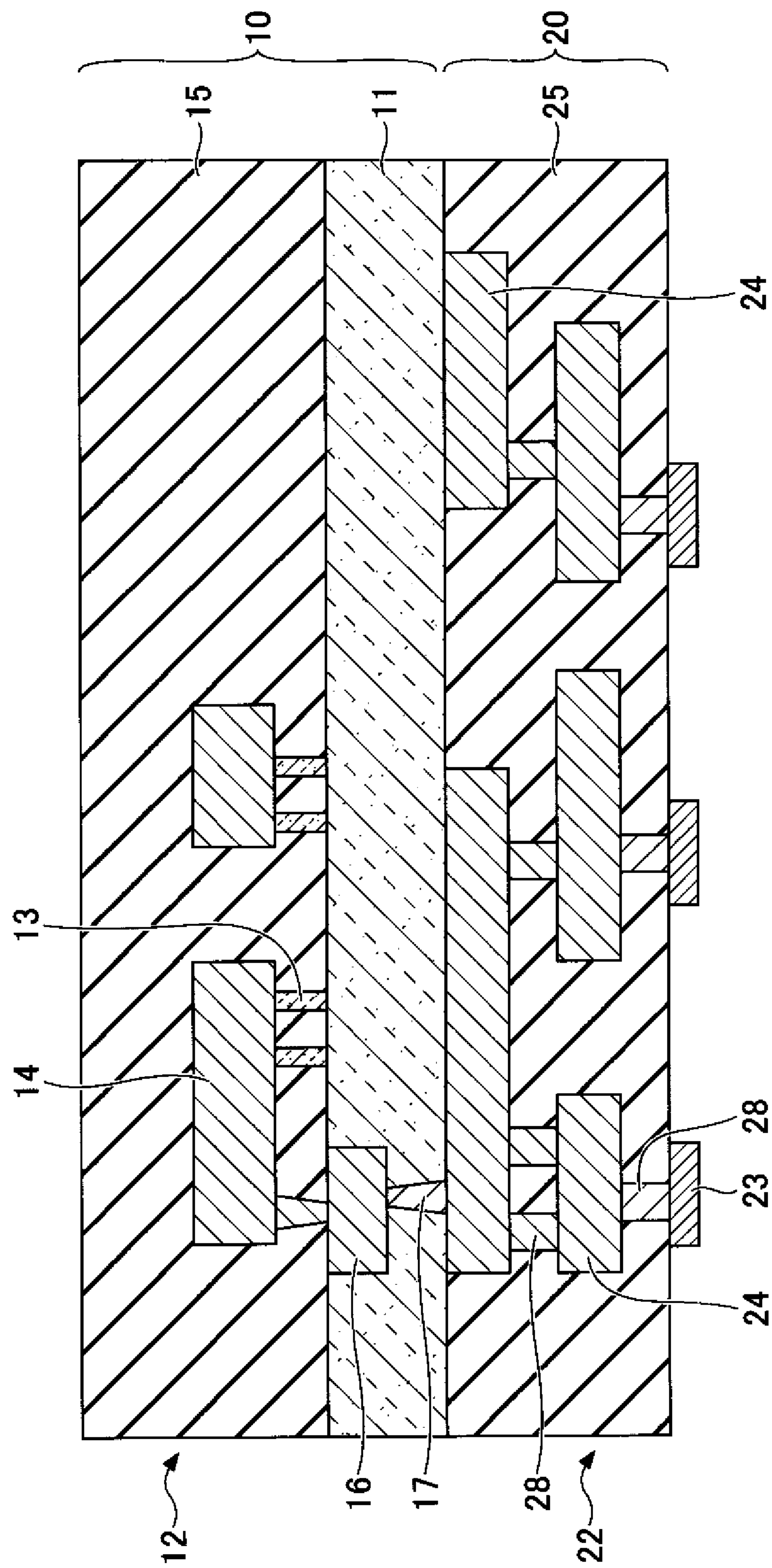
[請求項14] 前記第 1 の配線は、平面視で、前記第 1 の回路を含む第 1 の領域を取り囲むように配置され、

前記第 2 の配線は、平面視で、少なくとも一部が前記第 1 の領域と重なって配置されることを特徴とする請求項 10 に記載の半導体装置。

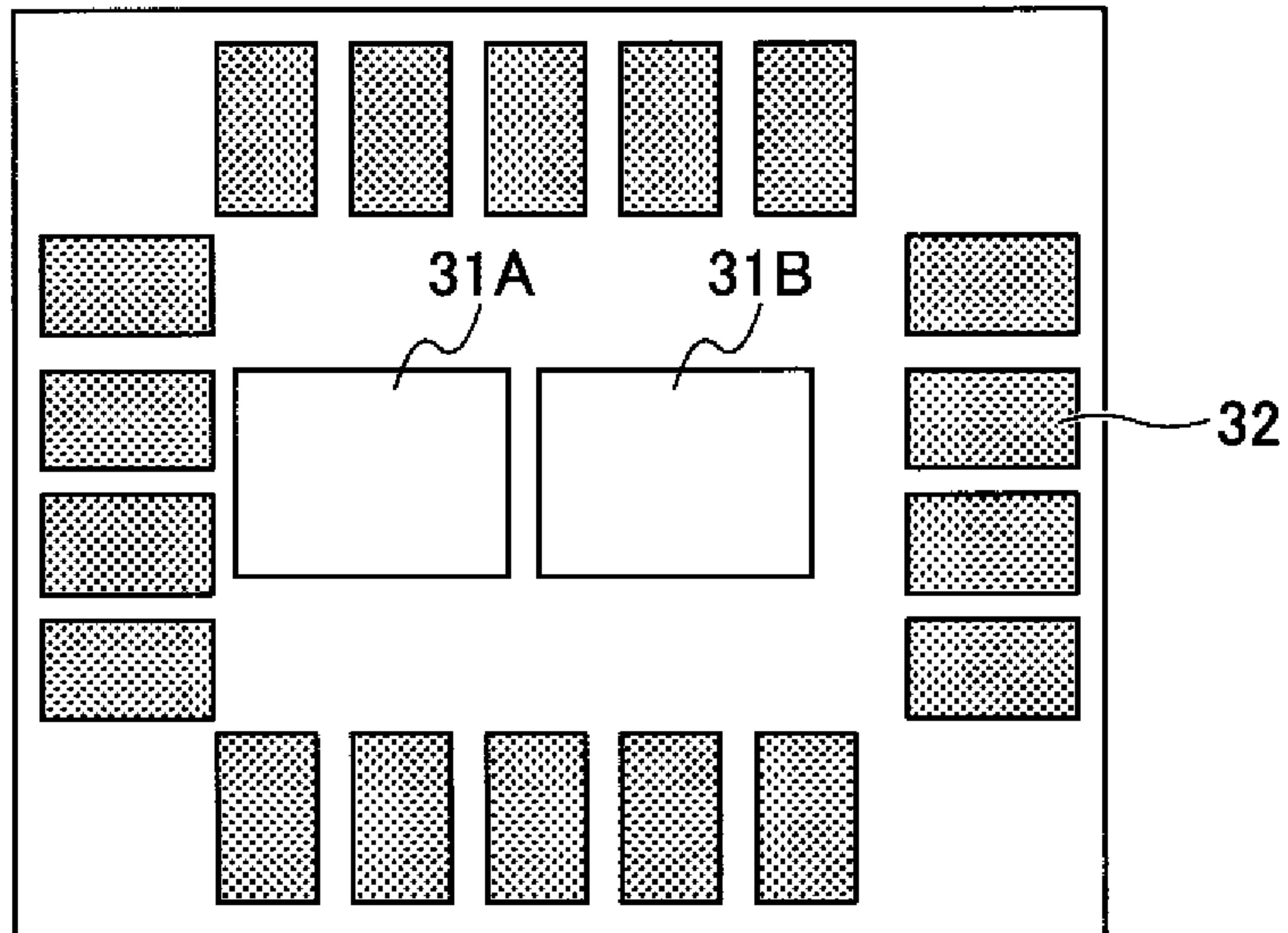
[請求項15] 前記第 2 の配線層は、互いに積層された複数のサブ配線層を有し、前記第 2 のスイッチは、前記複数のサブ配線層に設けられているこ

とを特徴とする請求項 1 乃至 1 4 のいずれか 1 項に記載の半導体装置
。

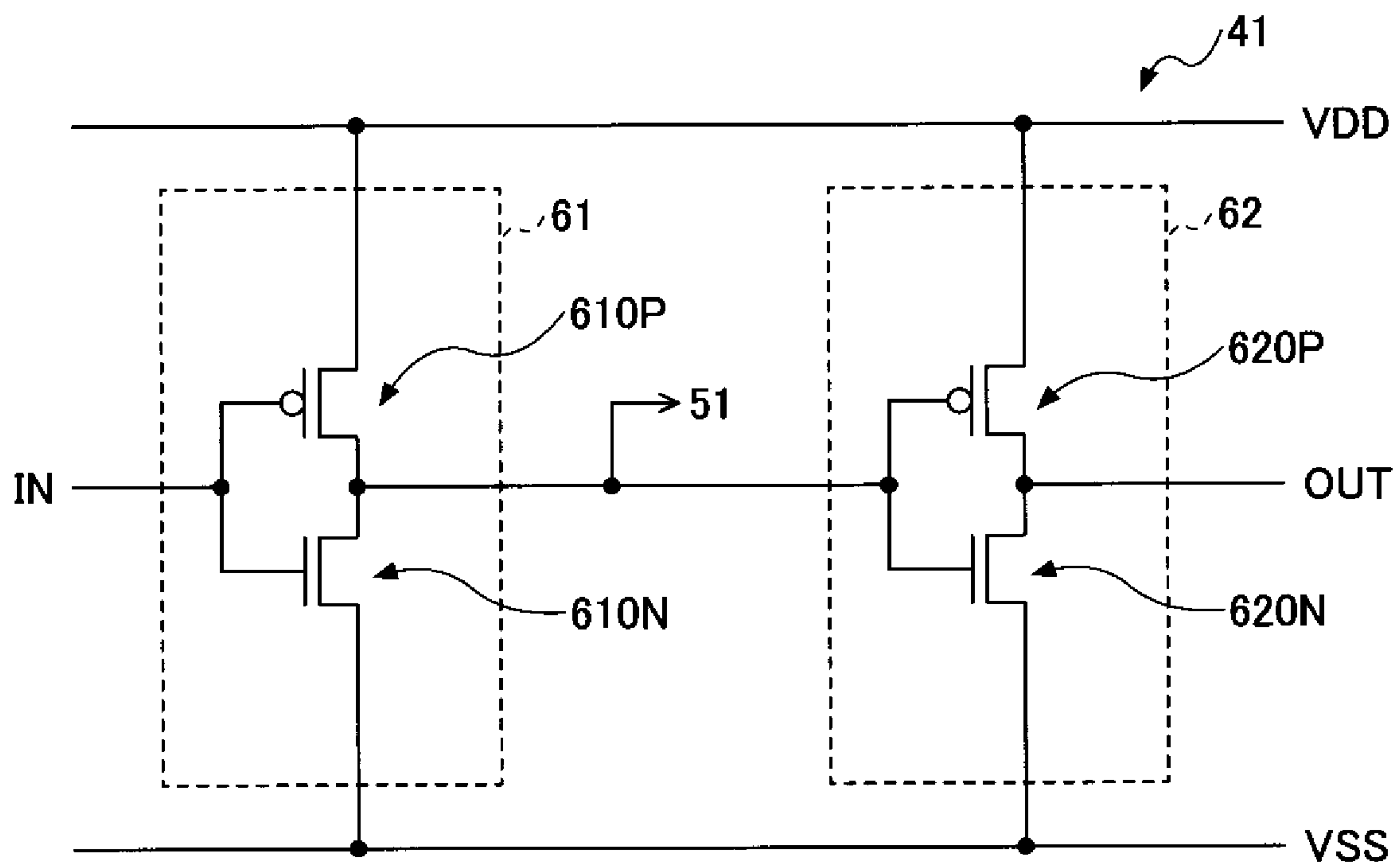
[図1]



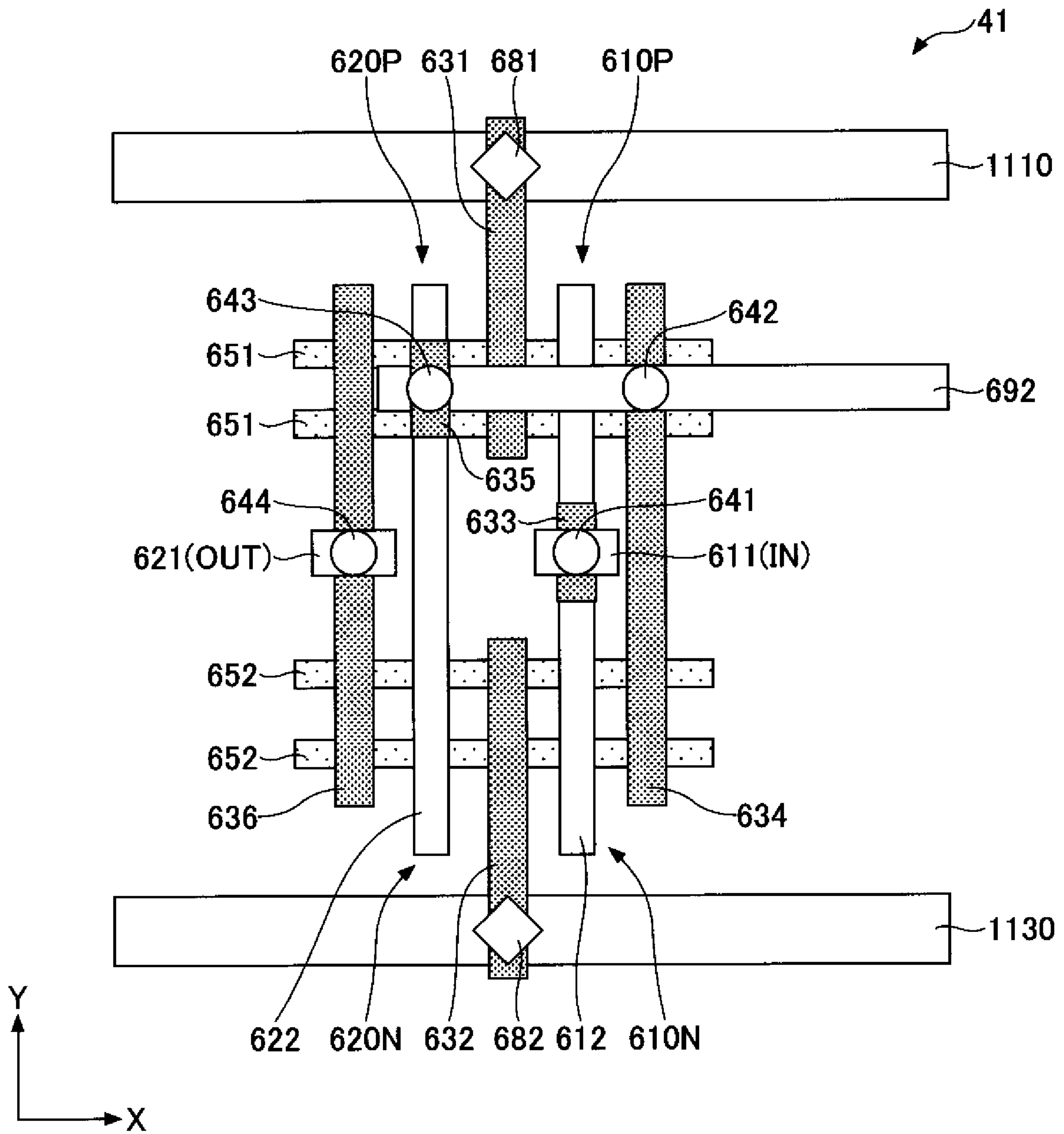
[図2]



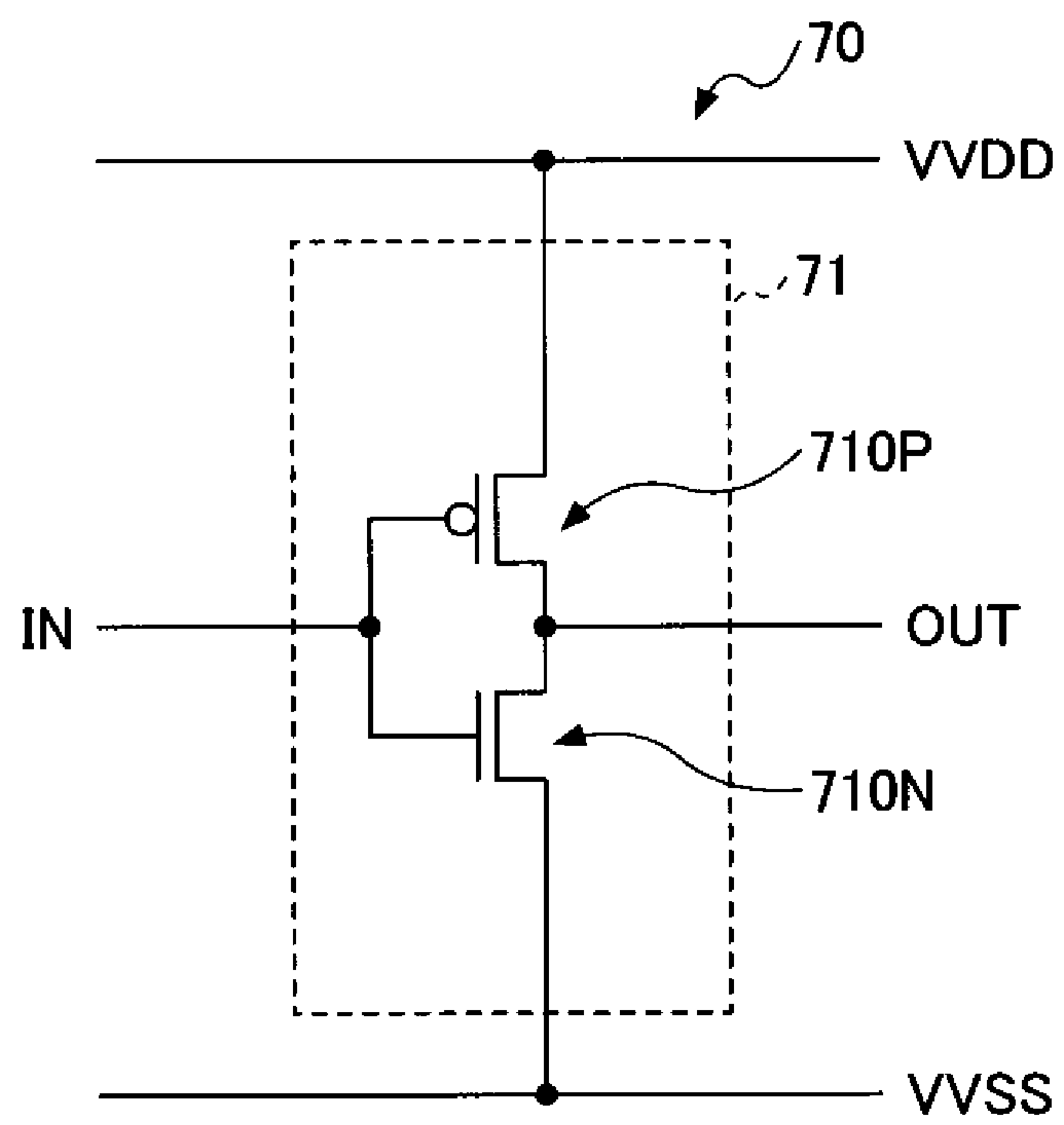
[図4]



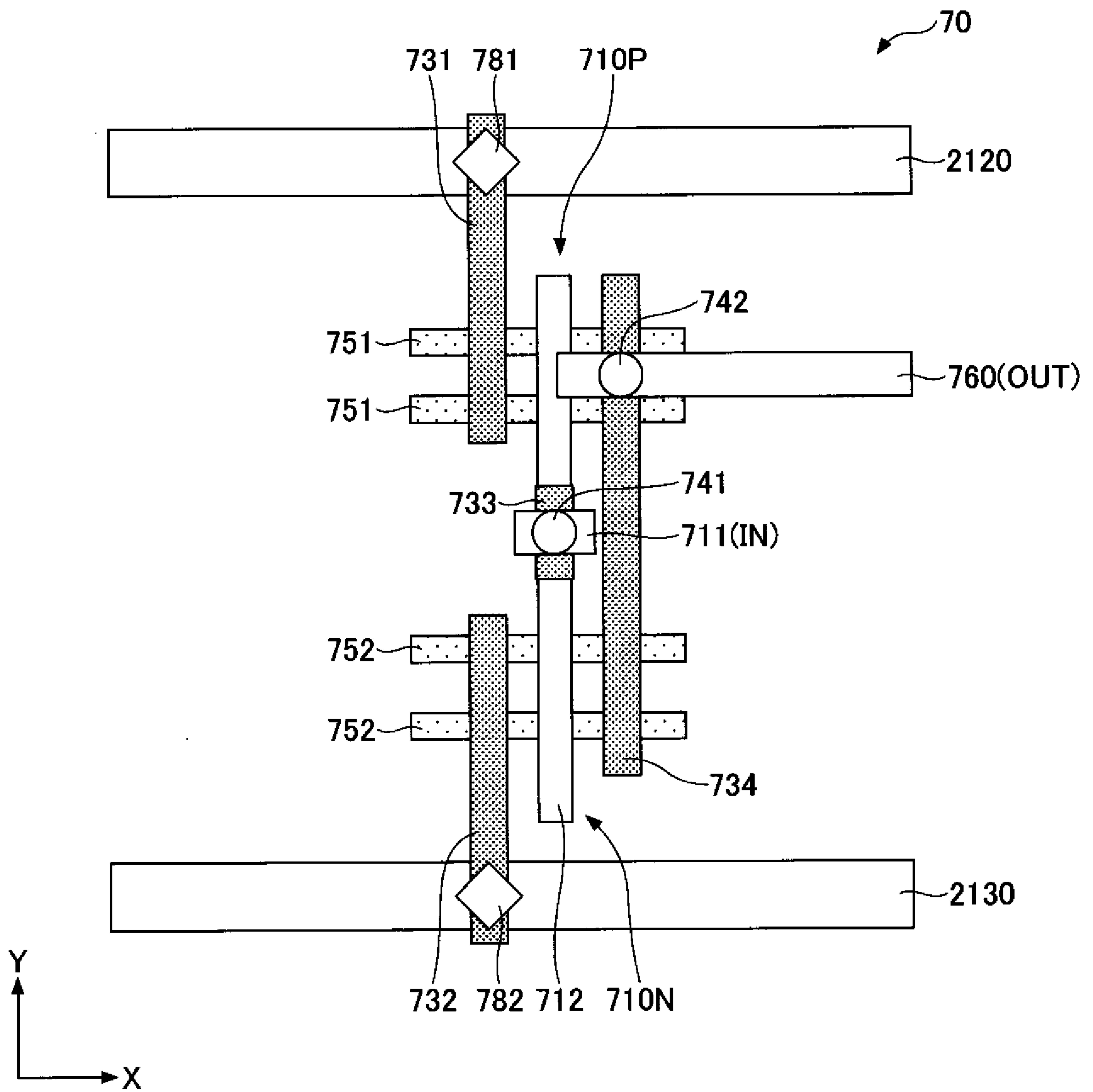
[図5]



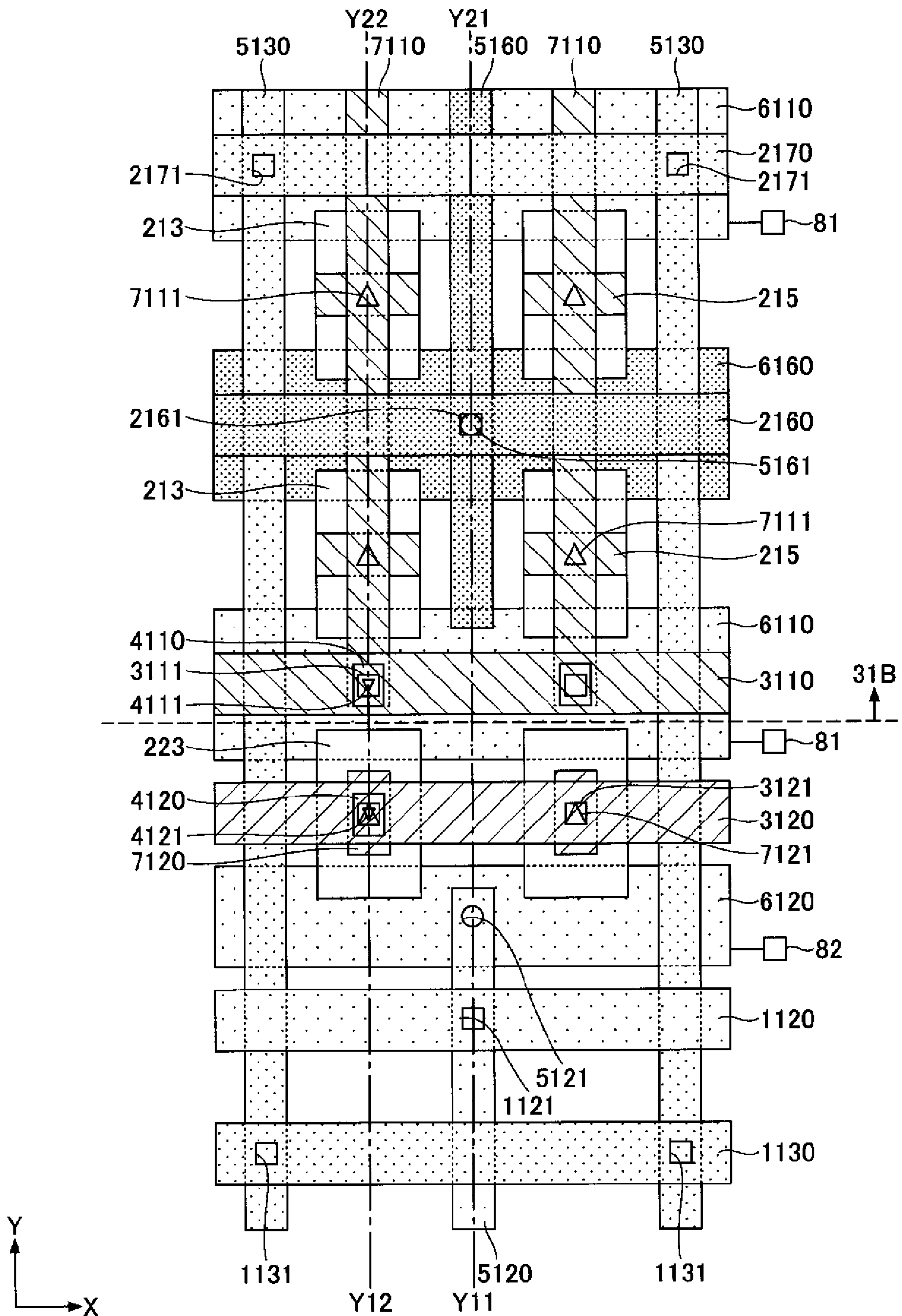
[図6]



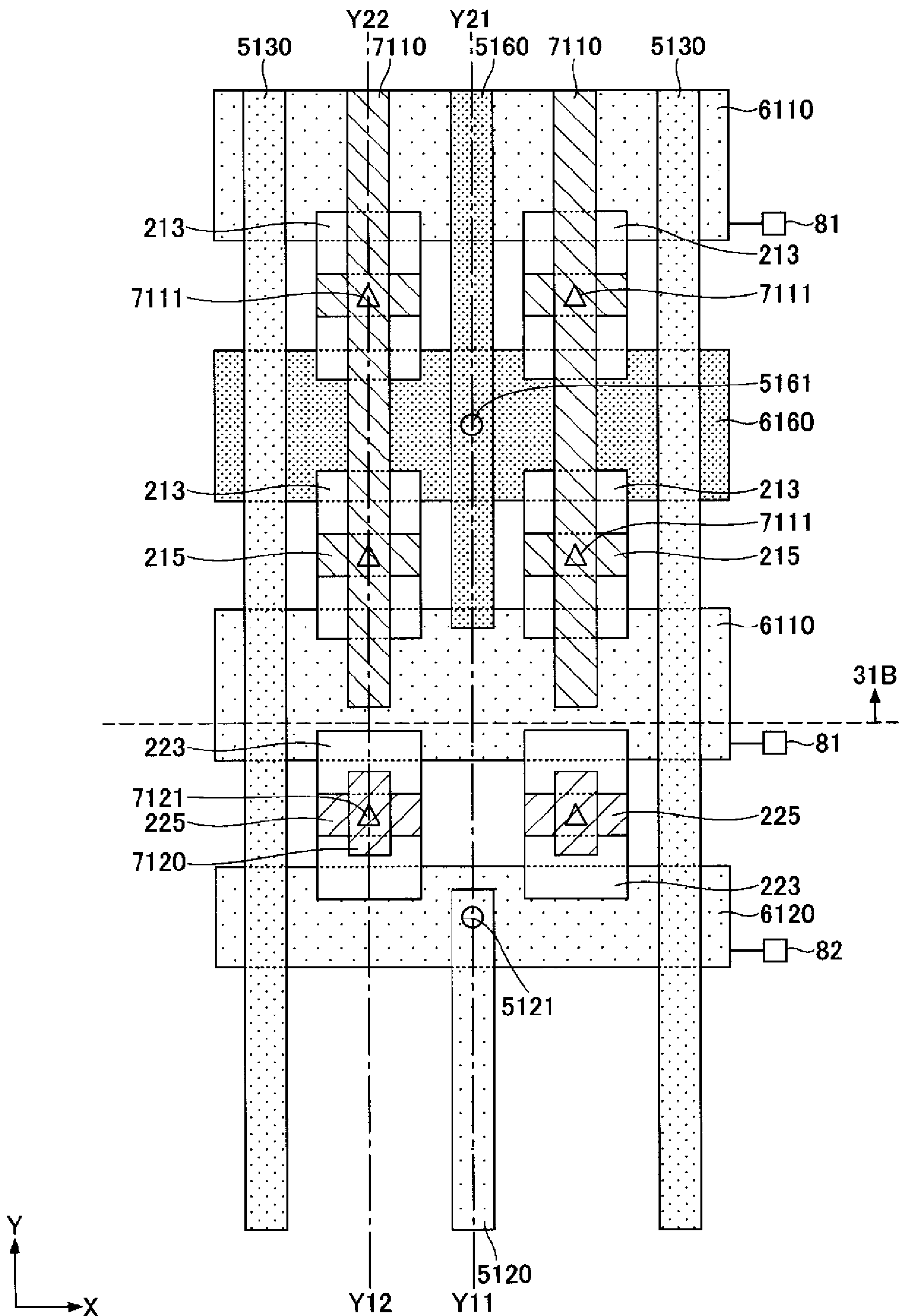
[図7]



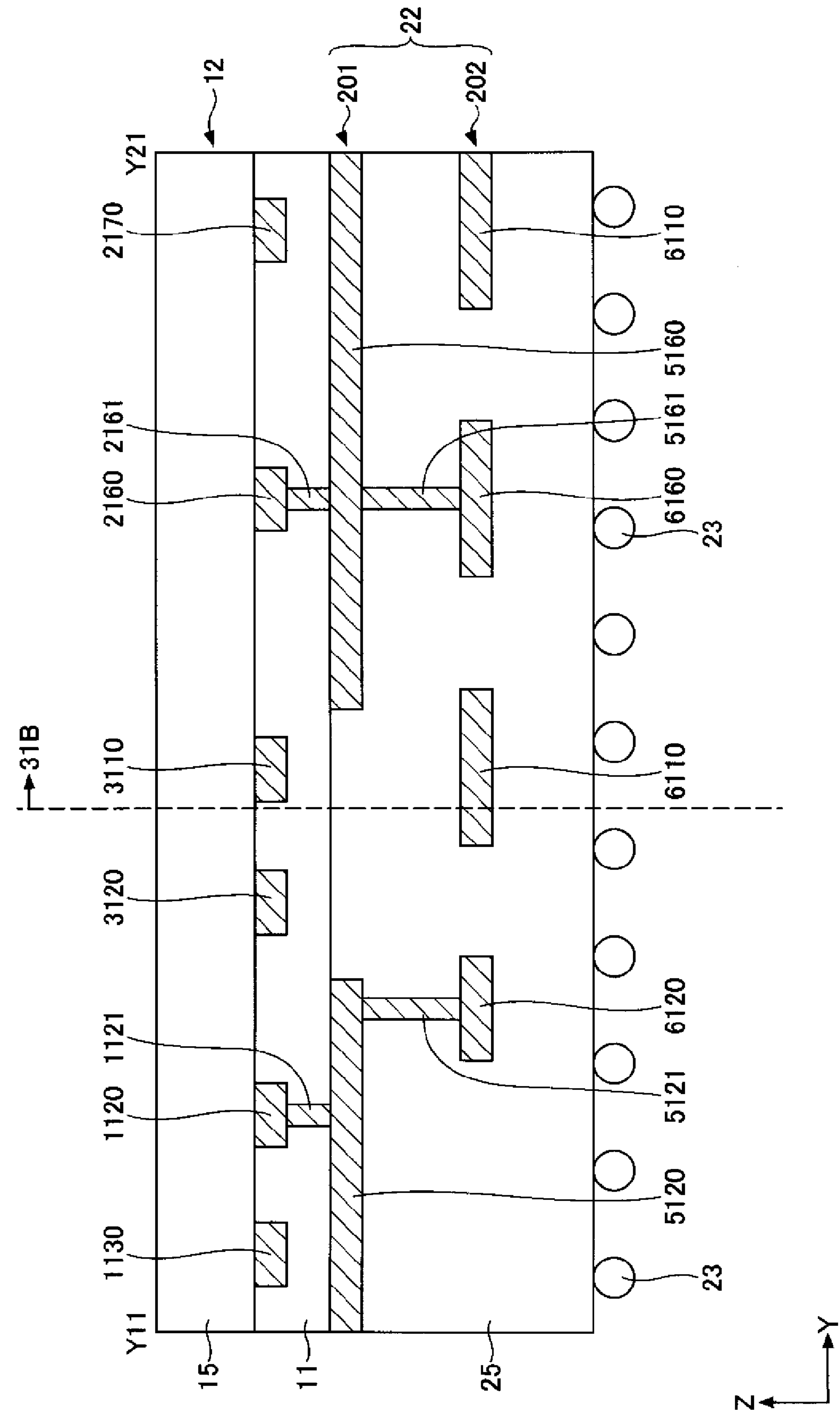
[図8]



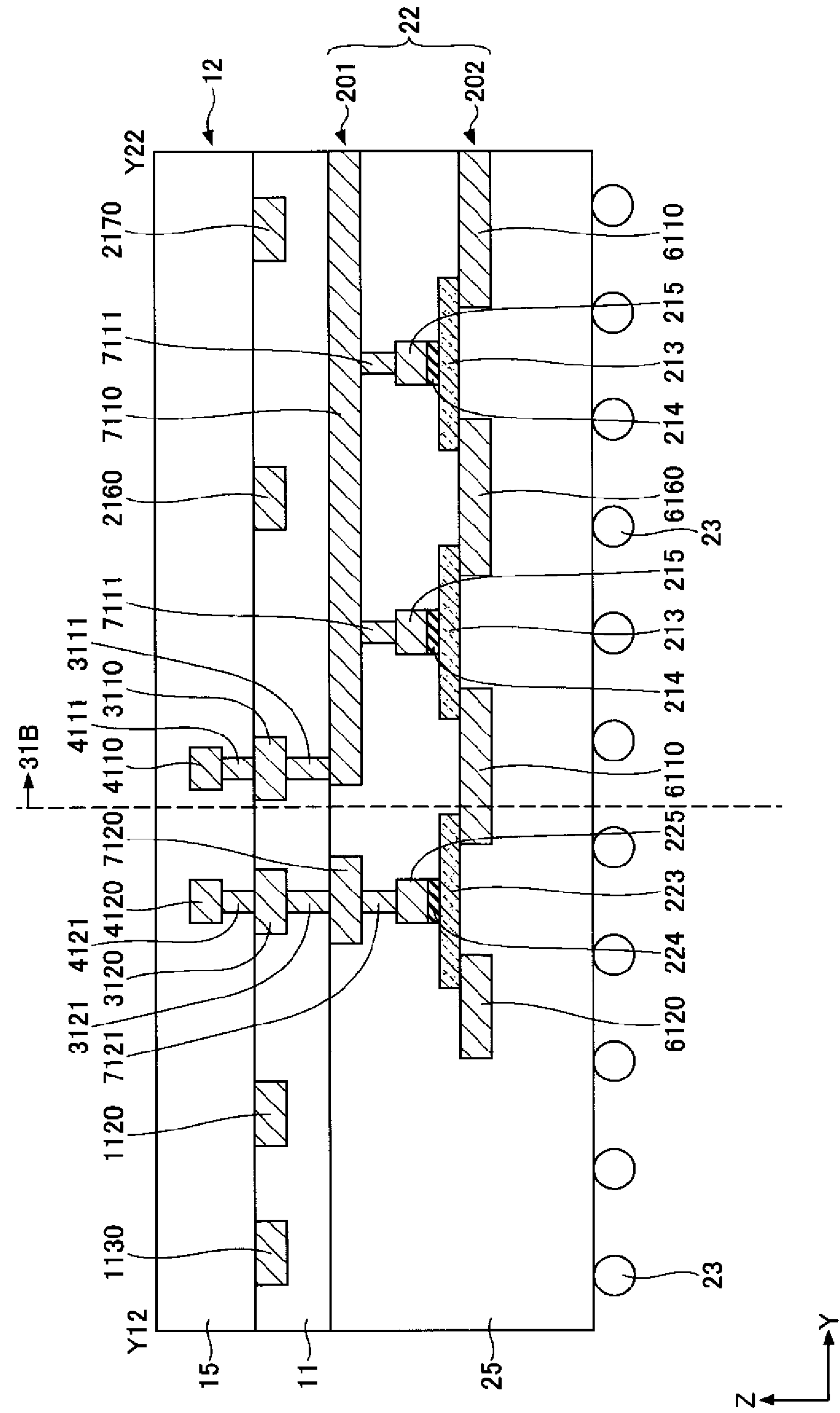
[図9]



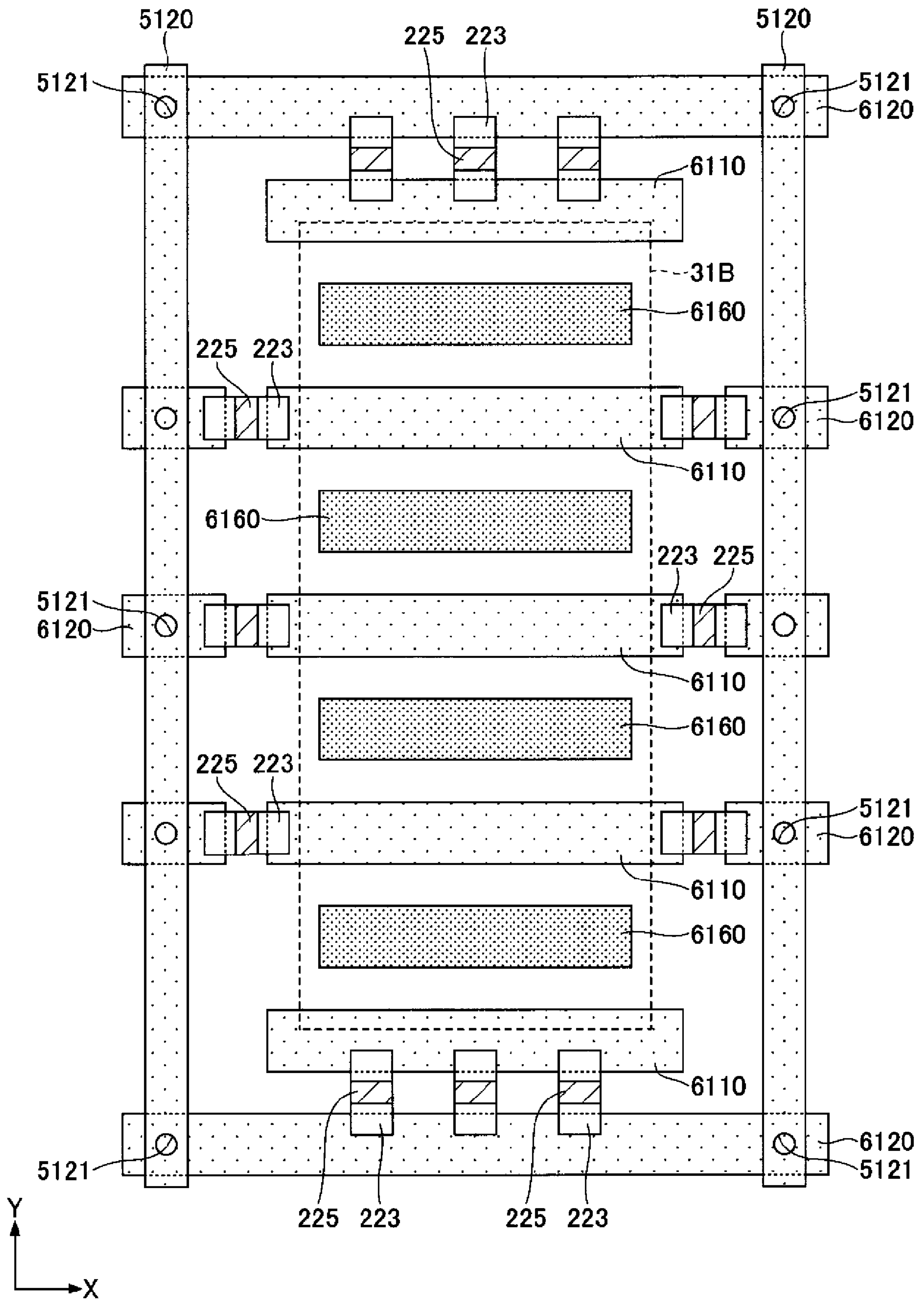
[図10]



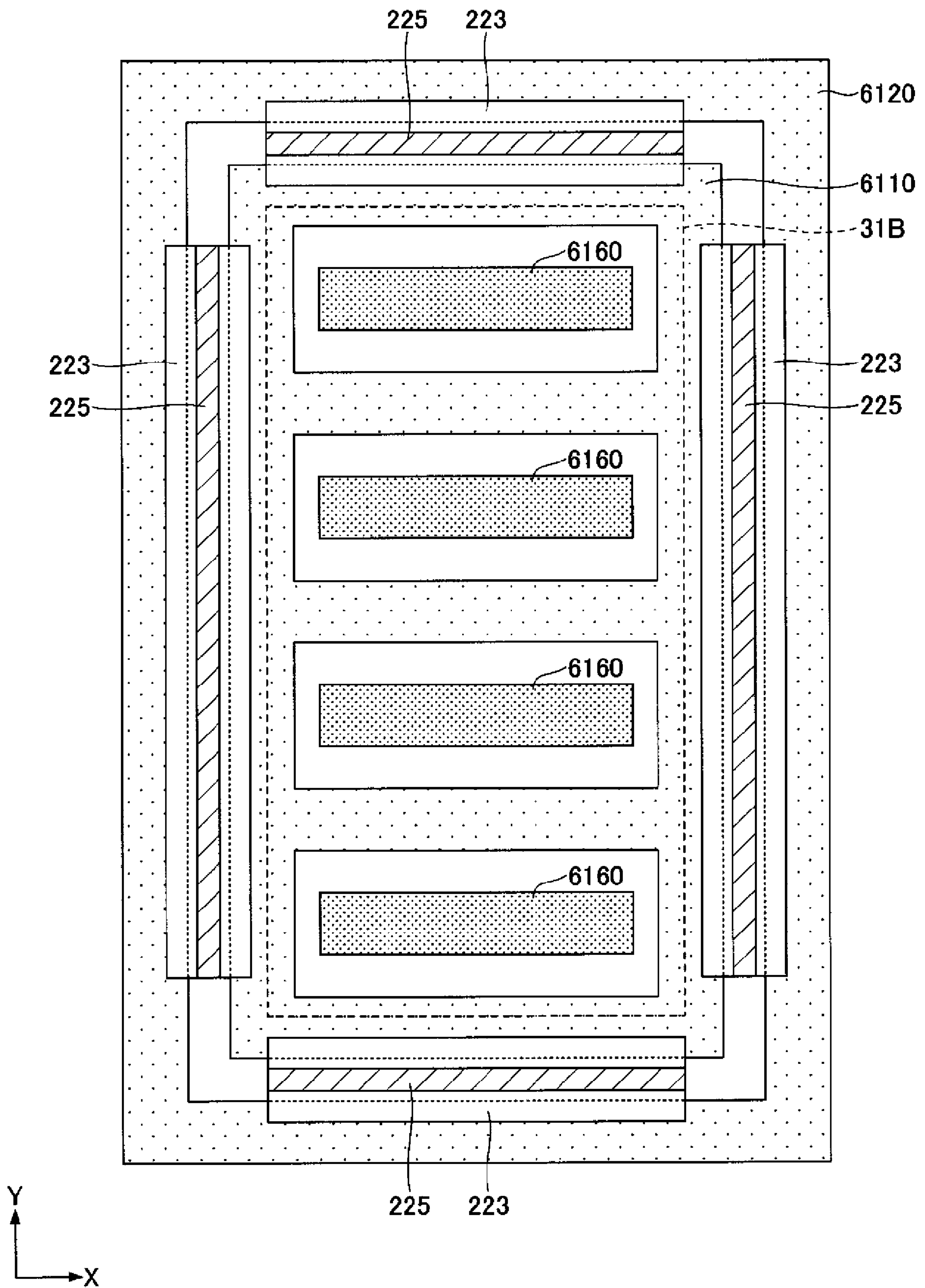
[図11]



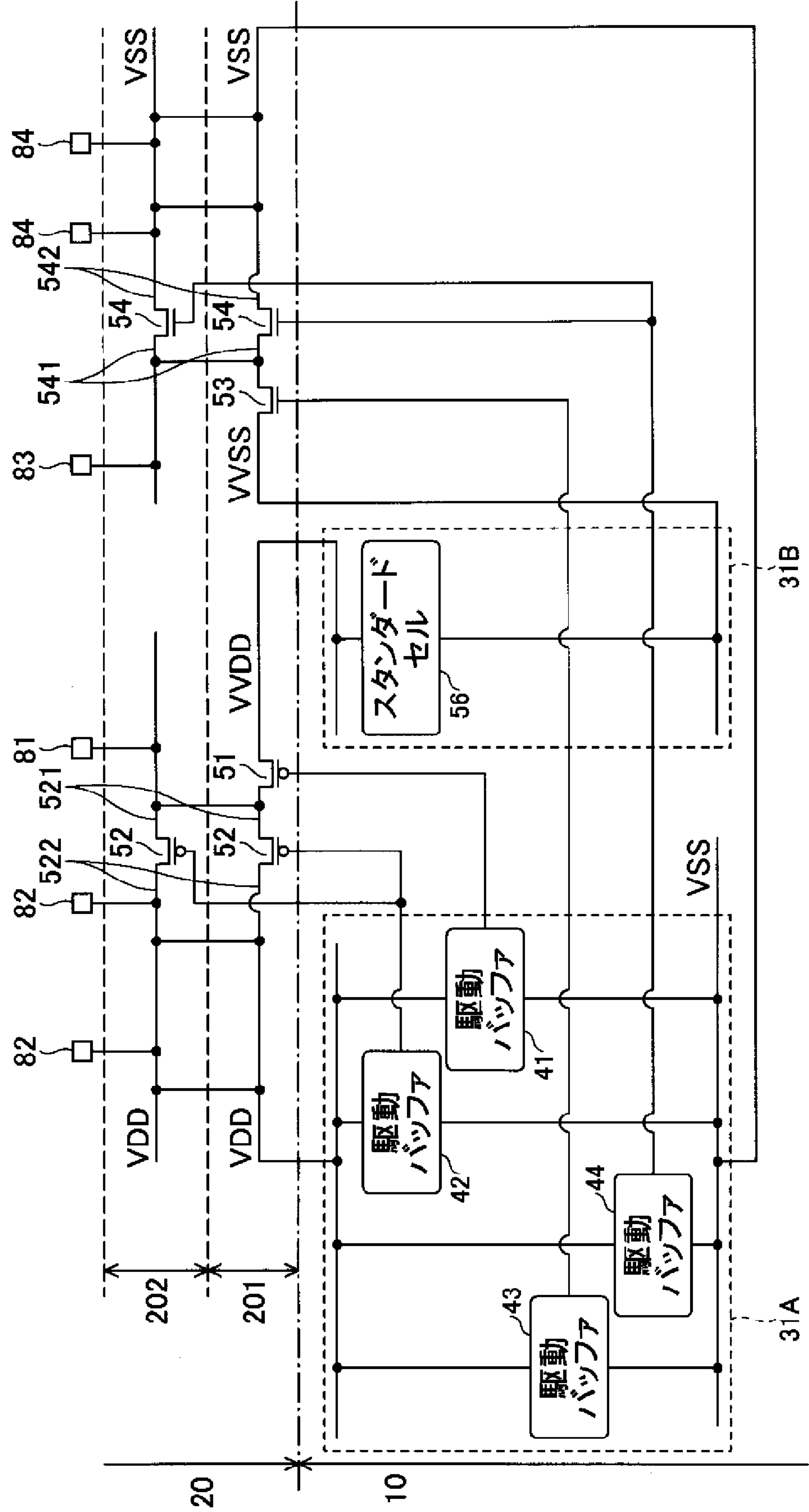
[図12]



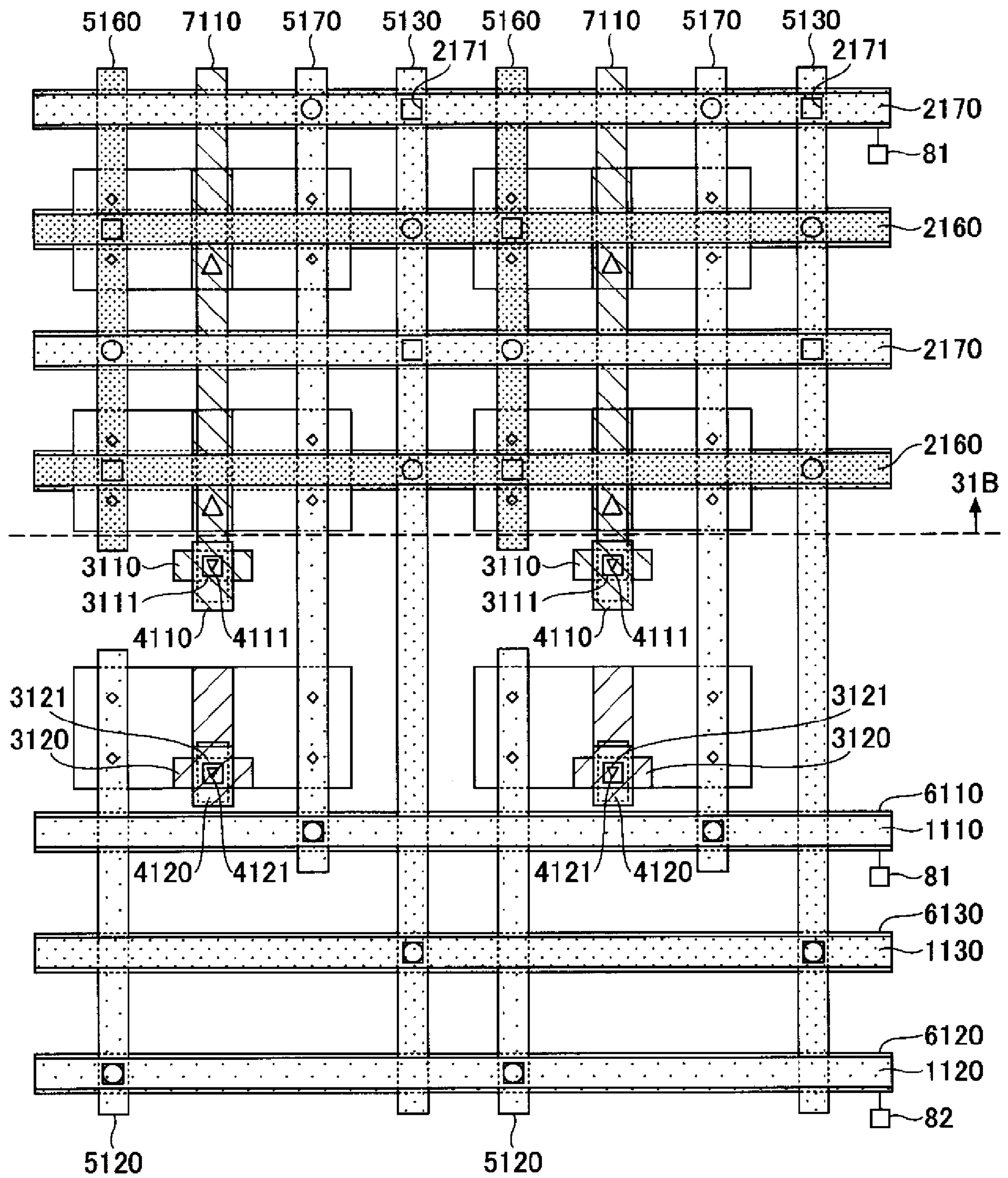
[図13]



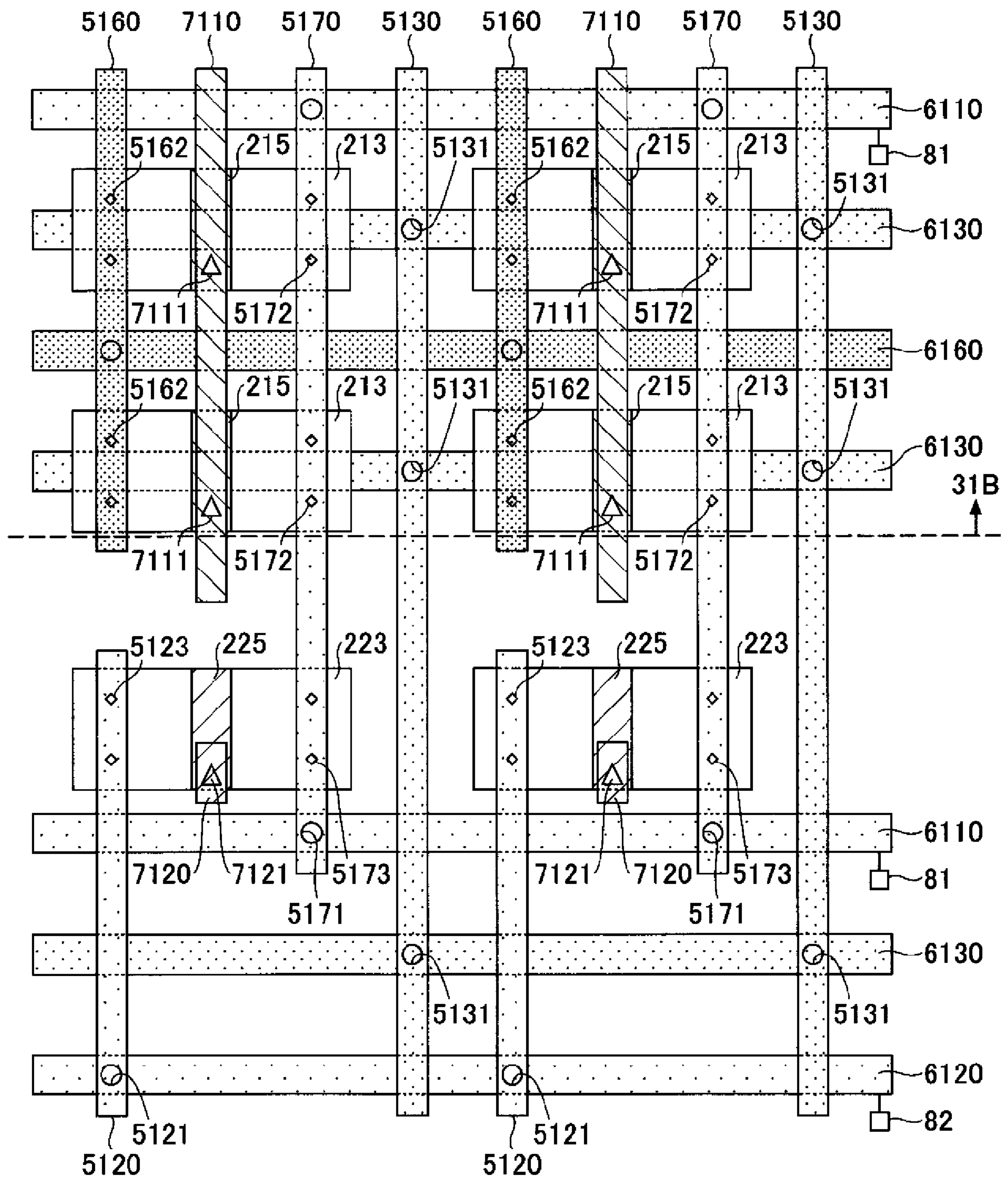
[図15]



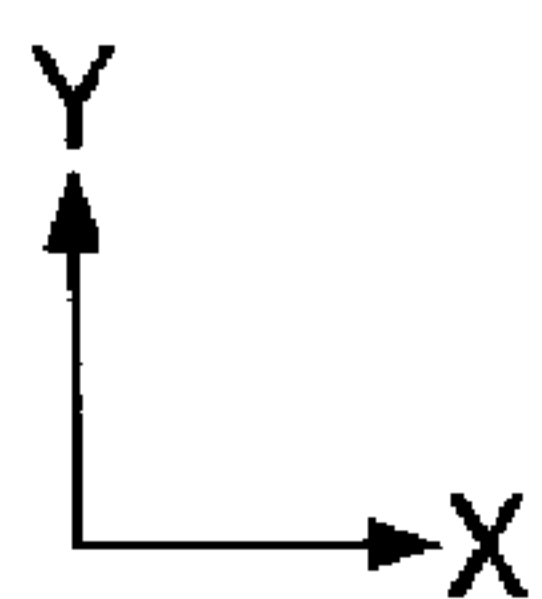
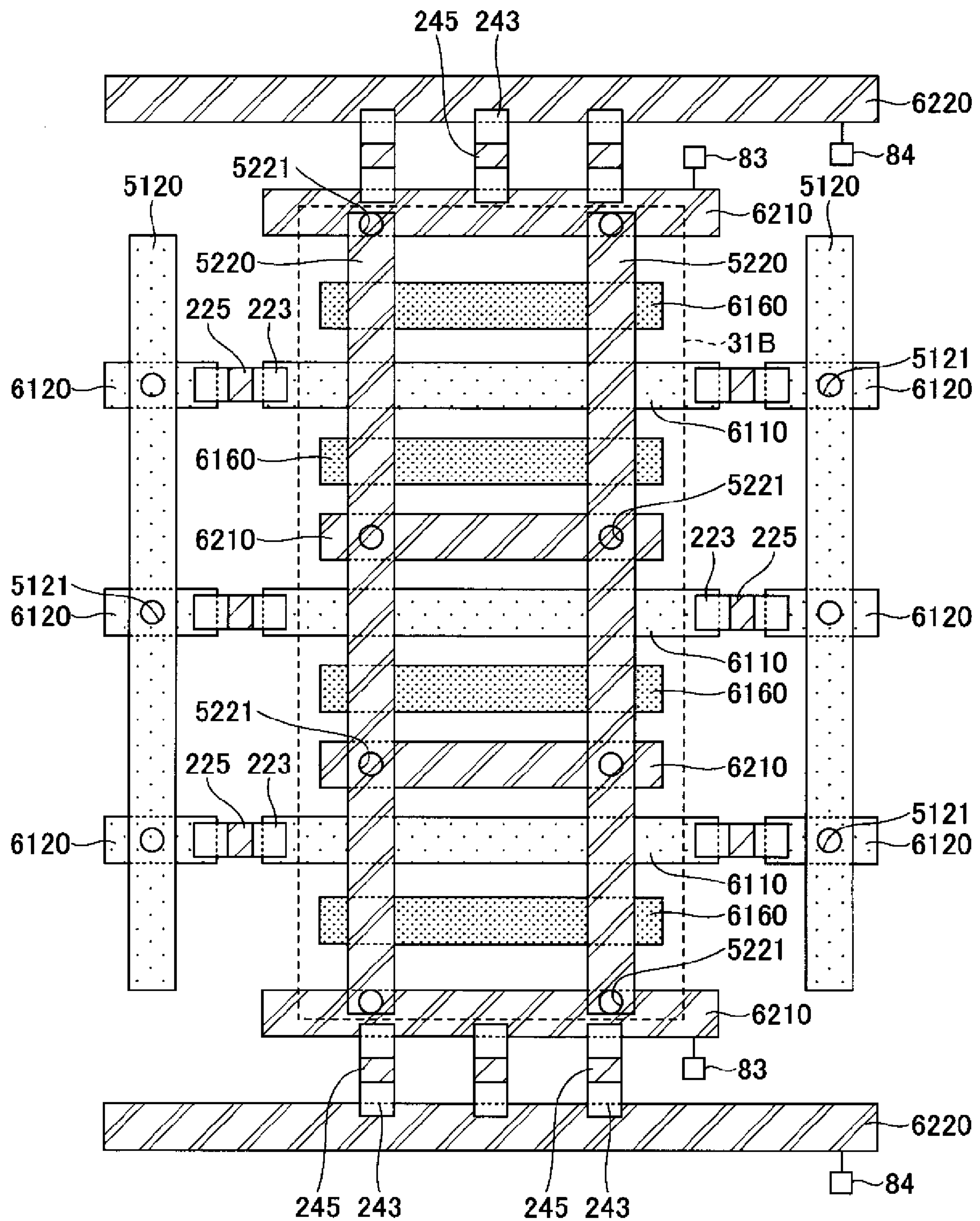
[図16]



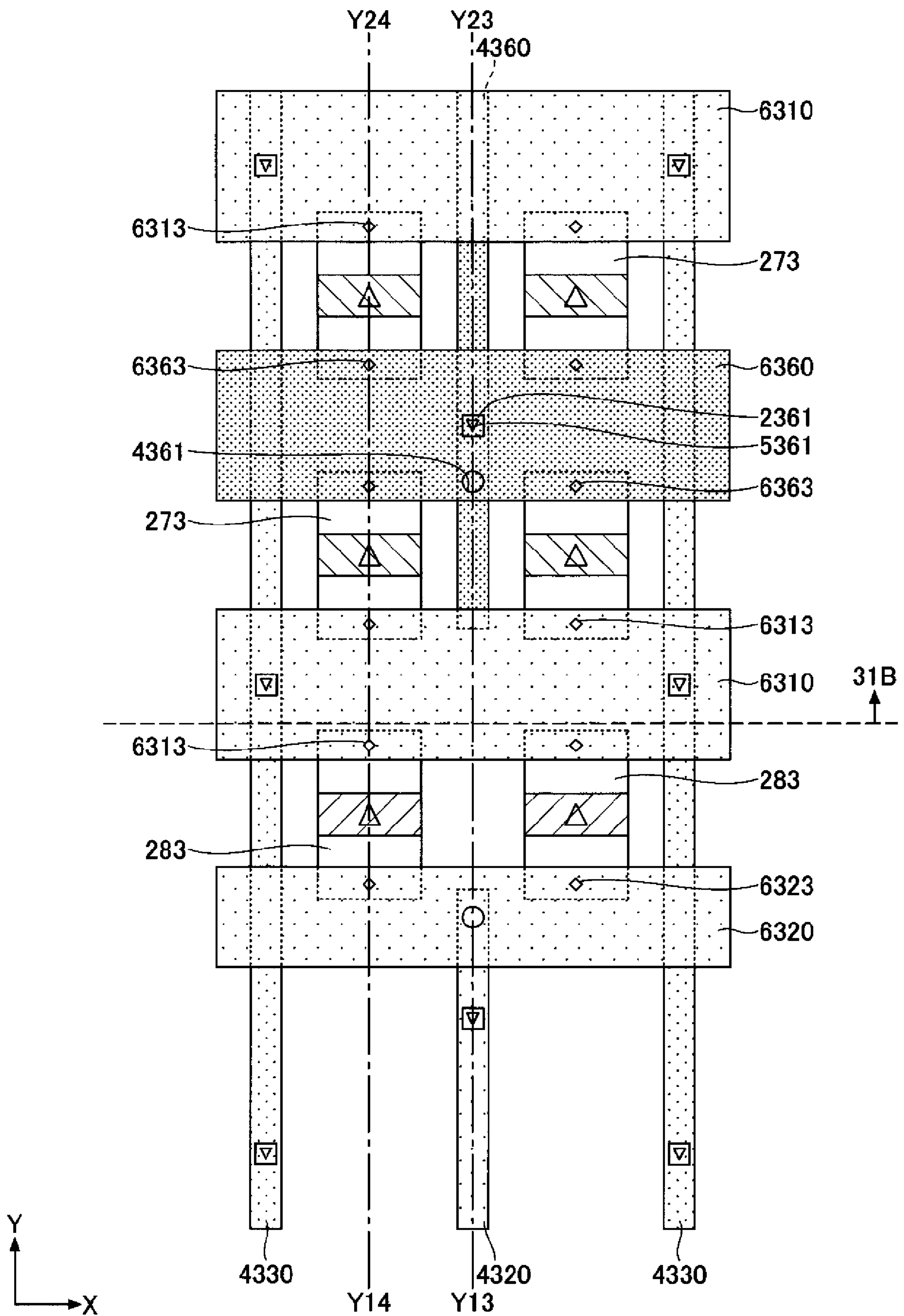
[図17]



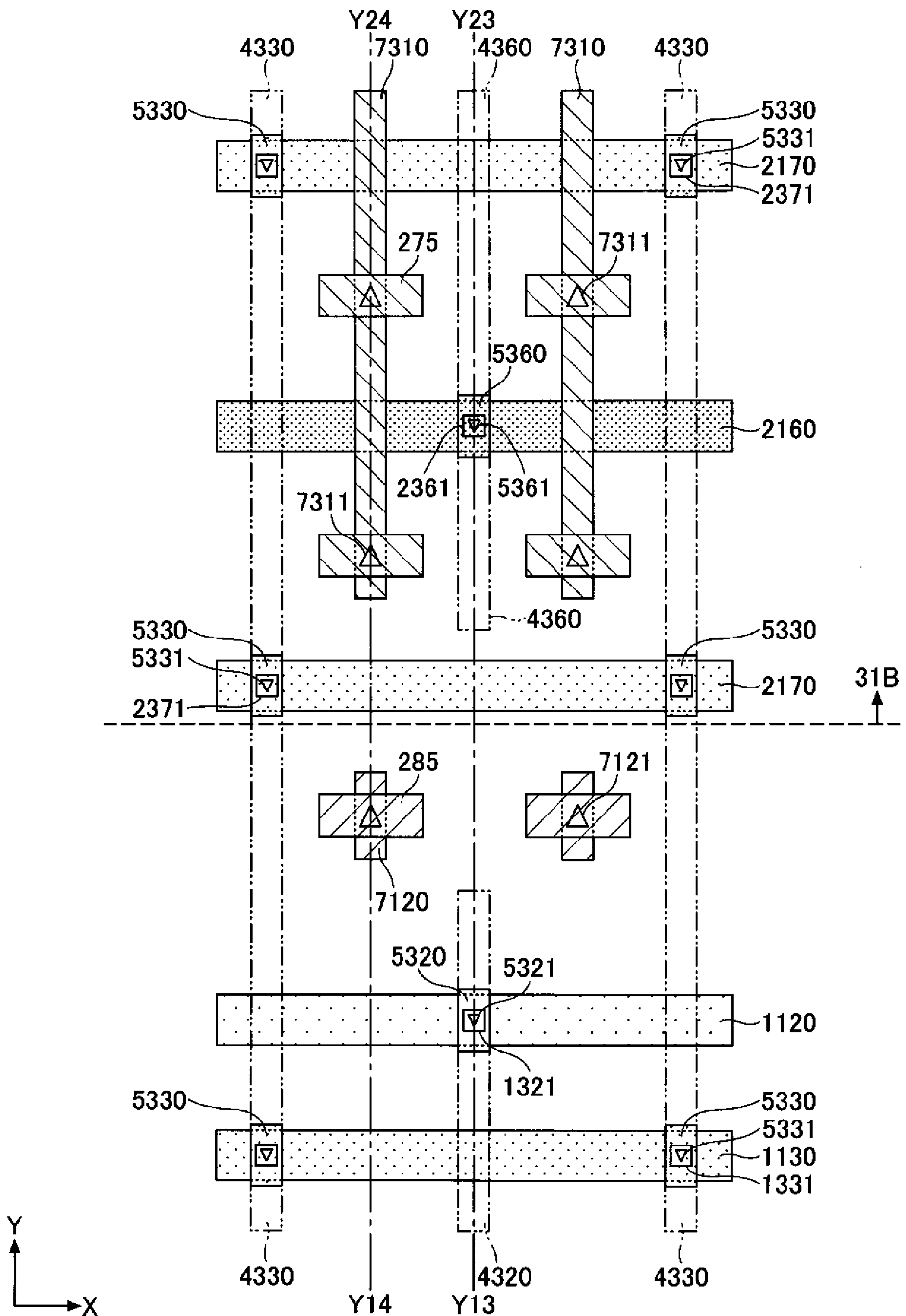
[図18]



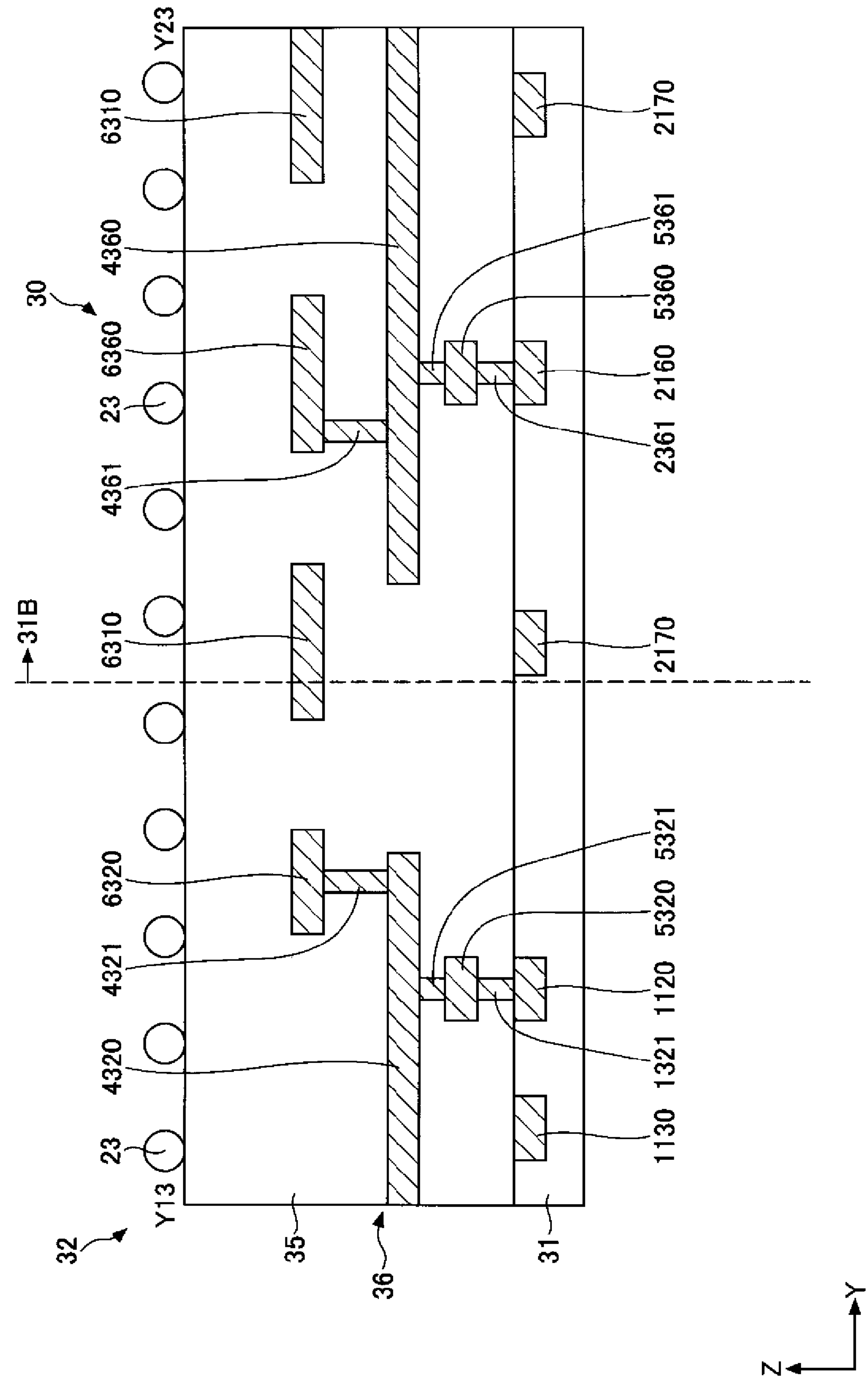
[図19]



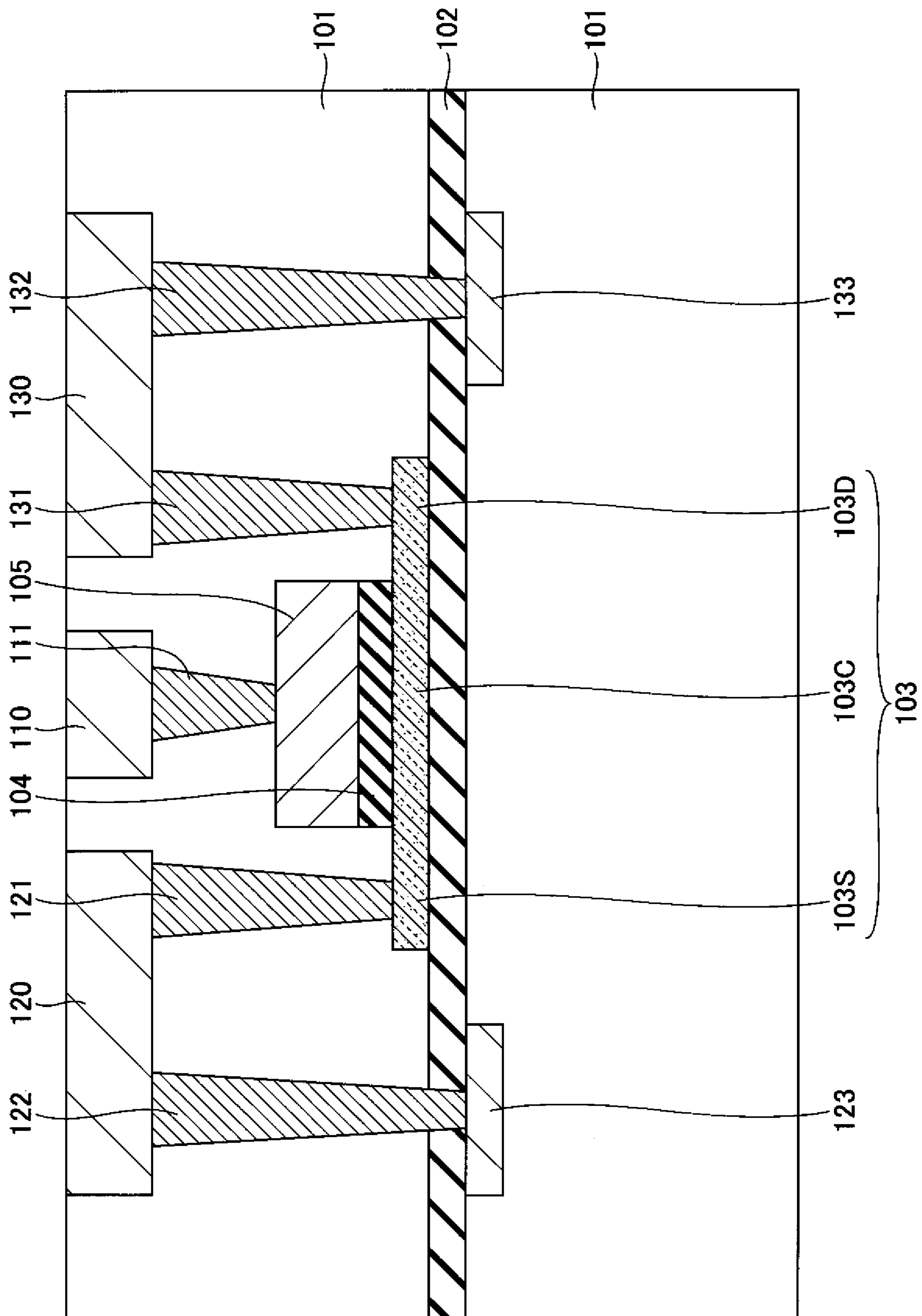
[図20]



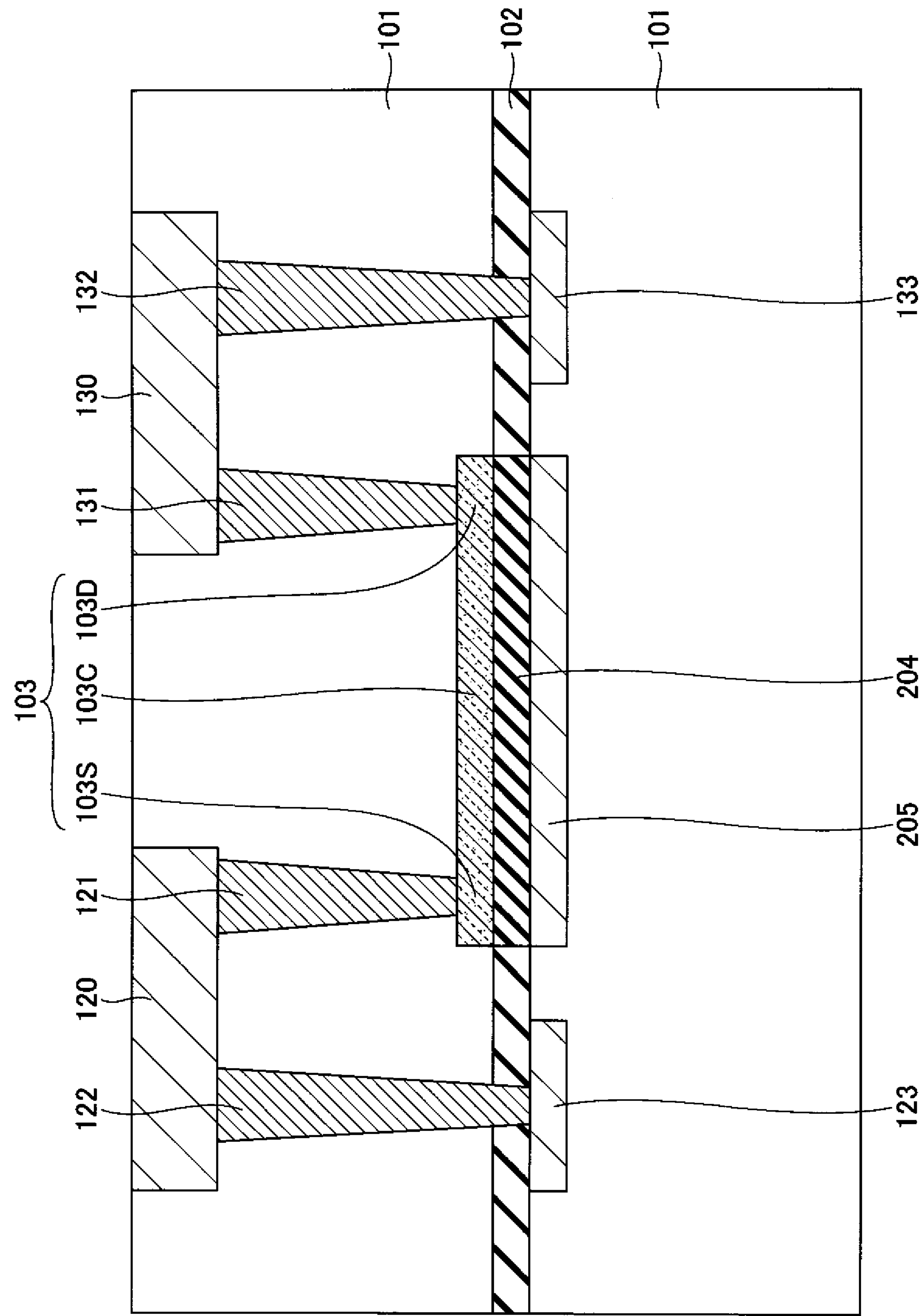
[図21]



[図23]



[図24]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/047688

A. CLASSIFICATION OF SUBJECT MATTER H01L 27/04 (2006.01) i FI: H01L27/04 D According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L27/04 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2020 Registered utility model specifications of Japan 1996-2020 Published registered utility model applications of Japan 1994-2020 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2015/0187642 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 02.07.2015 (2015-07-02) entire text, all drawings	1-15
A	JP 5-206420 A (NIHON DENKI AISHI MAIKON SHISUTEMU KABUSHIKI GAISHA) 13.08.1993 (1993-08-13) entire text, all drawings	1-15
A	JP 11-102910 A (HITACHI, LTD.) 13.04.1999 (1999-04-13) entire text, all drawings	1-15
A	JP 2014-165358 A (PANASONIC CORP.) 08.09.2014 (2014-09-08) entire text, all drawings	1-15
A	WO 2019/194007 A1 (SOCIONEXT INC.) 10.10.2019 (2019-10-10) entire text, all drawings	1-15
A	JP 53-26689 A (HITACHI, LTD.) 11.03.1978 (1978-03-11) entire text, all drawings	1-15
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 24 January 2020 (24.01.2020)		Date of mailing of the international search report 04 February 2020 (04.02.2020)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/047688

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-302198 A (ELPIDA MEMORY, INC.) 24.12.2009 (2009-12-24) entire text, all drawings	1-15
A	JP 2012-44042 A (KAWASAKI MICROELECTRONICS, INC.) 01.03.2012 (2012-03-01) entire text, all drawings	1-15
A	JP 2011-159810 A (RENESAS ELECTRONICS CORP.) 18.08.2011 (2011-08-18) entire text, all drawings	1-15

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No. PCT/JP2019/047688
--

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US 2015/0187642 A1	02 Jul. 2015	CN 104752337 A entire text, all drawings	
JP 5-206420 A	13 Aug. 1993	(Family: none)	
JP 11-102910 A	13 Apr. 1999	(Family: none)	
JP 2014-165358 A	08 Sep. 2014	(Family: none)	
WO 2019/194007 A1	10 Oct. 2019	(Family: none)	
JP 53-26689 A	11 Mar. 1978	(Family: none)	
JP 2009-302198 A	24 Dec. 2009	(Family: none)	
JP 2012-44042 A	01 Mar. 2012	(Family: none)	
JP 2011-159810 A	18 Aug. 2011	(Family: none)	

国際調査報告		国際出願番号 PCT/JP2019/047688
A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 27/04(2006.01)i FI: H01L27/04 D		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L27/04 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922 - 1996年 日本国公開実用新案公報 1971 - 2020年 日本国実用新案登録公報 1996 - 2020年 日本国登録実用新案公報 1994 - 2020年 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	US 2015/0187642 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 02.07.2015 (2015 - 07 - 02) 全文, 全図	1-15
A	JP 5-206420 A (日本電気アイシーマイコンシステム株式会社) 13.08.1993 (1993 - 08 - 13) 全文, 全図	1-15
A	JP 11-102910 A (株式会社日立製作所) 13.04.1999 (1999 - 04 - 13) 全文, 全図	1-15
A	JP 2014-165358 A (パナソニック株式会社) 08.09.2014 (2014 - 09 - 08) 全文, 全図	1-15
A	WO 2019/194007 A1 (株式会社ソシオネクスト) 10.10.2019 (2019 - 10 - 10) 全文, 全図	1-15
A	JP 53-26689 A (株式会社日立製作所) 11.03.1978 (1978 - 03 - 11) 全文, 全図	1-15
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献		“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献
国際調査を完了した日 24.01.2020		国際調査報告の発送日 04.02.2020
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 市川 武宜 5F 4056 電話番号 03-3581-1101 内線 3514

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2009-302198 A (エルピーダメモリ株式会社) 24.12.2009 (2009 - 12 - 24) 全文, 全図	1-15
A	JP 2012-44042 A (川崎マイクロエレクトロニクス株式会社) 01.03.2012 (2012 - 03 - 01) 全文, 全図	1-15
A	JP 2011-159810 A (ルネサスエレクトロニクス株式会社) 18.08.2011 (2011 - 08 - 18) 全文, 全図	1-15

引用文献			公表日	パテントファミリー文献	公表日
US	2015/0187642	A1	02.07.2015	CN 104752337 A 全文，全図	
JP	5-206420	A	13.08.1993	(ファミリーなし)	
JP	11-102910	A	13.04.1999	(ファミリーなし)	
JP	2014-165358	A	08.09.2014	(ファミリーなし)	
WO	2019/194007	A1	10.10.2019	(ファミリーなし)	
JP	53-26689	A	11.03.1978	(ファミリーなし)	
JP	2009-302198	A	24.12.2009	(ファミリーなし)	
JP	2012-44042	A	01.03.2012	(ファミリーなし)	
JP	2011-159810	A	18.08.2011	(ファミリーなし)	